



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

228160

(11)

(B1)

(51) Int. Cl.³

G 06 F 7/64

(22) Přihlášeno 13 11 81
(21) (PV 8381-81)

(40) Zveřejněno 15 09 83

(45) Vydáno 15 05 86

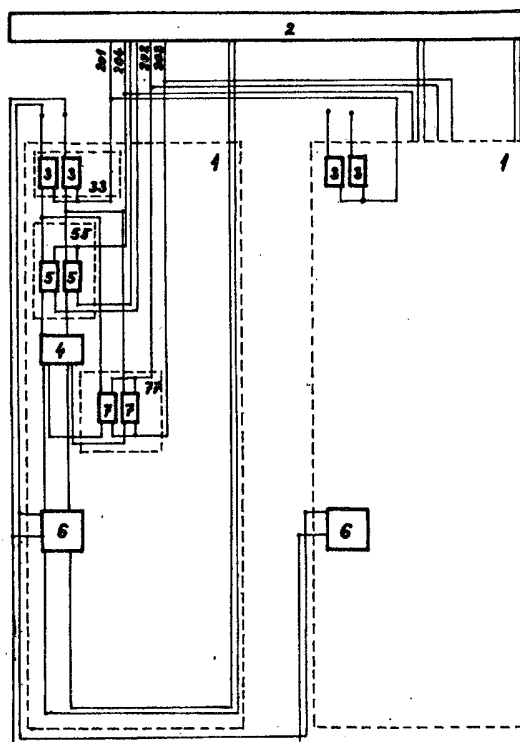
(75)

Autor vynálezu

KUNOVSKÝ JIŘÍ ing. CSc., BRNO

(54) Kombinační přírůstkový maticový mikroprocesor se zadávacím obvodem ve výstupu sečítačky

Vynález se týká oboru číslicových počítačů a je určen pro numerické řešení diferenciálních rovnic. Podstatou vynálezu je přírůstkový maticový procesor složený z řady mikroprocesorových prvků, se zadávacím obvodem na výstupu počítačky, řešícím novým způsobem paralelně činnost mikroprocesorů, přičemž modulová koncepce umožňuje snadnou rozšiřitelnost. Technické uspořádání upravuje jednoduché programování, jednoduchou kontrolu činnosti a snadnou interpretaci řešení. Rovněž se řeší pohodlné spojení s operátorem a možnost rychlé změny parametrů úlohy. Kromě hlavních znaků existují další možné varianty.



Vynález se týká kombinačního přírůstkového maticového mikroprocesoru se zadávacím obvodem ve výstupu sečítačky, u kterého se řeší nový mikroprocesor a jeho zapojení.

Problémy současné vědy a techniky vyžadují realizaci rozsáhlých výpočtů, jako např. řešení složitých systémů lineárních a nelineárních parciálních diferenciálních rovnic, operace s velkými maticemi, apod. Uvedené typy úloh vyžadují, pro přijatelné doby řešení, počítače, jejichž rychlosti jsou v porovnání s běžnými velkými počítači asi 100x vyšší.

Počítače, určené pro řízení procesů v reálném čase, musí kromě požadované rychlosti také vyhovovat požadavkům vysoké spolehlivosti. Požadavky nelze splnit u běžných počítačů, jejichž střední doby mezi poruchami se pohybují v rozmezí 1 000 až 10 000 hodin. Zvyšování operační rychlosti počítačů s využitím nových fyzikálních principů konstrukčních prvků, tj. zvyšování rychlosti elektronických obvodů je omezené.

Další zvýšení výkonnosti umožňují organizační a struktuální změny. Jde především o specializaci a paralelní činnost jednotlivých částí počítače. Dosud známé univerzální počítačové systémy - multiprocesory jsou charakterizovány tím, že všechny procesory kromě své lokální paměti mají stejný přístup do hlavní paměti, a že mezi sebou komunikují jenom přes hlavní pamět.

Úloha při výpočtu může podle okolností přecházet od jednoho procesoru k druhému. Je známo, že univerzální paralelní počítačové systémy vyžadují složité programování kroků řešení priority vstupu do společné paměti a simultánního vstupu při stejné prioritě. Jsou známy specializované paralelní počítačové systémy - maticové procesory, případně asociativní systémy, určené pro paralelní zpracování polí dat tím, že stejná posloupnost instrukcí se aplikuje paralelně a na různá data.

Jsou známy víceprocesorové počítače určené pro výpočet úloh, které se rozvíjejí do několika paralelně běžících větví. Jsou známy číslicové diferenciální analyzátory s jednotkovým kladným nebo záporným přírůstkům, určené pro paralelní řešení úloh diferenciálního charakteru.

Nevýhodou dosud známých počítačových systémů je jejich přílišná specializovanost. Nevýhodou dosud známých počítačových systémů je složitost jejich programového vybavení; programové vybavení zatím limituje potenciální možnosti technického provedení a organizace počítače. Rovněž technické provedení ještě není realizováno tak, aby bylo možno navrhnout vysoce efektivní programové vybavení.

Výše uvedené nedostatky jsou odstraněny kombinačním přírůstkovým maticovým mikroprocesorem se zadávacím obvodem ve výstupu sečítačky podle vynálezu, jehož podstatou je, že hodinový vstup každého paměťového prvku výstupního registru každého elementárního mikroprocesoru je spojen s řídicím výstupem centrální jednotky, hodinový vstup každého akumulárního paměťového prvku akumulárního obvodu každého elementárního mikroprocesoru je spojen s akumulárním řídicím výstupem centrální jednotky, blokovací vstup každého akumulárního paměťového prvku akumulárního obvodu každého elementárního mikroprocesoru je spojen s blokovacím řídicím výstupem centrální jednotky, řídicí vstup každého binárního dvouvstupého multiplexoru zadávacího obvodu každého elementárního mikroprocesoru je spojen se zadávacím řídicím výstupem centrální jednotky, přičemž alespoň v jednom elementárním mikroprocesoru je každý binární výstup sečítačky spojen s pořadím si odpovídajícím prvním datovým vstupem binárního dvouvstupého multiplexoru zadávacího obvodu, druhý datový vstup každého binárního dvouvstupého multiplexoru zadávacího obvodu je spojen s pořadím si odpovídajícím a k němu samostatně příslušejícím binární zadávací svorkou centrální jednotky, v každém elementárním mikroprocesoru je datový výstup každého binárního dvouvstupého multiplexoru zadávacího obvodu spojen s pořadím si odpovídajícím datovým vstupem paměťového prvku výstupního registru a s pořadím si odpovídajícím datovým vstupem akumulárního paměťového prvku akumulárního registru, výstup každého akumulárního paměťového prvku akumulárního

registru je v každém elementárním mikroprocesoru spojen s pořadím si odpovídajícím binárním vstupem prvního sčítače sečítačky, alespoň jedna kombinační násobička v každém elementárním mikroprocesoru je svým každým binárním výstupem spojena s pořadím si odpovídajícím binárním vstupem odpovídajícího sčítance sečítačky a svým každým binárním vstupem násobence je spojena s pořadím si odpovídající a k ní samostatně příslušející binární datovou svorkou centrální jednotky, zatímco pro vzájemné propojení elementárních mikroprocesorů je binární výstup každého paměťového prvku požadovaného výstupního registru spojen s pořadím si odpovídajícím vstupem násobitele alespoň jedné požadované kombinační násobičky.

Technický pokrok řešení podle vynálezu je charakterizován tím, že takto vytvořený kombinační přírůstkový maticový mikroprocesor se zadávacím obvodem ve výstupu sečítačky zásadním způsobem řeší paralelní spolupráci mikroprocesorů u úloh, které lze popsat diferenciální rovnicí. Hlavní výhodou řešení podle vynálezu je vysoká operační rychlost podmíněná paralelní strukturou. Významnou výhodou je modulová koncepce umožňující snadnou rozšiřitelnost. Mezi další výhody patří:

- jednoduché, názorné programování,
- jednoduchá kontrola činnosti,
- snadná interpretace řešení a pohodlné spojení s operátorem, případně s reálným zařízením,
- možnost rychlé změny parametrů a struktury úlohy

Na přiložených výkresech jsou uvedeny příklady provedení kombinačního přírůstkového maticového mikroprocesoru se zadávacím obvodem ve výstupu sečítačky.

Na obr. 1 je hodinový vstup každého paměťového prvku 3 výstupního registru 33 každého elementárního mikroprocesoru 1 spojen s řídicím výstupem 201 centrální jednotky 2, hodinový vstup každého akumulacečního paměťového prvku 7 akumulacečního obvodu 77 každého elementárního mikroprocesoru 1 je spojen s akumulacečním řídicím výstupem 202 centrální jednotky 2, blokovací vstup každého akumulacečního paměťového prvku 7 akumulacečního obvodu 77 každého elementárního mikroprocesoru 1 je spojen s blokovacím řídicím výstupem 203 centrální jednotky 2, řídicí vstup každého binárního dvouvstupového multiplexoru 5 zadávacího obvodu 55 každého elementárního mikroprocesoru 1 je spojen se zadávacím řídicím výstupem 204 centrální jednotky 2, přičemž alespoň v jednom elementárním mikroprocesoru 1 je každý binární výstup sečítačky 4 spojen s pořadím si odpovídajícím prvním datovým vstupem binárního dvouvstupového multiplexoru 5 zadávacího obvodu 55, druhý datový vstup každého binárního dvouvstupového multiplexoru 5 zadávacího obvodu 55 je spojen s pořadím si odpovídající a k němu samostatně příslušející binární zadávací svorkou centrální jednotky 2, v každém elementárním mikroprocesoru 1 je datový výstup každého binárního dvouvstupového multiplexoru 5 zadávacího obvodu 55 spojen s pořadím si odpovídajícím datovým vstupem paměťového prvku 3 výstupního registru 33 a s pořadím si odpovídajícím datovým vstupem akumulacečního paměťového prvku 7 akumulacečního registru 77, výstup každého akumulacečního paměťového prvku 7 akumulacečního registru 77 je v každém elementárním mikroprocesoru 1 spojen s pořadím si odpovídajícím binárním vstupem prvního sčítance sečítačky 4, alespoň jedna kombinační násobička 6 v každém elementárním mikroprocesoru 1 je svým každým binárním výstupem spojena s pořadím si odpovídajícím binárním vstupem odpovídajícího sčítance sečítačky 4 a svým každým binárním vstupem násobence je spojena s pořadím si odpovídající a k ní samostatně příslušející binární datovou svorkou centrální jednotky 2, zatímco pro vzájemné propojení elementárních mikroprocesorů 1 je binární výstup každého paměťového prvku 3 požadovaného výstupního registru 33 spojen s pořadím si odpovídajícím vstupem násobitele alespoň jedné požadované kombinační násobičky 6.

Na obr. 2 je alespoň v jednom elementárním mikroprocesoru 1 mezi každý binární vstup násobence alespoň jedné kombinační násobičky 6 a k ní pořadím si odpovídající a samostatně příslušející binární datovou svorkou centrální jednotky 2 zapojena lokální paměť 8, přičemž lokální paměť 8 je svým každým binárním výstupem spojena s pořadím si odpovídajícím binárním

vstupem násobence příslušné kombinační násobičky 6 a svým každým binárním vstupem je spojen s pořadím si odpovídající binární datovou svorkou centrální jednotky 2, samostatně příslušející odpovídající kombinační násobičce 6, zatímco zápisový vstup 81 lokální paměti 8 je spojen se zápisovým výstupem centrální jednotky 2, příslušejícím samostatně každé lokální paměti 8, přičemž každý binární adresový vstup lokální paměti 8 každého elementárního mikroprocesoru 1 je spojen s pořadím si odpovídajícím adresovým binárním výstupem centrální jednotky 2.

Na obr. 3 je alespoň v jednom elementárním mikroprocesoru 1 alespoň k jedné kombinační násobičce 6 připojen vstupní multiplexor 11 tvořený alespoň jedním binárním dvouvstupým multiplexorem 2, paměťový multiplexor 12 tvořený alespoň jedním binárním dvouvstupým multiplexorem 2 a pomocný registr 13 tvořený alespoň jedním paměťovým prvkem 3, přičemž každý datový vstup paměťového prvku 3 pomocného registru 13 je spojen s pořadím si odpovídajícím binárním výstupem příslušející kombinační násobičky 6, každý binární výstup paměťového prvku 3 pomocného registru 13 je spojen s pořadím si odpovídajícím druhým datovým vstupem binárního dvouvstupého multiplexoru 2 paměťového multiplexoru 12, každý binární dvouvstupý multiplexor 2 paměťového multiplexoru 12, zapojená mezi každý binární vstup násobence příslušející kombinační násobičky 6 a k ní pořadím si odpovídající a samostatně příslušející binární datovou svorku centrální jednotky 2, je svým každým binárním výstupem spojen s pořadím si odpovídajícím binárním vstupem násobence příslušné kombinační násobičky 6 a svým každým prvním datovým vstupem je spojen s pořadím si odpovídajícím binárním datovou svorkou centrální jednotky 2 samostatně příslušející odpovídající kombinační násobičce 6, zatímco pro vzájemné propojení elementárních mikroprocesorů 1 je mezi binární výstup každého paměťového prvku 3 požadovaného výstupního registru 33 a pořadím si odpovídající binární vstup násobitele příslušné kombinační násobičky 6 zapojen vstupní multiplexor 11, přičemž binární výstup každého paměťového prvku 3 požadovaného výstupního registru 33 je spojen s pořadím si odpovídajícím prvním datovým vstupem binárního dvouvstupého multiplexoru 2 výstupního multiplexoru 11, druhý datový vstup každého binárního dvouvstupého multiplexoru 2 vstupního multiplexoru 11 každého elementárního mikroprocesoru 1 je spojen s pořadím si odpovídajícím binárním násobícím výstupem centrální jednotky 2, datový výstup každého binárního dvouvstupého multiplexoru 2 vstupního multiplexoru 11 je spojen s pořadím si odpovídajícím binárním vstupem násobitele příslušné kombinační násobičky 6, zatímco hodinový vstup každého paměťového prvku 3 pomocného registru 13 každého elementárního mikroprocesoru 1 je spojen s pomocným hodinovým výstupem 210 centrální jednotky 2, řídicí vstup každého binárního dvouvstupého multiplexoru 2 paměťového multiplexoru 12 každého elementárního mikroprocesoru 1 je spojen s řídicím paměťovým výstupem 211 centrální jednotky 2 a řídicí vstup každého binárního dvouvstupého multiplexoru 2 vstupního multiplexoru 11 každého elementárního mikroprocesoru 1 je spojen s řídicím multiplexním výstupem 212 centrální jednotky 2.

Na obr. 4 je alespoň v jednom elementárním mikroprocesoru 1 alespoň k jedné kombinační násobičce 6 připojen vstupní multiplexor 11 tvořený alespoň jedním binárním dvouvstupým multiplexorem 2, paměťový multiplexor 12 tvořený alespoň jedním binárním dvouvstupým multiplexorem 2 a pomocná lokální paměť 14, přičemž každý binární vstup pomocné lokální paměti 14 je spojen s pořadím si odpovídajícím binárním výstupem příslušející kombinační násobičky 6, každý binární výstup pomocné lokální paměti 14 je spojen s pořadím si odpovídajícím druhým datovým vstupem každého binárního dvouvstupého multiplexoru 2 paměťového multiplexoru 12, každý binární dvouvstupý multiplexor 2 paměťového multiplexoru 12, zapojený mezi každý binární vstup násobence příslušející kombinační násobičky 6 a k ní pořadím si odpovídající a samostatně příslušející binární datovou svorku centrální jednotky 2, je svým každým binárním výstupem spojen s pořadím si odpovídajícím binárním vstupem násobence příslušné kombinační násobičky 6 a svým každým prvním datovým vstupem je spojen s pořadím si odpovídajícím binárním datovou svorkou centrální jednotky 2 samostatně příslušející odpovídající kombinační násobičce 6, zatímco pro vzájemné propojení elementárních mikroprocesorů 1 je mezi binární výstup každého paměťového prvku 3 požadovaného výstupního registru 33 a pořadím si odpovídající binární vstup násobitele příslušné kombinační

násobičky 6 zapojen vstupní multiplexor 11, přičemž binární výstup každého paměťového prvku 3 požadovaného výstupního registru 33 je spojen s pořadím si odpovídajícím prvním datovým vstupem binárního dvouvstupého multiplexoru 5 vstupního multiplexoru 11, druhý datový vstup každého binárního dvouvstupého multiplexoru 5 vstupního multiplexoru 11 každého elementárního mikroprocesoru 1 je spojen s pořadím si odpovídajícím binárním násobícím výstupem centrální jednotky 2, datový výstup každého binárního dvouvstupého multiplexoru 5 vstupního multiplexoru 11 je spojen s pořadím si odpovídajícím binárním vstupem násobitele příslušné kombinační násobičky 6, zatímco každý binární adresový vstup pomocné lokální paměti 14 každého elementárního mikroprocesoru 1 je spojen s pořadím si odpovídajícím pomocným adresovým binárním výstupem centrální jednotky 2, zápisový vstup pomocné lokální paměti 14 každého elementárního mikroprocesoru 1 je spojen s řídicím zápisovým výstupem 213 centrální jednotky 2, řídicí vstup každého binárního dvouvstupého multiplexoru 5 paměťového multiplexoru 12 každého elementárního mikroprocesoru 1 je spojen s řídicím paměťovým výstupem 211 centrální jednotky 2 a řídicí vstup každého binárního dvouvstupého multiplexoru 5 vstupního multiplexoru 11 každého elementárního mikroprocesoru 1 je spojen s řídicím multiplexním výstupem 212 centrální jednotky 2.

Na obr. 5. a 6. je alespoň v jednom elementárním mikroprocesoru 1 mezi každý první datový vstup každého binárního dvouvstupého multiplexoru 5 alespoň jednoho paměťového multiplexoru 12 a k němu pořadím si odpovídající binární datovou svorku centrální jednotky 2 samostatně příslušející odpovídající kombinační násobičce 6 zapojen lokální registr 15 tvořený alespoň jedním paměťovým prvkem 3, přičemž každý binární výstup paměťového prvku 3 lokálního registru 15 je spojen s pořadím si odpovídajícím prvním datovým vstupem binárního dvouvstupého multiplexoru 5 paměťového multiplexoru 12, každý datový vstup paměťového prvku 3 lokálního registru 15 je spojen s pořadím si odpovídající binární datovou svorkou centrální jednotky 2 samostatně příslušející odpovídající kombinační násobičce 6, zatímco hodinový vstup každého paměťového prvku 3 lokálního registru 15 je spojen s lokálním řídicím výstupem centrální jednotky 2 příslušejícím samostatně každému lokálnímu registru 15.

Na obr. 7. je alespoň v jednom elementárním mikroprocesoru 1 mezi každý binární výstup každé kombinační násobičky 6 a pořadím si odpovídající každý binární vstup každého odpovídajícího sčítance sečítačky 4 zapojena pomocná sečítačka 41 a pomocná kombinační násobička 61, přičemž každá kombinační násobička 6 je svým každým binárním výstupem spojena s pořadím si odpovídajícím binárním vstupem odpovídajícího sčítance pomocné sečítačky 41, každý binární výstup pomocné sečítačky 41 je spojen s pořadím si odpovídajícím binárním vstupem násobence pomocné kombinační násobičky 61, pomocná kombinační násobička 61 je svým každým binárním výstupem spojena s pořadím si odpovídajícím binárním vstupem příslušného sčítance sečítačky 4 a každý binární vstup násobitele pomocné kombinační násobičky 61 každého elementárního mikroprocesoru 1 je spojen s pořadím si odpovídajícím binárním násobícím výstupem centrální jednotky 2.

Na obr. 8. je alespoň v jednom elementárním mikroprocesoru 1 mezi každý binární vstup násobence alespoň jedné kombinační násobičky 6 a k ní pořadím si odpovídající a samostatně příslušející binární datovou svorku centrální jednotky 2 zapojen lokální registr 15, tvořený alespoň jedním paměťovým prvkem 3, přičemž každý binární výstup paměťového prvku 3 lokálního registru 15 je spojen s pořadím si odpovídajícím binárním vstupem násobence příslušné kombinační násobičky 6, každý datový vstup paměťového prvku 3 lokálního registru 15 je spojen s pořadím si odpovídající binární datovou svorkou centrální jednotky 2 samostatně příslušející odpovídající kombinační násobičce 6, zatímco hodinový vstup každého paměťového prvku 3 lokálního registru 15 je spojen s lokálním řídicím výstupem centrální jednotky 2 příslušejícím samostatně každému lokálnímu registru 15.

Na obr. 9., 10., 11., 12. je alespoň v jednom elementárním mikroprocesoru 1 mezi datový vstup každého binárního dvouvstupého multiplexoru 5 zadávacího obvodu 55 a k němu pořadím si odpovídající samostatně příslušející binární zadávací svorku centrální jednotky

2 zapojen zadávací registr 16, tvořený alespoň jedním paměťovým prvkem 3, přičemž každý binární výstup paměťového prvku 3 zadávacího registru 16 je spojen s pořadím si odpovídajícím druhým datovým vstupem binárního dvouvstupého multiplexoru 5 zadávacího obvodu 55, každý datový vstup paměťového prvku 3 zadávacího registru 16 je spojen s pořadím si odpovídajícím a k němu samostatně příslušejícím binární datovou svorkou centrální jednotky 2, zatímco hodinový vstup každého paměťového prvku 3 zadávacího registru 16 je spojen s hodinovým výstupem centrální jednotky 2 příslušejícím samostatně každému elementárnímu mikroprocesoru 1.

Na obr. 13., 14., 15., 16. jsou pořadím si odpovídající binární datové svorky centrální jednotky 2 samostatně příslušející odpovídajícím kombinačním násobičkám 6 všech elementárních mikroprocesorů 1 navzájem propojeny a spojeny s pořadím si odpovídajícími zadávacími svorkami centrální jednotky 2 samostatně příslušejícími odpovídajícími zadávacím obvodům 15 všech elementárních mikroprocesorů 1.

Na obr. 17, je detail konkrétního provedení akumulárního paměťového prvku 7 akumulárního obvodu 77, kde hodinový vstup klopného obvodu typu D je spojen s akumulárním řídicím výstupem 202 centrální jednotky 2, blokovací vstup součinného hradla je spojen s blokovacím řídicím výstupem 203 centrální jednotky 2; datovým vstupem akumulárního paměťového prvku 7 je D vstup klopného obvodu typu D a výstupem akumulárního paměťového prvku 7 je výstup součinného hradla.

V konkrétním provedení kombinačního přírůstkového maticového mikroprocesoru se zadávacím obvodem ve výstupu sečítačky je dále paměťový prvek 3 tvořen klopným obvodem typu D, sečítačka 4 je tvořena kombinační n-bitovou sečítačkou. V běžném provedení je realizován binární dvouvstupý multiplexor 2, kombinační násobička 6, pomocná kombinační násobička 61, pomocná sečítačka 41, lokální paměť 8 a pomocná lokální paměť 14.

Kombinační přírůstkový maticový mikroprocesor se zadávacím obvodem ve výstupu sečítačky je určen pro numerické řešení diferenciálních rovnic.

Při řešení diferenciální rovnice $y' - a y = 0$ s počáteční podmínkou $y(0) = y_0$ je činnost kombinačního přírůstkového mikroprocesoru se zadávacím obvodem ve výstupu sečítačky založena na řešení vztahu

$$y_{i+1} = y_i + h \cdot y'_i + \frac{h^2}{2!} y''_i + \frac{h^3}{3!} y'''_i + \dots$$

resp.

$$y_{i+1} = y_i + DY1_i + DY2_i + DY3_i + \dots,$$

kde

$$DY1_i = h \cdot y'_i$$

$$DY2_i = \frac{h}{2} DY1_i$$

$$DY3_i = \frac{h}{3} DY2_i \text{ atd.}$$

Při výpočtu prvního kroku se pomocí zadávacího obvodu 55 vloží počáteční podmínka y_0 do výstupního registru 33 a do akumulárního obvodu 77. Propojen je binární výstup každého paměťového prvku 3 výstupního registru 33 s pořadím si odpovídajícím vstupem násobitele kombinační násobičky 6 téhož elementárního mikroprocesoru 1.

Na binární datové svorky centrální jednotky 2 samostatně příslušející odpovídající kombinační násobičce 6 se v provedení obr. 1 vloží násobitel ah , h - hodnota integračního kroku. Odblokuje se akumulací obvod 77 a sečte se

$$y_0 + DY1_0 = y_0 + a \cdot h \cdot y_0$$

pomocí sečítačky 4. Výsledek se uloží do akumulací obvodu 77. Zablokuje se akumulací obvod 77 a hodnota $DY1_0$ se přepíše do výstupního registru 33. Na binární datové svorky centrální jednotky 2 se vloží $a \frac{h}{2}$. Vynásobením se získá další člen $DY2_0$ Taylorova rozvoje, std.

V provedení dle obr. 2. se do lokální paměti zapíše postupně ah , $a \frac{h}{2}$, $a \frac{h}{3}$, std. Adresováním paměti se tato data zavádějí postupně na vstup násobitele požadované kombinační násobičky 6.

V provedení dle obr. 3. se na binární datové svorky centrální jednotky 2 samostatně příslušející odpovídající kombinační násobičce 6 vloží hodnota a. Vstupní multiplexor 11 připojí vstup násobitele kombinační násobičky 6 k binárnímu násobícímu výstupu centrální jednotky 2, kde se v prvním kroku vloží h . Paměťový multiplexor 12 propojí vstup násobence na binární datové svorky centrální jednotky 2. Získaná hodnota ah se uloží do pomocného registru 13. Přepne se vstupní multiplex 11 a paměťový multiplex 12; další postup je již obdobný předchozímu výkladu.

V provedení dle obr. 4. se vypočítané hodnoty ah , $a \frac{h}{2}$, $a \frac{h}{3}$, std., uloží do pomocné lokální paměti 14.

V provedení dle obr. 5. a 6. se hodnota a zapíše do lokálního registru 15.

V provedení dle obr. 7. se provádí nejdříve výpočet $a \cdot y_0$, v kombinační násobičce 6 a potom násobení $(a \cdot y_0) \cdot h$ v pomocné kombinační násobičce 61. Pomocná sečítačka 41 se používá u vícevstupných elementárních mikroprocesorů.

V provedení dle obr. 8 se hodnota a zapíše do lokálního registru 15.

V provedení dle obr. 9., 10., 12. se hodnota počáteční podmínky y_0 uloží nejdříve do zadávacího registru 16.

Provedení dle obr. 13., 14., 15., 16. umožňuje používat společnou datovou sběrnici.

PŘEDMĚT VYNÁLEZU

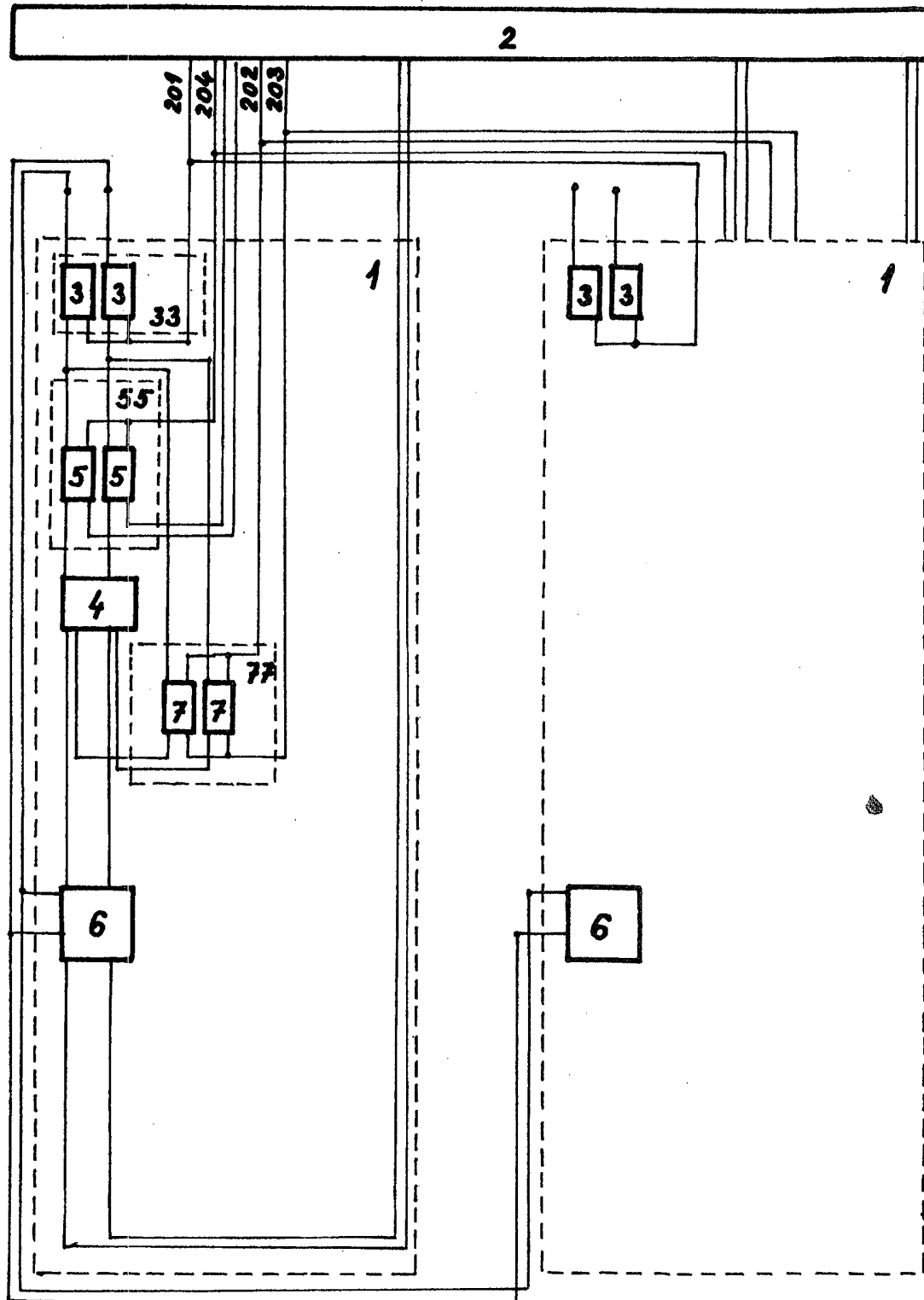
1. Kombinační přírůstkový maticový mikroprocesor se zadávacím obvodem ve výstupu sečítačky, vyznačený tím, že hodinový vstup každého paměťového prvku (3) výstupního registru (33) každého elementárního mikroprocesoru (1) je spojen s řídicím výstupem (201) centrální jednotky (2), hodinový vstup každého akumulacečního paměťového prvku (7) akumulacečního obvodu (77) každého elementárního mikroprocesoru (1) je spojen s akumulacečním řídicím výstupem (202) centrální jednotky (2), blokovací vstup každého akumulacečního paměťového prvku (7) akumulacečního obvodu (77) každého elementárního mikroprocesoru (1) je spojen s blokovacím řídicím výstupem (203) centrální jednotky (2), řídicí vstup každého binárního dvouvstupového multiplexoru (5) zadávacího obvodu (55) každého elementárního mikroprocesoru (1) je spojen se zadávacím řídicím výstupem (204) centrální jednotky (2), přičemž alespoň v jednom elementárním mikroprocesoru (1) je každý binární výstup sečítačky (4) spojen s pořadím si odpovídajícím prvním datovým vstupem binárního dvouvstupového multiplexoru (5) zadávacího obvodu (55), druhý datový vstup každého binárního dvouvstupového multiplexoru (5) zadávacího obvodu (55) je spojen s pořadím si odpovídající a k němu samostatně příslušející binární zadávací svorkou centrální jednotky (2), v každém elementárním mikroprocesoru (1) je datový výstup každého binárního dvouvstupového multiplexoru (5) zadávacího obvodu (55) spojen s pořadím si odpovídajícím datovým vstupem paměťového prvku (3) výstupního registru (33) a s pořadím si odpovídajícím datovým vstupem akumulacečního paměťového prvku (7) akumulacečního registru (77), výstup každého akumulacečního paměťového prvku (7) akumulacečního registru (77) je v každém elementárním mikroprocesoru (1) spojen s pořadím si odpovídajícím binárním vstupem prvního sčítance sečítačky (4), alespoň jedna kombinační násobička (6) v každém elementárním mikroprocesoru (1) je svým každým binárním výstupem spojena s pořadím si odpovídajícím binárním vstupem odpovídajícího sčítance sečítačky (4) a svým každým binárním vstupem násobence je spojena s pořadím si odpovídající a k ní samostatně příslušející binární datovou svorkou centrální jednotky (2), zatímco pro vzájemné propojení elementárních mikroprocesorů (1) je binární výstup každého paměťového prvku (3) požadovaného výstupního registru (33) spojen s pořadím si odpovídajícím vstupem násobitele alespoň jedné požadované kombinační násobičky (6).

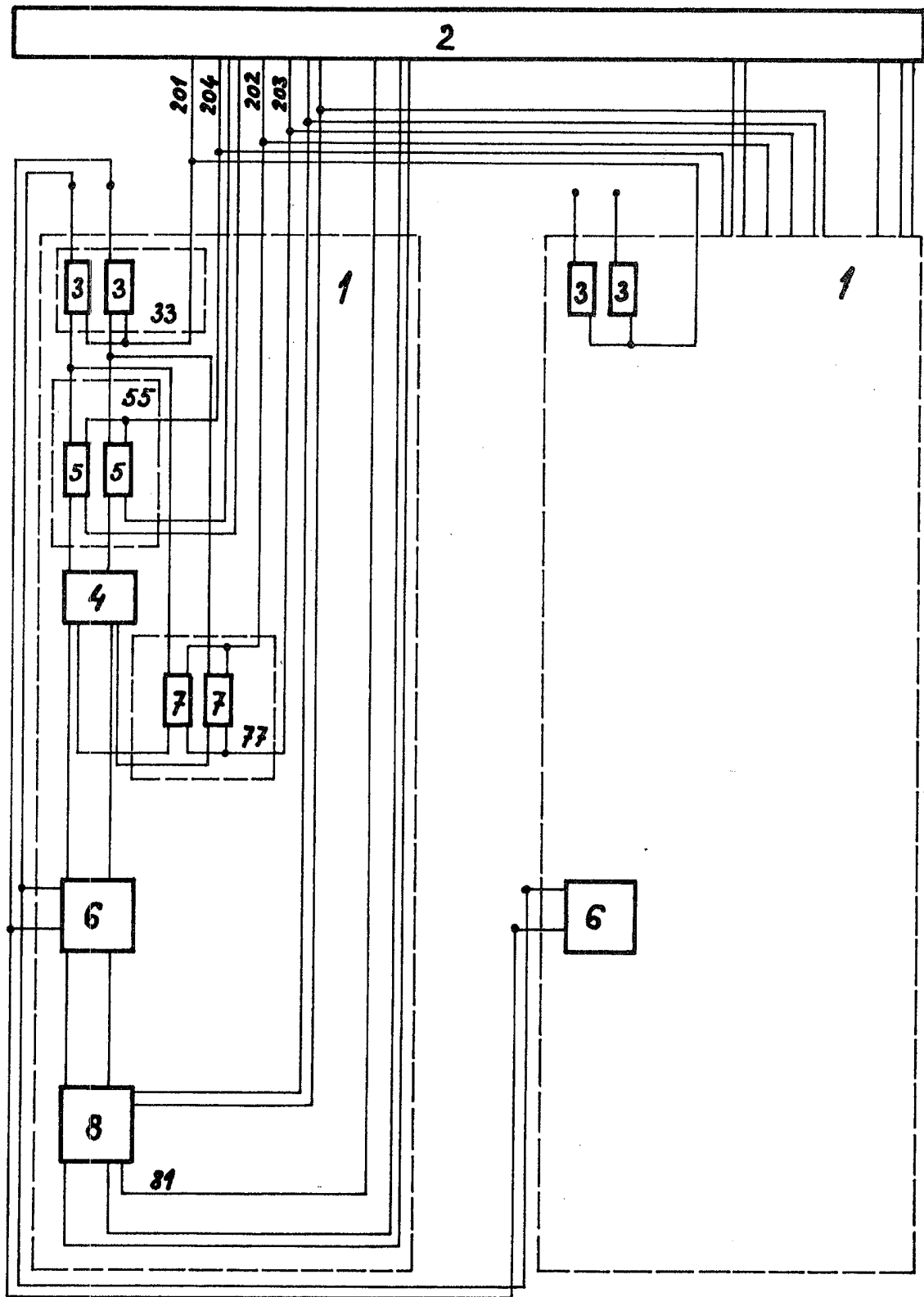
2. Kombinační přírůstkový maticový mikroprocesor se zadávacím obvodem ve výstupu sečítačky podle bodu 1, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je mezi každý binární vstup násobence alespoň jedné kombinační násobičky (6) a k ní pořadím si odpovídající a samostatně příslušející binární datovou svorkou centrální jednotky (2) zepojena lokální paměť (8), přičemž lokální paměť (8) je svým každým binárním výstupem spojena s pořadím si odpovídajícím binárním vstupem násobence příslušné kombinační násobičky (6) a svým každým binárním vstupem je spojena s pořadím si odpovídající binární datovou svorkou centrální jednotky (2), samostatně příslušející odpovídající kombinační násobičce (6), zatímco zápisový vstup (81) lokální paměti (8) je spojen se zápisovým výstupem centrální jednotky (2), příslušejícím samostatně každé lokální paměti (8), přičemž každý binární adresový vstup lokální paměti (8) každého elementárního mikroprocesoru (1) je spojen s pořadím si odpovídajícím adresovým binárním výstupem centrální jednotky (2).

3. Kombinační přírůstkový maticový mikroprocesor se zadávacím obvodem ve výstupu sečítačky podle bodu 1, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je alespoň k jedné kombinační násobičce (6) připojen vstupní multiplexor (11) tvořený alespoň jedním binárním dvouvstupovým multiplexorem (5), paměťový multiplexor (12) tvořený alespoň jedním binárním dvouvstupovým multiplexorem (5) a pomocný registr (13) tvořený alespoň jedním paměťovým prvkem (3), přičemž každý datový vstup paměťového prvku (3) pomocného registru (13) je spojen s pořadím si odpovídajícím binárním vstupem příslušející kombinační násobičky (6), každý binární výstup paměťového prvku (3) pomocného registru (13) je spojen s pořadím si odpovídajícím druhým datovým vstupem binárního dvouvstupového multiplexoru (5) paměťového multiplexoru (12), každý binární dvouvstupový multiplexor (5)

paměťového multiplexoru (12), zapojený mezi každý binární vstup násobence příslušející kombinální násobičky (6) a k ní pořadím si odpovídající a samostatně příslušející binární datovou svorku centrální jednotky (2), je svým každým binárním výstupem spojen s pořadím si odpovídajícím binárním vstupem násobence příslušné kombinální násobičky (6) a svým každým prvním datovým vstupem je spojen s pořadím si odpovídající binární datovou svorkou centrální jednotky (2) samostatně příslušející odpovídající kombinální násobičce (6), zatímco pro vzájemné propojení elementárních mikroprocesorů (1) je mezi binární výstup každého paměťového prvku (3) požadovaného výstupního registru (33) a pořadím si odpovídající binární vstup násobitele příslušné kombinální násobičky (6) zapojen vstupní multiplexor (11), přičemž binární výstup každého paměťového prvku (3) požadovaného výstupního registru (33) je spojen s pořadím si odpovídajícím prvním datovým vstupem binárního dvouvstupého multiplexoru (5) vstupního multiplexoru (11), druhý datový vstup každého binárního dvouvstupého multiplexoru (5) vstupního multiplexoru (11) každého elementárního mikroprocesoru (1) je spojen s pořadím si odpovídajícím binárním násobícím výstupem centrální jednotky (2), datový výstup každého binárního dvouvstupého multiplexoru (5) vstupního multiplexoru (11) je spojen s pořadím si odpovídajícím binárním vstupem násobitele příslušné kombinální násobičky (6), zatímco hodinový vstup každého paměťového prvku (3) pomocného registru (13) každého elementárního mikroprocesoru (1) je spojen s pomocným hodinovým výstupem (210) centrální jednotky (2), řídicí vstup každého binárního dvouvstupého multiplexoru (5) paměťového multiplexoru (12) každého elementárního mikroprocesoru (1) je spojen s řídicím paměťovým výstupem (211) centrální jednotky (2) a řídicí vstup každého binárního dvouvstupého multiplexoru (5) vstupního multiplexoru (11) každého elementárního mikroprocesoru (1) je spojen s řídicím multiplexním výstupem (212) centrální jednotky (2).

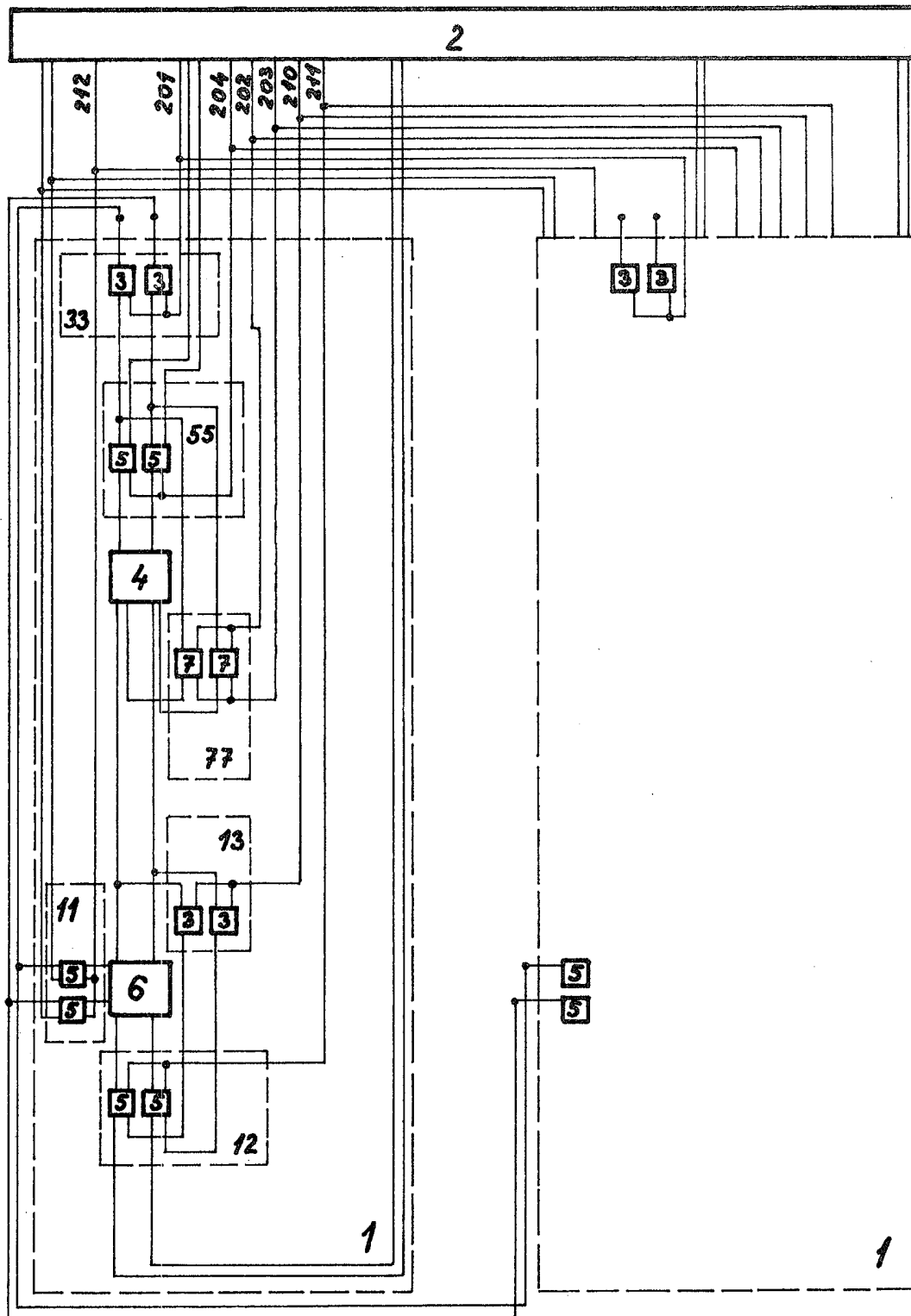
4. Kombinační přírůstkový maticový mikroprocesor se zadávacím obvodem ve výstupu seřitačky podle bodu 1, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je alespoň k jedné kombinální násobičce (6) připojen vstupní multiplexor (11) tvořený alespoň jedním binárním dvouvstupým multiplexorem (5), paměťový multiplexor (12) tvořený alespoň jedním binárním dvouvstupým multiplexorem (5) a pomocná lokální paměť (14), přičemž každý binární vstup pomocné lokální paměti (14) je spojen s pořadím si odpovídajícím binárním výstupem příslušející kombinální násobičky (6), každý binární výstup pomocné lokální paměti (14) je spojen s pořadím si odpovídajícím druhým datovým vstupem každého binárního dvouvstupého multiplexoru (5) paměťového multiplexoru (12), každý binární dvouvstupý multiplexor (5) paměťového multiplexoru (12), zapojený mezi každý binární vstup násobence příslušející kombinální násobičky (6) a k ní pořadím si odpovídající a samostatně příslušející binární datovou svorku centrální jednotky (2), je svým každým binárním výstupem spojen s pořadím si odpovídajícím binárním vstupem násobence příslušné kombinální násobičky (6) a svým každým prvním datovým vstupem je spojen s pořadím si odpovídající binární datovou svorkou centrální jednotky (2) samostatně příslušející odpovídající kombinální násobičce (6), zatímco pro vzájemné propojení elementárních mikroprocesorů (1) je mezi binární výstup každého paměťového prvku (3) požadovaného výstupního registru (33) a pořadím si odpovídající binární vstup násobitele příslušné kombinální násobičky (6) zapojen vstupní multiplexor (11), přičemž binární výstup každého paměťového prvku (3) požadovaného výstupního registru (33) je spojen s pořadím si odpovídajícím prvním datovým vstupem binárního dvouvstupého multiplexoru (5) vstupního multiplexoru (11), druhý datový vstup každého binárního dvouvstupého multiplexoru (5) vstupního multiplexoru (11) každého elementárního mikroprocesoru (1) je spojen s pořadím si odpovídajícím binárním násobícím výstupem centrální jednotky (2), datový výstup každého binárního dvouvstupého multiplexoru (5) vstupního multiplexoru (11) je spojen s pořadím si odpovídajícím binárním vstupem násobitele příslušné kombinální násobičky (6), zatímco každý binární adresový vstup pomocné lokální paměti (14) každého elementárního mikroprocesoru (1) je spojen s pořadím si odpovídajícím pomocným adresovým binárním výstupem centrální jednotky (2), zápisový vstup pomocné lokální paměti (14) každého elementárního mikroprocesoru (1) je spojen s řídicím zápisovým výstupem (213) centrální jednotky (2), řídicí vstup každého binárního dvouvstupého multiplexoru (5) paměťového multiplexoru (12) každého elementárního mikroprocesoru (1) je spojen s řídicím paměťovým výstupem (211) centrální jednotky (2) a řídicí





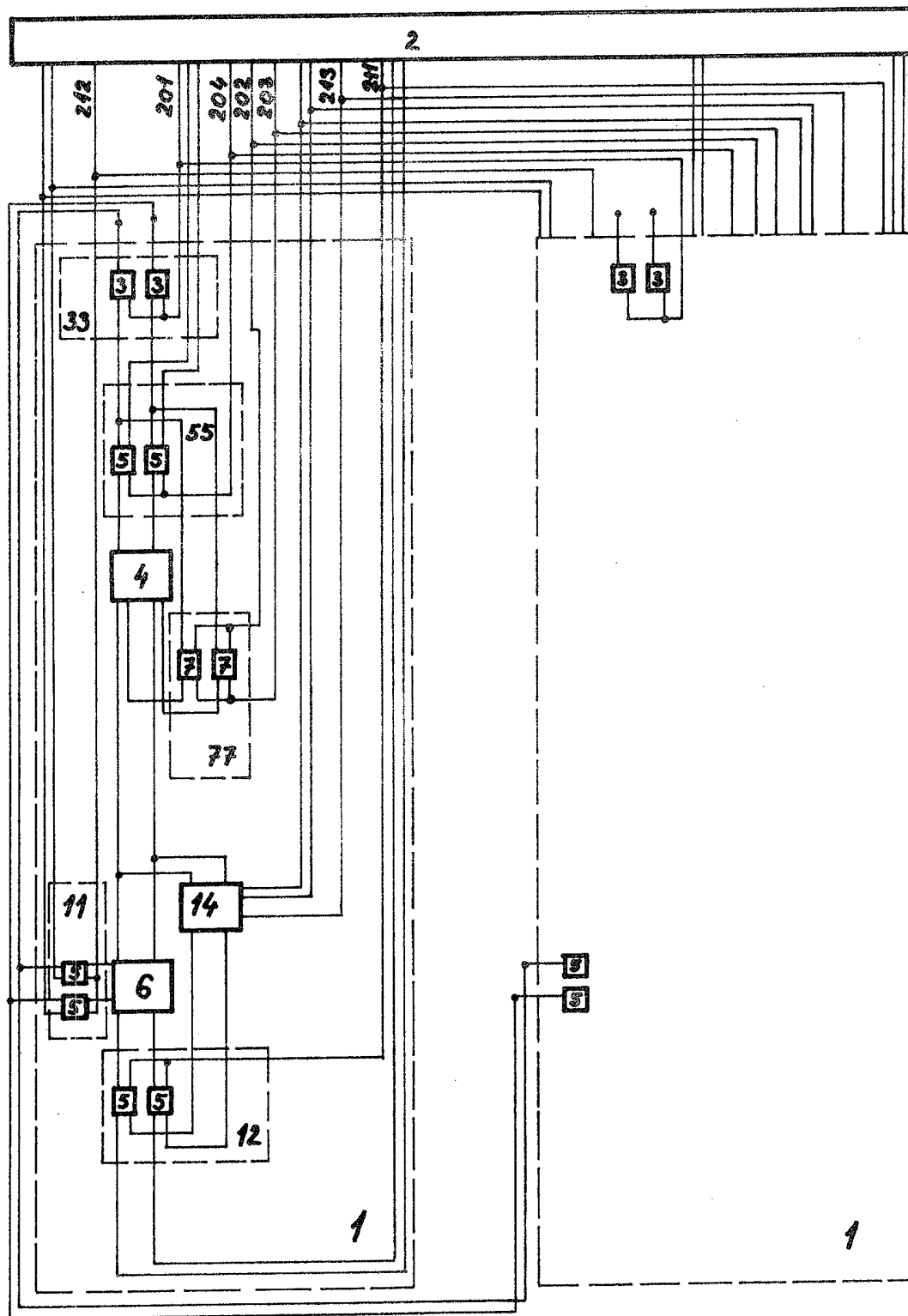
abr. 2

228 160



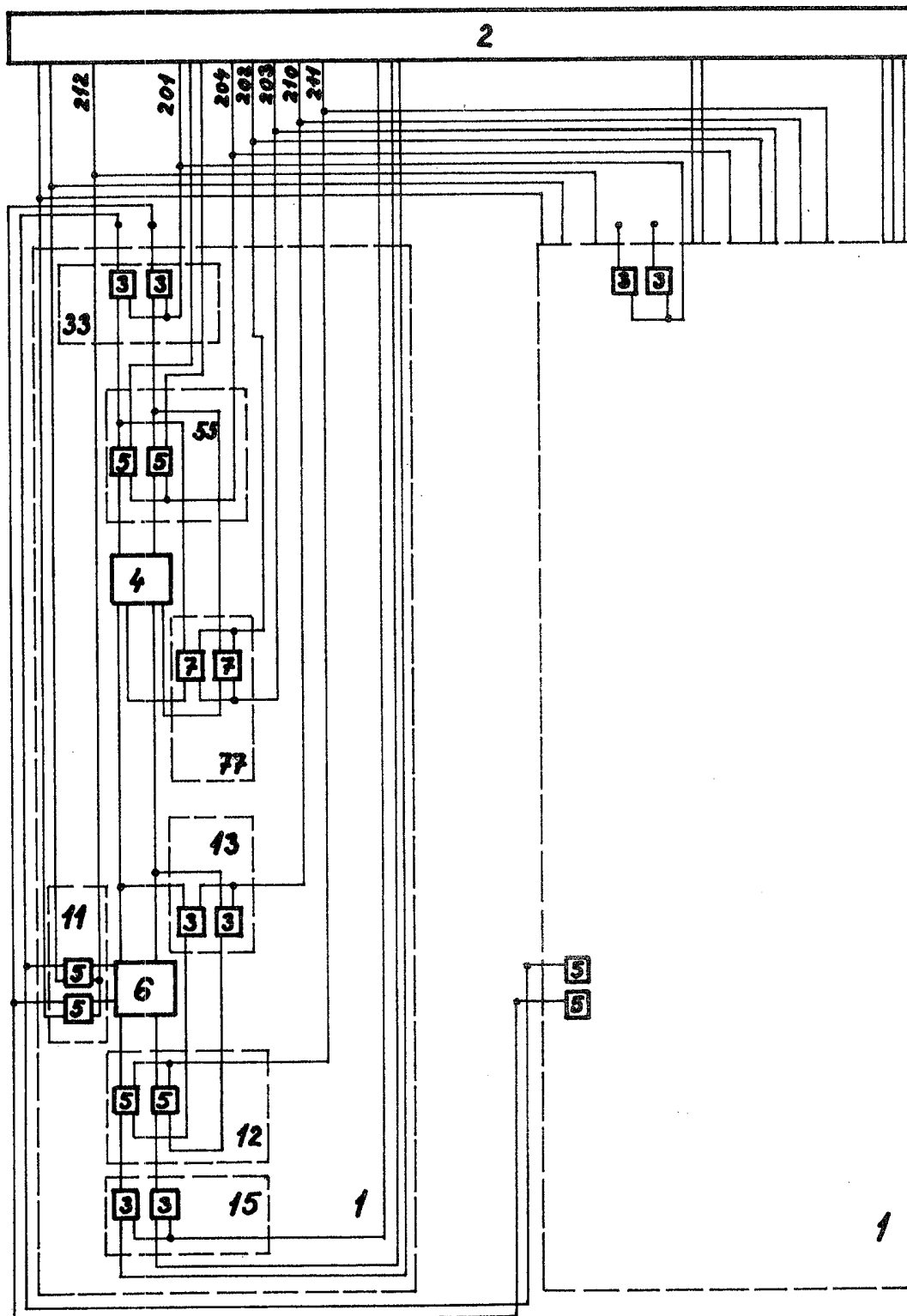
obr. 3

228 160



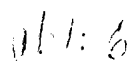
obr. 4

127 420



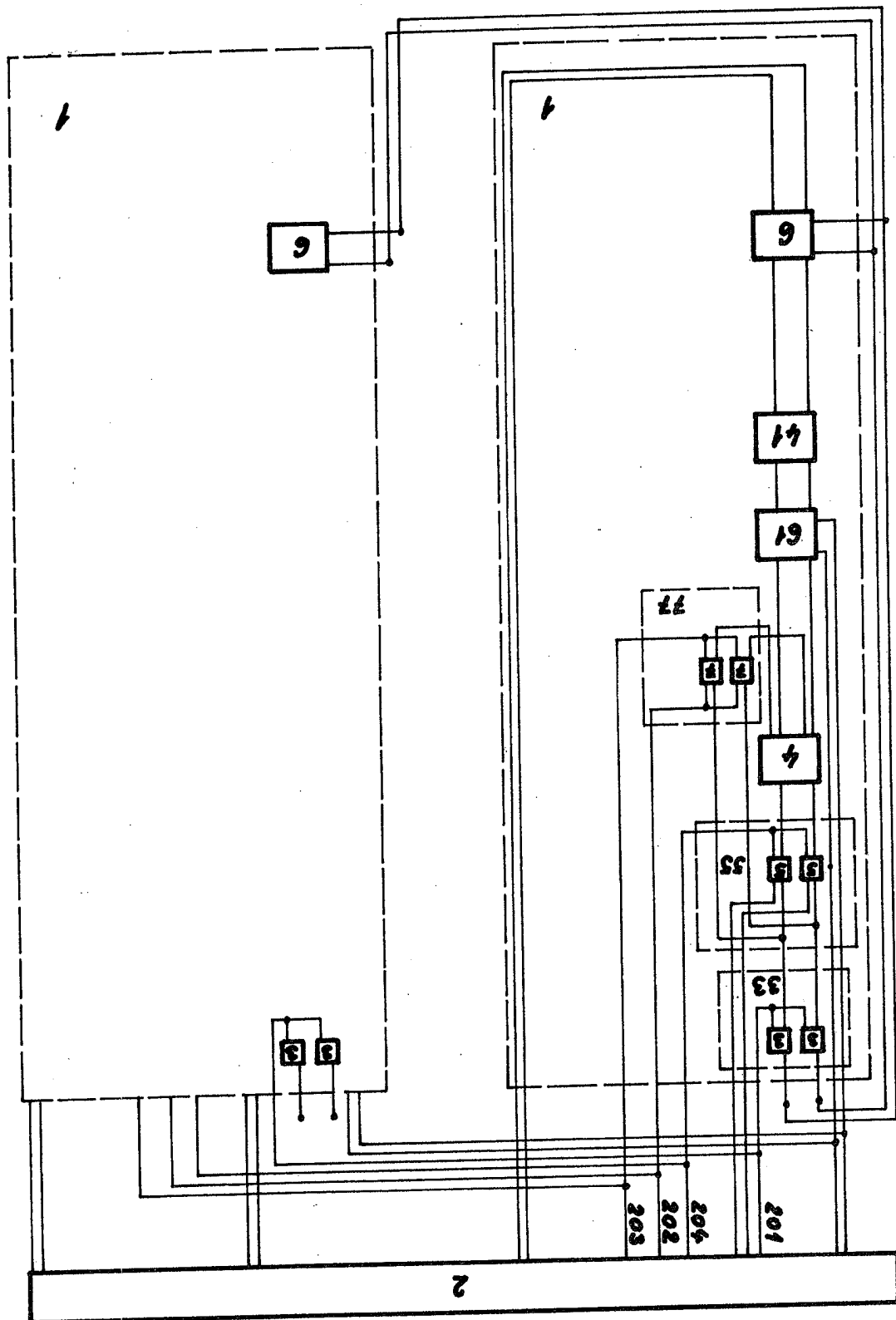
abr: 5

022 100



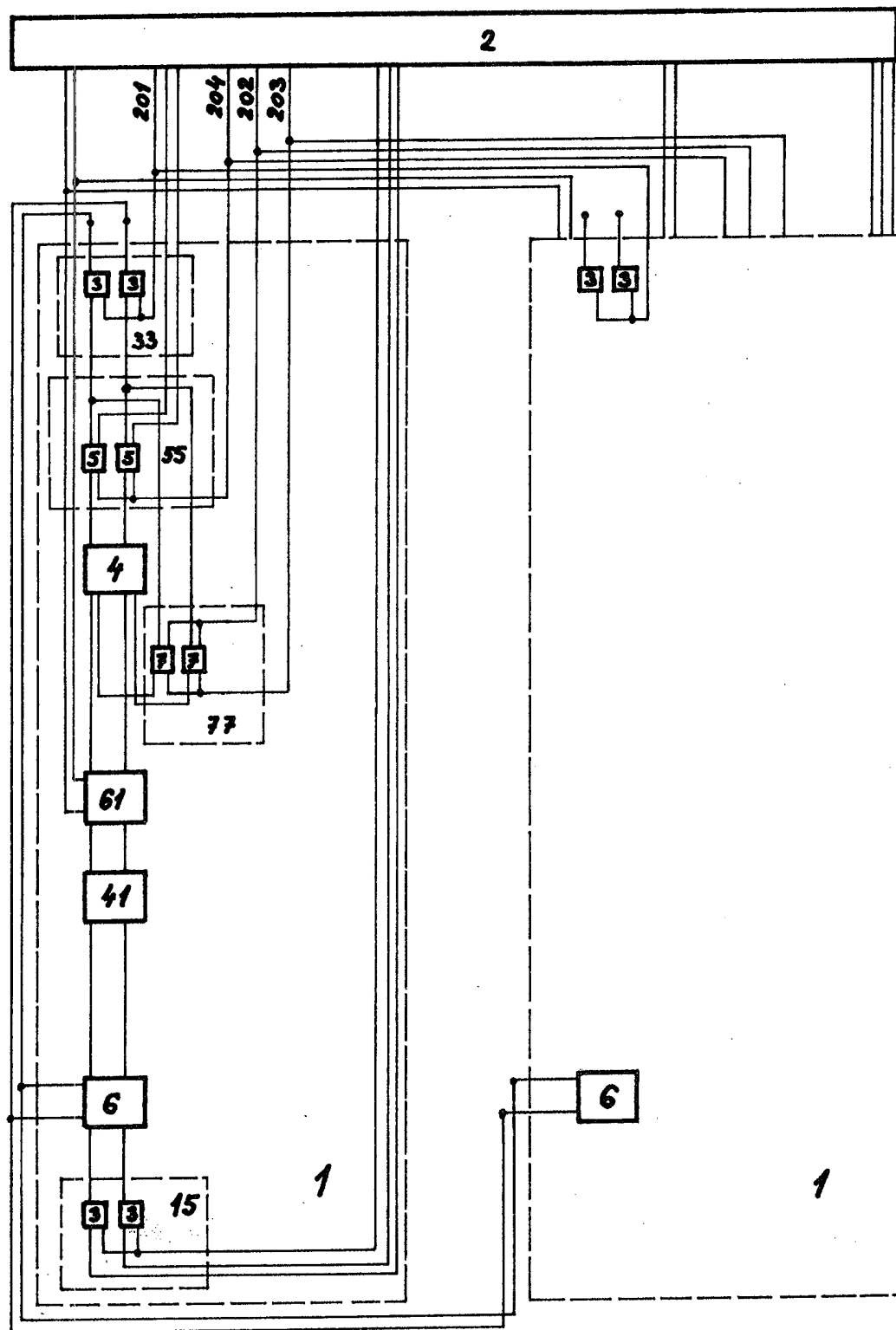
pl 1: 6

± 490



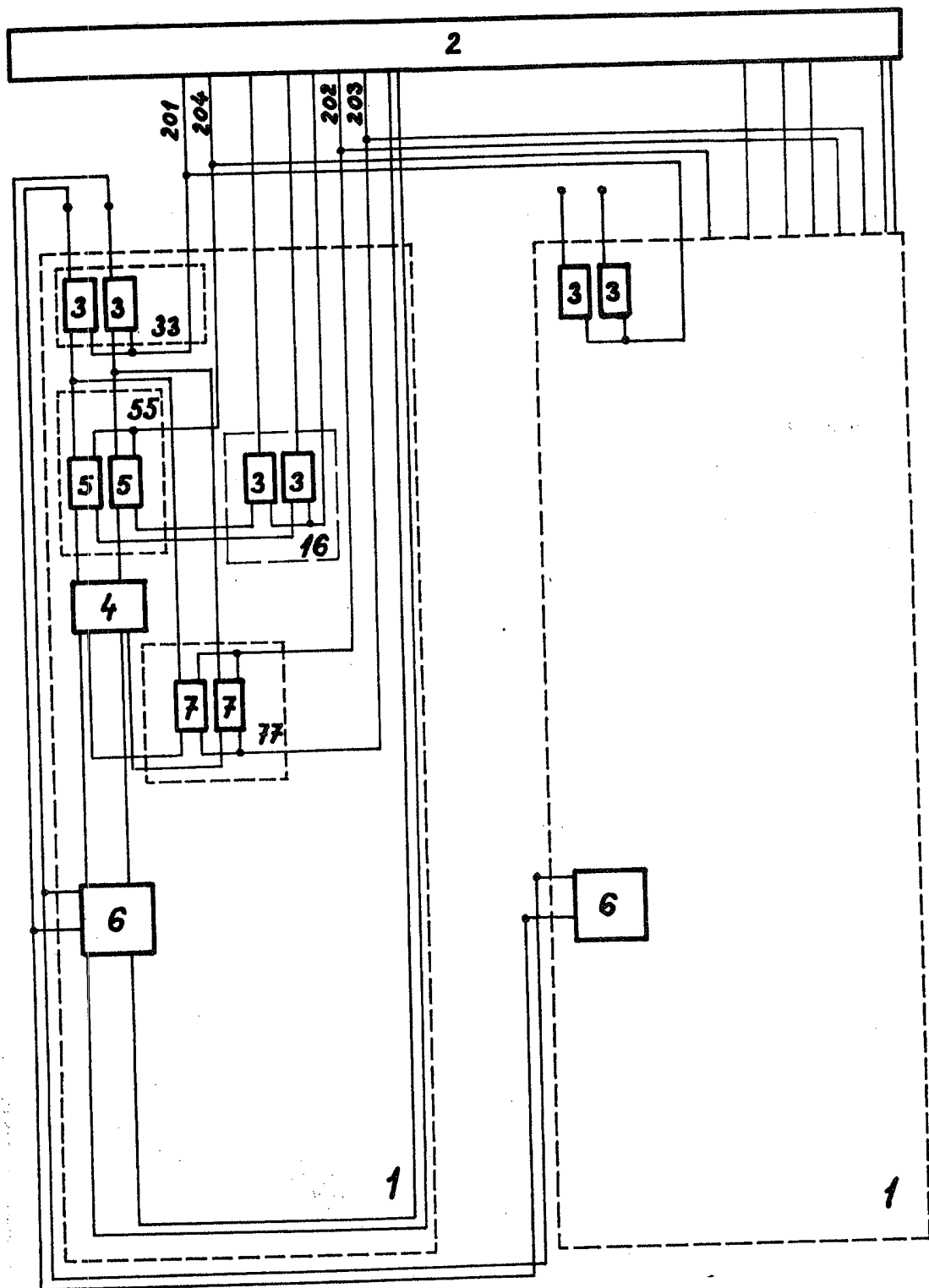
± 490

228 160



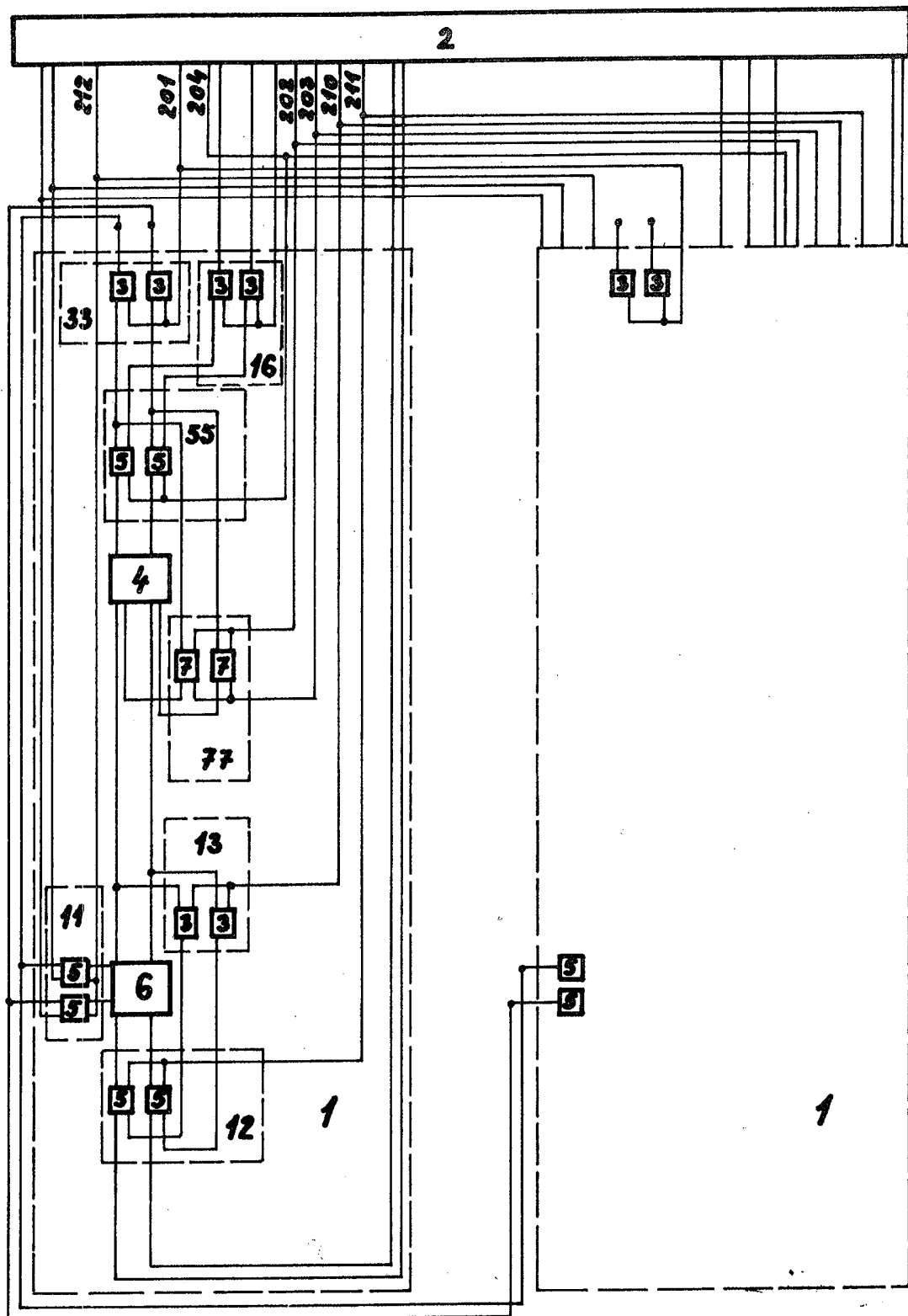
obr 8

228 460



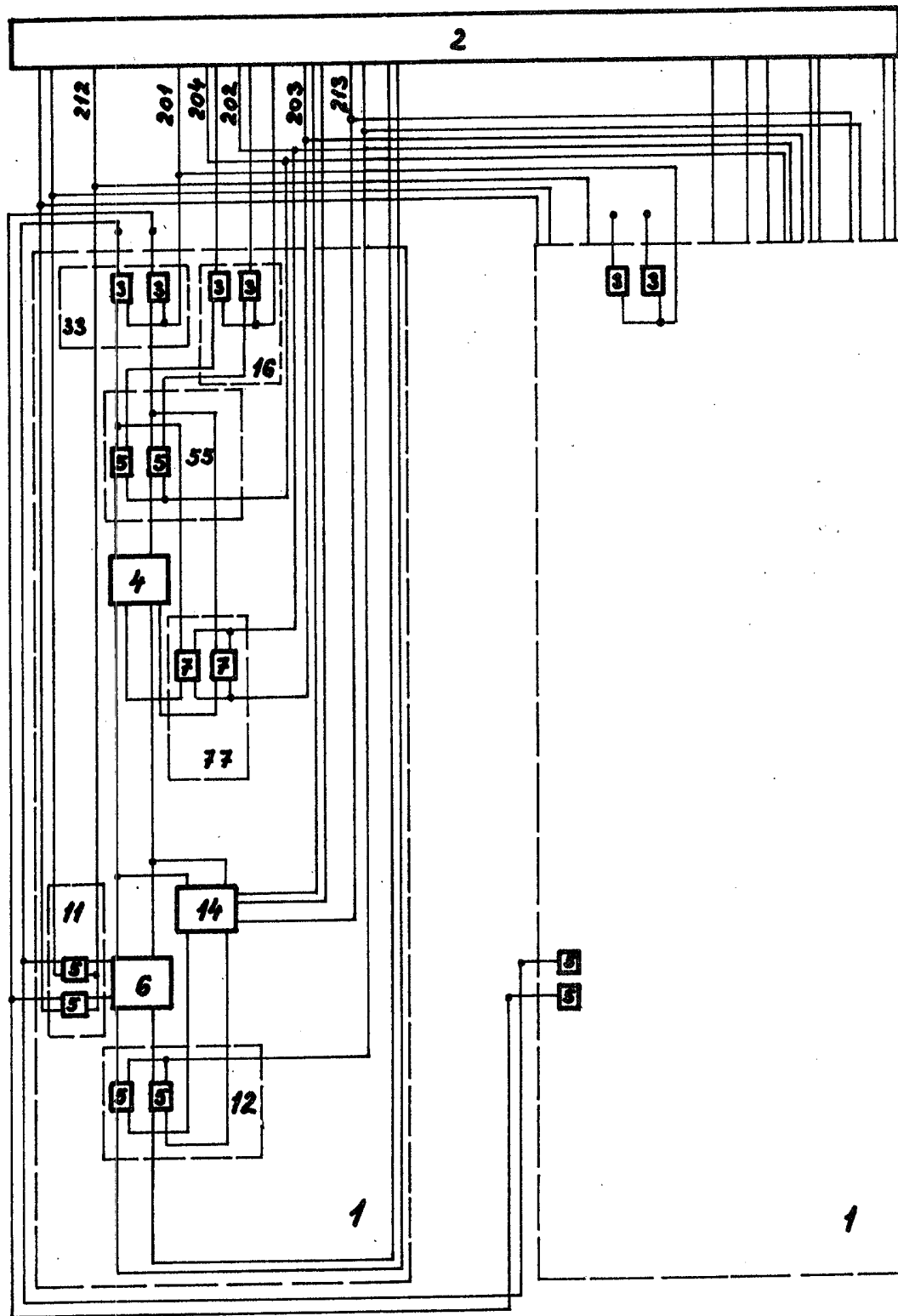
abr. 9

222 160



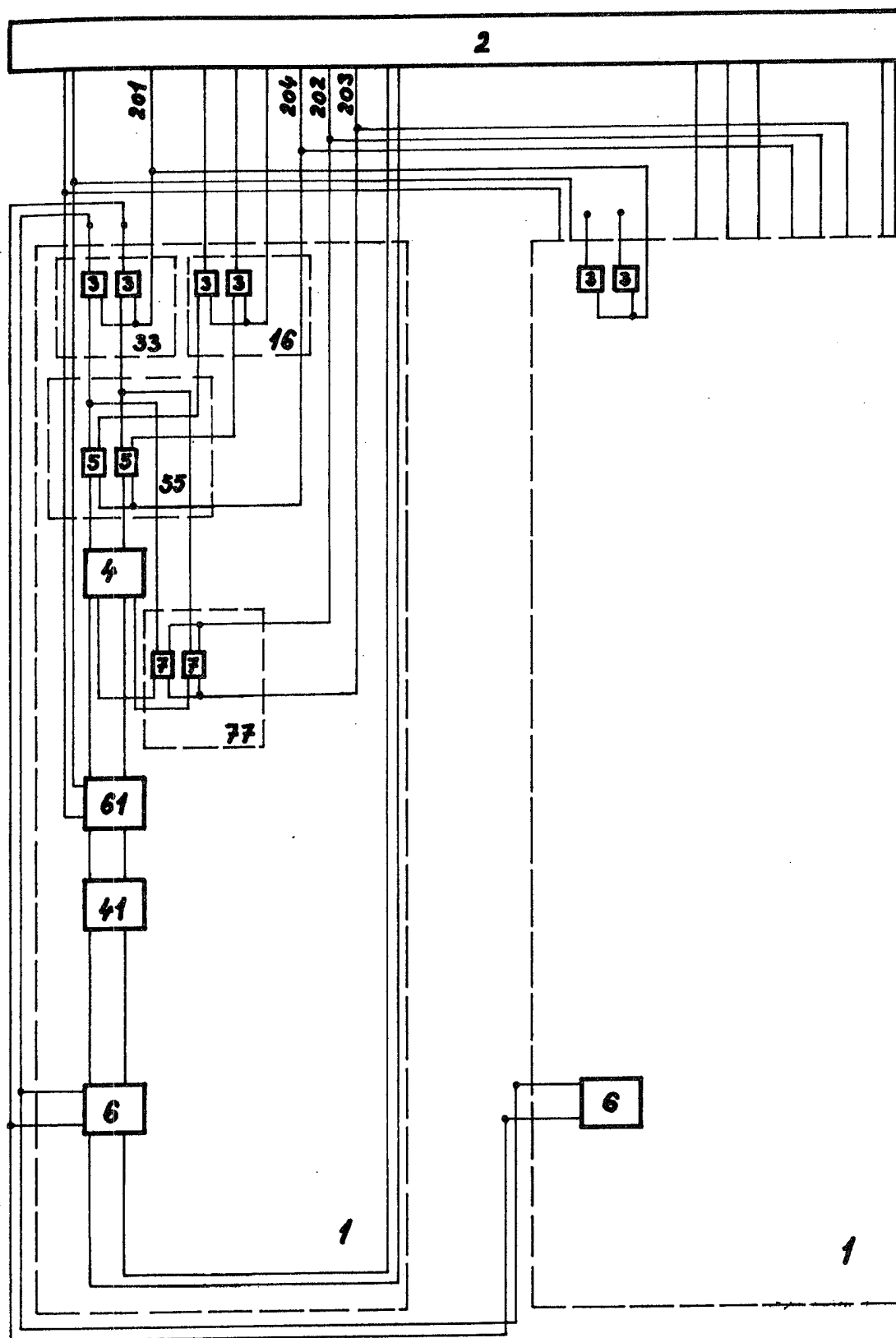
об. 10

228 160



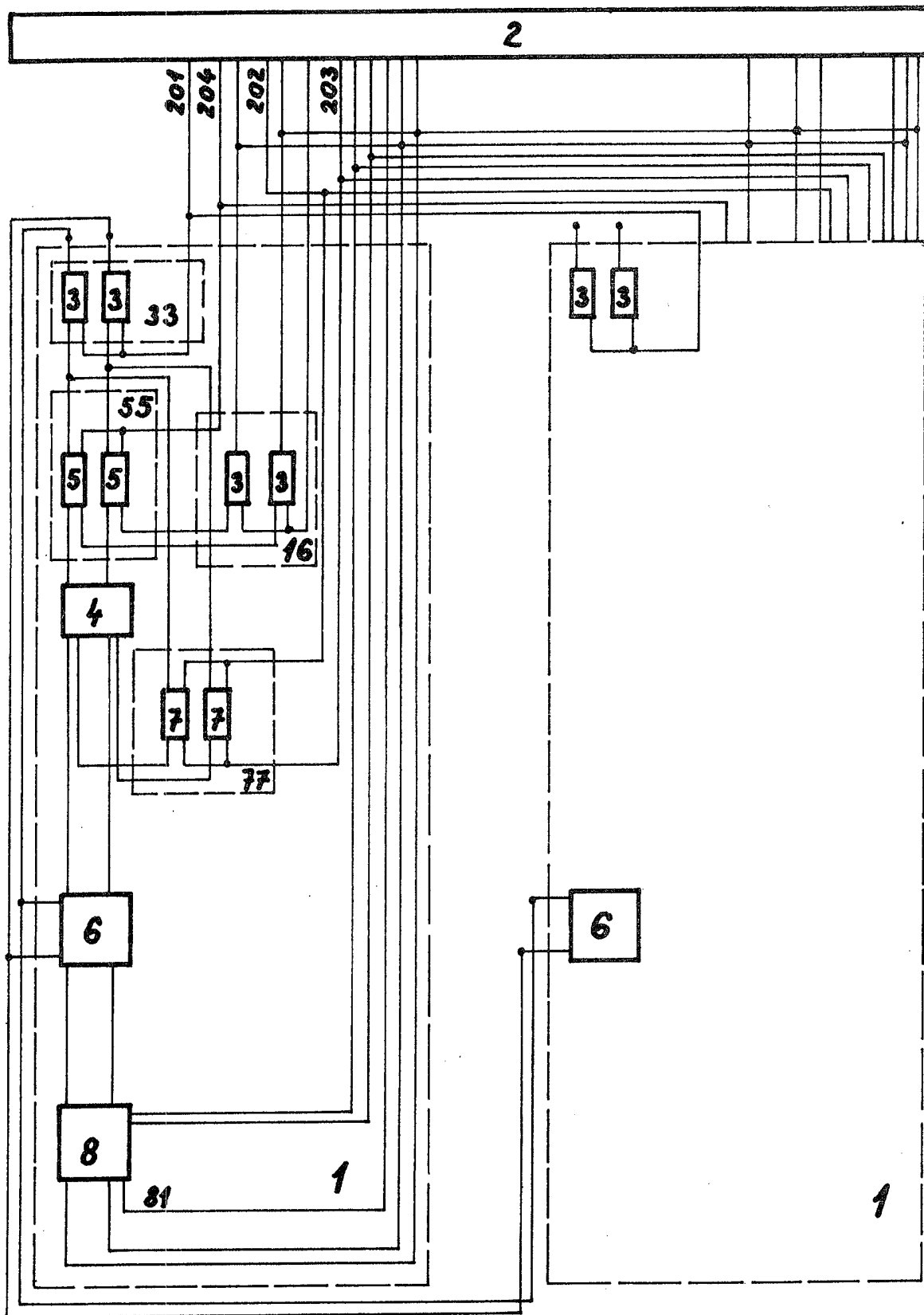
obr: 99

228160



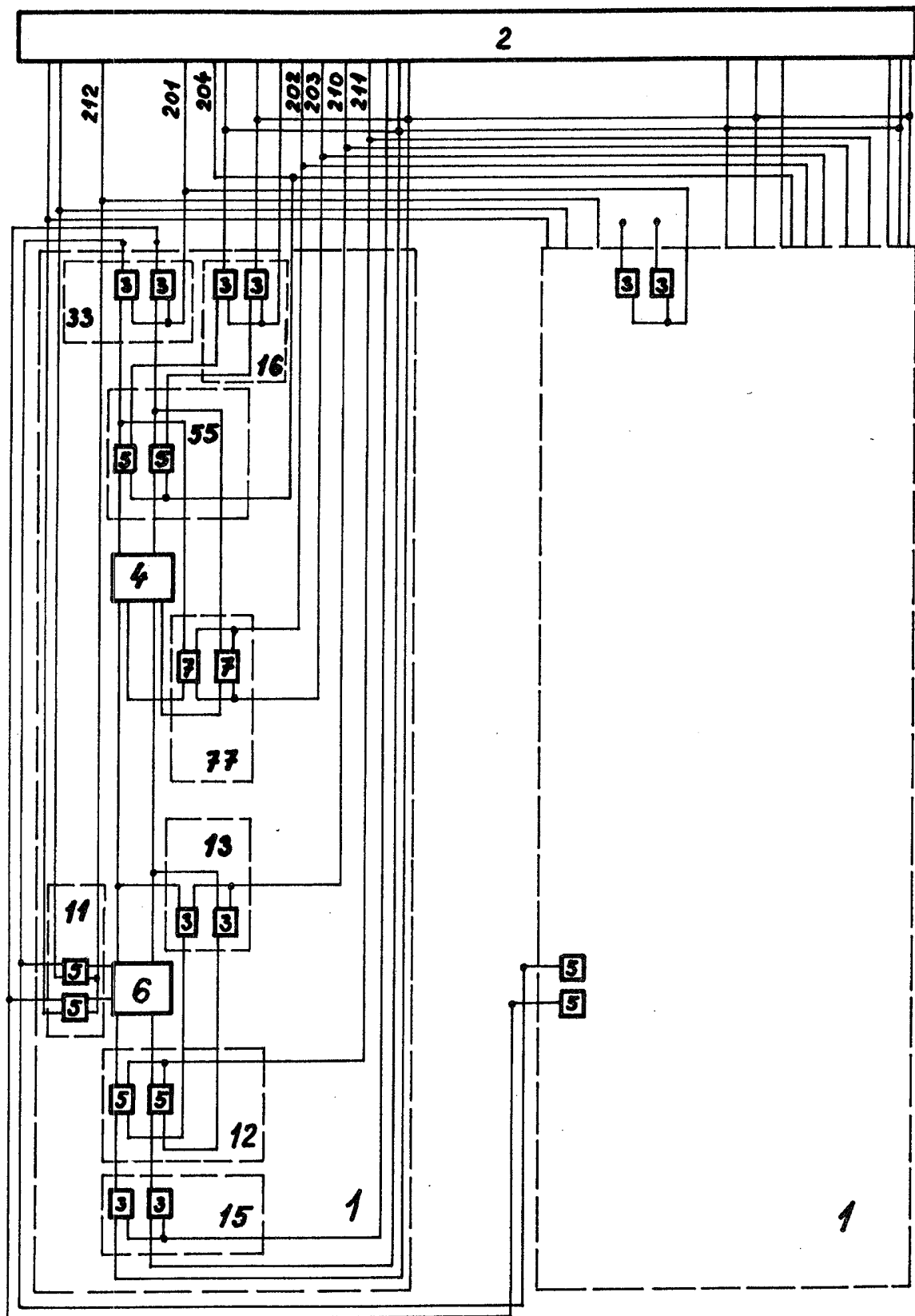
obr. 12

228 150



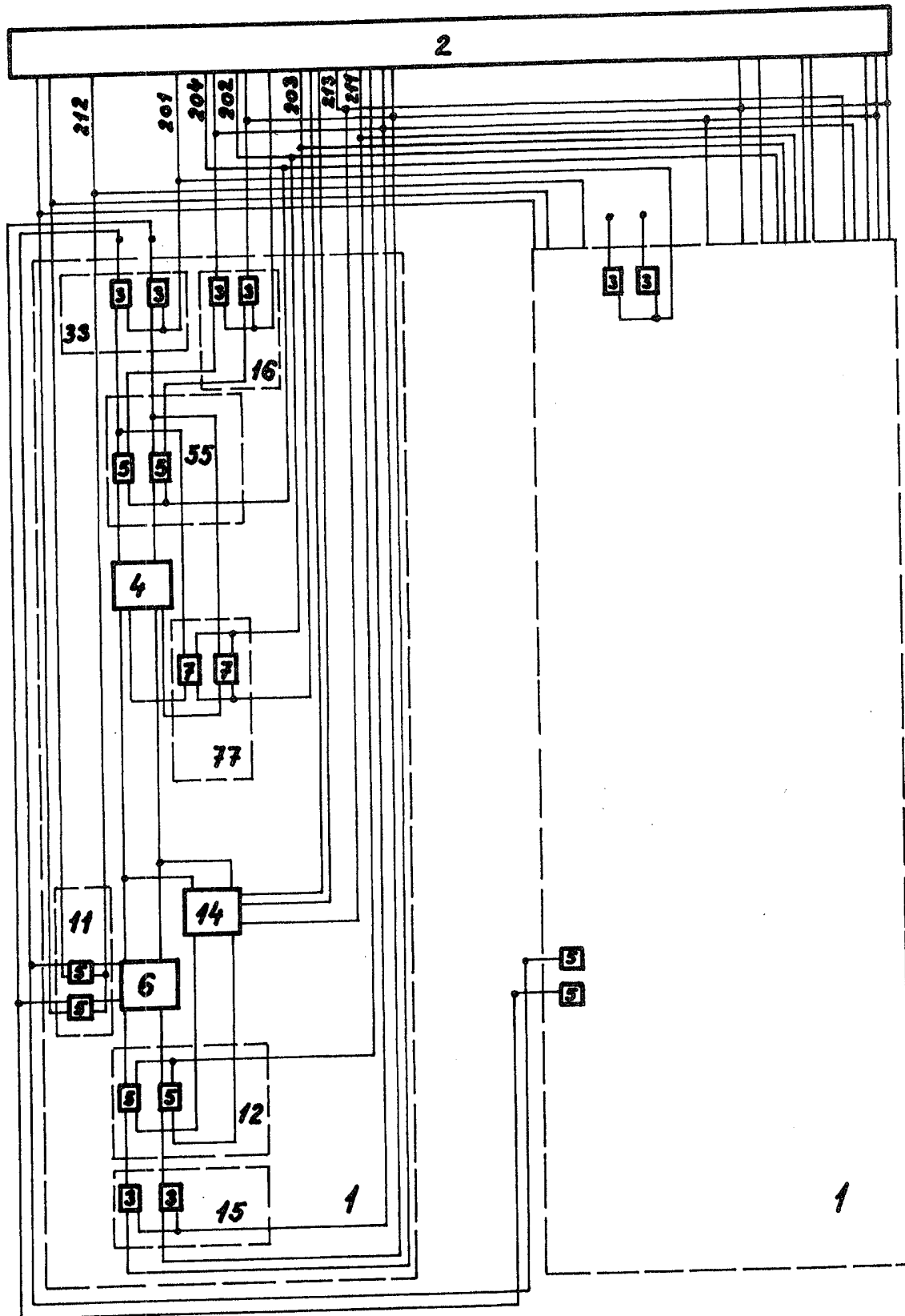
obr. 13

228 160



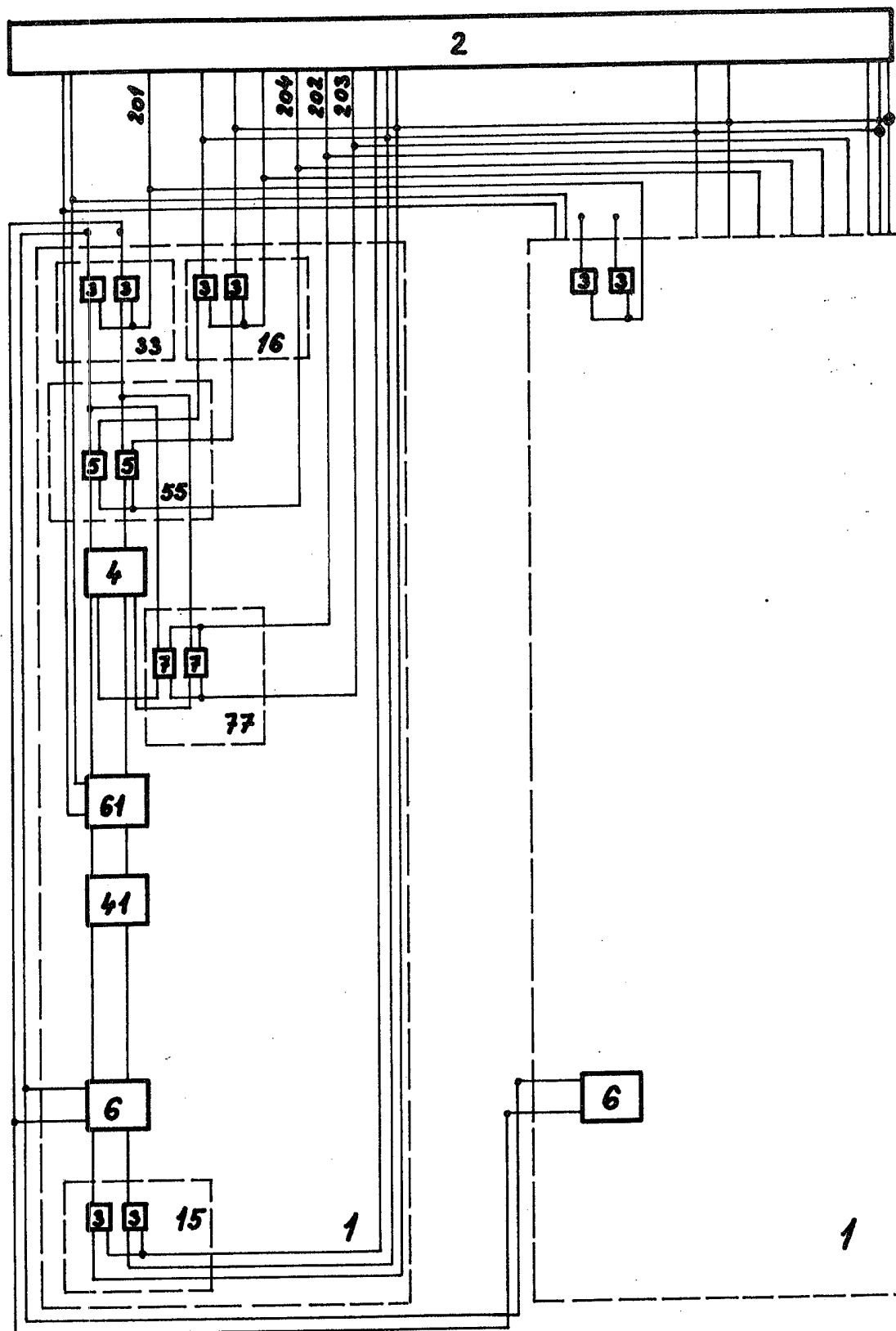
obr. 14

228 160



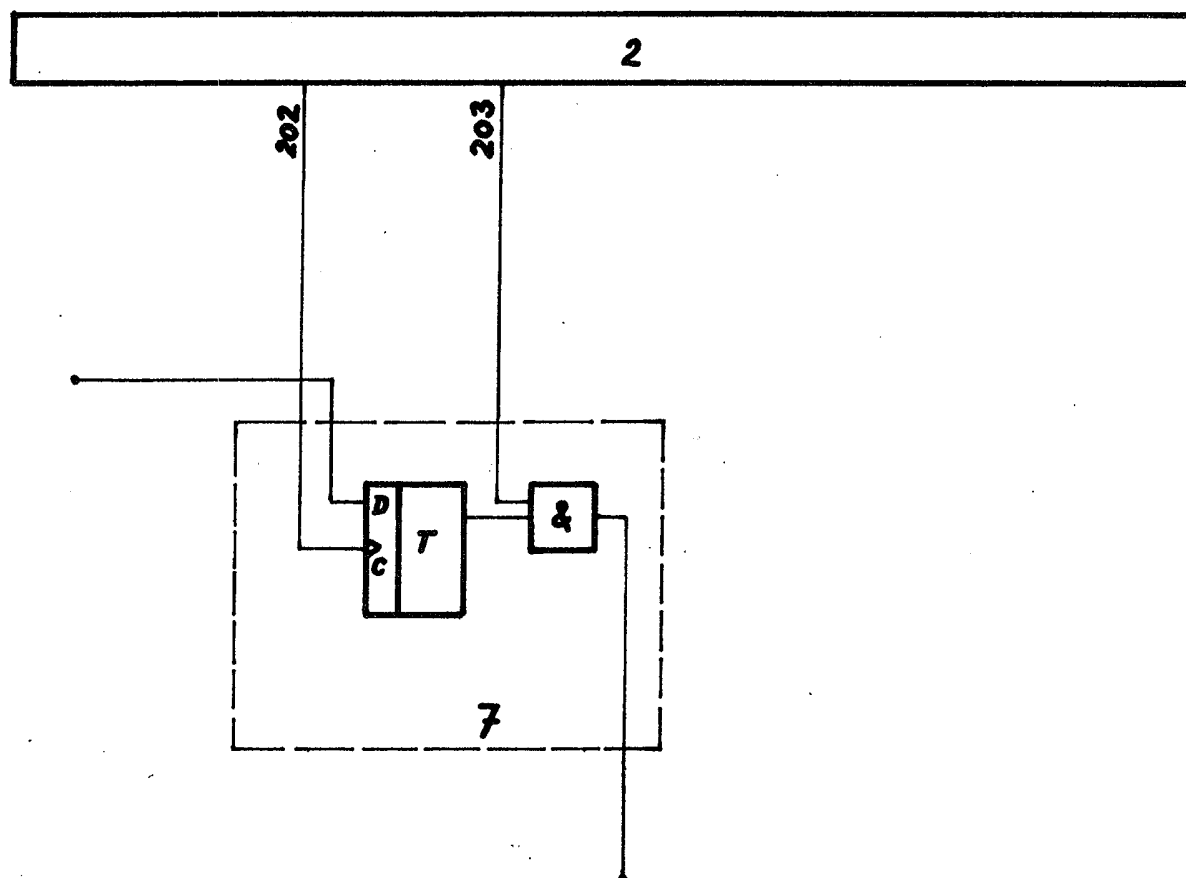
obr. 15

228 160



obr. 16

22 8 160



obj 17