



(45) 授权公告日 2011.11.16

权利要求书 1 页 说明书 4 页 附图 10 页

1. 一种图像区域具有多个第一导电类型光电探测器的图像传感器,包括:
 - (a) 第二导电类型的衬底;
 - (b) 跨越图像区域的第一导电类型的第一层,所述第一层是深的横向均匀的低浓度层;和
 - (c) 第二导电类型的第二层;其中第一层在衬底和第二层之间,并且多个光电探测器设置在第二层并邻接第一层。
2. 根据权利要求 1 的图像传感器,其中光电探测器是第一和第二导电类型的钉扎光电二极管。
3. 根据权利要求 1 的图像传感器,其中第一导电类型是 n- 型且第二导电类型是 p- 型。
4. 根据权利要求 1 的图像传感器,进一步包括衬底和第一层之间的第二导电类型的外延层。
5. 根据权利要求 1 的图像传感器,其中在光电探测器下方第一层被耗尽自由载流子。
6. 根据权利要求 5 的图像传感器,其中在光电探测器和像素电路区下方第一层被耗尽自由载流子。
7. 一种数字相机,包括:

图像区域具有多个第一导电类型光电探测器的图像传感器,其包括:

 - (a) 第二导电类型的衬底;
 - (b) 跨越图像区域的第一导电类型的第一层,所述第一层是深的横向均匀的低浓度层;和
 - (c) 第二导电类型的第二层;其中第一层在衬底和第二层之间,并且多个光电探测器设置在第二层并邻接第一层。

光电探测器和用来提高收集的 N- 层结构

技术领域

[0001] 本发明通常涉及图像传感器领域,更具体地,涉及具有为了降低串扰而用与光电探测器的集电区相同导电类型的轻掺杂层的图像传感器。

背景技术

[0002] 如本领域所熟知的,有源 CMOS 图像传感器典型地由像素阵列组成。典型地,每个像素由光电探测器元件和一个或多个晶体管组成,以读出表示光电探测器感知的光的电压。图 1a 示出了用于有源像素图像传感器的一种典型的像素布局。该像素由光电二极管光电探测器 (PD)、用来将光生电荷读出到浮置扩散区 (FD) 上的转移栅极 (TG) 组成,该浮置扩散区 (FD) 将该电荷转变成电压。在信号从光电二极管读出之前,复位栅极 (RG) 用于将浮置扩散区复位到电压 VDD。源跟随器晶体管的栅极 (SF) 连接到浮置扩散区,用来缓冲来自浮置扩散区的信号电压。该缓冲电压在 V_{OUT} 通过用来选择要被读出的那行像素的行选择晶体管栅极 (RS) 连接到列通路 (buss) (未示出)。

[0003] 由于对在给定光学格式内的越来越高的分辨率需求使得像素尺寸越来越小,这使得保持器件的其它关键性能方面变得日益困难。具体地,随着像素尺寸减小,像素的量子效率和串扰开始急剧恶化。(量子效率下降并且像素之间的串扰增加)。串扰定义为未点亮的与点亮的像素的信号比,并且可以表示为分数或百分比。因此,串扰表示不能被在其下产生信号的像素收集的信号的相对量。最近,已说明了提高量子效率的方法,但是以增加了串扰为代价。(参见美国专利 6,225,670B1 中的图 4)。可选地,已使用了用来图像浮散 (blooming) 保护的垂直溢出漏 (VOD) 结构,其以量子效率为代价降低了串扰 (S. Inoue 等, "A 3.25 M-pixel APS-C size CMOS Image Sensor", Eisoseiho Media Gakkai Gijutsu Hokoku (Technology Report, Image Information Media Association) Eiseigakugiko, vol. 25, no. 28, pp. 37-41, 2001 年 3 月, ISSN 1342-6893.)。

[0004] 增加光电探测器的耗尽深度将会增加器件的收集效率,由此提高量子效率和串扰性质。在过去,这已经通过降低制造探测器的体材料的掺杂浓度实现了。然而,这种途径已经知道会导致降低电荷容量和增加暗电流产生(由于体扩散成分增加),由此降低了探测器的动态范围和曝光宽容度。

[0005] 美国专利 6,297,070 避免了这些特定的困难并描述了一种光电探测器结构,其中光电二极管掺杂比在制造 CMOS 图像传感器中使用的其它源和漏 n- 型掺杂剂更深。增加的耗尽深度增加了收集效率,由此增加了量子效率同时减少了串扰。然而,在使用高能注入构建这种结构时, n- 二极管至 p 外延结深度(由此,耗尽深度)受用来阻挡由器件的其它区的注入的掩模层(一般为光致抗蚀剂)厚度的限制。因此,可以在该步骤中使用的最大抗蚀剂厚度和纵横比(抗蚀剂高度比抗蚀剂开口)成为限制性因素。

[0006] 此外,在现有技术中,利用经由图 1b 和 1c 中的实例示出的单一的、相对浅的注入,形成了钉扎 (pinned) 光电二极管的 n 型区。在图 1d 中示出了由这种现有技术的空光电二极管产生的电位剖面。由该图可以看到,该实例现有技术像素结构的耗尽深度(在电位

梯度为零的点上) 仅为大约 $1.2\ \mu\text{m}$ 。在绿色和红色波长处, 硅中的吸收深度大于该耗尽深度。因此, 大于该耗尽深度产生的载流子, 会横向扩散进入相邻的光电位置, 这有助于引起串扰。

[0007] 因此, 在本领域内需要在没有影响其它成像性能特征且没有上述制造难点的情况下, 提供能够同时提高量子效率和串扰属性的结构。

发明内容

[0008] 本发明要克服上面列出的一个或多个问题。简而言之, 根据本发明的一个方面, 本发明在于提供一种带有具有多个第一导电类型光电探测器的图像区域的图像传感器, 包括: 第二导电类型的衬底; 跨越图像区的第一导电类型的第一层; 第二导电类型的第二层; 其中第一层在衬底和第二层之间, 并且多个光电探测器设置在第二层中并邻接第一层。

[0009] 本发明的有利效果

[0010] 本发明具有下面的优点, 提供一种没有影响其它成像性能特征能够同时提高量子效率和串扰属性的结构。

附图说明

[0011] 图 1a 是现有技术图像传感器的顶视图;

[0012] 图 1b 是现有技术图像传感器的二维掺杂;

[0013] 图 1c 是现有技术图像传感器的掺杂剖面;

[0014] 图 1d 是现有技术图像传感器的电位剖面;

[0015] 图 2 是串扰对耗尽深度的图表;

[0016] 图 3 是本发明的图像传感器的顶视图;

[0017] 图 4a 是本发明的图像传感器的截面图;

[0018] 图 4b 是本发明的光电探测器的中心下方的掺杂剖面;

[0019] 图 5 是本发明的光电探测器的电位剖面; 和

[0020] 图 6 是用来说明本发明的典型商业实施例的普通消费者习惯的数字相机的视图。

具体实施方式

[0021] 在详细地讨论本发明之前, 理解图像传感器中的串扰是有益的。在这点上, 把串扰定义为未点亮的像素与点亮的像素中的信号比, 并且可以表示为分数或百分数。因此, 串扰表示没有被在其下产生信号的像素收集的信号的相对量。在图 2 中示出了实例像素的串扰和内部量子效率 (没有来自覆盖光电探测器的任何层的反射或吸收损耗) 与耗尽深度之间的关系。串扰计算假设沿着一条线每隔一个像素 (交错、交叉的像素不被点亮) 被点亮。假设 650nm 的波长, 这是由于串扰在波长越长时问题越大。由该图可以看出, 增加耗尽深度能够有效地降低串扰, 同时能够增加量子效率。此外, 这里使用的耗尽深度定义为电位梯度为零时离表面最远的点。

[0022] 因此, 由图 2 可以看出, 对于现有技术的结构串扰为 $\sim 36\%$, 且内部量子效率为 $\sim 68\%$ 。由图 2 还可以看出, 通过增加耗尽深度显著降低了串扰。

[0023] 本发明描述了一种用于有源 CMOS 图像传感器的光电探测器结构, 该光电探测器

结构具有扩展的耗尽深度,以增加量子效率并降低像素到像素的串扰,同时保留了良好的电荷容量和动态范围特征。图 3 中示出了结合了这种光电探测器结构的本发明的 CMOS 图像传感器像素的顶视图,其形成顶视图并且看起来与图 1 相似。这是因为图 3 的本发明包括没有在图 1 中示出的附加层,因为附加层在顶表面的下方,因此从顶视图中不能看到(最显著的是第一和第二层)。虽然示出的优选实施例包括由 p-/p++ 外延衬底内的 p+ 钉扎(pinning)(顶表面)层和 n- 型掩埋集电区构成的钉扎光电二极管,但是本领域的技术人员应该理解,在没有偏离本发明的范围的情况下,可以使用其它的结构和掺杂类型。例如,如果希望的话,则可以使用在 p 型衬底中形成的简单的非钉扎 n 型二极管,或在 n 型衬底中形成的 p 型二极管。还应该注意,为了清楚仅示出了本发明的图像传感器的一部分。例如,虽然仅示出了一个光电探测器,可以具有多个以一维或二维阵列排列的光电探测器。

[0024] 参考图 3,示出了本发明的像素 10,其具有光电二极管光电探测器(PD)、用来将光生电荷读出到浮置扩散区(FD)的转移栅极(TG),该浮置扩散区(FD)将该电荷转变成电压。在信号从光电二极管读出之前,复位栅极(RG)用来将浮置扩散区复位到电压 VDD。源跟随器晶体管的栅极(SF)连接到浮置扩散区,用来缓冲来自浮置扩散区的信号电压。该缓冲的电压在 VOUT 通过用来选择要被读出的那行像素的行选择晶体管栅极(RS)连接到列通路(BUSS)(未示出)。由该平面图(图 3),把在光电探测器外部但是在像素内部的区定义为像素电路区。

[0025] 参考图 4a,示出了本发明的图像传感器 20 的截面的侧视图。该图像传感器 20 包括具有多个光电探测器 30(仅示出了一个)的成像部分,优选两种导电类型的钉扎光电二极管 30,优选 n 型集电区 40 和 p 型钉扎层 50。衬底 60 的导电类型,对于优选实施例优选为 p 型,形成了图像传感器 20 的基底部分。导电类型优选为 n 型的第一层 70,跨越图像区。应该注意,第一层 70 物理地接触光电二极管 30 的 n 型集电区 40,由此延伸了光电二极管 30 的耗尽区和光收集区。导电类型优选 p 型的第二层 80,垂直邻近第一层 70 设置,优选用来形成整个或部分电气元件,例如部分晶体管。任选地,第三层 90,优选 p 外延层,可位于第一层 70 和衬底 60 之间。

[0026] 尤其要指出的是,第一层 70 位于衬底 60 和第二层 80 之间,并且多个光电探测器 30 设置在第二层 80 中且邻接第一层 70。第一层 70 尤其适合于充分降低偏离光电探测器 30 进入该层的电子串扰。第一层 70 将引导全部或基本全部的偏离离子反回至最近的光电探测器 30,它是最初偏离的最可能的候选。

[0027] 详尽地,注意,图像传感器 20 包括具有导电类型优选为 p 型的沟道 100 的转移栅极(TG)。该沟道 100 由如上文中讨论的第二层 80 形成,并且电荷从光电探测器 30 通过沟道 100 传到导电类型(优选 n 型)的浮置扩散区 110,该浮置扩散区 110 将电荷转变成电压。导电类型优选 p 型的沟道停止 120,横向邻近光电探测器 30。顶层 130 形成如本领域熟知的电介质。

[0028] 因此,本发明扩展了耗尽深度,由此降低了串扰而没有降低 QE。本发明增加深且相对低浓度的层(第一层 70),其接触光电探测器 30 内的掺杂剖面的主要的、高浓度表面部分的背面,如图 4a 和 4b 中示出的实例结构所示的。换句话说,由于相对低的掺杂剂浓度,光电探测器 30 下面的第一层 70 耗尽了自由载流子。该深的、横向均匀的、低浓度层(第一层 70)可以经由系列或连串相对低剂量、多个高能量注入和/或热驱动来形成。本发明的

可选实施例将要在衬底 60 的顶部上经由外延生长形成第一层 70、第二层 80 和任选的第三层 90。由于该深的第一层 70 形成在整个像素和图像区域下面,所以在第二层 80 中形成转移栅极 (TG)、浮置扩散区 110、源跟随器 (SF) 和单独像素内的任何和所有的其它支撑电路。尽管第一层 70 可以延伸,但该第一层 70 不必延伸入图像区域外部的器件周围,那里一般具有行和列地址电路、A/D 转换器、模拟缓冲器等。深的、均匀的第一层 70 仅需要形成在包含所有成像 (及暗基准) 像素的图象区域内。

[0029] 图 5 示出了向下进入到探测器基底的最终的电位剖面,由此可以看出本实例新结构的耗尽深度大约为 $2.3\ \mu\text{m}$ 。甚至通过增加是第一实施例的注入能量和 / 或热驱动时间函数的冶金结的深度,或者通过简单地改变用于可选实施例的不同外延层的厚度,能够进一步增加该耗尽深度。

[0030] 本发明另外的优点是,第一层 70 可以是在第二层 80 和第三层 90 之间的钉扎光电二极管区域 (即,像素电路) 的外部的区域中被耗尽自由载流子。耗尽像素电路区下面的区域降低了载流子的横向扩散,并导致更低的串扰。

[0031] 参考图 6,为了说明本发明的典型商业实施例,示出了具有设置在本发明的图像传感器 20 的数字相机 140。

[0032] 部件列表

[0033] 10 像素

[0034] 20 图像传感器

[0035] 30 光电探测器 / 光电二极管

[0036] 40 n- 型集电区

[0037] 50 p- 型钉扎层

[0038] 60 衬底

[0039] 70 第一层

[0040] 80 第二层

[0041] 90 第三层

[0042] 100 沟道

[0043] 110 浮置扩散区

[0044] 120 沟道停止

[0045] 130 顶层

[0046] 140 数字相机

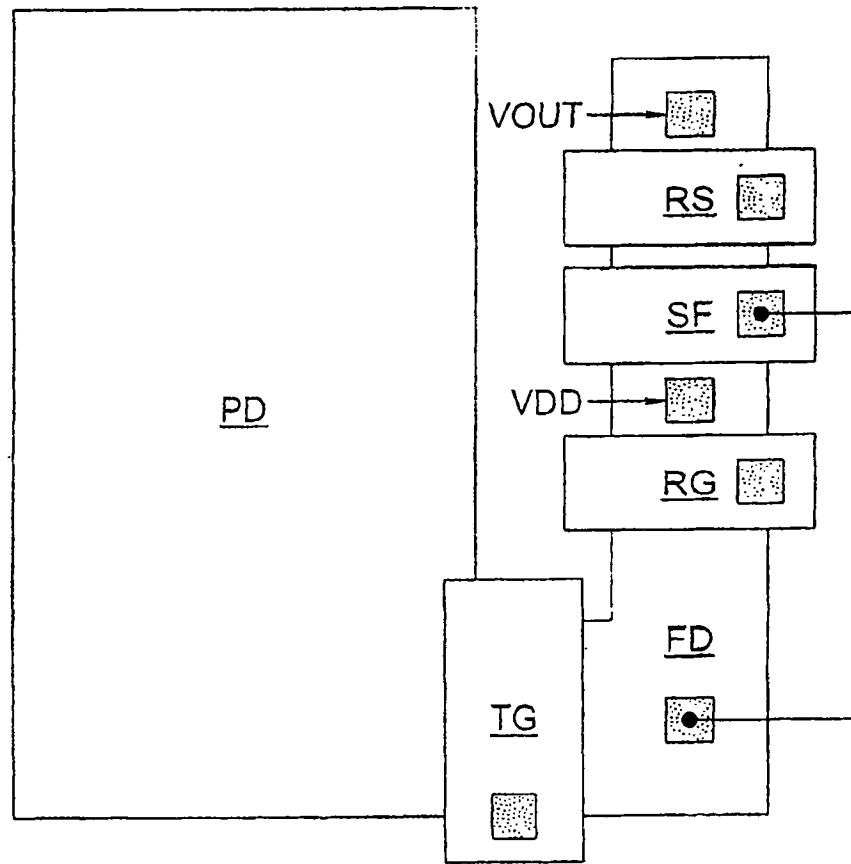


图 1a 现有技术

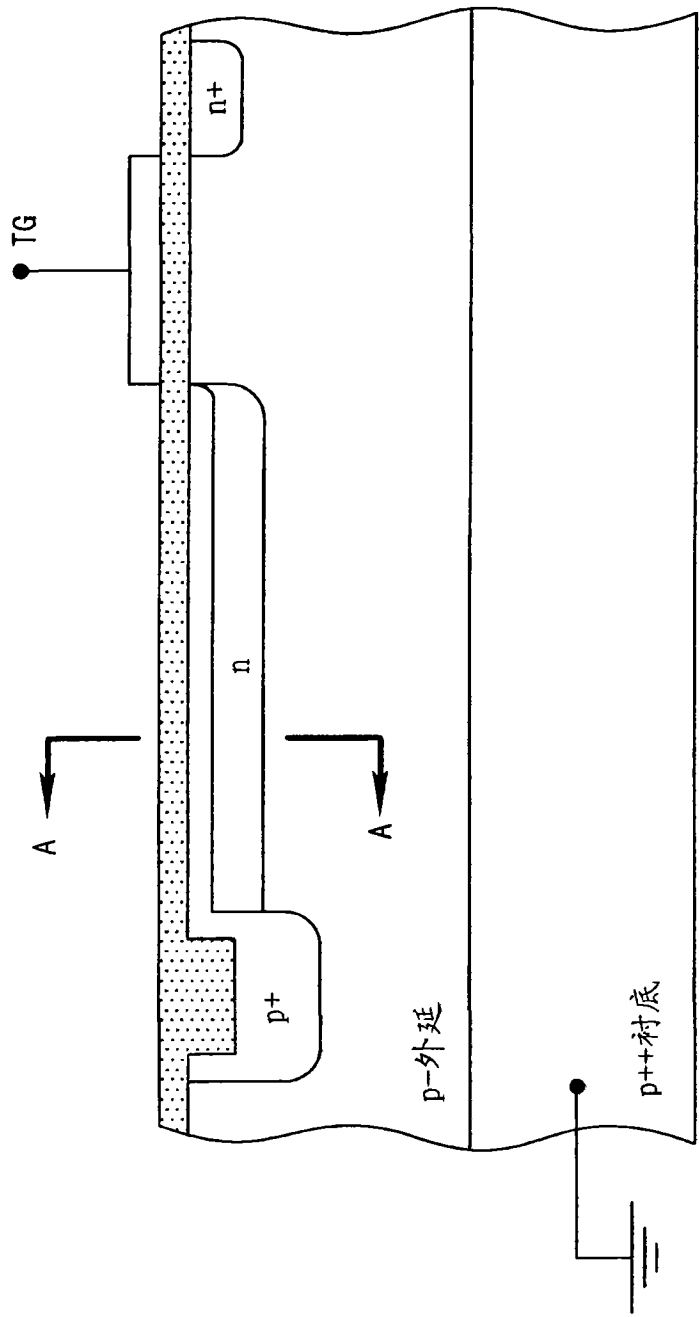


图 1b
现有技术

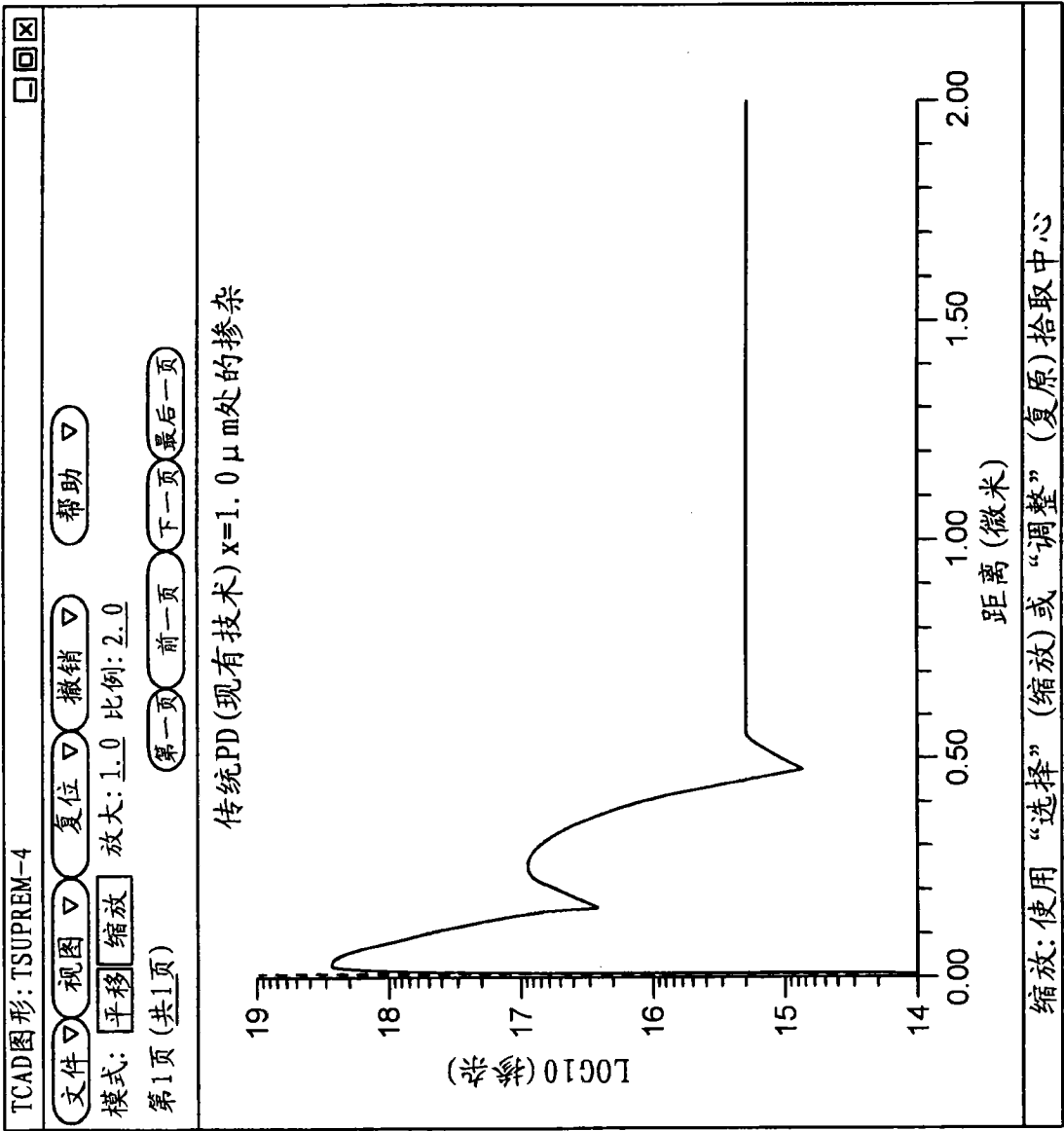


图 1c
现有技术

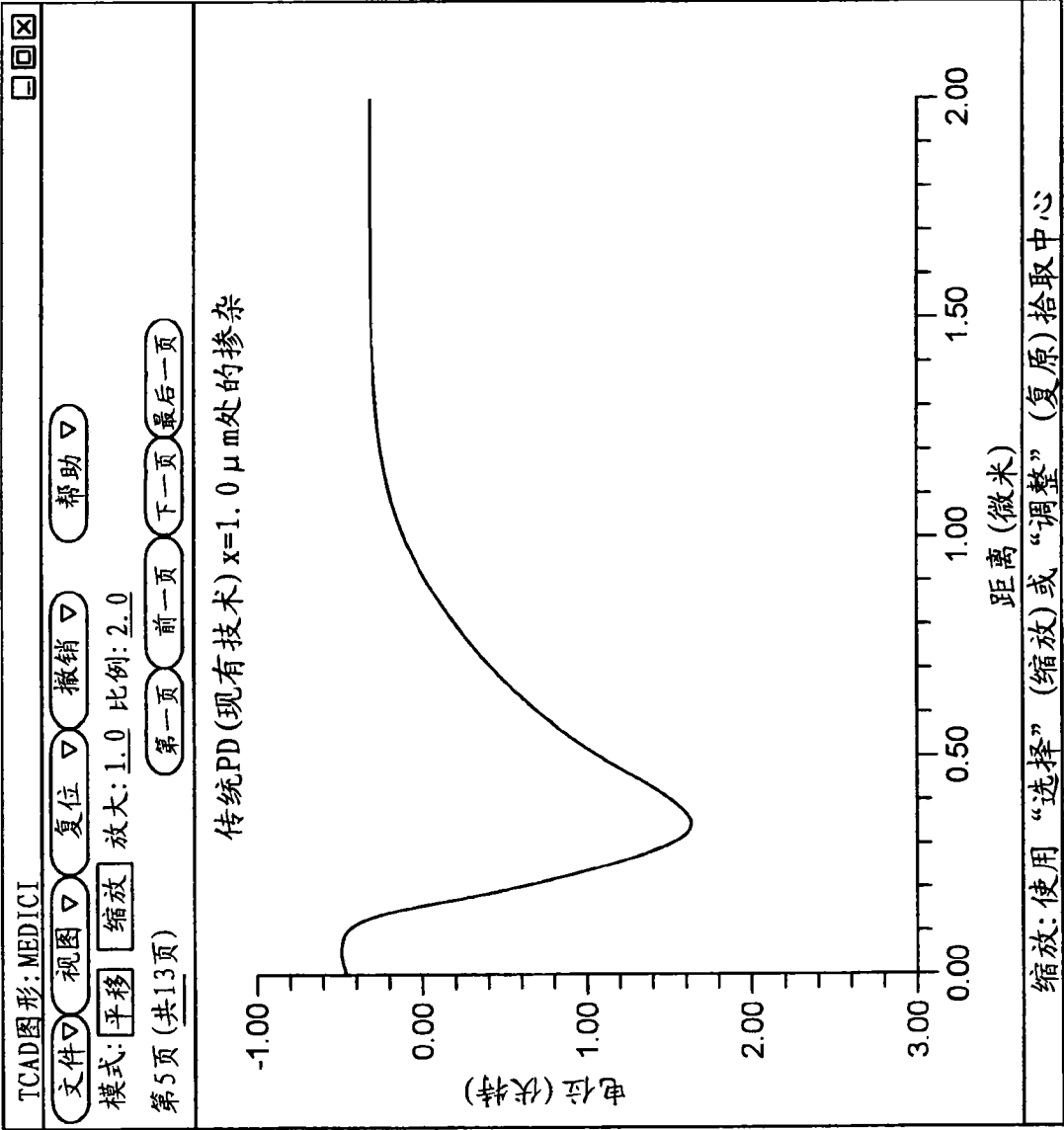


图 1d
现有技术

● 650 nm xtalk
○ 2-D QE

$p=2.7\mu\text{m}$, $N_e=2E15$, $N_s=5E18$, $\tau_{e}=6\mu\text{s}$, $\tau_{s}=0.6\mu\text{s}$, $T_e=5\mu\text{m}$, $T_s=15\mu\text{m}$

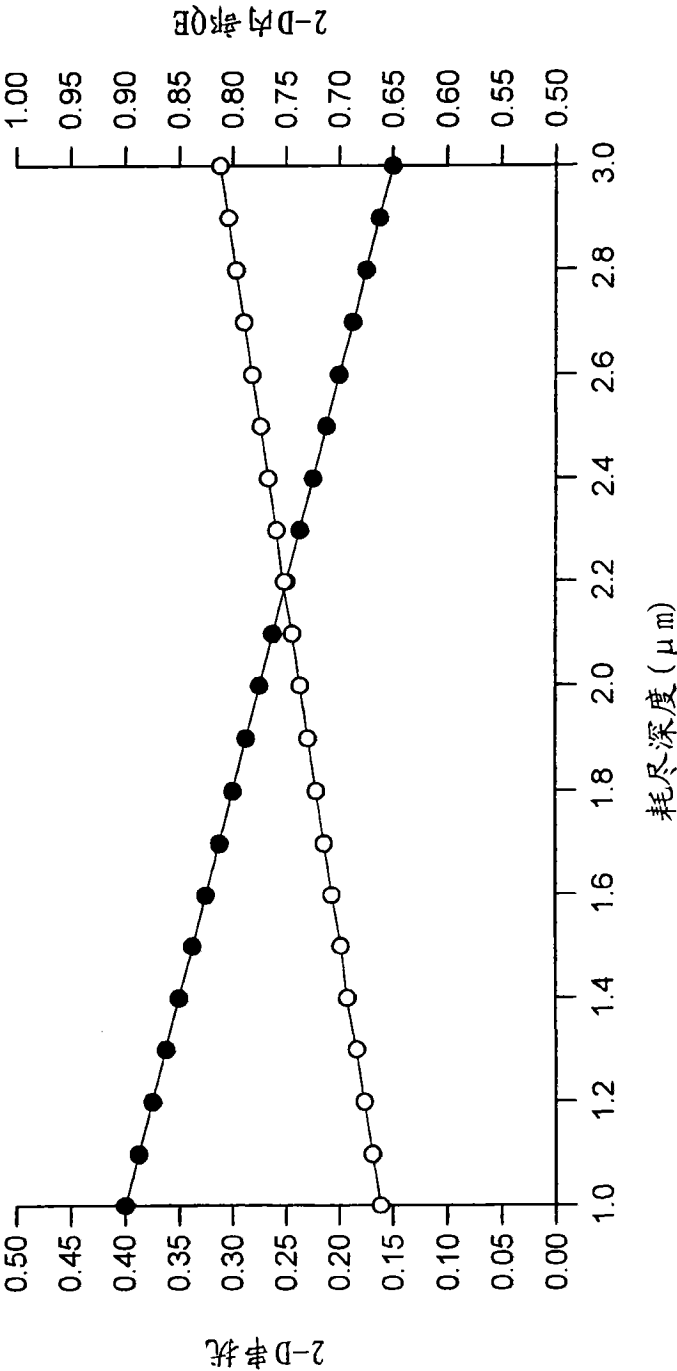


图 2

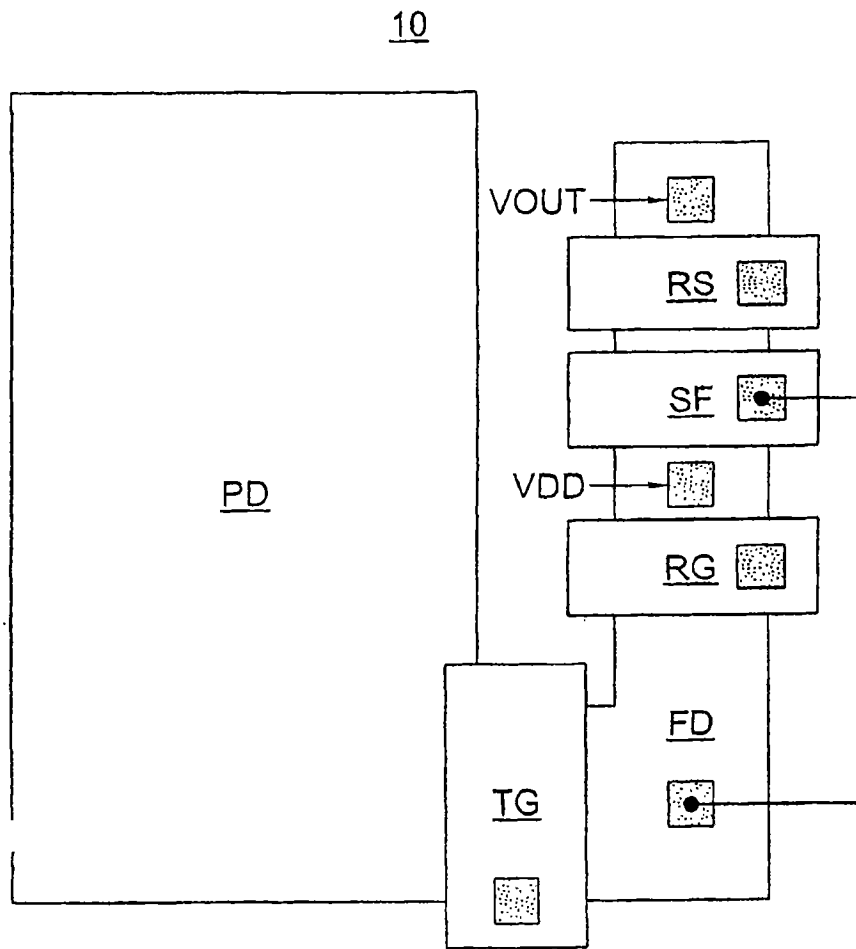
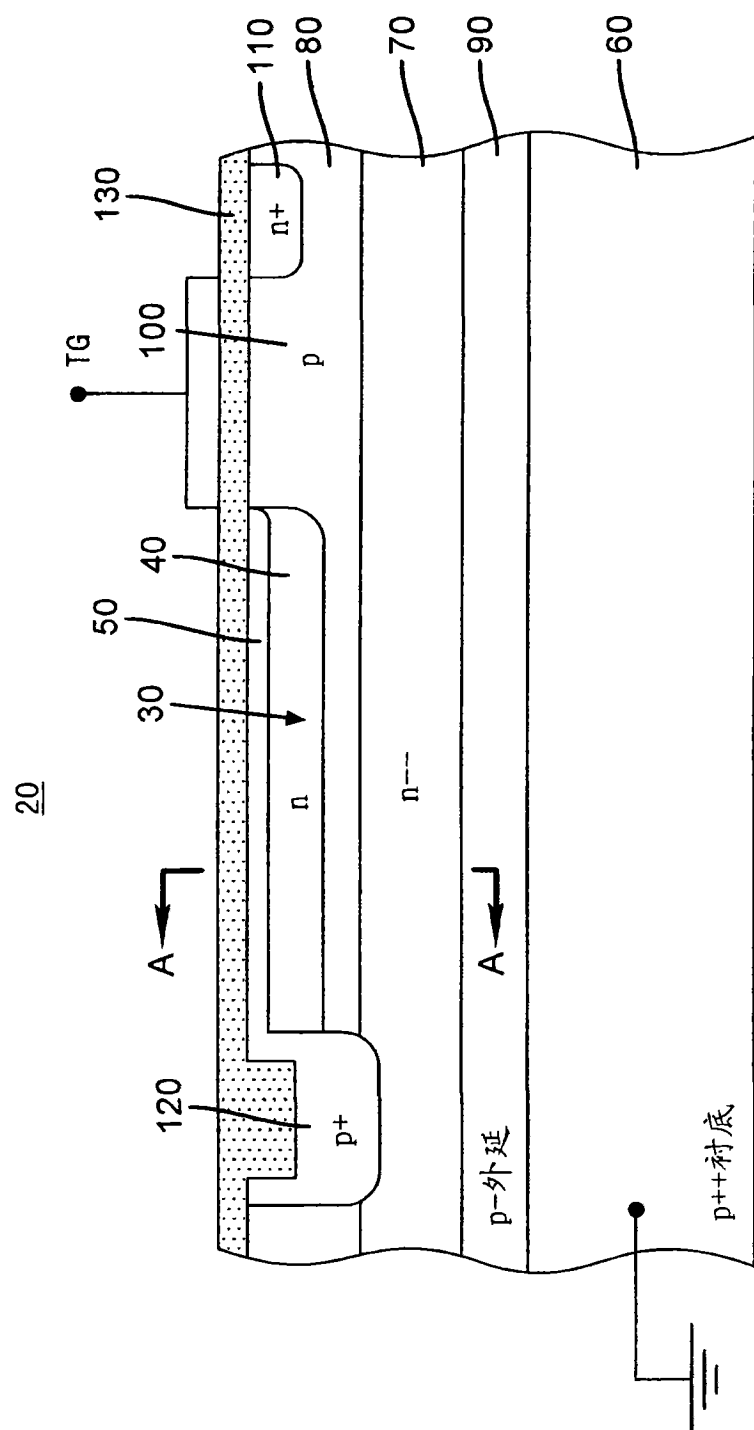


图 3



4a

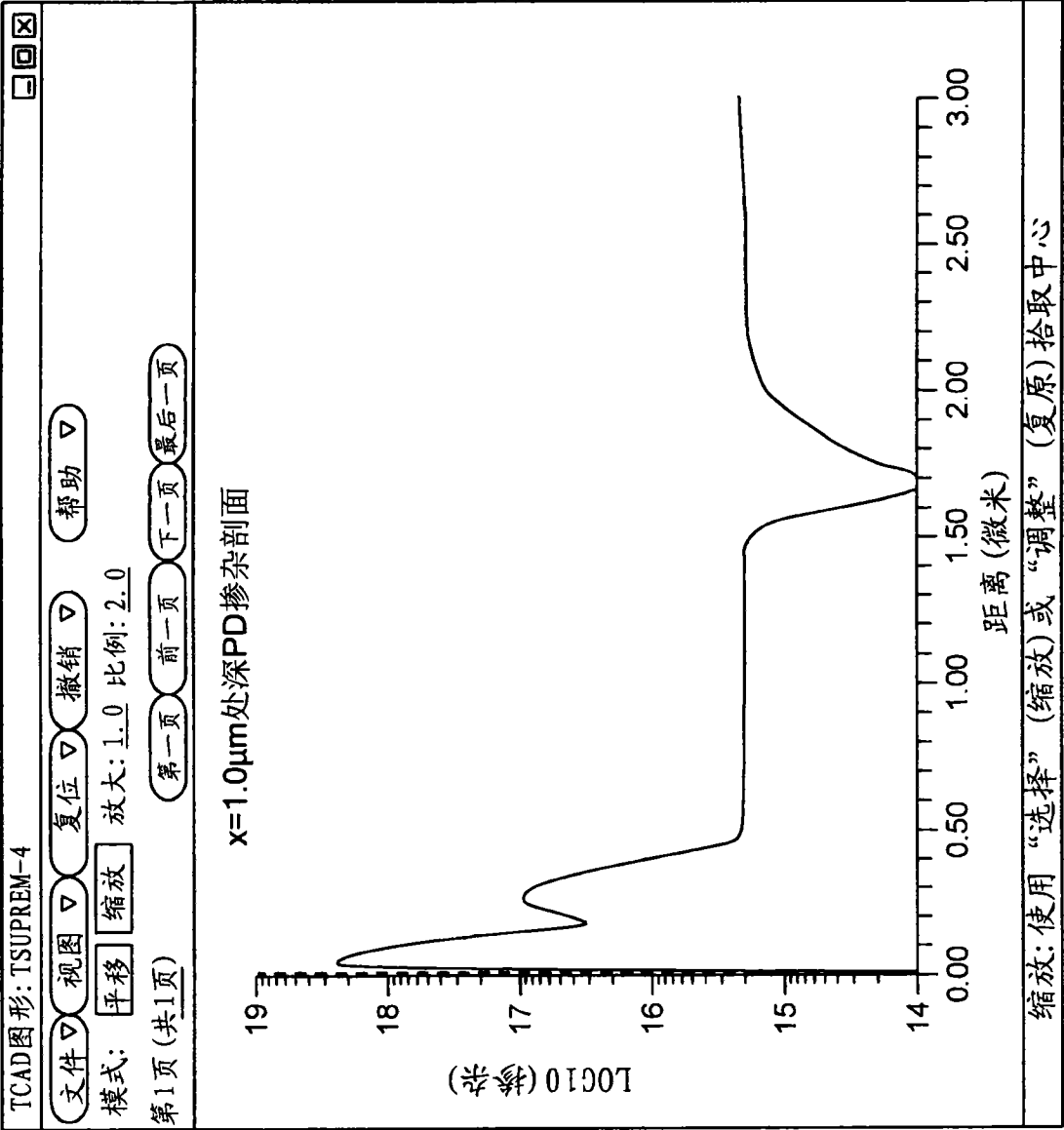


图 4b

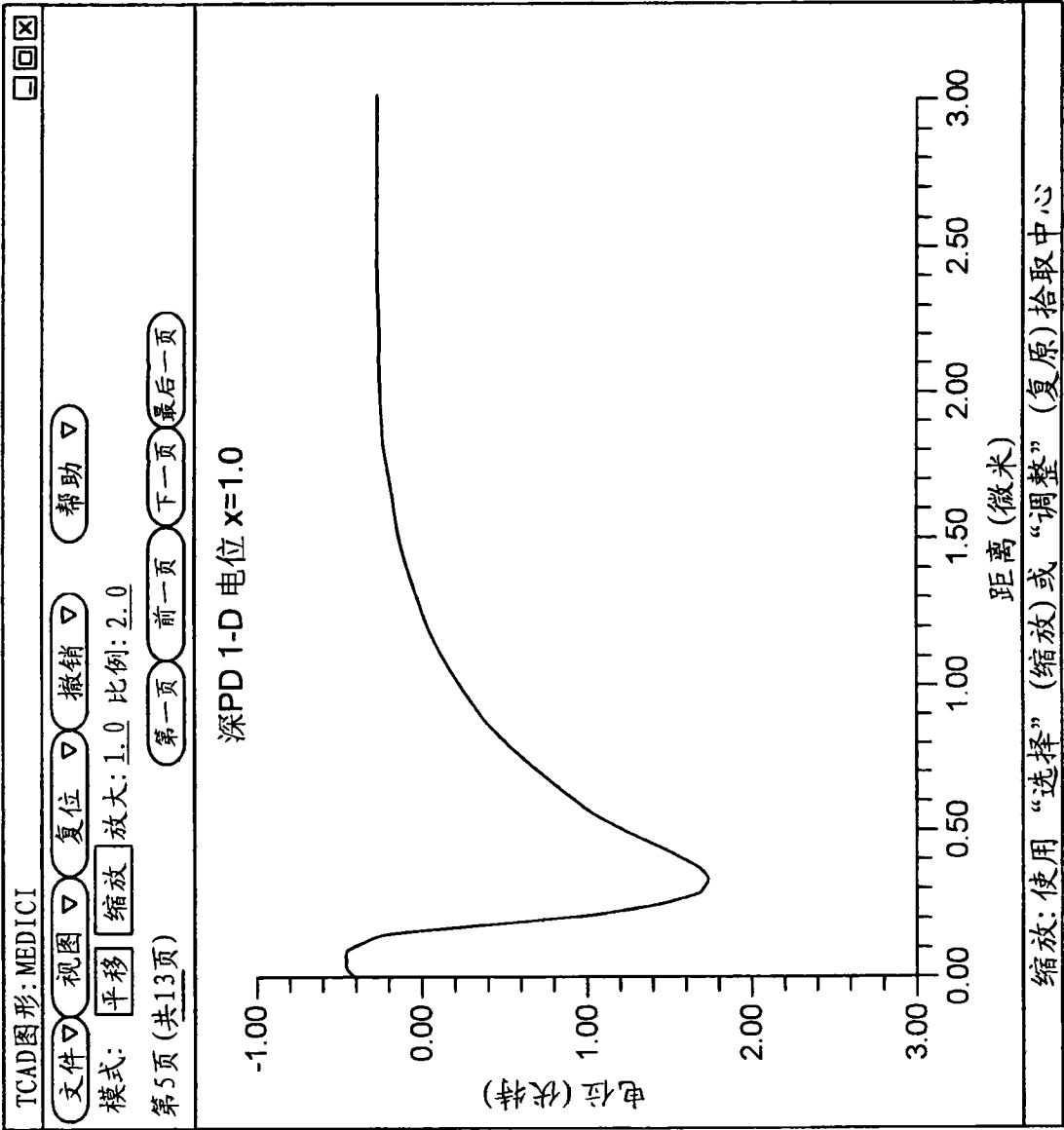


图 5

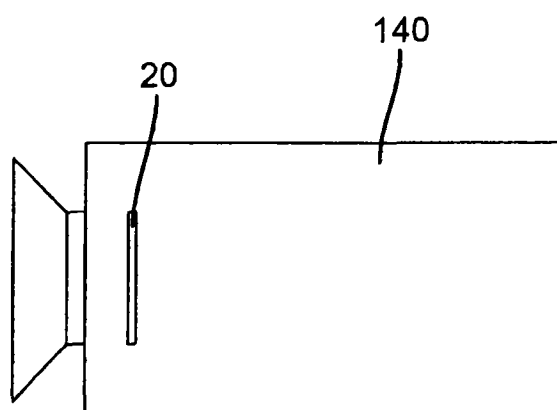


图 6