

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-103751

(P2004-103751A)

(43) 公開日 平成16年4月2日(2004.4.2)

(51) Int.Cl.⁷

F I

テーマコード (参考)

HO 1 L 21/60
 HO 1 L 21/3205
 HO 1 L 21/82
 HO 1 L 21/822
 HO 1 L 27/04

HO 1 L 21/60 3 O 1 N
 HO 1 L 21/88 T
 HO 1 L 27/04 E
 HO 1 L 21/82 P

5 F O 3 3
 5 F O 3 8
 5 F O 4 4
 5 F O 6 4

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願2002-262275 (P2002-262275)

(22) 出願日 平成14年9月9日(2002.9.9)

(71) 出願人 503121103

株式会社ルネサステクノロジ
 東京都千代田区丸の内二丁目4番1号

(74) 代理人 100089233

弁理士 吉田 茂明

(74) 代理人 100088672

弁理士 吉竹 英俊

(74) 代理人 100088845

弁理士 有田 貴弘

(72) 発明者 沖 達哉

東京都千代田区丸の内二丁目2番3号 三
 菱電機株式会社内

Fターム(参考) 5F033 MM21 UU03 VV07

5F038 BE07 CA05 CA10 CD02 DF04
 DF05 EZ08 EZ20

最終頁に続く

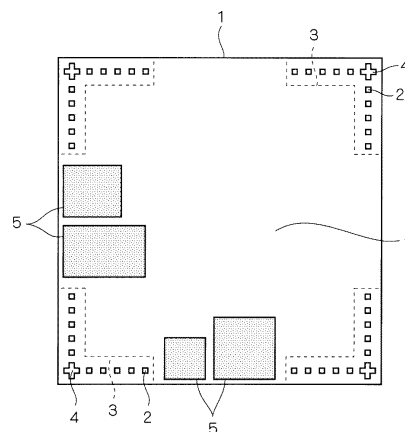
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 パッドを配置するための面積や内部資源を配置するための面積に無駄な面積を生じさせず、半導体チップの面積を小さくすることが可能な半導体装置を提供する。

【解決手段】 半導体チップ1の四隅には、入出力インターフェイスとなるパッド2が配置されている。ここで、パッド2の形状はほぼ正方形である。この四隅に配置されたパッド2は、従来の技術の半導体チップにおいて四辺を囲むように配置されていたパッドを四隅に集約して配置されている。それぞれの隅に配置された複数のパッド2の領域を、パッド領域3とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体チップの四隅に配置される入出力インターフェ이스のパッドと、前記パッドに接続され、前記半導体チップの前記パッドが配置された四隅以外に配置される内部資源とを備え、一の隅に配置された前記パッドと隣接する他の隅に配置される前記パッドの間にも前記内部資源が配置されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置であって、前記パッドは、前記半導体チップの四隅に複数配置されていることを特徴とする半導体装置。 10

【請求項 3】

請求項 2 記載の半導体装置であって、前記複数配置のパッドは、前記半導体チップの内側の前記パッドより外側の前記パッドの方が前記半導体チップの四辺に沿って長い形状の矩形であることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれかに記載の半導体装置であって、前記パッドは、形状が円に近い多角形であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

20

【発明の属する技術分野】

本発明は、半導体装置に係る発明であって、特に、半導体チップ内のパッドの配置に関するものである。

【0002】

【従来の技術】

図 7 に、従来の技術の半導体装置の平面図を示す。半導体チップ 101 の外周の四辺には、入出力インターフェースとなるパッド 102 が配置されている。半導体チップ 101 の四隅には、ウェハプロセスやアセンブリ工程等で必要に応じて使用されるアライメントマーク等の特殊マーク 103 が設けられる。ここで、パッド 102 や特殊マーク 103 が配置される領域をパッド領域 A とする。このパッド領域 A に囲まれた領域には、CPU、ROM や RAM 等の内部資源 104 が配置されている。この内部資源 104 は、パッド 102 に接続され必要な信号が入出力されている。この内部資源 104 が配置される領域を内部資源領域 B とする。 30

【0003】

図 7 のような構成を採る半導体装置として、例えばシングルチップマイクロコンピュータなどがある。このシングルチップマイクロコンピュータの四辺に配置されたパッド 102 は、主に LQFP (Low profile Quad Flat Package) パッケージなどの多ピンアセンブリパッケージに対応している。近年、プロセスルールの微細化に伴い内部資源 104 の集積化が進み、半導体チップ 101 の面積を小さくすることが望まれている。 40

【0004】

この半導体チップ 101 の面積は、パッド領域 A の面積に内部資源領域 B の面積を加えた面積である。そして、パッド領域 A の面積は、内部資源領域 B の面積を囲むように設けられているため、内部資源領域 B の面積により制限を受ける。逆に、内部資源領域 B の面積もパッド領域 A の面積により制限を受ける。

【0005】

例えば、内部資源領域 B の面積が小さい半導体チップ 101 に比べて、内部資源領域 B の面積が大きい半導体チップ 101 の方が、その周りに設けられるパッド領域 A の面積も大きくなる。このときパッド 102 の数が同数であれば、内部資源領域 B の面積が大きい半導体チップ 101 では、パッド領域 A の面積にパッド 102 等が配置されない無駄な面積 50

が多くなる。よって、内部資源領域 B の面積が大きい半導体チップ 101 では、半導体チップ 101 の面積を小さく最適化することが困難となる。

【0006】

また、パッド 102 の数が少ない半導体チップ 101 に比べて、パッド 102 の数が多い半導体チップ 101 では、パッド領域 A の面積を大きくする必要があり、それ囲まれる内部資源領域 B の面積も大きくなる。このとき内部資源 104 の面積（実際に配置される内部資源 104 の面積）が同じであれば、パッド 102 の数が多い半導体チップ 101 では、内部資源領域 B の面積に内部資源 104 が配置されない無駄な面積が多くなる。そのため、パッド 102 の数が多い半導体チップ 101 では、半導体チップ 101 の面積を小さく最適化することは困難となる。

10

【0007】

上記のような制限を回避するパッド 102 の配置として、パッド 102 の数が多い半導体チップ 101 であっても、内部資源領域 B の面積が小さくできるパッド 102 の配置を図 8 に示す。図 8 では、複数列（2 列）のパッド 102 を配置した半導体チップ 101 である。このように複数列のパッド配置とすることにより、1 列にパッド 102 を配置する場合に比べて、パッド 102 が配置される領域の四辺の長さを短くできる。そのため、パッド領域 A に囲まれた、内部資源領域 B の面積を小さくすることができる。

【0008】

また、図 9 に複数列のパッド 102 が配置された半導体チップ 101 の平面図を示す。図 9 では、図 8 のパッド 102 の配置に比べて、外側のパッド形状が、半導体チップの四辺に沿って長い形状の矩形である点が異なる。このようなパッド形状とすることにより、外側のパッド 102 に接続される金線 105 の位置に自由度が増し、複数列のパッド 102 間で金線 105 が接触しないようにボンディングすることが可能となる。図 8 及び図 9 に示したパッドの配置及び形状についての内容は、特許文献 1 に詳しい。

20

【0009】

さらに、複数列のパッド配置とした場合、パッドの形状を矩形とするよりも五角形以上の多角形とする方が、パッド領域 A の面積を小さくすることができる。これは図 10 に示すように形状が矩形のパッド 102 の場合、列間のパッド間のショートを防止するため対角方向に隣接したパッド間の対角距離 106 を十分取らなければならない。一方、図 10 に示すように形状が五角形以上の多角形のパッド 107 の場合、パッド 107 の形状から対角方向に隣接したパッド間のショートを考える必要がなくなる。そのため、形状が矩形のパッド 102 とする場合に比べて五角形以上の多角形のパッド 107 とする場合の方が、列間のパッド間距離 108 を短くすることができ、パッド領域 A の面積を小さくすることができる。よって、半導体チップ 101 の面積を小さくすることができる。図 10 に示した内容については、特許文献 2 に詳しい。

30

【0010】

【特許文献 1】特開平 11-45903 号公報

【特許文献 2】特開昭 60-35524 号公報

【0011】

【発明が解決しようとする課題】

40

しかし、図 8 又は図 9 のように複数列のパッド配置であっても、パッド領域 A が内部資源領域 B を囲む構成には変わりがない。そのため、内部資源領域 B の面積とパッド領域 A の面積とが、互いに制限される関係は残ることになる。

【0012】

そのため、複数列のパッド配置としてパッド領域 A の面積を小さくすることができても、内部資源領域 B に配置される内部資源 104 の面積により制限されるため、パッド 102 が配置されない無駄な面積をパッド領域 A から完全に排除できない問題点がある。逆に、内部資源 104 の面積が大きい場合には、それに伴いパッド領域 A の面積も大きくなるため、複数列のパッド配置としなくとも十分にパッド 102 を配置することができる場合もある。その場合に、仮にパッド 102 の配置を複数列にすると、パッド領域 A にパッド 1

50

02が配置されない無駄な面積が生じてしまう。

【0013】

一方、図10に示したパッドの形状を五角形以上の多角形とする構成も、パッド領域Aの面積自体を小さくする点においては貢献するが、パッド領域Aの面積と内部資源領域Bの面積とが互いに制限される関係を解消できない。そのため、上記の複数列のパッド配置と同様の問題点が残る。

【0014】

そこで、本発明は、パッドを配置するための面積や内部資源を配置するための面積に無駄な面積を生じさせず、半導体チップの面積を小さくすることが可能な半導体装置を提供することを目的とする。

10

【0015】

【課題を解決するための手段】

本発明の請求項1に係る解決手段は、半導体チップの四隅に配置される入出力インターフェースのパッドと、パッドに接続され、半導体チップのパッドが配置された四隅以外に配置される内部資源とを備え、一の隅に配置されたパッドと隣接する他の隅に配置されるパッドの間にも内部資源が配置させている。

【0016】

本発明の請求項2に係る解決手段は、請求項1記載の半導体装置であって、パッドは、半導体チップの四隅に複数列配置されている。

【0017】

20

本発明の請求項3に係る解決手段は、請求項2記載の半導体装置であって、複数列のパッドは、半導体チップの内側のパッドより外側のパッドの方が半導体チップの四辺に沿って長い形状の矩形である。

【0018】

本発明の請求項4に係る解決手段は、請求項1乃至請求項3のいずれかに記載の半導体装置であって、パッドは、形状が円に近い多角形である。

【0019】

【発明の実施の形態】

以下、本発明をその実施の形態を示す図面に基づいて具体的に説明する。

【0020】

30

(実施の形態1)

図1に本実施の形態に係る半導体装置の平面図を示す。半導体チップ1の四隅には、入出力インターフェースとなるパッド2が配置されている。ここで、パッド2の形状はほぼ正方形である。この四隅に配置されたパッド2は、従来の技術の半導体チップにおいて四辺を囲むように配置されていたパッドを四隅に集約して配置されている。それぞれの隅に配置された複数のパッド2の領域を、パッド領域3とする。なお、図1のパッド領域3には、それぞれ1列のパッド2が配置されている例が図示されている。

【0021】

さらに、パッド領域3には、ウェハプロセスやアセンブリ工程等で必要に応じて使用されるアライメントマーク等の特殊マーク4も設けられている。半導体チップ1でパッド領域3以外の領域には、CPU、ROMやRAM等の内部資源5が配置されている。この内部資源5は、パッド2に接続され必要な信号が入出力されている。ここで、半導体チップ1でパッド領域3以外の領域を内部資源領域6とする。なお、図1では、内部資源領域6に設けられた一部の内部資源5について図示している。

40

【0022】

本実施の形態では、パッド2が半導体チップ1の四隅に配置されているため、半導体チップ1の四辺の中央部にはそれぞれ内部資源領域6が設けられている。しかし、電源配線(図示せず)が、この中央部も含め半導体チップ1の四辺に沿って設けられており、この中央部の内部資源領域6に内部資源5を配置すると電源配線と内部資源5の配線とがショートする場合も考えられる。そこで、半導体チップ1では多層配線構造を採用し、電源配線

50

は上層に内部資源 5 の配線は下層に配線して、電源配線と内部資源 5 の配線とのショート
を回避している。これにより、半導体チップ 1 の四辺の中央部にも、何の問題もなく内部
資源 5 を配置することができる。

【0023】

また、本実施の形態でも半導体チップ 1 の面積は、パッド領域 3 の面積に内部資源領域 6
の面積を加えた面積である。しかし、従来の技術のようにパッド領域の面積は、内部資源
領域 6 の面積を囲むように設けられておらず、内部資源領域 6 の面積とパッド領域 3 の面
積とはお互いに制限されることはない。

【0024】

例えば、内部資源領域 6 の面積が小さい半導体チップ 1 であっても、内部資源領域 6 の面
積が大きい半導体チップ 1 であっても、パッド 2 の数が同じであればパッド領域 3 の面積
は同じになる。そのため、パッド領域 3 の面積には無駄な面積が生じず、半導体チップ 1
の面積を最適化することができる。また、パッド 2 の数が少ない半導体チップ 1 であって
も、パッド 2 の数が多い半導体チップ 1 であっても、実際に配置される内部資源 5 の面積
が同じであれば内部資源領域 6 の面積も同じになる。そのため、内部資源領域 6 の面積に
は無駄な面積が生じず、半導体チップ 1 の面積を最適化することができる。

【0025】

従って、本実施の形態では、パッド 2 の配置を最適化し、内部資源 5 の配置を最適化すれ
ば、トータルとしての半導体チップ 1 の面積が最適化される。従来の技術のようなパッド
領域 3 の面積と内部資源領域 6 の面積とがお互いに制限される場合に比べて、本実施の形
態の半導体チップ 1 の面積は、小さくすることが可能となる。なお、本実施の形態では、
あらかじめパッド 2 の直下に出力ドライバトランジスタ等の回路を配置しておくことによ
り、パッドと出力ドライバ間の配線を不要にでき、よりパッドの間隔を詰めて配置するこ
とができ、パッド領域 3 の面積を小さくすることができる。

【0026】

以下に、本実施の形態に係る具体例について説明する。図 2 に、本実施の形態のパッド配
置を利用したシングルチップマイクロコンピュータの平面図を示す。

【0027】

図 2 の内部資源 5 を配置するための内部資源領域 6 の面積は、約 27 mm^2 必要である。
しかし、本実施の形態では、シングルチップマイクロコンピュータである半導体チップ 1
の四辺の中央部にも内部資源 5 を配置することができ、パッド領域 3 を含めた半導体チッ
プ 1 の面積は約 37 mm^2 にすることが可能である。図 2 では、左右の半導体チップ 1 の
四辺の中央部のみに内部資源 5 が配置され、上下部分には配置されていない。そのため、
内部資源 5 の配置の方法によっては、さらに半導体チップ 1 の面積を小さくすることが可
能である。

【0028】

図 3 に、従来の技術のパッド配置を利用したシングルチップマイクロコンピュータの平面
図を示す。図 3 の内部資源 5 を配置するための内部資源領域 6 の面積も、図 2 と同様に約
 27 mm^2 必要であるとする、従来の技術のパッド配置では、内部資源領域 6 を囲むよ
うにパッド領域 3 を設けなければならないため、図 3 に示すシングルチップマイクロコン
ピュータである半導体チップ 1 の面積は、約 41 mm^2 必要となる。つまり、本実施の形
態を利用し、図 2 に示すようなシングルチップマイクロコンピュータを作製すれば、約 1
割程度半導体チップ 1 の面積を小さくすることが可能となる。

【0029】

(実施の形態 2)

図 4 に、本実施の形態に係る半導体チップ 1 のパッド領域の平面図を示す。半導体チップ
1 の四隅に設けられたパッド 2 は、千鳥状に 2 列に配置されている。ここで、パッド 2 の
形状はほぼ正方形である。それぞれの隅に配置された複数のパッド 2 の領域を、パッド領
域 3 とする。これらのパッド 2 には、外部から入出力が可能ないように金線 7 がそれぞれに
接続されている。

【0030】

さらに、パッド領域3には、ウェハプロセスやアセンブリ工程等で必要に応じて使用されるアライメントマーク等の特殊マーク4も設けられている。半導体チップ1でパッド領域3以外の領域には、CPU、ROMやRAM等の内部資源5が配置されている。この内部資源5は、パッド2に接続され必要な信号が入出力されている。ここで、半導体チップ1でパッド領域3以外の領域を内部資源領域6とする。なお、図4では、内部資源領域6に設けられた一部の内部資源5について図示している。

【0031】

実施の形態1では、従来の半導体チップにおいて四辺を囲むように配置されていたパッドが四隅に集約して配置されているが、パッドの数が多いと1列配置のままでは四隅に集約するにも限界がある。そこで、本実施の形態では、パッド2を配列を千鳥状に2列に配置して、より多数のパッド2を四隅に集約することが可能にしている。パッド2が千鳥状に2列に配置されている点以外は、本実施の形態は、実施の形態1と同じ構成である。 10

【0032】

なお、上記において説明した本実施の形態では、パッド2が千鳥状に2列に配置されている場合について説明したが、本発明は、これに限られず、パッド2が千鳥状に3列以上の複数列に配置されている場合であっても良い。また、本実施の形態でも、あらかじめパッド2の直下に出力ドライバトランジスタ等の回路を配置しておくことにより、パッドと出力ドライバ間の配線を不要にでき、よりパッドの間隔を詰めて配置することができる。

【0033】

20

(変形例1)

図5に、本実施の形態の変形例に係る半導体チップ1のパッド領域の平面図を示す。半導体チップ1の四隅に設けられたパッドは、外側の列に配置されたパッド8と内側の列に配置されたパッド9が千鳥状に2列に配置されている。このパッド8は、半導体チップ1の四辺に沿って長い形状の矩形である。一方、パッド9は、実施の形態2のパッド2と同じくほぼ正方形である。それぞれの隅に配置された複数のパッド8及びパッド9の領域を、パッド領域3とする。これらのパッド8及びパッド9には、外部から入出力が可能なように金線7がそれぞれに接続されている。

【0034】

さらに、パッド領域3には、ウェハプロセスやアセンブリ工程等で必要に応じて使用されるアライメントマーク等の特殊マーク4も設けられている。半導体チップ1でパッド領域3以外の領域には、CPU、ROMやRAM等の内部資源5が配置されている。この内部資源5は、パッド8及びパッド9に接続され必要な信号が入出力されている。ここで、半導体チップ1でパッド領域3以外の領域を内部資源領域6とする。なお、図5では、内部資源領域6に設けられた一部の内部資源5について図示している。 30

【0035】

実施の形態2では、ほぼ正方形であるパッド2が千鳥状に2列に配置されている。しかし、ほぼ正方形の形状では、金線7の接続位置に自由度がなく、金線7が互いにオーバーラップして電氣的に不良が起こる場合も考えられる。そこで、本変形例のように半導体チップ1の外側の列に配置されたパッド8は、半導体チップ1の四辺に沿って長い形状の矩形にする。これにより、パッド8に接続される金線7は、半導体チップ1の四辺に沿った方向に接続位置の自由度を持つことになり、金線7が互いにオーバーラップして電氣的に不良が起こる不具合も回避することができる。パッド8の形状以外は、本変形例は、実施の形態2と同じ構成である。 40

【0036】

なお、上記において説明した本実施の形態では、パッド8及びパッド9が千鳥状に2列に配置されている場合について説明したが、本発明は、これに限られず、パッドが千鳥状に3列以上の複数列に配置されている場合であっても良い。この場合、より半導体チップ1の外側の列に配置されるパッドの形状は、半導体チップ1の四辺に沿ってより長い形状の矩形となる。これにより、半導体チップ1のより外側の列に配置されたパッドに接続され 50

る金線 7 が、半導体チップ 1 の四辺に沿った方向に接続位置の自由度を持つことになる。また、本変形例でも、あらかじめパッド 8 及びパッド 9 の直下に出力ドライバトランジスタ等の回路を配置しておくことにより、パッドと出力ドライバ間の配線を不要にでき、よりパッドの間隔を詰めて配置することができる。

【0037】

(変形例 2)

図 6 に、本実施の形態の変形例に係る半導体チップ 1 のパッド領域の平面図を示す。半導体チップ 1 の四隅に設けられたパッド 10 は、千鳥状に 2 列に配置されている。このパッド 10 は、実施の形態 2 のパッド 2 の形状と異なり円に近い多角形である。それぞれの隅に配置された複数のパッド 10 の領域を、パッド領域 3 とする。これらのパッド 10 には、外部から入出力が可能ないように金線 7 がそれぞれに接続されている。

【0038】

さらに、パッド領域 3 には、ウェハプロセスやアセンブリ工程等で必要に応じて使用されるアライメントマーク等の特殊マーク 4 も設けられている。半導体チップ 1 でパッド領域 3 以外の領域には、CPU、ROM や RAM 等の内部資源 5 が配置されている。この内部資源 5 は、パッド 10 に接続され必要な信号が入出力されている。ここで、半導体チップ 1 でパッド領域 3 以外の領域を内部資源領域 6 とする。なお、図 6 では、内部資源領域 6 に設けられた一部の内部資源 5 について図示している。

【0039】

実施の形態 2 では、ほぼ正方形であるパッド 2 が千鳥状に 2 列に配置されている。しかし、ほぼ正方形の形状では、パッド間のショートを防止するため対角方向に隣接したパッド間の対角距離を十分取らなければならなかった。この制約により、半導体チップ 1 の外側と内側に設けられたパッドのパッド間距離を短くすることができなかった。そこで、本変形例のように、パッド 10 の形状を円に近い多角形にすることで、対角方向に隣接したパッド間のショートを考える必要がなくなり、パッド間の対角距離の制約を受けずに半導体チップ 1 の外側と内側に設けられたパッドのパッド間距離を短くすることができる。従って、本変形例では、より多数のパッド 10 を四隅に集約することが可能にしている。パッド 10 の形状以外は、本変形例は、実施の形態 2 と同じ構成である。

【0040】

なお、上記において説明した本実施の形態では、パッド 10 が千鳥状に 2 列に配置されている場合について説明したが、本発明は、これに限られず、パッド 10 が千鳥状に 3 列以上の複数列に配置されている場合であっても良い。また、本変形例でも、あらかじめパッド 10 の直下に出力ドライバトランジスタ等の回路を配置しておくことにより、パッドと出力ドライバ間の配線を不要にでき、よりパッドの間隔を詰めて配置することができる。

【0041】

【発明の効果】

本発明の請求項 1 に記載の半導体装置は、半導体チップの四隅に配置された入出力インターフェイスのパッドを備えるので、トータルとしての半導体装置の面積が最適化できる効果がある。

【0042】

本発明の請求項 2 に記載の半導体装置は、半導体チップの四隅に複数列配置されているので、より多数のパッドを四隅に集約することが可能にする効果がある。

【0043】

本発明の請求項 3 に記載の半導体装置は、半導体チップの内側のパッドより外側のパッドの方が半導体チップの四辺に沿って長い形状の矩形であるので、パッドに接続される金線が、半導体チップの四辺に沿った方向に接続位置の自由度を持つことができる効果がある。

【0044】

本発明の請求項 4 に記載の半導体装置は、パッド形状が円に近い多角形であるので、パッド間のショートを回避しつつ、より多数のパッドを四隅に集約することが可能にする効果

10

20

30

40

50

がある。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係る半導体装置の平面図である。

【図 2】 本発明の実施の形態 1 に係る半導体装置の平面図である。

【図 3】 従来技術に係る半導体装置の平面図である。

【図 4】 本発明の実施の形態 2 に係る半導体装置の平面図である。

【図 5】 本発明の実施の形態 2 に係る半導体装置の平面図である。

【図 6】 本発明の実施の形態 2 に係る半導体装置の平面図である。

【図 7】 従来技術に係る半導体装置の平面図である。

【図 8】 従来技術に係る半導体装置の平面図である。

【図 9】 従来技術に係る半導体装置の平面図である。

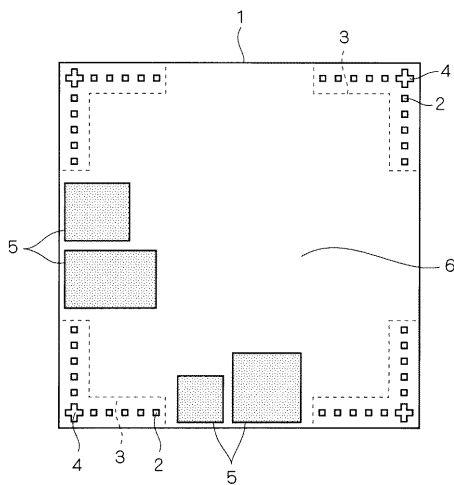
【図 10】 従来技術に係るパッド部分の平面図である。

【符号の説明】

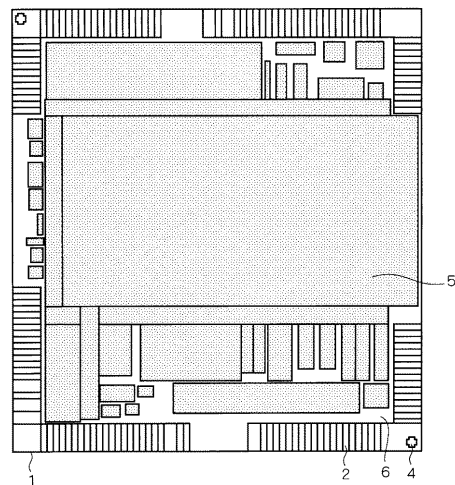
1, 101 半導体チップ、2, 8, 9, 10, 102, 107 パッド、3 パッド領域、4, 103 特殊マーク、5, 104 内部資源、6 内部資源領域、7, 105 金線、106 対角距離、108 パッド間距離。

10

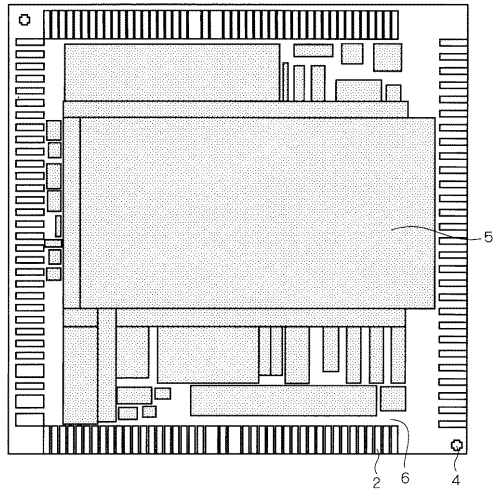
【図 1】



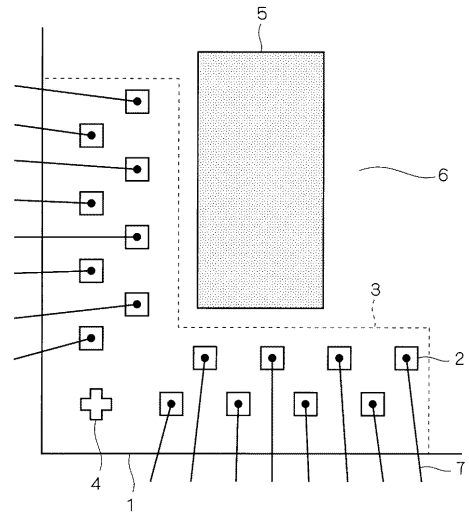
【図 2】



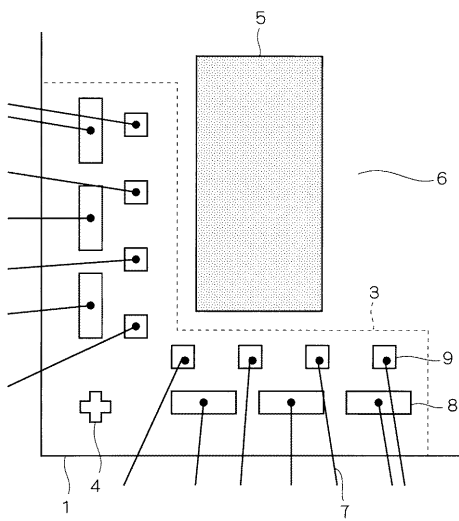
【図 3】



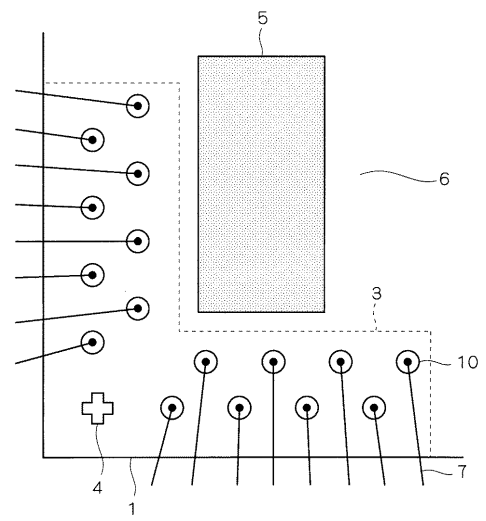
【図 4】



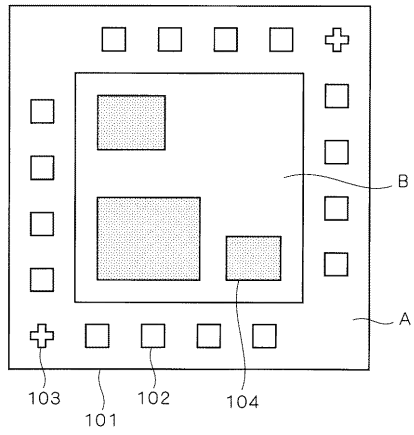
【図 5】



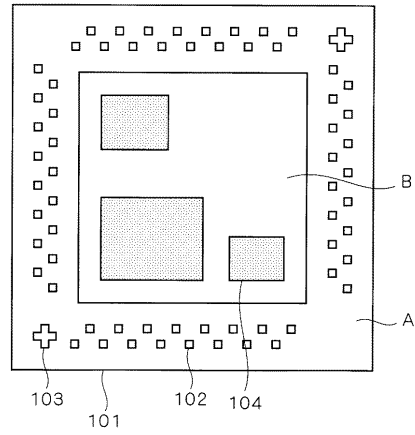
【図 6】



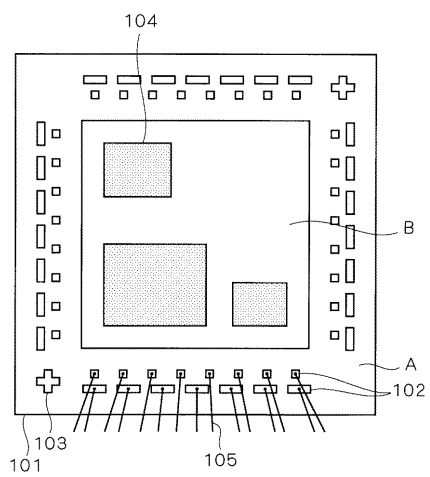
【図 7】



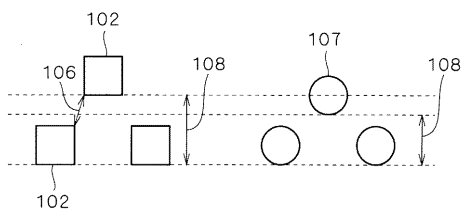
【図 8】



【図 9】



【図 10】



フロントページの続き

Fターム(参考) 5F044 EE01 EE02

5F064 BB09 BB10 BB13 BB15 DD03 DD42 DD43 DD47 EE22 EE26
EE52