

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-141281

(P2010-141281A)

(43) 公開日 平成22年6月24日(2010.6.24)

(51) Int.Cl.	F 1		テーマコード (参考)
H01L 21/8234 (2006.01)	H01L 27/08	1 O 2 B	4 M 1 O 4
H01L 27/088 (2006.01)	H01L 21/90	M	5 F 0 3 3
H01L 21/768 (2006.01)	H01L 21/90	C	5 F 0 4 8
H01L 23/522 (2006.01)	H01L 21/28	L	5 F 0 5 8
H01L 21/28 (2006.01)	H01L 21/28	3 O 1 S	5 F 0 8 3

審査請求 未請求 請求項の数 32 O L (全 46 頁) 最終頁に続く

(21) 出願番号	特願2009-82880 (P2009-82880)	(71) 出願人	503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号
(22) 出願日	平成21年3月30日 (2009.3.30)	(74) 代理人	100080001 弁理士 筒井 大和
(31) 優先権主張番号	特願2008-289160 (P2008-289160)	(72) 発明者	小出 優樹 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
(32) 優先日	平成20年11月11日 (2008.11.11)		
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

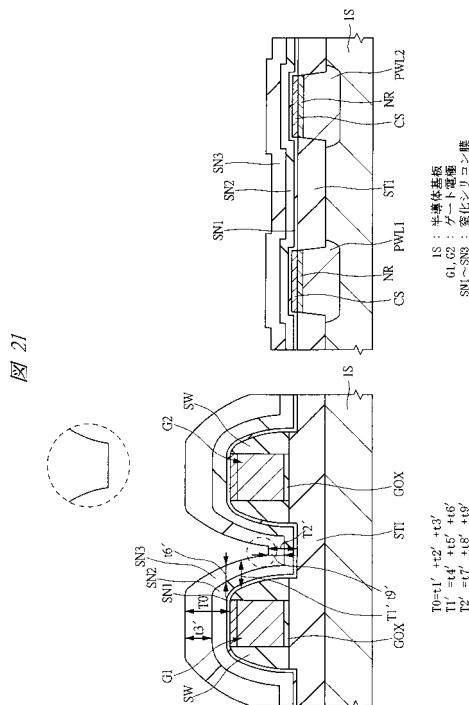
(54) 【発明の名称】半導体装置およびその製造方法

(57) 【要約】

【課題】半導体装置の小型化が進んでも半導体装置の信頼性向上を図ることができる技術を提供する。

【解決手段】本発明の技術的思想は、積層形成される窒化シリコン膜SN1～SN3のそれぞれの膜厚を一定値ではなく、トータルの総膜厚を一定に保ちながら、上層の窒化シリコン膜SN3から下層の窒化シリコン膜SN1にしたがって膜厚を薄くするように構成している点にある。これにより、歪シリコン技術を実効あらしめる窒化シリコン膜SN1～SN3の引張応力を確保しながら、特に、最上層の窒化シリコン膜SN3の埋め込み特性を改善できる。

【選択図】図21



【特許請求の範囲】

【請求項 1】

(a) 半導体基板上に互いに隣接する第1MISFETおよび第2MISFETを含む複数のMISFETを形成する工程と、

(b) 前記(a)工程後、前記第1MISFETの第1ゲート電極と前記第2MISFETの第2ゲート電極の間の第1領域を含む前記半導体基板上に多層絶縁膜を形成する工程と、

(c) 前記(b)工程後、前記多層絶縁膜上に層間絶縁膜を形成する工程と、

(d) 前記(c)工程後、前記層間絶縁膜と前記多層絶縁膜を貫通して前記半導体基板に達し、かつ、前記第1領域内であって、前記第1ゲート電極と前記第2ゲート電極が並行して延在する第1方向に沿って複数のコンタクトホールを形成する工程と、

(e) 前記(d)工程後、前記複数のコンタクトホールに導電材料を埋め込んでプラグを形成する工程とを備える半導体装置の製造方法であって、

前記(b)工程は、

(b1) 前記半導体基板上に、前記複数のMISFETのそれぞれのゲート電極上に形成される膜厚が第1膜厚である第1絶縁膜を形成する工程と、

(b2) 前記(b1)工程後、前記複数のMISFETのそれぞれのゲート電極上に形成される膜厚が前記第1膜厚よりも厚い第2膜厚である第2絶縁膜を前記第1絶縁膜上に形成する工程とを有し、

前記多層絶縁膜は前記第1絶縁膜と前記第2絶縁膜を含み、

前記第1絶縁膜および前記第2絶縁膜は同じ材料で形成されており、

前記層間絶縁膜と、前記第1絶縁膜および前記第2絶縁膜とは、別の材料で形成されていることを特徴とする半導体装置の製造方法。

【請求項 2】

請求項1記載の半導体装置の製造方法であって、

前記(a)工程は、

(a1) 前記第1MISFETの前記第1ゲート電極と、前記第2MISFETの前記第2ゲート電極とを形成する工程と、

(a2) 前記(a1)工程後、前記第1ゲート電極の側壁と前記第2ゲート電極の側壁にサイドウォールを形成する工程とを有し、

前記第1絶縁膜の前記第1膜厚と、前記第2絶縁膜の前記第2膜厚とを合わせた総膜厚が、対向する前記第1MISFETの前記サイドウォールと前記第2MISFETの前記サイドウォールとの間の距離の1/2以上であることを特徴とする半導体装置の製造方法。

【請求項 3】

請求項1記載の半導体装置の製造方法であって、

前記(b)工程は、さらに、

(b3) 前記(b2)工程後、前記複数のMISFETのそれぞれの前記ゲート電極上に形成される膜厚が前記第2膜厚よりも厚い第3膜厚である第3絶縁膜を前記第2絶縁膜上に形成する工程を有し、

前記多層絶縁膜は前記第1絶縁膜と前記第2絶縁膜と前記第3絶縁膜を含むことを特徴とする半導体装置の製造方法。

【請求項 4】

請求項3記載の半導体装置の製造方法であって、

前記(a)工程は、

(a1) 前記第1MISFETの前記第1ゲート電極と、前記第2MISFETの前記第2ゲート電極とを形成する工程と、

(a2) 前記(a1)工程後、前記第1ゲート電極の側壁と前記第2ゲート電極の側壁にサイドウォールを形成する工程とを有し、

前記第1絶縁膜の前記第1膜厚と、前記第2絶縁膜の前記第2膜厚と、前記第3絶縁膜

10

20

30

40

50

の前記第3膜厚とを合わせた総膜厚が、対向する前記第1MISFETの前記サイドウォールと前記第2MISFETの前記サイドウォールとの間の距離の1/2以上であることを特徴とする半導体装置の製造方法。

【請求項5】

請求項1記載の半導体装置の製造方法であって、

前記(b1)工程は、第1温度で前記第1絶縁膜を形成し、

前記(b2)工程は、前記第1温度よりも低い第2温度で前記第2絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項6】

請求項5記載の半導体装置の製造方法であって、

前記(b1)工程は、プラズマCVD法を使用することにより前記第1絶縁膜を形成し、

前記(b2)工程も、プラズマCVD法を使用することにより前記第2絶縁膜を形成することを特徴とする半導体装置の製造方法。

【請求項7】

請求項6記載の半導体装置の製造方法であって、

前記第1温度と前記第2温度はともに300以上500以下であることを特徴とする半導体装置の製造方法。

【請求項8】

請求項1記載の半導体装置の製造方法であって、

前記第1絶縁膜および前記第2絶縁膜は、窒化シリコン膜であることを特徴とする半導体装置の製造方法。

【請求項9】

請求項8記載の半導体装置の製造方法であって、

前記第1絶縁膜および前記第2絶縁膜は、プラズマCVD法を使用することにより形成することを特徴とする半導体装置の製造方法。

【請求項10】

請求項9記載の半導体装置の製造方法であって、

前記層間絶縁膜は酸化シリコン膜を含むことを特徴とする半導体装置の製造方法。

【請求項11】

請求項10記載の半導体装置の製造方法であって、

前記酸化シリコン膜は、オゾンとTEOSを原料とするプラズマCVD法を使用することにより形成することを特徴とする半導体装置の製造方法。

【請求項12】

請求項1記載の半導体装置の製造方法であって、

前記第1MISFETおよび前記第2MISFETは、nチャネル型MISFETであることを特徴とする半導体装置の製造方法。

【請求項13】

請求項12記載の半導体装置の製造方法であって、

前記第1MISFETおよび前記第2MISFETを覆うように形成されている前記第1絶縁膜および前記第2絶縁膜は、窒化シリコン膜であり、

前記第1MISFETのチャネル領域および前記第2MISFETのチャネル領域には、前記窒化シリコン膜によって、前記第1MISFETのゲート長方向および前記第2MISFETのゲート長方向に引張応力が生じていることを特徴とする半導体装置の製造方法。

【請求項14】

請求項13記載の半導体装置の製造方法であって、

前記窒化シリコン膜によって、前記第1MISFETの前記チャネル領域および前記第2MISFETの前記チャネル領域に発生している引張応力の絶対値は、1.3GPa～1.7GPaであることを特徴とする半導体装置の製造方法。

10

20

30

40

50

【請求項 15】

請求項 13記載の半導体装置の製造方法であって、さらに、

前記(b1)工程後であって前記(b2)工程前に、前記第1絶縁膜に対して紫外線照射を行う工程と、

前記(b2)工程後であって前記(c)工程前に、前記第2絶縁膜に対して紫外線照射を行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項 16】

請求項 1記載の半導体装置の製造方法であって、

前記第1MISFETおよび前記第2MISFETは、pチャネル型MISFETであることを特徴とする半導体装置の製造方法。

10

【請求項 17】

請求項 16記載の半導体装置の製造方法であって、

前記第1MISFETおよび前記第2MISFETを覆うように形成されている前記第1絶縁膜および前記第2絶縁膜は、窒化シリコン膜であり、

前記第1MISFETのチャネル領域および前記第2MISFETのチャネル領域には、前記窒化シリコン膜によって、前記第1MISFETのゲート長方向および前記第2MISFETのゲート長方向に圧縮応力が生じていることを特徴とする半導体装置の製造方法。

【請求項 18】

請求項 2記載の半導体装置の製造方法であって、

対向する前記第1MISFETの前記サイドウォールと前記第2MISFETの前記サイドウォールとの間の距離をSとし、

前記第1MISFETの前記第1ゲート電極の高さ、あるいは、前記第2MISFETの前記第2ゲート電極の高さをhとした場合、

h/S で定義されるアスペクト比が1.4以上であることを特徴とする半導体装置の製造方法。

20

【請求項 19】

請求項 1記載の半導体装置の製造方法であって、

前記第1MISFETの前記第1ゲート電極と、前記第2MISFETの前記第2ゲート電極は、前記半導体基板に形成された素子分離領域上にも延在しており、

30

前記素子分離領域上に配置される前記第1ゲート電極と前記第2ゲート電極の間に前記第1領域が存在することを特徴とする半導体装置の製造方法。

【請求項 20】

請求項 19記載の半導体装置の製造方法であって、

前記第1MISFETと前記第2MISFETは、SRAMを構成するMISFETであることを特徴とする半導体装置の製造方法。

【請求項 21】

請求項 1記載の半導体装置の製造方法であって、

前記(d)工程で前記複数のコンタクトホールを形成する工程は、

40

(d1)前記層間絶縁膜をエッチングする工程と、

(d2)前記(d1)工程後に、前記多層絶縁膜をエッチングする工程とを有し、

前記(d1)工程で、前記多層絶縁膜はエッチングストップとして機能していることを特徴とする半導体装置の製造方法。

【請求項 22】

ゲート絶縁膜、ゲート電極、サイドウォール、ソース領域およびドレイン領域を有し、その動作時に、前記ゲート絶縁膜を介した前記ゲート電極下の半導体基板にチャネルが形成されるチャネル形成領域を有する第1MISFETおよび第2MISFETを含む半導体装置であって、

前記第1MISFETのゲート電極と前記第2MISFETのゲート電極の間の第1領域を含む前記半導体基板上に、前記第1MISFETおよび前記第2MISFETを覆う

50

ように形成された多層絶縁膜と、

前記多層絶縁膜上に形成され、かつ、前記多層絶縁膜よりも膜厚の厚い層間絶縁膜と、

前記層間絶縁膜および前記多層絶縁膜に形成され、かつ、前記第1MISFETおよび前記第2MISFETの前記ソース領域および前記ドレイン領域に接続する複数のプラグとを有し、

前記多層絶縁膜は第1絶縁膜と、前記第1絶縁膜よりも膜厚の厚い第2絶縁膜を含み、

前記第1絶縁膜および前記第2絶縁膜は同じ材料で形成されており、

前記層間絶縁膜と、前記第1絶縁膜および前記第2絶縁膜とは、別の材料で形成されていることを特徴とする半導体装置。

【請求項23】

請求項22記載の半導体装置であって、

前記第1MISFETおよび前記第2MISFETはnチャネル型MISFETであり

、前記第1MISFETのチャネル領域および前記第2MISFETのチャネル領域には、前記多層絶縁膜によって、前記第1MISFETのゲート長方向および前記第2MISFETのゲート長方向に引張応力が生じていることを特徴とする半導体装置。

【請求項24】

請求項23記載の半導体装置であって、

前記第1絶縁膜および前記第2絶縁膜は、窒化シリコン膜であることを特徴とする半導体装置。

【請求項25】

請求項23記載の半導体装置であって、

前記第1MISFETの前記ゲート電極のゲート長、および、前記第2MISFETの前記ゲート電極のゲート長は、130nm以下であることを特徴とする半導体装置。

【請求項26】

請求項22記載の半導体装置であって、

前記第1MISFETおよび前記第2MISFETはpチャネル型MISFETであり

、前記第1MISFETのチャネル領域および前記第2MISFETのチャネル領域には、前記多層絶縁膜によって、前記第1MISFETのゲート長方向および前記第2MISFETのゲート長方向に圧縮応力が生じていることを特徴とする半導体装置。

【請求項27】

請求項22記載の半導体装置であって、

前記第1絶縁膜および前記第2絶縁膜は、窒化シリコン膜であることを特徴とする半導体装置。

【請求項28】

請求項26記載の半導体装置であって、

前記第1MISFETの前記ゲート電極のゲート長、および、前記第2MISFETの前記ゲート電極のゲート長は、130nm以下であることを特徴とする半導体装置。

【請求項29】

請求項22記載の半導体装置であって、

前記第1MISFETおよび前記第2MISFETの前記ゲート電極上、前記第1MISFETおよび前記第2MISFETの前記ソース領域上、および、前記第1MISFETおよび前記第2MISFETの前記ドレイン領域上には、シリサイド膜が形成されていることを特徴とする半導体装置。

【請求項30】

請求項29記載の半導体装置であって、

前記シリサイド膜は、ニッケルシリサイド膜であることを特徴とする半導体装置。

【請求項31】

請求項22記載の半導体装置であって、

10

20

30

40

50

前記第2絶縁膜の膜厚は、前記第1絶縁膜の膜厚よりも3nm以上厚いことを特徴とする半導体装置。

【請求項32】

請求項1記載の半導体装置の製造方法であって、

前記第2絶縁膜の膜厚は、前記第1絶縁膜の膜厚よりも3nm以上厚いことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造技術に関し、特に、微細化された半導体装置およびその製造に適用して有効な技術に関するものである。 10

【背景技術】

【0002】

特表2008-506262号公報（特許文献1）には、互いに重ねて形成された窒化物エッチストップ層を有する多層窒化物スタックを備え、これら窒化物エッチストップ層の各々は、膜形成プロセスを使用して形成される半導体装置が記載されている。多層窒化物スタックを形成する方法は、単一ウェハ堆積チャンバに基板を配置し、堆積の直前に基板に熱的ショックを与えることを含む。第1の窒化物エッチストップ層が基板上に堆積される。第2の窒化物エッチストップ層が第1の窒化物エッチストップ層上に堆積される。このとき、第1の窒化物エッチストップ層と第2の窒化物エッチストップ層とは同じ膜厚であるとしている。 20

【0003】

また、国際公開第2002/043151号パンフレット（特許文献2）には、自己整合用の窒化シリコン膜を用いて、nチャネルMISFETに引張応力を発生させ、pチャネルMISFETに圧縮応力を発生させることが記載されている。また、nチャネルMISFETに引張応力を発生させる窒化シリコン膜を形成し、pチャネルMISFETに引張応力を発生させる窒化シリコン膜と、圧縮応力を発生させる窒化シリコン膜とを積層させている。これにより、nチャネルMISFETに引張応力を発生させつつ、pチャネルMISFETに発生する引張応力を緩和させる例等が開示されている。

【先行技術文献】

30

【特許文献】

【0004】

【特許文献1】特表2008-506262号公報

【特許文献2】国際公開第2002/043151号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【0005】

近年、複数のMISFET（Metal Insulator Semiconductor Field Effect Transistor）を含む半導体装置の小型化が進められている。半導体装置の小型化を推進するためには、それぞれのMISFETを構成するゲート電極の微細化を行なうとともに、複数のMISFETを高密度に配置することが行なわれる。すなわち、隣接するMISFETのゲート電極間の領域を狭めることが行なわれる。 40

【0006】

半導体装置では、半導体基板に複数のMISFETを形成した後、この複数のMISFETを覆うように窒化シリコン膜を形成し、この窒化シリコン膜上に酸化シリコン膜を形成する。このとき、隣接するMISFETのゲート電極間の領域を狭めると、この領域を埋め込むように形成する窒化シリコン膜の埋め込み特性が劣化する。すると、隣接するMISFETのゲート電極間にある領域上に窒化シリコン膜を介して酸化シリコン膜を形成するが、酸化シリコン膜の下層に形成されている窒化シリコン膜の埋め込み特性の劣化を反映して領域上に形成される酸化シリコン膜にボイドが発生する。 50

【0007】

その後、ゲート電極間に領域に酸化シリコン膜および窒化シリコン膜を貫通する複数のコンタクトホールを形成し、このコンタクトホール内にバリア導体膜と導体膜を埋め込みプラグを形成する。このとき、酸化シリコン膜にボイドが存在すると、ゲート電極間に領域に形成される複数のコンタクトホールがボイドで接続され、その後、コンタクトホールに埋め込むバリア導体膜と導体膜がボイドの内部にまで流れ込む。すると、コンタクトホールにバリア導体膜と導体膜を埋め込んで形成される隣接するプラグが、ボイドに流れ込んだ導電材料（バリア導体膜と導体膜）を介して電気的にショートすることになる。このショートしたそれぞれのプラグに異なる電圧が印加される場合、半導体装置として回路動作不良となり、製品の歩留まりが低下することになる。また、隣接したプラグにショート不良が発生した半導体装置をプローブ検査で不良化できないと、半導体装置の信頼性の低下を招き、市場に不良品が出ることになる。

10

【0008】

本発明の目的は、半導体装置の小型化が進んでも半導体装置の信頼性向上を図ることができる技術を提供することにある。

【0009】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

20

【課題を解決するための手段】

【0010】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】

代表的な実施の形態による半導体装置の製造方法は、（a）半導体基板上に互いに隣接する第1MISFETおよび第2MISFETを含む複数のMISFETを形成する工程と、（b）前記（a）工程後、前記第1MISFETの第1ゲート電極と前記第2MISFETの第2ゲート電極の間の第1領域を含む前記半導体基板上に多層絶縁膜を形成する工程とを備える。そして、（c）前記（b）工程後、前記多層絶縁膜上に層間絶縁膜を形成する工程と、（d）前記（c）工程後、前記層間絶縁膜と前記多層絶縁膜を貫通して前記半導体基板に達し、かつ、前記第1領域内であって、前記第1ゲート電極と前記第2ゲート電極が並行して延在する第1方向に沿って複数のコンタクトホールを形成する工程とを備える。さらに、（e）前記（d）工程後、前記複数のコンタクトホールに導電材料を埋め込んでプラグを形成する工程とを備える。ここで、前記（b）工程は、（b1）前記半導体基板上に、前記複数のMISFETのそれぞれのゲート電極上に形成される膜厚が第1膜厚である第1絶縁膜を形成する工程と、（b2）前記（b1）工程後、前記複数のMISFETのそれぞれのゲート電極上に形成される膜厚が前記第1膜厚よりも厚い第2膜厚である第2絶縁膜を前記第1絶縁膜上に形成する工程とを有する。そして、前記多層絶縁膜は前記第1絶縁膜と前記第2絶縁膜を含み、前記第1絶縁膜および前記第2絶縁膜は同じ材料で形成されており、前記層間絶縁膜と、前記第1絶縁膜および前記第2絶縁膜とは、別の材料で形成されていることを特徴とするものである。

30

【0012】

また、代表的な実施の形態による半導体装置は、ゲート絶縁膜、ゲート電極、サイドウォールスペーサ、ソース領域およびドレイン領域を有し、その動作時に、前記ゲート絶縁膜を介した前記ゲート電極下の半導体基板にチャネルが形成されるチャネル形成領域を有する第1MISFETおよび第2MISFETを含む半導体装置である。そして、前記第1MISFETのゲート電極と前記第2MISFETのゲート電極の間の第1領域を含む前記半導体基板上に、前記第1MISFETおよび前記第2MISFETを覆うように形成された多層絶縁膜を有する。さらに、前記多層絶縁膜上に形成され、かつ、前記多層絶縁膜よりも膜厚の厚い層間絶縁膜を有する。さらに、前記層間絶縁膜および前記多層絶縁膜に形成され、かつ、前記第1MISFETおよび前記第2MISFETの前記ソース領

40

50

域および前記ドレイン領域に接続する複数のプラグを有する。そして、前記多層絶縁膜は第1絶縁膜と、前記第1絶縁膜よりも膜厚の厚い第2絶縁膜を含む。さらに、前記第1絶縁膜および前記第2絶縁膜は同じ材料で形成されており、前記層間絶縁膜と、前記第1絶縁膜および前記第2絶縁膜とは、別の材料で形成されていることを特徴とするものである。

【発明の効果】

【0013】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0014】

10

半導体装置の微細化が進んでも半導体装置の信頼性向上を図ることができる。

【図面の簡単な説明】

【0015】

【図1】 S R A M を構成するメモリセルの等価回路を示す図である。

【図2】 S R A M のレイアウト構成を示す図である。

【図3】 図2のA - A線で切断した断面を示す図である。

【図4】 図2のB - B線で切断した断面を示す図である。

【図5】 M I S F E T 上に酸化シリコン膜を形成する場合の断面図である。

20

【図6】 図5に続く図であって、コンタクトホールがずれて形成される例を示す断面図である。

【図7】 M I S F E T 上に窒化シリコン膜を形成した後に酸化シリコン膜を形成する場合の断面図である。

【図8】 図7に続く図であって、コンタクトホールがずれて形成される例を示す断面図である。

【図9】 図8に続く図であって、S A C 技術の利点を説明する断面図である。

【図10】 本発明者が検討した比較例における半導体装置の製造工程を示す断面図である。

【図11】 図10に続く半導体装置の製造工程を示す断面図である。

【図12】 図11に続く半導体装置の製造工程を示す断面図である。

30

【図13】 図12に続く半導体装置の製造工程を示す断面図である。

【図14】 図13に続く半導体装置の製造工程を示す断面図である。

【図15】 本発明の実施の形態1における半導体装置の製造工程を示す断面図である。

【図16】 図15に続く半導体装置の製造工程を示す断面図である。

【図17】 図16に続く半導体装置の製造工程を示す断面図である。

【図18】 図17に続く半導体装置の製造工程を示す断面図である。

【図19】 図18に続く半導体装置の製造工程を示す断面図である。

【図20】 図19に続く半導体装置の製造工程を示す断面図である。

【図21】 図20に続く半導体装置の製造工程を示す断面図である。

【図22】 図21に続く半導体装置の製造工程を示す断面図である。

【図23】 図22に続く半導体装置の製造工程を示す断面図である。

40

【図24】 図23に続く半導体装置の製造工程を示す断面図である。

【図25】 本発明の実施の形態2における半導体装置の製造工程を示す断面図である。

【図26】 図25に続く半導体装置の製造工程を示す断面図である。

【図27】 図26に続く半導体装置の製造工程を示す断面図である。

【図28】 図27に続く半導体装置の製造工程を示す断面図である。

【図29】 図28に続く半導体装置の製造工程を示す断面図である。

【図30】 図29に続く半導体装置の製造工程を示す断面図である。

【発明を実施するための形態】

【0016】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実

50

施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

【0017】

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0018】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

10

【0019】

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0020】

また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

20

【0021】

（実施の形態1）

半導体装置のコスト削減の観点から、1枚の半導体ウェハから取得する半導体チップの数を増やすことが進められている。1枚の半導体ウェハから取得できる半導体チップの数が多くなれば、半導体チップ1つあたりの単価を低減することができるので、半導体装置のコスト削減を実現することができる。このことから、1枚の半導体ウェハから取得できる半導体チップを多くするために、個々の半導体チップのサイズを縮小することが行なわれている。

【0022】

例えば、半導体チップには複数のMISFET（電界効果トランジスタ）からなる集積回路が形成されるが、この半導体チップの小型化は、個々のMISFETのゲート電極のゲート長（チャネル方向の幅）を縮小化することと、隣接するMISFETのゲート電極間の領域を縮小することで対応している。具体的に、論理回路を含むロジック回路では、ゲート長の縮小化とゲート電極間の領域の縮小化が行なわれている。同様に、半導体チップの縮小化は、ロジック回路だけではなく、SRAM（Static Random Access Memory）を含む集積回路でも行なわれている。

30

【0023】

しかし、SRAMでは、ゲート電極のゲート長の縮小化はあまり行なわれずに、ゲート電極間の領域を縮小化することで、小型化を推進している。このようにSRAMにおいて小型化を実現する際、ゲート電極のゲート長の縮小化が行なわれるのは以下に示す理由による。半導体装置の小型化のためにゲート電極のゲート長を縮小化すると、ゲート電極の加工寸法のばらつきが大きくなる傾向がある。このため、SRAMにおいて必要以上にゲート長を縮小化すると、SRAMを構成する複数のMISFETでゲート長のばらつきが大きくなる。ゲート長のばらつきが大きくなると、SRAMの動作マージンが小さくなり、SRAMのメモリ動作安定性が低下することになる。つまり、SRAMではゲート長の加工ばらつきがメモリ動作に与える影響が大きく、メモリ動作の安定性を確保する観点から、SRAMではゲート電極のゲート長を大幅に縮小することができないのである。すなわち、ゲート電極の微細化によってゲート長の加工ばらつきが大きくなるが、このゲート長の加工ばらつきに対する動作マージン（動作余裕）は、ロジック回路を構成するMISFETよりもSRAMを構成するMISFETで厳しくなるのである。このことから、ロジック回路を構成するMISFETでは、ゲート長を縮小化することと、ゲート電極間

40

50

の領域を縮小化することによって集積回路の小型化が行なわれる。これに対し、S R A M を構成するM I S F E T では、ゲート長の縮小化は行なわずに、ゲート電極間の領域を縮小化することだけでS R A M の小型化が行なわれている。

【 0 0 2 4 】

したがって、ゲート電極間の領域における縮小化は、ゲート長の縮小化と併用して集積回路の小型化を図っているロジック回路よりもS R A M において、より進められていることになる。例えば、ロジック回路とS R A M で同様の小型化を実現することを考える。この場合、ロジック回路では、ゲート長の縮小化とゲート電極間の領域における縮小化が行なわれるので、ゲート長の縮小化が行なわれる分、ゲート電極間の領域における縮小化は緩和される。一方、S R A M では、ゲート電極間の領域における縮小化が主に行なわれるため、ロジック回路とS R A M とを同様の小型化を実現するためには、S R A M のほうがゲート電極間の領域をより狭くしなければならないことになる。以上のことから、特に、S R A M において、ゲート電極間の領域が狭くなる傾向が顕著に現れることがわかる。

10

【 0 0 2 5 】

半導体装置では、半導体基板に複数のM I S F E T を形成した後、この複数のM I S F E T を覆うように窒化シリコン膜を形成し、この窒化シリコン膜上に酸化シリコン膜を形成する。このとき、隣接するM I S F E T のゲート電極間の領域を狭めると、この領域を埋め込むように形成する窒化シリコン膜の埋め込み特性が劣化する問題点が発生する。この窒化シリコン膜の埋め込み特性の劣化は、半導体チップの小型化により、ゲート電極間の領域が狭くなるとより顕著に現れる。したがって、ロジック回路やS R A M でも小型化を実現するためにゲート電極間の領域を狭めると、この領域を埋め込む窒化シリコン膜の埋め込み特性が劣化する。特に、S R A M では、上述したように、ゲート電極間の領域における縮小化がロジック回路よりも進むと考えられるので、ゲート電極間の領域を埋め込む窒化シリコン膜の埋め込み特性の劣化がロジック回路よりも顕著に現れると考えられる。

20

【 0 0 2 6 】

そこで、本実施の形態1では、半導体装置の一例としてS R A M を取り上げて説明することにする。ただし、本実施の形態1における技術的思想は、S R A M に限らず、ロジック回路、D R A M またはフラッシュメモリ等の不揮発性メモリなどを含む集積回路にも幅広く適用することができる。

30

【 0 0 2 7 】

まず、S R A M を構成するメモリセルM C の等価回路について説明する。図1は、本実施の形態1におけるS R A M のメモリセルM C を示す等価回路図である。図1に示すように、このメモリセルM C は、一対の相補性データ線（データ線D L 、データ線／（バー）D L ）とワード線W L との交差部に配置され、一対の駆動用M I S F E T Q d 1 、Q d 2 、一対の負荷用M I S F E T Q p 1 、Q p 2 および一対の転送用M I S F E T Q t 1 、Q t 2 により構成されている。駆動用M I S F E T Q d 1 、Q d 2 および転送用M I S F E T Q t 1 、Q t 2 はnチャネル型M I S F E T で構成され、負荷用M I S F E T Q p 1 、Q p 2 はpチャネル型M I S F E T で構成されている。

40

【 0 0 2 8 】

メモリセルM C を構成する上記6個のM I S F E T のうち、駆動用M I S F E T Q d 1 および負荷用M I S F E T Q p 1 は、C M O S インバータI N V 1 を構成し、駆動用M I S F E T Q d 2 および負荷用M I S F E T Q p 2 は、C M O S インバータI N V 2 を構成している。これら一対のC M O S インバータI N V 1 、I N V 2 の相互の入出力端子（蓄積ノードA、B）は、交差結合され、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。また、このフリップフロップ回路の一方の入出力端子（蓄積ノードA）は、転送用M I S F E T Q t 1 のソース領域、ドレイン領域の一方に接続され、他方の入出力端子（蓄積ノードB）は、転送用M I S F E T Q t 2 のソース領域、ドレイン領域の一方に接続されている。

【 0 0 2 9 】

50

さらに、転送用M I S F E T Q t 1のソース領域、ドレイン領域の他方はデータ線D Lに接続され、転送用M I S F E T Q t 2のソース領域、ドレイン領域の他方はデータ線/D Lに接続されている。また、フリップフロップ回路の一端（負荷用M I S F E T Q p 1、Q p 2の各ソース領域）は電源電圧（V c c）を供給する配線に接続され、他端（駆動用M I S F E T Q d 1、Q d 2の各ソース領域）は基準電圧（V s s）を供給する配線に接続されている。

【0030】

上記回路の動作を説明すると、一方のCMOSインバータINV1の蓄積ノードAが高電位（“H”）であるときには、駆動用M I S F E T Q d 2がONになるので、他方のCMOSインバータINV2の蓄積ノードBが低電位（“L”）になる。したがって、駆動用M I S F E T Q d 1がOFFになり、蓄積ノードAの高電位（“H”）が保持される。すなわち、一対のCMOSインバータINV1、INV2を交差結合させたラッチ回路によって相互の蓄積ノードA、Bの状態が保持され、電源電圧が印加されている間、情報が保存される。

10

【0031】

転送用M I S F E T Q t 1、Q t 2のそれぞれのゲート電極にはワード線W Lが接続され、このワード線W Lによって転送用M I S F E T Q t 1、Q t 2の導通、非導通が制御される。すなわち、ワード線W Lが高電位（“H”）であるときには、転送用M I S F E T Q t 1、Q t 2がONになり、ラッチ回路と相補性データ線（データ線D L、/D L）とが電気的に接続されるので、蓄積ノードA、Bの電位状態（“H”または“L”）がデータ線D L、/D Lに現れ、メモリセルMCの情報として読み出される。

20

【0032】

メモリセルMCに情報を書き込むには、ワード線W Lを“H”電位レベル、転送用M I S F E T Q t 1、Q t 2をON状態にしてデータ線D L、/D Lの情報を蓄積ノードA、Bに伝達する。以上のようにして、S R A Mを動作させることができる。

20

【0033】

次に、上述したS R A Mのレイアウト構成の一例について図2を参照しながら説明する。図2は、S R A Mのレイアウト構成を示す模式的な平面図である。例えば、図2では、S R A Mを構成する4つメモリセルMC1～MC4（4ビット分）が示されている。このうち、1つのメモリセルMC1を用いてメモリセルのレイアウト構成を説明する。

30

【0034】

S R A MのメモリセルMC1は、例えば、図2に示すように、半導体基板に形成された一対の駆動用M I S F E T Q d 1、Q d 2、一対の負荷用M I S F E T Q p 1、Q p 2および一対の転送用M I S F E T Q t 1、Q t 2の6つの電界効果トランジスタから構成されている。このとき、一対の駆動用M I S F E T Q d 1、Q d 2および一対の転送用M I S F E T Q t 1、Q t 2は、nチャネル型M I S F E Tから構成され、一対の負荷用M I S F E T Q p 1、Q p 2はpチャネル型M I S F E Tから構成されている。

【0035】

具体的には、半導体基板を素子分離領域S T Iで複数のアクティブ領域（活性領域）A n 1、A n 2、A n 3、A n 4、A p 1、A p 2、A p 3、A p 4に区画する。素子分離領域S T Iで区画された複数のアクティブ領域A n 1、A n 2、A n 3、A n 4、A p 1、A p 2、A p 3、A p 4は、半導体基板の第1方向（図2の縦方向）に並んで延在するように配置され、アクティブ領域A n 1、A n 2、A n 3、A n 4、A p 1、A p 2、A p 3、A p 4の周囲を素子分離領域S T Iで囲む構造となっている。nチャネル型M I S F E Tを形成するアクティブ領域A n 1、A n 2、A n 3、A n 4では、アクティブ領域A n 1、A n 2、A n 3、A n 4内にリンや砒素などのn型不純物を導入することによりソース領域およびドレイン領域が形成されている。そして、ソース領域とドレイン領域の間のアクティブ領域A n 1、A n 2、A n 3、A n 4上にゲート絶縁膜を介してゲート電極Gが形成されている。ゲート電極Gは、アクティブ領域A n 1、A n 2、A n 3、A n 4の延在する第1方向とは交差する第2方向（横方向）に延在している。このようにして

40

50

、アクティブ領域A n 1、A n 2、A n 3、A n 4上に形成されているゲート電極G、および、ゲート電極Gを挟むようにアクティブ領域A n 1、A n 2、A n 3、A n 4内に形成されているソース領域およびドレイン領域によりnチャネル型M I S F E Tが形成される。同様に、アクティブ領域A p 1、A p 2、A p 3、A p 4上に形成されているゲート電極G、および、ゲート電極Gを挟むようにアクティブ領域A p 1、A p 2、A p 3、A p 4内に形成されているソース領域およびドレイン領域によりpチャネル型M I S F E Tが形成される。

【0036】

例えば、S R A MのメモリセルM C 1において、アクティブ領域A n 1に形成されているソース領域およびドレイン領域と2つのゲート電極Gにより、駆動用M I S F E T Q d 1および転送用M I S F E T Q t 1が同一のアクティブ領域A n 1に形成されている。また、アクティブ領域A p 1に形成されているソース領域およびドレイン領域とゲート電極Gにより、負荷用M I S F E T Q p 1が形成され、アクティブ領域A p 2に形成されているソース領域およびドレイン領域とゲート電極Gにより、負荷用M I S F E T Q p 2が形成されている。同様に、アクティブ領域A n 2に形成されているソース領域およびドレイン領域とゲート電極Gにより、駆動用M I S F E T Q d 2および転送用M I S F E T Q t 2が同一のアクティブ領域A n 2に形成されている。

10

【0037】

S R A MのメモリセルM C 1において、例えば、アクティブ領域A n 1に形成されている駆動用M I S F E T Q d 1および転送用M I S F E T Q t 1では、ソース領域およびドレイン領域にプラグP L Gが電気的に接続されている。さらに、負荷用M I S F E T Q p 1が形成されているアクティブ領域A p 2と、負荷用M I S F E T Q p 2を構成するゲート電極Gは、シェアードコンタクトプラグS C N Tで電気的に接続されている。

20

【0038】

続いて、図2のA - A線で切断した2つの転送用M I S F E T Q t 2を例にとってS R A Mを構成するM I S F E Tの構成について説明する。2つの転送用M I S F E T Q t 2は、メモリセルM C 1の転送用M I S F E T Q t 2と、メモリセルM C 2の転送用M I S F E T Q t 2である。転送用M I S F E T Q t 2は、nチャネル型M I S F E Tから構成されているので、図3では、転送用M I S F E T Q t 2をnチャネル型M I S F E Tとする。

30

【0039】

図3は、S R A Mを構成する2つのnチャネル型M I S F E Tの断面構造を示す図であり、図2のA - A線で切断した断面図である。この図3を用いて、本実施の形態1におけるnチャネル型M I S F E Tの構造を説明する。図3に示されている2つのnチャネル型M I S F E Tの構造はほぼ同じであるので、1つのnチャネル型M I S F E T（例えば、図3の左側のM I S F E T）を例にあげて、その構造を説明する。

【0040】

図3に示すように、半導体基板1 Sには、p型ウェルP W L 1（アクティブ領域A n 2）が形成されており、p型ウェルP W L 1を形成した半導体基板1 S上に、ゲート絶縁膜G O Xが形成されている。そして、ゲート絶縁膜G O X上にゲート電極G 1（図3の右側のM I S F E Tではゲート電極G 2）が形成されている。本実施の形態1において、ゲート絶縁膜G O Xは、例えば、酸化シリコン膜から形成されている。一方、ゲート電極G 1は、導電膜として、例えば、ポリシリコン膜P Fとニッケルシリサイド膜C Sの積層膜から構成されている。ポリシリコン膜P Fには、例えば、リンなどのn型不純物が導入されており、nチャネル型M I S F E Tのしきい値電圧が調整されている。このポリシリコン膜P F上に形成されているニッケルシリサイド膜C Sは、ゲート電極G 1の低抵抗化のために形成されている。そして、ゲート電極G 1の両側の側壁には、サイドウォールS Wが形成されている。このサイドウォールS Wは、例えば、酸化シリコン膜、窒化シリコン膜または酸窒化シリコン等の絶縁膜から形成されている。また、サイドウォールS Wは、これらの絶縁膜を積層させた積層膜で形成してもよい。さらに、シリサイド膜は、本実施の

40

50

形態1ではニッケルシリサイド膜CSを例示するが、他のシリサイド膜として、プラチナシリサイド膜、コバルトシリサイド膜、または、チタンシリサイド膜等で形成することもできる。また、ゲート電極G1は、多結晶シリコン膜上にシリサイド膜を形成した場合を例示しているが、金属膜を用いたフルメタル・ゲート構造を適用してもよい。

【0041】

次に、サイドウォールSW直下のp型ウェルPWL1内には、ゲート電極G1に整合して設けられた浅いn型不純物拡散領域EXが形成されている。この浅いn型不純物拡散領域EXは、半導体基板1Sにリン(P)や砒素(As)などのn型不純物を導入して形成された半導体領域である。そして、浅いn型不純物拡散領域EXの外側のp型ウェルPWL1内には、サイドウォールSWに整合して深いn型不純物拡散領域NRが形成されている。この深いn型不純物拡散領域NRも、半導体基板1Sにリンや砒素などのn型不純物を導入することにより形成されており、半導体領域となっている。このように一対の浅いn型不純物拡散領域EXと、一対の深いn型不純物拡散領域NRにより、nチャネル型MISFETのソース領域とドレイン領域が形成されている。なお、深いn型不純物拡散領域NRの表面には低抵抗化のためのニッケルシリサイド膜CSが形成されている。以上のようにして、半導体基板1Sにnチャネル型MISFETが形成されている。

【0042】

SRAMには、図2に示すように、nチャネル型MISFET(転送用MISFETQt1、Qt2、駆動用MISFETQd1、Qd2)だけでなく、pチャネル型MISFET(負荷用MISFETQp1、Qp2)も形成されている。このSRAMを構成するpチャネル型MISFETの構成も、図3に示すnチャネル型MISFETの構成とほぼ同様である。異なる点は、半導体領域の導電型が逆導電型となっていることである。具体的には、図3に示すnチャネル型MISFETは、p型ウェルPWL1上に形成されているが、pチャネル型MISFETはn型ウェル上に形成される。そして、nチャネル型MISFETでは、ソース領域やドレイン領域を浅いn型不純物拡散領域EXと深いn型不純物拡散領域NRで構成しているのに対し、pチャネル型MISFETでは、ソース領域やドレイン領域を浅いp型不純物拡散領域と深いp型不純物拡散領域で構成している。

【0043】

以上のようにして、図2に示すSRAMのメモリセルMC1は、例えば、4つのnチャネル型MISFETと、2つのpチャネル型MISFETから構成されていることになる。

【0044】

図3に示すように、SRAMを構成する2つのnチャネル型MISFETが隣接されて形成されており、SRAMの微細化により、例えば、図3に示す2つのnチャネル型MISFETのゲート電極G1とゲート電極G2との間の距離(領域)が狭くなる。このとき、nチャネル型MISFETを覆うように窒化シリコン膜が形成されるが、この窒化シリコン膜をゲート電極間の領域に埋め込む特性(埋め込み特性)は、ゲート電極間距離だけに関係するのではなく、ゲート電極G1、G2の高さにも依存する。すなわち、ゲート電極間距離が小さくなっても、ゲート電極G1、G2の高さが低ければ、窒化シリコン膜の埋め込み特性はそれほど劣化しないのである。言い換えれば、ゲート電極間距離が大きくても、ゲート電極G1、G2の高さが高くなればなるほど、窒化シリコン膜の埋め込み特性は劣化する。このことから、窒化シリコン膜の埋め込み特性を判断する指標としてアスペクト比と呼ばれるものが使用される。

【0045】

なお、本実施の形態で示すゲート電極間の領域は、ゲート電極の側壁に形成されたサイドウォールSW間の領域のことを意味する。

【0046】

以下では、このアスペクト比について図3を参照しながら説明する。図3において、まず、ゲート電極G1とゲート電極G2の間の距離を距離S0とする。距離S0は、厳密に言えば、ゲート電極G1の側壁に形成されているサイドウォールSWと、ゲート電極G2

の側壁に形成されているサイドウォール SW の距離を言うが、本明細書では便宜上、距離 S 0 をゲート電極間距離と呼ぶことにする。次に、ゲート電極 G 1 とゲート電極 G 2 の高さを高さ h 0 とする。この高さ h 0 は、半導体基板 1 S の正面とゲート電極 G 1 、 G 2 の上面との間の距離として定義される。

【 0 0 4 7 】

このとき、アスペクト比は (h_0 / S_0) で定義される。例えば、ゲート電極の高さ h 0 を一定にして、ゲート電極間距離である距離 S 0 を小さくしていくとアスペクト比は大きくなる。この場合、距離 S 0 を小さくしていくにつれて窒化シリコン膜の埋め込み特性が劣化する。すなわち、アスペクト比が大きくなると、窒化シリコン膜の埋め込み特性が劣化することがわかる。

10

【 0 0 4 8 】

S R A M の小型化は、ゲート電極 G 1 、 G 2 のゲート長を維持したまま、ゲート電極 G 1 とゲート電極 G 2 の間の距離を狭めることによって行なわれている。ゲート電極 G 1 、 G 2 のゲート長を維持しているということは、M I S F E T のスケーリング則から考えると、ゲート電極 G 1 、 G 2 の高さも維持していることになる。このことは、ゲート電極 G 1 、 G 2 の高さ h 0 を一定にしていると考えることができる。一方、S R A M の小型化は、ゲート電極 G 1 とゲート電極 G 2 の間の距離を狭めることにより行なわれる所以、S R A M の小型化によって、ゲート電極間距離を示す距離 S 0 は小さくなる。したがって、(h_0 / S_0) で定義されるアスペクト比は、S R A M の小型化によって大きくなる。アスペクト比が大きくなるということは、窒化シリコン膜の埋め込み特性が劣化することを意味している。このため、S R A M の小型化によって窒化シリコン膜の埋め込み特性が劣化することをアスペクト比によって判断することができる。

20

【 0 0 4 9 】

なお、本実施の形態 1 において、ゲート電極 G 1 、 G 2 間の距離 S 0 は、ゲート電極 G 1 、 G 2 の側壁に形成されたサイドウォール SW 間の距離 S 0 として示している。本実施の形態 1 において、ゲート電極 G 1 、 G 2 の高さ h 0 は 70 ~ 100 nm 程度であり、ゲート電極 G 1 、 G 2 間は 100 ~ 140 nm 程度であり、サイドウォール SW の幅は 20 ~ 40 nm 程度である。このとき、距離 S 0 は 20 ~ 100 nm 程度となる。

【 0 0 5 0 】

ここで、S R A M においては、図 2 に示すように、ゲート電極 G 1 とゲート電極 G 2 は、互いに並行するように配置されている。このため、ゲート電極 G 1 とゲート電極 G 2 の間の距離は一定であり、ゲート電極 G 1 とゲート電極 G 2 の間のアスペクト比は一定であると考えられる。しかし、実際には、ゲート電極 G 1 とゲート電極 G 2 の間の距離 (S 0) が一定であっても、ゲート電極 G 1 とゲート電極 G 2 の下に存在する領域がアクティブ領域であるか、あるいは、素子分離領域であるかによって変化するのである。そして、ゲート電極 G 1 とゲート電極 G 2 の下に存在する領域がアクティブ領域である場所よりも、ゲート電極 G 1 とゲート電極 G 2 の下に存在する領域が素子分離領域である場所はアスペクト比が高くなる。つまり、ゲート電極 G 1 とゲート電極 G 2 の下に存在する領域が素子分離領域である場所は、S R A M の中に特にアスペクト比が高くなる場所であり、この場所において最も、窒化シリコン膜の埋め込み特性の劣化が生じやすい場所となる。

30

【 0 0 5 1 】

この理由について説明する。図 2 に示すように、互いに並行するように配置されているゲート電極 G 1 とゲート電極 G 2 は、アクティブ領域 A n 2 、素子分離領域 S T I およびアクティブ領域 A n 3 にわたって延在している。このとき、図 2 における A - A 線での断面図が図 3 である。この図 3 は、ゲート電極 G 1 とゲート電極 G 2 の下に存在する領域がアクティブ領域 A n 2 である例を示しているといえる。この場合、アスペクト比は、(h_0 / S_0) となる。

40

【 0 0 5 2 】

これに対し、図 4 は、図 2 の B - B 線で切断した断面図である。つまり、図 4 は、ゲート電極 G 1 とゲート電極 G 2 の下に存在する領域が素子分離領域 S T I である例を示して

50

いる。この図4において、ゲート電極G1とゲート電極G2間のアスペクト比について考えてみる。図4に示すように、半導体基板1Sの正面に素子分離領域STIが形成されているが、素子分離領域STIの表面が削れて深さdの溝が形成されていることがわかる。すなわち、ゲート電極G1の側壁とゲート電極G2の側壁には、それぞれ、サイドウォールSWが形成されているが、このサイドウォールSW間に露出している素子分離領域STIに削れが生じてあり、深さdの溝が形成されている。このように深さdの溝が形成されている理由について説明する。

【0053】

サイドウォールSWは、ゲート電極G1、G2を覆うように酸化シリコン膜を形成し、この酸化シリコン膜を異方性エッチングすることにより形成される。このときの異方性エッチングにより露出している素子分離領域STIの表面がエッチングされるのである。つまり、ゲート電極G1、G2を覆うように形成されている膜は酸化シリコン膜であり、素子分離領域STIも酸化シリコン膜が埋め込まれていることから、サイドウォールSWを形成する酸化シリコン膜の異方性エッチングで、素子分離領域STIの一部もエッチングされるのである。この結果、露出している素子分離領域STIの表面がエッチングされて素子分離領域STIに深さdの溝が形成されるのである。

【0054】

これに対し、図3に示すように、ゲート電極G1とゲート電極G2の下に存在する領域がアクティブ領域An2である場合、アクティブ領域An2はシリコンを主体とする領域であり、このアクティブ領域An2上に形成される酸化シリコン膜とは異なる。このため、ゲート電極G1、G2を覆うように形成されている酸化シリコン膜を異方性エッチングしてゲート電極G1、G2の側壁にサイドウォールSWを形成しても、露出しているアクティブ領域An2はエッチングされない。この結果、アクティブ領域An2は削れず溝が形成されないのである。

【0055】

さらに、半導体装置の製造工程では種々の洗浄工程が実施されるが、この洗浄工程によって、酸化シリコン膜はシリコンを主体とする領域よりも除去されやすいのである。このことから、サイドウォールSWから露出しているアクティブ領域An2よりも、サイドウォールSWから露出している素子分離領域STIに削れが生じやすいのである。

【0056】

以上より、図4に示すように、ゲート電極G1とゲート電極G2の下に存在する領域が素子分離領域STIである場合、ゲート電極G1とゲート電極G2の間でのアスペクト比は、(H0/S0)となる。このとき、高さH0は、ゲート電極G1、G2の半導体基板1Sの正面からの高さh0と、素子分離領域STIの表面に形成された溝の深さdとの和になる(H0 = h0 + d)。したがって、ゲート電極G1とゲート電極G2の間の距離である距離S0が図3と図4で同じであるとすると、図3に示す場合のアスペクト比(h0/S0)に比べて、図4に示す場合のアスペクト比(H0/S0)が大きくなる。このように、ゲート電極G1とゲート電極G2の下に存在する領域がアクティブ領域An2である場所(図3)よりも、ゲート電極G1とゲート電極G2の下に存在する領域が素子分離領域STIである場所(図4)はアスペクト比が高くなることがわかる。つまり、ゲート電極G1とゲート電極G2の下に存在する領域が素子分離領域STIである場所は、SRAMの中で特にアスペクト比が高くなる場所であり、この場所において最も、窒化シリコン膜の埋め込み特性の劣化が生じやすい場所となることがわかる。

【0057】

本実施の形態1では、ゲート電極G1とゲート電極G2の間の領域を含む半導体基板1S上に、まず、絶縁膜として窒化シリコン膜を形成し、その後、層間絶縁膜として、例えば、酸化シリコン膜を形成するように構成している。このように、ゲート電極G1とゲート電極G2の間の領域を含む半導体基板1S上に、まず、窒化シリコン膜を形成した後に酸化シリコン膜を形成している。このため、ゲート電極G1とゲート電極G2の間の領域を埋め込む窒化シリコン膜の埋め込み特性が重要となってくる。

10

20

30

40

50

【0058】

以下では、ゲート電極G1とゲート電極G2の間の領域を含む半導体基板上に直接層間絶縁膜となる酸化シリコン膜を形成するのではなく、窒化シリコン膜を形成した後に酸化シリコン膜を形成することについて図面(図5～図9)を参照しながら説明する。図5～図9は、図2のA-A線で切断した断面に対応する図である。

【0059】

まず、ゲート電極G1とゲート電極G2の間の領域を含む半導体基板1S上に直接酸化シリコン膜を形成する場合に生じる不都合について説明する。図5に示すように、ゲート電極G1とゲート電極G2の間の領域を含む半導体基板1S上に酸化シリコン膜TSを形成する。その後、図6に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、酸化シリコン膜TSを貫通して半導体基板1Sに形成されたソース領域(特に、深いn型不純物拡散領域NR)やドレイン領域(特に、深いn型不純物拡散領域NR)に達するコンタクトホールCNT1を形成する。このとき、通常、コンタクトホールCNT1は、ゲート電極G1とゲート電極G2の間に真中に形成されるが、例えば、フォトリソグラフィ技術における位置ずれ(合わせずれ)によって、コンタクトホールCNT1の位置がゲート電極G1側にずれるとする(図6参照)。すると、コンタクトホールCNT1は、サイドウォールSWに接触することになるが、このサイドウォールSWも酸化シリコン膜TSと同じ酸化シリコン膜から形成されているため、エッチングされてしまう。このため、コンタクトホールCNT1とゲート電極G1が接近して形成されるので、コンタクトホールCNT1を埋め込むプラグとゲート電極G1とのショート不良が発生するおそれがある。さらに、コンタクトホールCNT1の位置がゲート電極G1側にずれることから、コンタクトホールCNT1の底部の一部は、ニッケルシリサイド膜CSが形成されていない浅いn型不純物拡散領域EXと接触することになる。このため、コンタクトホールCNT1に導電材料を埋め込んだプラグとソース領域あるいはドレイン領域との接触抵抗が上昇する。

10

20

30

40

【0060】

そこで、ゲート電極G1とゲート電極G2の間の領域を含む半導体基板1S上に直接酸化シリコン膜を形成するのではなく、まず、窒化シリコン膜を形成した後、この窒化シリコン膜上に酸化シリコン膜を形成している。具体的には、図7に示すように、ゲート電極G1とゲート電極G2の間の領域を含む半導体基板1S上に窒化シリコン膜SNを形成した後、この窒化シリコン膜SN上に酸化シリコン膜TSを形成する。

【0061】

次に、図8に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、酸化シリコン膜TSをエッチングしてコンタクトホールCNT1を形成する。このとき、例えば、フォトリソグラフィ技術における位置ずれ(合わせずれ)によって、コンタクトホールCNT1の位置がゲート電極G1側にずれるとする。しかし、酸化シリコン膜TSとエッチング選択比の取れている窒化シリコン膜SNが形成されているので、コンタクトホールCNT1は窒化シリコン膜SNを貫通してエッチングされることはない。したがって、コンタクトホールCNT1がゲート電極G1側にずれて形成されても、窒化シリコン膜SNがエッチングストップ膜として機能するため、窒化シリコン膜SNの下層に形成されているサイドウォールSWがエッチングされることはない。

【0062】

その後、図9に示すように、コンタクトホールCNT1の底部に露出する窒化シリコン膜SNをエッチングする。ここでは、窒化シリコン膜SNのエッチングを行なうため、酸化シリコン膜から形成されているサイドウォールSWはエッチングされず、サイドウォールSWに沿って自己整合的にコンタクトホールCNT1が形成される。この結果、コンタクトホールCNT1がゲート電極G1側にずれても自己整合的にコンタクトホールCNT1の底部が深いn型不純物拡散領域NR上に形成されているニッケルシリサイド膜CSに接触することになる。

【0063】

50

したがって、コンタクトホールC N T 1がゲート電極G 1側にずれて形成されても、サイドウォールS Wがエッチングされないことから、コンタクトホールC N T 1に導電材料を埋め込むことにより形成されるプラグとゲート電極G 1との距離が確保される。このため、プラグとゲート電極G 1とのショート不良を抑制することができる。さらに、コンタクトホールC N T 1の底部が自己整合的にニッケルシリサイド膜C S上に接触するように形成されることから、プラグとソース領域やドレイン領域との接触抵抗の上昇を抑制することができる。

【0064】

このように、ゲート電極G 1とゲート電極G 2の間の領域を含む半導体基板1 S上に、まず、窒化シリコン膜を形成した後、この窒化シリコン膜上に酸化シリコン膜を形成することにより、コンタクトホールC N T 1の位置ずれによるショート不良および接触抵抗の上昇を抑制できる効果が得られる。すなわち、絶縁膜である窒化シリコン膜はエッチングストップ膜として機能している。この技術は、いわゆるS A C (Self Align Contact)と呼ばれている。つまり、ゲート電極G 1とゲート電極G 2の間の領域を含む半導体基板1 S上に形成される窒化シリコン膜S Nは、S A C技術を実現する機能を有し、コンタクトホールC N T 1の位置ずれによる不良発生を抑制できる機能を有するものである。

10

【0065】

さらに、この絶縁膜である窒化シリコン膜S Nには、別の機能もある。この別の機能について説明する。近年、M I S F E Tの高性能化を図る技術として歪シリコン技術がある。歪シリコン技術とは、M I S F E Tのチャネル形成領域に歪みに起因した応力を与えることにより、チャネルを流れるキャリア（電子や正孔）の移動度を向上させる技術である。この歪シリコン技術によれば、チャネルを流れるキャリアの移動度を向上させることにより、M I S F E Tの高性能化を実現することができる。

20

【0066】

具体的に、nチャネル型M I S F E Tでは、1 . 3 G P a ~ 1 . 7 G P aの引張応力を半導体基板内のチャネル領域に加えることにより、電子の移動度を向上させている。一方、pチャネル型M I S F E Tでは、引張応力とは逆の圧縮応力を半導体基板内のチャネル領域に加えることにより、正孔の移動度を向上させている。このとき、pチャネル型M I S F E Tに発生させる圧縮応力は、1 . 3 G P a ~ 1 . 7 G P a程度である。なお、本実施の形態1で示す引張応力と圧縮応力の値は、それぞれ反対方向の応力であり、それぞれ絶対値で表示している。すなわち、pチャネル型M I S F E Tに発生させる圧縮応力を1 . 3 G P a ~ 1 . 7 G P aと表記したとき、nチャネル型M I S F E Tに発生させる引張応力を-1 . 3 G P a ~ -1 . 7 G P aと表記することができる。また、以降の説明で応力の値を表示するときは、基本的に絶対値で表記する。

30

【0067】

このように歪シリコン技術では半導体基板に応力を発生させており、この応力を発生させる機能を有するのが、上述している窒化シリコン膜S Nである。すなわち、窒化シリコン膜S Nの格子間隔と、半導体基板を構成するシリコンとの格子間隔の差によるストレスを生じさせ、このストレスによって半導体基板のチャネルに応力を発生させているのである。具体的に、応力を発生させる窒化シリコン膜S Nには内部応力を発生させるため所定以上の膜厚が必要とされる。

40

【0068】

また、このような応力を発生させる膜として、本実施の形態1のようなS A C用窒化シリコン膜で実現することの利点を述べる。上記の歪シリコン技術の背景として、当初は、チャネル領域に2軸性の応力を発生させることが主流であった。2軸性の応力とは、ゲート長方向、および、ゲート幅方向に発生させる応力である。この2軸性の応力を用いた場合、駆動電流が期待していた程に増加しないことが実験から判明した。特に、pチャネル型M I S F E Tで、電流の増加は少なかった。これはゲート長方向に発生する応力は電流を増加させているが、ゲート幅方向に発生する応力は電流を減少させているからであった。したがって、ゲート長方向のみに応力を発生させる1軸性の応力が求められた。本実施

50

の形態 1 のような S A C 用窒化シリコン膜は、膜自体が発生させる応力は 2 軸性であるが、形成される場所がゲート電極の側壁を沿うように形成されるため、ゲート電極の一方の側壁から他方の側壁に向かうように応力が強く発生する。つまり、例えば、図 2 の各ゲート電極 G を参照してわかるように、ゲート電極は、電流量の確保のため、ゲート幅方向の長さが長くなるように延在させるのが一般的である。また、高速動作のため、ゲート長方向の長さを短くするようにスケーリングするのが一般的である。したがって、S A C 用窒化シリコン膜でゲート電極を覆った場合、ゲート長方向に発生させる応力を、ゲート幅方向に発生させる応力よりも圧倒的に大きくすることができる。すなわち、主として、ゲート長方向に応力を発生させることができる。

【0069】

また、このような応力によって M I S F E T の電流を増加させるためには、ソース領域とドレイン領域の間に位置し、ゲート電極の下部に位置するチャネル領域全体に応力が発生している必要がある。すなわち、n チャネル型 M I S F E T では、ゲート長方向に 1 軸性の引張応力 (S i 原子間の距離を拡げる応力) をチャネル領域全体に加え、p チャネル型 M I S F E T では、ゲート長方向に 1 軸性の圧縮応力 (S i 原子間の距離を狭める応力) をチャネル領域全体に加える。そのため、n チャネル型 M I S F E T および p チャネル型 M I S F E T の応力の値を 1 . 3 G P a ~ 1 . 7 G P a としている。この値が小さい場合、例えば 1 0 0 M P a 程度の場合では、その応力はゲート電極の端部付近のみに影響し、電流の増加には至らない。また、チャネル領域全体に応力を発生させる必要があることから、ゲート電極のゲート長が長い M I S F E T では効果は低い。本実施の形態 1 では、ゲート電極のゲート長が、1 3 0 n m 以下、より好ましくは 9 0 n m 以下、さらに好ましくは 6 5 n m 以下の場合を想定している。

【0070】

なお、本実施の形態 1 では、窒化シリコン膜 S N の埋め込み性について、ゲート長を維持しながら各ゲート電極間の距離が小さくなつた場合を想定しているが、ゲート長が短くなり、且つ、各ゲート電極間の距離が小さくなつた場合も同様の効果を得ることができる。すなわち、ゲート長が、上記のように 1 3 0 n m 以下、9 0 n m 以下、更に 6 5 n m 以下となつた場合でも適用可能である。

【0071】

以上のように、ゲート電極 G 1 とゲート電極 G 2 の間の領域を含む半導体基板 1 S 上に形成される絶縁膜である窒化シリコン膜 S N は、S A C 技術を実現する第 1 機能と、歪シリコン技術を実現する第 2 機能を有していることがわかる。ゲート電極 G 1 とゲート電極 G 2 の間の領域を含む半導体基板 1 S 上には、まず、上述した機能を実現する窒化シリコン膜 S N が形成されるので、ゲート電極 G 1 とゲート電極 G 2 との間の領域が狭まると、この領域を埋め込む窒化シリコン膜 S N の埋め込み特性の劣化が問題となる。

【0072】

S R A M の小型化を進めると、ゲート電極 G 1 とゲート電極 G 2 との間の領域（距離）が狭くなりアスペクト比が上昇する。アスペクト比が上昇すると、ゲート電極 G 1 とゲート電極 G 2 との間の領域（距離）を埋め込む窒化シリコン膜 S N の埋め込み特性が劣化する。この窒化シリコン膜 S N の埋め込み特性の劣化を抑制する方法として、窒化シリコン膜 S N の膜厚を薄くすることが考えられる。しかし、上述したように、窒化シリコン膜 S N には応力を発生させて歪シリコン技術を実現する機能を有しており、応力を発生させる窒化シリコン膜 S N には内部応力を発生させるため所定以上の膜厚が必要とされる。このことから、S R A M の小型化を実現すると、ゲート電極 G 1 とゲート電極 G 2 との間の領域（距離）が狭くなりアスペクト比が上昇する一方で、窒化シリコン膜 S N の膜厚を確保する必要があるので、特に、窒化シリコン膜 S N の埋め込み特性が劣化する。具体的に、ゲート電極 G 1 とゲート電極 G 2 との間の領域（距離）が狭くなつてアスペクト比が 1 . 4 以上となり、かつ、窒化シリコン膜 S N の膜厚が、ゲート電極 G 1 とゲート電極 G 2 の間の領域（距離）の 1 / 2 以上の膜厚となると、窒化シリコン膜 S N の埋め込み特性の劣化が顕著になる。

10

20

30

40

50

【0073】

次に、窒化シリコン膜SNの埋め込み特性が劣化することで発生する問題点を本発明者が検討した比較例を用いて説明し、その後、その問題点を解決する本実施の形態1における技術的思想について説明する。

【0074】

図10～図14は、本発明者が検討した比較例における半導体装置の製造工程を示す断面図である。図10～図14の左側には、図2のB-B線での断面図が示されており、図10～図14の右側には、図2のC-C線での断面図が示されている。

【0075】

まず、図10は、半導体基板1S上にMISFETを形成した状態を示している。10 図10の左側では、半導体基板1Sに形成された素子分離領域STI上にゲート電極G1とゲート電極G2が一定距離だけ離間して形成されており、ゲート電極G1の側壁とゲート電極G2の側壁にサイドウォールSWが形成されている。一方、図10の右側では、素子分離領域STIで区画されたアクティブ領域An2、An3にそれぞれ、p型ウェルPWL1、PWL2が形成されており、このp型ウェルPWL1、PWL2上に深いn型不純物拡散領域NRが形成されている。そして、この深いn型不純物拡散領域NRの表面にニッケルシリサイド膜CSが形成されている。

【0076】

続いて、図11に示すように、ゲート電極G1およびゲート電極G2を覆うように半導体基板1S上に窒化シリコン膜SN1～SN3を順次形成する。20 具体的には、半導体基板1S上にプラズマCVD法を使用することにより、窒化シリコン膜SN1を形成した後、この窒化シリコン膜SN1に対して紫外線照射する。この紫外線照射は、窒化シリコン膜SN1の膜内に引張応力を発生するために窒化シリコン膜SN1を焼きしめる役割を有している。そして、窒化シリコン膜SN1上にプラズマCVD法で窒化シリコン膜SN2を形成し、この窒化シリコン膜SN2に対して紫外線照射する。さらに、窒化シリコン膜SN2上にプラズマCVD法を使用することにより窒化シリコン膜SN3を形成した後、この窒化シリコン膜SN3に対して紫外線照射する。このようにして窒化シリコン膜SN1～SN3を形成することができる。

【0077】

30 このように窒化シリコン膜SN1～SN3を3層に分けて形成するのは、それぞれの窒化シリコン膜SN1～SN3を形成した後に逐次紫外線照射を行ない、窒化シリコン膜SN1～SN3の膜内に応力を効果的に発生させるためである。このように窒化シリコン膜SN1～SN3のように分けて逐次形成する技術は、例えば、特願2007-154280号に記載されている。

【0078】

ただし、この技術では、窒化シリコン膜SN1～SN3を同じ形成条件で、かつ、同じ膜厚で形成している。具体的に、窒化シリコン膜SN1～SN3のゲート電極G1上でのそれぞれの膜厚を同じ膜厚t1とすると、積層された窒化シリコン膜SN1～SN3の総膜厚T0は、 $T_0 = t_1 + t_1 + t_1$ で表すことができる。

【0079】

40 積層された窒化シリコン膜SN1～SN3は理想的にはコンフォーマルに形成されることが望ましいが、実際には、コンフォーマルに形成されない。つまり、窒化シリコン膜SN1～SN3は、ゲート電極G1、G2上での膜厚が最も厚くなり、ゲート電極G1、G2の側壁に形成される窒化シリコン膜SN1～SN3の膜厚や、ゲート電極G1、G2間の半導体基板1S(素子分離領域STI)上に形成される窒化シリコン膜SN1～SN3の膜厚は、ゲート電極G1、G2上での膜厚よりも薄く形成される傾向がある。具体的に説明すると、図11に示すように、積層された窒化シリコン膜SN1～SN3のゲート電極G1上での総膜厚を総膜厚T0、積層された窒化シリコン膜SN1～SN3のサイドウォールSWの側壁に形成される総膜厚を総膜厚T1、ゲート電極G1、G2間の素子分離領域STI上に形成される窒化シリコン膜SN1～SN3の総膜厚を総膜厚T2とする。

【0080】

このとき、 $T_0 > T_1$ 、 $T_0 > T_2$ の関係が成立する。そして、積層された窒化シリコン膜SN1～SN3のサイドウォールSWの側壁に形成されるそれぞれの膜厚を膜厚 t_4 ($< t_1$)、 t_5 ($< t_1$)、 t_6 ($< t_1$)とすると、 $T_1 = t_4 + t_5 + t_6$ で表すことができる。同様に、ゲート電極G1、G2間の素子分離領域STI上に形成される窒化シリコン膜SN1～SN3のそれぞれの膜厚を膜厚 t_7 ($< t_1$)、 t_8 ($< t_1$)、 t_9 ($< t_1$)とすると、 $T_2 = t_7 + t_8 + t_9$ で表すことができる。

【0081】

本発明者が検討した比較例では、上述したように、窒化シリコン膜SN1～SN3のゲート電極G1上における膜厚を等しくしている結果、最も上層に形成される窒化シリコン膜SN3を形成する際、ゲート電極G1、G2間の領域におけるアスペクト比が大きくなるのである。つまり、ゲート電極G1、G2間のアスペクト比は、窒化シリコン膜SN1を形成した段階で、窒化シリコン膜SN1を形成する前の段階でのアスペクト比よりも上昇し、さらに、窒化シリコン膜SN1上に窒化シリコン膜SN2を形成した段階でアスペクト比が高くなる。すなわち、ゲート電極G1、G2間のアスペクト比は、窒化シリコン膜SN1～SN3を順次形成するにつれて上昇し、最も上層に形成される窒化シリコン膜SN3を埋め込む際、ゲート電極G1、G2間のアスペクト比は最も大きくなる。

10

【0082】

さらに、窒化シリコン膜SN1～SN3はコンフォーマルに形成されないので、ゲート電極G1、G2間のカバレッジ特性が低下する。本明細書でカバレッジ特性の低下とは、窒化シリコン膜SN1～SN3を形成する際、ゲート電極G1、G2の側壁に形成される窒化シリコン膜SN1～SN3の膜厚や、ゲート電極G1、G2間の半導体基板1S(素子分離領域STI)上に形成される窒化シリコン膜SN1～SN3の膜厚が、ゲート電極G1、G2上での膜厚よりも薄く形成される結果、窒化シリコン膜SN1～SN3の表面の形状が順テーオ形状ではなく垂直形状や逆テーオ形状になることを意味している。例えば、ゲート電極G1、G2間における窒化シリコン膜SN1のカバレッジ特性が低下すると、この窒化シリコン膜SN1上に形成される窒化シリコン膜SN2のカバレッジ特性がさらに低下する。これは、窒化シリコン膜SN2を形成する際の下地膜となる窒化シリコン膜SN1のカバレッジ特性が低下していると、そのカバレッジ特性の低下を反映してさらに、窒化シリコン膜SN2のカバレッジ特性が低下するからである。したがって、最も上層に形成される窒化シリコン膜SN3は、さらにカバレッジ特性が低下した窒化シリコン膜SN2上に形成されることから、窒化シリコン膜SN1～SN3の中で最も窒化シリコン膜SN3のカバレッジ特性が低下することになる。このため、図11に示すように、ゲート電極G1、G2間の領域を埋め込む窒化シリコン膜SN3の表面形状は、順テーオ形状ではなくテーオ角が立った垂直形状になる。これにより、窒化シリコン膜SN3の埋め込み特性が劣化することになる。

20

【0083】

つまり、窒化シリコン膜SN1～SN3の埋め込み特性の劣化は、窒化シリコン膜SN1～SN3のうち最も上層に形成されている窒化シリコン膜SN3で顕著に現れる。特に、ゲート電極G1とゲート電極G2との間の領域(距離)が狭くなつてアスペクト比が1.4以上となり、かつ、窒化シリコン膜SN1～SN3の総膜厚が、ゲート電極G1とゲート電極G2の間の領域(距離)の1/2以上の膜厚となると、最上層の窒化シリコン膜SN3の埋め込み特性の劣化が顕著になる。

30

【0084】

続いて、図12に示すように、窒化シリコン膜SN3上に酸化シリコン膜TSを形成する。このとき、ゲート電極G1、G2間に形成された窒化シリコン膜SN3の埋め込み特性が劣化しているので、酸化シリコン膜TSをゲート電極G1、G2間に充分埋め込むことができずにボイドVが発生する。すなわち、ゲート電極G1、G2間ににおける窒化シリコン膜SN3の表面形状が順テーオ形状ではなく垂直形状をしているので、酸化シリコン膜TSを形成する際の反応ガスが充分にゲート電極G1、G2間にいきわたらず、酸化シ

40

50

リコン膜 TS に空洞部であるボイド V が発生するのである。

【0085】

その後、図 13 に示すように、酸化シリコン膜 TS 上に酸化シリコン膜 PS を形成する。そして、フォトリソグラフィ技術およびエッチング技術を使用することにより、酸化シリコン膜 PS と酸化シリコン膜 TS と窒化シリコン膜 SN1、SN2、SN3 を貫通してニッケルシリサイド膜 CS に達するコンタクトホール CNT1 およびコンタクトホール CNT2 を形成する。このとき、コンタクトホール CNT1 とコンタクトホール CNT2 はボイド V によって接続されることになる。

【0086】

次に、図 14 に示すように、コンタクトホール CNT1 とコンタクトホール CNT2 にバリア導体膜と導電膜を埋め込むことによりプラグ PLG1 およびプラグ PLG2 を形成する。このとき、コンタクトホール CNT1 とコンタクトホール CNT2 に埋め込むバリア導体膜と導体膜がボイド V の内部にまで流れ込む。すると、コンタクトホール CNT1 にバリア導体膜と導体膜を埋め込んで形成されるプラグ PLG1 と、コンタクトホール CNT2 にバリア導体膜と導体膜を埋め込んで形成されるプラグ PLG2 とが、ボイド V に流れ込んだ導電材料（バリア導体膜と導体膜）を介して電気的にショートすることになる。このショートしたそれぞれのプラグ PLG1、PLG2 に異なる電圧が印加される場合、半導体装置として回路動作不良となり、製品の歩留まりが低下することになる。

10

【0087】

以上のように、本発明者が検討した比較例では、ゲート電極 G1、G2 間を埋め込む窒化シリコン膜 SN3 の表面形状が垂直形状になるカバレッジの低下（埋め込み特性の劣化）が生じ、この結果、窒化シリコン膜 SN3 上に形成される酸化シリコン膜 TS にボイド V が発生する。そして、このボイド V に導電材料（バリア導体膜と導体膜）が埋め込まれることにより、隣接するプラグ PLG1、PLG2 でショート不良が発生する問題点が生じる。

20

【0088】

そこで、本実施の形態 1 では、ゲート電極 G1、G2 間に埋め込まれる窒化シリコン膜 SN3 の埋め込み特性を改善することを目的としている。さらに詳しくは、窒化シリコン膜 SN3 の埋め込み特性を改善することにより、この窒化シリコン膜 SN3 上に形成される酸化シリコン膜 TS にボイド V が発生することを防止することを目的の 1 つとしている。これによって、ボイド V を介して隣接するプラグ PLG1、PLG2 にショート不良が発生することを防止できるという効果が得られる。本実施の形態 1 では、この目的を実現するために、積層形成する窒化シリコン膜 SN1～SN3 の製造方法を工夫している。以下に、この本実施の形態 1 における技術的思考（半導体装置の製造方法）について図面を参照しながら説明する。

30

【0089】

本実施の形態 1 における半導体装置の製造工程を説明するが、使用する図面は基本的に図 2 の B-B 線で切断した断面図と図 2 の C-C 線で切断した断面図を使用する。まず、図 15 に示すように、ホウ素（B）などの p 型不純物を導入したシリコン単結晶よりなる半導体基板 1S を用意する。このとき、半導体基板 1S は、略円盤形状をした半導体ウェハの状態になっている。そして、半導体基板 1S の M I S F E T 形成領域に素子間を分離する素子分離領域 STI を形成する。素子分離領域 STI は、素子が互いに干渉しないようにするために設けられる。この素子分離領域 STI は、例えば L O C O S (local Oxidation of silicon) 法や STI (shallow trench isolation) 法を用いて形成することができる。例えば、STI 法では、以下のようにして素子分離領域 STI を形成している。すなわち、半導体基板 1S にフォトリソグラフィ技術およびエッチング技術を使用して素子分離溝を形成する。そして、素子分離溝を埋め込むように半導体基板上に酸化シリコン膜を形成し、その後、化学的機械的研磨法 (C M P ; chemical mechanical polishing) により、半導体基板上に形成された不要な酸化シリコン膜を除去する。これにより、素子分離溝内にだけ酸化シリコン膜を埋め込んだ素子分離領域 STI を形成することができる

40

50

。

【0090】

次に、素子分離領域STIで分離された活性領域に不純物を導入してウェルを形成する。例えば、活性領域のうちnチャネル型MISFET形成領域には、p型ウェルPWL1、PWL2を形成する。p型ウェルPWL1、PWL2は、例えばホウ素などのp型不純物をイオン注入法により半導体基板に導入することで形成される。

【0091】

続いて、p型ウェルPWL1、PWL2の表面領域にチャネル形成用の半導体領域(図示せず)を形成する。このチャネル形成用の半導体領域は、チャネルを形成するしきい値電圧を調整するために形成される。

10

【0092】

次に、図16に示すように、半導体基板1S上にゲート絶縁膜GDXを形成する。ゲート絶縁膜GDXは、例えば、酸化シリコン膜から形成され、例えば熱酸化法やISSG酸化法を使用して形成することができる。ただし、ゲート絶縁膜GDXは、酸化シリコン膜に限定されるものではなく種々変更可能であり、例えば、ゲート絶縁膜GDXを酸窒化シリコン膜(SiON)としてもよい。すなわち、ゲート絶縁膜GDXに窒素を導入させる構造としてもよい。酸窒化シリコン膜は、酸化シリコン膜に比べて膜中における界面準位の発生を抑制したり、電子トラップを低減する効果が高い。したがって、ゲート絶縁膜GDXのホットキャリア耐性を向上でき、絶縁耐性を向上させることができる。また、酸窒化シリコン膜は、酸化シリコン膜に比べて不純物が貫通しにくい。このため、ゲート絶縁膜GDXに酸窒化シリコン膜を用いることにより、ゲート電極中の不純物が半導体基板1S側に拡散することに起因するしきい値電圧の変動を抑制することができる。酸窒化シリコン膜を形成するのは、例えば、半導体基板1SをNO、NO₂またはNH₃といった窒素を含む雰囲気中で熱処理すればよい。また、半導体基板1Sの表面に酸化シリコン膜からなるゲート絶縁膜GDXを形成した後、窒素を含む雰囲気中で半導体基板1Sを熱処理し、ゲート絶縁膜GDXに窒素を導入させることによっても同様の効果を得ることができる。

20

【0093】

また、ゲート絶縁膜GDXは、例えば酸化シリコン膜より誘電率の高い高誘電率膜から形成してもよい。従来、絶縁耐性が高い、シリコン-酸化シリコン界面の電気的・物性的安定性などが優れているとの観点から、ゲート絶縁膜GDXとして酸化シリコン膜が使用されている。しかし、素子の微細化に伴い、ゲート絶縁膜GDXの膜厚について、極薄化が要求されるようになってきている。このように薄い酸化シリコン膜をゲート絶縁膜GDXとして使用すると、MISFETのチャネルを流れる電子が酸化シリコン膜によって形成される障壁をトンネルしてゲート電極に流れる、いわゆるトンネル電流が発生してしまう。

30

【0094】

そこで、酸化シリコン膜より誘電率の高い材料を使用することにより、容量が同じでも物理的膜厚を増加させることができる高誘電率膜が使用されるようになってきている。高誘電率膜によれば、容量を同じにしても物理的膜厚を増加させることができるので、リーキ電流を低減することができる。特に、窒化シリコン膜も酸化シリコン膜よりも誘電率の高い膜であるが、本実施の形態1では、この窒化シリコン膜よりも誘電率の高い高誘電率膜を使用することが望ましい。

40

【0095】

例えば、窒化シリコン膜よりも誘電率の高い高誘電率膜として、ハフニウム酸化物の一つである酸化ハフニウム膜(HfO₂膜)を使用することができる。また、酸化ハフニウム膜にアルミニウムを添加したHfAlO膜を使用してもよい。さらに、酸化ハフニウム膜に変えて、ハフニウムアルミネート膜、HfON膜(ハフニウムオキシナイトライド膜)、HfSiO膜(ハフニウムシリケート膜)、HfSiON膜(ハフニウムシリコンオキシナイトライド膜)、HfAlO膜のような他のハフニウム系絶縁膜を使用することも

50

できる。さらに、これらのハフニウム系絶縁膜に酸化タンタル、酸化ニオブ、酸化チタン、酸化ジルコニアム、酸化ランタン、酸化イットリウムなどの酸化物を導入したハフニウム系絶縁膜を使用することもできる。ハフニウム系絶縁膜は、酸化ハフニウム膜と同様、酸化シリコン膜や酸窒化シリコン膜より誘電率が高いので、酸化ハフニウム膜を用いた場合と同様の効果が得られる。

【0096】

次に、ゲート絶縁膜GOX上にポリシリコン膜PFを形成する。ポリシリコン膜PFは、例えば、CVD法を使用して形成することができる。その後、フォトリソグラフィ技術およびイオン注入法を使用して、ポリシリコン膜PF中にリンや砒素などのn型不純物を導入する。

10

【0097】

次に、図17に示すように、パターニングしたレジスト膜をマスクにしたエッチングによりポリシリコン膜PFを加工して、nチャネル型MISFET形成領域にゲート電極G1、G2を形成する。

【0098】

ここで、nチャネル型MISFET形成領域のゲート電極G1、G2には、ポリシリコン膜PF中にn型不純物が導入されている。このため、ゲート電極G1、G2の仕事関数値をシリコンの伝導帯近傍(4.15eV)の値にすることができるので、nチャネル型MISFETのしきい値電圧を低減することができる。

20

【0099】

続いて、フォトリソグラフィ技術およびイオン注入法を使用することにより、nチャネル型MISFETのゲート電極G1、G2に整合した浅いn型不純物拡散領域EXを形成する。浅いn型不純物拡散領域EXは、半導体領域である。

【0100】

次に、図18に示すように、半導体基板1S上に酸化シリコン膜を形成する。酸化シリコン膜は、例えば、CVD法を使用して形成することができる。そして、酸化シリコン膜を異方性エッチングすることにより、サイドウォールSWをゲート電極G1、G2の側壁に形成する。サイドウォールSWは、酸化シリコン膜の単層膜から形成するようにならべ、これに限らず、窒化シリコン膜や酸窒化シリコン膜を使用してもよい。また、窒化シリコン膜、酸化シリコン膜および酸窒化シリコン膜のいずれかを組み合わせた積層膜からなるサイドウォールSWを形成してもよい。

30

【0101】

続いて、フォトリソグラフィ技術およびイオン注入法を使用することにより、nチャネル型MISFET形成領域にサイドウォールSWに整合した深いn型不純物拡散領域NRを形成する。深いn型不純物拡散領域NRは、半導体領域である。この深いn型不純物拡散領域NRと浅いn型不純物拡散領域EXによってソース領域が形成される。同様に、深いn型不純物拡散領域NRと浅いn型不純物拡散領域EXによってドレイン領域が形成される。このようにソース領域とドレイン領域を浅いn型不純物拡散領域EXと深いn型不純物拡散領域NRで形成することにより、ソース領域およびドレイン領域をLDD(Lightly Doped Drain)構造とすることができます。

40

【0102】

このようにして、深いn型不純物拡散領域NRを形成した後、1000程度の熱処理を行なう。これにより、導入した不純物の活性化が行なわれる。

【0103】

その後、半導体基板1S上にニッケル膜を形成する。このとき、ゲート電極G1、G2に直接接するようにニッケル膜が形成される。同様に、浅いn型不純物拡散領域EXにもニッケル膜が直接接する。

【0104】

ニッケル膜は、例えば、スパッタリング法を使用して形成することができる。そして、ニッケル膜を形成した後、熱処理を施すことにより、ゲート電極G1、G2を構成するポ

50

リシリコン膜とニッケル膜を反応させて、ニッケルシリサイド膜CSを形成する。これにより、ゲート電極Gはポリシリコン膜PFとニッケルシリサイド膜CSの積層構造となる。ニッケルシリサイド膜CSは、ゲート電極G1、G2の低抵抗化のために形成される。同様に、上述した熱処理により、浅いn型不純物拡散領域EXの表面においてもシリコンとニッケル膜が反応してニッケルシリサイド膜CSが形成される。このため、ソース領域およびドレイン領域においても低抵抗化を図ることができる。

【0105】

そして、未反応のニッケル膜は、半導体基板1S上から除去される。なお、本実施の形態1では、ニッケルシリサイド膜CSを形成するように構成しているが、例えば、ニッケルシリサイド膜CSに代えてコバルトシリサイド膜やチタンシリサイド膜やプラチナシリサイド膜を形成するようにしてもよい。

10

【0106】

続いて、本実施の形態1では、ゲート電極G1、G2間の領域（距離）を含む半導体基板1S上に窒化シリコン膜を形成するが、この窒化シリコン膜の形成方法に本実施の形態1の特徴がある。以下に、この特徴について説明する。

【0107】

図19に示すように、ゲート電極G1、G2間の領域を含む半導体基板1S上に窒化シリコン膜SN1を形成する。この窒化シリコン膜SN1は、例えば、プラズマCVD法を使用することにより形成することができる。そして、この窒化シリコン膜SN1の膜厚t_{1'}は、比較例で説明した膜厚t₁よりも薄くなっている。これにより、窒化シリコン膜SN1のカバレッジ特性が向上する。この理由について説明する。

20

【0108】

窒化シリコン膜SN1は理想的にはコンフォーマルに形成されることが望ましいが、実際には、コンフォーマルに形成されない。つまり、窒化シリコン膜SN1は、ゲート電極G1、G2上での膜厚が最も厚くなり、ゲート電極G1、G2の側壁に形成される窒化シリコン膜SN1の膜厚や、ゲート電極G1、G2間の半導体基板1S（素子分離領域STI）上に形成される窒化シリコン膜SN1の膜厚は、ゲート電極G1、G2上での膜厚よりも薄く形成される。

【0109】

例えば、本実施の形態1において、窒化シリコン膜SN1のゲート電極G1上の膜厚を膜厚t_{1'}、サイドウォールSWの側壁に形成される窒素シリコン膜SN1の膜厚を膜厚t_{4'}、素子分離領域STI上に形成される窒化シリコン膜SN1の膜厚を膜厚t_{7'}とする。この場合、t_{1'} > t_{4'} および t_{1'} > t_{7'} の関係が成立する。これは、比較例におけるt₁ > t₄、t₁ > t₇の関係と同様である。

30

【0110】

ここで、具体的に、本実施の形態1において、t_{4'} = × t_{1'}（< 1）、t_{7'} = × t_{1'}（< 1）で記述できるとすると、比較例においても、同じと同じを用いて、t₄ = × t₁（< 1）、t₇ = × t₁（< 1）と記述できる。すなわち、本実施の形態1と比較例では、ともに、サイドウォールSWの側壁に形成される窒化シリコン膜SN1の膜厚が、窒化シリコン膜SN1のゲート電極G1上の膜厚の倍になると仮定し、素子分離領域STI上に形成される窒化シリコン膜SN1の膜厚が、窒化シリコン膜SN1のゲート電極G1上の膜厚の倍になると仮定するのである。

40

【0111】

このとき、本実施の形態1における窒化シリコン膜SN1のゲート電極G1上での膜厚t_{1'}は、比較例における窒化シリコン膜SN1のゲート電極G1上での膜厚t₁に比べて薄くなっている（t_{1'} < t₁）。このことは、t_{1'} - t_{4'} < t₁ - t₄、t_{1'} - t_{7'} < t₁ - t₇の関係式が成立していることを意味している。言い換えれば、(1 -) × t_{1'} < (1 -) × t₁、(1 -) × t_{1'} < (1 -) × t₁の関係式が成立しているとも言える。これらの関係式の意味することは、窒化シリコン膜SN1のゲート電極G1上の膜厚とサイドウォールSWの側壁に形成される窒素シリコン膜SN1の

50

膜厚との差、あるいは、窒化シリコン膜 S N 1 のゲート電極 G 1 上の膜厚と素子分離領域 S T I 上に形成される窒化シリコン膜 S N 1 の膜厚との差が、窒化シリコン膜 S N 1 の膜厚が薄くなるほど小さくなることである。つまり、本実施の形態 1 では比較例に比べて窒化シリコン膜 S N 1 の膜厚を薄く形成することにより、ゲート電極 G 1 、 G 2 間の領域を埋め込む窒化シリコン膜 S N 1 をよりコンフォーマルに形成できるのである。窒化シリコン膜をコンフォーマルに近い状態で形成できるということは、ゲート電極 G 1 、 G 2 間の領域に埋め込まれる窒化シリコン膜 S N 1 の表面形状を順テーオ形状の比較的なだらかな形状とすることができます、窒化シリコン膜 S N 1 のカバレッジ特性を改善できることを意味している。

【 0 1 1 2 】

10 このようにして、カバレッジ特性の改善した窒化シリコン膜 S N 1 を形成した後、この窒化シリコン膜 S N 1 に紫外線を照射する。これにより、窒化シリコン膜 S N 1 の焼きしめを行なうことができ、窒化シリコン膜 S N 1 の膜内に引張応力を発生することができる。この紫外線を照射する工程は、UV キュア工程とも呼ばれる。

【 0 1 1 3 】

また、n チャネル型 M I S F E T の場合、この紫外線を照射する工程で用いられる光源の発光波長は 210 nm 以上 260 nm 以下であり、好ましくは 220 nm 以上 240 nm 以下とされる。また、このような光源としては、エキシマランプ、エキシマレーザ、水銀ランプ、キセノンランプまたは重水素ランプのうち少なくとも 1 つを用いることができる。特に、KrC1 エキシマの発光を利用した光源が好ましい。また、紫外線の照射強度は、15 mW / cm² 以上とされる。15 mW / cm² 未満の場合、引張応力を向上させるために長時間をするため、生産性が低下してしまう。また、紫外線照射時の半導体基板の温度は、400 以上 550 以下とすることが好ましい。

20

【 0 1 1 4 】

なお、この紫外線照射工程は必ずしも必要ではなく、紫外線照射工程を行わなくとも、上記引張応力を発生させることは可能である。しかし、より大きな応力を発生させたい場合は、紫外線照射工程を行った方が好ましい。これは、後述に説明する窒化シリコン膜 S N 2 、 S N 3 についても同様である。

【 0 1 1 5 】

次に、図 20 に示すように、窒化シリコン膜 S N 1 上に窒化シリコン膜 S N 2 を形成する。この窒化シリコン膜 S N 2 は、例えば、プラズマ C V D 法を使用することにより形成することができる。窒化シリコン膜 S N 2 の膜厚 t_{2'} は、比較例で説明した窒化シリコン膜 S N 2 の膜厚 t₁ (= t₂) と同じ膜厚になっている (t_{2'} = t₁) 。別の言い方をすると、本実施の形態 1 において、窒化シリコン膜 S N 2 の膜厚 t_{2'} は、窒化シリコン膜 S N 1 の膜厚 t_{1'} よりも厚くなっている。

30

【 0 1 1 6 】

例えば、本実施の形態 1 において、窒化シリコン膜 S N 2 のゲート電極 G 1 上の膜厚を膜厚 t_{2'} 、サイドウォール SW の側壁に形成される窒素シリコン膜 S N 2 の膜厚を膜厚 t_{5'} 、素子分離領域 S T I 上に形成される窒化シリコン膜 S N 2 の膜厚を膜厚 t_{8'} とする。この場合、t_{2'} > t_{5'} および t_{2'} > t_{8'} の関係が成立する。これは、比較例における t₁ > t₅ 、 t₁ > t₈ の関係と同様である。

40

【 0 1 1 7 】

ただし、本実施の形態 1 では、比較例に比べて、下地膜である窒化シリコン膜 S N 1 のカバレッジ特性が改善されているので、この窒化シリコン膜 S N 1 上に形成される窒化シリコン膜 S N 2 のカバレッジ特性も改善するのである。すなわち、本実施の形態 1 において、ゲート電極 G 1 、 G 2 間の領域に埋め込まれる窒化シリコン膜 S N 2 の表面形状を、比較例における窒化シリコン膜 S N 2 の表面形状よりも、よりなだらかな順テーオ形状に改善することができる。言い換えれば、本実施の形態 1 と比較例では、ともに同じ膜厚の窒化シリコン膜 S N 2 を形成しているが、本実施の形態 1 における下地膜（窒化シリコン膜 S N 1 ）のカバレッジ特性が、比較例における下地膜（窒化シリコン膜 S N 1 ）

50

) のカバレッジ特性よりも改善されているので、本実施の形態 1 における窒化シリコン膜 S N 2 の表面形状を、比較例における窒化シリコン膜 S N 2 の表面形状よりも改善することができる。10

【 0 1 1 8 】

さらに、重要なことは、本実施の形態 1 では、窒化シリコン膜 S N 1 と窒化シリコン膜 S N 2 の合わせた膜厚が比較例に比べて薄くなっていることである。すなわち、窒化シリコン膜 S N 1 の膜厚は、窒化シリコン膜 S N 1 ~ S N 3 を合わせた総膜厚の 3 分の 1 より薄い膜厚となっている。例えば、ゲート電極 G 1 上の膜厚を考えると、本実施の形態 1 では、窒化シリコン膜 S N 1 の膜厚は膜厚 t_1' であり、窒化シリコン膜 S N 2 の膜厚は膜厚 t_2' ($= t_1'$) である。このことから、ゲート電極 G 1 上において、窒化シリコン膜 S N 1 と窒化シリコン膜 S N 2 を合わせた膜厚は $t_1' + t_2'$ となる。これに対し、比較例でも、ゲート電極 G 1 上の膜厚を考えると、窒化シリコン膜 S N 1 の膜厚と窒化シリコン膜 S N 2 の膜厚はともに膜厚 t_1 であることから、窒化シリコン膜 S N 1 と窒化シリコン膜 S N 2 を合わせた膜厚は $2t_1$ となる。したがって、膜厚 $t_1' < t_1$ であることを考えると、本実施の形態 1 のほうが比較例よりも、窒化シリコン膜 S N 1 と窒化シリコン膜 S N 2 を合わせた膜厚が小さくなる。以上は、ゲート電極 G 1 上での膜厚について述べたが、サイドウォール SW の側壁に形成される窒化シリコン膜 S N 1 と窒化シリコン膜 S N 2 にも同様に考えることができる。

【 0 1 1 9 】

したがって、図 2 0 に示すように、ゲート電極 G 1 の側壁に形成されたサイドウォール SW と、ゲート電極 G 2 の側壁に形成されたサイドウォール SW 間との距離 S 2 は、比較例よりも本実施の形態 1 のほうが大きくなる。このことは、窒化シリコン膜 S N 2 を形成した状態において、ゲート電極 G 1 、 G 2 間の領域におけるアスペクト比が、比較例よりも本実施の形態 1 のほうが小さくなることを意味している。アスペクト比が小さくなるということは、膜の埋め込み特性が改善されるということなので、本実施の形態 1 によれば、窒化シリコン膜 S N 2 上に形成する膜の埋め込み特性を改善できるのである。20

【 0 1 2 0 】

以上のように、本実施の形態 1 によれば、窒化シリコン膜 S N 1 と窒化シリコン膜 S N 2 を積層した段階で、窒化シリコン膜 S N 2 のカバレッジ特性を改善するとともに、ゲート電極 G 1 、 G 2 間のアスペクト比を小さくできることがわかる。30

【 0 1 2 1 】

続いて、窒化シリコン膜 S N 1 上に窒化シリコン膜 S N 2 を形成した後、窒化シリコン膜 S N 2 に対して紫外線を照射する。紫外線照射の条件は、窒化シリコン膜 S N 1 に対して行ったものと同様である。これにより、窒化シリコン膜 S N 2 の焼きしめを行なうことができ、窒化シリコン膜 S N 2 の膜内に引張応力を発生することができる。

【 0 1 2 2 】

次に、図 2 1 に示すように、窒化シリコン膜 S N 2 上に窒化シリコン膜 S N 3 を形成する。この窒化シリコン膜 S N 3 は、例えば、プラズマ C V D 法を使用することにより形成することができる。窒化シリコン膜 S N 3 の膜厚 t_3' は、比較例で説明した窒化シリコン膜 S N 3 の膜厚 t_1 ($= t_3$) よりも厚い膜厚となっている ($t_3' > t_1$)。別の言い方をすると、本実施の形態 1 において、窒化シリコン膜 S N 3 の膜厚 t_3' は、窒化シリコン膜 S N 2 の膜厚 t_2' や窒化シリコン膜 S N 1 の膜厚 t_1' よりも厚くなっている。そして、本実施の形態 1 でも、窒化シリコン膜 S N 1 の膜厚 t_1' と、窒化シリコン膜 S N 2 の膜厚 t_2' と、窒化シリコン膜 S N 3 の膜厚 t_3' を合わせた総膜厚は膜厚 T 0 であり、比較例と同じである。つまり、本実施の形態 1 と比較例では、窒化シリコン膜 S N 1 ~ S N 3 を合わせた総膜厚はともに膜厚 T 0 となっており、本実施の形態 1 でも比較例と同様の引張応力を発生させることができる。具体的には、本実施の形態 1 でも、窒化シリコン膜 S N 1 ~ S N 3 を形成することにより、1.3 GPa ~ 1.7 GPa の引張応力を n チャネル型 M I S F E T に与えることができる。このとき、サイドウォール SW の側壁に形成される窒化シリコン膜 S N 1 ~ S N 3 を合わせた総膜厚はともに総膜厚 T 1' 40

となっており、素子分離領域S T I上に形成される窒化シリコン膜S N 1～S N 3を合わせた総膜厚はともに総膜厚T 2'となっている。

【0123】

なお、本実施の形態1において、窒化シリコン膜S N 3のゲート電極G 1上の膜厚を膜厚t 3'、サイドウォールSWの側壁に形成される窒素シリコン膜S N 3の膜厚を膜厚t 6'、素子分離領域S T I上に形成される窒化シリコン膜S N 3の膜厚を膜厚t 9'とする。この場合、 $t_3' > t_6'$ および $t_3' > t_9'$ の関係が成立する。これは、比較例における $t_1 > t_6$ 、 $t_1 > t_9$ の関係と同様である。

【0124】

ただし、本実施の形態1では、比較例に比べて、下地膜である窒化シリコン膜S N 2のカバレッジ特性が改善されるとともに、ゲート電極G 1、G 2間の領域におけるアスペクト比（窒化シリコン膜S N 2を形成後のアスペクト比）が小さくなっているので、このカバレッジ特性が改善され、かつ、アスペクト比の小さい窒化シリコン膜S N 2上に形成される窒化シリコン膜S N 3のカバレッジ特性も改善するのである。すなわち、本実施の形態1において、ゲート電極G 1、G 2間の領域に埋め込まれる窒化シリコン膜S N 3の表面形状を、比較例における窒化シリコン膜S N 3の表面形状よりも、よりなだらかな順テーパ形状に改善することができる。言い換えれば、比較例では、窒化シリコン膜S N 3の表面形状が垂直形状となってしまっているのに対し、本実施の形態1では、下地膜（窒化シリコン膜S N 2）のカバレッジ特性およびアスペクト比が、比較例に比べて改善されているので、本実施の形態1における窒化シリコン膜S N 3の表面形状を、比較例における窒化シリコン膜S N 3の表面形状よりも改善することができる。

【0125】

ここで、本実施の形態1における窒化シリコン膜S N 3の膜厚t 3'は、比較例における窒化シリコン膜S N 3の膜厚t 1よりも厚くなっている。すなわち、窒化シリコン膜S N 3の膜厚は、窒化シリコン膜S N 1～S N 3を合わせた総膜厚の3分の1より厚い膜厚となっている。この点に着目して本願発明者が検討した結果を以下に記す。窒化シリコン膜S N 1の形成工程でも説明したように、窒化シリコン膜S N 1の膜厚を薄く形成することにより、ゲート電極G 1、G 2間の領域を埋め込む窒化シリコン膜S N 1をよりコンフォーマルに形成できる。したがって、本実施の形態1における窒化シリコン膜S N 3の膜厚t 3'は、比較例における窒化シリコン膜S N 3の膜厚t 1よりも厚いので、本実施の形態1での窒化シリコン膜S N 3のカバレッジ特性は、比較例での窒化シリコン膜S N 3のカバレッジ特性よりも悪くなるのではないかという点について、本願発明者は検討した。

【0126】

しかし、窒化シリコン膜S N 1と窒化シリコン膜S N 3では、膜を形成する前提条件が異なるのである。つまり、窒化シリコン膜S N 1を形成する場合、下地となるのはゲート電極G 1、G 2間の領域を含む半導体基板1 Sである。この下地は、本実施の形態1と比較例では同様である。この下地が同じであるという前提条件のもと、膜厚を薄く形成することにより、ゲート電極G 1、G 2間の領域を埋め込む窒化シリコン膜S N 1をよりコンフォーマルに形成できるのである。

【0127】

これに対し、窒化シリコン膜S N 3を形成する場合、下地膜は窒化シリコン膜S N 2であり、この下地膜である窒化シリコン膜S N 2のカバレッジ特性が重要な鍵を握っているのである。つまり、比較例では、下地膜である窒化シリコン膜S N 2のカバレッジ特性が劣化しているのに対し、本実施の形態1では、下地膜である窒化シリコン膜S N 2のカバレッジ特性（窒化シリコン膜S N 2の表面形状がなだらかな順テーパ形状になっている特性）が改善されるとともに、窒化シリコン膜S N 2を形成した段階でのゲート電極G 1、G 2間のアスペクト比も小さくなっている。したがって、窒化シリコン膜S N 3の場合は、下地膜である窒化シリコン膜S N 2の状態がまったく相違するので、単純に、窒化シリコン膜S N 3の形成膜厚だけで、窒化シリコン膜S N 3のカバレッジ特性の優劣を議論す

10

20

30

40

50

ることはできないのである。特に、窒化シリコン膜 S N 3 のカバレッジ特性に影響を与えるのは、下地膜である窒化シリコン膜 S N 2 の状態が重要な役割を果たしていることがわかった。

【 0 1 2 8 】

続いて、窒化シリコン膜 S N 2 上に窒化シリコン膜 S N 3 を形成した後、窒化シリコン膜 S N 3 に対して紫外線を照射する。紫外線照射の条件は、窒化シリコン膜 S N 1 に対して行ったものと同様である。これにより、窒化シリコン膜 S N 3 の焼きしめを行なうことができ、窒化シリコン膜 S N 3 の膜内に引張応力を発生することができる。

【 0 1 2 9 】

また、紫外線照射された窒化シリコン膜から発生する応力は、その膜厚が厚い程、大きい応力となっている。すなわち、本実施の形態 1 では、窒化シリコン膜 S N 3 から発生する応力は窒化シリコン膜 S N 2 から発生する応力よりも大きく、窒化シリコン膜 S N 2 から発生する応力は窒化シリコン膜 S N 1 から発生する応力よりも大きい。

【 0 1 3 0 】

以上のように、本実施の形態 1 の特徴は、積層形成される窒化シリコン膜 S N 1 ~ S N 3 のそれぞれの膜厚を一定値ではなく、トータルの総膜厚を一定に保ちながら、上層の窒化シリコン膜 S N 3 から下層の窒化シリコン膜 S N 1 にしたがって膜厚を薄くするように構成している点にある。これにより、歪シリコン技術を実効あらしめる窒化シリコン膜 S N 1 ~ S N 3 の引張応力を確保しながら、特に、最上層の窒化シリコン膜 S N 3 の埋め込み特性を改善できるのである。

10
20

【 0 1 3 1 】

特に、本実施の形態 1 によれば、ゲート電極 G 1 とゲート電極 G 2 との間の領域（距離）が狭くなつてアスペクト比が 1 . 4 以上となり、かつ、窒化シリコン膜 S N 1 ~ S N 3 の総膜厚が、ゲート電極 G 1 とゲート電極 G 2 の間の領域（距離）の 1 / 2 以上の膜厚となる場合であつても、最上層の窒化シリコン膜 S N 3 の埋め込み特性を改善できる顕著な効果を奏する。

【 0 1 3 2 】

次に、窒化シリコン膜 S N 3 上に層間絶縁膜を形成する。本実施の形態 1 では、層間絶縁膜として、酸化シリコン膜 T S および酸化シリコン膜 P S を例示している。また、この層間絶縁膜は、窒化シリコン膜 S N 1 ~ S N 3 に比べて十分に厚い膜厚で形成されている。

30

【 0 1 3 3 】

まず、図 2 2 に示すように、窒化シリコン膜 S N 3 上に酸化シリコン膜 T S を形成する。酸化シリコン膜 T S は、例えば、オゾン (O₃) と TEOS (tetra ethyl ortho silicate) を原料とするプラズマ CVD 法で形成することができる。このとき、本実施の形態 1 では、ゲート電極 G 1 、 G 2 間に形成された窒化シリコン膜 S N 3 の埋め込み特性が改善しているので、酸化シリコン膜 T S をゲート電極 G 1 、 G 2 間に充分埋め込むことができる。このため、本実施の形態 1 では、ゲート電極 G 1 、 G 2 間で酸化シリコン膜 T S に空洞部（ボイド）が形成されることを防止することができる。すなわち、ゲート電極 G 1 、 G 2 間における窒化シリコン膜 S N 3 の表面形状が、垂直形状ではなく比較的んだらかな順テープ形状をしているので、酸化シリコン膜 T S を形成する際の反応ガスが充分にゲート電極 G 1 、 G 2 間にいきわたり、酸化シリコン膜 T S にボイドが発生することを防止できるのである。

40

【 0 1 3 4 】

その後、図 2 3 に示すように、酸化シリコン膜 T S 上に酸化シリコン膜 P S を形成する。酸化シリコン膜 P S は、例えば、TEOS を原料とするプラズマ CVD 法を使用することにより形成することができる。そして、フォトリソグラフィ技術およびエッチング技術を使用することにより、酸化シリコン膜 P S と酸化シリコン膜 T S と窒化シリコン膜 S N 1 、 S N 2 、 S N 3 を貫通してニッケルシリサイド膜 C S に達するコンタクトホール C N T 1 およびコンタクトホール C N T 2 を形成する。

50

【0135】

次に、図24に示すように、コンタクトホールCNT1、CNT2の底面および内壁を含む酸化シリコン膜PS上にチタン／窒化チタン膜を形成する。チタン／窒化チタン膜は、チタン膜と窒化チタン膜の積層膜から構成され、例えばスパッタリング法を使用することにより形成することができる。このチタン／窒化チタン膜は、例えば、後の工程で埋め込む膜の材料であるタンゲステンがシリコン中へ拡散するのを防止する、いわゆるバリア性を有する。

【0136】

続いて、コンタクトホールCNT1、CNT2を埋め込むように、半導体基板1Sの正面の全面にタンゲステン膜を形成する。このタンゲステン膜は、例えばCVD法を使用して形成することができる。そして、酸化シリコン膜PS上に形成された不要なチタン／窒化チタン膜およびタンゲステン膜を例えばCMP法を除去することにより、プラグPLG1、PLG2を形成することができる。

10

【0137】

その後、酸化シリコン膜PSおよびプラグPLG1、PLG2上に、薄い炭窒化シリコン膜と厚い酸化シリコン膜からなる層間絶縁膜IMDを形成する。続いて、フォトリソグラフィ技術およびエッチング技術を用いて、これらの膜のパターニングを行い、炭窒化シリコン膜をエッチングストップとして酸化シリコン膜をエッチングする。続いて、炭窒化シリコン膜をエッチングすることで、層間絶縁膜IMDに配線溝を形成する。続いて、配線溝内に窒化タンタルまたはタンタル等のバリアメタル膜を形成し、バリアメタル膜上に銅を主成分とする導電性膜をめっき法等によって形成する。続いて、配線溝外部の銅膜とバリアメタル膜をCMP法等によって除去することで、層間絶縁膜に埋め込まれた配線L1が完成する。この後、配線L1の上層に多層配線を形成するが、ここでの説明は省略する。このようにして、最終的に本実施の形態1における半導体装置を形成することができる。

20

【0138】

以上より、本実施の形態1では、ゲート電極G1、G2間に埋め込まれる窒化シリコン膜SN3の埋め込み特性を改善することができる。この結果、この窒化シリコン膜SN3上に形成される酸化シリコン膜TSにボイドが発生することを防止することができ、ボイドを介して隣接するプラグPLG1、PLG2にショート不良が発生することを防止できる顕著な効果が得られる。したがって、半導体装置の小型化が進んでも半導体装置の信頼性向上を図ることができる。

30

【0139】

(実施の形態2)

前記実施の形態1では、窒化シリコン膜SN3を形成する際の下地膜である窒化シリコン膜SN2のカバレッジ特性の向上とアスペクト比の低下を実現する観点からなされた技術的思想について説明した。本実施の形態2では、アスペクト比の低下はそれほど考慮せずに、下地膜である窒化シリコン膜SN2のカバレッジ特性のさらなる向上を図ることを目的とする技術的思想について説明する。

40

【0140】

図25～図30は、本実施の形態2における半導体装置の製造工程を示す断面図である。図25～図30の左側には、図2のB-B線での断面図が示されており、図25～図30の右側には、図2のC-C線での断面図が示されている。

【0141】

まず、前記実施の形態1と同様の工程を経ることにより、半導体基板1S上にMISFETを形成する。続いて、図25に示すように、ゲート電極G1、G2間の領域を含む半導体基板1S上に窒化シリコン膜SN1を形成する。この窒化シリコン膜SN1は、例えば、プラズマCVD法を使用することにより形成することができる。本実施の形態2において、窒化シリコン膜SN1の成膜温度は500以下でなるべく高い温度で形成する。具体的には、300以上、500以下の温度で行う。より好ましくは、400以上

50

、500以下の温度で行う。この窒化シリコン膜SN1の膜厚 $t_{1''}$ は、比較例で説明した膜厚 t_1 よりも薄くなっている。これにより、窒化シリコン膜SN1のカバレッジ特性が向上する。この理由について説明する。

【0142】

前記実施の形態1で説明したように、窒化シリコン膜SN1のゲート電極G1上の膜厚とサイドウォールSWの側壁に形成される窒素シリコン膜SN1の膜厚との差、あるいは、窒化シリコン膜SN1のゲート電極G1上の膜厚と素子分離領域STI上に形成される窒化シリコン膜SN1の膜厚との差が、窒化シリコン膜SN1の膜厚が薄くなるほど小さくなる。つまり、本実施の形態2でも比較例に比べて窒化シリコン膜SN1の膜厚を薄く形成することにより、ゲート電極G1、G2間の領域を埋め込む窒化シリコン膜SN1をよりコンフォーマルに形成できるのである。窒化シリコン膜をコンフォーマルに近い状態で形成できるということは、ゲート電極G1、G2間の領域に埋め込まれる窒化シリコン膜SN1の表面形状を順テーパ形状の比較的なだらかな形状とすることができる、窒化シリコン膜SN1のカバレッジ特性を改善できることを意味している。この点は前記実施の形態1と同様である。

10

【0143】

さらに、本実施の形態2では、窒化シリコン膜SN1の成膜温度を500以下でなるべく高い温度で形成しているが、このことによっても、窒化シリコン膜SN1のカバレッジ特性が大幅に改善するのである。なぜなら、成膜温度をなるべく高温にすることにより、反応ガスが活発に移動する結果、例えば、アスペクト比の高いゲート電極G1、G2間の領域にも充分に反応ガスが充填され、その領域でも充分に窒化シリコン膜SN1が成膜されるからである。

20

【0144】

したがって、本実施の形態2では、窒化シリコン膜SN1の膜厚を薄くすることと、窒化シリコン膜SN1の成膜温度を500以下でなるべく高温にすることとの相乗効果で、窒化シリコン膜SN1をほとんどコンフォーマルに近い状態で形成することができる。例えば、本実施の形態2において、窒化シリコン膜SN1のゲート電極G1上の膜厚を膜厚 $t_{1''}$ 、サイドウォールSWの側壁に形成される窒素シリコン膜SN1の膜厚を膜厚 $t_{4''}$ 、素子分離領域STI上に形成される窒化シリコン膜SN1の膜厚を膜厚 $t_{7''}$ とすると、 $t_{1''} < t_{4''} < t_{7''}$ とすることができます。

30

【0145】

ここで、窒化シリコン膜SN1の成膜温度を500以下にした理由について説明する。窒化シリコン膜SN1を成膜する際には、既に、ゲート電極G1、G2を有するnチャネル型MISFETが形成されている（図示しないがpチャネル型MISFETも形成されている）。したがって、ゲート電極G1、G2の表面や深いn型不純物拡散領域NRの表面にはニッケルシリサイド膜CSが形成されている。このニッケルシリサイド膜CSは、500以上の温度が加わると再凝集してしまい、ひどい場合にはゲート電極G1、G2の断線にいたることもある。このことから、ニッケルシリサイド膜CSを形成した後に、500以上の熱負荷を加えることは半導体装置の信頼性を確保する観点から困難となる。つまり、ニッケルシリサイド膜CSの形成後に窒化シリコン膜SN1を形成することから、窒化シリコン膜SN1の成膜温度を500以上にすることができないのである。

40

【0146】

本実施の形態2では、窒化シリコン膜SN1の成膜温度を500以下でなるべく高温にすることで、ニッケルシリサイド膜CSの再凝集を生じることなく、窒化シリコン膜SN1のカバレッジ特性のさらなる向上を図ることができる。

【0147】

このようにして、カバレッジ特性の改善した窒化シリコン膜SN1を形成した後、この窒化シリコン膜SN1に紫外線を照射する。これにより、窒化シリコン膜SN1の焼きしめを行なうことができ、窒化シリコン膜SN1の膜内に引張応力を発生することができる。この紫外線照射工程の説明は、前記実施の形態1で説明したものと同様である。

50

【0148】

次に、図26に示すように、窒化シリコン膜SN1上に窒化シリコン膜SN2を形成する。この窒化シリコン膜SN2は、例えば、プラズマCVD法を使用することにより形成することができる。本実施の形態2において、窒化シリコン膜SN2の成膜温度は500以下でなるべく高い温度で形成する。具体的には、300以上、500以下の温度で行う。より好ましくは、400以上、500以下の温度で行う。

【0149】

窒化シリコン膜SN2の膜厚 $t_{2''}$ は、比較例で説明した窒化シリコン膜SN2の膜厚 $t_1 (= t_2)$ と同じ膜厚になっている($t_{2''} = t_1$)。別の言い方をすると、本実施の形態2において、窒化シリコン膜SN2の膜厚 $t_{2''}$ は、窒化シリコン膜SN1の膜厚 $t_{1''}$ よりも厚くなっている。

10

【0150】

本実施の形態2では、窒化シリコン膜SN1の成膜工程と同様に、窒化シリコン膜SN2の成膜温度を500以下でなるべく高温にすることにより、窒化シリコン膜SN2をほとんどコンフォーマルに近い状態で形成することができる。例えば、本実施の形態2において、窒化シリコン膜SN2のゲート電極G1上の膜厚を膜厚 $t_{2''}$ 、サイドウォールSWの側壁に形成される窒素シリコン膜SN2の膜厚を膜厚 $t_{5''}$ 、素子分離領域STI上に形成される窒化シリコン膜SN2の膜厚を膜厚 $t_{8''}$ とすると、 $t_{2''} > t_{5''} > t_{8''}$ とすることができる。

20

【0151】

本実施の形態2では、比較例に比べて、下地膜である窒化シリコン膜SN1のカバレッジ特性が改善されていることとともに、窒化シリコン膜SN2の成膜温度が500以下でなるべく高い温度となっているので、窒化シリコン膜SN2のカバレッジ特性も大幅に改善するのである。すなわち、本実施の形態2において、ゲート電極G1、G2間の領域に埋め込まれる窒化シリコン膜SN2の表面形状を、比較例における窒化シリコン膜SN2の表面形状よりも、よりならかな順テープ形状に改善することができる。言い換えれば、本実施の形態2と比較例では、ともに同じ膜厚の窒化シリコン膜SN2を形成しているが、本実施の形態2における下地膜(窒化シリコン膜SN1)のカバレッジ特性が、比較例における下地膜(窒化シリコン膜SN1)のカバレッジ特性よりも改善されているとともに、窒化シリコン膜SN2の成膜温度が高温となっているので、本実施の形態2における窒化シリコン膜SN2の表面形状を、比較例における窒化シリコン膜SN2の表面形状よりも改善することができる。

30

【0152】

続いて、窒化シリコン膜SN1上に窒化シリコン膜SN2を形成した後、窒化シリコン膜SN2に対して紫外線を照射する。これにより、窒化シリコン膜SN2の焼きしめを行なうことができ、窒化シリコン膜SN2の膜内に引張応力を発生することができる。この紫外線照射工程の説明は、前記実施の形態1で説明したものと同様である。

【0153】

次に、図27に示すように、窒化シリコン膜SN2上に窒化シリコン膜SN3を形成する。この窒化シリコン膜SN3は、例えば、プラズマCVD法を使用することにより形成することができる。このとき、窒化シリコン膜SN3の成膜温度は、具体的には、300以上、500以下の温度で行う。より好ましくは、400以上、500以下の温度で行う。そして、窒化シリコン膜SN3の成膜温度は、窒化シリコン膜SN2や窒化シリコン膜SN1の成膜温度よりも低くなっている。

40

【0154】

窒化シリコン膜SN3の膜厚 $t_{3''}$ は、比較例で説明した窒化シリコン膜SN3の膜厚 $t_1 (= t_3)$ よりも厚い膜厚となっている($t_{3''} > t_1$)。別の言い方をすると、本実施の形態2において、窒化シリコン膜SN3の膜厚 $t_{3''}$ は、窒化シリコン膜SN2の膜厚 $t_{2''}$ や窒化シリコン膜SN1の膜厚 $t_{1''}$ よりも厚くなっている。そして、本実施の形態2でも、窒化シリコン膜SN1の膜厚 $t_{1''}$ と、窒化シリコン膜SN

50

2 の膜厚 t_2 と、窒化シリコン膜 S N 3 の膜厚 t_3 を合わせた総膜厚は総膜厚 T_0 であり、比較例と同じである。つまり、本実施の形態 1 と比較例では、窒化シリコン膜 S N 1 ~ S N 3 を合わせた総膜厚はともに総膜厚 T_0 となっており、本実施の形態 1 でも比較例と同様の引張応力を発生させることができる。具体的には、本実施の形態 1 でも、窒化シリコン膜 S N 1 ~ S N 3 を形成することにより、1.3 GPa ~ 1.7 GPa の引張応力を n チャネル型 MISFET に与えることができる。このとき、サイドウォール SW の側壁に形成される窒化シリコン膜 S N 1 ~ S N 3 を合わせた総膜厚はともに総膜厚 T_1 となっており、素子分離領域 STI 上に形成される窒化シリコン膜 S N 1 ~ S N 3 を合わせた総膜厚はともに総膜厚 T_2 となっている。

【0155】

10

なお、本実施の形態 2 において、窒化シリコン膜 S N 3 のゲート電極 G 1 上の膜厚を膜厚 t_3 、サイドウォール SW の側壁に形成される窒素シリコン膜 S N 3 の膜厚を膜厚 t_6 、素子分離領域 STI 上に形成される窒化シリコン膜 S N 2 の膜厚を膜厚 t_9 とする。この場合、 $t_3 > t_6$ および $t_3 > t_9$ の関係が成立する。

【0156】

20

ただし、本実施の形態 2 では、比較例に比べて、下地膜である窒化シリコン膜 S N 2 のカバレッジ特性が大幅に改善されているので、このカバレッジ特性が改善されている窒化シリコン膜 S N 2 上に形成される窒化シリコン膜 S N 3 のカバレッジ特性も改善するのである。すなわち、本実施の形態 2 において、ゲート電極 G 1、G 2 間の領域に埋め込まれる窒化シリコン膜 S N 3 の表面形状を、比較例における窒化シリコン膜 S N 3 の表面形状よりも、よりなだらかな順テープ形状に改善することができる。言い換えれば、比較例では、窒化シリコン膜 S N 3 の表面形状が垂直形状となってしまっているのに対し、本実施の形態 1 では、下地膜（窒化シリコン膜 S N 2）のカバレッジ特性が、比較例に比べて改善されているので、本実施の形態 2 における窒化シリコン膜 S N 3 の表面形状を、比較例における窒化シリコン膜 S N 3 の表面形状よりも改善することができる。

【0157】

30

本実施の形態 2 では、前記実施の形態 1 に比べても、下地膜である窒化シリコン膜 S N 2 のカバレッジ特性が大幅に改善されている。このため、本実施の形態 2 において、窒化シリコン膜 S N 2 を形成した後、ゲート電極 G 1、G 2 間の領域におけるアスペクト比は前記実施の形態 1 ほど小さくはならないが、その分、窒化シリコン膜 S N 2 のカバレッジ特性が大幅に改善されているので、この窒化シリコン膜 S N 2 上に形成される窒化シリコン膜 S N 3 のカバレッジ特性も前記実施の形態 1 と同様に改善できるのである。

【0158】

40

このことから、前記実施の形態 1 は、下地膜である窒化シリコン膜 S N 2 のカバレッジ特性の向上と、窒化シリコン膜 S N 2 を形成した後のアスペクト比の低下の両方を考慮した技術的思想となっているのに対し、本実施の形態 2 は、下地膜である窒化シリコン膜 S N 2 のカバレッジ特性の大幅な向上に特化した技術的思想となっていると考えることができる。

【0159】

続いて、窒化シリコン膜 S N 2 上に窒化シリコン膜 S N 3 を形成した後、窒化シリコン膜 S N 3 に対して紫外線を照射する。これにより、窒化シリコン膜 S N 3 の焼きしめを行なうことができ、窒化シリコン膜 S N 3 の膜内に引張応力を発生することができる。この紫外線照射工程の説明は、前記実施の形態 1 で説明したものと同様である。

【0160】

50

以上のように、本実施の形態 2 の特徴は、積層形成される窒化シリコン膜 S N 1 ~ S N 3 のそれぞれの膜厚を一定値ではなく、トータルの総膜厚を一定に保ちながら、上層の窒化シリコン膜 S N 3 から下層の窒化シリコン膜 S N 1 にしたがって膜厚を薄くするように構成している点と、窒化シリコン膜 S N 1 と窒化シリコン膜 S N 2 の成膜温度を 500 以下でなるべく高くする点にある。これにより、歪シリコン技術を実効あらしめる窒化シ

リコン膜 S N 1 ~ S N 3 の引張応力を確保しながら、特に、最上層の窒化シリコン膜 S N 3 の埋め込み特性を改善できるのである。

【 0 1 6 1 】

なお、窒化シリコン膜 S N 1 の成膜温度を 500 以下のなるべく高い温度にすることだけで、窒化シリコン膜 S N 1 上に形成される窒化シリコン膜 S N 2 のカバレッジ特性を大幅に改善できる場合は、窒化シリコン膜 S N 2 の成膜温度を窒化シリコン膜 S N 1 の成膜温度よりも低い温度で実施してもよい。この場合、半導体基板 1 S に形成されている M I S F E T に対してサーマルバジエットを低く抑えることができるので、M I S F E T の電気的特性の変動を抑制できる。

【 0 1 6 2 】

本実施の形態 2 によれば、ゲート電極 G 1 とゲート電極 G 2 との間の領域（距離）が狭くなつてアスペクト比が 1 . 4 以上となり、かつ、窒化シリコン膜 S N 1 ~ S N 3 の総膜厚が、ゲート電極 G 1 とゲート電極 G 2 の間の領域（距離）の 1 / 2 以上の膜厚となる場合であつても、最上層の窒化シリコン膜 S N 3 の埋め込み特性を改善できる顕著な効果を奏する。

【 0 1 6 3 】

次に、図 28 に示すように、窒化シリコン膜 S N 3 上に酸化シリコン膜 T S を形成する。酸化シリコン膜 T S は、例えば、オゾン (O₃) と T E O S (tetra ethyl ortho silicate) を原料とするプラズマ C V D 法で形成することができる。このとき、本実施の形態 2 では、ゲート電極 G 1 、 G 2 間に形成された窒化シリコン膜 S N 3 の埋め込み特性が改善しているので、酸化シリコン膜 T S をゲート電極 G 1 、 G 2 間に充分埋め込むことができる。このため、本実施の形態 2 では、ゲート電極 G 1 、 G 2 間で酸化シリコン膜 T S に空洞部（ボイド）が形成されることを防止することができる。すなわち、ゲート電極 G 1 、 G 2 間における窒化シリコン膜 S N 3 の表面形状が、垂直形状ではなく比較的なだらかな順テープ形状をしているので、酸化シリコン膜 T S を形成する際の反応ガスが充分にゲート電極 G 1 、 G 2 間にいきわたり、酸化シリコン膜 T S にボイドが発生することを防止できるのである。

【 0 1 6 4 】

その後、図 29 に示すように、酸化シリコン膜 T S 上に酸化シリコン膜 P S を形成する。酸化シリコン膜 P S は、例えば、T E O S を原料とするプラズマ C V D 法を使用することにより形成することができる。そして、フォトリソグラフィ技術およびエッチング技術を使用することにより、酸化シリコン膜 P S と酸化シリコン膜 T S と窒化シリコン膜 S N 1 、 S N 2 、 S N 3 を貫通してニッケルシリサイド膜 C S に達するコンタクトホール C N T 1 およびコンタクトホール C N T 2 を形成する。

【 0 1 6 5 】

次に、図 30 に示すように、コンタクトホール C N T 1 、 C N T 2 の底面および内壁を含む酸化シリコン膜 P S 上にチタン / 窒化チタン膜を形成する。チタン / 窒化チタン膜は、チタン膜と窒化チタン膜の積層膜から構成され、例えばスパッタリング法を使用することにより形成することができる。このチタン / 窒化チタン膜は、例えば、後の工程で埋め込む膜の材料であるタンクステンがシリコン中へ拡散するのを防止する、いわゆるバリア性を有する。

【 0 1 6 6 】

続いて、コンタクトホール C N T 1 、 C N T 2 を埋め込むように、半導体基板 1 S の正面の全面にタンクステン膜を形成する。このタンクステン膜は、例えば C V D 法を使用して形成することができる。そして、酸化シリコン膜 P S 上に形成された不要なチタン / 窒化チタン膜およびタンクステン膜を例えば C M P 法を除去することにより、プラグ P L G 1 、 P L G 2 を形成することができる。

【 0 1 6 7 】

その後、前記実施の形態 1 と同様にして、層間絶縁膜に埋め込まれた配線 L 1 を形成する。この後、配線 L 1 の上層に多層配線を形成するが、ここでの説明は省略する。このよ

うにして、最終的に本実施の形態2における半導体装置を形成することができる。

【0168】

以上より、本実施の形態2では、ゲート電極G1、G2間に埋め込まれる窒化シリコン膜SN3の埋め込み特性を改善することができる。この結果、この窒化シリコン膜SN3上に形成される酸化シリコン膜TSにボイドが発生することを防止することができ、ボイドを介して隣接するプラグPLG1、PLG2にショート不良が発生することを防止できる顕著な効果が得られる。したがって、半導体装置の小型化が進んでも半導体装置の信頼性向上を図ることができる。

【0169】

ここで、本実施の形態2は、窒化シリコン膜SN1と窒化シリコン膜SN2をできるだけコンフォーマルな膜から形成する観点からなされている技術的思想である。本実施の形態2では、窒化シリコン膜SN1～SN3の形成方法としてプラズマCVD法を用いているが、コンフォーマルな膜を形成する観点からは、ALD(Atomic Layer Deposition)法や低圧CVD法が優れていると考えられる。しかし、ALD法や低圧CVD法でコンフォーマルな膜を形成するには、550～600の成膜温度が必要である。

【0170】

したがって、窒化シリコン膜SN1～SN3の成膜方法として、ALD法や低圧CVD法を使用すると、既に形成されているニッケルシリサイド膜CSが再凝集を起こして断線などの不具合が生じるおそれが高い。つまり、窒化シリコン膜SN1～SN3をALD法や低圧CVD法で形成すると、半導体装置の信頼性を低下することになりかねないのである。

【0171】

そこで、本実施の形態2では、ALD法や低圧CVD法に比べて比較的低温で成膜処理が実現できるプラズマCVD法によって、窒化シリコン膜SN1～SN3を形成しているのである。この場合であっても、成膜温度を高くすれば、窒化シリコン膜SN1、SN2のカバレッジ特性を改善できることから、ニッケルシリサイド膜CSに再凝集が生じない500以下という温度で、かつ、なるべく高い温度で窒化シリコン膜SN1、SN2を形成しているのである。

【0172】

しかし、500より高温でも凝集の起こらないシリサイド膜については、上記のALD法や低圧CVD法によって形成してもよい。その場合も、窒化シリコン膜SN1を薄く形成し、窒化シリコン膜SN2を窒化シリコン膜SN1よりも厚く形成し、窒化シリコン膜SN3を窒化シリコン膜SN2および窒化シリコン膜SN1よりも厚く形成することでカバレッジを改善することができる。

【0173】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0174】

例えば、前記実施の形態1および前記実施の形態2とを組み合わせて適用することも可能である。その場合、各実施の形態の効果を得ることができる。

【0175】

また、前記実施の形態では、隣接するnチャネル型MISFETにおいて、ゲート電極間の領域を含む半導体基板上に窒化シリコン膜を形成する例について説明したが、隣接するpチャネル型MISFETにおいて、ゲート電極間の領域を含む半導体基板上に窒化シリコン膜を形成する場合にも適用することができる。

【0176】

例えば、SRAMにおいては、nチャネル型MISFETとpチャネル型MISFETが半導体基板上に形成されているので、両方のMISFETを覆うように窒化シリコン膜を形成する場合に本発明の技術的思想を適用することができる。特に、歪シリコン技術を適

10

20

30

40

50

用して、pチャネル型MISFETを覆うように形成される窒化シリコン膜に圧縮応力を発生させ、かつ、nチャネル型MISFETを覆うように形成される窒化シリコン膜に引張応力を発生させる場合にも、ゲート電極間の領域を窒化シリコン膜で埋め込むことに変わりがないため、本発明の技術的思想を適用することができる。

【0177】

このような場合は、一旦、nチャネル型MISFET上およびpチャネル型MISFET上に前記実施の形態1または2のような引張応力を発生させる窒化シリコン膜SN1～SN3を形成する。その後、pチャネル型MISFET上の窒化シリコン膜SN1～SN3を除去する。続いて、nチャネル型MISFET上およびpチャネル型MISFET上に圧縮応力を発生させる窒化シリコン膜を形成する。このときの圧縮応力を発生させる窒化シリコン膜は、引張応力を発生させる窒化シリコン膜SN1～SN3と同様の思想で、積層に形成する。その後、nチャネル型MISFET上の圧縮応力を発生させる積層の窒化シリコン膜を除去する。これにより、nチャネル型MISFET上に引張応力を発生させる積層の窒化シリコン膜SN1～SN3を形成し、pチャネル型MISFET上に圧縮応力を発生させる積層の窒化シリコン膜を形成することができる。

10

【0178】

なお、同一の半導体基板上に形成されているnチャネル型MISFETとpチャネル型MISFETのそれぞれを覆う窒化シリコン膜に方向の異なる応力（引張応力と圧縮応力）を与えるには、その形成条件（反応ガス、反応ガスの流量比、圧力、形成温度、高周波電力等）を変えることで実現することができる。すなわち、nチャネル型MISFETを覆う窒化シリコン膜とpチャネル型MISFETを覆う窒化シリコン膜は、異なる形成条件で形成される。

20

【0179】

また、nチャネル型MISFETおよびpチャネル型MISFETを覆うように窒化シリコン膜を形成し、この窒化シリコン膜に対して、紫外線照射する際の条件を変えることで、nチャネル型MISFETを覆う窒化シリコン膜に引張応力を発生させ、pチャネル型MISFETを覆う窒化シリコン膜に圧縮応力を発生させることもできる。すなわち、nチャネル型MISFETを覆う窒化シリコン膜に対する紫外線照射の条件と、pチャネル型MISFETを覆う窒化シリコン膜に対する紫外線照射の条件は、異なる形成条件で行われる。

30

【0180】

また、前記実施の形態では、窒化シリコン膜を3層に分けて形成する例について説明したが、これに限らず、例えば、窒化シリコン膜を2層に分けて形成してもよいし、窒化シリコン膜を4層以上に分けて形成してもよい。例えば、窒化シリコン膜を2層に分けて形成する場合は、窒化シリコン膜を3層に分けて形成する場合よりも工程が単純化されるので、スループットの向上が図られる。このため、量産ラインに適用しやすい利点がある。一方、窒化シリコン膜を4層以上に分けて形成する場合は、窒化シリコン膜を3層に分けて形成する場合よりも個々の膜の膜厚を薄くすることができるので、個々の膜のカバレッジ特性をさらに改善することができ、窒化シリコン膜のさらなる埋め込み特性の向上を図ることができる利点がある。また、この場合、前記実施の形態1、2のように、下層の窒化シリコン膜を薄く形成し、上層の窒化シリコン膜を厚く形成していくことで、前記実施の形態1、2と同様の効果を得ることができる。

40

【0181】

また、前記実施の形態1、2では窒化シリコン膜を例示したが、上記のような応力を発生させる膜、または、エッチングストップとして機能する膜であれば、SiON (silicon oxynitride)膜、SiCN (carbon doped silicon nitride)膜、SiOC (carbon doped silicon oxide)膜、SiONC (carbon doped silicon oxynitride)膜またはSiOF (fluorine doped silicon oxide)膜で構成してもよい。この場合、例えば、窒化シリコン膜の誘電率を低減できるので寄生容量を低減でき、半導体装置の特性を向上できる。また、これらの膜は、それぞれ同一膜である必要はなく、前記実施の形態1、2と同様の効果

50

を有するものであれば、それぞれ異なる材料の膜で形成することができる。例えば、窒化シリコン膜 S N 1 に対応する膜を S i N 膜で形成し、窒化シリコン膜 S N 2 に対応する膜を S i O N 膜で形成し、窒化シリコン膜 S N 3 に対応する膜を S i C N 膜で形成することもできる。

【 0 1 8 2 】

また、酸化シリコン膜 P S を、例えば、S i O C 膜またはS i O F 膜で構成してもよい。この場合、例えば、層間絶縁膜の誘電率を低減できるので寄生容量を低減でき、半導体装置の特性を向上できる。また、酸化シリコン膜 T S と酸化シリコン膜 P Sとの間に、例えば、S i O C 膜またはS i O F 膜を設けてもよい。また、酸化シリコン膜 P S の上部に、例えば、S i O C 膜またはS i O F 膜を設けてもよいのは勿論である。

10

【 0 1 8 3 】

また、前記実施の形態 1 では図 3 等に示すように、S R A M を構成する 2 つのM I S F E T (Q t 2) のゲート電極間における領域について記載しており、これらのM I S F E T のゲート長を同じ場合で例示しているが、これに限らず、ゲート長が異なるゲート間においても同様の効果を得られる。

【 0 1 8 4 】

また、実施の形態 1 および実施の形態 2 で示した窒化シリコン膜 S N 1 ~ S N 3 の各膜厚について以下に記載する。図 1 1 で示す比較検討例の窒化シリコン膜 S N 1 ~ S N 3 の膜厚 t 1 は、それぞれ 1 5 n m で形成した場合を例示している。図 1 9 で示す窒化シリコン膜 S N 1 の膜厚 t 1 ' は、例えば、1 2 n m である。図 2 0 で示す窒化シリコン膜 S N 2 の膜厚 t 2 ' は、例えば、1 5 n m である。図 2 1 で示す窒化シリコン膜 S N 3 の膜厚 t 3 ' は、例えば、1 8 n m である。また、これらの膜厚は、実施の形態 1 および実施の形態 2 で同様である。

20

【 0 1 8 5 】

なお、比較検討例のように、窒化シリコン膜 S N 1 ~ S N 3 を同じ膜厚 t 1 で形成しようとした場合でも、製造装置の着工ばらつき等により、意図せずして窒化シリコン膜 S N 2 の膜厚が窒化シリコン膜 S N 1 の膜厚よりも厚く形成されてしまう場合がある。実施の形態 1 および実施の形態 2 における窒化シリコン膜 S N 1 ~ S N 3 の膜厚 (t 1 ' 、 t 2 ' 、 t 3 ') は、このような着工ばらつき等による厚さより厚くなるように形成されている。具体的には、膜厚 t 2 ' は膜厚 t 1 ' よりも 3 n m 以上厚くなるように形成されており、膜厚 t 3 ' は膜厚 t 2 ' よりも 3 n m 以上厚くなるように形成されている。

30

【 0 1 8 6 】

また、図 2 2 および図 2 3 で示す酸化シリコン膜 T S の膜厚は 3 0 0 n m 程度であり、酸化シリコン膜 P S の膜厚は 4 0 0 n m 程度で形成した場合を例示している。これらの酸化シリコン膜 T S および酸化シリコン膜 P S の膜厚は、窒化シリコン膜 S N 1 ~ S N 3 のトータル膜厚 T 0 (= t 1 ' + t 2 ' + t 3 ') よりも充分に厚い膜厚である。

30

【 0 1 8 7 】

また、実施の形態 1 および実施の形態 2 で示したコンタクトホール (C N T 1 、 C N T 2) およびプラグ (P L G 1 、 P L G 2) は、複数個形成しても良いし、1 つでも良い。

40

【 産業上の利用可能性 】

【 0 1 8 8 】

本発明は、半導体装置を製造する製造業に幅広く利用することができる。

【 符号の説明 】

【 0 1 8 9 】

1 S 半導体基板

A 蓄積ノード

A n 1 アクティブ領域

A n 2 アクティブ領域

A n 3 アクティブ領域

A n 4 アクティブ領域

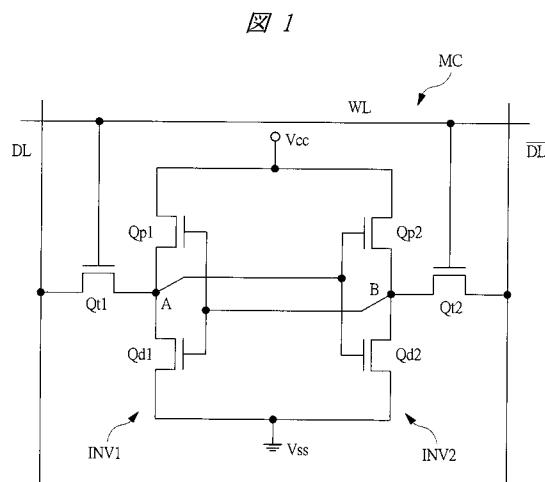
50

A p 1	アクティブ領域	
A p 2	アクティブ領域	
A p 3	アクティブ領域	
A p 4	アクティブ領域	
B	蓄積ノード	
C N T 1	コンタクトホール	
C N T 2	コンタクトホール	
C S	ニッケルシリサイド膜	
d	深さ	
D L	データ線	10
E X	浅いn型不純物拡散領域	
/ D L	データ線	
G	ゲート電極	
G 1	ゲート電極	
G 2	ゲート電極	
G O X	ゲート絶縁膜	
H 0	高さ	
h 0	高さ	
I N V 1	C M O Sインバータ	
I N V 2	C M O Sインバータ	20
I M D	層間絶縁膜	
M C	メモリセル	
M C 1 ~ M C 4	メモリセル	
L 1	配線	
N R	深いn型不純物拡散領域	
P F	ポリシリコン膜	
P L G 1	プラグ	
P L G 2	プラグ	
P S	酸化シリコン膜	
P W L 1	p型ウェル	30
P W L 2	p型ウェル	
Q d 1	駆動用M I S F E T	
Q d 2	駆動用M I S F E T	
Q p 1	負荷用M I S F E T	
Q p 2	負荷用M I S F E T	
Q t 1	転送用M I S F E T	
Q t 2	転送用M I S F E T	
S 0	距離	
S 2	距離	
S C N T	シェアードコンタクトプラグ	40
S N	窒化シリコン膜	
S N 1	窒化シリコン膜	
S N 2	窒化シリコン膜	
S N 3	窒化シリコン膜	
S T I	素子分離領域	
S W	サイドウォール	
T 0	総膜厚	
T 1	総膜厚	
T 1'	総膜厚	
T 1''	総膜厚	50

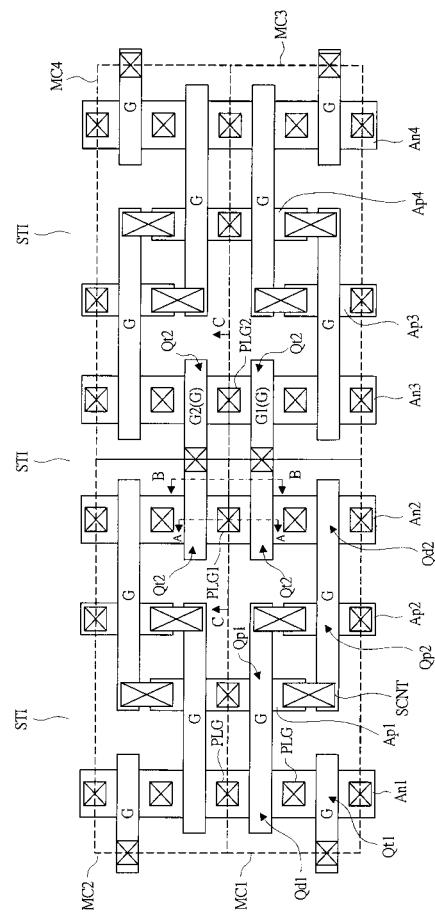
t₁ 膜厚
 t₁ ~ t₉ 膜厚
 t₁ ~ t₉ 膜厚
 T₂ 総膜厚
 T₂ 総膜厚
 T₂ 総膜厚
 t₄ ~ t₉ 膜厚
 T_S 酸化シリコン膜
 V ポイド
 V_{CC} 電源電圧
 V_{SS} 基準電圧
 WL ワード線

10

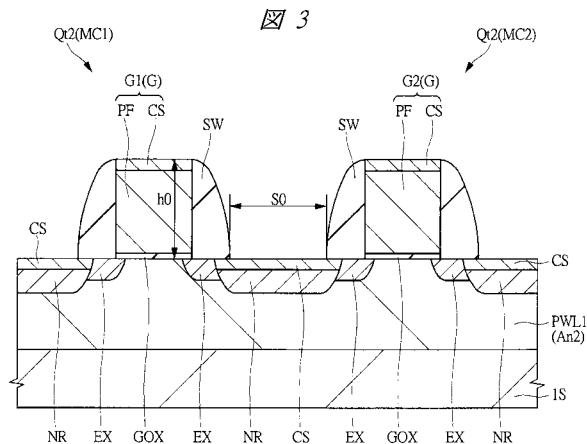
【図 1】



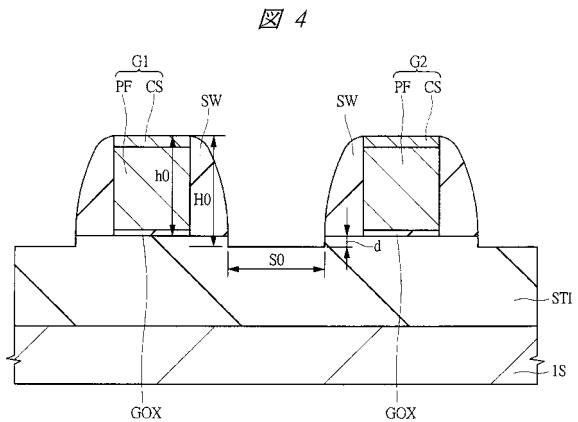
【図 2】



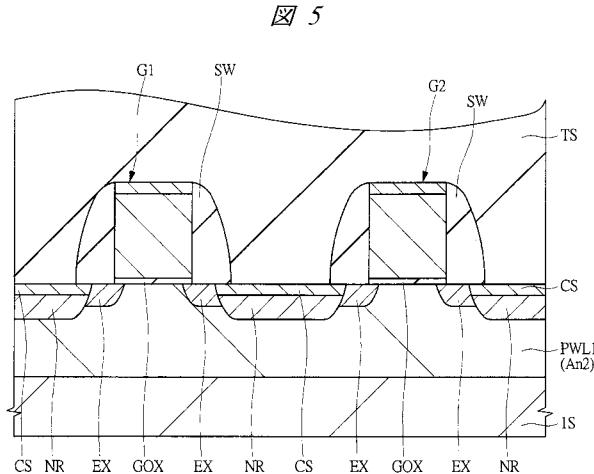
【図3】



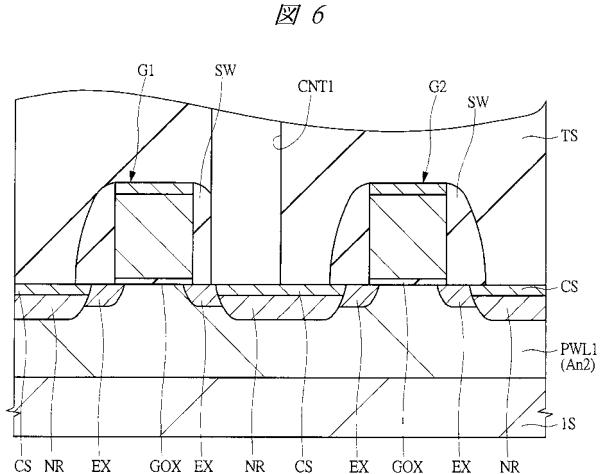
【図4】



【図5】



【図6】



【図7】

【図8】

図7

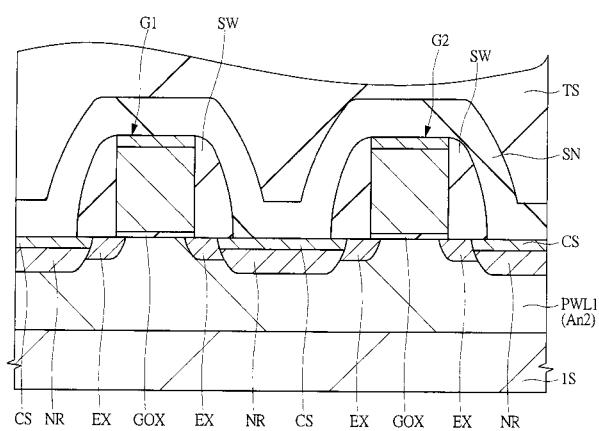
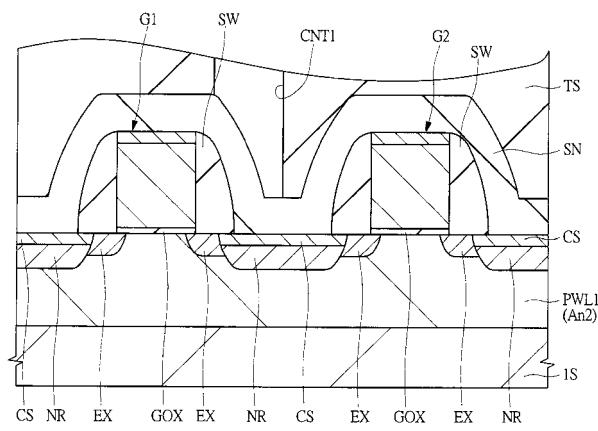


図8



【図9】

【図10】

図9

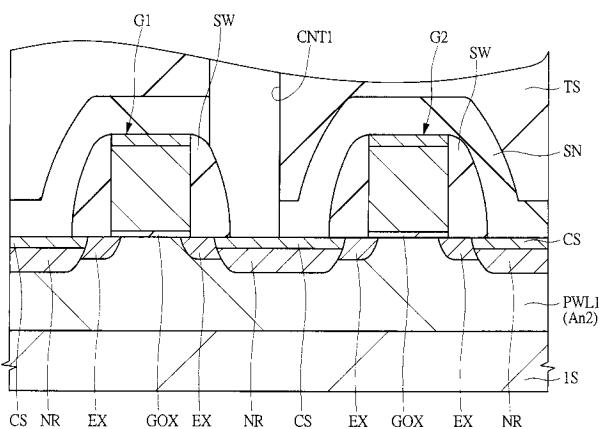
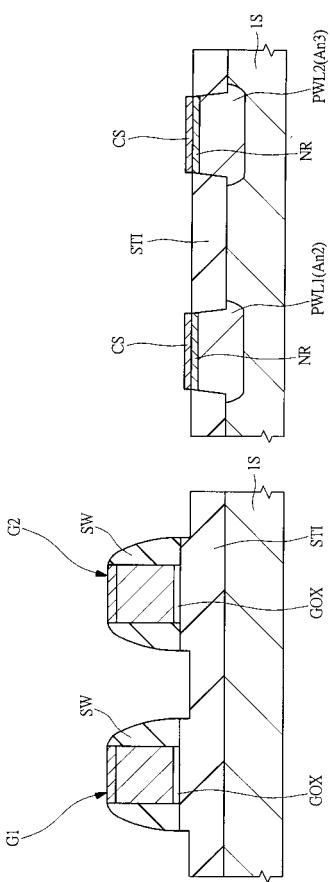
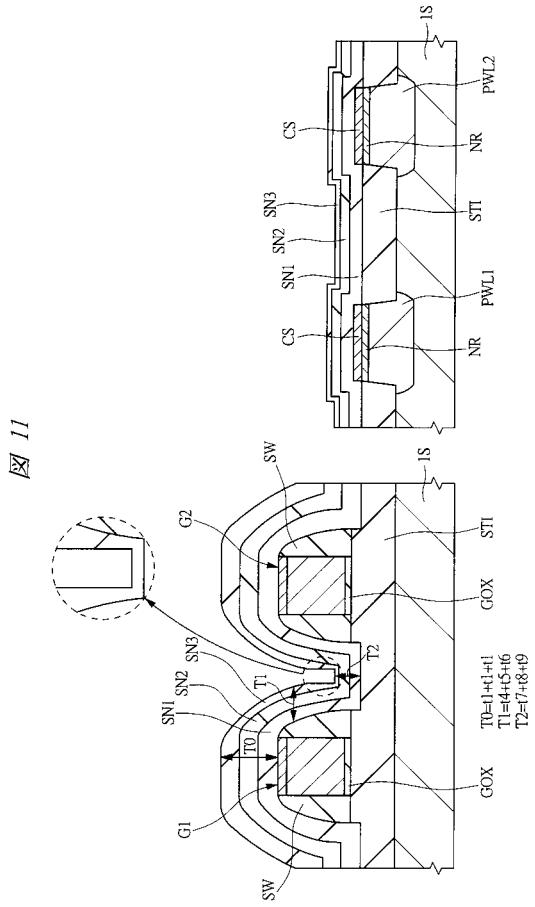


図10



【図 1 1】



【図 1 2】

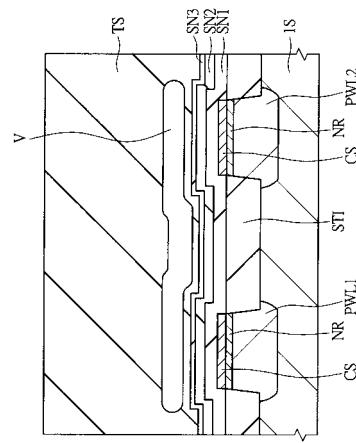
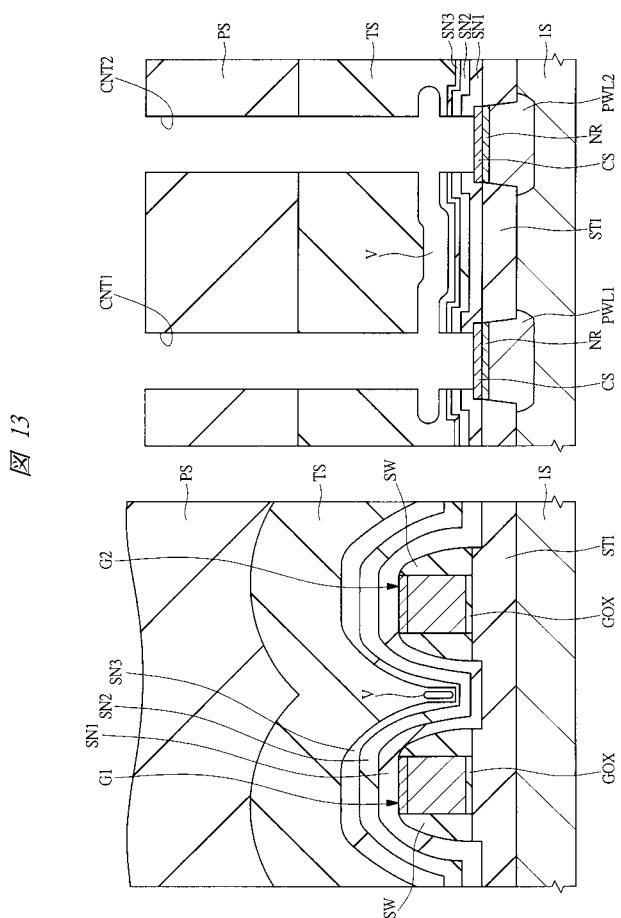


图 12

【図 1 3】



【図 1 4】

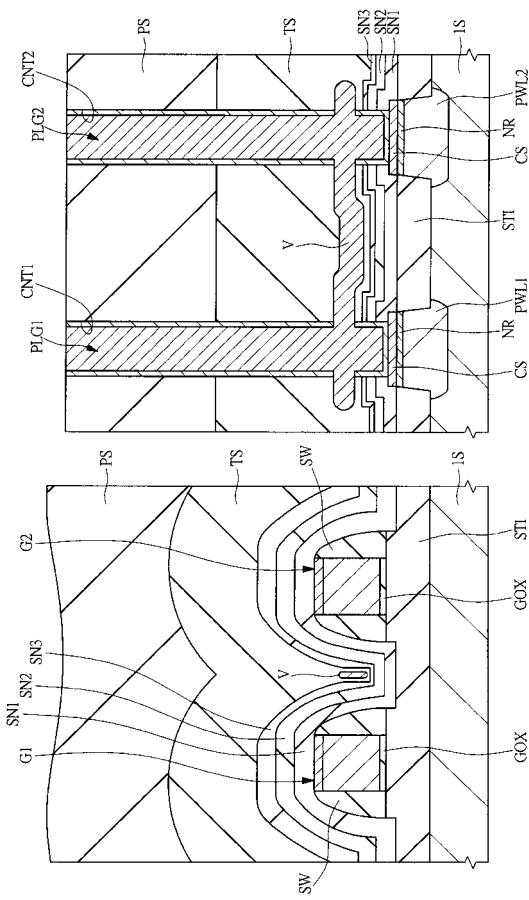
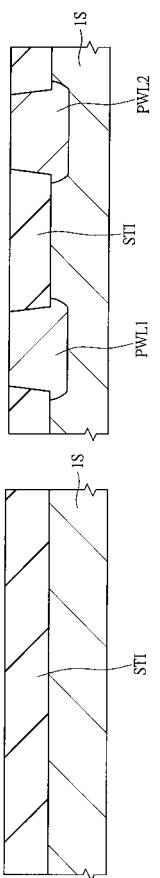


图 13

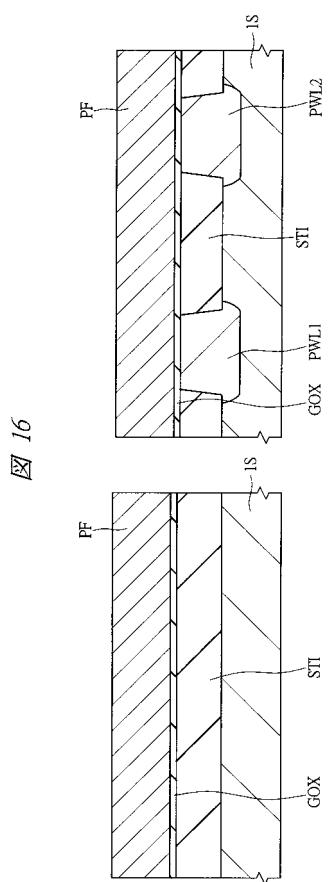
图 14

【図 15】

図 15

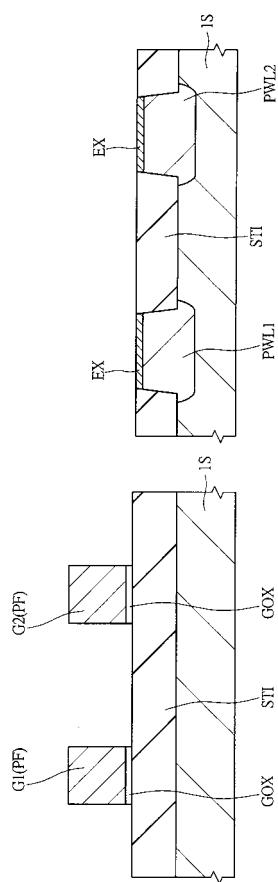


【図 16】

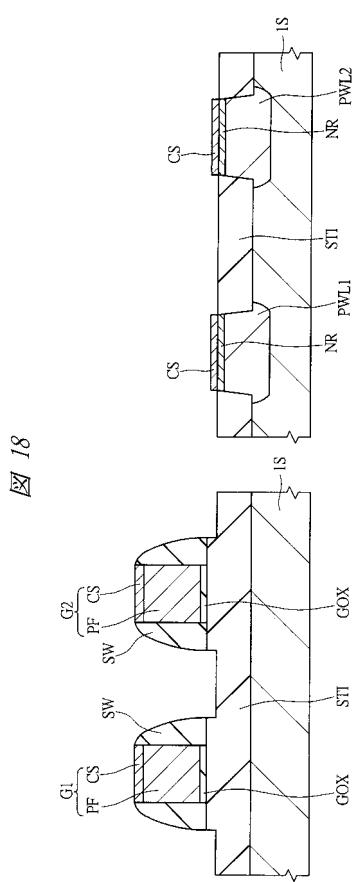


【図 17】

図 17

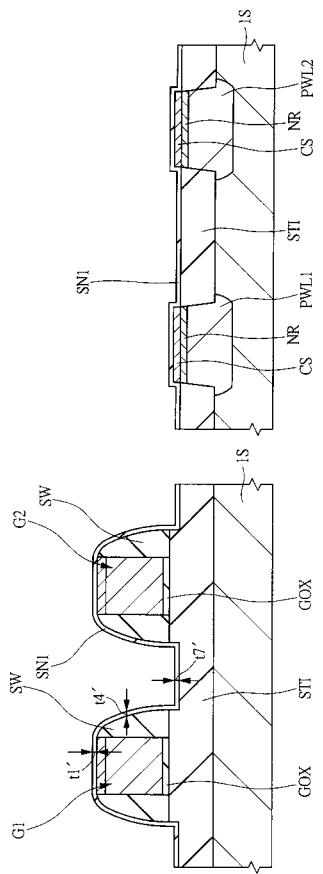


【図 18】

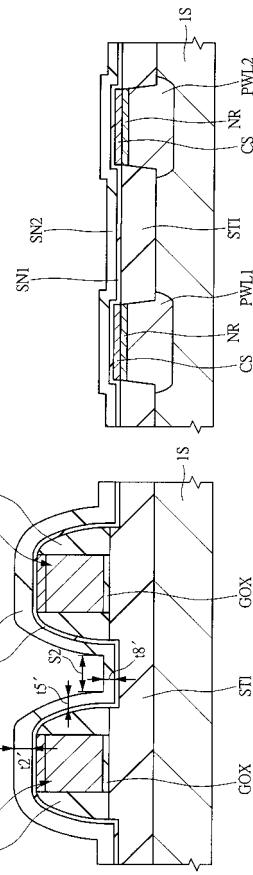


【図 19】

図 19

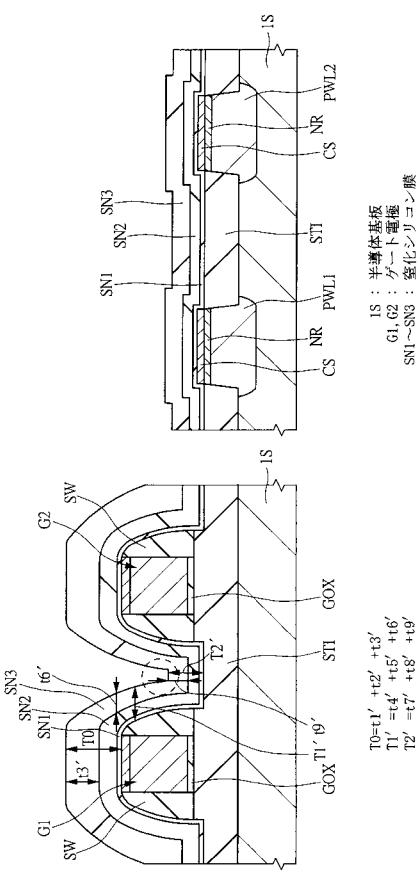


【図 20】



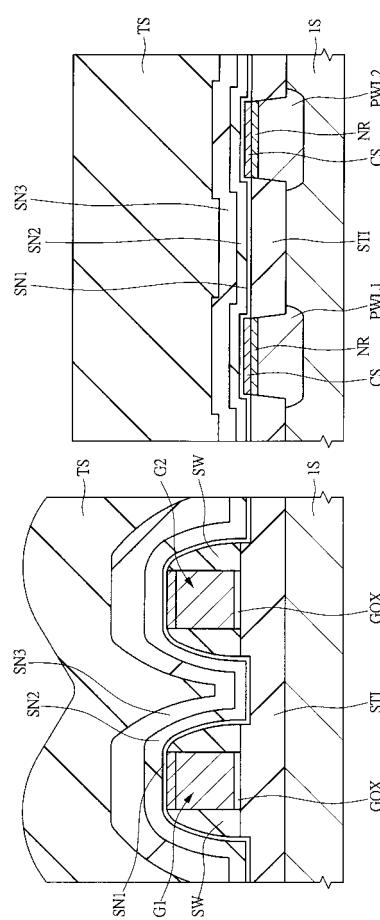
【図 21】

図 21



【図 22】

図 22



【図 2 3】

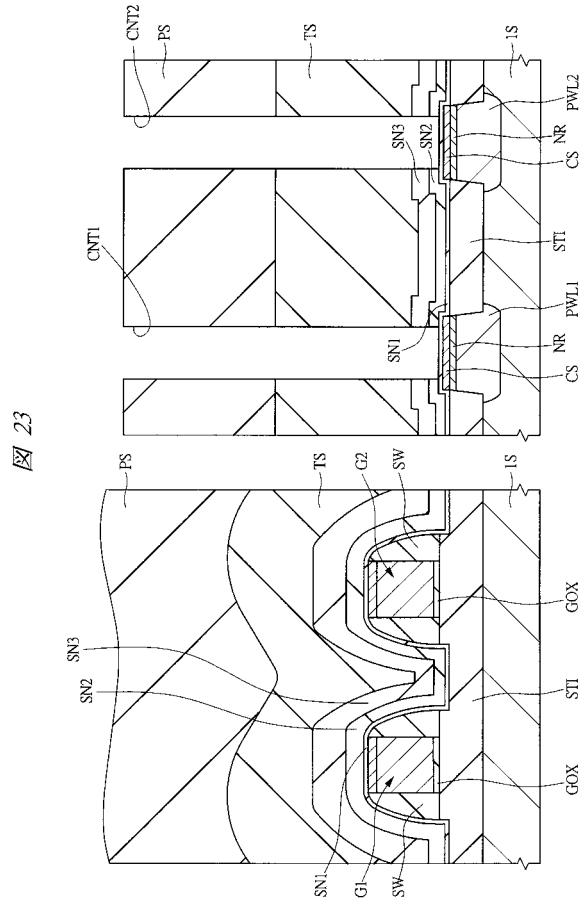


图 23

【図 2 4】

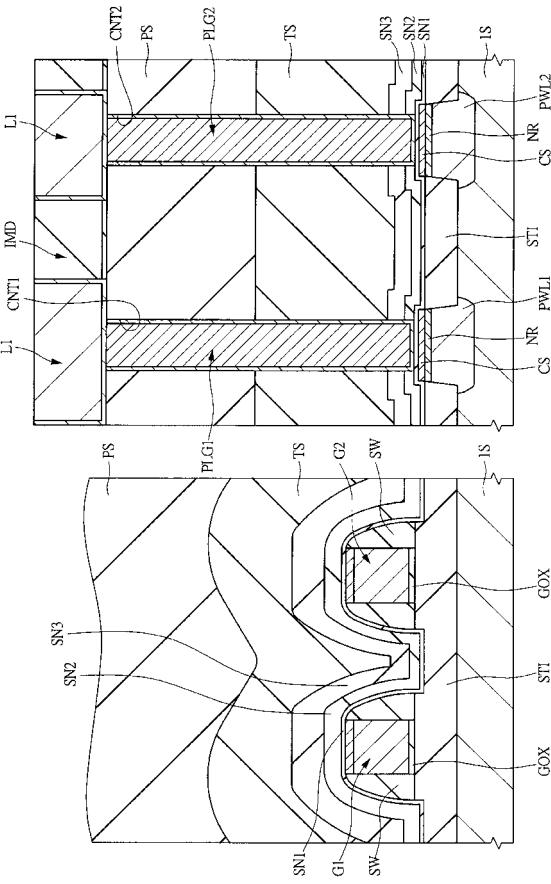


图 24

【図 2 5】

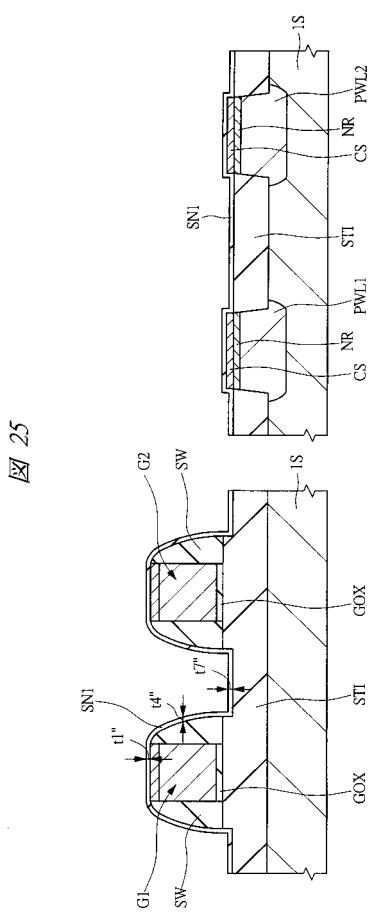


图 25

【図 2 6】

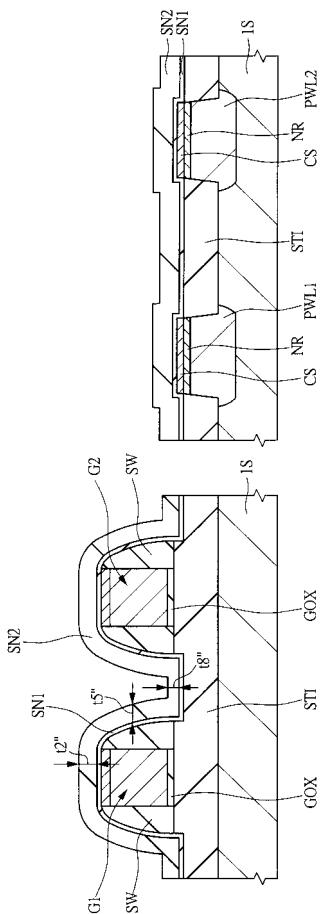
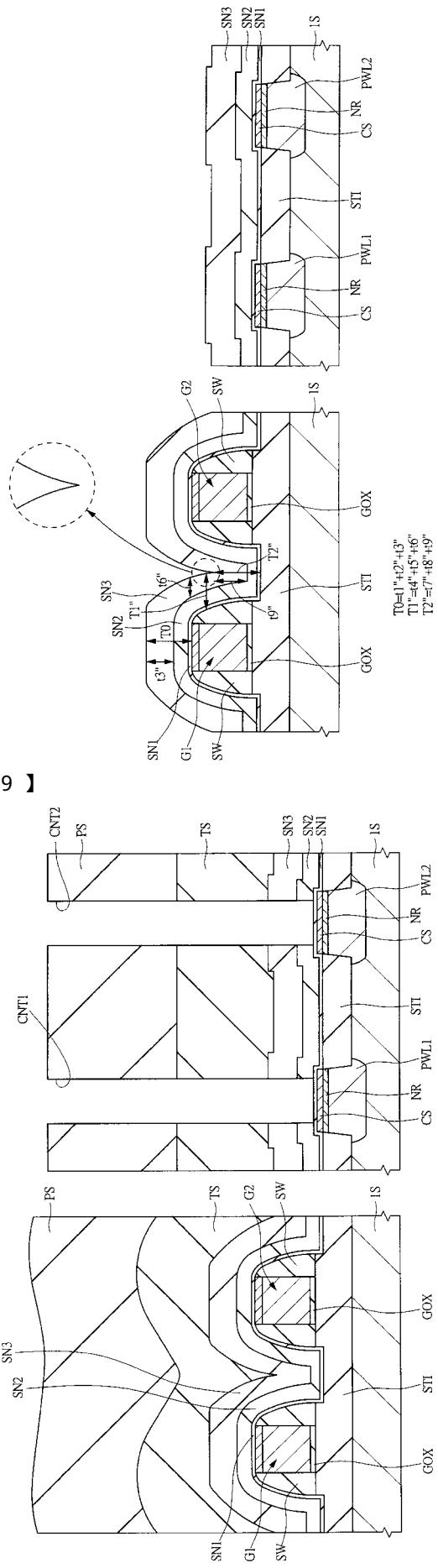


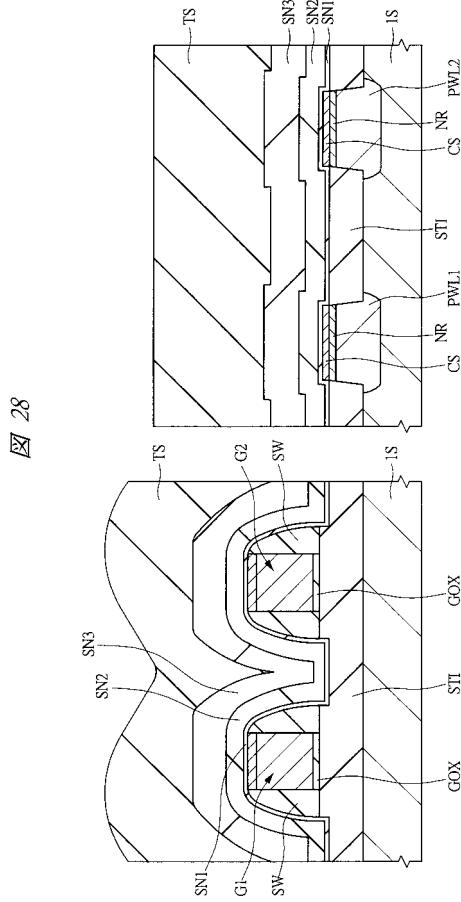
图 26

【図 27】

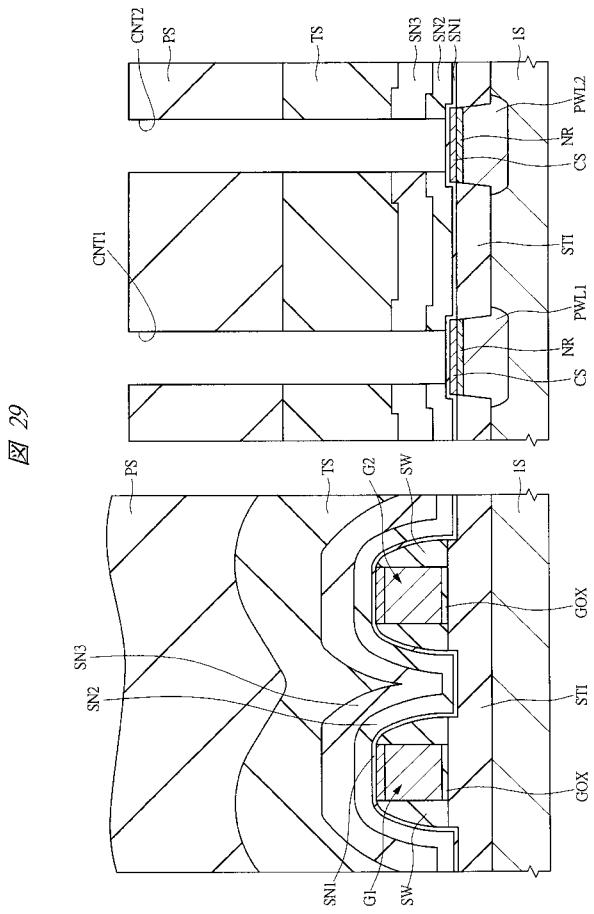
図 27



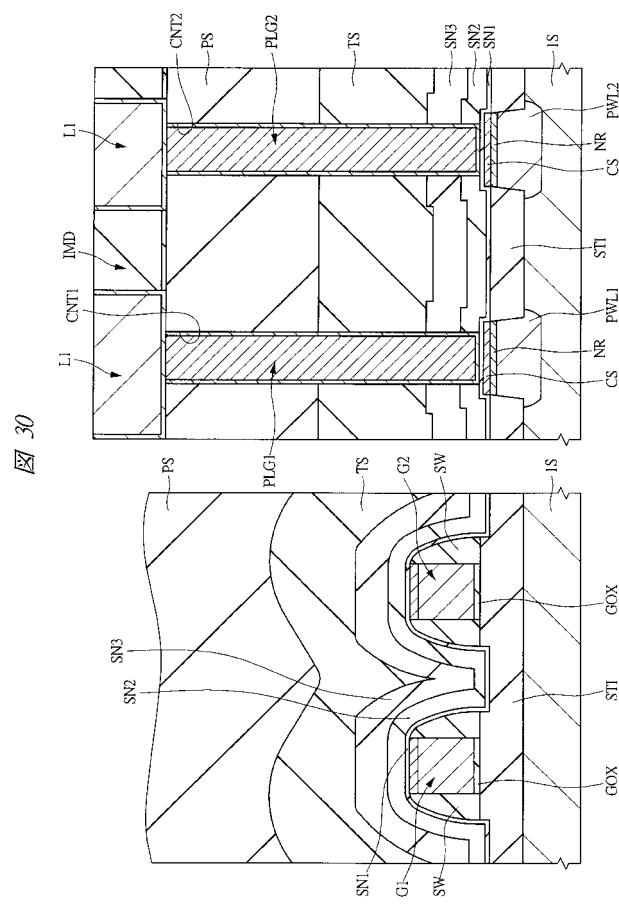
【図 28】



【図 29】



【図 30】



フロントページの続き

(51) Int.CI.	F I	テーマコード(参考)
H 0 1 L 21/8244 (2006.01)	H 0 1 L 27/10 3 8 1	5 F 1 4 0
H 0 1 L 27/11 (2006.01)	H 0 1 L 29/78 3 0 1 N	
H 0 1 L 29/78 (2006.01)	H 0 1 L 27/08 3 2 1 C	
H 0 1 L 21/8238 (2006.01)	H 0 1 L 27/08 3 2 1 K	
H 0 1 L 27/092 (2006.01)	H 0 1 L 21/318 M	
H 0 1 L 21/318 (2006.01)	H 0 1 L 27/08 1 0 2 H	

F	ターム(参考)	4M104	AA01	BB01	BB14	BB20	BB21	BB22	BB25	BB40	CC01	CC05
		DD04	DD16	DD17	DD37	DD43	DD55	DD63	DD84	EE03	EE05	
		EE09	EE12	EE14	EE16	EE17	FF14	FF18	FF22	GG09	GG10	
		GG14	GG16	HH13	HH14	HH15	HH20					
5	F033	HH04	HH11	HH21	HH25	HH27	HH32	JJ18	JJ19	JJ33	KK01	
		KK25	KK27	LL04	MM01	MM07	MM12	MM13	NN06	NN07	PP06	
		PP15	PP27	PP28	QQ08	QQ09	QQ10	QQ16	QQ25	QQ35	QQ37	
		QQ48	QQ54	QQ59	QQ65	QQ70	QQ73	RR01	RR04	RR06	RR08	
		RR11	SS01	SS04	SS11	SS15	TT02	TT08	VV06	VV16	WW00	
		WW01	WW02	WW03	XX02	XX03	XX09	XX15	XX19	XX31		
5	F048	AA01	AA08	AB01	AB04	AC01	AC03	BA01	BB06	BB07	BB08	
		BB09	BB11	BB12	BB15	BC06	BD01	BF06	BF16	BG01	BG03	
		BG12	BG13	DA24								
5	F058	BA04	BD02	BD04	BD10	BF07	BJ02					
5	F083	BS05	BS27	BS46	GA27	JA35	JA39	JA56	JA57	LA21	MA02	
		MA20	NA01	PR21	PR33							
5	F140	AA39	AC28	BA01	BD04	BD09	BD11	BD12	BD13	BD17	BE07	
		BF01	BF04	BF05	BF11	BF18	BG08	BG11	BG12	BG14	BG28	
		BG34	BG43	BG45	BG52	BG53	BH15	BJ01	BJ08	BK02	BK13	
		BK21	BK27	BK34	BK39	CB04	CB08	CC01	CC02	CC03	CC08	
		CC09	CC13	CC15	CC19	CE04						