

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3551858号

(P3551858)

(45) 発行日 平成16年8月11日(2004.8.11)

(24) 登録日 平成16年5月14日(2004.5.14)

(51) Int. Cl.⁷

F I

G 1 1 C 29/00

G 1 1 C 29/00 6 7 1 Z

G 1 1 C 11/22

G 1 1 C 11/22 5 0 1 F

G 1 1 C 11/401

G 1 1 C 11/22 5 0 1 P

G 1 1 C 14/00

G 1 1 C 11/34 3 5 2 A

G 1 1 C 11/34 3 7 1 A

請求項の数 12 (全 17 頁)

(21) 出願番号

特願平11-259682

(22) 出願日

平成11年9月14日(1999.9.14)

(65) 公開番号

特開2001-84799(P2001-84799A)

(43) 公開日

平成13年3月30日(2001.3.30)

審査請求日

平成12年8月8日(2000.8.8)

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(74) 代理人 100088812

弁理士 ▲柳▼川 信

(72) 発明者 小池 洋紀

東京都港区芝五丁目7番1号 日本電気株式会社社内

審査官 長島 孝志

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置

(57) 【特許請求の範囲】

【請求項1】

データを記憶する複数のメモリセルをマトリックス状に配列したメモリセルアレイと、アドレスに従って前記メモリセルアレイ内のメモリセルを選択するためのワード線と、この選択されたメモリセルに対してデータの書込み及び読出しをなすためのビット線と、この選択されたメモリセルから前記ビット線上に読出されたデータ信号の電位差を増幅するセンスアンプ回路とを含む半導体メモリ装置であって、前記ビット線上に読出されたデータ信号の電位差を減少させる電圧であって、かつ前記ビット線上に読出される信号電圧に依存しないオフセット電圧を前記ビット線に付加するオフセット付加手段を含み、前記オフセット付加手段は、ゲートにオフセット有効化信号が供給され、ソースに前記ビット線が接続された第一の電界効果トランジスタと、一方の電極に前記トランジスタのドレイン端子が接続され他方の電極にオフセット付加制御信号が供給されたキャパシタとを有することを特徴とする半導体メモリ装置。

【請求項2】

待機時において前記オフセット付加制御信号を第一の電位に設定し、試験時において前記オフセット有効化信号を前記第一の電界効果トランジスタが導通する電位に設定し、続いて前記オフセット付加制御信号を前記第一の電位とは異なる第二の電位に設定する制御手段を、更に含むことを特徴とする請求項1記載の半導体メモリ装置。

【請求項3】

前記オフセット付加手段として、センスアンプの一对の第一及び第二の差動入力端子に夫

々接続された第一及び第二のオフセット付加回路が設けられており、更に、待機時において前記第一及び第二のオフセット付加回路に対応する第一及び第二のオフセット付加制御信号を第一及び第二の電位の中間電位に設定し、試験時において前記第一及び第二のオフセット付加回路に対応する第一及び第二のオフセット有効化信号を、前記第一及び第二のオフセット付加回路に対応する第一及び第二の電界効果トランジスタが導通する電位に設定し、続いて前記第一のオフセット付加制御信号を前記中間電位から前記第二の電位に設定すると共に、前記第二のオフセット付加制御信号を前記中間電位から前記第一の電位に設定する制御手段を含むことを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 4】

前記オフセット付加手段は、前記第一の電界効果トランジスタと前記キャパシタとの接続点と基準電位との間に接続されゲートにオフセット付加手段待機時電位制御信号が供給された第三の電界効果トランジスタを、更に有することを特徴とする請求項 1 記載の半導体メモリ装置。

10

【請求項 5】

待機時において、前記オフセット付加手段待機時電位制御信号を前記第三の電界効果トランジスタが導通する電位に設定すると共に、前記オフセット付加制御信号を第一の電位に設定し、試験時において前記オフセット付加手段待機時電位制御信号を前記第三の電界効果トランジスタが非導通となる電位に設定すると共に、前記オフセット有効化信号を前記第一の電界効果トランジスタが導通する電位に設定し、続いて前記オフセット付加制御信号を前記第一の電位とは異なる第二の電位に設定する制御手段を、更に含むことを特徴とする請求項 4 記載の半導体メモリ装置。

20

【請求項 6】

データを記憶する複数のメモリセルをマトリクス状に配列したメモリセルアレイと、アドレスに従って前記メモリセルアレイ内のメモリセルを選択するためのワード線と、この選択されたメモリセルに対してデータの書込み及び読出しをなすためのビット線と、この選択されたメモリセルから前記ビット線上に読出されたデータ信号の電位差を増幅するセンスアンプ回路とを含む半導体メモリ装置であって、前記ビット線上に読出されたデータ信号の電位差を減少させる電圧であって、かつ前記ビット線上に読出される信号電圧に依存しないオフセット電圧を前記ビット線に付加するオフセット付加手段を含み、前記オフセット付加手段は、一方の電極に前記ビット線が接続され、他方の電極にオフセット付加制御信号が供給されたキャパシタからなることを特徴とする半導体メモリ装置。

30

【請求項 7】

待機時において前記オフセット付加制御信号を第一の電位に設定し、試験時において前記オフセット付加制御信号を第一の電位とは異なる第二の電位に設定する制御手段を、更に含むことを特徴とする請求項 6 記載の半導体メモリ装置。

【請求項 8】

前記オフセット付加手段として、センスアンプの一对の第一及び第二の差動入力端子に夫々接続された第一及び第二のオフセット付加回路が設けられており、更に、前記待機時において前記第一及び第二のオフセット付加回路に対応する第一及び第二のオフセット付加制御信号を前記第一及び第二の電位の中間電位に設定し、試験時において前記第一のオフセット付加制御信号を前記中間電位から前記第二の電位に設定すると共に、前記第二のオフセット付加制御信号を前記中間電位から前記第一の電位に設定する制御手段を含むことを特徴とする請求項 6 記載の半導体メモリ装置。

40

【請求項 9】

前記メモリセルの試験時においてのみ、前記オフセット付加手段を有効化する有効化手段を、更に含むことを特徴とする請求項 1 ~ 8 いずれか記載の半導体メモリ装置。

【請求項 10】

前記有効化手段は、少なくとも一つのピンに対して所定電位が印加された場合に、前記試験時であると判定して前記オフセット付加手段を有効化するようにしたことを特徴とする請求項 9 記載の半導体メモリ装置。

50

【請求項 1 1】

前記有効化手段は、複数のピンに対して所定の組合わせ電位が供給された場合に、前記試験時であると判定して前記オフセット付加手段を有効化するようにしたことを特徴とする請求項 9 記載の半導体メモリ装置。

【請求項 1 2】

前記有効化手段は、少なくとも一つのピンに対して所定電位の組合わせが時系列で供給された場合に、前記試験時であると判定して前記オフセット付加手段を有効化するようにしたことを特徴とする請求項 9 記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

半導体メモリ装置に関し、特に信頼性試験を短時間で行う機能を搭載した半導体メモリ装置に関するものである。

【0002】

【従来の技術】

従来の半導体メモリ L S I の例として、ここでは強誘電体メモリ (F e R A M) をとりあげる。まず、強誘電体メモリの回路およびその動作について説明した後、強誘電体メモリの信頼性試験における課題について述べることにする。

【0003】

かかる強誘電体メモリの回路および動作については、例えば特開平 6 - 3 2 4 5 5 8 号公報や特開平 1 0 - 2 3 3 1 0 0 号公報等に詳しく開示されている。図 8 に、従来の強誘電体メモリのメモリセルアレイ回路を、また、図 9 に図 8 の回路の動作タイミングチャートを夫々示す。

20

【0004】

まず、図 8 の半導体メモリ装置を構成する各要素について説明する。メモリセルアレイ M C A は、一つのトランジスタと一つの強誘電体キャパシタとからなる、いわゆる 1 T / 1 C 型メモリセル M C j k を、行方向に m 行、列方向に n 列のアレイ状に配列したものである。尚、ここで、j は行番号系の添え字を表し、1 ~ m の整数値をとり、また k は列番号系の添え字を表し、1 ~ n の値をとる。本明細書においては、今後、特にことわりのない限りこの添え字記法を用いることにする。

30

【0005】

各メモリセルでは、上記トランジスタのゲート端子にワード線 W L j 、同トランジスタのドレイン端子にビット線 B L N k 、 B L T k 、上記強誘電体キャパシタの一方の電極にプレート線 P L j がそれぞれ接続されている。上記トランジスタのソース端子と、上記強誘電体キャパシタのプレート線と対極側の電極とは、メモリセル内部にて相互に接続されている。

【0006】

上記ワード線およびプレート線の各信号は行方向のメモリセルを選択する信号である。これ等ワード線およびプレート線の各信号は、本強誘電体メモリ装置の外部より入力されるアドレス信号 A i を、アドレスプリデコーダ A D P D E C によりプリデコードされた信号 X P a を元に X デコーダ X D E C 、プレートデコーダ P L D E C にてそれぞれ発生される信号である。

40

【0007】

上記ビット線は B L N k と B L T k との 2 本で一对となっており、このビット線対に対し、メモリセルから読出されたデータを増幅するためのセンスアンプ S A k が、トランスファゲート T G k を介して接続されている。場合によっては、T G k なしに直接ビット線対とセンスアンプが接続されていることもある。このセンスアンプの動作は、センスアンプ制御回路 S A D R V で発生されるセンスアンプ活性化信号 S A E で制御される。また、このビット線には、ビット線プリチャージ回路 P B L k 、読出し動作時に必要なリファレンス電位発生用のダミーメモリセル D C N k 、 D C T k も接続されている

50

。

【0008】

プリチャージ回路の動作はビット線プリチャージ制御回路PBLCで発生されるビット線プリチャージ信号PBLで制御される。ダミーメモリセルはダミーメモリセル制御回路DWLDECで発生されるダミーワード線DWLNL, DWLTLで制御される。

【0009】

メモリセルに対してデータの書込みならびに読出しを行うには、I/Oバス対ION, IOTを介して行う。アドレス信号AiをもとにアドレスプリデコードADPDECにて発生したYアドレスプリデコード信号YPbにより、Y選択信号YSWkのうちの1本を選択電位(図8の例では、ハイレベル)とする。これにより、対応するY選択トランスファゲートYSTkが導通状態となり、アドレス信号Aiにて指定されたビット線対BLNk, BLTkに対して、ION, IOTを介したデータの読み書きが可能となる。

10

【0010】

図8において、細い線で示された配線(例えば、SAE, PBL等)は1本の配線を意味し、太い線で示された配線(Ai, XPa, YPb)は複数の配線を1つにまとめて表したものを意味している。以後、本明細書の図面における配線の表し方はこのルールに従うことにする。

【0011】

次に、図9を用いて図8に示された回路の動作について説明する。最初に、待機時には、ワード線WLj、プレート線PLj、ダミーワード線DWLNL, DWLTL、Y選択線YSWk、トランスファゲート信号TG、センスアンプ活性化信号SAEは、全てロウレベルであり、メモリセルMCjk、ダミーメモリセルDCNk, DCTk、センスアンプSAk、Y選択トランスファゲートYSTkは全て非活性化状態である。ビット線プリチャージ信号PBLはハイレベルであり、ビット線BLNk, BLTkは接地電位にプリチャージされている。

20

【0012】

ここで、メモリセルMC22がアドレス信号Aiにより選択された場合を例にとり、図8の強誘電体メモリの読出しおよび書込み動作例について説明する。まず、ビット線プリチャージ信号PBLをロウレベルとし、ビット線をフローティング状態とする。このとき、ビット線BLNk, BLTkは先に接地電位にプリチャージされていたので、リーク等の影響が無視できる間はロウレベルを維持する。

30

【0013】

次に、メモリセルMC22を選択する。具体的には、ワード線WL2をハイレベル、プレート線PL2をハイレベルとする。WL2のハイレベルは、通常、セルトランジスタのしきい値電位Vtn分を補償するために、(電源電位+Vtn)程度に昇圧した電位である。PL2のハイレベルは、通常、電源電位である。なお、WL2およびPL2をハイレベルにすることにより、この行に連なるメモリセルMC2kは全て選択状態となる。すなわち、プレート線PL2がハイレベルとなることにより、PL2とビット線BLTkとの間に電位差が発生する。これは、j=2の行に接続されているメモリセル内の強誘電体キャパシタに対して、前記電位差が印加されるということである。その電位差に応じた電荷が強誘電体キャパシタからビット線BLTkに出力されることにより、BLTk上に読出し電位があらわれる。

40

【0014】

他方、BLTkと対となっているビット線BLNkには、BLTk上にあらわれたビット線読出し電位が、データ“0”に対応するものが、データ“1”に対応するものを判別するためのリファレンス電位を発生させる必要がある。このリファレンス電位はダミーメモリセルDCNkによって生成される。DCNkは、ダミーワード線DWLNLをハイレベルとすることにより活性化され、ビット線BLNk上にリファレンス電位を出力する。リファレンス電位の具体的な発生方法としては、例えば、特開平10-233

50

100号公報、特開平9-97496号公報に開示されているもの等がある。ここではリファレンス電位発生方法に関する詳細な説明は省略する。

【0015】

ビット線BLTk にメモリセルMC2kからの読出し電位が、ビット線BLNk にダミーメモリセルDCNk からのリファレンス電位が、それぞれ出力された後、トランスファゲート信号TGをハイレベルとして、このBLTk とBLNk 上の電位をセンスアンプSAk に伝達する。続いて、センスアンプ活性化信号SAEをハイレベルとすることにより、センスアンプSAk を活性化して、BLNk とBLTk との電位差を差動増幅する。

【0016】

読出し動作を行う場合には、Y選択信号YSW2 をハイレベルとし、Y選択トランスファゲートYST2 を導通させる。こうして、ビット線対BLN2 , BLT2 とI/Oバス対ION , IOTとを接続し、BLN2 , BLT2 の差動増幅されたデータをION , IOTを介して出力バッファに転送する。また、書込み動作を行う場合には、データ入力バッファから、ION , IOTを介してビット線対BLN2 , BLT2 に所望の書込みデータに対応する電位を書込む。

【0017】

上に述べた動作は、破壊読出し動作（データ読出しを行った後、メモリセルの記憶データは破壊されている）であるので、記憶を保持するためには、メモリセルへのデータ再書込み動作が必要である。強誘電体メモリにおけるメモリセルへのデータ再書込み動作は次の動作によって達成される。（1）再書込みデータ“0”に対しては、ビット線＝ロウレベル、プレート線＝ハイレベルという状態から、プレート線＝ロウレベルとして、強誘電体キャパシタにかかる電圧をゼロとする。（2）再書き込みデータ“1”に対しては、ビット線＝ハイレベル、プレート線＝ロウレベルという状態から、ビット線＝ロウレベルとして、強誘電体キャパシタにかかる電圧をゼロとする。

【0018】

図9のタイミングチャートで説明すると、先ず、センスアンプによるデータ増幅後にロウレベルとなっているビット線につながるメモリセルに対しては、先にプレート線がハイレベル、ビット線がロウレベルとなっている状態から、プレート線がロウレベルになったときに、メモリセル内の強誘電体キャパシタにかかる電圧がゼロとなる。従って、Y選択信号YSW2 をロウレベルとした後、プレート線PL2 をロウレベルとした時点でデータ再書込みが終了する。

【0019】

センスアンプによるデータ増幅後にハイレベルとなっているビット線につながるメモリセルに対しては、プレート線がロウレベルになったときに、ビット線がハイレベルとなっており、続けてビット線をロウレベルとしたときに、メモリセル内の強誘電体キャパシタにかかる電圧がゼロとなる。従って、センスアンプ活性化信号SAEをロウレベル、ビット線プリチャージ信号PBLをハイレベルとして、ビット線電位を接地電位（＝ロウレベル）にした時点でデータ再書込みが終了する。データ再書込み動作の後、ワード線WL2 をロウレベルとして、メモリセルを非選択状態に戻す。最後に、トランスファゲート信号TGをロウレベルとする。以上で、強誘電体メモリに対する読出しもしくは書込み動作の1サイクルが完了である。

【0020】

ここまでに述べた強誘電体メモリの動作は、1T/1C型メモリセル1つに対し、1ビットのデータを記憶させる、いわゆる「1T/1C型動作方式」と呼ばれるものであった。この方式は、上にも述べたように、読出し動作時にリファレンス電位を必要とする。それに対し、1T/1C型メモリセル2つに対し、1ビットのデータを記憶させる、いわゆる「2T/2C型動作方式」と呼ばれる方式も存在する。

【0021】

この方式では、ビット線のN側（BLNk ）とT側（BLTk ）に接続されている1

10

20

30

40

50

T / 1 C 型メモリセル同士をペアとして、1ビットの記憶単位とする。これを図8を用いて説明する。MC 1 1 と MC 2 1、MC 1 2 と MC 2 2、... というようにペアをつくる。BLN 1 と BLT 1 は差動動作を行うため、BLN 1 がハイレベルならばBLT 1 はロウレベル、逆に、BLN 1 がロウレベルならばBLT 1 はハイレベルとなる。すなわち、各々の場合について、MC 1 1 と MC 2 1 には、互いに逆極性のデータが保持されることになる。例えば、前者の場合を(2T / 2C型動作方式に対する)データ“0”、後者の場合をデータ“1”というように割り付ける。こうすることで、2つの1T / 1C型メモリセルに対して1ビットのデータ記憶を行うことができる。

【0022】

この場合、メモリセル自身から、ビット線対BLN 1、BLT 1 上に差動でデータ電位が出力されるので、1T / 1C型動作方式の場合に必要な読出し動作時のリファレンス電位がなくても、センスアンプが差動増幅動作できる。つまり、リファレンス電位が不要である。

10

【0023】

以上に説明してきた強誘電体メモリにおいて、繰り返し書込みもしくは読出しに対するメモリセルの耐性を評価することが、強誘電体メモリの信頼性試験上の重要な項目となっている。具体的な故障モードとして、強誘電体メモリのメモリセルに対し、データを多数回繰り返し書込むことによって強誘電体特性が劣化し、ついには正しい記憶動作ができなくなるということが一般に知られている。従来、このような繰り返し書込み / 読出しに対する耐性の試験として、特開平11-149796号公報に記載されているものがある。

20

【0024】

この試験方法は、読出し動作時にデータの判別を行うセンスアンプに意図的にオフセットを付加することにより、正しい読出し動作に必要なメモリセルからの読出し電位差が、当該オフセット量よりも小さいメモリセルを含む強誘電体メモリ装置を、初期試験の段階で不良とするというものである。

【0025】

図10に特開平11-149796号公報に記載されている強誘電体メモリ回路を示す。強誘電体メモリとして動作するためには、図8に示されているような構成が必要であるが、図10では、簡単のために、「センスアンプにオフセットを付加する」という機能の説明に必要な部分のみを抜き出して記載した。また、図8と同様の役割を果たす部分については、同じ記号を用いて説明を省略する。

30

【0026】

図10において、記号OFkで示されている部分がセンスアンプにオフセットを付加する回路である。この回路はトランジスタ4つからなり、ゲート端子とドレイン端子を交差接続したトランジスタTR 1、TR 2 に、スイッチングトランジスタTR 3、TR 4 が接続されている。TR 3、TR 4 は、それぞれオフセット有効化信号OC 1、OC 2 によって制御されている。

【0027】

この回路でセンスアンプにオフセットが付加される機構は次の通りである。通常のセンスアンプの動作においては、オフセット有効化信号OC 1、OC 2 ともにロウレベルである。このときには、センスアンプは通常の差動増幅動作を行い、理想的にはオフセットはない。但し、センスアンプの差動対トランジスタTR 5 と TR 6、TR 7 と TR 8 との間のしきい値電圧等の製造上の特性ばらつきに起因する数十mV以下程度の微小なオフセットは存在しうるが、ここではその微小オフセットは無視するものとする。

40

【0028】

オフセットを付加する場合には、OC 1 をハイレベル、OC 2 をロウレベルとした状態で、信号SANをロウレベル、SAPをハイレベルとして、センスアンプSAkを活性化する。すると、トランジスタTR 3 が導通状態、TR 4 が非導通状態となっているために、ビット線BLN j の電位が、BLT j の電位に比べて、ロウレベル側に引かれやすくなる。これは、等価的には、センスアンプ内差動対トランジスタTR 5 の導

50

通時の電流（オン電流）が、オフセットトランジスタTR1 のオン電流分だけ、TR6 のオン電流よりも大きくなっているというアンバランスが生じていることに等しい。このことにより、BLNj がハイレベルになるような読出しデータに対して厳しい動作条件となっている。いいかえると、BLNj がハイレベルとなるようなデータ読出し動作に対してオフセットが付加された状態となっている。

【0029】

逆に、BLNj がロウレベルとなるようなデータ読出し動作に対してオフセットを付加するには、OC1 をロウレベル、OC2 をハイレベルとする。上記のようにしてセンスアンプにオフセットを付加した試験を行うことにより、読出し電位差の小さいメモリセルが含まれる強誘電体メモリは、正しいデータ読出し動作が行われず不良となる。製造直後の段階において、このようにビット線に読出される信号電位差の小さいメモリセルは繰り返し動作に対して弱い傾向がある。従って、この試験方法を用いると、繰り返し耐性の悪い強誘電体メモリを初期段階試験において選別することができるという効果がある。この試験方式をオフセットセンスアンプ試験方式と呼ぶ。

10

【0030】

【発明が解決しようとする課題】

しかしながら、従来のオフセットセンスアンプ試験方式には、次に述べるような問題点がある。従来のオフセット回路は、上に述べたように、センスアンプ差動対トランジスタ（図10のTR5 とTR6 ）のオン電流にアンバランスを生じさせることによって、オフセットを発生させるというものであった。図10に示された従来回路の場合、オフセット回路内のトランジスタTR1 のオン電流は、このトランジスタTR1 のゲート-ソース間電位差に依存する。ソース電位はここでは接地電位なので、ゲート電位すなわちBLTj の電位がトランジスタTR1 のオン電流に依存することになる。

20

【0031】

図10の回路により生成されるオフセット量を、ビット線BLTj の電位の関数として、回路シミュレーションを用いて計算した。その結果を図11に示す。この計算は、ゲート長0.55 μ mのトランジスタを用いた強誘電体メモリのセンスアンプおよびオフセット回路を前提としている。図11から明らかなように、このオフセット回路によって生成されるオフセット量はビット線電位に極めて強く依存する。ビット線電位が0.5~2.0Vの範囲で、オフセット量が100~850mVも変わっている。このようにオフセット量が読出しビット線電位に強く依存すると、最適なオフセット量の設定が困難になる。つまり、オフセットが効きすぎて、本来は信頼性上問題のないレベルにある強誘電体メモリまで不良と選別されたり、逆にオフセットが効かず、信頼性上問題ある強誘電体メモリが選別されなかったりするという問題が生ずる。

30

【0032】

本発明は、上記問題点を克服すべくなされたものであってその目的とするところは、ビット線上に読出される読出し信号電位に依存せずオフセット量を設定できるオフセット付加回路を有する半導体メモリ装置を提供することにある。

【0033】

【課題を解決するための手段】

本発明による半導体メモリ装置は、データを記憶する複数のメモリセルをマトリックス状に配列したメモリセルアレイと、アドレスに従って前記メモリセルアレイ内のメモリセルを選択するためのワード線と、この選択されたメモリセルに対してデータの書込み及び読出しをなすためのビット線と、この選択されたメモリセルから前記ビット線上に読出されたデータ信号の電位差を増幅するセンスアンプ回路とを含む半導体メモリ装置であって、前記ビット線上に読出されたデータ信号の電位差を減少させる電圧であって、かつ前記ビット線上に読出される信号電圧に依存しないオフセット電圧を前記ビット線に付加するオフセット付加手段を含み、前記オフセット付加手段は、ゲートにオフセット有効化信号が供給され、ソースに前記ビット線が接続された第一の電界効果トランジスタと、一方の電極に前記トランジスタのドレイン端子が接続され他方の電極にオフセット付加制御信号が

40

50

供給されたキャパシタとを有することを特徴とする。

【0035】

上記構成に加えて更に、待機時において前記オフセット付加制御信号を第一の電位に設定し、試験時において前記オフセット有効化信号を前記第一の電界効果トランジスタが導通する電位に設定し、続いて前記オフセット付加制御信号を前記第一の電位とは異なる第二の電位に設定する制御手段を含むことを特徴とする。

【0036】

そして、前記オフセット付加手段として、センスアンプの一对の第一及び第二の差動入力端子に夫々接続された第一及び第二のオフセット付加回路が設けられており、更に、待機時において前記第一及び第二のオフセット付加回路に対応する第一及び第二のオフセット付加制御信号を第一及び第二の電位の中間電位に設定し、試験時において前記第一及び第二のオフセット付加回路に対応する第一及び第二のオフセット有効化信号を、前記第一及び第二のオフセット付加回路に対応する第一及び第二の電界効果トランジスタが導通する電位に設定し、続いて前記第一のオフセット付加制御信号を前記中間電位から前記第二の電位に設定すると共に、前記第二のオフセット付加制御信号を前記中間電位から前記第一の電位に設定する制御手段を含むことを特徴とする。

【0037】

また、前記オフセット付加手段は、前記第一の電界効果トランジスタと前記キャパシタとの接続点と基準電位との間に接続されゲートにオフセット付加手段待機時電位制御信号が供給された第三の電界効果トランジスタを、更に有することを特徴とする。そして、前記オフセット付加手段の待機時において、前記オフセット付加手段待機時電位制御信号を前記第三の電界効果トランジスタが導通する電位に設定すると共に、前記オフセット付加制御信号を第一の電位に設定し、試験時において前記オフセット付加手段待機時電位制御信号を前記第三の電界効果トランジスタが非導通となる電位に設定すると共に、前記オフセット有効化信号を前記第一の電界効果トランジスタが導通する電位に設定し、続いて前記オフセット付加制御信号を前記第一の電位とは異なる第二の電位に設定する制御手段を、更に含むことを特徴とする。

【0038】

本発明による他の半導体メモリ装置は、データを記憶する複数のメモリセルをマトリックス状に配列したメモリセルアレイと、アドレスに従って前記メモリセルアレイ内のメモリセルを選択するためのワード線と、この選択されたメモリセルに対してデータの書込み及び読出しをなすためのビット線と、この選択されたメモリセルから前記ビット線上に読出されたデータ信号の電位差を増幅するセンスアンプ回路とを含む半導体メモリ装置であって、前記ビット線上に読出されたデータ信号の電位差を減少させる電圧であって、かつ前記ビット線上に読出される信号電圧に依存しないオフセット電圧を前記ビット線に付加するオフセット付加手段を含み、前記オフセット付加手段は、一方の電極に前記ビット線が接続され、他方の電極にオフセット付加制御信号が供給されたキャパシタからなることを特徴とする。そして、待機時において前記オフセット付加制御信号を第一の電位に設定し、試験時において前記オフセット付加制御信号を第一の電位とは異なる第二の電位に設定する制御手段を、更に含むことを特徴とする。

【0039】

そして、前記オフセット付加手段として、センスアンプの一对の第一及び第二の差動入力端子に夫々接続された第一及び第二のオフセット付加回路が設けられており、更に、前記待機時において前記第一及び第二のオフセット付加回路に対応する第一及び第二のオフセット付加制御信号を第一及び第二の電位の中間電位に設定し、試験時において前記第一のオフセット付加制御信号を前記中間電位から前記第二の電位に設定すると共に、前記第二のオフセット付加制御信号を前記中間電位から前記第一の電位に設定する制御手段を含むことを特徴とする。

【0040】

また、前記メモリセルの試験時においてのみ、前記オフセット付加手段を有効化する有効

10

20

30

40

50

化手段を、更に含み、前記有効化手段は、少なくとも一つのピンに対して所定電位が印加された場合に、前記試験時であると判定して前記オフセット付加手段を有効化するようにしたことを特徴とし、また前記有効化手段は、複数のピンに対して所定の組合わせ電位が供給された場合に、前記試験時であると判定して前記オフセット付加手段を有効化するようにしたことを特徴とする。更に、前記有効化手段は、少なくとも一つのピンに対して所定電位の組合わせが時系列で供給された場合に、前記試験時であると判定して前記オフセット付加手段を有効化するようにしたことを特徴とする。

【0041】

【発明の実施の形態】

本発明の実施例について図面を用いて説明する。図1は本発明の一実施例の強誘電体メモリ回路を示すブロック図である。なお、今後記す実施例の回路図においても、簡単のために、強誘電体メモリ回路のうち、本発明の主旨である「オフセットを付加する」という機能の説明に必要な部分のみを抜き出して記載するものとする。また、これまでに説明した構成要素と同じものについては、同じ符号を用いることとし、その詳しい説明を省略する。さらに、以下の実施例は全て強誘電体メモリを用いて説明するが、本発明は強誘電体メモリに限らず、ダイナミックランダムアクセスメモリ(DRAM)等、ビット線上にあらわれるデータ電位を増幅して読出し動作を行う形式をとる全ての半導体メモリに対して適用可能である。

【0042】

図1は、センスアンプ $S A_k$ 、トランスファゲート $T G_k$ 、ビット線 $B L N_k$ 、 $B L T_k$ およびビット線に接続されているメモリセル $M C$ からなる強誘電体メモリ回路に、オフセットを付加するオフセット回路 $O F_k$ を接続した例である。オフセット回路は、1本のビット線に対して1個のトランジスタ $T 1$ ($T 2$)と1個のキャパシタ $C D 1$ ($C D 2$)とで構成されている。このトランジスタは、ゲート端子がオフセット有効化信号 $O C 1$ ($O C 2$)に、ドレイン端子がビット線に、ソース端子がキャパシタの一方の電極に、それぞれ接続されている。キャパシタの他方の電極は、オフセット付加制御信号 $O P L 1$ ($O P L 2$)に接続されている。

【0043】

これ等オフセット有効化信号 $O C 1$ 、 $O C 2$ やオフセット付加制御信号 $O P L 1$ 、 $O P L 2$ はオフセット回路を制御するためのオフセット回路制御部3から生成されるものであり、このオフセット回路制御部3は有効化部2からの有効化信号により制御される。そして、当該半導体メモリ装置の外部ピンの一つまたは複数ピンへ外部から供給されるテスト(試験)指令にตอบสนองして、有効化部2は有効化信号を生成してオフセット回路制御部3を制御し、上記各制御信号を予め定められたタイミングに従って生成して、メモリセルの試験のためのオフセットをビット線対 $B L N_k$ 、 $B L T_k$ へ付加する様になっている。

【0044】

図1の回路を用いて実際にオフセットを付加する動作を行うときの各信号のタイミングチャートを図2に示す。以下、図1の回路で、図2のタイミングチャートにて本発明を実施する場合について説明する。なお、本発明のオフセットを付加する動作を適用するにあたり、強誘電体メモリ本体の動作方式としては、1T/1C型、2T/2C型のいずれでもよい。

【0045】

図2には、オフセットを付加する動作を行うタイミングを(A)と記している。1T/1C型動作の場合は、ワード線、プレート線をそれぞれ選択してビット線(例えば、 $B L N_k$)上にメモリセルからのデータを読み出し、かつ一方で、リファレンス電位発生回路(図1には示されていない)を用いてビット線と対になるビット線($B L T_k$)上にリファレンス電位を生成した後に、ビット線($B L N_k$ もしくは $B L T_k$)上にオフセットを付加する。オフセットを付加するには、オフセット有効化信号 $O C 1$ (もしくは $O C 2$)をハイレベルとし、オフセット付加制御信号 $O P L 1$ (もしくは $O P L 2$)

10

20

30

40

50

をロウレベルからハイレベルに駆動する。

【0046】

こうすることにより、オフセット回路内のキャパシタを介したカップリングによって、ビット線 $BLNk$ ($OPL2$ を駆動した場合には $BLTk$) の電位が高電位側にシフトする。この電位シフトによって、図2に示したように読出し信号電位差が減少する、すなわちオフセットそのものとなる。こうしてビット線にオフセットを生成した後、センスアンプを活性化して読出しデータの判別動作を行う。最後に、読出しの1サイクル動作が終了する以前に $OC1$ ($OC2$) と $OPL1$ ($OPL2$) をロウレベルに戻しておく。

【0047】

重要な点は、(A)の期間にオフセット有効化信号($OC1$ もしくは $OC2$) がハイレベルであり、かつ、その期間にオフセット付加制御信号($OPL1$ もしくは $OPL2$) がロウレベルからハイレベルに駆動されるということである。それ以外の本発明に関わる信号の動作タイミングは任意でよい。

【0048】

2T/2C型動作の強誘電体メモリに対してオフセットを付加する場合も、上記1T/1C型とほぼ同様である。異なる点は、2T/2C型動作ではリファレンス電位発生回路を用いていない点である。すなわち、メモリセルからビット線対($BLNk$, $BLTk$) に差動でデータを出力するので、オフセットを付加するのは、ワード線、プレート線をそれぞれ選択して、ビット線対($BLNk$, $BLTk$) 上にメモリセルからのデータが読出された後ということになる。その後の動作は1T/1C型の場合と全く同様である。

【0049】

以上に説明したように、本発明では、メモリセルからビット線上にデータ電位差を読出した後、このデータ電位差を減少させるようにビット線電位を変化させる動作を行うことにより、オフセットを生成することが要点である。この動作によれば、メモリセルからビット線への読出し電位差がオフセット以下である場合には、センスアンプによるデータ判定動作がフェイルとなる。すなわち、オフセット以下の読出し電位差を持つメモリセルを含む強誘電体メモリが不良となって、信頼性上問題のあるメモリの選別が可能となる。

【0050】

本発明の方式を用いた場合のオフセット量を簡単に見積もってみる。ビット線の寄生容量値を CB 、オフセット回路内のキャパシタの静電容量値を CD 、オフセット付加制御信号 $OPL1$, $OPL2$ のハイレベルの電位を VDP とする。ここで、上記の動作方式により生成されるオフセット $Voffset$ は、 $OPL1$ (または $OPL2$) がロウレベルの状態からハイレベルの状態へ駆動される前後において、ビット線上の電荷が保存されるという条件を用いることにより計算でき、その結果は、

$$Voffset = CD \times VDP / (CD + CB) \dots \dots (1)$$

となる。

【0051】

この(1)式の右辺にある量は、 CB , CD , VDP であり、これら CD や VDP を適当な値にすることで任意のオフセット量を設定することができる。かつ、これら右辺に含まれる量は全てビット線に読出された電位によらない量である。従って、本発明の方式によれば、従来のようなビット線読み出し電位に対する依存性はなく、最適なオフセット値を容易に設定できるという利点がある。

【0052】

図2では、オフセットを付加する(A)の時期に、オフセット付加制御信号 $OPL1$ もしくは $OPL2$ をロウレベルからハイレベルに駆動することによってオフセットを生成していた。逆に、オフセット付加制御信号をハイレベルからロウレベルに駆動することによってもオフセットを生成することができる。図1の回路に対して、この方式によってオフセットを付加する例を図3に示した。図3の場合には、例えば $OC2$ をハイレベル、

10

20

30

40

50

O P L 2 をハイレベルからロウレベルに駆動したときには、キャパシタを介したカップリングにより、ビット線 B L T k に対し電位が低くなる方向に電位シフトが起こる。この電位シフトは、図 3 に示したようにオフセットとなる。

【 0 0 5 3 】

図 4 に、図 1 の回路を用いてオフセットを発生する動作方式の第 3 の例を示す。図 4 の例では、オフセット付加制御信号 O P L 1 , O P L 2 の待機時の電位を、電源電位 V D P と接地電位 G N D との中間電位 (V D P / 2 , V D P / 3 , 等々) に設定する。オフセット有効化信号 O C 1 , O C 2 をともにハイレベルとして (A) の期間に入ってから、O P L 1 を V D P レベルへ、O P L 2 を G N D レベルへ駆動する。こうすることにより、キャパシタを介したカップリングにより、ビット線 B L N k は高電位側へ、B L T k は低電位側へ、それぞれ電位シフトが起こる。この電位シフトがオフセットとなる。

10

【 0 0 5 4 】

図 5 に、図 1 とは異なるオフセット回路の例を示す。本回路は図 1 に示したオフセット回路内のトランジスタとキャパシタとの接続点が、オフセット有効化信号 O C 1 , O C 2 がロウレベルのときにフローティングとなることの対策を施した回路である。すなわち、トランジスタとキャパシタとの接続点を、待機時のオフセット付加制御信号 O P L 1 , O P L 2 の電位 V S と等しくするためのトランジスタ T S 1 , T S 2 が付加された回路である。T S 1 , T S 2 はオフセット回路待機時電位制御信号 O C 1 B , O C 2 B がゲート端子に、ドレイン端子にオフセット回路内のトランジスタとキャパシタとの接続点に、ソース端子は V S を供給する配線に接続されている。V S の電位は、図 2 の動作の場合には接地電位、図 3 の動作の場合には V D P 電位、図 4 の動作の場合には V D P と接地電位の中間電位である。

20

【 0 0 5 5 】

尚、図 5 の回路においても、図 1 に示したテスト指令用のピン 1、有効化部 2 およびオフセット回路制御部 3 が設けられているが、図では省略して示している。

【 0 0 5 6 】

図 5 の回路を用いてオフセット付加動作を行うには、先ず、待機時に導通状態となっているトランジスタ T S 1 , T S 2 を、オフセット回路待機時電位制御信号を用いて非導通状態にする。その後は、図 2、図 3 もしくは図 4 と全く同様に動作させればよい。最後に、T S 1 , T S 2 を導通状態とする。

30

【 0 0 5 7 】

図 6 は、さらに別なるオフセット回路の例である。本回路は図 1 に示したオフセット回路内のトランジスタを削除し、直接ビット線とキャパシタを接続した形式の回路である。動作方式についても、図 2、図 3 もしくは図 4 からオフセット有効化信号 O C 1 , O C 2 の動作を除いた動作で、オフセット付加が可能である。以上のオフセット付加回路は、メモリセルからのデータ読み出し電位差をあえて減少させるものであるため、通常動作時には働かせないことが望ましい。このため、本発明のオフセット付加回路は、テストモードとして使われることが推奨される。

【 0 0 5 8 】

強誘電体メモリの通常動作とテストモード動作とを区別する手段としては、例えば、(1) 強誘電体メモリに、テスト用の付加ピンを設ける、(2) 強誘電体メモリがすでに持っている 1 つまたは複数のピン (たとえばアドレスピン、データピン、制御信号ピン等) に、ある組み合わせの信号が入力されたとき、またはあるシーケンスの信号列が入力されたときに、テストモードに入る、(3) 強誘電体メモリが持つあるピンに、推奨動作電圧以上の高電圧をかける、等という方法がある。

40

【 0 0 5 9 】

上記の (1) ~ (3) における各ピンが図 1 に示したテスト指令用のピン 1 であり、このピン 1 に上述した (1) ~ (3) の信号や電圧が供給された時に、有効化部 2 がこれを検出してテストモードであると判断し、オフセット回路制御部 3 を動作せしめるのである。

50

このオフセット回路制御部 3 は図 2、図 3 もしくは図 4 のタイミングチャートに従って信号 O P L 1 , O P L 2 , O C 1 , O C 2 , O C 1 B , O C 2 B を制御するのである。

【 0 0 6 0 】

従来のオフセットセンスアンプ試験方式によって得られるオフセット量のビット線読出し電位に対する依存性は、図 1 1 に示した通りであるが、本発明の効果を示すため、同図上に、本発明を用いた場合のオフセット量を回路シミュレーションにより求めてプロットしたグラフを、図 7 に示す。図 7 では、ビット線寄生容量 C B = 2 5 0 f F、オフセット回路内部のキャパシタの静電容量値 C D = 2 5 f F、電源電位 V D P = 5 V と仮定した。従来方式によるオフセット量が実線で、本発明によるオフセット量を点線で示した。この図 7 から、本発明では、ビット線読出し電位に対する依存性の小さいオフセット値が得られることがわかる。このことにより、本発明を用いると、強誘電体メモリの信頼性に即した最適なオフセット値を容易に設定できることがわかる。

10

【 0 0 6 1 】

以上、本発明の種々の実施例を説明してきたが、これまで各個に述べてきた実施例を、各々組み合わせて本発明を実施することももちろん可能である。

【 0 0 6 2 】

【 発明の効果 】

以上述べた様に、本発明によれば、ビット線読出し電位に対する依存性の小さいオフセット値が簡単に得られるので、メモリセルの試験において、オフセットが効きすぎて、本来は信頼性上問題のないレベルにある強誘電体メモリまで不良と選別されたり、逆にオフセットが効かず、信頼性上問題ある強誘電体メモリが選別されなかったりするという問題を有効に解決可能となるという効果がある。

20

【 図面の簡単な説明 】

【 図 1 】本発明の実施例であるオフセット付加回路を搭載した強誘電体メモリ装置の第 1 の例を示す図である。

【 図 2 】図 1 の回路を用いてオフセット付加を行う動作方式のタイミングチャートの第 1 の例を示す図である。

【 図 3 】図 1 の回路を用いてオフセット付加を行う動作方式のタイミングチャートの第 2 の例を示す図である。

30

【 図 4 】図 1 の回路を用いてオフセット付加を行う動作方式のタイミングチャートの第 3 の例を示す図である。

【 図 5 】本発明の実施例であるオフセット付加回路を搭載した強誘電体メモリ装置の第 2 の例を示す図である。

【 図 6 】本発明の実施例であるオフセット付加回路を搭載した強誘電体メモリ装置の第 3 の例を示す図である。

【 図 7 】本発明の方式により発生したオフセット量と従来方式により発生したオフセット量とを比較したグラフである。

【 図 8 】強誘電体メモリ回路全体構成の例を示す図である。

【 図 9 】図 8 の回路の動作タイミングチャートである。

40

【 図 1 0 】従来のオフセット回路例を示す図である。

【 図 1 1 】図 1 0 の回路により発生されるオフセット量を示すグラフである。

【 符号の説明 】

1 テスト指令用ピン

2 有効化部

3 オフセット回路制御部

W L j ワード線

P L j プレート線

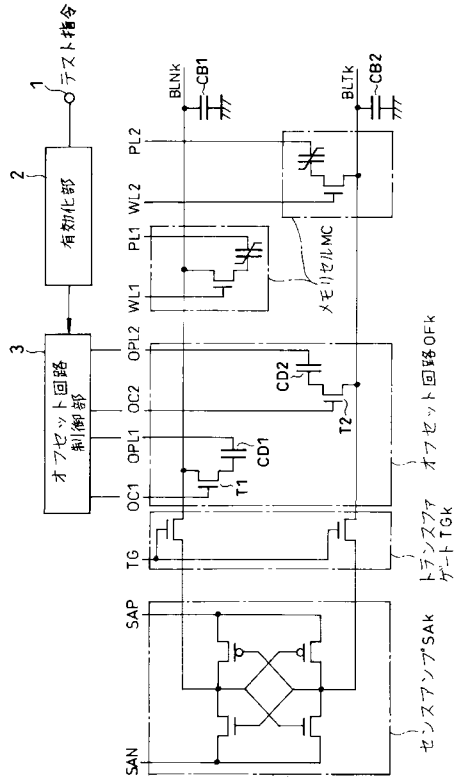
B L N k , B L T k ビット線

Y S W k Y 選択信号

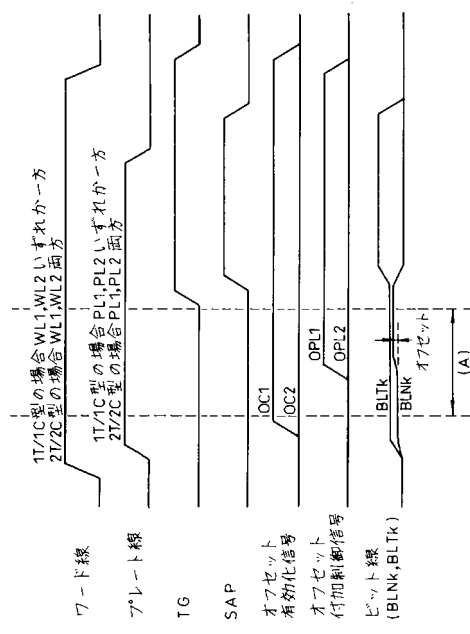
50

P B L	ビット線プリチャージ信号	
S A E	センスアンプ活性化信号	
S A N , S A P	センスアンプ活性化信号	
T G	トランスファゲート信号	
D W L N , D W L T	ダミーワード線	
I O N , I O T	I/Oバス	
A i	アドレス信号	
X P a	Xアドレスプリデコード信号	
Y P b	Yアドレスプリデコード信号	
O C 1 , O C 2	オフセット有効化信号	10
O P L 1 , O P L 2	オフセット付加制御信号	
O C 1 B , O C 2 B	オフセット回路待機時電位制御信号	
V S	オフセット回路待機時電位	
M C A	F e R A Mセルアレイ	
M C j k	F e R A Mセル	
D C N k , D C T k	ダミーメモリセル	
P B L k	ビット線プリチャージ回路	
S A k	センスアンプ回路	
T G k	トランスファゲート回路	
Y S T k	Y選択トランスファゲート	20
X D E C	Xデコーダ	
P L D E C	プレートデコーダ	
Y D E C	Yデコーダ	
D W L D E C	ダミーメモリセル制御回路	
P B L C	ビット線プリチャージ制御回路	
S A D R V	センスアンプ制御回路	
A D P D E C	アドレスプリデコーダ	
O F k	オフセット回路	
T 1 , T 2 , T R 1 , T R 2 , T R 3 , T R 4	オフセット回路を構成する トランジスタ	30
T R 5 , T R 6 , T R 7 , T R 8	センスアンプ回路を構成するトランジスタ	
T S 1 , T S 2	オフセット回路内節点の待機時電位を補償するトランジスタ	
C B	ビット線寄生容量値	
C D 1 , C D 2	オフセット回路内キャパシタの静電容量値	

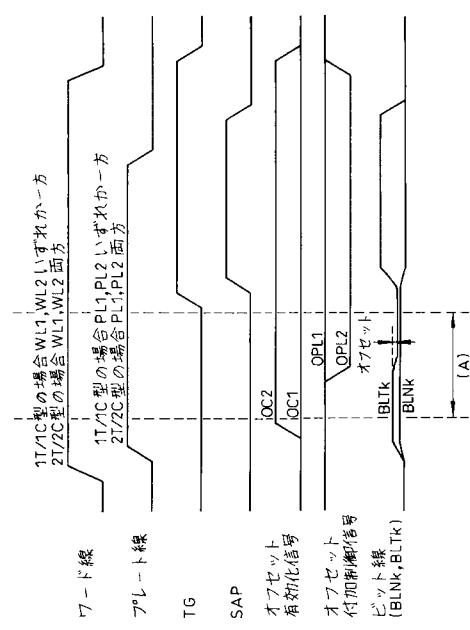
【 図 1 】



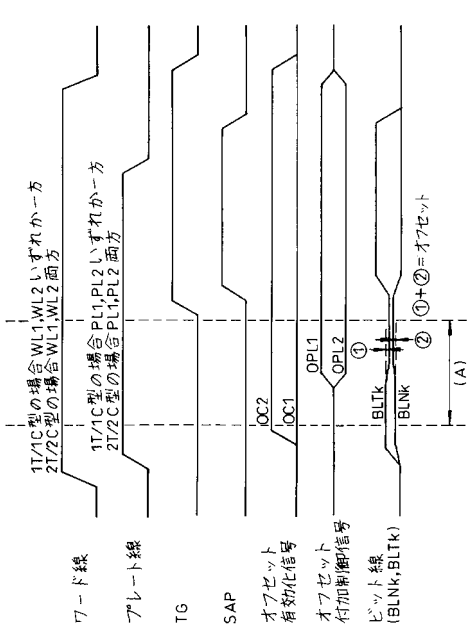
【 図 2 】



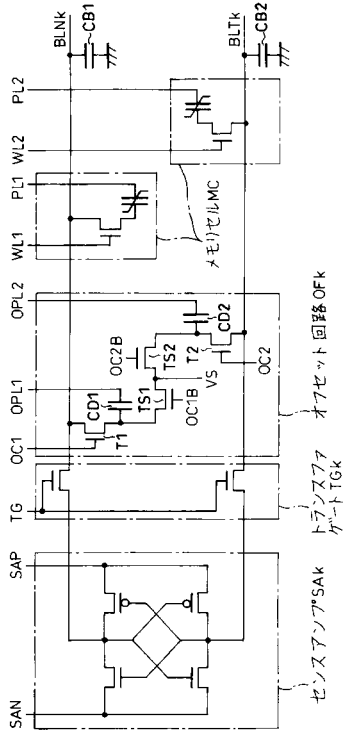
【 図 3 】



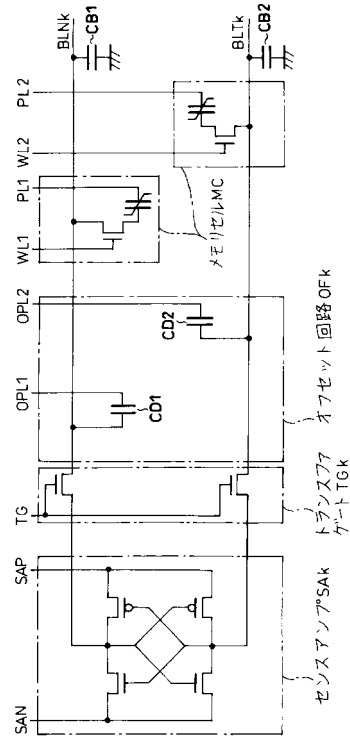
【 図 4 】



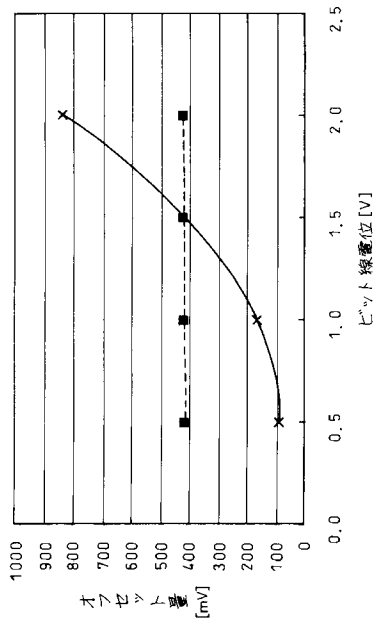
【 図 5 】



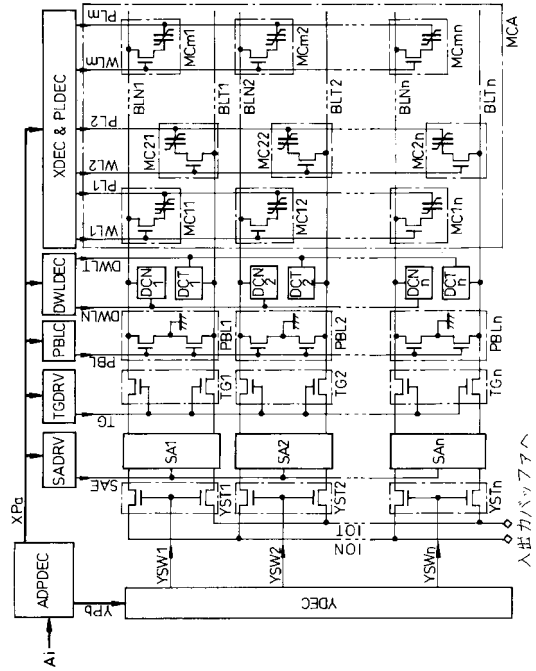
【 図 6 】



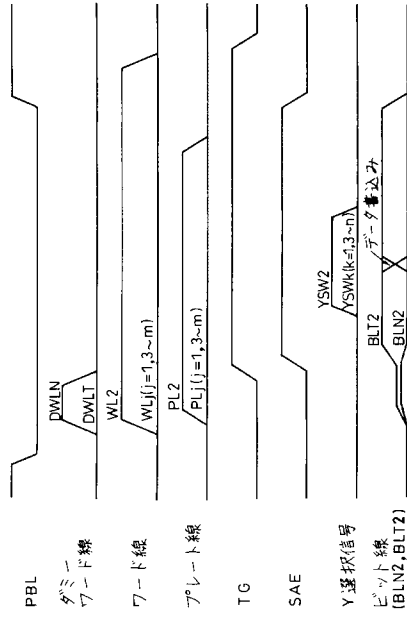
【 図 7 】



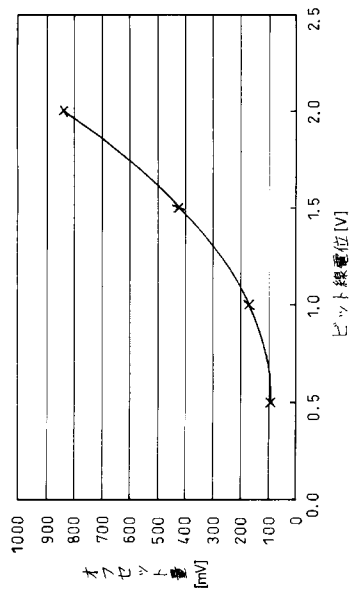
【 図 8 】



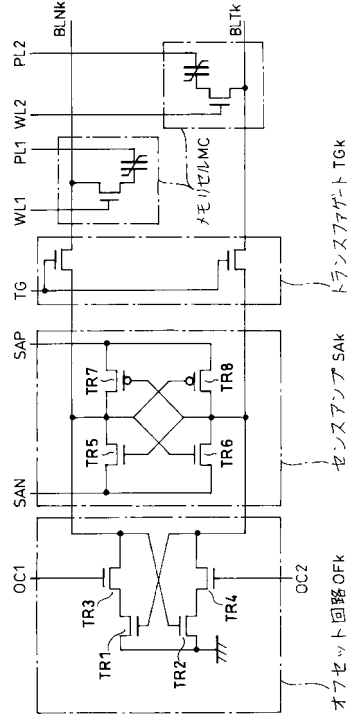
【 図 9 】



【 図 11 】



【 図 10 】



フロントページの続き

- (56)参考文献 特開平05 - 036273 (JP, A)
特開平11 - 149796 (JP, A)
特開平08 - 185694 (JP, A)
特開平08 - 185693 (JP, A)
特開平06 - 124600 (JP, A)
特開平10 - 247399 (JP, A)
特開平09 - 097496 (JP, A)
特開平10 - 233100 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)

G11C 29/00

G11C 11/22