

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5645513号
(P5645513)

(45) 発行日 平成26年12月24日 (2014.12.24)

(24) 登録日 平成26年11月14日 (2014.11.14)

(51) Int.Cl.	F I
HO 4 N 5/369 (2011.01)	HO 4 N 5/335 6 9 0
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A

請求項の数 8 (全 23 頁)

(21) 出願番号	特願2010-155256 (P2010-155256)	(73) 特許権者	000001007
(22) 出願日	平成22年7月7日 (2010.7.7)		キヤノン株式会社
(65) 公開番号	特開2012-19359 (P2012-19359A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成24年1月26日 (2012.1.26)	(74) 代理人	100076428
審査請求日	平成25年7月5日 (2013.7.5)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 固体撮像装置及び撮像システム

(57) 【特許請求の範囲】

【請求項 1】

光電変換素子をそれぞれ有する複数の画素と、前記光電変換素子を覆う遮光層とを備える固体撮像装置であって、

前記遮光層は、互いに隣接する前記光電変換素子の間の領域の少なくとも一部を覆い、
前記遮光層は、前記複数の画素のそれぞれの光電変換素子に対して、当該光電変換素子への入射光の一部分を遮るための遮光部と、前記入射光の別の一部分を通すための開口とを有し、

前記開口の形状は、第1方向に沿った部分と前記第1方向に交差する第2方向に沿った部分とを有する十字型の部分を含み、

前記光電変換素子は、

第1導電型の第1半導体領域と、

前記第1半導体領域の上に配されており、前記第1導電型とは異なる第2導電型の第2半導体領域と、

前記第2半導体領域の内側に配されており、前記第2半導体領域よりも不純物濃度が高い前記第2導電型の第3半導体領域と、を含み、

前記第3半導体領域は、平面視において前記十字型の部分の交差部に重なる第1部分と、平面視において前記第1部分から前記第1方向と前記第2方向とのそれぞれに向かって前記開口に重なって延びている複数の第2部分とを含む

ことを特徴とする固体撮像装置。

【請求項 2】

前記複数の画素のそれぞれは、前記光電変換素子で発生した電荷に応じた信号を信号線へ出力するための画素内読出回路をさらに有し、

前記光電変換素子は、前記第 3 半導体領域の内側に配されて前記画素内読出回路に接続されており、前記第 3 半導体領域よりも不純物濃度が高い前記第 2 導電型の第 4 半導体領域を含み、

前記第 3 半導体領域の前記第 1 部分の内側に前記第 4 半導体領域が配されることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

前記複数の第 2 部分のそれぞれは、前記第 1 部分から離れるほど幅が細くなることを特徴とする請求項 2 に記載の固体撮像装置。

10

【請求項 4】

前記第 4 半導体領域と前記画素内読出回路とを接続する配線パターンの一部は、平面視において前記開口に重なる位置に配される

ことを特徴とする請求項 2 又は 3 に記載の固体撮像装置。

【請求項 5】

前記複数の画素のそれぞれは、前記光電変換素子で発生した電荷に応じた信号を信号線へ出力するための画素内読出回路をさらに有し、

前記光電変換素子と前記画素内読出回路とを接続する配線パターンの一部は、平面視において前記開口に重なる位置に配される

20

ことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 6】

光電変換素子をそれぞれ有する複数の画素と、前記光電変換素子を覆う遮光層とを備える固体撮像装置であって、

前記遮光層は、互いに隣接する前記光電変換素子の間の領域の少なくとも一部を覆い、

前記遮光層は、前記複数の画素のそれぞれの光電変換素子に対して、当該光電変換素子への入射光の一部分を遮るための遮光部と、前記入射光の別の一部分を通すための開口とを有し、

前記開口の形状は、第 1 方向に沿った部分と前記第 1 方向に交差する第 2 方向に沿った部分とを有する十字型の部分を含み、

30

前記複数の画素のそれぞれは、前記光電変換素子で発生した電荷に応じた信号を信号線へ出力するための画素内読出回路をさらに有し、

前記光電変換素子と前記画素内読出回路とを接続する配線パターンの一部は、平面視において前記開口に重なる位置に配される

ことを特徴とする固体撮像装置。

【請求項 7】

前記光電変換素子の上にシンチレータをさらに備え、

前記シンチレータで変換された光は前記光電変換素子へ集光するためのマイクロレンズを介せずに前記光電変換素子へ照射される

ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の固体撮像装置。

40

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項に記載の固体撮像装置と、

前記固体撮像装置から出力される信号を処理するプロセッサとを備えることを特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は固体撮像装置及び撮像システムに関する。

【背景技術】

【0002】

50

放射線撮像装置では光電変換素子の一部を遮光層で覆う構成が知られている。特許文献 1 には、複数の光電変換部の重心を等間隔に並ばせるために、光電変換部を遮光する遮光部を設けることが記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2002 - 51262 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

10

特許文献 1 に記載された撮像装置では、互いに隣接する光電変換素子の間に遮光部が配されないため、互いに隣接する光電変換素子の間に入射した光によって発生した電荷がノイズの原因となる。本発明は、光電変換素子を覆う遮光層の新規なレイアウトを提供し、ノイズを低減した固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

上記課題に鑑みて、本発明の 1 つの側面に係る固体撮像装置は、光電変換素子をそれぞれ有する複数の画素と、前記光電変換素子を覆う遮光層とを備える固体撮像装置であって、前記遮光層は、互いに隣接する前記光電変換素子の間の領域の少なくとも一部を覆い、前記遮光層は、前記複数の画素のそれぞれの光電変換素子に対して、当該光電変換素子への入射光の一部分を遮るための遮光部と、前記入射光の別の一部分を通すための開口とを有し、前記開口の形状は、第 1 方向に沿った部分と前記第 1 方向に交差する第 2 方向に沿った部分とを有する十字型の部分を含み、前記光電変換素子は、第 1 導電型の第 1 半導体領域と、前記第 1 半導体領域の上に配されており、前記第 1 導電型とは異なる第 2 導電型の第 2 半導体領域と、前記第 2 半導体領域の内側に配されており、前記第 2 半導体領域よりも不純物濃度が高い前記第 2 導電型の第 3 半導体領域と、を含み、前記第 3 半導体領域は、平面視において前記十字型の部分の交差部に重なる第 1 部分と、平面視において前記第 1 部分から前記第 1 方向と前記第 2 方向とのそれぞれに向かって前記開口に重なって延びている複数の第 2 部分とを含むことを特徴とする。

20

本発明の別の側面に係る固体撮像装置は、光電変換素子をそれぞれ有する複数の画素と、前記光電変換素子を覆う遮光層とを備える固体撮像装置であって、前記遮光層は、互いに隣接する前記光電変換素子の間の領域の少なくとも一部を覆い、前記遮光層は、前記複数の画素のそれぞれの光電変換素子に対して、当該光電変換素子への入射光の一部分を遮るための遮光部と、前記入射光の別の一部分を通すための開口とを有し、前記開口の形状は、第 1 方向に沿った部分と前記第 1 方向に交差する第 2 方向に沿った部分とを有する十字型の部分を含み、前記複数の画素のそれぞれは、前記光電変換素子で発生した電荷に応じた信号を信号線へ出力するための画素内読出回路をさらに有し、前記光電変換素子と前記画素内読出回路とを接続する配線パターンの一部は、平面視において前記開口に重なる位置に配されることを特徴とする。

30

【発明の効果】

40

【0006】

上記手段により、光電変換素子を覆う遮光層の新規なレイアウトが提供され、ノイズを低減した固体撮像装置が提供される。

【図面の簡単な説明】

【0007】

【図 1】本発明の実施形態の固体撮像装置の概略構成例を説明する図。

【図 2】本発明の実施形態の撮像ブロックの構成例を説明する図。

【図 3】本発明の実施形態の画素の構成例を説明する図。

【図 4】本発明の実施形態のシフトレジスタの構成例を説明する図。

【図 5】本発明の実施形態のタイミングチャートの一例を説明する図。

50

【図 6】本発明の実施形態に係る光電変換素子 202 の構成例を説明する図。

【図 7】本発明の実施形態に係る光電変換素子 202 の平面図を説明する図。

【図 8】本発明の別の実施形態に係る光電変換素子 800 の平面図を説明する図。

【図 9】内部領域の形状による電荷収集速度の違いを説明する図。

【図 10】本発明の実施形態に係る光電変換素子 1000 の平面図を説明する図。

【図 11】放射線撮像システムを例示する図。

【発明を実施するための形態】

【0008】

図 1 を参照しながら本発明の 1 つの実施形態としての固体撮像装置 100 の概略構成を説明する。固体撮像装置 100 は、例えば、複数の撮像ブロック 101 を配列して構成されうる。この場合、複数の撮像ブロック 101 の配列によって 1 つの撮像領域を有するセンサパネル SP が形成されうる。複数の撮像ブロック 101 は、支持基板 102 の上に配置されうる。固体撮像装置 100 が 1 つの撮像ブロック 101 で構成される場合には、当該 1 つの撮像ブロック 101 によってセンサパネル SP が形成される。複数の撮像ブロック 101 の各々は、例えば、半導体基板に回路素子を形成したものであってもよいし、ガラス基板等の上に半導体層を形成し、その半導体層に回路素子を形成したものであってもよい。複数の撮像ブロック 101 の各々は、複数の行および複数の列を構成するように複数の画素が配列された画素アレイを有する。

10

【0009】

固体撮像装置 100 は、例えば、X 線等の放射線の像を撮像する装置として構成されてもよいし、可視光の像を撮像する装置として構成されてもよい。固体撮像装置 100 が放射線の像を撮像する装置として構成される場合は、典型的には、放射線を可視光に変換するシンチレータ 103 がセンサパネル SP の上に設けられうる。シンチレータ 103 は、放射線を可視光に変換し、この可視光がセンサパネル SP に入射し、センサパネル SP (撮像ブロック 101) の各光電変換素子によって光電変換される。

20

【0010】

次に、図 2 を参照しながら各撮像ブロック 101 の構成例を説明する。なお、固体撮像装置 100 が 1 つの撮像ブロック 101 で構成される場合には、1 つの撮像ブロック 101 を固体撮像装置として考えることができる。撮像ブロック 101 は、複数の行および複数の列を構成するように複数の画素 201 が配列され、複数の列信号線 208a が配置された画素アレイ GA を有する。複数の画素 201 の各々は、光電変換素子 (例えば、フォトダイオード) 202 と、光電変換素子 202 で発生した電荷に応じた信号 (光信号) を列信号線 208a に出力する画素内読出回路 203 とを含む。画素アレイ GA には、複数の列信号線 208b が更に配置されてもよく、画素内読出回路 203 は、画素内読出回路 203 のノイズを列信号線 208b に出力するように構成されうる。行方向に沿って隣接する 2 つの画素 201 のそれぞれにおける画素内読出回路 203 は、例えば、当該 2 つの画素 201 の境界線を対称軸として線対称に配置されうる。

30

【0011】

撮像ブロック 101 は、垂直走査回路 204 と水平走査回路 205 とを含む。垂直走査回路 204 は、例えば、隣接する 2 つの列の光電変換素子 202 の間に配置されうるが、画素アレイ GA における最も外側の列の光電変換素子 202 の外側に配置されてもよい。垂直走査回路 204 は、例えば、第 1 クロック CLK1 に従ってシフト動作する垂直シフトレジスタを含み、垂直シフトレジスタによるシフト動作に応じて画素アレイ GA における複数の行を走査する。垂直シフトレジスタは、複数のレジスタを直列接続して構成され、初段のレジスタによって取り込まれたパルスが第 1 クロック CLK1 に従って順次次段のレジスタに転送される。パルスを保持しているレジスタに対応する行が、選択されるべき行である。

40

【0012】

水平走査回路 205 は、例えば、隣接する 2 つの行の光電変換素子 202 の間に配置されうるが、画素アレイ GA における最も外側の行の光電変換素子 202 の外側に配置され

50

てもよい。水平走査回路205は、例えば、第2クロックCLK2に従ってシフト動作する水平シフトレジスタを含み、水平シフトレジスタによるシフト動作に応じて画素アレイGAにおける複数の列を走査する。水平シフトレジスタは、複数のレジスタを直列接続して構成され、初段のレジスタによって取り込まれたパルスが第2クロックCLK2に従って順次次段のレジスタに転送される。パルスを保持しているレジスタに対応する列が、選択されるべき列である。

【0013】

垂直走査回路204は、垂直シフトレジスタを構成するための1つのレジスタをそれぞれ含む複数の単位垂直走査回路VSRを垂直方向に配列して構成されうる。各単位垂直走査回路VSRは、ある列(図2では、最も左側の列(即ち、第1列)。)に属する画素の光電変換素子202とその列に隣接する列(図2では、左側から2番目の列(即ち、第2列)。)に属する画素の光電変換素子202とによって挟まれる領域に配置されうる。各単位垂直走査回路VSRは、垂直シフトレジスタを通してパルスが転送されてくると、それが属する行の画素201が選択されるように、行選択信号VSTをアクティブレベルに駆動する。選択された行の画素201の光信号、ノイズは、それぞれ列信号線208a、208bに出力される。ここで、図2では、列信号線208aと列信号線208bとが1本の線で示されている。水平走査回路205、垂直走査回路204の不図示の入力端子には、パルス信号(スタートパルス)PULSE1、PULSE2がそれぞれ供給される。

【0014】

水平走査回路205は、水平シフトレジスタを構成するための1つのレジスタをそれぞれ含む複数の単位水平走査回路HSRを水平方向に配列して構成されうる。各単位水平走査回路HSRは、1つの行(図2では、上から4番目の行(即ち、第4行)。)に属する隣接する2つの画素からなる各対(第1列の画素と第2列の画素からなる対、第3列の画素と第4列の画素からなる対、...)における2つの光電変換素子202によって挟まれる領域に配置されている。しかし、各単位水平走査回路HSRは、列方向に隣接する2つの画素における2つの光電変換素子202によって挟まれる領域には配置されていない。このような構成は、列方向における光電変換素子202間の隙間を小さくするために有利である。単位水平走査回路HSRは、水平シフトレジスタを通してパルスが転送されてくると、それが属する列が選択されるように、即ち、当該列の列信号線208a、208bが水平信号線209a、209bに接続されるようにスイッチ207を制御する。即ち、選択された行の画素201の光信号、ノイズが列信号線208a、208bに出力され、選択された列(即ち、選択された列信号線208a、208b)の信号が水平信号線209a、209bに出力される。これによりXYアドレッシングが実現される。水平信号線209a、209bは、出力アンプ210a、210bの入力に接続されていて、水平信号線209a、209bに出力された信号は、出力アンプ210a、210bによって増幅されてパッド211a、211bを通して出力される。

【0015】

画素アレイGAは、それぞれ画素201を含む複数の単位セル200が複数の行および複数の列を構成するように配列されたものとして考えることができる。単位セル200は、いくつかの種類を含みうる。ある単位セル200は、単位垂直走査回路VSRの少なくとも一部分を含む。図2に示す例では、2つの単位セル200の集合が1つの単位垂直走査回路VSRを含んでいるが、1つの単位セル200が1つの単位垂直走査回路VSRを含んでもよいし、3以上の複数の単位セル200の集合が1つの単位垂直走査回路VSRを含んでもよい。他の単位セル200は、単位水平走査回路HSRの少なくとも一部分を含む。図2に示す例では、1つの単位セル200が1つの単位水平走査回路HSRを含んでいるが、複数の単位セル200の集合が1つの単位水平走査回路VSRを含んでもよい。他の単位セル200は、単位垂直走査回路VSRの少なくとも一部分および単位水平走査回路HSRの少なくとも一部分を含む。他の単位セル200としては、出力アンプ210aの少なくとも一部分を含む単位セル、出力アンプ210bの少なくとも一部分を含む単位セル、スイッチ207を含む単位セルなどを挙げるができる。

【 0 0 1 6 】

図 3 を参照しながら各画素 2 0 1 の構成例を説明する。前述のとおり、画素 2 0 1 は、光電変換素子 2 0 2 と、画素内読出回路 2 0 3 とを含む。光電変換素子 2 0 2 は、典型的にはフォトダイオードでありうる。画素内読出回路 2 0 3 は、例えば、第 1 増幅回路 3 1 0、クランプ回路 3 2 0、光信号サンプルホールド回路 3 4 0、ノイズサンプルホールド回路 3 6 0、第 2 増幅回路の N M O S トランジスタ 3 4 3、3 6 3、行選択スイッチ 3 4 4、3 6 4 を含むうる。

【 0 0 1 7 】

光電変換素子 2 0 2 は、電荷蓄積部を含み、該電荷蓄積部は、第 1 増幅回路 3 1 0 の P M O S トランジスタ 3 0 3 のゲートに接続されている。P M O S トランジスタ 3 0 3 のソースは、P M O S トランジスタ 3 0 4 を介して電流源 3 0 5 に接続されている。P M O S トランジスタ 3 0 3 と電流源 3 0 5 とによって第 1 ソースフォロア回路が構成されている。P M O S トランジスタ 3 0 3 によってソースフォロア回路を構成することは、 $1/f$ ノイズの低減に有効である。P M O S トランジスタ 3 0 4 は、そのゲートに供給されるイネーブル信号 E N がアクティブレベルになるとオンして第 1 ソースフォロア回路を動作状態にするイネーブルスイッチである。第 1 増幅回路 3 1 0 は、電荷電圧変換部 C V C の電位に応じた信号を中間ノード n 1 に出力する。

【 0 0 1 8 】

図 3 に示す例では、光電変換素子 2 0 2 の電荷蓄積部および P M O S トランジスタ 3 0 3 のゲートが共通のノードを構成していて、このノードは、該電荷蓄積部に蓄積された電荷を電圧に変換する電荷電圧変換部 C V C として機能する。即ち、電荷電圧変換部 C V C には、該電荷蓄積部に蓄積された電荷 Q と電荷電圧変換部 C V C が有する容量値 C とによって定まる電圧 $V (= Q / C)$ が現れる。電荷電圧変換部 C V C は、リセットスイッチとしての P M O S トランジスタ 3 0 2 を介してリセット電位 V_{res} に接続されている。リセット信号 P R E S がアクティブレベルになると、P M O S トランジスタ 3 0 2 がオンして、電荷電圧変換部 C V C の電位がリセット電位 V_{res} にリセットされる。

【 0 0 1 9 】

クランプ回路 3 2 0 は、リセットした電荷電圧変換部 C V C の電位に応じて第 1 増幅回路 3 1 0 によって中間ノード n 1 に出力されるノイズをクランプ容量 3 2 1 によってクランプする。つまり、クランプ回路 3 2 0 は、光電変換素子 2 0 2 で光電変換により発生した電荷に応じて第 1 ソースフォロア回路から中間ノード n 1 に出力された信号から、このノイズをキャンセルするための回路である。この中間ノード n 1 に出力されるノイズはリセット時の $k T C$ ノイズを含む。クランプは、クランプ信号 P C L をアクティブレベルにして P M O S トランジスタ 3 2 3 をオン状態にした後に、クランプ信号 P C L を非アクティブレベルにして P M O S トランジスタ 3 2 3 をオフ状態にすることによってなされる。クランプ容量 3 2 1 の出力側は、P M O S トランジスタ 3 2 2 のゲートに接続されている。P M O S トランジスタ 3 2 2 のソースは、P M O S トランジスタ 3 2 4 を介して電流源 3 2 5 に接続されている。P M O S トランジスタ 3 2 2 と電流源 3 2 5 とによって第 2 ソースフォロア回路が構成されている。P M O S トランジスタ 3 2 4 は、そのゲートに供給されるイネーブル信号 E N 0 がアクティブレベルになるとオンして第 2 ソースフォロア回路を動作状態にするイネーブルスイッチである。

【 0 0 2 0 】

光電変換素子 2 0 2 で光電変換により発生した電荷に応じて第 2 ソースフォロア回路から出力される信号は、光信号として、光信号サンプリング信号 T S がアクティブレベルになることによってスイッチ 3 4 1 を介して容量 3 4 2 に書き込まれる。電荷電圧変換部 C V C の電位をリセットした直後に P M O S トランジスタ 3 2 3 をオン状態とした際に第 2 ソースフォロア回路から出力される信号は、ノイズである。このノイズは、ノイズサンプリング信号 T N がアクティブレベルになることによってスイッチ 3 6 1 を介して容量 3 6 2 に書き込まれる。このノイズには、第 2 ソースフォロア回路のオフセット成分が含まれる。

10

20

30

40

50

【 0 0 2 1 】

垂直走査回路 2 0 4 の単位垂直走査回路 V S R が行選択信号 V S T をアクティブレベルに駆動すると、容量 3 4 2 に保持された信号（光信号）が第 2 増幅回路の N M O S トランジスタ 3 4 3 および行選択スイッチ 3 4 4 を介して列信号線 2 0 8 a に出力される。また、同時に、容量 3 6 2 に保持された信号（ノイズ）が第 2 増幅回路の N M O S トランジスタ 3 6 3 および行選択スイッチ 3 6 4 を介して列信号線 2 0 8 b に出力される。第 2 増幅回路の N M O S トランジスタ 3 4 3 は、列信号線 2 0 8 a に設けられた不図示の定電流源とソースフォロア回路を構成する。同様に、第 2 増幅回路の N M O S トランジスタ 3 6 3 は列信号線 2 0 8 b に設けられた不図示の定電流源とソースフォロア回路を構成する。

【 0 0 2 2 】

10

画素 2 0 1 は、隣接する複数の画素 2 0 1 の光信号を加算する加算スイッチ 3 4 6 を有してもよい。加算モード時には、加算モード信号 A D D がアクティブレベルになり、加算スイッチ 3 4 6 がオン状態になる。これにより、隣接する画素 2 0 1 の容量 3 4 2 が加算スイッチ 3 4 6 によって相互に接続されて、光信号が平均化される。同様に、画素 2 0 1 は、隣接する複数の画素 2 0 1 のノイズ信号を加算する加算スイッチ 3 6 6 を有してもよい。加算スイッチ 3 6 6 がオン状態になると、隣接する画素 2 0 1 の容量 3 6 2 が加算スイッチ 3 6 6 によって相互に接続されて、ノイズが平均化される。

【 0 0 2 3 】

画素 2 0 1 は、感度を変更するための機能を有してもよい。画素 2 0 1 は、例えば、第 1 感度変更スイッチ 3 8 0 および第 2 感度変更スイッチ 3 8 2、並びにそれらに付随する回路素子を含みうる。第 1 変更信号 W I D E 1 がアクティブレベルになると、第 1 感度変更スイッチ 3 8 0 がオンして、電荷電圧変換部 C V C の容量値に第 1 付加容量 3 8 1 の容量値が追加される。これによって画素 2 0 1 の感度が低下する。第 2 変更信号 W I D E 2 がアクティブレベルになると、第 2 感度変更スイッチ 3 8 2 がオンして、電荷電圧変換部 C V C の容量値に第 2 付加容量 3 8 3 の容量値が追加される。これによって画素 2 0 1 の感度が更に低下する。

20

【 0 0 2 4 】

このように画素 2 0 1 の感度を低下させる機能を追加することによって、より大きな光量を受光することが可能となり、ダイナミックレンジを広げることができる。第 1 変更信号 W I D E 1 がアクティブレベルになる場合には、イネーブル信号 E N w をアクティブレベルにして、P M O S トランジスタ 3 0 3 に加えて P M O S トランジスタ 3 8 5 をソースフォロア動作させてもよい。

30

【 0 0 2 5 】

垂直走査回路 2 0 4 は、種々の構成を有しうるが、例えば、図 4 (a) に示された構成を有しうる。図 4 (a) に示された垂直走査回路 2 0 4 は、各单位垂直走査回路 V S R が 1 つの D 型フリップフロップ 4 0 1 を含み、D 型フリップフロップ 4 0 1 のクロック入力に対して第 1 クロック C L K 1 が供給される。初段の単位垂直走査回路 V S R の D 型フリップフロップ 4 0 1 の D 入力には、パルス信号 P U L S E 1 が供給され、第 1 クロック C L K 1 によって第 1 パルス信号 P U L S E 1 が取り込まれる。初段の D 型フリップフロップ 4 0 1 は、第 1 クロック C L K 1 の 1 周期分の長さを有するパルス信号を Q 出力から出力する。各单位垂直走査回路 V S R の D 型フリップフロップ 4 0 1 の Q 出力は、その単位垂直走査回路 V S R が属する行を選択するために使用され、例えば、バッファ 4 0 2 を介して行選択信号 V S T として出力される。各单位垂直走査回路 V S R の D 型フリップフロップ 4 0 1 の Q 出力は、次段の単位垂直走査回路 V S R の D 型フリップフロップ 4 0 1 の D 入力に接続されている。

40

【 0 0 2 6 】

水平走査回路 2 0 5 は、種々の構成を有しうるが、例えば、図 4 (b) に示された構成を有しうる。図 4 (b) に示された水平走査回路 2 0 5 は、各单位垂直走査回路 H S R が 1 つの D 型フリップフロップ 4 1 1 を含み、D 型フリップフロップ 4 1 1 のクロック入力に対して第 2 クロック C L K 2 が供給される。初段の単位水平走査回路 H S R の D 型フリ

50

ップフロップ 4 1 1 の D 入力には、第 2 パルス信号 P U L S E 2 が供給され、第 2 クロック C L K 2 によって第 2 パルス信号 P U L S E 2 が取り込まれる。初段の単位水平走査回路 H S R は、第 2 クロック C L K 2 の 1 周期分の長さを有するパルス信号を Q 出力から出力する。各単位水平走査回路 H S R の Q 出力は、その単位水平走査回路 H S R が属する列を選択するために使用され、例えば、バッファ 4 1 2 を介して列選択信号 H S T として出力される。各単位水平走査回路 H S R の D 型フリップフロップ 4 1 1 の Q 出力は、次段の単位水平走査回路 H S R の D 型フリップフロップ 4 1 1 の D 入力に接続されている。ここで、垂直走査回路 2 0 4 による走査期間である垂直走査期間は、水平走査回路 2 0 5 による水平走査期間に画素アレイ G A の行数を乗じた時間である。そして、水平走査期間は、画素アレイ G A の全ての列を走査するために要する期間である。よって、列を選択する列選択信号 H S T を発生する水平走査回路 2 0 5 に供給される第 2 クロック C L K 2 の周波数は、行を選択する行選択信号 V S T を発生する垂直走査回路 2 0 4 に供給される第 1 クロック C L K 1 の周波数よりも遙かに高い。

【 0 0 2 7 】

図 5 を参照しながら各画素 2 0 1 に供給される主な信号について説明する。リセット信号 P R E S 、イネーブル信号 E N 、クランプ信号 P C L 、光信号サンプリング信号 T S 、ノイズサンプリング信号 T N は、ローアクティブの信号である。イネーブル信号 E N 0 は、図 5 に示されていないが、イネーブル信号 E N と同様の信号でありうる。イネーブル信号 E N w は、図 5 に示されていないが、第 1 変更信号 W I D E 1 がアクティブにされる場合には、イネーブル信号 E N と同様に遷移しうる。

【 0 0 2 8 】

まず、画素アレイ G A の全ての行についてイネーブル信号 E N がアクティブになり、次いで、光信号サンプリング信号 T S がパルス状にアクティブレベルになって、光信号が容量 3 4 2 に書き込まれる。次いで、リセット信号 P R E S がパルス状にアクティブレベルになって、電荷電圧変換部 C V C の電位がリセットされる。次いで、クランプ信号 P C L がパルス状にアクティブレベルになる。クランプ信号 P C L がアクティブレベルであるときに、ノイズサンプリング信号 T N がパルス状にアクティブレベルになって、ノイズが容量 3 6 2 に書き込まれる。

【 0 0 2 9 】

その後、垂直走査回路 2 0 4 の第 1 行に対応する単位垂直走査回路 V S R がその行選択信号 V S T (V S T 0) をアクティブレベルにする。これは、垂直走査回路 2 0 4 が画素アレイ G A の第 1 行を選択することを意味する。この状態で、水平走査回路 2 0 5 の第 1 列から最終列に対応する単位水平走査回路 H S R が列選択信号 H S T (H S T 0 ~ H S T n) をアクティブレベルにする。これは、水平走査回路 2 0 5 が画素アレイ G A の第 1 列から最終列までを順に選択することを意味する。これにより、出力アンプ 2 1 0 a 、 2 1 0 b から画素アレイ G A の第 1 行における第 1 列から最終列までの画素の光信号、ノイズが出力される。その後、垂直走査回路 2 0 4 の第 2 行に対応する単位垂直走査回路 V S R がその行選択信号 V S T (V S T 1) をアクティブレベルにする。水平走査回路 2 0 5 の第 1 列から最終列に対応する単位水平走査回路 H S R が列選択信号 H S T (H S T 0 ~ H S T n) をアクティブレベルにする。このような動作を最終行まで行うことによって 1 つの画像が画素アレイ G A から出力される。

【 0 0 3 0 】

図 6 を参照しながら光電変換素子 2 0 2 の構成例を説明する。撮像ブロック 1 0 1 は、例えば、第 2 導電型の半導体部材 (不図示) の上に第 2 導電型の半導体層 6 2 0 をエピタキシャル成長させた基板に形成されうる。各素子は、素子分離部 6 3 0 によって相互に分離される。各画素 2 0 1 の光電変換素子 2 0 2 は、例えば、半導体層 6 2 0 の中に形成された第 1 導電型の不純物領域 (ウェル) 6 0 1 (第 1 半導体領域) と、不純物領域 6 0 1 の上に配置された不純物領域 6 1 6 及び内部領域 6 0 2 を有する。不純物領域 6 1 6 (第 2 半導体領域) と内部領域 6 0 2 (第 3 半導体領域) とはどちらも第 2 導電型の不純物領域である。内部領域 6 0 2 は、第 2 導電型を形成するための不純物濃度が不純物領域 6 1

10

20

30

40

50

6 よりも高く、周囲を不純物領域 6 1 6 によって囲まれている。すなわち、不純物領域 6 1 6 の内側に内部領域 6 0 2 が配されている。内部領域 6 0 2 の内側には、第 2 導電型の不純物領域である電極領域 6 0 3 (第 4 半導体領域) が配置されている。電極領域 6 0 3 は、第 2 導電型を形成するための不純物濃度が内部領域 6 0 2 よりも高い。不純物領域 6 1 6 及び内部領域 6 0 2 の上に第 1 導電型の不純物領域 6 0 4 (第 5 半導体領域) が配置されている。第 2 導電型の不純物領域 6 0 2、6 1 6、6 0 3 と第 1 導電型の不純物領域 6 0 1、6 0 4 とによって埋め込み型のフォトダイオードが形成されている。この場合に、光電変換素子 2 0 2 は完全空乏型でありうる。光電変換素子 2 0 2 が完全空乏型であるとは、第 2 導電型の不純物領域 6 0 2、6 1 6 の全領域が空乏化することを意味する。本実施形態では光電変換素子 2 0 2 の電荷蓄積部は電荷電圧変換部 C V C として機能する。電荷電圧変換部 C V C がリセットされた際に、光電変換素子 2 0 2 が完全空乏化しうる。また、光電変換素子 2 0 2 は完全空乏型でない場合でも、第 2 導電型の不純物領域 6 0 2、6 1 6 の大部分が空乏化することが望ましい。

10

【0031】

第 1 導電型の不純物領域 6 0 1 の周囲のうち上側部分は第 1 導電型の不純物領域 6 0 6 によって囲まれている。不純物領域 6 0 6 には、第 1 導電型のコンタクト領域 6 0 9 が設けられている。不純物領域 6 0 6 の周囲には、第 2 導電型の不純物領域 6 1 1 が配置されている。本実施形態では光電変換素子 2 0 2 がフォトダイオードであり、フォトダイオードの一方の端子である不純物領域 6 0 1 には、不純物領域 6 0 6 を介して所定の電位が印加される。光電変換素子 2 0 2 に光が入射し光電変換によって発生した電荷は、内部領域 6 0 2、不純物領域 6 1 6、更に電極領域 6 0 3 に収集される。光電変換素子 2 0 2 ののもう一つの電極としての電極領域 6 0 3 は、プラグ 6 1 2、第 1 金属層 6 1 3、プラグ 6 1 4 及び第 2 金属層に形成された配線パターン 6 1 5 を介して画素内読出回路 2 0 3 に接続されている。上記の例では第 1 導電型を P 型とし、第 2 導電型を N 型としてもよく、その逆でもよい。図 6 に示した例では不純物領域 6 1 6 と内部領域 6 0 2 とが同じ接合深さであるが、不純物領域 6 1 6 が内部領域 6 0 2 より深くてもよいし、その逆でもよい。不純物領域 6 1 6 の接合深さが内部領域 6 0 2 よりも深い場合には、不純物領域 6 1 6 が内部領域 6 0 2 の下部に配されてもよい。

20

【0032】

単位セル 2 0 0 の上には第 3 金属層として遮光層 6 4 0 が配されている。遮光層 6 4 0 は、光電変換素子 2 0 2 を覆う位置において、遮光部 6 4 1 と開口 6 4 2 とを有しうる。遮光部 6 4 1 は、光電変換素子 2 0 2 への入射光の一部分を遮光する。一方、開口 6 4 2 は光電変換素子 2 0 2 を覆う位置に配置され、入射光の残り部分を通す。すなわち、開口 6 4 2 を通る入射光は光電変換素子 2 0 2 へ照射されうる。遮光層 6 4 0 は、互いに隣接する光電変換素子の間の領域の少なくとも一部に配されうる。互いに隣接する光電変換素子の間の領域の全部を覆うことが好ましいが、例えば単位垂直操作回路 V S R または画素内読出回路 2 0 3 のみを覆うように配されてもよい。光電変換素子 2 0 2 を覆う遮光層と、単位垂直操作回路 V S R を覆う遮光層と、画素内読出回路 2 0 3 を覆う遮光層とは同一層に形成されてもよいし、それぞれが別々の層に形成されてもよい。このように、互いに隣接する光電変換素子の間の領域の少なくとも一部に遮光層が配されることで、光電変換素子以外の領域で発生する電荷の量を低減することができる。

30

40

【0033】

次に、図 7 を参照しながら光電変換素子 2 0 2 の平面図を説明する。図 7 (a) は光電変換素子 2 0 2 の平面図を示し、図 7 (b) はこの平面図のうち内部領域 6 0 2 だけに注目した図である。前述の図 6 で説明された光電変換素子 2 0 2 は、図 7 (a) の A - A ' 線における断面図に対応する。図 7 (a) では不純物領域 6 1 6、内部領域 6 0 2 及び電極領域 6 0 3 の平面視における形状を把握しやすいように、不純物領域 6 0 4 が省略されている。また、図 7 (b) では等ポテンシャル線が破線で付加されている。以下、特に言及しない限り、単に「不純物領域の形状」と表す場合には、「不純物領域の平面視における形状」を意味する。図 7 (a) に示されるように、内部領域 6 0 2 は平面視で見た場合

50

に、不純物領域 6 1 6 の内側に配される。前述のように、本実施形態の光電変換素子 2 0 2 では、不純物領域 6 1 6、内部領域 6 0 2、電極領域 6 0 3 の順に不純物濃度が高くなっており、それによって電極領域 6 0 3 へ向かうポテンシャル勾配が形成される。不純物領域 6 1 6 の不純物濃度は好適には $1.0 \times 10^{15} \text{ cm}^{-3} \sim 1.0 \times 10^{17} \text{ cm}^{-3}$ である。内部領域 6 0 2 の不純物濃度は好適には $1.0 \times 10^{16} \text{ cm}^{-3} \sim 1.2 \times 10^{18} \text{ cm}^{-3}$ である。電極領域 6 0 3 の不純物濃度は好適には $1.0 \times 10^{19} \text{ cm}^{-3} \sim 5.0 \times 10^{19} \text{ cm}^{-3}$ である。遮光層 6 4 0 の遮光部 6 4 1 は光電変換素子 2 0 2 四隅を覆う位置に配置され、その結果として、開口 6 4 2 の形状は十字型の部分を含む。即ち、開口 6 4 2 の形状は、第 1 方向 7 0 3 に沿った部分と第 2 方向 7 0 4 に沿った部分とを含みうる。第 1 方向 7 0 3 と第 2 方向 7 0 4 とは交差し、例えば直交しうる。このように、光電変換素子 2 0 2 の一部を遮光部 6 4 1 で覆うことによって、光電変換素子 2 0 2 のダイナミックレンジを拡大しうる。ダイナミックレンジを拡大するために、放射線の光量を低減した場合には、各画素へのフォトンの平均個数が 1 個以下になる場合もありうる。そのため、入射するフォトンの時間的又は空間的な揺らぎの影響がノイズ（ショットノイズ）として出力画像に影響を与えてしまう場合がある。光電変換素子の一部を覆う遮光層を設ける構成によって、ショットノイズを低減するために、放射線光量をある程度に維持しつつ、光電変換素子へ入射する光量を低減させることが可能となる。また、開口 6 4 2 の形状が十字型の部分を含むため、入射光が光電変換素子 2 0 2 の内側に偏在する場合であっても、光電変換素子 2 0 2 の全面に照射される場合であっても、光電変換素子 2 0 2 は入射光を受光しうる。例えば、入射光を集光するためのマイクロレンズを固体撮像装置 1 0 0 が有しておらず、シンチレータ 1 0 3 で変換された可視光がマイクロレンズを介さずに光電変換素子 2 0 2 へ照射される場合に入射光が光電変換素子 2 0 2 の全面に照射されうる。また、固体撮像装置 1 0 0 がマイクロレンズを有しており、シンチレータ 1 0 3 で変換された可視光がマイクロレンズを介して集光されて光電変換素子 2 0 2 へ照射される場合に、入射光が光電変換素子 2 0 2 の内側に偏在しうる。

【 0 0 3 4 】

図 7 (b) に示されるように、内部領域 6 0 2 は点線で囲まれた第 1 部分 7 0 1 と、第 1 部分 7 0 1 から延びた複数の第 2 部分 7 0 2 とを含みうる。電極領域 6 0 3 は、平面視で見た場合に、この第 1 部分 7 0 1 の内側に含まれうる。第 1 部分 7 0 1 及び第 2 部分 7 0 2 は内部領域 6 0 2 の形状を説明するために便宜的に規定するものであり、内部領域 6 0 2 は一体の領域として形成されうる。本実施形態では、4 つの第 2 部分 7 0 2 が第 1 部分 7 0 1 から十字方向、すなわち隣り合う第 2 部分 7 0 2 同士が 9 0 度を成す方向に延びている。また、第 2 部分 7 0 2 の幅は一定である。内部領域 6 0 2 の形状は、不純物のイオン注入を行う際のフォトレジストマスクのパターンにより規定されうる。本実施形態では、内部領域 6 0 2 の形状を十字型にすることで、第 2 部分 7 0 2 が延びている方向について電荷の収集速度を高めつつ、内部領域 6 0 2 の面積が増大することを抑制しうる。内部領域 6 0 2 の不純物濃度は、不純物領域 6 1 6 の不純物濃度よりも高いため、内部領域 6 0 2 の面積が大きいほど光電変換素子 2 0 2 の空乏化電圧は高くなる。内部領域 6 0 2 の形状を十字型にすることで、光電変換素子 2 0 2 の空乏化電圧を低く抑えることができる。さらに、後述するように、内部領域 6 0 2 の形状が凸多角形である場合に比較して、内部領域 6 0 2 の形状を十字型とすることで、第 2 部分 7 0 2 が延びている方向からの電荷の収集速度が向上されうる。また、電極領域 6 0 3 は不純物領域 6 1 6 の中央に配されていてよい。これによって、電極領域 6 0 3 は各方向からの電荷を均等に収集しうる。

【 0 0 3 5 】

本実施形態では、開口 6 4 2 と内部領域 6 0 2 とが共に十字型の形状を含んでおり、これらが重なって配置されうる。すなわち、開口 6 4 2 のうち十字型の部分の交差部 7 1 0 と第 1 部分 7 0 1 とが平面視において重なっており、さらに第 2 部分 7 0 2 が開口 6 4 2 に重なって延びている。図 7 の例では、遮光部 6 4 1 が内部領域 6 0 2 と全く重なっていないが、遮光部 6 4 1 の一部と内部領域 6 0 2 の一部とが重なっていてもかまわない。こ

のように、開口 6 4 2 と内部領域 6 0 2 とを平面視において重ねて配置することにより、光電変換素子 2 0 2 へ入射光が照射される領域においては電荷の収集速度を向上させつつ、内部領域 6 0 2 の面積の増大を抑制できる。さらに、図 7 に示すように、配線パターン 6 1 5 が平面視で見た場合に開口 6 4 2 に重なる位置に配されてもよい。これにより、遮光層 6 4 0 と配線パターン 6 1 5 との間の寄生容量を低減しうる。遮光層 6 4 0 の表面は完全に均一とならない場合があるため、遮光層 6 4 0 と配線パターン 6 1 5 との間の寄生容量は画素によってばらつきを生じうる。遮光層 6 4 0 と配線パターン 6 1 5 との間の寄生容量を低減することによって、この画素間のばらつきを低減することが可能となる。

【 0 0 3 6 】

次に、図 8 を参照しながら本発明の別の実施形態による光電変換素子 8 0 0 の平面図を説明する。図 8 (a) は光電変換素子 8 0 0 の平面図を示し、図 8 (b) はこの平面図のうち内部領域 8 0 2 だけに注目した図である。光電変換素子 8 0 0 の有する内部領域 8 0 2 は、図 7 を用いて説明された光電変換素子 2 0 2 の内部領域 6 0 2 に対応し、その形状のみが異なっている。そこで、以下では光電変換素子 8 0 0 について、内部領域 8 0 2 の形状についてのみを説明し、光電変換素子 2 0 2 との共通部分についての説明を省略する。図 8 (a) では内部領域 8 0 2 の形状を把握しやすいように、遮光層 6 4 0 を透過的に図示しているが、実際には遮光層 6 4 0 により可視光が遮光される。

【 0 0 3 7 】

図 8 (b) に示されるように、内部領域 8 0 2 は点線で囲まれた第 1 部分 8 1 1 と、第 1 部分 8 1 1 から延びた複数の第 2 部分 8 1 2 とを含みうる。電極領域 6 0 3 はこの第 1 部分 8 1 1 の内側に含まれうる。第 1 部分 8 1 1 及び第 2 部分 8 1 2 は内部領域 8 0 2 の形状を説明するために便宜的に規定するものであり、内部領域 8 0 2 は一体の領域として形成されうる。本実施形態においても、4 つの第 2 部分 8 1 2 が第 1 部分 8 1 1 から十字方向に延びている。図 7 に示された実施形態とは異なり、第 2 部分 8 1 2 は先細りとなっている。すなわち、第 2 部分 8 1 2 は第 1 部分 8 1 1 から離れるほど幅が細くなっている。その結果として、第 2 部分 8 1 2 の先端部分の内角 8 1 3 は鋭角になりうる。本実施形態においても、開口 6 4 2 と内部領域 8 0 2 とが平面視で見た場合に重なって配置される。また、図 8 に示されるように遮光部 6 4 1 の一部と内部領域 8 0 2 の一部とが重なってもよいし、全く重ならなくてもよい。

【 0 0 3 8 】

次に、図 9 を参照しながら不純物領域の形状による電荷の収集速度の違いについて説明する。図 9 (a) ~ (c) はそれぞれ光電変換素子の平面図を縦横に 4 分割した右上部分に注目した図である。図 9 (a) は比較例として用いる光電変換素子 9 0 0 の平面図を表す。光電変換素子 9 0 0 は不純物領域 6 1 6、内部領域 9 0 1 及び電極領域 6 0 3 を含み、この順に不純物濃度が高くなっている。内部領域 9 0 1 の形状は凸多角形である。図 9 (b) は図 7 で説明した光電変換素子 2 0 2 であり、図 9 (c) は図 8 で説明された光電変換素子 8 0 0 である。それぞれの光電変換素子に対して、矢印 9 1 0 で示す位置（電極領域 6 0 3 の中心から右に 4 0 . 0 μm の位置）に配置した電子が一定時間でどこまでドリフトするかをシミュレーションした。図 9 (a) に示されるように、内部領域 9 0 1 が凸多角形の場合には、一定時間後に電子は矢印 9 1 1 で示す位置（電極領域 6 0 3 の中心から右に約 2 3 μm の位置）までドリフトした。図 9 (b) に示されるように、内部領域 6 0 2 が十字型の場合には、一定時間後に電子は矢印 9 1 2 で示す位置（電極領域 6 0 3 の中心から右に約 1 3 μm の位置）までドリフトした。図 9 (c) に示されるように、内部領域 8 0 2 が先細りの十字型の場合には、一定時間後に電子は矢印 9 1 3 で示す位置（電極領域 6 0 3 の中心から右に約 1 μm の位置）までドリフトした。このように、内部領域 6 0 2 の形状を十字型にすることによって、内部領域の第 2 部分が延びる方向についての電荷の収集速度を高めることができる。さらに、内部領域の第 2 部分を先細りにすることによって、その方向についての電荷の収集速度をさらに高めることができる。

【 0 0 3 9 】

次に、図 1 0 を参照しながら本発明のさらに別の実施形態について説明する。本実施形

10

20

30

40

50

態の光電変換素子 1 0 0 0 は遮光層 1 0 4 0 の形状のみが図 7 を用いて説明された光電変換素子 2 0 2 と異なる。そこで、以下では遮光層 1 0 4 0 の形状のみに注目して説明し、前述の光電変換素子 2 0 2 との共通部分の説明は省略する。図 1 0 においても見易さのために遮光層 1 0 4 0 を透過的に図示している。遮光層 1 0 4 0 は光電変換素子 1 0 0 0 を覆う位置において、遮光部 1 0 4 1 と開口 1 0 4 2 とを有しうる。遮光部 1 0 4 1 は、光電変換素子 1 0 0 0 への入射光の一部を遮光する。一方、開口 1 0 4 2 は光電変換素子 1 0 0 0 を覆う位置に配置され、入射光の残り部分を通す。すなわち、開口 1 0 4 2 を通る入射光は光電変換素子 1 0 0 0 へ照射されうる。光電変換素子 1 0 0 0 を覆う遮光層と、単位垂直操作回路 V S R を覆う遮光層と、画素内読出回路 2 0 3 を覆う遮光層とは同一層に形成されてもよいし、それぞれが別々の層に形成されてもよい。開口 1 0 4 2 は複数の開口を含んでおり、この複数の開口は周期的に分散されて配されている。それぞれの開口は同一の形状であってもよい。本実施形態では、光電変換素子 1 0 0 0 の一部を遮光部 1 0 4 1 で覆うことによって、光電変換素子 1 0 0 0 のダイナミックレンジを拡大しうる。

10

【 0 0 4 0 】

図 1 1 は本発明に係る固体撮像装置を X 線診断システム（放射線撮像システム）応用した例を示した図である。放射線撮像システムは、放射線撮像装置 6 0 4 0 と、放射線撮像装置 6 0 4 0 から出力される信号を処理するイメージプロセッサ 6 0 7 0 とを備える。放射線撮像装置 6 0 4 0 は、前述の固体撮像装置 1 0 0 を図 1（b）に例示されるように放射線を撮像する装置として構成したものである。X 線チューブ（放射線源）6 0 5 0 で発生した X 線 6 0 6 0 は患者あるいは被験者 6 0 6 1 の胸部 6 0 6 2 を透過し、放射線撮像装置 6 0 4 0 に入射する。この入射した X 線には被験者 6 0 6 1 の体内部の情報が含まれている。イメージプロセッサ（プロセッサ）6 0 7 0 は、放射線撮像装置 6 0 4 0 から出力される信号（画像）を処理し、例えば、処理によって得られた信号に基づいて制御室のディスプレイ 6 0 8 0 に画像を表示させることができる。

20

【 0 0 4 1 】

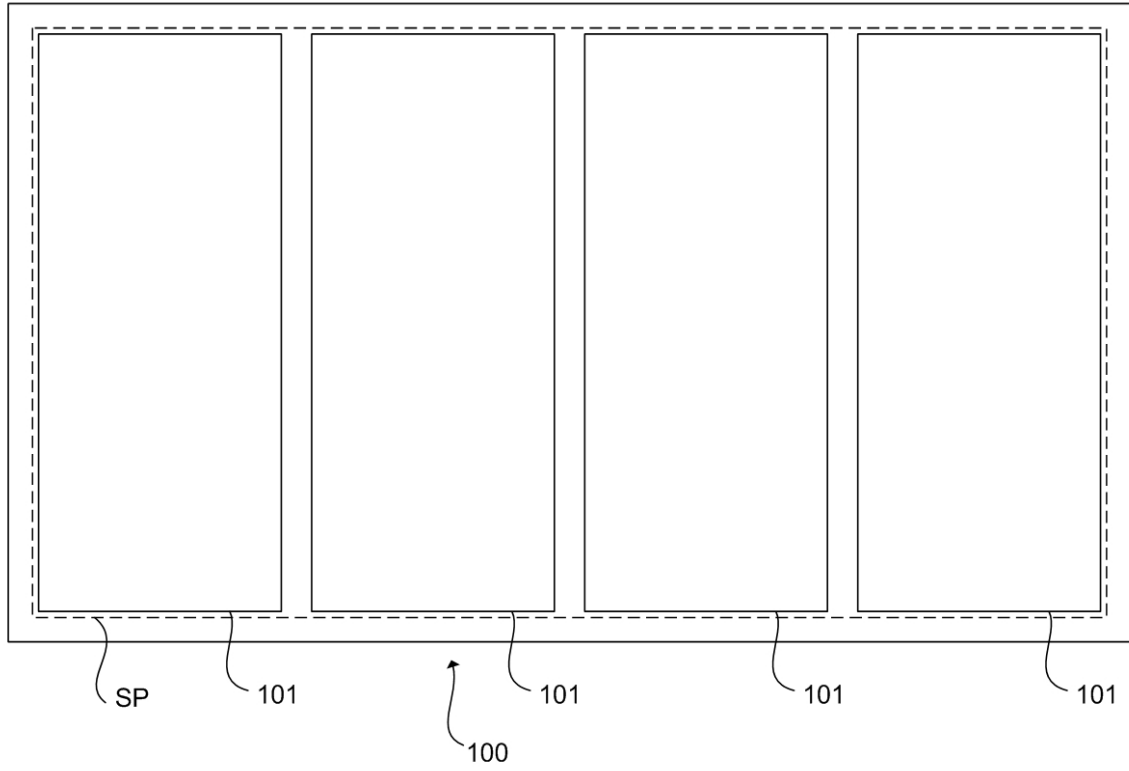
また、イメージプロセッサ 6 0 7 0 は、処理によって得られた信号を伝送路 6 0 9 0 を介して遠隔地へ転送することができる。これにより、別の場所のドクタールームなどに配置されたディスプレイ 6 0 8 1 に画像を表示させたり、光ディスク等の記録媒体に画像を記録したりすることができる。記録媒体は、フィルム 6 1 1 0 であってもよく、この場合、フィルムプロセッサ 6 1 0 0 がフィルム 6 1 1 0 に画像を記録する。

30

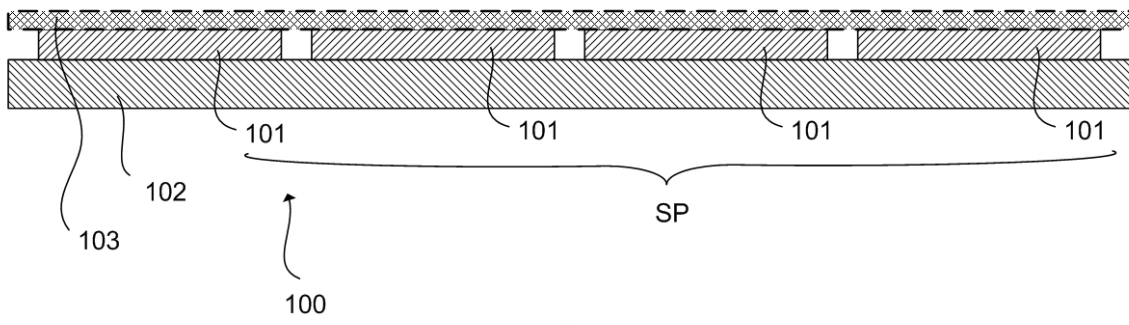
【 0 0 4 2 】

本発明に係る固体撮像装置は、可視光の像を撮像する撮像システムに応用することでもできる。そのような撮像システムは、例えば、固体撮像装置 1 0 0 と、固体撮像装置 1 0 0 から出力される信号を処理するプロセッサとを備えうる。該プロセッサによる処理は、例えば、画像の形式を変換する処理、画像を圧縮する処理、画像のサイズを変更する処理および画像のコントラストを変更する処理の少なくとも 1 つを含みうる。

【図 1】

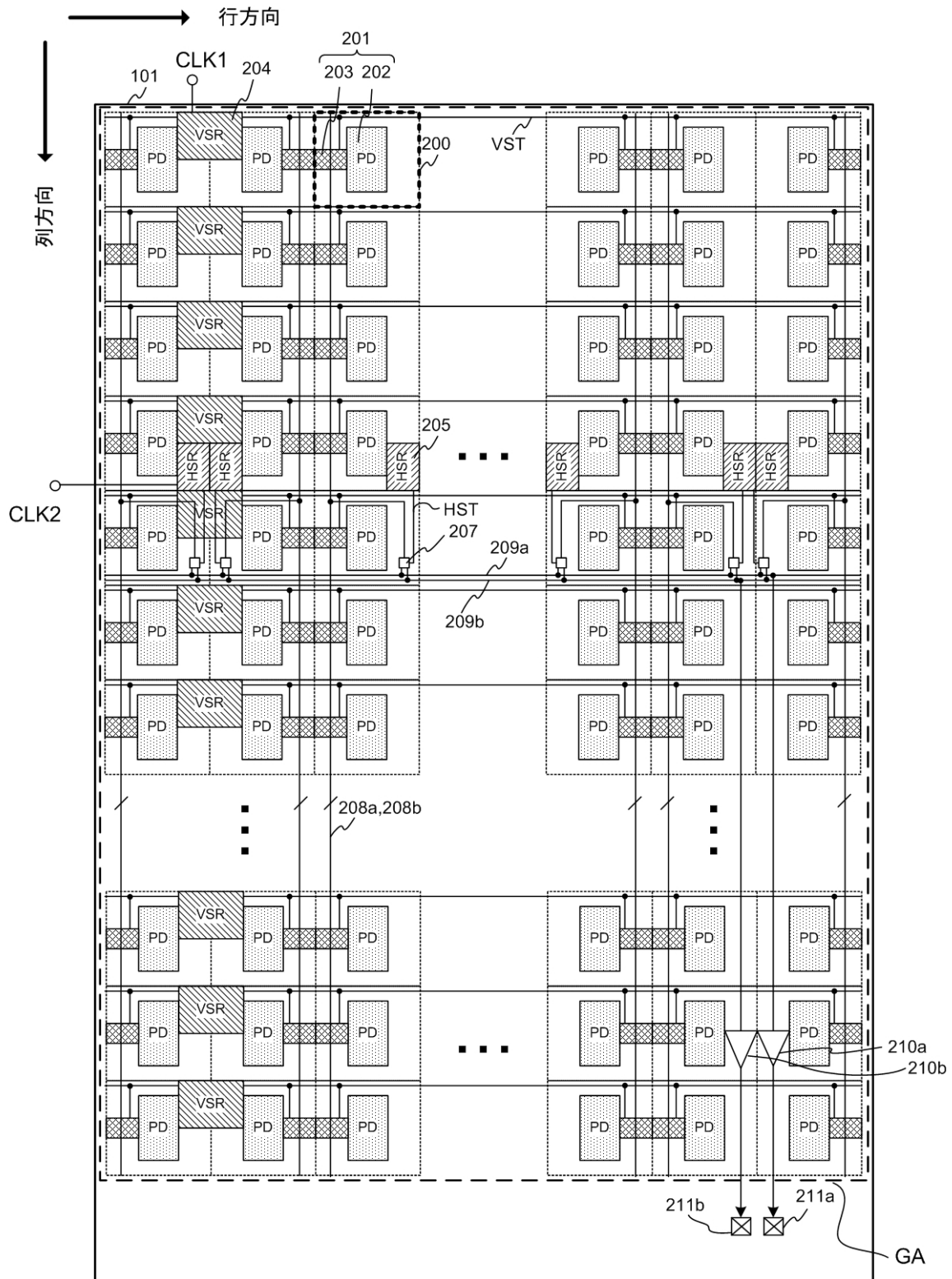


(a)

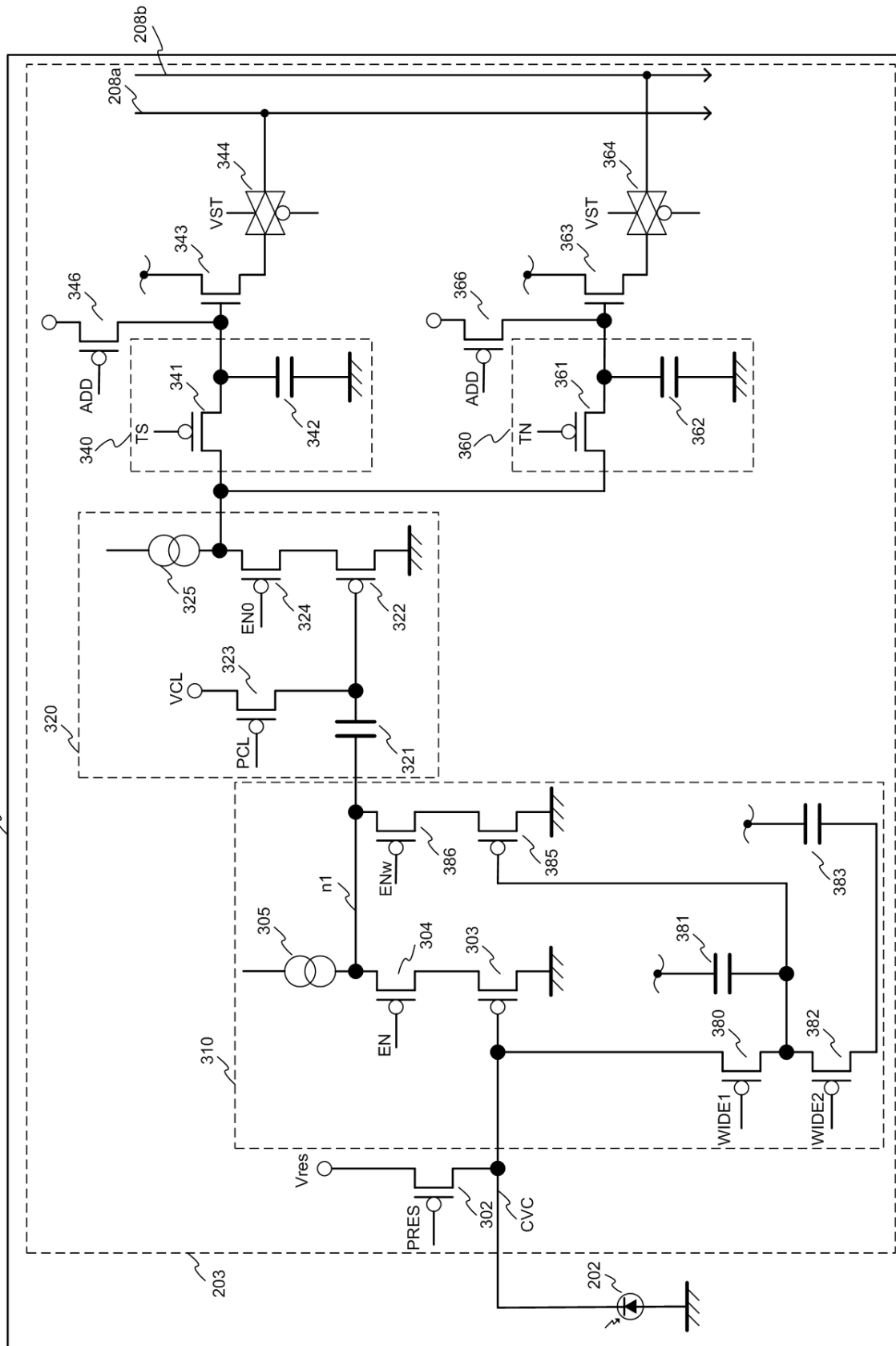


(b)

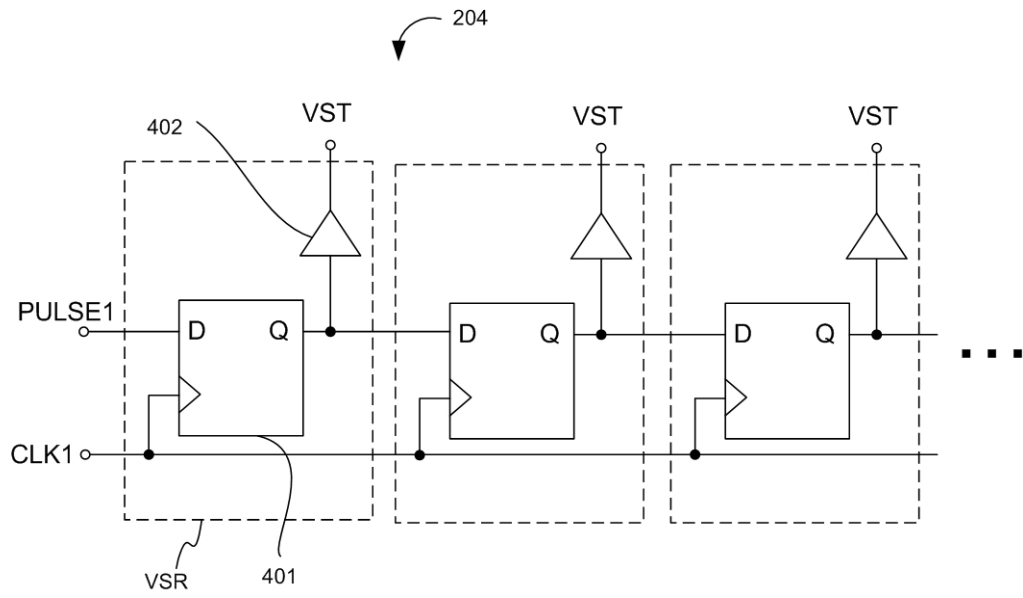
【図 2】



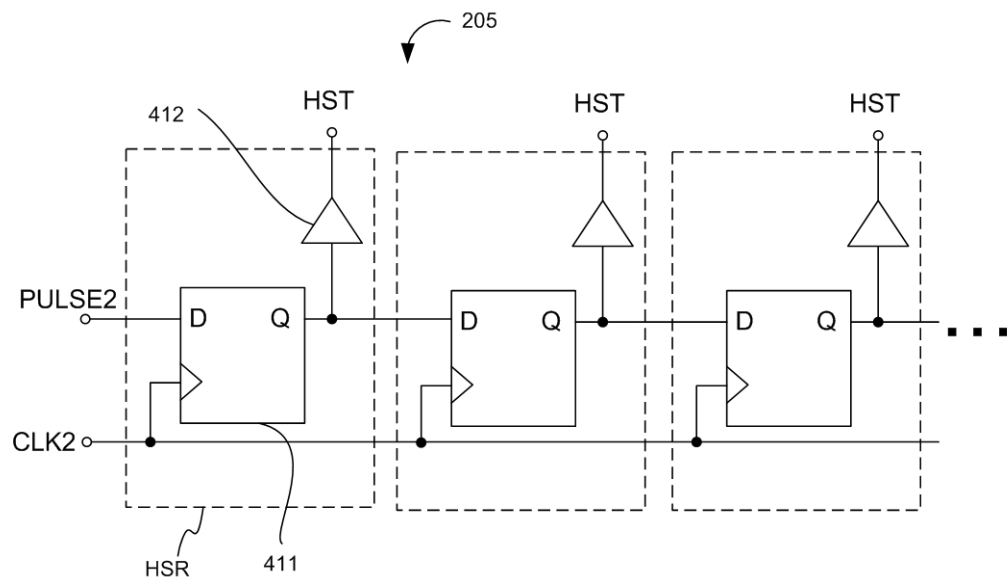
201



【図4】

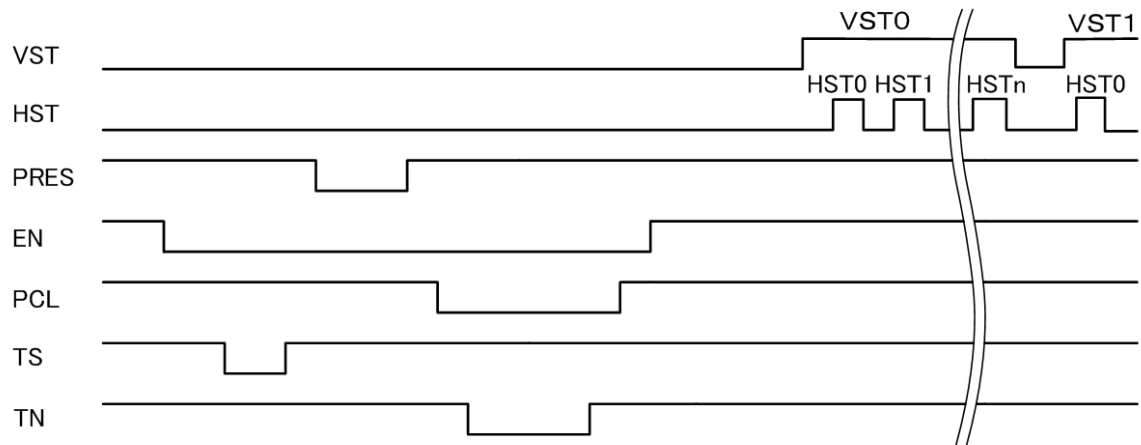


(a)

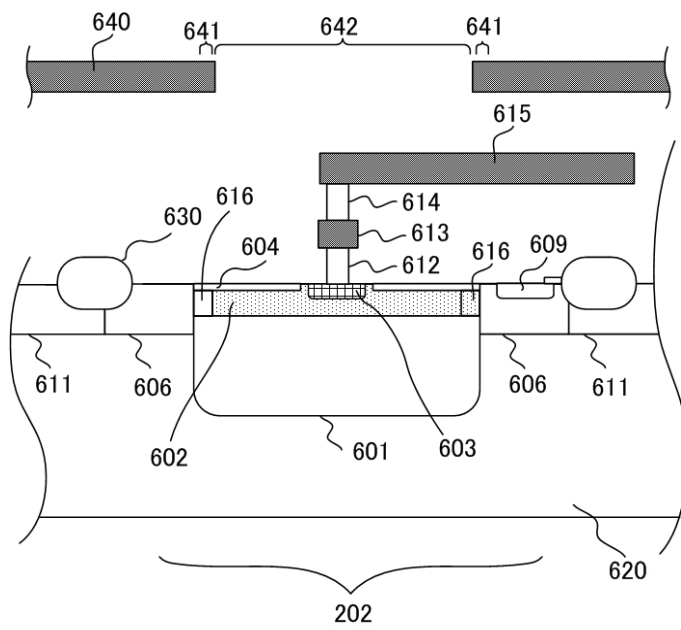


(b)

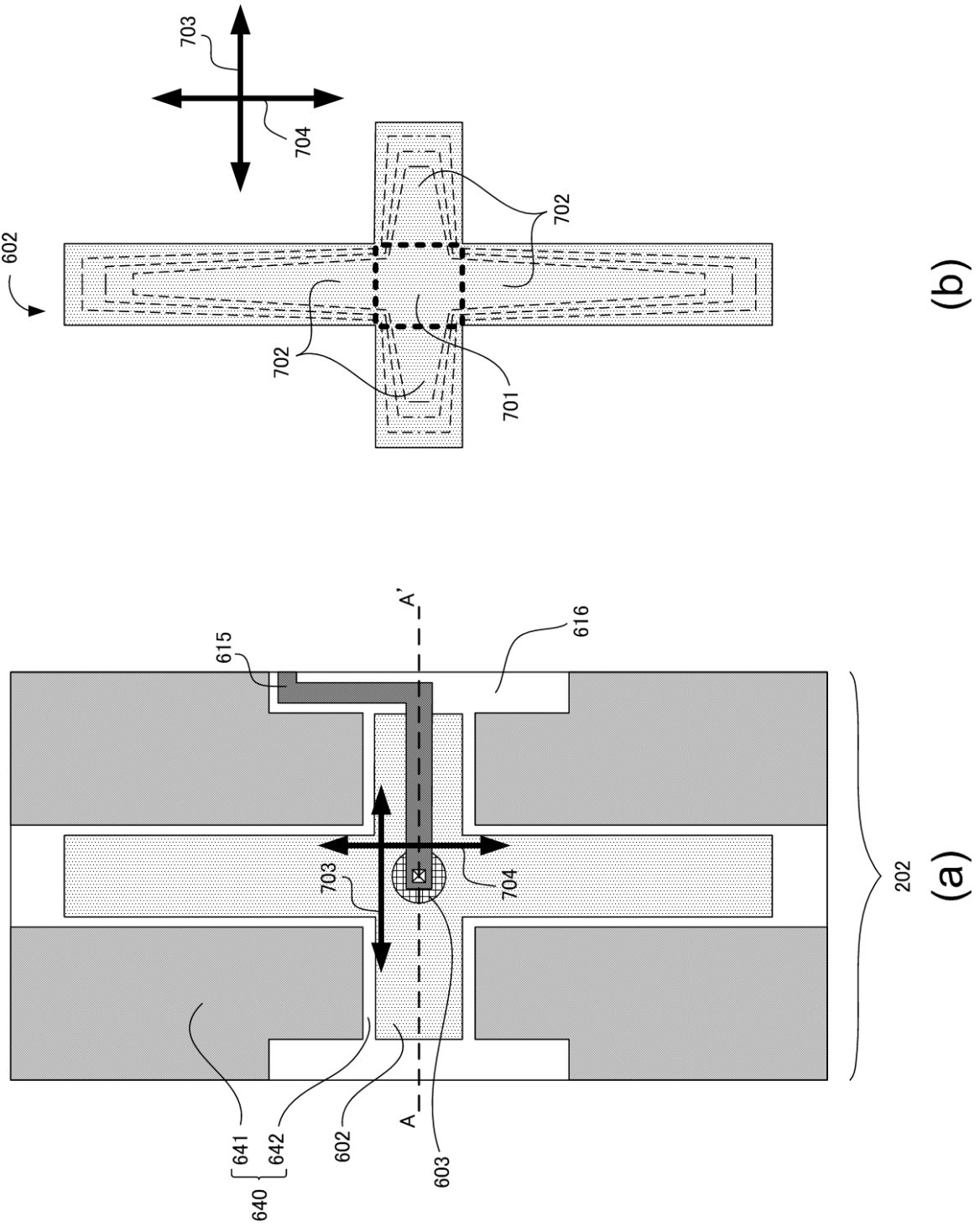
【図 5】



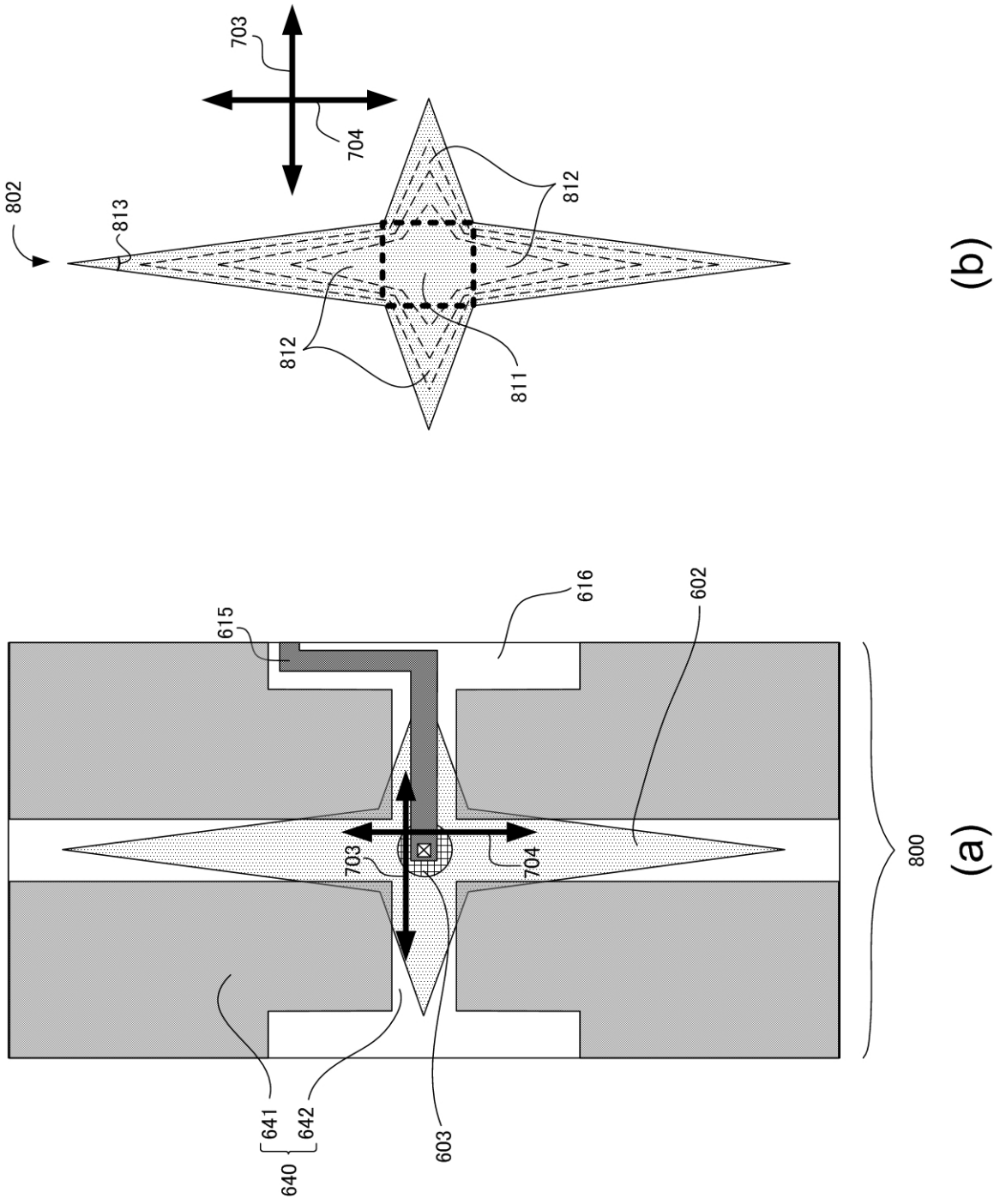
【図 6】



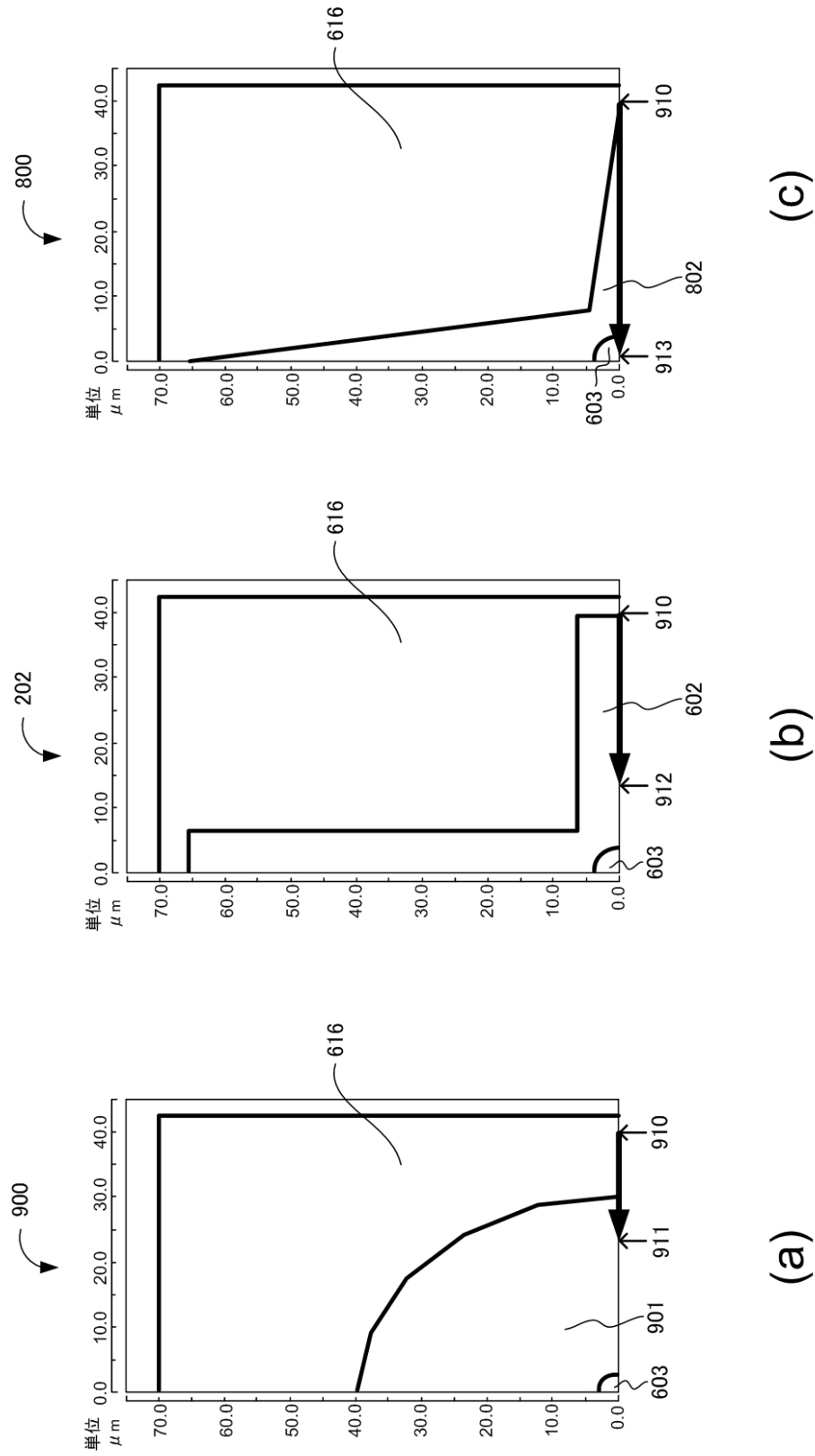
【図 7】



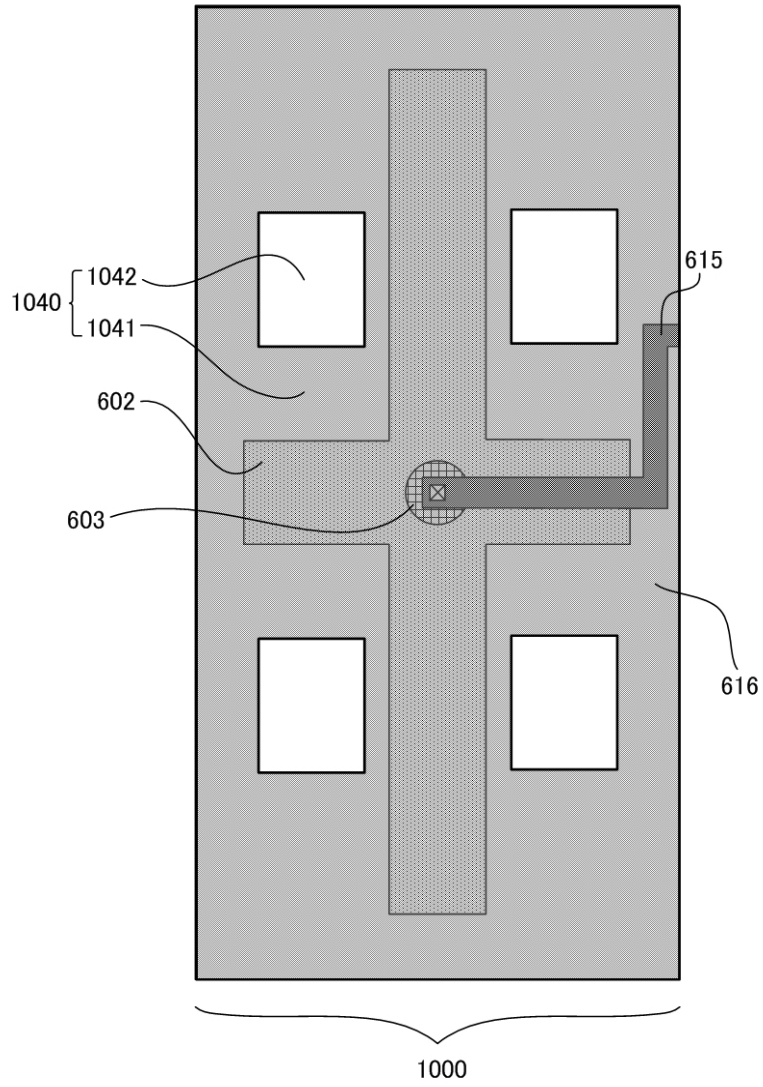
【図 8】



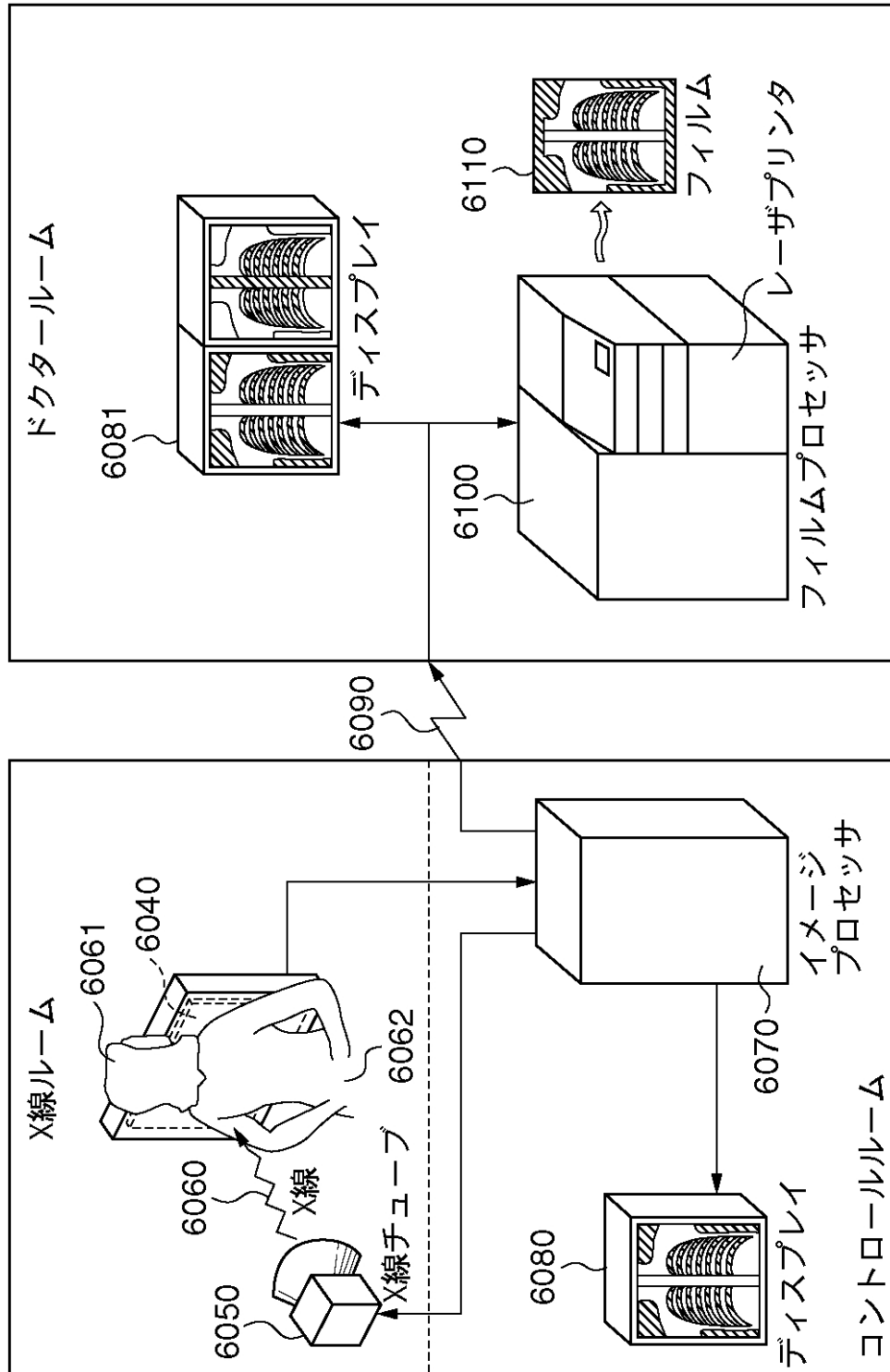
【図 9】



【図 10】



【図 11】



フロントページの続き

- (72)発明者 菊池 伸
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 山下 雄一郎
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 藤村 大
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 河野 祥士
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 有嶋 優
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 清水 伸一郎
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 松永 隆志

- (56)参考文献 特開2008-177191(JP,A)
特開2002-051262(JP,A)
特開2000-312024(JP,A)
特開平06-097406(JP,A)
特開平04-206773(JP,A)
特開2000-077647(JP,A)
特開平07-161958(JP,A)
特開昭60-010671(JP,A)
特開2010-008990(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/369
H01L 27/146