

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5645513号
(P5645513)

(45) 発行日 平成26年12月24日(2014.12.24)

(24) 登録日 平成26年11月14日(2014.11.14)

(51) Int.Cl.

F 1

H04N 5/369 (2011.01)
H01L 27/146 (2006.01)H04N 5/335 690
H01L 27/14 A

請求項の数 8 (全 23 頁)

(21) 出願番号 特願2010-155256 (P2010-155256)
 (22) 出願日 平成22年7月7日 (2010.7.7)
 (65) 公開番号 特開2012-19359 (P2012-19359A)
 (43) 公開日 平成24年1月26日 (2012.1.26)
 審査請求日 平成25年7月5日 (2013.7.5)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100076428
 弁理士 大塚 康徳
 (74) 代理人 100112508
 弁理士 高柳 司郎
 (74) 代理人 100115071
 弁理士 大塚 康弘
 (74) 代理人 100116894
 弁理士 木村 秀二
 (74) 代理人 100130409
 弁理士 下山 治
 (74) 代理人 100134175
 弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 固体撮像装置及び撮像システム

(57) 【特許請求の範囲】

【請求項 1】

光電変換素子をそれぞれ有する複数の画素と、前記光電変換素子を覆う遮光層とを備える固体撮像装置であって、

前記遮光層は、互いに隣接する前記光電変換素子の間の領域の少なくとも一部を覆い、

前記遮光層は、前記複数の画素のそれぞれの光電変換素子に対して、当該光電変換素子への入射光の一部分を遮るための遮光部と、前記入射光の別の一部分を通すための開口とを有し、

前記開口の形状は、第1方向に沿った部分と前記第1方向に交差する第2方向に沿った部分とを有する十字型の部分を含み、

前記光電変換素子は、

第1導電型の第1半導体領域と、

前記第1半導体領域の上に配されており、前記第1導電型とは異なる第2導電型の第2半導体領域と、

前記第2半導体領域の内側に配されており、前記第2半導体領域よりも不純物濃度が高い前記第2導電型の第3半導体領域と、を含み、

前記第3半導体領域は、平面視において前記十字型の部分の交差部に重なる第1部分と、平面視において前記第1部分から前記第1方向と前記第2方向とのそれぞれに向かって前記開口に重なって延びている複数の第2部分とを含む

ことを特徴とする固体撮像装置。

10

20

【請求項 2】

前記複数の画素のそれぞれは、前記光電変換素子で発生した電荷に応じた信号を信号線へ出力するための画素内読出回路をさらに有し、

前記光電変換素子は、前記第3半導体領域の内側に配されて前記画素内読出回路に接続されており、前記第3半導体領域よりも不純物濃度が高い前記第2導電型の第4半導体領域を含み、

前記第3半導体領域の前記第1部分の内側に前記第4半導体領域が配される
ことを特徴とする請求項1に記載の固体撮像装置。

【請求項 3】

前記複数の第2部分のそれぞれは、前記第1部分から離れるほど幅が細くなることを特徴とする請求項2に記載の固体撮像装置。 10

【請求項 4】

前記第4半導体領域と前記画素内読出回路とを接続する配線パターンの一部は、平面視において前記開口に重なる位置に配される
ことを特徴とする請求項2又は3に記載の固体撮像装置。

【請求項 5】

前記複数の画素のそれぞれは、前記光電変換素子で発生した電荷に応じた信号を信号線へ出力するための画素内読出回路をさらに有し、

前記光電変換素子と前記画素内読出回路とを接続する配線パターンの一部は、平面視において前記開口に重なる位置に配される
ことを特徴とする請求項1に記載の固体撮像装置。 20

【請求項 6】

光電変換素子をそれぞれ有する複数の画素と、前記光電変換素子を覆う遮光層とを備える固体撮像装置であって、

前記遮光層は、互いに隣接する前記光電変換素子の間の領域の少なくとも一部を覆い、

前記遮光層は、前記複数の画素のそれぞれの光電変換素子に対して、当該光電変換素子への入射光の一部分を遮るための遮光部と、前記入射光の別の一部分を通すための開口とを有し、

前記開口の形状は、第1方向に沿った部分と前記第1方向に交差する第2方向に沿った部分とを有する十字型の部分を含み。 30

前記複数の画素のそれぞれは、前記光電変換素子で発生した電荷に応じた信号を信号線へ出力するための画素内読出回路をさらに有し、

前記光電変換素子と前記画素内読出回路とを接続する配線パターンの一部は、平面視において前記開口に重なる位置に配される
ことを特徴とする固体撮像装置。

【請求項 7】

前記光電変換素子の上にシンチレータをさらに備え、

前記シンチレータで変換された光は前記光電変換素子へ集光するためのマイクロレンズを介さずに前記光電変換素子へ照射される
ことを特徴とする請求項1乃至6のいずれか1項に記載の固体撮像装置。 40

【請求項 8】

請求項1乃至7のいずれか1項に記載の固体撮像装置と、

前記固体撮像装置から出力される信号を処理するプロセッサと
を備えることを特徴とする撮像システム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は固体撮像装置及び撮像システムに関する。

【背景技術】**【0002】**

放射線撮像装置では光電変換素子の一部を遮光層で覆う構成が知られている。特許文献1には、複数の光電変換部の重心を等間隔に並ばせるために、光電変換部を遮光する遮光部を設けることが記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2002-51262号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

10

特許文献1に記載された撮像装置では、互いに隣接する光電変換素子の間に遮光部が配されないため、互いに隣接する光電変換素子の間に入射した光によって発生した電荷がノイズの原因となる。本発明は、光電変換素子を覆う遮光層の新規なレイアウトを提供し、ノイズを低減した固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

20

上記課題に鑑みて、本発明の1つの側面に係る固体撮像装置は、光電変換素子をそれぞれ有する複数の画素と、前記光電変換素子を覆う遮光層とを備える固体撮像装置であって、前記遮光層は、互いに隣接する前記光電変換素子の間の領域の少なくとも一部を覆い、前記遮光層は、前記複数の画素のそれぞれの光電変換素子に対して、当該光電変換素子への入射光の一部分を遮るための遮光部と、前記入射光の別の一部分を通すための開口とを有し、前記開口の形状は、第1方向に沿った部分と前記第1方向に交差する第2方向に沿った部分とを有する十字型の部分を含み、前記光電変換素子は、第1導電型の第1半導体領域と、前記第1半導体領域の上に配されており、前記第1導電型とは異なる第2導電型の第2半導体領域と、前記第2半導体領域の内側に配されており、前記第2半導体領域よりも不純物濃度が高い前記第2導電型の第3半導体領域と、を含み、前記第3半導体領域は、平面視において前記十字型の部分の交差部に重なる第1部分と、平面視において前記第1部分から前記第1方向と前記第2方向とのそれぞれに向かって前記開口に重なって延びている複数の第2部分とを含むことを特徴とする。

本発明の別の側面に係る固体撮像装置は、光電変換素子をそれぞれ有する複数の画素と、前記光電変換素子を覆う遮光層とを備える固体撮像装置であって、前記遮光層は、互いに隣接する前記光電変換素子の間の領域の少なくとも一部を覆い、前記遮光層は、前記複数の画素のそれぞれの光電変換素子に対して、当該光電変換素子への入射光の一部分を遮るための遮光部と、前記入射光の別の一部分を通すための開口とを有し、前記開口の形状は、第1方向に沿った部分と前記第1方向に交差する第2方向に沿った部分とを有する十字型の部分を含み、前記複数の画素のそれぞれは、前記光電変換素子で発生した電荷に応じた信号を信号線へ出力するための画素内読出回路をさらに有し、前記光電変換素子と前記画素内読出回路とを接続する配線パターンの一部は、平面視において前記開口に重なる位置に配されることを特徴とする。

30

【発明の効果】

【0006】

40

上記手段により、光電変換素子を覆う遮光層の新規なレイアウトが提供され、ノイズを低減した固体撮像装置が提供される。

【図面の簡単な説明】

【0007】

【図1】本発明の実施形態の固体撮像装置の概略構成例を説明する図。

【図2】本発明の実施形態の撮像ブロックの構成例を説明する図。

【図3】本発明の実施形態の画素の構成例を説明する図。

【図4】本発明の実施形態のシフトレジスタの構成例を説明する図。

【図5】本発明の実施形態のタイミングチャートの一例を説明する図。

50

【図6】本発明の実施形態に係る光電変換素子202の構成例を説明する図。

【図7】本発明の実施形態に係る光電変換素子202の平面図を説明する図。

【図8】本発明の別の実施形態に係る光電変換素子800の平面図を説明する図。

【図9】内部領域の形状による電荷収集速度の違いを説明する図。

【図10】本発明の実施形態に係る光電変換素子1000の平面図を説明する図。

【図11】放射線撮像システムを例示する図。

【発明を実施するための形態】

【0008】

図1を参照しながら本発明の1つの実施形態としての固体撮像装置100の概略構成を説明する。固体撮像装置100は、例えば、複数の撮像ブロック101を配列して構成されうる。この場合、複数の撮像ブロック101の配列によって1つの撮像領域を有するセンサパネルSPが形成されうる。複数の撮像ブロック101は、支持基板102の上に配置されうる。固体撮像装置100が1つの撮像ブロック101で構成される場合には、当該1つの撮像ブロック101によってセンサパネルSPが形成される。複数の撮像ブロック101の各々は、例えば、半導体基板に回路素子を形成したものであってもよいし、ガラス基板等の上に半導体層を形成し、その半導体層に回路素子を形成したものであってもよい。複数の撮像ブロック101の各々は、複数の行および複数の列を構成するように複数の画素が配列された画素アレイを有する。

【0009】

固体撮像装置100は、例えば、X線等の放射線の像を撮像する装置として構成されてもよいし、可視光の像を撮像する装置として構成されてもよい。固体撮像装置100が放射線の像を撮像する装置として構成される場合は、典型的には、放射線を可視光に変換するシンチレータ103がセンサパネルSPの上に設けられうる。シンチレータ103は、放射線を可視光に変換し、この可視光がセンサパネルSPに入射し、センサパネルSP(撮像ブロック101)の各光電変換素子によって光電変換される。

【0010】

次に、図2を参照しながら各撮像ブロック101の構成例を説明する。なお、固体撮像装置100が1つの撮像ブロック101で構成される場合には、1つの撮像ブロック101を固体撮像装置として考えることができる。撮像ブロック101は、複数の行および複数の列を構成するように複数の画素201が配列され、複数の列信号線208aが配置された画素アレイGAを有する。複数の画素201の各々は、光電変換素子(例えば、フォトダイオード)202と、光電変換素子202で発生した電荷に応じた信号(光信号)を列信号線208aに出力する画素内読出回路203とを含む。画素アレイGAには、複数の列信号線208bが更に配置されてもよく、画素内読出回路203は、画素内読出回路203のノイズを列信号線208bに出力するように構成されうる。行方向に沿って隣接する2つの画素201のそれぞれにおける画素内読出回路203は、例えば、当該2つの画素201の境界線を対称軸として線対称に配置されうる。

【0011】

撮像ブロック101は、垂直走査回路204と水平走査回路205とを含む。垂直走査回路204は、例えば、隣接する2つの列の光電変換素子202の間に配置されうるが、画素アレイGAにおける最も外側の列の光電変換素子202の外側に配置されてもよい。垂直走査回路204は、例えば、第1クロックCLK1に従ってシフト動作する垂直シフトレジスタを含み、垂直シフトレジスタによるシフト動作に応じて画素アレイGAにおける複数の行を走査する。垂直シフトレジスタは、複数のレジスタを直列接続して構成され、初段のレジスタによって取り込まれたパルスが第1クロックCLK1に従って順次次段のレジスタに転送される。パルスを保持しているレジスタに対応する行が、選択されるべき行である。

【0012】

水平走査回路205は、例えば、隣接する2つの行の光電変換素子202の間に配置されうるが、画素アレイGAにおける最も外側の行の光電変換素子202の外側に配置され

てもよい。水平走査回路 205 は、例えば、第 2 クロック C L K 2 に従ってシフト動作する水平シフトレジスタを含み、水平シフトレジスタによるシフト動作に応じて画素アレイ G A における複数の列を走査する。水平シフトレジスタは、複数のレジスタを直列接続して構成され、初段のレジスタによって取り込まれたパルスが第 2 クロック C L K 2 に従って順次次段のレジスタに転送される。パルスを保持しているレジスタに対応する列が、選択されるべき列である。

【0013】

垂直走査回路 204 は、垂直シフトレジスタを構成するための 1 つのレジスタをそれぞれ含む複数の単位垂直走査回路 V S R を垂直方向に配列して構成されうる。各単位垂直走査回路 V S R は、ある列（図 2 では、最も左側の列（即ち、第 1 列）。）に属する画素の光電変換素子 202 とその列に隣接する列（図 2 では、左側から 2 番目の列（即ち、第 2 列）。）に属する画素の光電変換素子 202 とによって挟まれる領域に配置されうる。各単位垂直走査回路 V S R は、垂直シフトレジスタを通してパルスが転送されると、それが属する行の画素 201 が選択されるように、行選択信号 V S T をアクティブルーベルに駆動する。選択された行の画素 201 の光信号、ノイズは、それぞれ列信号線 208a、208b に出力される。ここで、図 2 では、列信号線 208a と列信号線 208b とが 1 本の線で示されている。水平走査回路 205、垂直走査回路 204 の不図示の入力端子には、パルス信号（スタートパルス）PULSE1、PULSE2 がそれぞれ供給される。

【0014】

水平走査回路 205 は、水平シフトレジスタを構成するための 1 つのレジスタをそれぞれ含む複数の単位水平走査回路 H S R を水平方向に配列して構成されうる。各単位水平走査回路 H S R は、1 つの行（図 2 では、上から 4 番目の行（即ち、第 4 行）。）に属する隣接する 2 つの画素からなる各対（第 1 列の画素と第 2 列の画素からなる対、第 3 列の画素と第 4 列の画素からなる対、・・・。）における 2 つの光電変換素子 202 によって挟まれる領域に配置されている。しかし、各単位水平走査回路 H S R は、列方向に隣接する 2 つの画素における 2 つの光電変換素子 202 によって挟まれる領域には配置されていない。このような構成は、列方向における光電変換素子 202 間の隙間を小さくするために有利である。単位水平走査回路 H S R は、水平シフトレジスタを通してパルスが転送されると、それが属する列が選択されるように、即ち、当該列の列信号線 208a、208b が水平信号線 209a、209b に接続されるようにスイッチ 207 を制御する。即ち、選択された行の画素 201 の光信号、ノイズが列信号線 208a、208b に出力され、選択された列（即ち、選択された列信号線 208a、208b）の信号が水平信号線 209a、209b に出力される。これにより X Y アドレッシングが実現される。水平信号線 209a、209b は、出力アンプ 210a、210b の入力に接続されていて、水平信号線 209a、209b に出力された信号は、出力アンプ 210a、210b によって増幅されてパッド 211a、211b を通して出力される。

【0015】

画素アレイ G A は、それぞれ画素 201 を含む複数の単位セル 200 が複数の行および複数の列を構成するように配列されたものとして考えることができる。単位セル 200 は、いくつかの種類を含みうる。ある単位セル 200 は、単位垂直走査回路 V S R の少なくとも一部分を含む。図 2 に示す例では、2 つの単位セル 200 の集合が 1 つの単位垂直走査回路 V S R を含んでいるが、1 つの単位セル 200 が 1 つの単位垂直走査回路 V S R を含んでもよいし、3 以上の複数の単位セル 200 の集合が 1 つの単位垂直走査回路 V S R を含んでもよい。他の単位セル 200 は、単位水平走査回路 H S R の少なくとも一部分を含む。図 2 に示す例では、1 つの単位セル 200 が 1 つの単位水平走査回路 H S R を含んでいるが、複数の単位セル 200 の集合が 1 つの単位水平走査回路 V S R を含んでもよい。他の単位セル 200 は、単位垂直走査回路 V S R の少なくとも一部分および単位水平走査回路 H S R の少なくとも一部分を含む。他の単位セル 200 としては、出力アンプ 210a の少なくとも一部分を含む単位セル、出力アンプ 210b の少なくとも一部分を含む単位セル、スイッチ 207 を含む単位セルなどを挙げることができる。

10

20

30

40

50

【0016】

図3を参照しながら各画素201の構成例を説明する。前述のとおり、画素201は、光電変換素子202と、画素内読出回路203とを含む。光電変換素子202は、典型的にはフォトダイオードでありうる。画素内読出回路203は、例えば、第1增幅回路310、クランプ回路320、光信号サンプルホールド回路340、ノイズサンプルホールド回路360、第2增幅回路のN MOSトランジスタ343、363、行選択スイッチ344、364を含みうる。

【0017】

光電変換素子202は、電荷蓄積部を含み、該電荷蓄積部は、第1增幅回路310のPMOSトランジスタ303のゲートに接続されている。PMOSトランジスタ303のソースは、PMOSトランジスタ304を介して電流源305に接続されている。PMOSトランジスタ303と電流源305とによって第1ソースフォロア回路が構成されている。PMOSトランジスタ303によってソースフォロア回路を構成することは、1/fノイズの低減に有効である。PMOSトランジスタ304は、そのゲートに供給されるイネーブル信号ENがアクティブルレベルになるとオンして第1ソースフォロア回路を動作状態にするイネーブルスイッチである。第1增幅回路310は、電荷電圧変換部CVCの電位に応じた信号を中間ノードn1に出力する。

【0018】

図3に示す例では、光電変換素子202の電荷蓄積部およびPMOSトランジスタ303のゲートが共通のノードを構成していて、このノードは、該電荷蓄積部に蓄積された電荷を電圧に変換する電荷電圧変換部CVCとして機能する。即ち、電荷電圧変換部CVCには、該電荷蓄積部に蓄積された電荷Qと電荷電圧変換部CVCが有する容量値Cによって定まる電圧V($= Q / C$)が現れる。電荷電圧変換部CVCは、リセットスイッチとしてのPMOSトランジスタ302を介してリセット電位Vresに接続されている。リセット信号PRESがアクティブルレベルになると、PMOSトランジスタ302がオンして、電荷電圧変換部CVCの電位がリセット電位Vresにリセットされる。

【0019】

クランプ回路320は、リセットした電荷電圧変換部CVCの電位に応じて第1增幅回路310によって中間ノードn1に出力されるノイズをクランプ容量321によってクランプする。つまり、クランプ回路320は、光電変換素子202で光電変換により発生した電荷に応じて第1ソースフォロア回路から中間ノードn1に出力された信号から、このノイズをキャンセルするための回路である。この中間ノードn1に出力されるノイズはリセット時のkTCノイズを含む。クランプは、クランプ信号PCLをアクティブルレベルにしてPMOSトランジスタ323をオン状態にした後に、クランプ信号PCLを非アクティブルレベルにしてPMOSトランジスタ323をオフ状態にすることによってなされる。クランプ容量321の出力側は、PMOSトランジスタ322のゲートに接続されている。PMOSトランジスタ322のソースは、PMOSトランジスタ324を介して電流源325に接続されている。PMOSトランジスタ322と電流源325とによって第2ソースフォロア回路が構成されている。PMOSトランジスタ324は、そのゲートに供給されるイネーブル信号EN0がアクティブルレベルになるとオンして第2ソースフォロア回路を動作状態にするイネーブルスイッチである。

【0020】

光電変換素子202で光電変換により発生した電荷に応じて第2ソースフォロア回路から出力される信号は、光信号として、光信号サンプリング信号TSがアクティブルレベルになることによってスイッチ341を介して容量342に書き込まれる。電荷電圧変換部CVCの電位をリセットした直後にPMOSトランジスタ323をオン状態とした際に第2ソースフォロア回路から出力される信号は、ノイズである。このノイズは、ノイズサンプリング信号TNがアクティブルレベルになることによってスイッチ361を介して容量362に書き込まれる。このノイズには、第2ソースフォロア回路のオフセット成分が含まれる。

10

20

30

40

50

【0021】

垂直走査回路204の単位垂直走査回路VSRが行選択信号VSTをアクティブレベルに駆動すると、容量342に保持された信号（光信号）が第2増幅回路のNMOSトランジスタ343および行選択スイッチ344を介して列信号線208aに出力される。また、同時に、容量362に保持された信号（ノイズ）が第2増幅回路のNMOSトランジスタ363および行選択スイッチ364を介して列信号線208bに出力される。第2増幅回路のNMOSトランジスタ343は、列信号線208aに設けられた不図示の定電流源とソースフォロア回路を構成する。同様に、第2増幅回路のNMOSトランジスタ363は列信号線208bに設けられた不図示の定電流源とソースフォロア回路を構成する。

【0022】

10

画素201は、隣接する複数の画素201の光信号を加算する加算スイッチ346を有してもよい。加算モード時には、加算モード信号ADDがアクティブレベルになり、加算スイッチ346がオン状態になる。これにより、隣接する画素201の容量342が加算スイッチ346によって相互に接続されて、光信号が平均化される。同様に、画素201は、隣接する複数の画素201のノイズ信号を加算する加算スイッチ366を有してもよい。加算スイッチ366がオン状態になると、隣接する画素201の容量362が加算スイッチ366によって相互に接続されて、ノイズが平均化される。

【0023】

画素201は、感度を変更するための機能を有してもよい。画素201は、例えば、第1感度変更スイッチ380および第2感度変更スイッチ382、並びにそれらに付随する回路素子を含みうる。第1変更信号WIDE1がアクティブレベルになると、第1感度変更スイッチ380がオンして、電荷電圧変換部CVCの容量値に第1付加容量381の容量値が追加される。これによって画素201の感度が低下する。第2変更信号WIDE2がアクティブレベルになると、第2感度変更スイッチ382がオンして、電荷電圧変換部CVCの容量値に第2付加容量383の容量値が追加される。これによって画素201の感度が更に低下する。

20

【0024】

このように画素201の感度を低下させる機能を追加することによって、より大きな光量を受光することが可能となり、ダイナミックレンジを広げることができる。第1変更信号WIDE1がアクティブレベルになる場合には、イネーブル信号ENWをアクティブレベルにして、PMOSトランジスタ303に加えてPMOSトランジスタ385をソースフォロア動作させてもよい。

30

【0025】

垂直走査回路204は、種々の構成を有しうるが、例えば、図4(a)に示された構成を有しうる。図4(a)に示された垂直走査回路204は、各単位垂直走査回路VSRが1つのD型フリップフロップ401を含み、D型フリップフロップ401のクロック入力に対して第1クロックCLK1が供給される。初段の単位垂直走査回路VSRのD型フリップフロップ401のD入力には、パルス信号PULSE1が供給され、第1クロックCLK1によって第1パルス信号PULSE1が取り込まれる。初段のD型フリップフロップ401は、第1クロックCLK1の1周期分の長さを有するパルス信号をQ出力から出力する。各単位垂直走査回路VSRのD型フリップフロップ401のQ出力は、その単位垂直走査回路VSRが属する行を選択するために使用され、例えば、バッファ402を介して行選択信号VSTとして出力される。各単位垂直走査回路VSRのD型フリップフロップ401のQ出力は、次段の単位垂直走査回路VSRのD型フリップフロップ401のD入力に接続されている。

40

【0026】

水平走査回路205は、種々の構成を有しうるが、例えば、図4(b)に示された構成を有しうる。図4(b)に示された水平走査回路205は、各単位垂直走査回路HSRが1つのD型フリップフロップ411を含み、D型フリップフロップ411のクロック入力に対して第2クロックCLK2が供給される。初段の単位水平走査回路HSRのD型フリ

50

ップフロップ 411 の D 入力には、第 2 パルス信号 PULSE2 が供給され、第 2 クロック CLK2 によって第 2 パルス信号 PULSE2 が取り込まれる。初段の単位水平走査回路 HSR は、第 2 クロック CLK2 の 1 周期分の長さを有するパルス信号を Q 出力から出力する。各単位水平走査回路 HSR の Q 出力は、その単位水平走査回路 HSR が属する列を選択するために使用され、例えば、バッファ 412 を介して列選択信号 HST として出力される。各単位水平走査回路 HSR の D 型フリップフロップ 411 の Q 出力は、次段の単位水平走査回路 HSR の D 型フリップフロップ 411 の D 入力に接続されている。ここで、垂直走査回路 204 による走査期間である垂直走査期間は、水平走査回路 205 による水平走査期間に画素アレイ GA の行数を乗じた時間である。そして、水平走査期間は、画素アレイ GA の全ての列を走査するために要する期間である。よって、列を選択する列選択信号 HST を発生する水平走査回路 205 に供給される第 2 クロック CLK2 の周波数は、行を選択する行選択信号 VST を発生する垂直走査回路 204 に供給される第 1 クロック CLK1 の周波数よりも遙かに高い。10

【 0027 】

図 5 を参照しながら各画素 201 に供給される主な信号について説明する。リセット信号 PRES、イネーブル信号 EN、クランプ信号 PCL、光信号サンプリング信号 TS、ノイズサンプリング信号 TN は、ローアクティブの信号である。イネーブル信号 EN0 は、図 5 に示されていないが、イネーブル信号 EN と同様の信号でありうる。イネーブル信号 ENw は、図 5 に示されていないが、第 1 変更信号 WIDE1 がアクティブにされる場合には、イネーブル信号 EN と同様に遷移しうる。20

【 0028 】

まず、画素アレイ GA の全ての行についてイネーブル信号 EN がアクティブになり、次いで、光信号サンプリング信号 TS がパルス状にアクティブルレベルになって、光信号が容量 342 に書き込まれる。次いで、リセット信号 PRES がパルス状にアクティブルレベルになって、電荷電圧変換部 CVC の電位がリセットされる。次いで、クランプ信号 PCL がパルス状にアクティブルレベルになる。クランプ信号 PCL がアクティブルレベルであるときに、ノイズサンプリング信号 TN がパルス状にアクティブルレベルになって、ノイズが容量 362 に書き込まれる。

【 0029 】

その後、垂直走査回路 204 の第 1 行に対応する単位垂直走査回路 VSR がその行選択信号 VST (VST0) をアクティブルレベルにする。これは、垂直走査回路 204 が画素アレイ GA の第 1 行を選択することを意味する。この状態で、水平走査回路 205 の第 1 列から最終列に対応する単位水平走査回路 HSR が列選択信号 HST (HST0 ~ HSTn) をアクティブルレベルにする。これは、水平走査回路 205 が画素アレイ GA の第 1 列から最終列までを順に選択することを意味する。これにより、出力アンプ 210a、210b から画素アレイ GA の第 1 行における第 1 列から最終列までの画素の光信号、ノイズが出力される。その後、垂直走査回路 204 の第 2 行に対応する単位垂直走査回路 VSR がその行選択信号 VST (VST1) をアクティブルレベルにする。水平走査回路 205 の第 1 列から最終列に対応する単位水平走査回路 HSR が列選択信号 HST (HST0 ~ HSTn) をアクティブルレベルにする。このような動作を最終行まで行うことによって 1 つの画像が画素アレイ GA から出力される。30

【 0030 】

図 6 を参照しながら光電変換素子 202 の構成例を説明する。撮像ブロック 101 は、例えば、第 2 導電型の半導体部材 (不図示) の上に第 2 導電型の半導体層 620 をエピタキシャル成長させた基板に形成されうる。各素子は、素子分離部 630 によって相互に分離される。各画素 201 の光電変換素子 202 は、例えば、半導体層 620 の中に形成された第 1 導電型の不純物領域 (ウェル) 601 (第 1 半導体領域) と、不純物領域 601 の上に配置された不純物領域 616 及び内部領域 602 を有する。不純物領域 616 (第 2 半導体領域) と内部領域 602 (第 3 半導体領域) とはどちらも第 2 導電型の不純物領域である。内部領域 602 は、第 2 導電型を形成するための不純物濃度が不純物領域 61 40

6よりも高く、周囲を不純物領域 616 によって囲まれている。すなわち、不純物領域 616 の内側に内部領域 602 が配されている。内部領域 602 の内側には、第 2 導電型の不純物領域である電極領域 603 (第 4 半導体領域) が配置されている。電極領域 603 は、第 2 導電型を形成するための不純物濃度が内部領域 602 よりも高い。不純物領域 616 及び内部領域 602 の上に第 1 導電型の不純物領域 604 (第 5 半導体領域) が配置されている。第 2 導電型の不純物領域 602、616、603 と第 1 導電型の不純物領域 601、604 とによって埋め込み型のフォトダイオードが形成されている。この場合に、光電変換素子 202 は完全空乏型でありうる。光電変換素子 202 が完全空乏型であるとは、第 2 導電型の不純物領域 602、616 の全領域が空乏化することを意味する。本実施形態では光電変換素子 202 の電荷蓄積部は電荷電圧変換部 CVC として機能する。電荷電圧変換部 CVC がリセットされた際に、光電変換素子 202 が完全空乏化しうる。また、光電変換素子 202 は完全空乏型でない場合でも、第 2 導電型の不純物領域 602、616 の大部分が空乏化することが望ましい。

【0031】

第 1 導電型の不純物領域 601 の周囲のうち上側部分は第 1 導電型の不純物領域 606 によって囲まれている。不純物領域 606 には、第 1 導電型のコンタクト領域 609 が設けられている。不純物領域 606 の周囲には、第 2 導電型の不純物領域 611 が配置されている。本実施形態では光電変換素子 202 がフォトダイオードであり、フォトダイオードの一方の端子である不純物領域 601 には、不純物領域 606 を介して所定の電位が印加される。光電変換素子 202 に光が入射し光電変換によって発生した電荷は、内部領域 602、不純物領域 616、更に電極領域 603 に収集される。光電変換素子 202 ののもう 1 つの電極としての電極領域 603 は、プラグ 612、第 1 金属層 613、プラグ 614 及び第 2 金属層に形成された配線パターン 615 を介して画素内読出回路 203 に接続されている。上記の例では第 1 導電型を P 型とし、第 2 導電型を N 型としてもよく、その逆でもよい。図 6 に示した例では不純物領域 616 と内部領域 602 とが同じ接合深さであるが、不純物領域 616 が内部領域 602 より深くてもよいし、その逆でもよい。不純物領域 616 の接合深さが内部領域 602 よりも深い場合には、不純物領域 616 が内部領域 602 の下部に配されてもよい。

【0032】

単位セル 200 の上には第 3 金属層として遮光層 640 が配されている。遮光層 640 は、光電変換素子 202 を覆う位置において、遮光部 641 と開口 642 とを有しうる。遮光部 641 は、光電変換素子 202 への入射光の一部分を遮光する。一方、開口 642 は光電変換素子 202 を覆う位置に配置され、入射光の残り部分を通す。すなわち、開口 642 を通る入射光は光電変換素子 202 へ照射されうる。遮光層 640 は、互いに隣接する光電変換素子の間の領域の少なくとも一部に配されうる。互いに隣接する光電変換素子の間の領域の全部を覆うことが好ましいが、例えば単位垂直操作回路 VSR または画素内読出回路 203 のみをを覆うように配されてもよい。光電変換素子 202 を覆う遮光層と、単位垂直操作回路 VSR を覆う遮光層と、画素内読出回路 203 を覆う遮光層とは同一層に形成されてもよいし、それぞれが別々の層に形成されてもよい。このように、互いに隣接する光電変換素子の間の領域の少なくとも一部に遮光層が配されることで、光電変換素子以外の領域で発生する電荷の量を低減することができる。

【0033】

次に、図 7 を参照しながら光電変換素子 202 の平面図を説明する。図 7 (a) は光電変換素子 202 の平面図を示し、図 7 (b) はこの平面図のうち内部領域 602 だけに注目した図である。前述の図 6 で説明された光電変換素子 202 は、図 7 (a) の A-A' 線における断面図に対応する。図 7 (a) では不純物領域 616、内部領域 602 及び電極領域 603 の平面視における形状を把握しやすいように、不純物領域 604 が省略されている。また、図 7 (b) では等ポテンシャル線が破線で付加されている。以下、特に言及しない限り、単に「不純物領域の形状」と表す場合には、「不純物領域の平面視における形状」を意味する。図 7 (a) に示されるように、内部領域 602 は平面視で見た場合

10

20

30

40

50

に、不純物領域 616 の内側に配される。前述のように、本実施形態の光電変換素子 202 では、不純物領域 616、内部領域 602、電極領域 603 の順に不純物濃度が高くなつておる、それによって電極領域 603 へ向かうポテンシャル勾配が形成される。不純物領域 616 の不純物濃度は好適には $1.0 \times 10^{15} \text{ cm}^{-3} \sim 1.0 \times 10^{17} \text{ cm}^{-3}$ である。内部領域 602 の不純物濃度は好適には $1.0 \times 10^{16} \text{ cm}^{-3} \sim 1.2 \times 10^{18} \text{ cm}^{-3}$ である。電極領域 603 の不純物濃度は好適には $1.0 \times 10^{19} \text{ cm}^{-3} \sim 5.0 \times 10^{19} \text{ cm}^{-3}$ である。遮光層 640 の遮光部 641 は光電変換素子 202 四隅を覆う位置に配置され、その結果として、開口 642 の形状は十字型の部分を含む。即ち、開口 642 の形状は、第 1 方向 703 に沿った部分と第 2 方向 704 に沿った部分とを含みうる。第 1 方向 703 と第 2 方向 704 とは交差し、例えば直交しうる。このように、光電変換素子 202 の一部を遮光部 641 で覆うことによって、光電変換素子 202 のダイナミックレンジを拡大しうる。ダイナミックレンジを拡大するために、放射線の光量を低減した場合には、各画素へのフォトンの平均個数が 1 個以下になる場合もありうる。そのため、入射するフォトンの時間的又は空間的な揺らぎの影響がノイズ（ショットノイズ）として出力画像に影響を与えてしまう場合がある。光電変換素子の一部を覆う遮光層を設ける構成によつて、ショットノイズを低減するために、放射線光量をある程度に維持しつつ、光電変換素子へ入射する光量を低減させることが可能となる。また、開口 642 の形状が十字型の部分を含むため、入射光が光電変換素子 202 の内側に偏在する場合であつても、光電変換素子 202 の全面に照射される場合であつても、光電変換素子 202 は入射光を受光しうる。例えば、入射光を集光するためのマイクロレンズを固体撮像装置 100 が有しておらず、シンチレータ 103 で変換された可視光がマイクロレンズを介さずに光電変換素子 202 へ照射される場合に入射光が光電変換素子 202 の全面に照射されうる。また、固体撮像装置 100 がマイクロレンズを有しており、シンチレータ 103 で変換された可視光がマイクロレンズを介して集光されて光電変換素子 202 へ照射される場合に、入射光が光電変換素子 202 の内側に偏在しうる。

【0034】

図 7 (b) に示されるように、内部領域 602 は点線で囲まれた第 1 部分 701 と、第 1 部分 701 から延びた複数の第 2 部分 702 とを含みうる。電極領域 603 は、平面視で見た場合に、この第 1 部分 701 の内側に含まれうる。第 1 部分 701 及び第 2 部分 702 は内部領域 602 の形状を説明するために便宜的に規定するものであり、内部領域 602 は一体の領域として形成されうる。本実施形態では、4 つの第 2 部分 702 が第 1 部分 701 から十字方向、すなわち隣り合う第 2 部分 702 同士が 90 度を成す方向に延びている。また、第 2 部分 702 の幅は一定である。内部領域 602 の形状は、不純物のイオン注入を行う際のフォトレジストマスクのパターンにより規定されうる。本実施形態では、内部領域 602 の形状を十字型にすることで、第 2 部分 702 が延びている方向について電荷の収集速度を高めつつ、内部領域 602 の面積が増大することを抑制しうる。内部領域 602 の不純物濃度は、不純物領域 616 の不純物濃度よりも高いため、内部領域 602 の面積が大きいほど光電変換素子 202 の空乏化電圧は高くなる。内部領域 602 の形状を十字型にすることによって、光電変換素子 202 の空乏化電圧を低く抑えることができる。さらに、後述するように、内部領域 602 の形状が凸多角形である場合に比較して、内部領域 602 の形状を十字型とすることで、第 2 部分 702 が延びている方向からの電荷の収集速度が向上されうる。また、電極領域 603 は不純物領域 616 の中央に配されていてもよい。これによって、電極領域 603 は各方向からの電荷を均等に収集しうる。

【0035】

本実施形態では、開口 642 と内部領域 602 とが共に十字型の形状を含んでおり、これらが重なつて配置されうる。すなわち、開口 642 のうち十字型の部分の交差部 710 と第 1 部分 701 とが平面視において重なつており、さらに第 2 部分 702 が開口 642 に重なつて延びている。図 7 の例では、遮光部 641 が内部領域 602 と全く重なつてないが、遮光部 641 の一部と内部領域 602 の一部とが重なつていてもかまわない。こ

のように、開口 642 と内部領域 602 とを平面視において重ねて配置することにより、光電変換素子 202 へ入射光が照射される領域においては電荷の収集速度を向上させつつ、内部領域 602 の面積の増大を抑制できる。さらに、図 7 に示すように、配線パターン 615 が平面視で見た場合に開口 642 に重なる位置に配されてもよい。これにより、遮光層 640 と配線パターン 615 との間の寄生容量を低減しうる。遮光層 640 の表面は完全に均一とならない場合があるため、遮光層 640 と配線パターン 615 との間の寄生容量は画素によってばらつきを生じうる。遮光層 640 と配線パターン 615 との間の寄生容量を低減することによって、この画素間のばらつきを低減することが可能となる。

【0036】

次に、図 8 を参照しながら本発明の別の実施形態による光電変換素子 800 の平面図を説明する。図 8 (a) は光電変換素子 800 の平面図を示し、図 8 (b) はこの平面図のうち内部領域 802 だけに注目した図である。光電変換素子 800 の有する内部領域 802 は、図 7 を用いて説明された光電変換素子 202 の内部領域 602 に対応し、その形状のみが異なっている。そこで、以下では光電変換素子 800 について、内部領域 802 の形状についてのみを説明し、光電変換素子 202 との共通部分についての説明を省略する。図 8 (a) では内部領域 802 の形状を把握しやすいように、遮光層 640 を透過的に図示しているが、実際には遮光層 640 により可視光が遮光される。

【0037】

図 8 (b) に示されるように、内部領域 802 は点線で囲まれた第 1 部分 811 と、第 1 部分 811 から延びた複数の第 2 部分 812 とを含みうる。電極領域 603 はこの第 1 部分 811 の内側に含まれうる。第 1 部分 811 及び第 2 部分 812 は内部領域 802 の形状を説明するために便宜的に規定するものであり、内部領域 802 は一体の領域として形成されうる。本実施形態においても、4 つの第 2 部分 812 が第 1 部分 811 から十字方向に延びている。図 7 に示された実施形態とは異なり、第 2 部分 812 は先細りとなっている。すなわち、第 2 部分 812 は第 1 部分 811 から離れるほど幅が細くなっている。その結果として、第 2 部分 812 の先端部分の内角 813 は鋭角になりうる。本実施形態においても、開口 642 と内部領域 802 とが平面視で見た場合に重なって配置されうる。また、図 8 に示されるように遮光部 641 の一部と内部領域 802 の一部とが重なってもよいし、全く重ならなくてもよい。

【0038】

次に、図 9 を参照しながら不純物領域の形状による電荷の収集速度の違いについて説明する。図 9 (a) ~ (c) はそれぞれ光電変換素子の平面図を縦横に 4 分割した右上部分に注目した図である。図 9 (a) は比較例として用いる光電変換素子 900 の平面図を表す。光電変換素子 900 は不純物領域 616、内部領域 901 及び電極領域 603 を含み、この順に不純物濃度が高くなっている。内部領域 901 の形状は凸多角形である。図 9 (b) は図 7 で説明した光電変換素子 202 であり、図 9 (c) は図 8 で説明された光電変換素子 800 である。それぞれの光電変換素子に対して、矢印 910 で示す位置 (電極領域 603 の中心から右に 40.0 μm の位置) に配置した電子が一定時間でどこまでドリフトするかをシミュレーションした。図 9 (a) に示されるように、内部領域 901 が凸多角形の場合には、一定時間後に電子は矢印 911 で示す位置 (電極領域 603 の中心から右に約 23 μm の位置) までドリフトした。図 9 (b) に示されるように、内部領域 602 が十字型の場合には、一定時間後に電子は矢印 912 で示す位置 (電極領域 603 の中心から右に約 13 μm の位置) までドリフトした。図 9 (c) に示されるように、内部領域 802 が先細りの十字型の場合には、一定時間後に電子は矢印 913 で示す位置 (電極領域 603 の中心から右に約 1 μm の位置) までドリフトした。このように、内部領域 602 の形状を十字型にすることによって、内部領域の第 2 部分が延びる方向についての電荷の収集速度を高めることができる。さらに、内部領域の第 2 部分を先細りにすることによって、その方向についての電荷の収集速度をさらに高めることができる。

【0039】

次に、図 10 を参照しながら本発明のさらに別の実施形態について説明する。本実施形

10

20

30

40

50

態の光電変換素子 1000 は遮光層 1040 の形状のみが図 7 を用いて説明された光電変換素子 202 と異なる。そこで、以下では遮光層 1040 の形状のみに注目して説明し、前述の光電変換素子 202 との共通部分の説明は省略する。図 10 においても見易さのために遮光層 1040 を透過的に図示している。遮光層 1040 は光電変換素子 1000 を覆う位置において、遮光部 1041 と開口 1042 とを有する。遮光部 1041 は、光電変換素子 1000 への入射光の一部分を遮光する。一方、開口 1042 は光電変換素子 1000 を覆う位置に配置され、入射光の残り部分を通す。すなわち、開口 1042 を通る入射光は光電変換素子 1000 へ照射されうる。光電変換素子 1000 を覆う遮光層と、単位垂直操作回路 VSR を覆う遮光層と、画素内読出回路 203 を覆う遮光層とは同一層に形成されてもよいし、それぞれが別々の層に形成されてもよい。開口 1042 は複数の開口を含んでおり、この複数の開口は周期的に分散されて配されている。それぞれの開口は同一の形状であってもよい。本実施形態では、光電変換素子 1000 の一部を遮光部 1041 で覆うことによって、光電変換素子 1000 のダイナミックレンジを拡大しうる。

【 0040 】

図 11 は本発明に係る固体撮像装置を X 線診断システム（放射線撮像システム）応用した例を示した図である。放射線撮像システムは、放射線撮像装置 6040 と、放射線撮像装置 6040 から出力される信号を処理するイメージプロセッサ 6070 とを備える。放射線撮像装置 6040 は、前述の固体撮像装置 100 を図 1 (b) に例示されるように放射線を撮像する装置として構成したものである。X 線チューブ（放射線源）6050 で発生した X 線 6060 は患者あるいは被験者 6061 の胸部 6062 を透過し、放射線撮像装置 6040 に入射する。この入射した X 線には被験者 6061 の体内部の情報が含まれている。イメージプロセッサ（プロセッサ）6070 は、放射線撮像装置 6040 から出力される信号（画像）を処理し、例えば、処理によって得られた信号に基づいて制御室のディスプレイ 6080 に画像を表示させることができる。

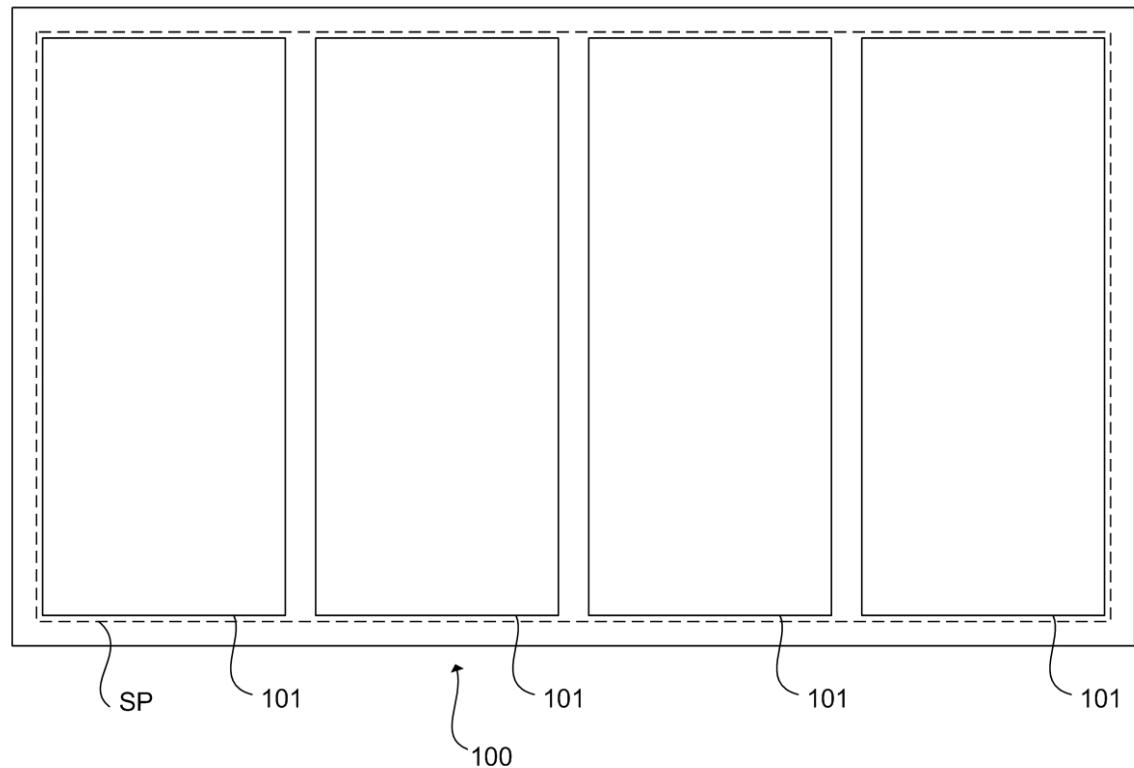
【 0041 】

また、イメージプロセッサ 6070 は、処理によって得られた信号を伝送路 6090 を介して遠隔地へ転送することができる。これにより、別の場所のドクタールームなどに配置されたディスプレイ 6081 に画像を表示させたり、光ディスク等の記録媒体に画像を記録したりすることができる。記録媒体は、フィルム 6110 であってもよく、この場合、フィルムプロセッサ 6100 がフィルム 6110 に画像を記録する。

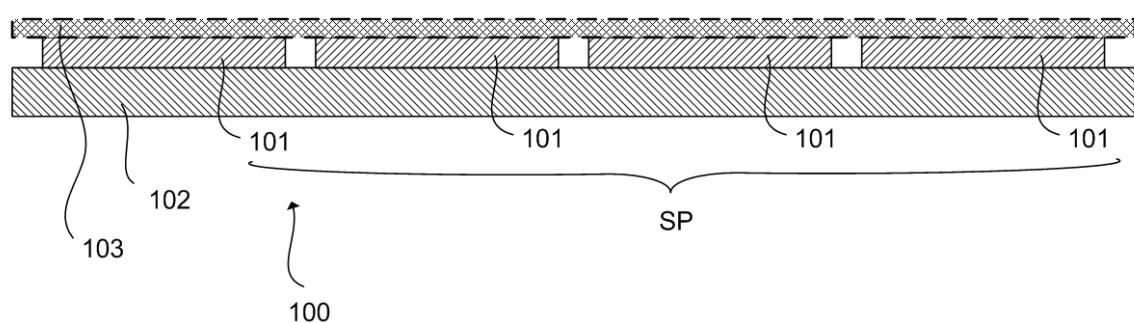
【 0042 】

本発明に係る固体撮像装置は、可視光の像を撮像する撮像システムに応用することもできる。そのような撮像システムは、例えば、固体撮像装置 100 と、固体撮像装置 100 から出力される信号を処理するプロセッサとを備えうる。該プロセッサによる処理は、例えば、画像の形式を変換する処理、画像を圧縮する処理、画像のサイズを変更する処理および画像のコントラストを変更する処理の少なくとも 1 つを含みうる。

【図1】

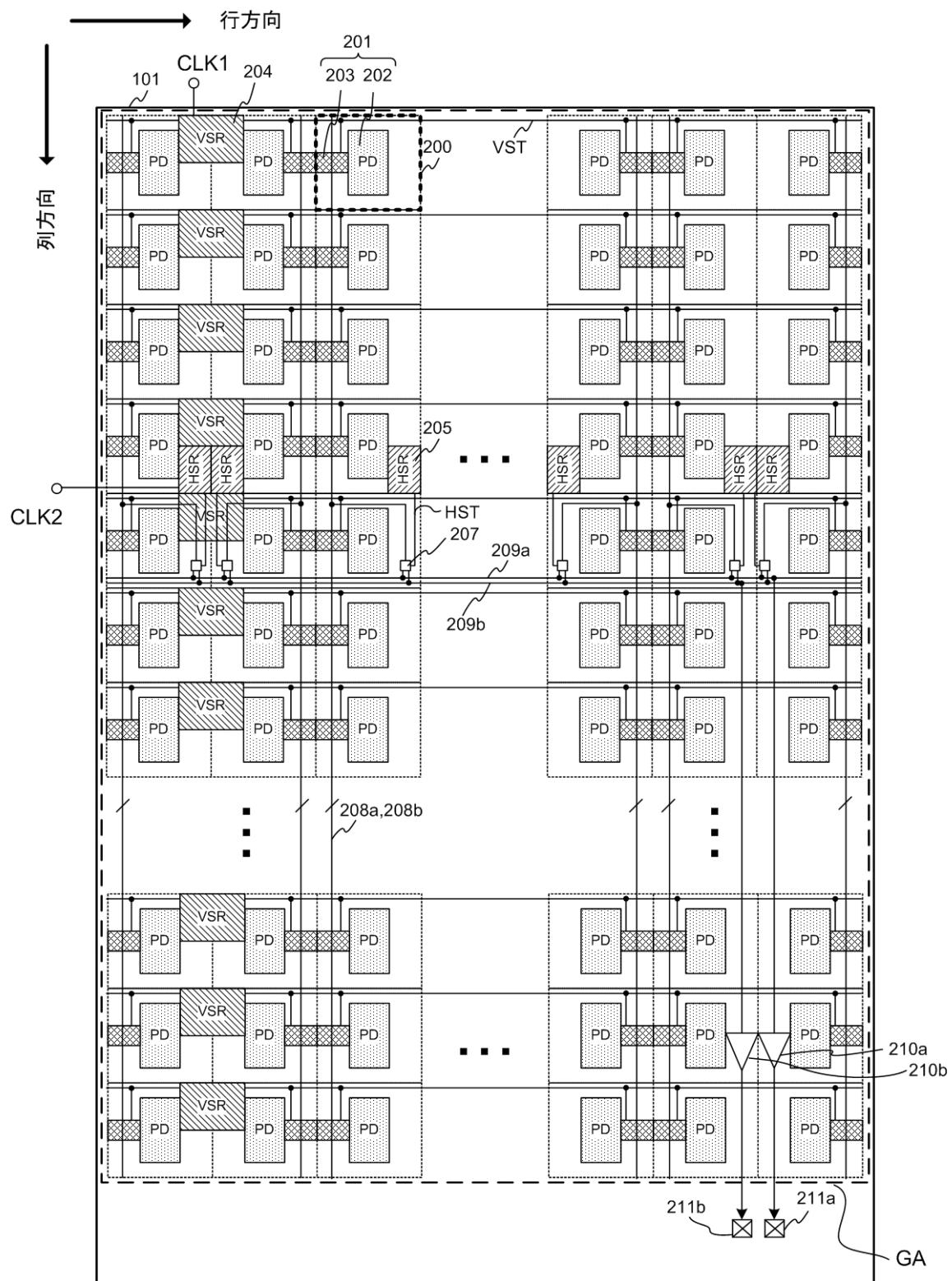


(a)

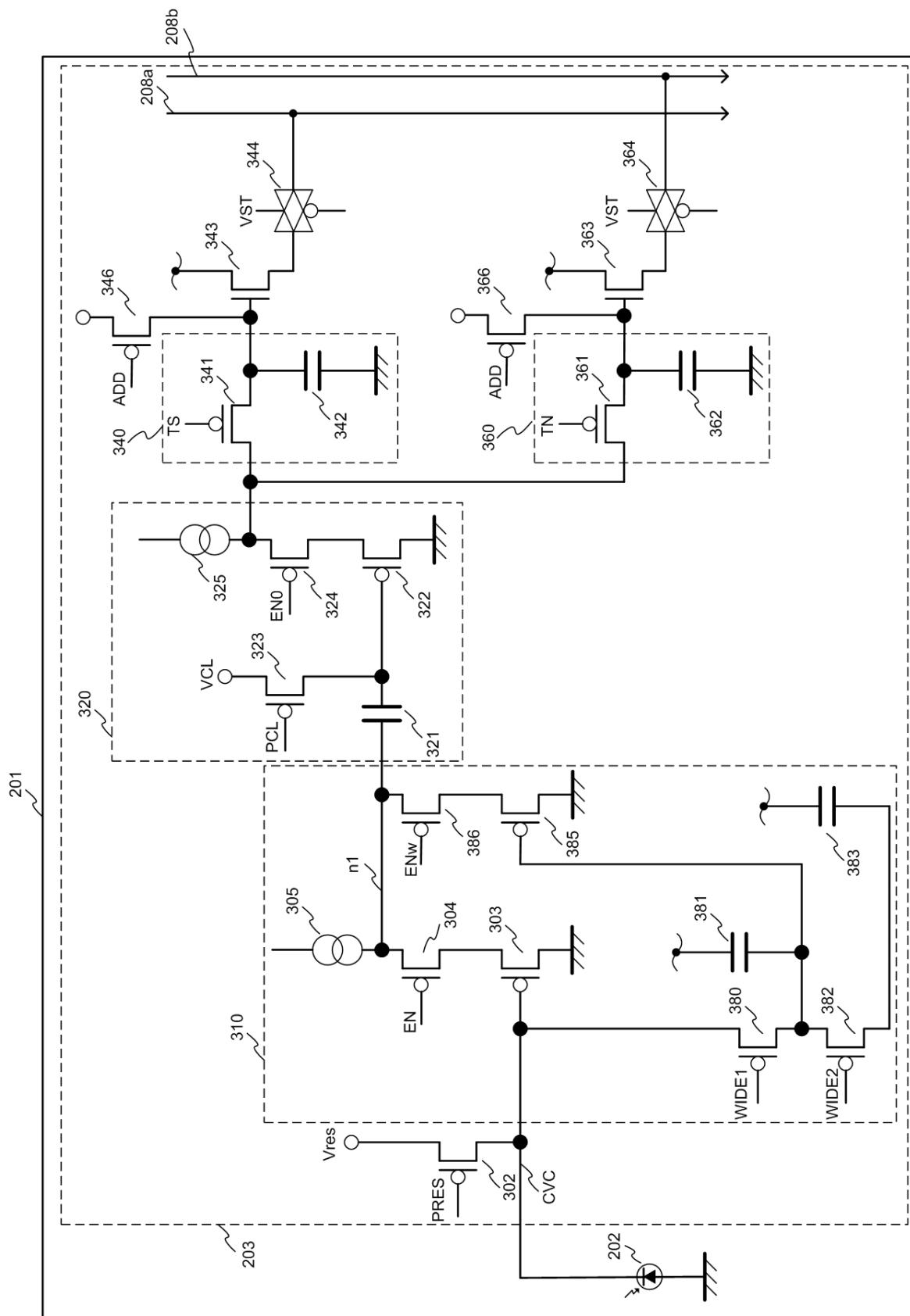


(b)

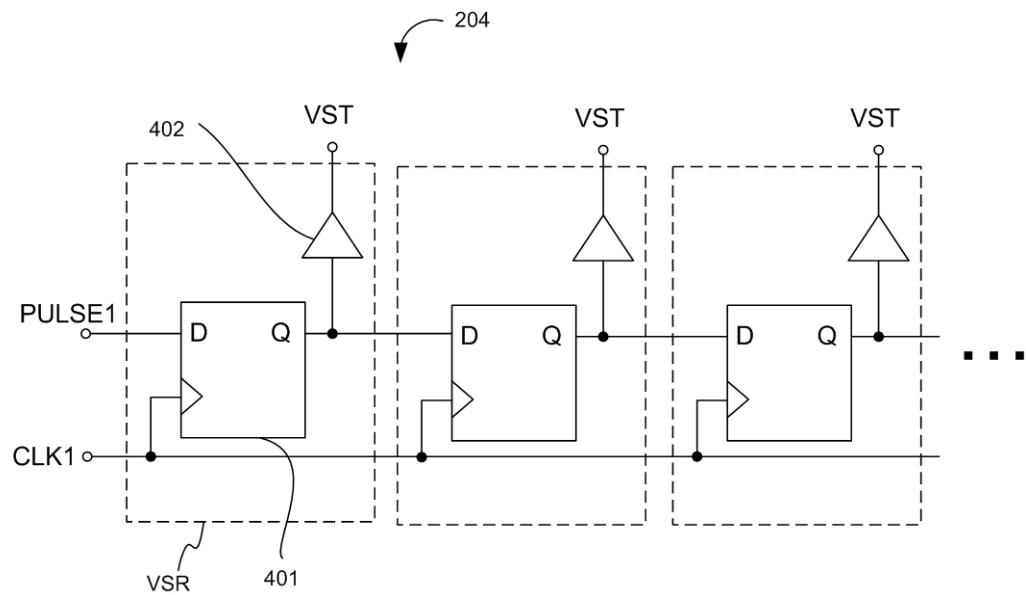
【図2】



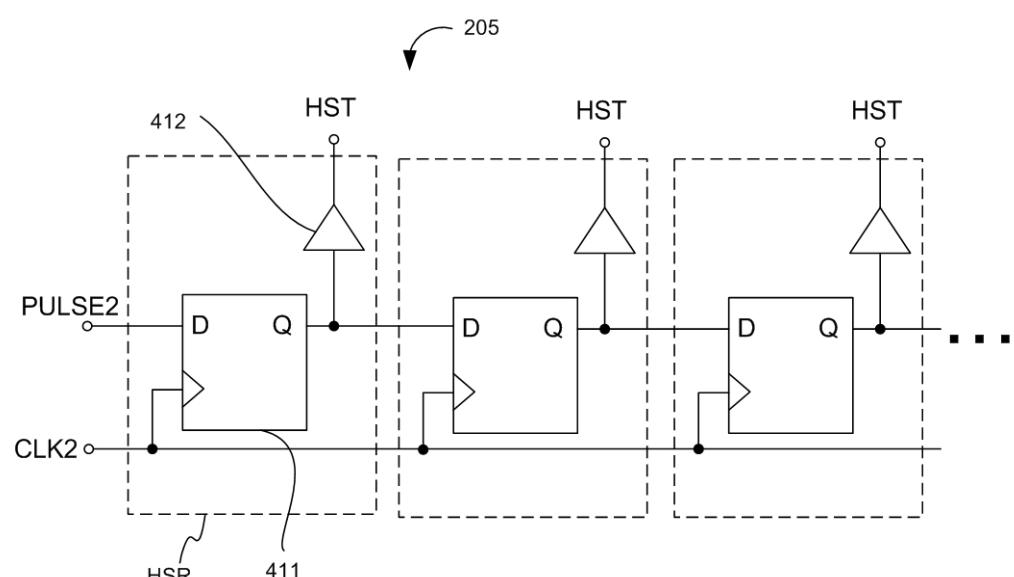
【図3】



【図4】

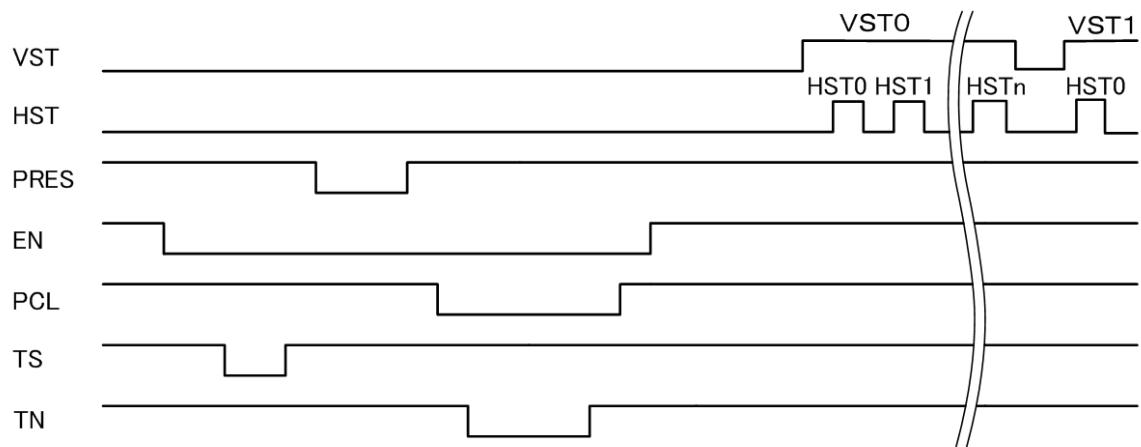


(a)

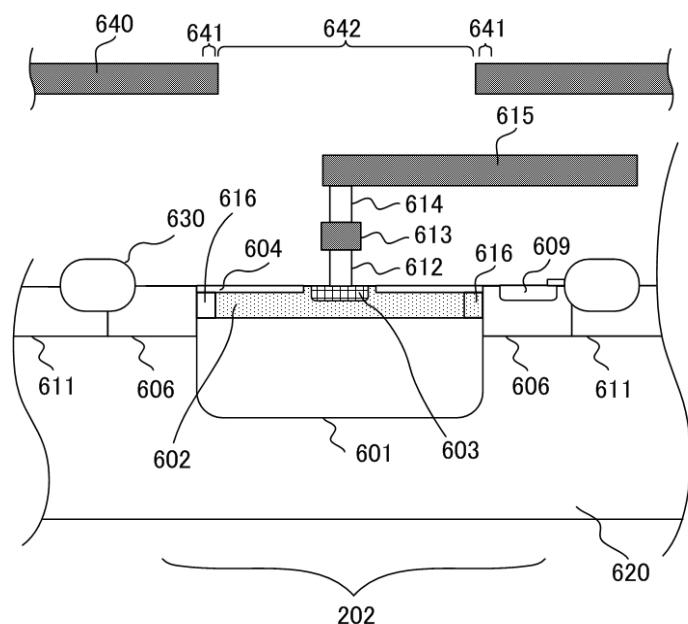


(b)

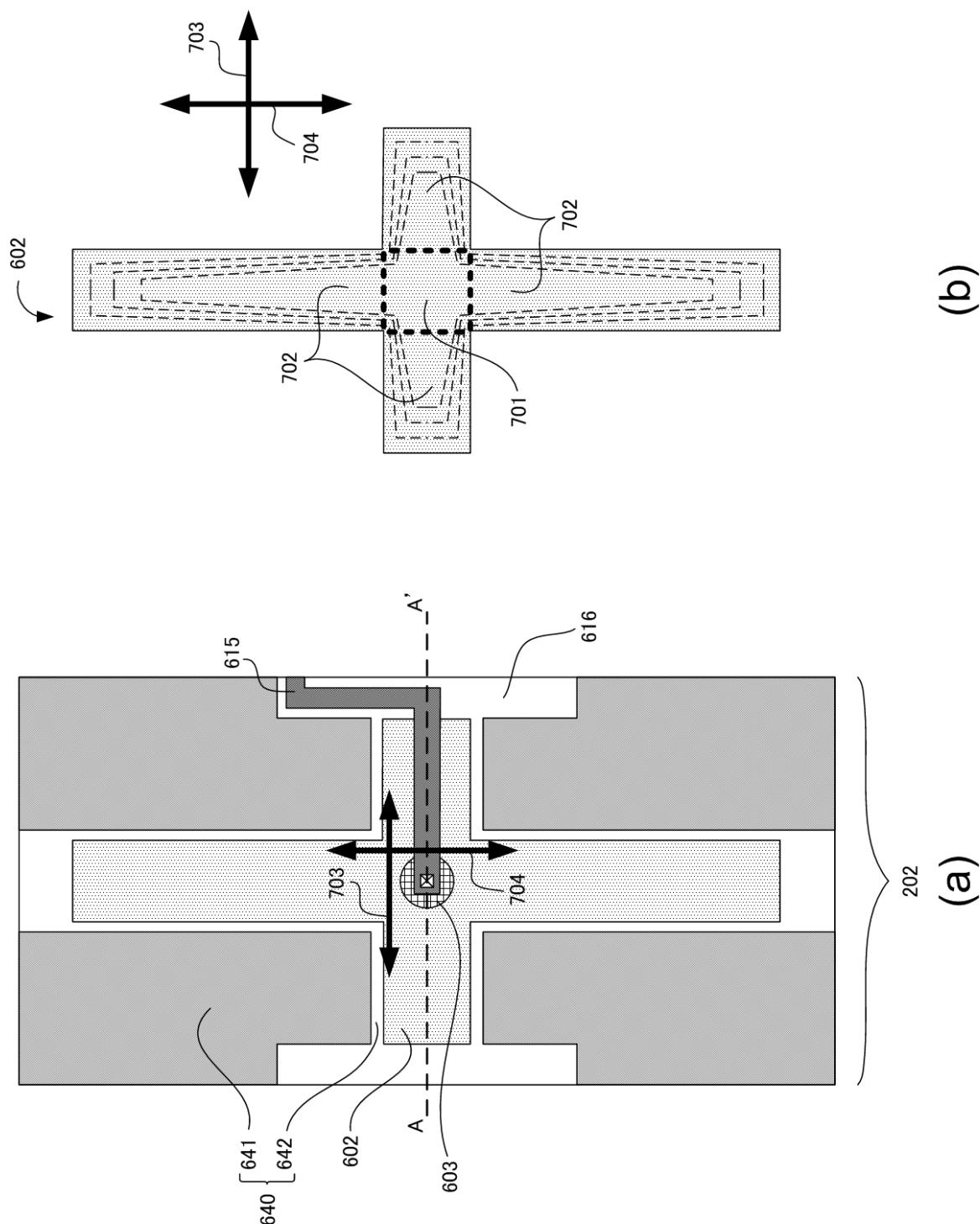
【図5】



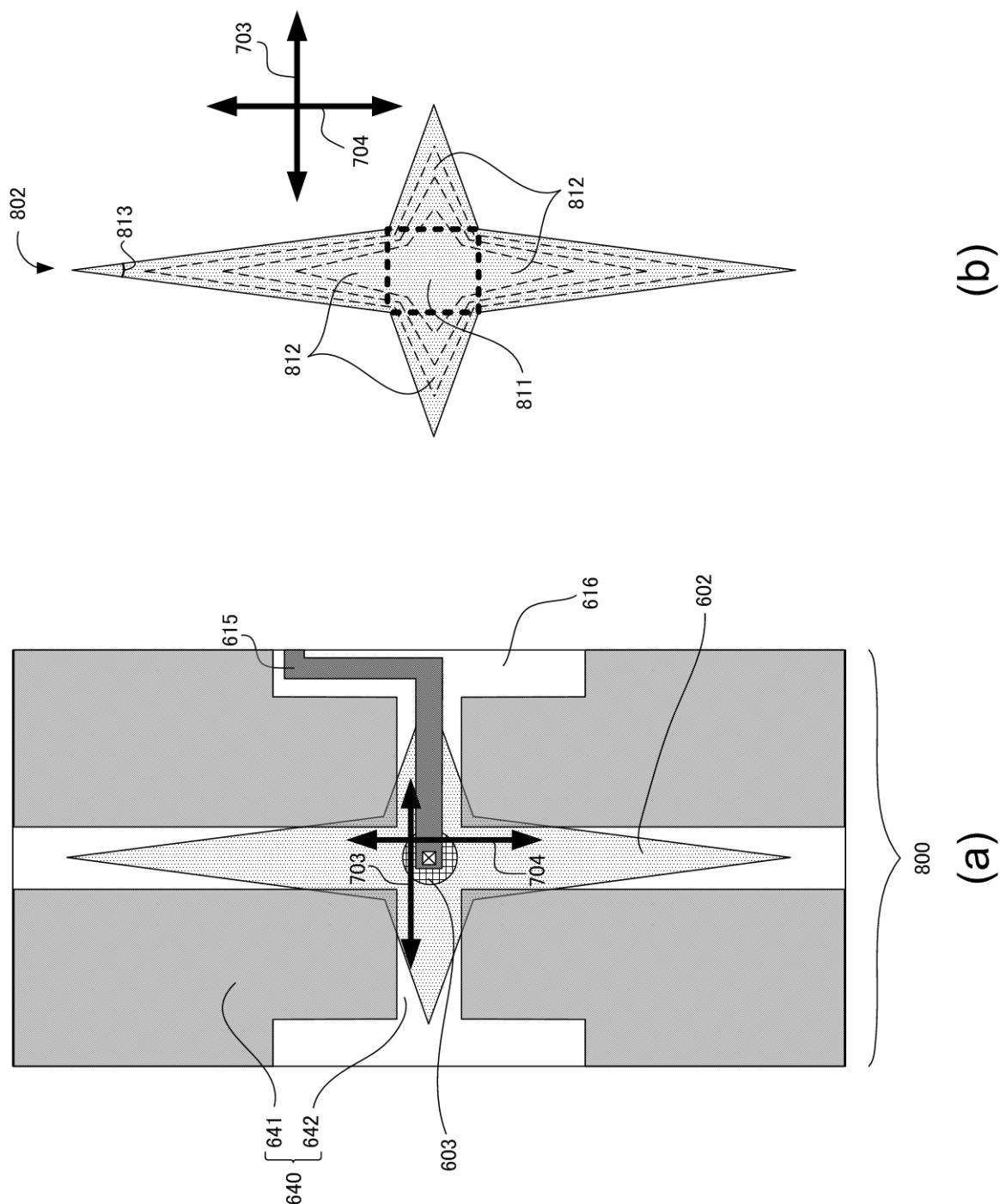
【図6】



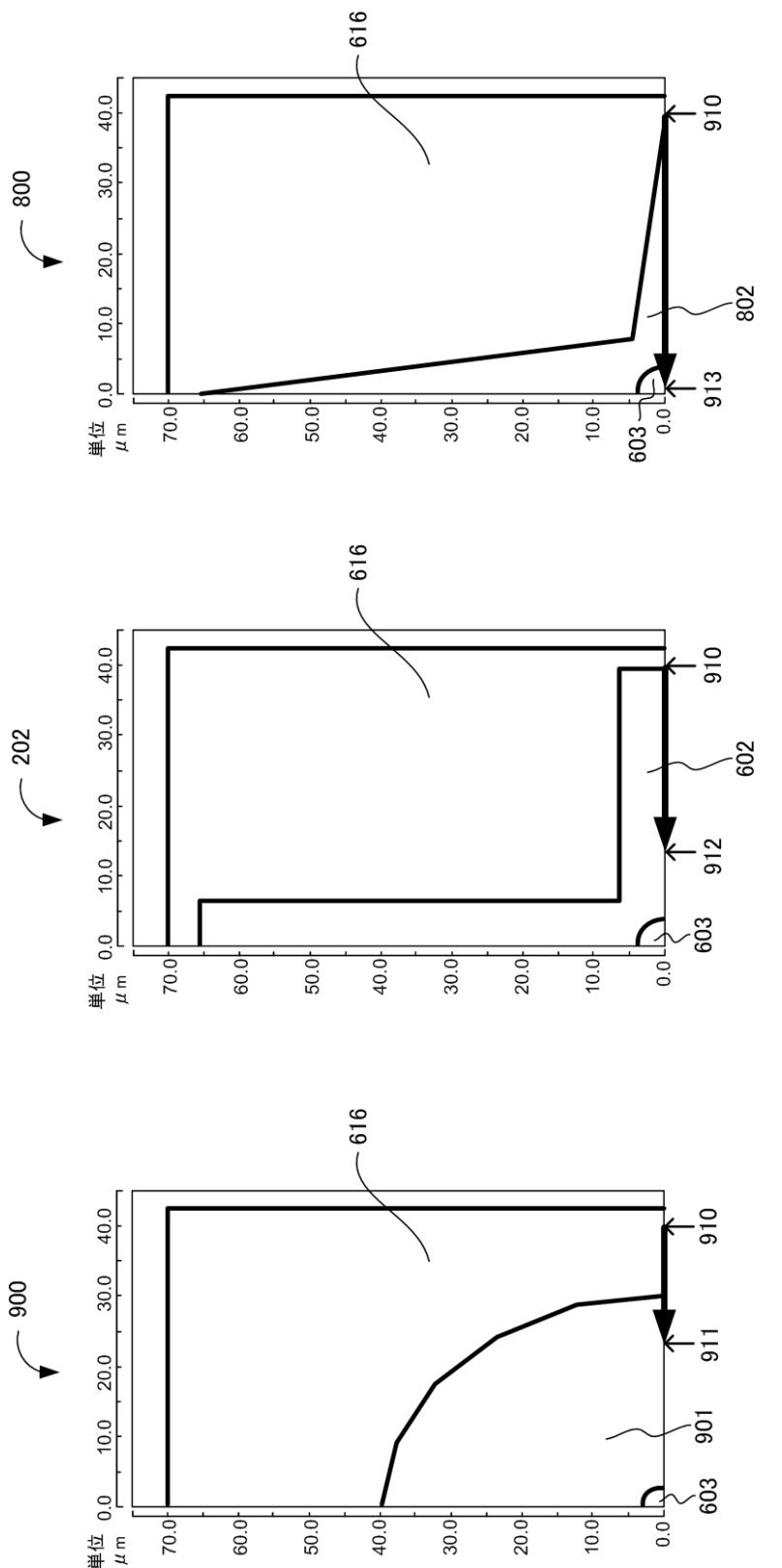
【図7】



【図8】



【図9】

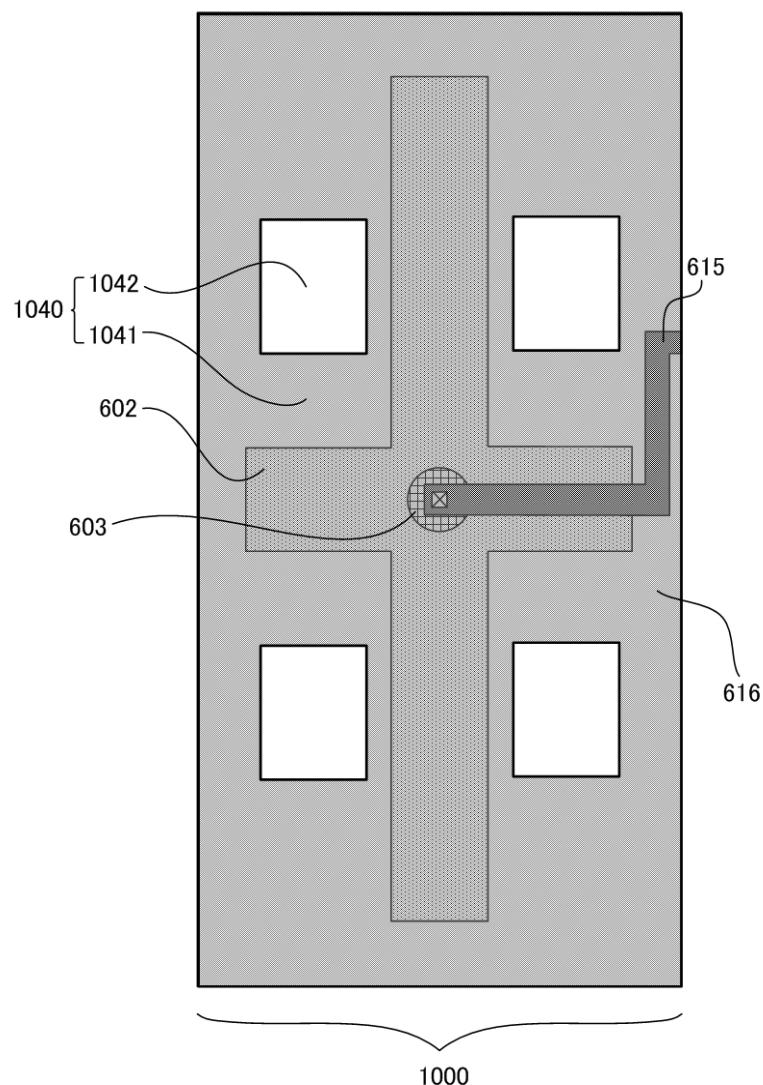


(a)

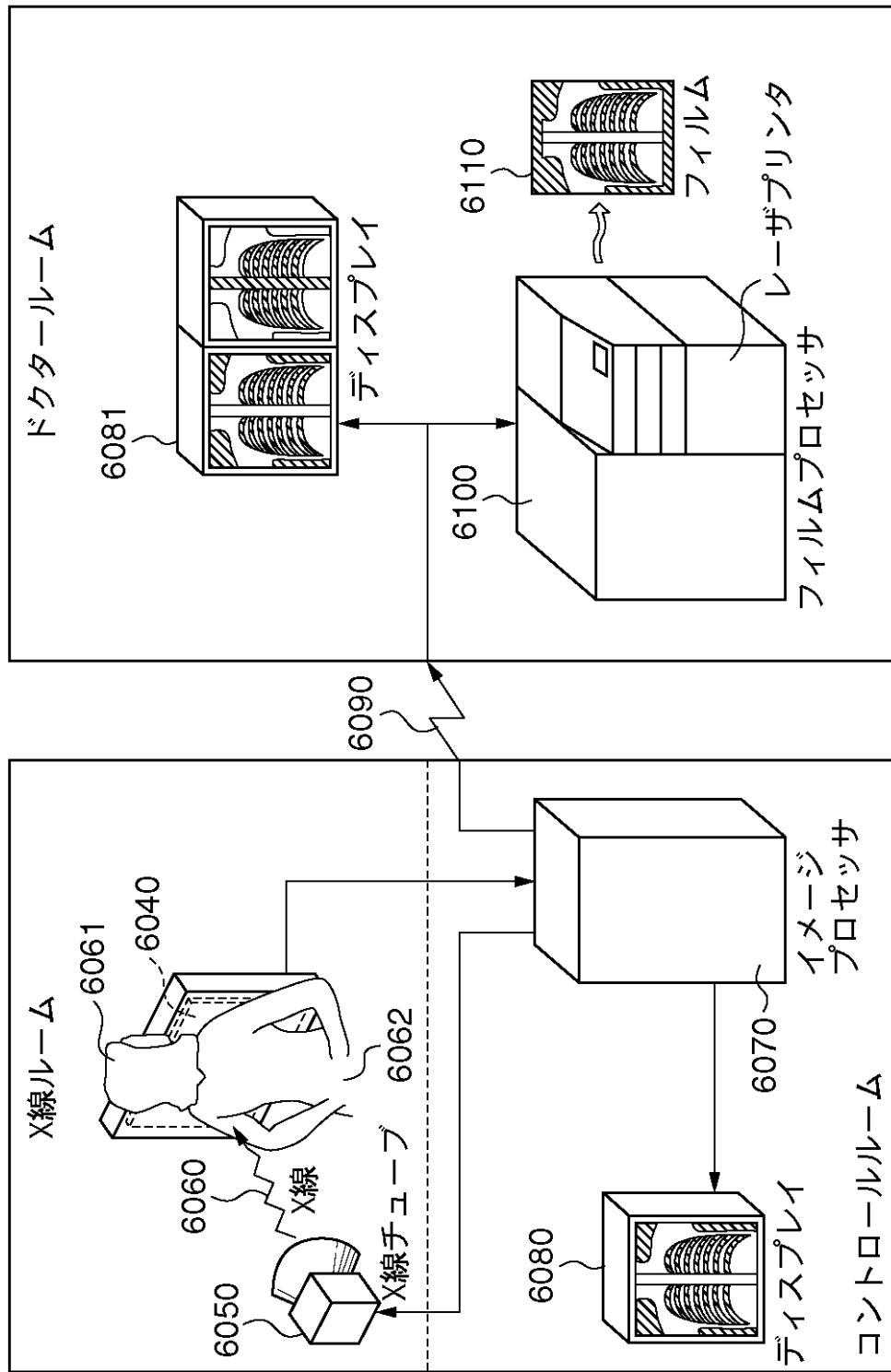
(b)

(c)

【図10】



【図 11】



フロントページの続き

(72)発明者 菊池 伸
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(72)発明者 山下 雄一郎
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(72)発明者 藤村 大
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(72)発明者 河野 祥士
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(72)発明者 有嶋 優
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(72)発明者 清水 伸一郎
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 松永 隆志

(56)参考文献 特開2008-177191(JP,A)
特開2002-051262(JP,A)
特開2000-312024(JP,A)
特開平06-097406(JP,A)
特開平04-206773(JP,A)
特開2000-077647(JP,A)
特開平07-161958(JP,A)
特開昭60-010671(JP,A)
特開2010-008990(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/369
H01L 27/146