

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7462575号  
(P7462575)

(45)発行日 令和6年4月5日(2024.4.5)

(24)登録日 令和6年3月28日(2024.3.28)

(51)国際特許分類

H 1 0 B	12/00 (2023.01)	H 1 0 B	12/00	8 0 1
H 1 0 B	41/70 (2023.01)	H 1 0 B	12/00	6 2 1 Z
H 0 1 L	21/336 (2006.01)	H 1 0 B	12/00	6 7 1 C
H 0 1 L	29/788 (2006.01)	H 1 0 B	41/70	
H 0 1 L	29/792 (2006.01)	H 0 1 L	29/78	3 7 1

F I

請求項の数 5 (全83頁)

(21)出願番号 特願2020-567657(P2020-567657)  
 (86)(22)出願日 令和1年11月19日(2019.11.19)  
 (86)国際出願番号 PCT/IB2019/059906  
 (87)国際公開番号 WO2020/152522  
 (87)国際公開日 令和2年7月30日(2020.7.30)  
 審査請求日 令和4年11月3日(2022.11.3)  
 (31)優先権主張番号 特願2019-11691(P2019-11691)  
 (32)優先日 平成31年1月25日(2019.1.25)  
 (33)優先権主張国・地域又は機関  
日本国(JP)  
 (31)優先権主張番号 特願2019-11692(P2019-11692)  
 (32)優先日 平成31年1月25日(2019.1.25)  
 (33)優先権主張国・地域又は機関  
日本国(JP)  
 (31)優先権主張番号 特願2019-11688(P2019-11688)  
 最終頁に続く

(73)特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72)発明者 大貫 達也  
 神奈川県厚木市長谷398番地 株式会  
 社半導体エネルギー研究所内  
 八窪 裕人  
 神奈川県厚木市長谷398番地 株式会  
 社半導体エネルギー研究所内  
 岡本 佑樹  
 神奈川県厚木市長谷398番地 株式会  
 社半導体エネルギー研究所内  
 斎藤 聖矢  
 神奈川県厚木市長谷398番地 株式会  
 社半導体エネルギー研究所内  
 最終頁に続く

(54)【発明の名称】 半導体装置

## (57)【特許請求の範囲】

## 【請求項1】

第1メモリセルと第2メモリセルとを有する第1の素子層を有し、  
 第3メモリセルと第4メモリセルとを有する第2の素子層を有し、  
 前記第1メモリセルを制御する機能と、前記第2メモリセルを制御する機能と、前記第3  
 メモリセルを制御する機能と、前記第4メモリセルを制御する機能と、を有する第3の素  
 子層を有し、

駆動回路を有するシリコン基板を有し、

第1配線と第2配線とを有し、

前記シリコン基板の上に前記第3の素子層が設けられ、

前記第3の素子層の上に前記第1の素子層が設けられ、

前記第1の素子層の上に前記第2の素子層が設けられ、

前記第1メモリセルは、第1トランジスタと、第1キャパシタと、を有し、

前記第2メモリセルは、第2トランジスタと、第2キャパシタと、を有し、

前記第3メモリセルは、第3トランジスタと、第3キャパシタと、を有し、

前記第4メモリセルは、第4トランジスタと、第4キャパシタと、を有し、

前記第3の素子層は、第5トランジスタを有し、

前記駆動回路は、第6トランジスタを有し、

前記第1配線は、前記第1トランジスタのソース又はドレインの一方、前記第2トランジ  
 スタのソース又はドレインの一方、前記第3トランジスタのソース又はドレインの一方、

および前記第4トランジスタのソース又はドレインの一方と電気的に接続され、  
 前記第1配線は、前記第5トランジスタのゲートと電気的に接続され、  
 前記第2配線は、前記第5トランジスタのソース又はドレインの一方と電気的に接続され、  
 前記第2配線は、前記第6トランジスタのソース又はドレインの一方と電気的に接続され、  
 前記第1配線は、前記第1トランジスタのチャネル形成領域及び前記第2トランジスタの  
 チャネル形成領域を有する第1半導体層および前記第3トランジスタのチャネル形成領域  
 及び前記第4トランジスタのチャネル形成領域を有する第2半導体層に接し、且つ前記シリコン基板の表面に対して垂直方向または概略垂直方向に設けられ、  
 前記第1半導体層および前記第2半導体層は、それぞれチャネル形成領域にInと、Ga  
 と、Znと、を含む金属酸化物を有し、  
 前記第2配線は、前記シリコン基板の表面に対して垂直方向または概略垂直方向に設けられる、半導体装置。

## 【請求項2】

請求項1において、

第7メモリセルと第8メモリセルとを有する第4の素子層と、を有し、  
 第9メモリセルと第10メモリセルとを有する第5の素子層と、を有し、  
 前記第7メモリセルを制御する機能と、前記第8メモリセルを制御する機能と、前記第9  
 メモリセルを制御する機能と、前記第10メモリセルを制御する機能と、を有する第6の  
 素子層を有し、

前記第2の素子層の上に前記第6の素子層が設けられ、

前記第6の素子層の上に前記第4の素子層が設けられ、

前記第4の素子層の上に前記第5の素子層が設けられ、

前記第7メモリセルは、第7トランジスタと、第7キャパシタと、を有し、

前記第8メモリセルは、第8トランジスタと、第8キャパシタと、を有し、

前記第9メモリセルは、第9トランジスタと、第9キャパシタと、を有し、

前記第10メモリセルは、第10トランジスタと、第10キャパシタと、を有し、

前記第6の素子層は、第11トランジスタを有し、

第3配線が設けられ、

前記第3配線は、前記第7トランジスタのソース又はドレインの一方、前記第8トランジ  
 スタのソース又はドレインの一方、前記第9トランジスタのソース又はドレインの一方、  
 および前記第10トランジスタのソース又はドレインの一方と電気的に接続され、

前記第3配線は、前記第11トランジスタのゲートと電気的に接続され、

前記第2配線は、前記第11トランジスタのソース又はドレインの一方と電気的に接続さ  
 れ、

前記第3配線は、前記第7トランジスタのチャネル形成領域及び前記第8トランジスタの  
 チャネル形成領域を有する第3半導体層および前記第9トランジスタのチャネル形成領域  
 及び前記第10トランジスタのチャネル形成領域を有する第4半導体層に接し、且つ前記シリコン基板の表面に対して垂直方向または概略垂直方向に設けられ、

前記第3半導体層および前記第4半導体層は、それぞれチャネル形成領域にInと、Ga  
 と、Znと、を含む金属酸化物を有する、半導体装置。

## 【請求項3】

請求項1又は2において、

前記第1キャパシタは、前記第1半導体層の下層に設けられ、

前記第3キャパシタは、前記第2半導体層の下層に設けられる、半導体装置。

## 【請求項4】

請求項1又は2において、

前記第1キャパシタは、前記第1半導体層の上層に設けられ、

前記第3キャパシタは、前記第2半導体層の上層に設けられる、半導体装置。

## 【請求項5】

請求項1又は2において、

10

20

30

40

50

前記第1キャパシタの一方の電極は、前記第1半導体層と同じ層に設けられ、前記第3キャパシタの一方の電極は、前記第2半導体層と同じ層に設けられる、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書は、半導体装置等について説明する。

【0002】

本明細書において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能しうる装置全般をいう。例えば、集積回路、集積回路を備えたチップや、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置および電子機器等は、それ自体が半導体装置であり、半導体装置を有している場合がある。

10

【背景技術】

【0003】

トランジスタに適用可能な半導体として金属酸化物が注目されている。“IGZO”、“イグゾー”などと呼ばれるIn-Ga-Zn酸化物は、多元系金属酸化物の代表的なものである。IGZOに関する研究において、単結晶でも非晶質でもない、CAAC(c-axis aligned crystalline)構造、およびnc(nanocrystalline)構造が見出された（例えば、非特許文献1）。

20

【0004】

チャネル形成領域に金属酸化物半導体を有するトランジスタ（以下、「酸化物半導体トランジスタ」、または「OSトランジスタ」と呼ぶ場合がある。）は、極小オフ電流であることが報告されている（例えば、非特許文献1、2）。OSトランジスタが用いられた様々な半導体装置が作製されている（例えば、非特許文献3、4）。

30

【0005】

OSトランジスタの製造プロセスは、従来のSiトランジスタとのCMOSプロセスに組み込むことができ、OSトランジスタはSiトランジスタに積層することが可能である。例えば特許文献1では、OSトランジスタを有するメモリセルアレイの層をSiトランジスタが設けられた基板上に複数積層した構成について開示している。

【先行技術文献】

【特許文献】

【0006】

【文献】米国特許出願公開第2012/0063208号明細書

【非特許文献】

【0007】

【文献】S. Yamazaki et al., “Properties of crystalline In-Ga-Zn-oxide semiconductor and its transistor characteristics,” Jpn. J. Appl. Phys., vol. 53, 04ED18 (2014).

40

【文献】K. Kato et al., “Evaluation of Off-State Current Characteristics of Transistor Using Oxide Semiconductor Material, Indium-Gallium-Zinc Oxide,” Jpn. J. Appl. Phys., vol. 51, 021201 (2012).

【文献】S. Amano et al., “Low Power LC Display Using In-Ga-Zn-Oxide TFTs Based on Variable Frame Frequency,” SID Symp. Dig. Papers, vol. 41, pp. 626-629 (2010).

50

【文献】T. Ishizu et al., "Embedded Oxide Semiconductor Memories: A Key Enabler for Low-Power ULSI," *ECS Trans.*, vol. 79, pp. 149-156 (2017).

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明の一形態は、新規な構成の半導体装置等を提供することを課題の一とする。または本発明の一態様は、極小オフ電流を利用した記憶装置として機能する半導体装置において、製造コストの低減を図ることができる、新規な構成の半導体装置等を提供することを課題の一とする。または本発明の一態様は、極小オフ電流を利用した記憶装置として機能する半導体装置において低消費電力化に優れた、新規な構成の半導体装置等を提供することを課題の一とする。または本発明の一態様は、極小オフ電流を利用した記憶装置として機能する半導体装置において、装置の小型化を図ることができる、新規な構成の半導体装置等を提供することを課題の一とする。または本発明の一態様は、極小オフ電流を利用した記憶装置として機能する半導体装置において、トランジスタの電気特性の変動が小さく信頼性に優れた、新規な構成の半導体装置等を提供することを課題の一とする。

10

【0009】

複数の課題の記載は、互いの課題の存在を妨げるものではない。本発明の一形態は、例示した全ての課題を解決する必要はない。また、列記した以外の課題が、本明細書の記載から、自ずと明らかとなり、このような課題も、本発明の一形態の課題となり得る。

20

【課題を解決するための手段】

【0010】

本発明の一態様は、第1メモリセルを有する第1の素子層と、第2メモリセルを有する第2の素子層と、切り替え回路を有する第3の素子層と、駆動回路を有するシリコン基板と、を有し、第1の素子層は、シリコン基板と第2の素子層との間に設けられ、第3の素子層は、シリコン基板と第1の素子層との間に設けられ、第1メモリセルは、第1トランジスタと、第1キャパシタと、を有し、第2メモリセルは、第2トランジスタと、第2キャパシタと、を有し、切り替え回路は、第1メモリセル又は第2メモリセルと、駆動回路と、の間の導通状態を制御する機能を有する第3トランジスタを有し、第1トランジスタのソース又はドレインの一方、および第2トランジスタのソース又はドレインの一方は、それぞれ第3トランジスタのソース又はドレインの一方と電気的に接続するための配線に電気的に接続され、第3トランジスタのソース又はドレインの他方は、駆動回路に電気的に接続され、配線は、第1トランジスタが有する第1半導体層および第2トランジスタが有する第2半導体層に接し、且つシリコン基板の表面に対して垂直方向または概略垂直方向に設けられる、半導体装置である。

30

【0011】

本発明の一態様において、第1半導体層および第2半導体層は、それぞれチャネル形成領域に金属酸化物を有する、半導体装置が好ましい。

40

【0012】

本発明の一態様において、第1キャパシタは、第1半導体層の下層に設けられ、第2キャパシタは、第2半導体層の下層に設けられる、半導体装置が好ましい。

【0013】

本発明の一態様において、第1キャパシタは、第1半導体層の上層に設けられ、第2キャパシタは、第2半導体層の上層に設けられる、半導体装置が好ましい。

【0014】

本発明の一態様において、第1キャパシタの一方の電極は、第1半導体層と同じ層に設けられ、第2キャパシタの一方の電極は、第2半導体層と同じ層に設けられる、半導体装置が好ましい。

【0015】

50

本発明の一態様は、第1メモリセルを有する第1の素子層と、第2メモリセルを有する第2の素子層と、第1制御回路を有する第3の素子層と、駆動回路を有するシリコン基板と、を有し、前記第1の素子層は、前記シリコン基板と前記第2の素子層との間に設けられ、前記第3の素子層は、前記シリコン基板と前記第1の素子層との間に設けられ、前記第1メモリセルは、第1トランジスタと、第1キャパシタと、を有し、前記第2メモリセルは、第2トランジスタと、第2キャパシタと、を有し、前記第1制御回路は、前記第1メモリセルから読み出される信号を増幅するための第3トランジスタを有し、第1トランジスタのソースまたはドレインの一方、および第2トランジスタのソースまたはドレインの一方は、それぞれ前記第3トランジスタのゲートと電気的にするための第1配線に電気的に接続され、第3トランジスタのソースまたはドレインの一方は、前記駆動回路に電気的にするための第2配線に電気的に接続され、前記第1配線は、前記第1トランジスタが有する第1半導体層および前記第2トランジスタが有する第2半導体層に接し、且つ前記シリコン基板の表面に対して垂直方向または概略垂直方向に設けられ、前記第2配線は、前記第1配線に対して平行な方向または概略平行な方向に設けられる、半導体装置である。  
10

#### 【0016】

本発明の一態様において、前記第1制御回路は、第4トランジスタを有し、前記第4トランジスタのソースまたはドレインの一方は、前記第3トランジスタのソースまたはドレインの一方に電気的に接続され、前記第4トランジスタのソースまたはドレインの他方は、前記第2配線に電気的に接続される、半導体装置が好ましい。

#### 【0017】

本発明の一態様において、前記第1制御回路は、第5トランジスタおよび第6トランジスタを有し、前記第5トランジスタのソースまたはドレインの一方は、前記第3トランジスタのゲートに電気的に接続され、前記第5トランジスタのソースまたはドレインの他方は、前記第2配線に電気的に接続され、前記第6トランジスタのソースまたはドレインの一方は、前記第3トランジスタのソースまたはドレインの他方に電気的に接続され、前記第6トランジスタのソースまたはドレインの他方は、グラウンド線に電気的に接続される、半導体装置が好ましい。

#### 【0018】

本発明の一態様において、前記第1半導体層および第2半導体層は、それぞれチャネル形成領域に金属酸化物を有する、半導体装置が好ましい。

#### 【0019】

本発明の一態様において、前記金属酸化物は、Inと、Gaと、Znと、を含む、半導体装置が好ましい。

#### 【0020】

本発明の一態様において、前記第1キャパシタは、前記第1半導体層の下層に設けられ、前記第2キャパシタは、前記第2半導体層の下層に設けられる、半導体装置が好ましい。

#### 【0021】

本発明の一態様において、前記第1キャパシタは、前記第1半導体層の上層に設けられ、前記第2キャパシタは、前記第2半導体層の上層に設けられる、半導体装置が好ましい。

#### 【0022】

本発明の一態様において、前記第1キャパシタの一方の電極は、前記第1半導体層と同じ層に設けられ、前記第2キャパシタの一方の電極は、前記第2半導体層と同じ層に設けられる、半導体装置が好ましい。

#### 【0023】

本発明の一態様は、第1のメモリセルを有する第1の素子層と、第2のメモリセルを有する第2の素子層と、を有し、前記第1の素子層と、前記第2の素子層と、は積層して設けられ、前記第1のメモリセルは、第1トランジスタと、第1キャパシタと、を有し、前記第2のメモリセルは、第2トランジスタと、第3トランジスタと、第2キャパシタと、を有し、前記第1トランジスタのソースまたはドレインの一方は、前記第1キャパシタの一方の電極と電気的に接続され、前記第2トランジスタのソースまたはドレインの一方は

10

20

30

40

50

、前記第3トランジスタのゲート、および前記第2キャパシタの一方の電極と電気的に接続される、半導体装置である。

【0024】

本発明の一態様において、基板を有し、前記第2の素子層は、前記基板と前記第1の素子層との間に設けられる、半導体装置が好ましい。

【0025】

本発明の一態様において、前記第1トランジスタは、第1半導体層を有し、前記第2トランジスタは、第2半導体層を有し、前記第1半導体層および第2半導体層は、それぞれチャネル形成領域に金属酸化物を有する、半導体装置が好ましい。

【0026】

本発明の一態様において、前記金属酸化物は、Inと、Gaと、Znと、を含む、半導体装置が好ましい。

【0027】

なあその他の本発明の一態様については、以下で述べる実施の形態における説明、および図面に記載されている。

【発明の効果】

【0028】

本発明の一形態は、新規な構成の半導体装置等を提供することができる。または本発明の一態様は、極小オフ電流を利用した記憶装置として機能する半導体装置において、製造コストの低減を図ることができる、新規な構成の半導体装置等を提供することができる。または本発明の一態様は、極小オフ電流を利用した記憶装置として機能する半導体装置において低消費電力に優れた、新規な構成の半導体装置等を提供することができる。または本発明の一態様は、極小オフ電流を利用した記憶装置として機能する半導体装置において、装置の小型化を図ることができる、新規な構成の半導体装置等を提供することができる。または本発明の一態様は、極小オフ電流を利用した記憶装置として機能する半導体装置において、トランジスタの電気特性の変動が小さく信頼性に優れた、新規な構成の半導体装置等を提供することができる。

【0029】

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、および新規な特徴については、本明細書の記載および図面から自ずと明らかになるものである。

【図面の簡単な説明】

【0030】

【図1】図1は、半導体装置の構成例を示す(A)ブロック図および(B)模式図である。

【図2】図2は、半導体装置の構成例を示す模式図である。

【図3】図3は、半導体装置の構成例を示す(A)模式図および(B)模式図である。

【図4】図4は、半導体装置の構成例を示す回路図である。

【図5】図5は、半導体装置の構成例を示すタイミングチャートである。

【図6】図6は、半導体装置の構成例を示す(A)ブロック図および(B)模式図である。

【図7】図7は、半導体装置の構成例を示す模式図である。

【図8】図8は、半導体装置の構成例を示す回路図である。

【図9】図9は、半導体装置の構成例を示す模式図である。

【図10】図10は、半導体装置の構成例を示す(A)模式図および(B)模式図である。

【図11】図11は、半導体装置の構成例を示す(A)ブロック図および(B)模式図である。

【図12】図12は、半導体装置の構成例を示す(A)ブロック図および(B)回路図である。

【図13】図13は、半導体装置の構成例を示すブロック図である。

【図14】図14は、半導体装置の構成例を示す模式図である。

10

20

30

40

50

【図15】図15は、半導体装置の構成例を示す模式図である。  
 【図16】図16は、半導体装置の構成例を示す模式図である。  
 【図17】図17は、半導体装置の構成例を示す模式図である。  
 【図18】図18は、半導体装置の構成例を示す(A)回路図および(B)回路図である。  
 【図19】図19は、半導体装置の構成例を示す(A)回路図および(B)回路図である。  
 【図20】図20は、半導体装置の構成例を示す回路図である。  
 【図21】図21は、半導体装置の構成例を示す回路図である。  
 【図22】図22は、半導体装置の構成例を示す回路図である。  
 【図23】図23は、半導体装置の構成例を示すタイミングチャートである。  
 【図24】図24は、半導体装置の構成例を示す回路図である。  
 【図25】図25は、半導体装置の構成例を示す(A)ブロック図および(B)模式図である。

10

【図26】図26は、半導体装置の構成例を示す模式図である。  
 【図27】図27は、半導体装置の構成例を示す(A)模式図および(B)模式図である。  
 【図28】図28は、半導体装置の構成例を示す回路図である。  
 【図29】図29は、半導体装置の構成例を示すタイミングチャートである。  
 【図30】図30は、半導体装置の構成例を説明する模式図である。  
 【図31】図31は、半導体装置の構成例を示す模式図である。  
 【図32】図32は、半導体装置の構成例を示す模式図である。  
 【図33】図33は、半導体装置の構成例を説明する模式図である。  
 【図34】図34は、半導体装置の構成例を示す断面模式図である。  
 【図35】図35は、半導体装置の構成例を示す(A)断面模式図および(B)断面模式図である。

20

【図36】図36は、半導体装置の構成例を示す(A)断面模式図、(B)断面模式図および(C)断面模式図である。

【図37】図37は、半導体装置の構成例を示す断面模式図である。

【図38】図38は、半導体装置の構成例を示す断面模式図である。

【図39】図39は、半導体装置の構成例を示す(A)上面図、(B)断面模式図および(C)断面模式図である。

30

【図40】図40は、半導体装置の構成例を示す(A)乃至(D)上面図である。

【図41】図41は、(A)IGZOの結晶構造の分類を説明する図、(B)CACC-IGZO膜のXRDスペクトルを説明する図、(C)CACC-IGZO膜の極微電子線回折パターンを説明する図である。

【図42】図42は、半導体装置の構成例を説明するブロック図である。

【図43】図43は、半導体装置の構成例を示す概念図である。

【図44】図44は、半導体装置の構成例を示す(A)グラフおよび(B)グラフである。

【図45】図45は、電子部品の一例を説明する(A)模式図、(B)模式図である。

【図46】図46は、電子機器の例を示す図である。

【発明を実施するための形態】

【0031】

40

以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0032】

なお本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等

50

の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

【0033】

図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【0034】

本明細書において、例えば、電源電位VDDを、電位VDD、VDD等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、回路、素子、電極、配線等）についても同様である。

10

【0035】

また、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときに、符号に“\_1”、“\_2”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。例えば、2番目の配線GLを配線GL[2]と記載する。

【0036】

（実施の形態1）

本発明の一態様である半導体装置、および半導体装置の動作方法の構成例について、図1乃至図5を参照して説明する。

【0037】

なお半導体装置は半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置である。本実施の形態で説明する半導体装置は、極小オフ電流のトランジスタを利用した記憶装置として機能する半導体装置として機能させることができる。

20

【0038】

図1(A)は本実施の形態で説明する半導体装置のブロック図である。図1(A)に示す半導体装置10は、周辺回路20およびメモリセルアレイ30を有する。

【0039】

周辺回路20は、ロウドライバ21およびカラムドライバ22を有する。ロウドライバ21およびカラムドライバ22は、単に駆動回路またはドライバという場合がある。

【0040】

ロウドライバ21は、ワード線WLにメモリセルアレイ30を駆動するための信号を出力する機能を有する回路である。具体的にロウドライバ21は、ワード線WL（図1(A)）ではWL\_1およびWL\_Nを図示。Nは2以上の自然数）にワード信号を伝える機能を有する。ロウドライバ21は、ワード線側駆動回路という場合がある。なおロウドライバ21は、指定されたアドレスに応じたワード線WLを選択するためのデコーダ回路、およびバッファ回路等を含む。なおワード線WLは、単に配線と呼ぶ場合がある。

30

【0041】

カラムドライバ22は、ビット線BLにメモリセルアレイ30を駆動するための信号を出力する機能を有する回路である。具体的にカラムドライバ22は、ビット線BL（図1(A)）ではBL\_1およびBL\_2）にデータ信号を伝える機能を有する。カラムドライバ22は、ビット線側駆動回路という場合がある。なおカラムドライバ22は、センスアンプ、プリチャージ回路、指定されたアドレスに応じたビット線を選択するためのデコーダ回路等を含む。なおビット線BLは、単に配線と呼ぶ場合がある。なお図面において、ビット線BLは、視認性を高めるため、太線あるいは太い点線等で図示する場合がある。

40

【0042】

ビット線BLに与えられるデータ信号は、メモリセルに書き込まれる信号、またはメモリセルから読み出される信号に相当する。データ信号は、データ1又はデータ0に対応するハイレベル又はローレベルの電位を有する二値の信号として説明する。なおデータ信号は、3値以上の多値でもよい。ハイレベルの電位はVDD、ローレベルの電位はVSS、あるいはグラウンド電位（GND）である。ビット線BLに与えられる信号としては、デ

50

ータ信号の他、データを読み出すためのプリチャージ電位等がある。プリチャージ電位は VDD/2 とすることができます。

#### 【0043】

メモリセルアレイ 30 は、複数、例えば N 層 (N は 2 以上の自然数) の素子層 34\_1 乃至 34\_N を有する。素子層 34\_1 は、1 以上のメモリセル 31\_1 を有する。メモリセル 31\_1 は、トランジスタ 32\_1 およびキャパシタ 33\_1 を有する。素子層 34\_N は、1 以上のメモリセル 31\_N を有する。メモリセル 31\_N は、トランジスタ 32\_N およびキャパシタ 33\_N を有する。なおキャパシタは、容量素子と呼ぶ場合がある。なお素子層は、キャパシタやトランジスタなどの素子が設けられる層であり、導電体、半導体、絶縁体等の部材で構成される層である。

10

#### 【0044】

トランジスタ 32\_1 乃至 32\_N は、ワード線 WL\_1 乃至 WL\_N に与えられるワード信号に応じてオンまたはオフが制御されるスイッチとして機能する。トランジスタ 32\_1 乃至 32\_N は、それぞれ、ソース又はドレインの一方が、ビット線 BL のいずれか一 (図中、BL\_1) に接続される。

#### 【0045】

トランジスタ 32\_1 乃至 32\_N として、チャネル形成領域に酸化物半導体を有するトランジスタ (以下、OSトランジスタという) で構成されることが好ましい。本発明の一態様の構成では、OSトランジスタを有するメモリセルを用いる構成とすることで、オフ時にソースとドレイン間を流れるリーク電流 (以下、オフ電流) が極めて低い特性を利用して、所望の電圧に応じた電荷をソース又はドレインの他方にあるキャパシタ 33\_1 乃至 33\_N に保持させることができる。つまり、メモリセル 31\_1 乃至 31\_N において、一旦書き込んだデータを長時間保持することができる。そのため、データリフレッシュの頻度を下げ、低消費電力化を図ることができる。

20

#### 【0046】

加えて OSトランジスタを用いたメモリセル 31\_1 乃至 31\_N では、電荷の充電又は放電することによってデータの書き換えおよび読み出しが可能となるため、実質的に無制限回のデータの書き込みおよび読み出しが可能である。OSトランジスタを用いたメモリセル 31\_1 乃至 31\_N は、磁気メモリあるいは抵抗変化型メモリなどに原子レベルでの構造変化を伴わないとため、書き換え耐性に優れている。また OSトランジスタを用いたメモリセル 31\_1 乃至 31\_N は、フラッシュメモリのように繰り返し書き換え動作を行っても電子捕獲中心の増加による不安定性が認められない。

30

#### 【0047】

また OSトランジスタを用いたメモリセル 31\_1 乃至 31\_N は、チャネル形成領域にシリコンを含むトランジスタ (以下、Siトランジスタ) を有するシリコン基板上などに自由に配置可能であるため、集積化を容易に行うことができる。また OSトランジスタは、Siトランジスタと同様の製造装置を用いて作製することができるため、低コストで作製可能である。

#### 【0048】

また OSトランジスタは、ゲート電極、ソース電極およびドレイン電極に加えて、バックゲート電極を含むと、4 端子の半導体素子とすることができます。OSトランジスタは、ゲート電極またはバックゲート電極に与える電圧に応じて、ソースとドレインとの間を流れる信号の入出力が独立制御可能な電気回路網で構成することができる。そのため、LSI と同一思考で回路設計を行うことができる。加えて OSトランジスタは、高温環境下において、Siトランジスタよりも優れた電気特性を有する。具体的には、125 以上 150 以下といった高温下においてもオン電流とオフ電流の比が大きいため、良好なスイッチング動作を行うことができる。

40

#### 【0049】

なお図 1 (A) に示すメモリセルは、OSトランジスタをメモリに用いた DOSRAM (Dynamic Oxide Semiconductor Random Access

50

s Memory) と呼ぶことができる。一つのトランジスタ、及び一つの容量で構成することができるため、メモリの高密度化を実現できる。また、OSトランジスタを用いることで、データの保持期間を長くすることができる。キャパシタ33\_1乃至33\_Nは、電極となる導電体の間に絶縁体を挟んだ構成となる。なお電極を構成する導電体としては、金属の他、導電性を付与した半導体層などを用いることができる。また詳細は後述するが、キャパシタ33\_1乃至33\_Nをトランジスタ32\_1乃至32\_Nの上方または下方の重なる位置に配置する他、トランジスタ32\_1乃至32\_Nを構成する半導体層あるいは電極等の一部をキャパシタ33\_1乃至33\_Nの一方の電極として用いることができる。

#### 【0050】

図1(A)で説明した各構成において、本発明の一態様にある素子層34\_1乃至34\_Nについて説明するため、図1(B)に図示する模式図を用いて説明する。図1(B)に示す模式図は、図1(A)で説明した各構成の配置を説明するため、x軸、y軸、z軸方向を規定した斜視図に対応する。なお理解を容易にするため、明細書中、x軸方向を奥行き方向、y軸方向を水平方向、z軸方向を垂直方向と呼ぶ場合がある。

#### 【0051】

図1(B)に図示するように素子層34\_1乃至34\_Nは、N層で積層して設けられる。メモリセル31\_1乃至31\_Nを有する素子層34\_1乃至34\_Nは、それぞれシリコン基板11に設けられたカラムドライバ22と重なる領域を有する。図1(B)に図示するように素子層34\_1は、シリコン基板11と素子層34\_Nとの間に設けられるともいえる。

#### 【0052】

また素子層34\_1が有するメモリセル31\_1のトランジスタと、素子層34\_Nが有するメモリセル31\_Nのトランジスタと、は、垂直方向に設けられたビット線BLを介して接続される。またビット線BLは、シリコン基板11に設けられたカラムドライバ22に接続される。

#### 【0053】

ビット線BL\_1は、メモリセル31\_1が有するトランジスタの半導体層およびメモリセル31\_Nが有するトランジスタの半導体層に接して設けられる。あるいはビット線BL\_1は、メモリセル31\_1が有するトランジスタの半導体層のソースまたはドレインとして機能する領域、およびメモリセル31\_Nが有するトランジスタの半導体層のソースまたはドレインとして機能する領域、に接して設けられる。あるいはビット線BL\_1は、メモリセル31\_1が有するトランジスタの半導体層のソースまたはドレインとして機能する領域と接して設けられる導電体、およびメモリセル31\_Nが有するトランジスタの半導体層のソースまたはドレインとして機能する領域と接して設けられる導電体、に接して設けられる。つまりビット線BLは、メモリセル31\_1が有するトランジスタのソース又はドレインの一方と、メモリセル31\_Nが有するトランジスタのソース又はドレインの一方と、カラムドライバ22と、を垂直方向で電気的にするための配線であるといえる。

#### 【0054】

なおビット線BLは、カラムドライバ22が設けられるシリコン基板11の面に垂直方向または概略垂直方向に延びて設けられるということができる。つまり図1(B)に図示するようにビット線BLは、メモリセル31\_1が有するトランジスタおよびメモリセル31\_Nが有するトランジスタに接続され、且つ前記シリコン基板の表面(xy平面)に対して垂直方向または概略垂直方向'(z方向)に設けられる。なお「概略垂直」とは、85度以上95度以下の角度で配置されている状態をいう。

#### 【0055】

なおシリコン基板11に設けられたロウドライバ21と、素子層34\_1乃至素子層34\_Nの奥行き方向に延びて設けられるワード線WLとは、素子層34\_1乃至素子層34\_Nにおけるメモリセル31\_1乃至31\_Nが設けられていない領域、例えば素子層

10

20

30

40

50

34\_1乃至素子層34\_Nの外周部における開口部を介して接続する構成とすればよい。シリコン基板11に設けられたロウドライバ21と、各素子層に設けられたワード線WLと、の接続は、素子層34\_1乃至素子層34\_Nの上層に設けられる配線を介して行ってもよい。

#### 【0056】

本発明の一形態は、各素子層に設けられるトランジスタとして、オフ電流が極めて低いOSトランジスタを用いる。そのため、メモリセルに保持するデータのリフレッシュ頻度を低減することができ、低消費電力化が図られた半導体装置とすることができます。OSトランジスタは、積層して設けることができ、垂直方向に繰り返し同じ製造工程を用いて作製することができ、製造コストの低減を図ることができる。また本発明の一形態は、メモリセルを構成するトランジスタを平面方向でなく、垂直方向に配置してメモリ密度の向上を図ることができ、装置の小型化を図ることができる。またOSトランジスタは、高温環境下においてもSiトランジスタと比べて電気特性の変動が小さいため、積層且つ集積化した際のトランジスタの電気特性の変動が小さく信頼性に優れた記憶装置として機能する半導体装置とすることができます。また本発明の一態様は、メモリセルアレイから延びて設けられるビット線を垂直方向に設けることで、メモリセルアレイとカラムドライバとのビット線の長さを短くできる。そのため、ビット線の寄生容量を大幅に削減できるため、メモリセルに保持するデータ信号を多値化しても電位を読み出すことができる。

#### 【0057】

図2では、図1(A)および図1(B)を用いて説明した半導体装置10の垂直方向(z軸方向)に平行な面の断面の模式図について示す。

#### 【0058】

図2に図示するように半導体装置10は、各層の素子層に設けられたメモリセル31\_1乃至31\_Nと、シリコン基板11に設けられるカラムドライバ22と、を最短距離である垂直方向に設けられるビット線BLを介して接続する構成とすることができます。ビット線BLを平面方向に配置する構成と比べて、ビット線BLの本数が増えるものの、1本のビット線に接続されるメモリセル31\_1乃至31\_Nの数を少なくすることができるため、ビット線BLの寄生容量を小さくできる。そのため、メモリセル31\_1乃至31\_Nが有するキャパシタ33\_1乃至33\_Nの容量を小さくしても、電荷の移動に伴うビット線BLの電位を変動させることができる。

#### 【0059】

またメモリセル31\_1乃至31\_Nが有するキャパシタ33\_1乃至33\_Nの容量を小さくすることができるため、キャパシタ33\_1乃至33\_Nをトランジスタ32\_1乃至32\_Nと同じ層に設けることができる。キャパシタ33\_1乃至33\_Nをトランジスタ32\_1乃至32\_Nと同じ層に設ける構成とすることで、一層毎の素子層34\_1乃至34\_Nを薄くすることができる。そのため、半導体装置10の小型化を図ることができる。

#### 【0060】

なおメモリセル31\_1乃至31\_Nが有するキャパシタ33\_1乃至33\_Nは、トランジスタ32\_1乃至32\_Nと同じ層に設ける構成でもよいが、他の構成でもよい。例えば、図3(A)に示す模式図では、素子層34\_1乃至34\_Nが有するメモリセル31のキャパシタ33Aがトランジスタ32に対して、垂直方向で上方に設けられる構成を表している。当該構成とすることで、容量を大きくすることができるため、読み出されるデータの信頼性、データの保持時間の向上を図ることができる。加えて図3(A)の構成ではトランジスタ32の上方に固定電位に一方の電極が接続されたキャパシタ33Aの電極を配置することができるため、外部からのノイズの影響を抑制することができる。

#### 【0061】

また図3(B)に示す模式図は、素子層34\_1乃至34\_Nが有するメモリセル31のキャパシタ33Bがトランジスタ32に対して、垂直方向で下方に設けられる構成を表している。当該構成とすることで、容量を大きくするため、読み出されるデ

10

20

30

40

50

ータの信頼性、データの保持時間の向上を図ることができる。加えて図3(B)の構成ではトランジスタ32と、カラムドライバ22との間に固定電位に一方の電極が接続されたキャパシタ33Bの電極を配置することができるため、カラムドライバ22のノイズのメモリセル31への影響を抑制することができる。

#### 【0062】

図4は、図1(A)で説明した、素子層34\_1乃至34\_Nを有するメモリセルアレイ30の回路構成例と、当該メモリセルに接続されるカラムドライバ22の具体的な回路構成例と、について説明する回路図である。

#### 【0063】

図4にはメモリセルアレイ30として素子層34\_1乃至34\_Nを図示している。図4では、ビット線BL\_Aに接続されたメモリセルとしてメモリセル31\_N\_Aを図示している。メモリセル31\_N\_Aは、ゲートがワード線WL\_Aに接続されたトランジスタ32Aとキャパシタ33を有している。また図4では、ビット線BL\_Bに接続されたメモリセルとしてメモリセル31\_N\_Bを図示している。メモリセル31\_N\_Bは、ゲートがワード線WL\_Bに接続されたトランジスタ32Bとキャパシタ33を有している。各素子層のキャパシタ33は、固定電位、例えばグラウンド電位が与えられる配線VLに接続される。

#### 【0064】

また図4には、カラムドライバ22が有する回路として、シリコン基板側にあるプリチャージ回路22\_1、センスアンプ22\_2、選択スイッチ22\_3、書き込み読み出し回路29を示している。プリチャージ回路22\_1およびセンスアンプ22\_2を構成するトランジスタは、Siトランジスタを用いる。選択スイッチ22\_3についてもSiトランジスタを用いることができる。

#### 【0065】

プリチャージ回路22\_1は、nチャネル型のトランジスタ24\_1乃至24\_3で構成される。プリチャージ回路22\_1は、プリチャージ線PCLに与えられるプリチャージ信号に応じて、ビット線BL\_Aおよびビット線BL\_BをVDDとVSSの間の電位VDD/2に相当する中間電位VPCにプリチャージするための回路である。

#### 【0066】

センスアンプ22\_2は、配線VHHまたは配線VLLに接続された、pチャネル型のトランジスタ25\_1、25\_2およびnチャネル型のトランジスタ25\_3、25\_4で構成される。配線VHHまたは配線VLLは、VDD又はVSSを与える機能を有する配線である。トランジスタ25\_1乃至25\_4は、インバータループを構成するトランジスタである。センスアンプ22\_2は、ワード線WL\_A、WL\_Bをハイレベルとしてメモリセル31\_N\_A、31\_N\_Bを選択することで変化するビット線BL\_Aおよびビット線BL\_Bの電位を高電源電位VDDまたは低電源電位VSSにする。ビット線BL\_Aおよびビット線BL\_Bの電位は、書き込み読み出し回路29を介して外部に出力することができる。ビット線BL\_Aおよびビット線BL\_Bは、ビット線対に相当する。

#### 【0067】

また図5では、図4に示す回路図の動作を説明するためのタイミングチャートを示す。図5に示すタイミングチャートにおいて、期間T1は初期化の動作、期間T2は書き込みの動作、期間T3は非アクセス時の動作、期間T4は読み出しの動作を説明する期間に対応する。なお図5の説明では、選択スイッチ22\_3が有するスイッチ23\_A、23\_Bの説明を省略するが、書き込みの動作、および読み出しの動作時において、適宜オンとなるよう選択される。

#### 【0068】

図5において、波形間に付された矢印は、動作の理解を容易にするためのものである。信号線のうち、配線PCLの高レベル(Hレベル)はVDDである。WLの高レベルはVHM(>VDD)であるが、VDDとしてもよい。

10

20

30

40

50

## 【0069】

期間T1では、配線VPC、配線VHHおよび配線VLLはVDD/2とされる。ビット線BL\_Aはプリチャージされ、VDD/2とする。ビット線BL\_Aのプリチャージはプリチャージ回路22\_1によって行われる。配線PCLを高レベル(Hレベル)にすることで、ビット線BL\_A(あるいはビット線BL\_B)のプリチャージと電位の平滑化が行われる。

## 【0070】

期間T2では、書き込みアクセスがあると、ビット線BL\_A(あるいはビット線BL\_B)をプリチャージ状態から浮遊状態にする。これは配線PCLをHレベルからLレベルにすることで行われる。ワード線WL\_AをHレベルにする。WL\_Aが選択された後、VHHはVDDとされ、VLLはGNDとされる。トランジスタ32Aがオンになることで、ビット線BL\_AにデータDA1が書き込まれる。ワード線WL\_AをLレベルにした後、ビット線BL\_A(あるいはビット線BL\_B)のプリチャージ動作を開始し、これらをVDD/2にプリチャージしている。

10

## 【0071】

期間T3では、配線PCLはHレベルであり、ワード線WL\_AはLレベルである。VPC、VHHおよびVLLはVDD/2である。ビット線対およびローカルビット線対はVDD/2にプリチャージされている。VHH、VLLをVDD/2にしておくことで、センスアンプ22\_2のリーク電流を低減することができる。

20

## 【0072】

期間T4では、読み出しアクセスがあると、ビット線BL\_A(あるいはビット線BL\_B)をプリチャージ状態から浮遊状態にする。次に、ワード線WL\_AをHレベルにして、トランジスタ32Aをオンにする。ビット線BL\_Aには、データDA1が書き込まれることとなる。ワード線WL\_AをHレベルした後、VHHをVDDにし、かつVLLをGNDにし、センスアンプ22\_2を差動増幅回路として機能させ、ビット線BL\_AのデータDA1を増幅する。ビット線BL\_AのデータDA1は書き込み読み出し回路29によって読み出される。

## 【0073】

本発明の一形態の半導体装置は、各素子層に設けられるトランジスタとして、オフ電流が極めて低いOSトランジスタを用いる。OSトランジスタは、Siトランジスタが設けられるシリコン基板上に積層して設けることができる。そのため、垂直方向に繰り返し同じ製造工程を用いて作製することができ、製造コストの低減を図ることができる。また本発明の一形態は、メモリセルを構成するトランジスタを平面方向でなく、垂直方向に配置してメモリ密度の向上を図ることができ、装置の小型化を図ることができる。

30

## 【0074】

## (実施の形態2)

本発明の一態様である半導体装置の構成例について、図6乃至図10を参照して説明する。実施の形態1と同じ符号を付した構成については、実施の形態1の説明を援用し、説明を省略する場合がある。

40

## 【0075】

図6(A)には、半導体装置10Aのブロック図を示す。

## 【0076】

周辺回路20は、ロウドライバ21、カラムドライバ22および切り替え回路が設けられる素子層26を有する。切り替え回路は、単に駆動回路という場合がある。切り替え回路は、メモリセルと、カラムドライバと、の間の導通状態を制御する機能を有するトランジスタを有する。

## 【0077】

切り替え回路が設けられる素子層26は、カラムドライバ22をビット線BLに選択的に接続する機能を有する。切り替え回路は、カラムドライバ22から出力される選択信号に応じて、所定のビット線とカラムドライバ22のセンスアンプなどの駆動回路とを接続

50

するマルチプレクサとしての機能を有する。切り替え回路は、切り替え回路で選択されたビット線 B\_L にメモリセルアレイ 3\_0 を駆動するための信号を出力する機能を有する回路である。

【 0 0 7 8 】

図 6 ( A ) の半導体装置において、切り替え回路が設けられる素子層 2\_6 は、垂直方向において、カラムドライバ 2\_2 に接続されたビット線 B\_L の本数を低減し、データの書き込み時間の短縮、読み出し精度の向上を図ることができる。

【 0 0 7 9 】

また切り替え回路を構成するトランジスタは、OSトランジスタであることが好ましい。OSトランジスタを用いた切り替え回路を有する素子層 2\_6 は、Siトランジスタを用いた回路上などに自由に配置可能であるため、集積化を容易に行うことができる。またOSトランジスタは、Siトランジスタと同様の製造装置を用いて作製することができるため、低コストで作製可能である。

10

【 0 0 8 0 】

図 6 ( A ) で説明した各構成において、本発明の一態様にある素子層 3\_4\_1 乃至 3\_4\_N および切り替え回路を有する素子層 2\_6 について説明するため、図 6 ( B ) に図示する模式図を用いて説明する。図 6 ( B ) に示す模式図は、図 6 ( A ) で説明した各構成の配置を説明するため、x 軸、y 軸、z 軸方向を規定した斜視図に対応する。

【 0 0 8 1 】

図 6 ( B ) に図示するように半導体装置 10\_A において、切り替え回路を構成するトランジスタが設けられる素子層 2\_6 が V 層 ( V は 1 以上の自然数 ) 、素子層 3\_4\_1 乃至 素子層 3\_4\_N が N 層あり、合計 ( N + V ) 層の OSトランジスタを有する層がシリコン基板 1\_1 上に積層して設けられる。素子層 3\_4\_1 乃至 素子層 3\_4\_N が有するメモリセル 3\_1\_1 乃至 3\_1\_N 、および切り替え回路を構成するトランジスタが設けられる素子層 2\_6 は、それぞれシリコン基板 1\_1 に設けられたカラムドライバ 2\_2 と重なる領域を有する。図 6 ( B ) に図示するように素子層 2\_6 は、シリコン基板 1\_1 と素子層 3\_4\_1 との間に設けられるともいえる。また図 6 ( B ) に図示するように素子層 3\_4\_1 は、シリコン基板 1\_1 と素子層 3\_4\_N との間に設けられるともいえる。

20

【 0 0 8 2 】

また素子層 3\_4\_1 が有するメモリセル 3\_1\_1 のトランジスタと、素子層 3\_4\_N が有するメモリセル 3\_1\_N のトランジスタと、は、垂直方向に設けられたビット線 B\_L を介して接続される。またビット線 B\_L は、切り替え回路を構成するトランジスタが設けられる素子層 2\_6 に接続される。素子層 2\_6 は、シリコン基板 1\_1 に設けられたカラムドライバ 2\_2 に接続される。

30

【 0 0 8 3 】

ビット線 B\_L\_1 は、メモリセル 3\_1\_1 が有するトランジスタの半導体層に接して設けられる。あるいはビット線 B\_L\_1 は、メモリセル 3\_1\_1 が有するトランジスタの半導体層のソースまたはドレインとして機能する領域に接して設けられる。あるいはビット線 B\_L\_1 は、メモリセル 3\_1\_1 が有するトランジスタの半導体層のソースまたはドレインとして機能する領域と接して設けられる導電体に接して設けられる。つまりビット線 B\_L は、メモリセル 3\_1\_1 が有するトランジスタのソース又はドレインの一方と、メモリセル 3\_1\_N が有するトランジスタのソース又はドレインの一方と、素子層 2\_6 と、を垂直方向で電気的にするための配線であるといえる。

40

【 0 0 8 4 】

本発明の一形態は、各素子層に設けられるトランジスタとして、オフ電流が極めて低い OSトランジスタを用いる。そのため、メモリセルに保持するデータのリフレッシュ頻度を低減することができ、低消費電力化が図られた半導体装置とすることができます。OSトランジスタは、積層して設けることができ、垂直方向に繰り返し同じ製造工程を用いて作製することができ、製造コストの低減を図ることができる。また本発明の一形態は、メモリセルを構成するトランジスタを平面方向でなく、垂直方向に配置してメモリ密度の向上

50

を図ることができ、装置の小型化を図ることができる。またOSトランジスタは、高温環境下においてもSiトランジスタと比べて電気特性の変動が小さいため、積層且つ集積化した際のトランジスタの電気特性の変動が小さく信頼性に優れた記憶装置として機能する半導体装置とすることができます。

【0085】

加えて本発明の一形態は切り替え回路を有する素子層を備えている。切り替え回路は、カラムドライバが有するセンスアンプに接続されたビット線BLの本数を低減することができる。そのため、ビット線BLの負荷を低減することができる。切り替え回路は、垂直方向において、カラムドライバに接続されたビット線BLの本数を低減し、データの書き込み時間の短縮、読み出し精度の向上を図ることができる。また、不要なビット線を充放電することを避けることができ、低消費電力化が図られた半導体装置とすることができます。センスアンプ等の回路の直上にメモリセルを配置することが可能なため、半導体装置の小型化を図ることができる。またメモリセルが有するキャパシタの容量を小さくしても動作させることができ可能となる。また本発明の一態様は、メモリセルアレイから延びて設けられるビット線を垂直方向に設けることで、メモリセルアレイとカラムドライバとのビット線の長さを短くできる。そのため、ビット線の寄生容量を大幅に削減できるため、メモリセルに保持するデータ信号の多値化しても電位を読み出すことができる。

【0086】

図7では、図6(A)および図6(B)を用いて説明した半導体装置10Aの垂直方向(z軸方向)に平行な面の断面の模式図について示す。

【0087】

図7に図示するように半導体装置10Aは、各層の素子層に設けられたメモリセル31\_1乃至31\_Nと、素子層26と、シリコン基板11に設けられるカラムドライバ22と、を最短距離である垂直方向に設けられるビット線BLを介して接続する構成とすることができます。切り替え回路27を有する素子層26の数が増えるものの、カラムドライバ22が有するセンスアンプに接続されたビット線BLの本数を低減することができる。そのため、ビット線BLの負荷を低減することができる。

【0088】

また図7に図示するように切り替え回路27が有するトランジスタ28\_1乃至28\_n(nは2以上の自然数)は、カラムドライバ22から出力される選択信号MUXに応じて選択されたビット線BLの電位を信号BL\_OUTとしてカラムドライバ22に出力することができる。なお図7に示す半導体装置10Aは、ユニット30\_1として表すことができる。

【0089】

図8には、メモリセルアレイ30として素子層34\_1乃至34\_Nの他、トランジスタ28\_a、28\_bを有する素子層26を加えた回路図を図示している。図8に図示するトランジスタ28\_a、28\_bを有する素子層26上には、素子層34\_1乃至34\_Nが設けられ、ビット線BL\_AおよびBL\_Bが垂直方向に設けられる。つまり周辺回路の一部を構成する切り替え回路を有する素子層は、素子層34\_1乃至34\_Nと同様に積層して設けることができる。ビット線BL\_AおよびBL\_Bは、トランジスタ28\_a、28\_bのソース又はドレインの一方に接続される。

【0090】

また図8には、カラムドライバ22が有する回路として、シリコン基板側にあるプリチャージ回路22\_1、センスアンプ22\_2、スイッチ回路22\_3、および書き込み読み出し回路29を示している。プリチャージ回路22\_1およびセンスアンプ22\_2を構成するトランジスタは、Siトランジスタを用いる。選択スイッチ22\_3についてもSiトランジスタを用いることができる。トランジスタ28\_a、28\_bのソース又はドレインの他方は、プリチャージ回路22\_1およびセンスアンプ22\_2を構成するトランジスタに接続される。また図8では、スイッチ回路22\_3が有するスイッチ回路23\_Aに接続される配線に接続される素子層34\_1乃至34\_N、および素子層26を

表すブロックの他、スイッチ回路 22\_3 が有するスイッチ回路 23\_B に接続される配線に接続される素子層 34\_1 乃至 34\_N、および素子層 26 を表すブロックを図示している。

#### 【0091】

切り替え回路を有する素子層 26 では、ビット線 BL\_A または BL\_B を選択して、プリチャージ回路 22\_1 およびセンスアンプ 22\_2 に接続される一対の配線の一方、およびスイッチ 23\_A に接続される。またもう一対の切り替え回路を有する素子層 26 でも、ビット線 BL を選択して、プリチャージ回路 22\_1 およびセンスアンプ 22\_2 に接続される一対の配線の他方、およびスイッチ 23\_B に接続される。選択されたビット線に接続された、メモリセルのワード線をハイレベルとして選択することでプリチャージされたビット線の電位が変化し、当該変化に応じてプリチャージ回路 22\_1 およびセンスアンプ 22\_2 に接続された一対の配線の電位が高電源電位 VDD または低電源電位 VSS となる。当該電位は、スイッチ回路 22\_3 および書き込み読み出し回路 29 を介して外部に出力することができる。

#### 【0092】

図 8 に図示するように半導体装置 10\_A は、切り替え回路を有する素子層 26 の数が増えるものの、複数のビット線 BL のいずれか一を選択して、カラムドライバ 22 に接続することができる。そのため、少ない本数のビット線 BL をセンスアンプ 22\_2 に接続する構成とすることができる、ビット線 BL の負荷を低減することができる。

#### 【0093】

なお図 7 で図示した半導体装置 10\_A におけるユニット 30\_1 は、垂直方向に積層して設ける構成とすることができます。図 9 には、図 7 で説明したユニット 30\_1 を M 段 (ユニット 30\_1 乃至 30\_M、M は 2 以上) 積層した構成の半導体装置 10\_A を図示する。図 9 は、半導体装置の垂直方向 (z 軸方向) に平行な面の断面の模式図に相当する。つまり図 9 に示す半導体装置 10\_A の構成は、図 7 で図示した素子層の積層を、合計 M × (N + V) 層とした構成である。

#### 【0094】

図 9 に図示するように半導体装置 10\_A は、ユニット 30\_1 乃至 30\_M において、それぞれ切り替え回路 27\_1 乃至 27\_M を備える。切り替え回路 27\_1 乃至 27\_M は、選択信号 MUX が入力されることで信号 BL\_OUT を出力する。信号 BL\_OUT が出力される複数の配線のいずれか一は、選択信号 SEL で切り替え可能なスイッチ回路 98 で選択され、ビット線 BL とは異なる配線 GBL を介してカラムドライバ 22 に接続される。なおスイッチ回路 98 は、切り替え回路 27\_1 乃至 27\_M を構成する OS トランジスタを用いることができる。

#### 【0095】

当該構成とすることで、ユニット 30\_1 乃至 30\_M それぞれの素子層 34\_1 乃至 34\_N の積層数を削減することができる。そのため、ユニット 30\_1 乃至 30\_M それぞれのビット線 BL の長さを短くすることができ、ビット線 BL の負荷を低減することができる。なお図面において、配線 GBL は、視認性を高めるため、太線あるいは太い点線等で図示する場合がある。配線 GBL は、グローバルビット線と呼ぶ場合がある。

#### 【0096】

なお図 9 に示す配線 GBL は、OS トランジスタを有する素子層を作製した後に、設けることが可能である。例えば、図 10 (A) に図示する断面図の模式図のように、OS トランジスタを有する素子層を作製し、各素子層を取り囲む封止層 70\_A の外周に開口を設けて、当該開口に配線 GBL を設けることができる。あるいは、図 10 (A) に図示する断面図の模式図のように、OS トランジスタを有する素子層を作製し、各素子層を一括して取り囲む封止層 70\_B の外周に開口を設けて、当該開口に配線 GBL を設けることができる。なお配線 GBL を備えた各素子層の詳細については、実施の形態 3 で詳述する。

#### 【0097】

本発明の一形態の半導体装置は、各素子層に設けられるトランジスタとして、オフ電流

10

20

30

40

50

が極めて低いO Sトランジスタを用いる。O Sトランジスタは、S iトランジスタが設けられるシリコン基板上に積層して設けることができる。そのため、垂直方向に繰り返し同じ製造工程を用いて作製することができ、製造コストの低減を図ることができる。また本発明の一形態は、メモリセルを構成するトランジスタを平面方向でなく、垂直方向に配置してメモリ密度の向上を図ることができ、装置の小型化を図ることができる。

【0098】

加えて本発明の一形態は、切り替え回路を有する素子層を備えている。切り替え回路は、垂直方向において、カラムドライバに接続されたビット線B Lの本数を低減し、データの書き込み時間の短縮、読み出し精度の向上を図ることができる。また、不要なビット線を充放電することを避けることができ、低消費電力化が図られた半導体装置とすることがことができる。

10

【0099】

(実施の形態3)

本発明の一態様である半導体装置の構成例について、図11乃至図24を参照して説明する。実施の形態1と同じ符号を付した構成については、実施の形態1の説明を援用し、説明を省略する場合がある。

【0100】

図11(A)には、半導体装置10Bのブロック図を示す。

【0101】

周辺回路20は、ロウドライバ21と、カラムドライバ22と、制御回路が設けられる素子層40と、を有する。制御回路は、O Sトランジスタで構成されるセンスアンプとして機能する回路を有する。

20

【0102】

制御回路が設けられる素子層40は、O Sトランジスタで構成されるセンスアンプとして機能する回路を有する。O Sトランジスタで構成されるセンスアンプは、各メモリセルへのデータ信号の書き込みまたは読み出しの他、メモリセル31\_1乃至31\_Nを含むユニット50\_1乃至50\_Mを選択するための切り替え回路として機能する。素子層40には、カラムドライバ22からO Sトランジスタで構成されるセンスアンプを駆動するための制御信号W E, R E, MUXが与えられる。センスアンプとして機能する回路は、メモリセルへのデータ信号の読み出しありは書き込みを制御するためのトランジスタを有するため、制御回路という場合がある。

30

【0103】

図11(A)の半導体装置において、制御回路は、増幅器として機能させることができる。当該構成にすることで、読み出し時にビット線B Lのわずかな電位差を増幅して、S iトランジスタを用いたセンスアンプを駆動することができる。

【0104】

また制御回路を構成するトランジスタは、O Sトランジスタであることが好ましい。O Sトランジスタを用いた制御回路を有する素子層40は、S iトランジスタを用いた回路上などに自由に配置可能であるため、集積化を容易に行うことができる。またO Sトランジスタは、S iトランジスタと同様の製造装置を用いて作製することができるため、低コストで作製可能である。

40

【0105】

図11(A)で説明した各構成において、本発明の一態様にある素子層34\_1乃至34\_Nおよび制御回路を有する素子層40について説明するため、図11(B)に図示する模式図を用いて説明する。図11(B)に示す模式図は、図11(A)で説明した各構成の配置を説明するため、x軸、y軸、z軸方向を規定した斜視図に対応する。

【0106】

図11(B)に図示するように半導体装置10Bにおいて、制御回路を構成するトランジスタが設けられる素子層40がV層(Vは1以上の自然数)、素子層34\_1乃至素子層34\_NがN層あり、合計(N+V)層のO Sトランジスタを有する層がシリコン基板

50

11上に積層して設けられる。素子層34\_1乃至素子層34\_Nが有するメモリセル31\_1乃至31\_N、および制御回路を構成するトランジスタが設けられる素子層40は、それぞれシリコン基板11に設けられたカラムドライバ22と重なる領域を有する。図11(B)に図示するように素子層40は、シリコン基板11と素子層34\_1との間に設けられるともいえる。また図11(B)に図示するように素子層34\_1は、シリコン基板11と素子層34\_Nとの間に設けられるともいえる。

#### 【0107】

また素子層34\_1が有するメモリセル31\_1のトランジスタと、素子層34\_Nが有するメモリセル31\_Nのトランジスタと、は、垂直方向に設けられたビット線BLを介して接続される。またビット線BLは、制御回路を構成するトランジスタが設けられる素子層40に接続される。素子層40は、ビット線BLとは別に設けられた配線GBL(図示せず)を介して、シリコン基板11に設けられたカラムドライバ22に接続される。なお図面において、配線GBLは、視認性を高めるため、太線あるいは太い点線等で図示する場合がある。

10

#### 【0108】

ビット線BL\_1は、メモリセル31\_1が有するトランジスタの半導体層に接して設けられる。あるいはビット線BL\_1は、メモリセル31\_1が有するトランジスタの半導体層のソースまたはドレインとして機能する領域に接して設けられる。あるいはビット線BL\_1は、メモリセル31\_1が有するトランジスタの半導体層のソースまたはドレインとして機能する領域と接して設けられる導電体に接して設けられる。つまりビット線BLは、メモリセル31\_1が有するトランジスタのソースまたはドレインの一方と、メモリセル31\_Nが有するトランジスタのソースまたはドレインの一方と、素子層40と、を垂直方向で電気的にするための配線であるといえる。

20

#### 【0109】

半導体装置10Bは、1種類のメモリセルを有しているが、2種類以上のメモリセルを有していてもよい。図12(A)は、半導体装置10Cの構成例を示すブロック図であり、半導体装置10Bの変形例である。半導体装置10Cは、メモリセルアレイ30にメモリセル31の他、メモリセル31と異なる構成であるメモリセル51が設けられる点が半導体装置10Bと異なる。半導体装置10Cは、1以上のメモリセル51により構成されている素子層54を有する。

30

#### 【0110】

半導体装置10Cにおいて、素子層54は素子層34\_i(iは1以上N-1以下の整数)と素子層34\_i+1との間に設けることができる。なお、素子層54は2層以上設けられていてもよい。半導体装置10Cが素子層54を2層以上有する場合、例えば第1の素子層54と第2の素子層との間には素子層34が設けられていてもよいし、設けられていなくてもよい。

#### 【0111】

半導体装置10Cでは、ロウドライバ21はワード線WL2を介してメモリセル51と電気的に接続されている。半導体装置10Cが有するロウドライバ21は、ワード線WLの他、ワード線WL2にメモリセルアレイ30を駆動するための信号を出力する機能を有する。具体的にロウドライバ21は、ワード線WLだけでなく、ワード線WL2にワード信号を伝える機能を有する。なお、ワード線WL2にワード信号を伝える機能を有するロウドライバを、ワード線WLにワード信号を伝える機能を有するロウドライバとは別に設けてよい。また、ワード線WL2は、単に配線と呼ぶ場合がある。

40

#### 【0112】

図12(B)は、メモリセル51の構成例を示す回路図である。メモリセル51は、トランジスタ55と、トランジスタ56と、容量素子57と、を有する。

#### 【0113】

トランジスタ55のソースまたはドレインの一方は、トランジスタ56のゲートと電気的に接続されている。トランジスタ56のゲートは、容量素子57の一方の電極と電気的

50

に接続されている。トランジスタ 5 5 のソースまたはドレインの他方、およびトランジスタ 5 6 のソースまたはドレインの一方は、配線 B L と電気的に接続されている。トランジスタ 5 6 のソースまたはドレインの他方は、配線 S L と電気的に接続されている。容量素子 5 7 の他方の電極は、配線 C A L と電気的に接続されている。ここで、トランジスタ 5 5 のソースまたはドレインの一方と、トランジスタ 5 6 のゲートと、容量素子 5 7 の一方の電極と、が電気的に接続されるノードをノード N とする。

#### 【 0 1 1 4 】

配線 C A L は、容量素子 5 7 の他方の電極に所定の電位を印加するための配線としての機能を有する。メモリセル 5 1 からデータを読み出す際の配線 C A L の電位を、メモリセル 5 1 にデータを書き込む際、およびメモリセル 5 1 にデータを保持している最中の配線 C A L の電位と異ならせる。これにより、メモリセル 5 1 からデータを読み出す際のトランジスタ 5 6 の見かけのしきい値電圧を、メモリセル 5 1 にデータを書き込む際、およびメモリセル 5 1 にデータを保持している最中のトランジスタ 5 6 の見かけのしきい値電圧と異ならせることができる。

#### 【 0 1 1 5 】

メモリセル 5 1 が図 1 2 ( B ) に示す構成である場合、メモリセル 5 1 にデータを書き込む際、およびメモリセル 5 1 にデータを保持している最中は、メモリセル 5 1 に書き込まれたデータによらず、配線 S L と配線 B L との間に電流が流れない。一方、メモリセル 5 1 からデータを読み出す際は、配線 S L と配線 B L との間に、メモリセル 5 1 に保持されたデータに対応する電流が流れれる。

#### 【 0 1 1 6 】

トランジスタ 5 5 は、O S トランジスタとすることが好ましい。前述のように、O S トランジスタはオフ電流が極めて低い。よって、メモリセル 5 1 に書き込まれたデータに対応する電荷を、ノード N に長時間保持させることができる。つまり、メモリセル 5 1 において、一旦書き込んだデータを長時間保持することができる。そのため、データリフレッシュの頻度を下げ、本発明の一態様の半導体装置の消費電力を低減させることができる。

#### 【 0 1 1 7 】

また O S トランジスタを用いたメモリセル 5 1 は、シリコン基板上などに自由に配置可能であるため、集積化を容易に行うことができる。なお、メモリセル 5 1 の集積化の観点から、トランジスタ 5 6 を O S トランジスタとすることが好ましい。

#### 【 0 1 1 8 】

トランジスタ 5 5 は、バックゲート電極を有することが好ましい。バックゲート電極に印加する電位を制御することで、トランジスタ 5 5 のしきい値電圧を制御することができる。これにより、例えばトランジスタ 5 5 のオン電流を大きくし、オフ電流を小さくすることができる。なお、トランジスタ 5 6 が O S トランジスタである場合は、トランジスタ 5 6 にもバックゲート電極を設けることが好ましい。

#### 【 0 1 1 9 】

図 1 2 ( B ) に示す構成のメモリセル 5 1 は、O S トランジスタをメモリに用いた N O S R A M ( Non volatile Oxide Semiconductor RAM ) と呼ぶことができる。N O S R A M は、非破壊読み出しを行うことができるという特徴を有する。一方、メモリセル 3 1 に適用することができる D O S R A M は、保持されたデータを読み出す際は破壊読み出しを行う。

#### 【 0 1 2 0 】

半導体装置 1 0 C の動作について説明する。カラムドライバ 2 2 からメモリセルアレイ 3 0 に書き込まれるデータは、メモリセル 3 1 に保持される。メモリセル 3 1 に保持されたデータのうち、読み出し頻度が高いデータは、メモリセル 3 1 からメモリセル 5 1 に書き移す。前述のように、N O S R A M であるメモリセル 5 1 は非破壊読み出しを行うことができるので、データリフレッシュの頻度を下げることができる。よって、本発明の一態様の半導体装置の消費電力を低減させることができる。

#### 【 0 1 2 1 】

10

20

30

40

50

また、ノードNの電位は、メモリセル5\_1に書き込まれたデータだけでなく、配線C\_A\_Lの電位に応じて変動する。このため、メモリセル5\_1にデータを書き込んだ後、配線C\_A\_Lの電位を調整することにより、メモリセル5\_1に保持されたデータを補正することができる。例えば、メモリセル5\_1に保持されたデータを補正する場合、メモリセル5\_1からデータを読み出す際の配線C\_A\_Lの電位を、メモリセル5\_1に保持されたデータを補正しない場合にメモリセル5\_1からデータを読み出す際の配線C\_A\_Lの電位と異ならせることができる。よって、例えばメモリセルに書き込まれたデータが画像データである場合、半導体装置10\_Cは画像処理を行うことができる。したがって、半導体装置10\_Cは、例えば画像エンジンとすることができます。

#### 【0122】

10

なお、半導体装置10\_Cにおいて、 $i$ はN/2、またはその近傍の値とすることが好ましい。これにより、例えばメモリセル5\_1からメモリセル3\_1\_Nまでの配線距離、またはメモリセル5\_1からメモリセル3\_1\_Nまでの配線距離を短くすることができる。これにより、メモリセル5\_1から例えばメモリセル3\_1\_N、またはメモリセル3\_1\_Nにデータを書き移す際の、配線B\_L等の配線抵抗によるデータ電位の低下を抑制することができる。

#### 【0123】

図13は、半導体装置10\_Dの構成例を示すブロック図であり、半導体装置10\_Cの変形例である。半導体装置10\_Dの構成は、素子層3\_4\_1の前、つまり素子層3\_4\_1と素子層4\_0との間に素子層5\_4が設けられている点が、半導体装置10\_Cの構成と異なる。

20

#### 【0124】

半導体装置10\_Dは、センスアンプ等が設けられる素子層4\_0と、素子層5\_4と、の間の配線距離が短いという特徴を有する。これにより、メモリセル5\_1の配線抵抗の増加に起因する動作のし難さを解消することが可能となり、メモリセル5\_1の動作の制御を行いやすくなる。なお、素子層3\_4\_Nの後、つまり例えば素子層3\_4\_Nの上に素子層5\_4を設けてもよい。

#### 【0125】

図14は、図12(A)に示す半導体装置10\_Cの各構成の配置を説明するため、x軸、y軸、z軸方向を規定した斜視図である。また、図15は、図13に示す半導体装置10\_Dの各構成の配置を説明するため、x軸、y軸、z軸方向を規定した斜視図である。

30

#### 【0126】

図14に示す構成の半導体装置10\_C、および図15に示す構成の半導体装置10\_Dにおいて、制御回路を構成するトランジスタが設けられる素子層4\_0がV層、素子層3\_4\_1乃至素子層3\_4\_NがN層、素子層5\_4が1層あり、合計(N+V+1)層のOSトランジスタを有する層がシリコン基板1\_1上に積層して設けられる。素子層5\_4が有するメモリセル5\_1は、シリコン基板1\_1に設けられたカラムドライバ2\_2と重なる領域を有する。なお、素子層5\_4は2層以上設けてもよい。例えば、素子層5\_4をH層(Hは1以上の整数)設けてもよい。半導体装置10\_Cに素子層5\_4をH層設ける場合、半導体装置10\_Cには、合計(N+V+H)層のOSトランジスタを有する層が設けられる。

#### 【0127】

40

図16は、半導体装置10\_Eの構成例を説明する、x軸、y軸、z軸方向を規定した斜視図である。半導体装置10\_Eでは、DOSRAMを有することができる素子層3\_4\_iと素子層3\_4\_i+1との間に、センスアンプを有する素子層4\_0を設けることができる。また、素子層3\_4\_iと素子層4\_0との間、素子層4\_0と素子層3\_4\_i+1との間にそれぞれNOSRAMを有することができる素子層5\_4\_1を設けることができる。つまり、2つの素子層3\_4の間に素子層4\_0および素子層5\_4を設けることができる。なお、半導体装置10\_Eでは、素子層5\_4を1層だけ設けてもよいし、3層以上設けてもよい。

#### 【0128】

本発明の一形態は、各素子層に設けられるトランジスタとして、オフ電流が極めて低いOSトランジスタを用いる。そのため、メモリセルに保持するデータのリフレッシュ頻度

50

を低減することができ、低消費電力化が図られた半導体装置とすることができる。O Sトランジスタは、積層して設けることができ、垂直方向に繰り返し同じ製造工程を用いて作製することができ、製造コストの低減を図ることができる。また本発明の一形態は、メモリセルを構成するトランジスタを平面方向でなく、垂直方向に配置してメモリ密度の向上を図ることができ、装置の小型化を図ることができる。またO Sトランジスタは、高温環境下においてもS iトランジスタと比べて電気特性の変動が小さいため、積層且つ集積化した際のトランジスタの電気特性の変動が小さく信頼性に優れた記憶装置として機能する半導体装置とすることができます。

#### 【0129】

加えて本発明の一形態は制御回路を有する素子層を備えている。制御回路は、増幅器として機能させることができ。当該構成にすることで、読み出し時にビット線B Lのわずかな電位差を増幅して、S iトランジスタを用いたセンスアンプを駆動することができる。S iトランジスタを用いたセンスアンプ等の回路を小型化できるため、半導体装置の小型化を図ることができ。またメモリセルが有するキャパシタの容量を小さくしても動作させることができ可能となる。また本発明の一態様は、メモリセルアレイから延びて設けられるビット線を垂直方向に設けることで、メモリセルアレイとカラムドライバとのビット線の長さを短くできる。そのため、ビット線の寄生容量を大幅に削減できるため、メモリセルに保持するデータ信号の多値化しても電位を読み出すことができる。また本発明の一態様は、メモリセルに保持されたデータを電流として読み出すため、多値化してもデータの読み出しを容易に行うことができる。

10

#### 【0130】

図17では、図11(A)および図11(B)を用いて説明した半導体装置10Bの垂直方向(z軸方向)に平行な面の断面の模式図について示す。

#### 【0131】

図17に図示するように半導体装置10Bは、各層の素子層に設けられたメモリセル31\_1乃至31\_Nと、素子層40と、シリコン基板11に設けられるカラムドライバ22と、を最短距離である垂直方向に設けられるビット線B Lおよび配線G B Lを介して接続する構成とすることができる。制御回路を構成するトランジスタを有する素子層40の数が増えるものの、カラムドライバ22に接続する垂直方向に設けられた配線の本数を低減することができる。ビット線B Lの負荷が低減されることで、書き込み時間の短縮や、データを読み出しやすくすること、ができる。

20

#### 【0132】

また図17に図示するように素子層40が有するトランジスタ41乃至44は、カラムドライバ22から出力される制御信号W E、R E、および選択信号M U Xに応じて制御される。各トランジスタは、制御信号および選択信号に応じて、配線G B Lを介してビット線B Lの電位をカラムドライバ22に出力することができる。なお図17に示す半導体装置10Bは、ユニット50\_1として表すことができる。

30

#### 【0133】

次いで素子層40が有するO Sトランジスタで構成されるセンスアンプとして機能する回路の具体的な構成例について、図18(A)、(B)および図19(A)、(B)を参考して説明する。

40

#### 【0134】

図18(A)には、図17で示すユニット50\_1に相当するユニット50を示す。図19(A)に示すユニット50において、素子層40Aは、トランジスタ41乃至44を有する。トランジスタ41乃至44はそれぞれO Sトランジスタで構成することができ、nチャネル型のトランジスタとして図示している。

#### 【0135】

トランジスタ41は、メモリセルからデータ信号を読み出す期間において、ビット線B Lの電位に応じた電位に配線G B Lを増幅するための、ソースフォロワを構成するトランジスタである。トランジスタ42は、ゲートに入力された選択信号M U Xに応じて、ソ

50

スとドレインとの間のオンまたはオフを制御するスイッチとして機能するトランジスタである。トランジスタ43は、ゲートに入力された書き込み制御信号WEに応じて、ソースとドレインとの間のオンまたはオフを制御するスイッチとして機能するトランジスタである。トランジスタ44は、ゲートに入力された読み出し制御信号REに応じて、ソースとドレインとの間のオンまたはオフを制御するスイッチとして機能するトランジスタである。なおトランジスタ44のソース側は、固定電位であるグラウンド電位GNDが与えられる。

#### 【0136】

なお図18(A)に示す素子層40Aの構成は、図18(B)および図19(A)、(B)に示す変形例を適用可能である。図18(B)の素子層40Bは、トランジスタ43のソースまたはドレインの一方の接続を、配線GBLからトランジスタ41のソースまたはドレインの一方に切り替えた構成である。図19(A)の素子層40Cは、トランジスタ42の機能をカラムドライバ22で行うことで、トランジスタ42を省略した構成に相当する。図19(B)の素子層40Dは、トランジスタ44を省略した構成に相当する。

10

#### 【0137】

図20には、図17で説明したユニット50\_1を積層した構成の模式図を示す。図17で図示するように、図20に図示する半導体装置10Bは、各素子層に設けられたメモリセル31\_1乃至31\_Nを有する。図20に図示する半導体装置10Bは、メモリセル31\_1乃至31\_Nと、素子層40\_1乃至40\_Mと、を最短距離である垂直方向に設けられるピット線BLを介して接続し、配線GBLを介して素子層40をカラムドライバ22に接続する構成とする。

20

#### 【0138】

なお図18で図示した半導体装置10BにおけるM段のユニット50\_1乃至50\_Mは、垂直方向に積層して設ける構成とすることができます。図18に図示するように半導体装置10Bは、ユニット50\_1乃至50\_Mにおいて、それぞれOSトランジスタで構成されるセンスアンプとして機能する回路を備える素子層40\_1乃至40\_Mを有する。つまり図20に示す半導体装置10Bの構成は、図17で図示した素子層の積層を、合計M×(N+V)層とした構成である。

#### 【0139】

図21には、ユニット50として図14に示す半導体装置10Dを適用した構成の模式図を示す。ユニット50\_1乃至ユニット50\_Mのそれぞれについて、素子層40と、素子層54と、素子層34\_1乃至素子層34\_Nとが垂直方向に積層して設けられる。なお、ユニット50として半導体装置10Cおよび半導体装置10Eを適用してもよい。

30

#### 【0140】

本発明の一形態は、各素子層に設けられるトランジスタとして、オフ電流が極めて低いOSトランジスタを用いる。そのため、メモリセルに保持するデータのリフレッシュ頻度を低減することができ、低消費電力化が図られた半導体装置とすることができます。OSトランジスタは、積層して設けることができ、垂直方向に繰り返し同じ製造工程を用いて作製することができ、製造コストの低減を図ることができる。また本発明の一形態は、メモリセルを構成するトランジスタを平面方向でなく、垂直方向に配置してメモリ密度の向上を図ることができ、装置の小型化を図ることができる。またOSトランジスタは、高温環境下においてもSiトランジスタと比べて電気特性の変動が小さいため、積層且つ集積化した際のトランジスタの電気特性の変動が小さく信頼性に優れた記憶装置として機能する半導体装置とすることができます。

40

#### 【0141】

加えて本発明の一形態は制御回路を有する素子層を備えている。制御回路では、ピット線BLをトランジスタ41のゲートに接続するため、トランジスタ41を増幅器として機能させることができます。当該構成にすることで、読み出し時にピット線BLのわずかな電位差を増幅して、Siトランジスタを用いたセンスアンプを駆動することができる。Siトランジスタを用いたセンスアンプ等の回路を小型化できるため、半導体装置の小型化を図ることができる。またメモリセルが有するキャパシタの容量を小さくしても動作させる

50

ことが可能となる。

【0142】

図22には、メモリセルアレイ30として機能する図17で説明した素子層34\_1乃至34\_Nを図示している以外に、トランジスタ41\_a、41\_b、42\_a、42\_b、43\_a、43\_b、44\_a、44\_bを有する素子層40を図示している。図22に図示するトランジスタ41\_a、41\_b、42\_a、42\_b、43\_a、43\_b、44\_a、44\_bを有する素子層40上には、素子層34\_1乃至34\_Nが設けられ、ピット線BL\_AおよびBL\_Bが垂直方向に設けられる。つまり周辺回路の一部を構成する切り替え回路を有する素子層は、素子層34\_1乃至34\_Nと同様に積層して設けることができる。ピット線BL\_AおよびBL\_Bは、トランジスタ41\_a、41\_bのゲートに接続される。

10

【0143】

また図22において、素子層40が有するトランジスタ42\_a、42\_b、43\_a、43\_bは、配線GBL\_AおよびGBL\_Bと接続される。配線GBL\_AおよびGBL\_Bは、ピット線BL\_AおよびBL\_Bと同様に垂直方向に設けられ、カラムドライバ22が有するトランジスタに接続される。また素子層40が有するトランジスタ42\_a、42\_b、43\_a、43\_b、44\_a、44\_bのゲートには、制御信号WE, RE, MUXが与えられる。

【0144】

また図22には、カラムドライバ22が有する回路として、シリコン基板側にあるプリチャージ回路22\_A、プリチャージ回路22\_B、センスアンプ22\_C、スイッチ回路22\_D、スイッチ回路22\_Eおよび書き込み読み出し回路29を示している。プリチャージ回路22\_A、プリチャージ回路22\_Bおよびセンスアンプ22\_Cを構成するトランジスタには、Siトランジスタを用いる。スイッチ回路22\_D、スイッチ回路22\_Eを構成するスイッチ23\_A乃至23\_DもSiトランジスタを用いることができる。トランジスタ42\_a、42\_b、43\_a、43\_bのソースまたはドレインの一方は、プリチャージ回路22\_A、プリチャージ回路22\_B、センスアンプ22\_C、スイッチ回路22\_Dを構成するトランジスタに接続される。

20

【0145】

プリチャージ回路22\_Aは、nチャネル型のトランジスタ24\_1乃至24\_3で構成される。プリチャージ回路22\_Aは、プリチャージ線PCL1に与えられるプリチャージ信号に応じて、ピット線BL\_Aおよびピット線BL\_BをVDDとVSSの間の電位VDD/2に相当する中間電位VPCにプリチャージするための回路である。

30

【0146】

プリチャージ回路22\_Bは、nチャネル型のトランジスタ24\_4乃至24\_6で構成される。プリチャージ回路22\_Bは、プリチャージ線PCL2に与えられるプリチャージ信号に応じて、配線GBL\_Aおよび配線GBL\_BをVDDとVSSの間の電位VDD/2に相当する中間電位VPCにプリチャージするための回路である。

【0147】

センスアンプ22\_Cは、配線VHHまたは配線VLLに接続された、pチャネル型のトランジスタ25\_1、25\_2およびnチャネル型のトランジスタ25\_3、25\_4で構成される。配線VHHまたは配線VLLは、VDDまたはVSSを与える機能を有する配線である。トランジスタ25\_1乃至25\_4は、インバータループを構成するトランジスタである。センスアンプ22\_Cは、ワード線WLA、WLBをハイレベルとしてメモリセル31\_N\_A、31\_N\_Bを選択することで変化するピット線BL\_Aおよびピット線BL\_Bの電位に応じて配線GBL\_Aおよび配線GBL\_Bの電位を高電源電位VDDまたは低電源電位VSSとする。配線GBL\_Aおよび配線GBL\_Bの電位は、スイッチ回路22\_Dおよびスイッチ回路22\_E、および書き込み/読み出し回路25を介して外部に出力することができる。ピット線BL\_Aおよびピット線BL\_B、ならびに配線GBL\_Aおよび配線GBL\_Bは、ピット線対に相当する。書き込み/

40

50

読み出し回路 25 は、信号  $EN\_data$  に応じて、データ信号の書き込みが制御される。

【0148】

スイッチ回路 22\_D は、センスアンプ 22\_C と配線 GBL\_A および配線 GBL\_B との間の導通状態を制御するための回路である。スイッチ回路 22\_D は、切り替え信号 CSEL1 の制御によってオンまたはオフが切り替えられる。スイッチ 23\_A および 23\_B が、n チャネルトランジスタの場合、切り替え信号 CSEL1 がハイレベルのときスイッチ 23\_A および 23\_B がオン、ローレベルのときスイッチ 23\_A および 23\_B がオフとなる。スイッチ回路 22\_E は、書き込み読み出し回路 29 と、センスアンプ 22\_C に接続されるビット線対と、の間の導通状態を制御するための回路である。スイッチ回路 22\_D は、切り替え信号 CSEL1 の制御によってオンまたはオフが切り替えられる。スイッチ 23\_C および 23\_D は、スイッチ 23\_A および 23\_B と同様に、CSEL2 の制御によってオンまたはオフを切り替えればよい。

10

【0149】

また図 23 では、図 22 に示す回路図の動作を説明するためのタイミングチャートを示す。図 23 に示すタイミングチャートにおいて、期間 T11 は書き込みの動作、期間 T12 はビット線 BL のプリチャージ動作、期間 T13 は配線 GBL のプリチャージ動作、期間 T14 はチャージシェアリングの動作、期間 T15 は読み出し待機の動作、期間 T16 は読み出しの動作、を説明する期間に対応する。

【0150】

期間 T11 は、データ信号を書き込みたいメモリセルが有するトランジスタのゲートに接続されたワード線をハイレベルとする。このとき、制御信号 WE および信号  $EN\_data$  をハイレベルとし、データ信号を配線 GBL およびビット線 BL を介してメモリセルに書き込む。

20

【0151】

期間 T12 は、ビット線 BL をプリチャージするため、制御信号 WE をハイレベルとした状態で、プリチャージ線 PCL1 をハイレベルとする。ビット線 BL は、プリチャージ電位にプリチャージされる。期間 T12 において、センスアンプ 22\_C に電源電圧を供給する配線 VHH または配線 VLL は、共に VDD/2 として貫通電流による消費電力を抑制することが好ましい。

【0152】

30

期間 T13 は、配線 GBL をプリチャージするため、プリチャージ線 PCL2 をハイレベルとする。配線 GBL は、プリチャージ電位にプリチャージされる。期間 T13 において、配線 VHH および配線 VLL は、共に VDD とすることで、負荷の大きい配線 GBL を短時間でプリチャージすることができる。

【0153】

期間 T14 は、ビット線 BL および配線 GBL にプリチャージされた電荷を平衡化するためのチャージシェアリングのため、制御信号 WL および制御信号 MUX をハイレベルとする。ビット線 BL と配線 GBL とが等電位となる。期間 T14 において、センスアンプ 22\_C に電源電圧を供給する配線 VHH または配線 VLL は、共に VDD/2 として貫通電流による消費電力を抑制することが好ましい。

40

【0154】

期間 T15 は、制御信号 RE をハイレベルとする。ビット線 BL の電位に応じて、トランジスタ 41 に電流が流れ、当該電流量に応じて配線 GBL の電位が変動する期間である。切り替え信号 CSEL1 をローレベルとして、配線 GBL の電位の変動がセンスアンプ 22\_C の影響を受けないようにする。配線 VHH または配線 VLL は、期間 T14 と同様である。

【0155】

期間 T16 は、切り替え信号 CSEL1 をハイレベルとして、配線 GBL の電位の変動をセンスアンプ 22\_C に接続されたビット線対で増幅することでメモリセルに書き込まれたデータ信号を読み出す。

50

## 【0156】

なお図17に図示する半導体装置10Bの構成は、図18(B)の素子層40Bの回路構成を採用する場合、図24に図示する回路図のように書き換えることができる。図24では、各ユニットが有する素子層40\_1乃至40\_Mのトランジスタ42を抜き出して、当該トランジスタ42で構成される切り替え回路49を図示している。つまり素子層40\_1乃至40\_Mは、当該切り替え回路49で選択された素子層40\_1乃至40\_Mのいずれか一によって選択されたメモリセル31\_1乃至31\_Mのいずれか一を選択してデータ信号の書き込みまたは読み出しを行うことができる。

## 【0157】

本発明の一形態の半導体装置は、各素子層に設けられるトランジスタとして、オフ電流が極めて低いOSトランジスを用いる。OSトランジスタは、Siトランジスタが設けられるシリコン基板上に積層して設けることができる。そのため、垂直方向に繰り返し同じ製造工程を用いて作製することができ、製造コストの低減を図ることができる。また本発明の一形態は、メモリセルを構成するトランジスタを平面方向でなく、垂直方向に配置してメモリ密度の向上を図ることができ、装置の小型化を図ることができる。

10

## 【0158】

加えて本発明の一形態は、制御回路を有する素子層を備えている。制御回路は、ビット線BLをトランジスタ41のゲートに接続するため、トランジスタ41を増幅器として機能させることができる。当該構成にすることで、読み出し時にビット線BLのわずかな電位差を増幅して、Siトランジスタを用いたセンスアンプを駆動することができる。Siトランジスタを用いたセンスアンプ等の回路を小型化できるため、半導体装置の小型化を図ることができる。またメモリセルが有するキャパシタの容量を小さくしても動作させることができるとなる。

20

## 【0159】

## (実施の形態4)

本発明の一態様である半導体装置、および半導体装置の動作方法の構成例について、図25乃至図29を参照して説明する。実施の形態1と同じ符号を付した構成については、実施の形態1の説明を援用し、説明を省略する場合がある。

## 【0160】

図25(A)は本実施の形態で説明する半導体装置のブロック図である。図1(A)に示す半導体装置10Fは、周辺回路20およびメモリセルアレイ30を有する。

30

## 【0161】

メモリセルアレイ30は、複数、或いは単層の素子層34を有する。素子層34は、1以上のメモリセル31\_1乃至31\_N(Nは2以上の自然数)を有する。メモリセル31\_1は、トランジスタ32\_1およびキャパシタ33\_1を有する。メモリセル31\_Nは、トランジスタ32\_Nおよびキャパシタ33\_Nを有する。なおキャパシタは、容量素子と呼ぶ場合がある。なお素子層は、キャパシタやトランジスタなどの素子が設けられる層であり、導電体、半導体、絶縁体等の部材で構成される層である。

## 【0162】

図25(A)で説明した各構成において、本発明の一態様にある素子層34について説明するため、図25(B)に図示する模式図を用いて説明する。図25(B)に示す模式図は、図25(A)で説明した各構成の配置を説明するため、x軸、y軸、z軸方向を規定した斜視図に対応する。

40

## 【0163】

図25(B)に図示するようにメモリセル31\_1乃至31\_Nを有する素子層34は、シリコン基板11に設けられたカラムドライバ22と重なる領域を有する。

## 【0164】

素子層34が有するメモリセル31\_1のトランジスタは、垂直方向に設けられたビット線BL\_1を介してカラムドライバ22と接続される。素子層34が有するメモリセル31\_Nのトランジスタは、垂直方向に設けられたビット線BL\_Nを介してカラムドラ

50

イバ22と接続される。ビット線BL\_1およびBL\_N、ならびにその他のビット線BLは、シリコン基板11に設けられたカラムドライバ22に接続される。

【0165】

本発明の一形態は、各素子層に設けられるトランジスタとして、オフ電流が極めて低いOSトランジスタを用いる。そのため、メモリセルに保持するデータのリフレッシュ頻度を低減することができ、低消費電力化が図られた半導体装置とすることができます。OSトランジスタは、積層して設けることができ、垂直方向に繰り返し同じ製造工程を用いて作製することができ、製造コストの低減を図ることができる。また本発明の一形態は、メモリセルを構成するトランジスタを平面方向でなく、垂直方向に配置してメモリ密度の向上を図ることができ、装置の小型化を図ることができる。またOSトランジスタは、高温環境下においてもSiトランジスタと比べて電気特性の変動が小さいため、積層且つ集積化した際のトランジスタの電気特性の変動が小さく信頼性に優れた記憶装置として機能する半導体装置とすることができます。また本発明の一態様は、メモリセルアレイから延びて設けられるビット線を垂直方向に設けることで、メモリセルアレイとカラムドライバとのビット線の長さを短くできる。そのため、ビット線の寄生容量を大幅に削減できるため、メモリセルに保持するデータ信号を多値化しても電位を読み出すことができる。

10

【0166】

図26では、図25(A)および図25(B)を用いて説明した半導体装置10Fの垂直方向(z軸方向)に平行な面の断面の模式図について示す。

20

【0167】

図26に図示するように半導体装置10Fは、素子層34に設けられたメモリセル31\_1乃至31\_Nと、シリコン基板11に設けられるカラムドライバ22と、を最短距離である垂直方向に設けられるビット線BLを介して接続する構成とすることができます。ビット線を平面方向に配置する構成と比べて、ビット線の本数が増えるものの、1本のビット線に接続されるメモリセルの数を少なくすることができるため、ビット線の寄生容量を小さくできる。そのため、メモリセルが有するキャパシタの容量を小さくしても、電荷の移動に伴うビット線の電位を変動させることができる。

【0168】

またメモリセル31\_1乃至31\_Nが有するキャパシタ33\_1乃至33\_Nの容量を小さくすることができるため、キャパシタ33\_1乃至33\_Nをトランジスタ32\_1乃至32\_Nと同じ層に設けることができる。キャパシタ33\_1乃至33\_Nをトランジスタ32\_1乃至32\_Nと同じ層に設ける構成とすることで、一層毎の素子層34\_1乃至34\_Nを薄くすることができる。そのため、半導体装置10Fの小型化を図ることができる。

30

【0169】

なおメモリセル31\_1乃至31\_Nが有するキャパシタ33\_1乃至33\_Nは、トランジスタ32\_1乃至32\_Nと同じ層に設ける構成でもよいが、他の構成でもよい。例えば、図27(A)に示す模式図では、素子層34\_1乃至34\_Nが有するメモリセル31のキャパシタ33Aがトランジスタ32に対して、垂直方向で上方に設けられる構成を表している。当該構成とすることで、容量を大きくすることができるため、読み出されるデータの信頼性、データの保持時間の向上を図ることができる。加えて図27(A)の構成ではトランジスタ32の上方に固定電位に一方の電極が接続されたキャパシタ33Aの電極を配置することができるため、外部からのノイズの影響を抑制することができる。

40

【0170】

また図27(B)に示す模式図は、素子層34\_1乃至34\_Nが有するメモリセル31のキャパシタ33Bがトランジスタ32に対して、垂直方向で下方に設けられる構成を表している。当該構成とすることで、容量を大きくすることができるため、読み出されるデータの信頼性、データの保持時間の向上を図ることができる。加えて図27(B)の構成ではトランジスタ32と、カラムドライバ22と、の間に固定電位に一方の電極が接続されたキャパシタ33Bの電極を配置することができるため、カラムドライバ22のノイ

50

ズのメモリセル 3 1 への影響を抑制することができる。

【 0 1 7 1 】

図 2 8 は、図 2 5 ( A ) で説明した、素子層 3 4 を有するメモリセルアレイ 3 0 の回路構成例と、当該メモリセルに接続されるカラムドライバ 2 2 の具体的な回路構成例と、について説明する回路図である。

【 0 1 7 2 】

図 2 8 にはメモリセルアレイ 3 0 として素子層 3 4 を図示している。図 2 8 では、ビット線  $B_L_A$  に接続されたメモリセルとしてメモリセル  $3 1_N_A$  を有している。メモリセル  $3 1_N_A$  は、ゲートがワード線  $W_L_A$  に接続されたトランジスタ  $3 2_A$  とキャパシタ  $3 3$  を図示している。また図 2 8 では、ビット線  $B_L_B$  に接続されたメモリセルとしてメモリセル  $3 1_N_B$  を有している。メモリセル  $3 1_N_B$  は、ゲートがワード線  $W_L_B$  に接続されたトランジスタ  $3 2_B$  とキャパシタ  $3 3$  を図示している。各素子層のキャパシタ  $3 3$  は、固定電位、例えばグラウンド電位が与えられる配線  $V_L$  に接続される。

10

【 0 1 7 3 】

また図 2 8 には、カラムドライバ 2 2 が有する回路として、シリコン基板側にあるプリチャージ回路  $2 2_1$ 、センスアンプ  $2 2_2$ 、スイッチ回路  $2 2_3$ 、書き込み読み出し回路  $2 9$  を示している。プリチャージ回路  $2 2_1$  およびセンスアンプ  $2 2_2$  を構成するトランジスタは、Si トランジスタを用いる。選択スイッチ  $2 2_3$  についても Si トランジスタを用いることができる。

20

【 0 1 7 4 】

また図 2 9 では、図 2 8 に示す回路図の動作を説明するためのタイミングチャートを示す。図 2 9 に示すタイミングチャートにおいて、期間  $T_1$  は初期化の動作、期間  $T_2$  は書き込みの動作、期間  $T_3$  は非アクセス時の動作、期間  $T_4$  は読み出しの動作を説明する期間に対応する。

【 0 1 7 5 】

本発明の一形態の半導体装置は、各素子層に設けられるトランジスタとして、オフ電流が極めて低いOSトランジスタを用いる。OSトランジスタは、Siトランジスタが設けられるシリコン基板上に積層して設けることができる。そのため、垂直方向に繰り返し同じ製造工程を用いて作製することができ、製造コストの低減を図ることができる。また本発明の一形態は、メモリセルを構成するトランジスタを平面方向でなく、垂直方向に配置してメモリ密度の向上を図ることができ、装置の小型化を図ることができる。

30

【 0 1 7 6 】

( 実施の形態 5 )

本実施の形態では、上記実施の形態 1 で説明した半導体装置 1 0 に適用可能な回路の変形例について、図 3 0 を参照して説明する。

【 0 1 7 7 】

上記説明した素子層  $3 4_1$  乃至  $3 4_N$  が有するメモリセルにおいて、トランジスタはバックゲート電極がないトップゲート構造またはボトムゲート構造のトランジスタとして図示したが、トランジスタ  $3 2$  の構造はこれに限らない。例えば、図 3 0 に図示するように、メモリセル  $3 1$  が有するトランジスタは、バックゲート電極線  $B_G_L$  に接続されたバックゲート電極を有するトランジスタ  $3 2$  としてもよい。図 3 0 の構成とすることで、トランジスタ  $3 2$  のしきい値電圧などの電気特性を外部より制御しやすくなることができる。

40

【 0 1 7 8 】

( 実施の形態 6 )

本実施の形態では、上記実施の形態 2 で説明した半導体装置 1 0 A に適用可能な回路の変形例について、図 3 1 を参照して説明する。

【 0 1 7 9 】

上記説明した素子層  $2 6$  の切り替え回路を構成するトランジスタは、バックゲート電極

50

がないトップゲート構造またはボトムゲート構造のトランジスタとして図示したが、トランジスタの構造はこれに限らない。例えば、図31に図示するように、切り替え回路27を構成するトランジスタは、バックゲート電極線BGLに接続されたバックゲート電極を有するトランジスタ28としてもよい。図31の構成とすることで、トランジスタ28のしきい値電圧などの電気特性を外部より制御しやすくすることができる。

【0180】

(実施の形態7)

本実施の形態では、上記実施の形態3で説明した半導体装置10Bに適用可能な回路の変形例について、図32を参照して説明する。

【0181】

上記説明した素子層34\_1乃至34\_Nが有するメモリセルにおいて、トランジスタはバックゲート電極がないトップゲート構造またはボトムゲート構造のトランジスタとして図示したが、トランジスタ32の構造はこれに限らない。例えば、図32に図示するように、メモリセル31が有するトランジスタは、バックゲート電極線BGLに接続されたバックゲート電極を有するトランジスタ32としてもよい。図32の構成とすることで、トランジスタ32のしきい値電圧などの電気特性を外部より制御しやすくすることができる。

10

【0182】

(実施の形態8)

本実施の形態では、上記実施の形態4で説明した半導体装置に適用可能な回路の変形例について、図33を参照して説明する。

20

【0183】

上記説明した素子層34が有するメモリセルにおいて、トランジスタはバックゲート電極がないトップゲート構造またはボトムゲート構造のトランジスタとして図示したが、トランジスタ32の構造はこれに限らない。例えば、図33に図示するように、メモリセル31が有するトランジスタは、バックゲート電極線BGLに接続されたバックゲート電極を有するトランジスタ32としてもよい。図33の構成とすることで、トランジスタ32のしきい値電圧などの電気特性を外部より制御しやすくすることができる。

【0184】

(実施の形態9)

30

以下では、本発明の一態様に係る記憶装置として機能する半導体装置の一例について説明する。

【0185】

図34は、半導体基板311に設けられた回路を有する素子層411上に、メモリユニット470(メモリユニット470\_1乃至メモリユニット470\_m:mは2以上の自然数)が積層して設けられた半導体装置の例を示す図である。図34では、素子層411と、素子層411上にメモリユニット470が複数積層されており、複数のメモリユニット470には、それぞれトランジスタ層413(トランジスタ層413\_1乃至トランジスタ層413\_m)と、各トランジスタ層413上の、複数のメモリデバイス層415(メモリデバイス層415\_1乃至メモリデバイス層415\_n:nは2以上の自然数)が設けられる例を示している。なお、各メモリユニット470では、トランジスタ層413上にメモリデバイス層415が設けられる例を示しているが、本実施の形態ではこれに限定されない。複数のメモリデバイス層415上にトランジスタ層413を設けてもよいし、トランジスタ層413の上下にメモリデバイス層415が設けられてもよい。

40

【0186】

素子層411は、半導体基板311に設けられたトランジスタ300を有し、半導体装置の回路(周辺回路と呼ぶ場合がある)として機能することができる。回路の例としては、カラムドライバ、ロウドライバ、カラムデコーダ、ロウデコーダ、センスアンプ、プリチャージ回路、增幅回路、ワード線ドライバ回路、出力回路、コントロールロジック回路などが挙げられる。

50

## 【0187】

トランジスタ層413は、トランジスタ200Tを有し、各メモリユニット470を制御する回路として機能することができる。メモリデバイス層415は、メモリデバイス420を有する。本実施の形態に示すメモリデバイス420は、トランジスタ200Mと容量素子292を有する。

## 【0188】

なお、上記mの値については、特に制限は無いが2以上100以下、好ましくは2以上50以下、さらに好ましくは、2以上10以下である。また、上記nの値については、特に制限は無いが2以上100以下、好ましくは2以上50以下、さらに好ましくは、2以上10以下である。また、上記mとnの積は、4以上256以下、好ましくは4以上128以下、さらに好ましくは4以上64以下である。

10

## 【0189】

また、図34は、メモリユニットに含まれるトランジスタ200T、およびトランジスタ200Mのチャネル長方向の断面図を示す。

## 【0190】

図34に示すように、半導体基板311にトランジスタ300が設けられ、トランジスタ300上には、メモリユニット470が有するトランジスタ層413とメモリデバイス層415が設けられ、一つのメモリユニット470内でトランジスタ層413が有するトランジスタ200Tと、メモリデバイス層415が有するメモリデバイス420は、複数の導電体424により電気的に接続され、トランジスタ300と、各メモリユニット470におけるトランジスタ層413が有するトランジスタ200Tは、導電体426により電気的に接続される。また、導電体426は、トランジスタ200Tのソース、ドレイン、ゲートのいずれか一と電気的に接続する導電体428を介して、トランジスタ200Tと電気的に接続することが好ましい。導電体424は、メモリデバイス層415の各層に設けられることが好ましい。また、導電体426は、トランジスタ層413、およびメモリデバイス層415の各層に設けられることが好ましい。

20

## 【0191】

また、詳細は後述するが、導電体424の側面、および導電体426の側面には、水または水素などの不純物や、酸素の透過を抑制する絶縁体を設けることが好ましい。このような絶縁体として、例えば、窒化シリコン、酸化アルミニウム、または窒化酸化シリコンなどを用いればよい。

30

## 【0192】

メモリデバイス420は、トランジスタ200Mと容量素子292を有し、トランジスタ200Mは、トランジスタ層413が有するトランジスタ200Tと同様の構造とすることができる。また、トランジスタ200Tとトランジスタ200Mをまとめてトランジスタ200と称する場合がある。

## 【0193】

ここで、トランジスタ200は、チャネルが形成される領域（以下、チャネル形成領域ともいう。）を含む半導体に、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

40

## 【0194】

酸化物半導体として、例えば、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タンクスチン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物半導体として、酸化インジウム、In-Ga酸化物、In-Zn酸化物を用いてもよい。なお、インジウムの比率が高い組成の酸化物半導体とすることで、トランジスタのオン電流、または電界効果移動度などを高めることができる。

## 【0195】

50

チャネル形成領域に酸化物半導体を用いたトランジスタ 200 は、非導通状態において極めてリーキ電流が小さいため、低消費電力の半導体装置を提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタ 200 に用いることができる。

【0196】

一方、酸化物半導体を用いたトランジスタは、酸化物半導体中の不純物および酸素欠損 (V<sub>O</sub>: oxygen vacancyともいう) によって、その電気特性が変動し、ノーマリーオン特性 (ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性) となりやすい。

【0197】

そこで、不純物濃度、および欠陥準位密度が低減された酸化物半導体を用いるとよい。なお、本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。

【0198】

従って、酸化物半導体中の不純物濃度はできる限り低減されていることが好ましい。なお、酸化物半導体中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0199】

特に、酸化物半導体に含まれる不純物としての水素は、酸化物半導体中に酸素欠損を形成する場合がある。また、酸素欠損に水素が入った欠陥 (以下、V<sub>O</sub>H と呼ぶ場合がある。) は、キャリアとなる電子を生成する場合がある。さらに、水素の一部が金属原子と結合する酸素と反応し、キャリアとなる電子を生成する場合がある。

【0200】

従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。

【0201】

従って、トランジスタ 200 に用いる酸化物半導体は、水素などの不純物、および酸素欠損が低減された高純度真性な酸化物半導体を用いることが好ましい。

【0202】

<封止構造>

そこで、外部からの不純物混入を抑制するために、不純物の拡散を抑制する材料 (以下、不純物に対するバリア性材料ともいう) を用いて、トランジスタ 200 を封止するとよい。

【0203】

なお、本明細書において、バリア性とは、対応する物質の拡散を抑制する機能 (透過性が低いともいう) とする。または、対応する物質を、捕獲、および固着する (ゲッタリングともいう) 機能とする。

【0204】

例えば、水素、および酸素に対する拡散を抑制する機能を有する材料として、酸化アルミニウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、または窒化酸化シリコンなどがある。特に、窒化シリコンまたは窒化酸化シリコンは、水素に対するバリア性が高いため、封止する材質として用いることが好ましい。

【0205】

また、例えば、水素を捕獲、および固着する機能を有する材料として、酸化アルミニウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、などの金属酸化物がある。

【0206】

トランジスタ 300 とトランジスタ 200 の間には、バリア性を有する層として、絶縁

10

20

30

40

50

体 211、絶縁体 212、および絶縁体 214 が設けられることが好ましい。絶縁体 211、絶縁体 212、および絶縁体 214 の少なくとも一つに水素などの不純物の拡散や透過を抑制する材料を用いることで、半導体基板 311、トランジスタ 300 などに含まれる水素や水等の不純物がトランジスタ 200 に拡散することを抑制できる。また、絶縁体 211、絶縁体 212、および絶縁体 214 の少なくとも一つに酸素の透過を抑制する材料を用いることで、トランジスタ 200 のチャネル、またはトランジスタ層 413 に含まれる酸素が素子層 411 に拡散することを抑制できる。例えば、絶縁体 211、および絶縁体 212 として水素や水などの不純物の透過を抑制する材料を用い、絶縁体 214 として酸素の透過を抑制する材料を用いることが好ましい。また、絶縁体 214 として水素を吸い取り、吸収する特性を有する材料を用いることがさらに好ましい。絶縁体 211、および絶縁体 212 として、例えば、窒化シリコン、窒化酸化シリコンなどの窒化物を用いることができる。絶縁体 214 として、例えば、酸化アルミニウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、などの金属酸化物を用いることができる。特に、絶縁体 214 として、酸化アルミニウムを用いることが好ましい。

#### 【0207】

また、トランジスタ層 413 およびメモリデバイス層 415 の側面、すなわちメモリユニット 470 の側面には絶縁体 287 が設けられることが好ましく、メモリユニット 470 の上面には絶縁体 282 が設けられることが好ましい。このとき絶縁体 282 は、絶縁体 287 と接することが好ましく、絶縁体 287 は、絶縁体 211、絶縁体 212、および絶縁体 214 の少なくとも一つと接することが好ましい。絶縁体 287、および絶縁体 282 として、絶縁体 214 に用いることができる材料を用いることが好ましい。

#### 【0208】

また、絶縁体 282、および絶縁体 287 を覆うように絶縁体 283、および絶縁体 284 が設けられることが好ましく、絶縁体 283 は、絶縁体 211、絶縁体 212、および絶縁体 214 の少なくとも一つと接することが好ましい。図 34 では、絶縁体 287 が絶縁体 214 の側面、絶縁体 212 の側面、および絶縁体 211 の上面および側面と接し、絶縁体 283 が絶縁体 287 の上面および側面、および絶縁体 211 の上面と接する例を示しているが、本実施の形態はこれに限らない。絶縁体 287 が絶縁体 214 の側面、および絶縁体 212 の上面および側面と接し、絶縁体 283 が絶縁体 287 の上面および側面、および絶縁体 212 の上面と接していてもよい。絶縁体 282、および絶縁体 287 として、絶縁体 211、および絶縁体 212 に用いることができる材料を用いることが好ましい。

#### 【0209】

上記構造において、絶縁体 287、および絶縁体 282 として酸素の透過を抑制する材料を用いることが好ましい。また、絶縁体 287、および絶縁体 282 として水素を捕獲、および固着する特性を有する材料を用いることがさらに好ましい。トランジスタ 200 に近接する側に、水素を捕獲、および固着する機能を有する材料を用いることで、トランジスタ 200 中、またはメモリユニット 470 中の水素は、絶縁体 214、絶縁体 287、および絶縁体 282 に、捕獲、および固着されるため、トランジスタ 200 中の水素濃度を低減することができる。また、絶縁体 283、および絶縁体 284 として水素や水などの不純物の透過を抑制する材料を用いることが好ましい。

#### 【0210】

以上のような構造とすることで、メモリユニット 470 は、絶縁体 211、絶縁体 212、絶縁体 214、絶縁体 287、絶縁体 282、絶縁体 283、および絶縁体 284 により囲われる。より具体的には、メモリユニット 470 は、絶縁体 214、絶縁体 287、および絶縁体 282 (第 1 の構造体と表記する場合がある) により囲われ、メモリユニット 470、および第 1 の構造体は、絶縁体 211、絶縁体 212、絶縁体 283、および絶縁体 284 (第 2 の構造体と表記する場合がある) により囲われる。また、このようにメモリユニット 470 を 2 層以上の複数の構造体により囲う構造を入れ子構造と呼ぶ場合がある。ここで、メモリユニット 470 が複数の構造体により囲われることを、メモリ

ユニット470が複数の絶縁体により封止されると表記する場合がある。

【0211】

また、第2の構造体は、第1の構造体を介して、トランジスタ200を封止する。従つて、第2の構造体の外方に存在する水素は、第2の構造体により、第2の構造体の内部(トランジスタ200側)への拡散が、抑制される。つまり、第1の構造体は、第2の構造体の内部構造に存在する水素を、効率よく捕獲し、固着することができる。

【0212】

上記構造として、具体的には、第1の構造体には酸化アルミニウムなどの金属酸化物を用い、第2の構造体には窒化シリコンなどの窒化物を用いることができる。より、具体的には、トランジスタ200と、窒化シリコン膜との間に、酸化アルミニウム膜を配置するとい。

10

【0213】

さらに、構造体に用いる材料は、成膜条件を適宜設定することにより、膜中の水素濃度を低減することができる。

【0214】

一般的に、CVD法を用いて成膜した膜は、スパッタリング法を用いて成膜した膜よりも、被覆性が高い。一方で、CVD法に用いる化合物ガスは、水素を含む場合が多く、CVD法を用いて成膜した膜は、スパッタリング法を用いて成膜した膜よりも、水素の含有量が多い。

20

【0215】

従つて、例えば、トランジスタ200と近接する膜に、膜中の水素濃度が低減された膜(具体的にはスパッタリング法を用いて成膜した膜)を用いるとよい。一方で、不純物の拡散を抑制する膜として、被膜性が高い一方で膜中の水素濃度が比較的高い膜(具体的にはCVD法を用いて成膜した膜)を用いる場合、トランジスタ200と、水素濃度が比較的高い一方で被膜性が高い膜との間に、水素を捕獲、および固着する機能を有し、かつ水素濃度が低減された膜を配置するとよい。

【0216】

つまり、トランジスタ200に近接して配置する膜は、膜中の水素濃度が比較的低い膜を用いるとよい。一方で、膜中の水素濃度が比較的高い膜は、トランジスタ200から遠隔して配置するとよい。

30

【0217】

上記構造として、具体的には、トランジスタ200を、CVD法を用いて成膜した窒化シリコンを用いて封止する場合、トランジスタ200と、CVD法を用いて成膜した窒化シリコン膜との間に、スパッタリング法を用いて成膜した酸化アルミニウム膜を配置するとよい。さらに好ましくは、CVD法を用いて成膜した窒化シリコン膜と、スパッタリング法を用いて成膜した酸化アルミニウム膜との間に、スパッタリング法を用いて成膜した窒化シリコン膜を配置するとよい。

【0218】

なお、CVD法を用いて成膜する場合、水素原子を含まない、または水素原子の含有量が少ないと、化合物ガスを用いて成膜することで、成膜した膜に含まれる水素濃度を低減してもよい。

40

【0219】

また、各トランジスタ層413とメモリデバイス層415の間、または各メモリデバイス層415の間にも、絶縁体282、および絶縁体214が設けられることが好ましい。また、絶縁体282、および絶縁体214の間に絶縁体296が設けられることが好ましい。絶縁体296は、絶縁体283、および絶縁体284と同様の材料を用いることができる。または、酸化シリコン、酸化窒化シリコンを用いることができる。または、公知の絶縁性材料を用いてもよい。ここで、絶縁体282、絶縁体296、および絶縁体214は、トランジスタ200を構成する要素であってもよい。絶縁体282、絶縁体296、および絶縁体214がトランジスタ200の構成要素を兼ねることで、半導体装置の作製

50

にかかる工程数を削減できるため好ましい。

【0220】

また、各トランジスタ層413とメモリデバイス層415の間、または各メモリデバイス層415の間に設けられる絶縁体282、絶縁体296、および絶縁体214それぞれの側面は、絶縁体287と接することが好ましい。このような構造とすることで、トランジスタ層413およびメモリデバイス層415は、それぞれ絶縁体282、絶縁体296、絶縁体214、絶縁体287、絶縁体283、および絶縁体284により囲われ、封止される。

【0221】

また、絶縁体284の周囲には、絶縁体274を設けてもよい。また、絶縁体274、絶縁体284、絶縁体283、および絶縁体211に埋め込むように導電体430を設けてもよい。導電体430は、トランジスタ300、すなわち素子層411に含まれる回路と電気的に接続する。

10

【0222】

また、メモリデバイス層415では、容量素子292がトランジスタ200Mと同じ層に形成されているため、メモリデバイス420の高さをトランジスタ200Mと同程度にすことができ、各メモリデバイス層415の高さが過剰に大きくなるのを抑制することができる。これにより、比較的容易に、メモリデバイス層415の数を増やすことができる。例えば、トランジスタ層413、およびメモリデバイス層415からなる積層を100層程度にしてもよい。

20

【0223】

<トランジスタ200>

図35(A)を用いて、トランジスタ層413が有するトランジスタ200T、およびメモリデバイス420が有するトランジスタ200Mに用いることができるトランジスタ200について説明する。

【0224】

図35(A)に示すように、トランジスタ200は、絶縁体216と、導電体205(導電体205a、および導電体205b)と、絶縁体222と、絶縁体224と、酸化物230(酸化物230a、酸化物230b、および酸化物230c)と、導電体242(導電体242a、および導電体242b)と、酸化物243(酸化物243a、および酸化物243b)と、絶縁体272と、絶縁体273と、絶縁体250と、導電体260(導電体260a、および導電体260b)と、を有する。

30

【0225】

また、絶縁体216、および導電体205は、絶縁体214上に設けられ、絶縁体273上には絶縁体280、および絶縁体282が設けられる。絶縁体214、絶縁体280、および絶縁体282は、トランジスタ200の一部を構成しているとみなすことができる。

【0226】

また、本発明の一態様の半導体装置は、トランジスタ200と電気的に接続し、プラグとして機能する導電体240(導電体240a、および導電体240b)を有する。なお、プラグとして機能する導電体240の側面に接して絶縁体241(絶縁体241a、および絶縁体241b)を設けてもよい。また、絶縁体282上、および導電体240上には、導電体240と電気的に接続し、配線として機能する導電体246(導電体246a、および導電体246b)が設けられる。

40

【0227】

また、導電体240aおよび導電体240bは、タンゲステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体240aおよび導電体240bは積層構造としてもよい。

【0228】

また、導電体240を積層構造とする場合、水または水素などの不純物、および酸素の

50

透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物、および酸素の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体 280 などから拡散する水または水素などの不純物が、導電体 240a および導電体 240b を通じて酸化物 230 に混入するのをさらに低減することができる。また、絶縁体 280 に添加された酸素が導電体 240a および導電体 240b に吸収されるのを防ぐことができる。

#### 【0229】

また、導電体 240 の側面に接して設けられる絶縁体 241 としては、例えば、窒化シリコン、酸化アルミニウム、または窒化酸化シリコンなどを用いればよい。絶縁体 241 は、絶縁体 272、絶縁体 273、絶縁体 280、および絶縁体 282 に接して設けられるので、絶縁体 280 などから水または水素などの不純物が、導電体 240a および導電体 240b を通じて酸化物 230 に混入するのを抑制することができる。特に、窒化シリコンは水素に対するプロッキング性が高いので好適である。また、絶縁体 280 に含まれる酸素が導電体 240a および導電体 240b に吸収されるのを防ぐことができる。

10

#### 【0230】

導電体 246 は、タンゲステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、絶縁体に設けられた開口に埋め込むように形成してもよい。

20

#### 【0231】

トランジスタ 200において、導電体 260 は、トランジスタの第 1 のゲートとして機能し、導電体 205 は、トランジスタの第 2 のゲートとして機能する。また、導電体 242a、および導電体 242b は、ソース電極またはドレイン電極として機能する。

#### 【0232】

酸化物 230 は、チャネル形成領域を有する半導体として機能する。

#### 【0233】

絶縁体 250 は、第 1 のゲート絶縁体として機能し、絶縁体 222、および絶縁体 224 は、第 2 のゲート絶縁体として機能する。

30

#### 【0234】

ここで、図 35 (A) に示すトランジスタ 200 は、絶縁体 280、絶縁体 273、絶縁体 272、導電体 242 などに設けた開口部内に、導電体 260 が、酸化物 230c および絶縁体 250 を介して、自己整合的に形成される。

#### 【0235】

つまり、導電体 260 は、酸化物 230c および絶縁体 250 を介して、絶縁体 280 などに設けた開口を埋めるように形成されるため、導電体 242a と導電体 242b の間の領域に、導電体 260 の位置合わせが不要となる。

#### 【0236】

ここで、絶縁体 280 などに設けた開口内に、酸化物 230c を設けることが好ましい。従って、絶縁体 250、および導電体 260 は、酸化物 230c を介して、酸化物 230b、および酸化物 230a の積層構造と重畳する領域を有する。当該構造とすることで、酸化物 230c と絶縁体 250 とを連続成膜により形成することができるため、酸化物 230 と絶縁体 250 との界面を清浄に保つことができる。従って、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 200 は高いオン電流、および高い周波数特性を得ることができる。

40

#### 【0237】

また、図 35 (A) に示すトランジスタ 200 は、導電体 260 の底面、および側面が絶縁体 250 に接する。また、絶縁体 250 の底面、および側面は、酸化物 230c と接する。

50

## 【0238】

また、トランジスタ200は、図35(A)に示すように、絶縁体282と、酸化物230cとが、直接接する構造となっている。当該構造とすることで、絶縁体280に含まれる酸素の導電体260への拡散を抑制することができる。

## 【0239】

従って、絶縁体280に含まれる酸素は、酸化物230cを介して、酸化物230aおよび酸化物230bへ効率よく供給することができるので、酸化物230a中および酸化物230b中の酸素欠損を低減し、トランジスタ200の電気特性および信頼性を向上させることができる。

## 【0240】

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の詳細な構成について説明する。

## 【0241】

トランジスタ200は、チャネル形成領域を含む酸化物230(酸化物230a、酸化物230b、および酸化物230c)に、酸化物半導体として機能する金属酸化物(以下、酸化物半導体ともいう)を用いることが好ましい。

## 【0242】

例えば、酸化物半導体として機能する金属酸化物は、エネルギーギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。エネルギーギャップの大きい金属酸化物を用いることで、トランジスタ200の非導通状態におけるリーク電流(オフ電流)を極めて小さくすることができる。このようなトランジスタを用いることで、低消費電力の半導体装置を提供できる。

## 【0243】

具体的には、酸化物230として、In-M-Zn酸化物(元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タンゲステン、またはマグネシウムなどから選ばれた一種、または複数種)等の金属酸化物を用いるとよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。また、酸化物230として、In-M酸化物、In-Zn酸化物、またはM-Zn酸化物を用いてもよい。

## 【0244】

図35(A)に示すように、酸化物230は、絶縁体224上の酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上に配置され、少なくとも一部が酸化物230bの上面に接する酸化物230cと、を有することが好ましい。ここで、酸化物230cの側面は、酸化物243a、酸化物243b、導電体242a、導電体242b、絶縁体272、絶縁体273、および絶縁体280に接して設けられていることが好ましい。

## 【0245】

つまり、酸化物230は、酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上の酸化物230cと、を有する。酸化物230b下に酸化物230aを有することで、酸化物230aよりも下方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。また、酸化物230b上に酸化物230cを有することで、酸化物230cよりも上方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。

## 【0246】

なお、トランジスタ200では、チャネル形成領域と、その近傍において、酸化物230a、酸化物230b、および酸化物230cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物230bの単層、酸化物230bと酸化物230aの2層構造、酸化物230bと酸化物230cの2層構造、または4層以上の積層構造を設ける構成にしてもよい。例えば、酸化物230cを2層構造にし

10

20

30

40

50

て、4層の積層構造を設ける構成にしてもよい。

【0247】

また、酸化物230は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物230bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物230cは、酸化物230aまたは酸化物230bに用いることができる金属酸化物を、用いることができる。

【0248】

具体的には、酸化物230aとして、In : Ga : Zn = 1 : 3 : 4 [原子数比] もしくはその近傍の組成、または1 : 1 : 0.5 [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。

【0249】

また、酸化物230bとして、In : Ga : Zn = 4 : 2 : 3 [原子数比] もしくはその近傍の組成、または1 : 1 : 1 [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物230bとして、In : Ga : Zn = 5 : 1 : 3 [原子数比] もしくはその近傍の組成、またはIn : Ga : Zn = 10 : 1 : 3 [原子数比] もしくはその近傍の組成の金属酸化物を用いてもよい。また、酸化物230bとして、In - Zn酸化物（例えば、In : Zn = 2 : 1 [原子数比] もしくはその近傍の組成、In : Zn = 5 : 1 [原子数比] もしくはその近傍の組成、またはIn : Zn = 10 : 1 [原子数比] もしくはその近傍の組成）を用いてもよい。また、酸化物230bとして、In酸化物を用いてもよい。

【0250】

また、酸化物230cとして、In : Ga : Zn = 1 : 3 : 4 [原子数比] もしくはその近傍の組成]、Ga : Zn = 2 : 1 [原子数比] もしくはその近傍の組成、またはGa : Zn = 2 : 5 [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物230cに、酸化物230bに用いることのできる材料を適用し、単層または積層で設けてもよい。例えば、酸化物230cを積層構造とする場合の具体例としては、In : Ga : Zn = 4 : 2 : 3 [原子数比] もしくはその近傍の組成と、In : Ga : Zn = 1 : 3 : 4 [原子数比] もしくはその近傍の組成との積層構造、Ga : Zn = 2 : 1 [原子数比] もしくはその近傍の組成と、In : Ga : Zn = 4 : 2 : 3 [原子数比] もしくはその近傍の組成との積層構造、Ga : Zn = 2 : 5 [原子数比] もしくはその近傍の組成と、In : Ga : Zn = 4 : 2 : 3 [原子数比] もしくはその近傍の組成との積層構造、酸化ガリウムと、In : Ga : Zn = 4 : 2 : 3 [原子数比] もしくはその近傍の組成との積層構造などが挙げられる。

【0251】

なお、実施の形態1に示す、メモリセルアレイ30が有するOSトランジスタの構成と、素子層40が有するOSトランジスタの構成と、を異ならせてよい。例えば、メモリセルアレイ30に設けられるOSトランジスタが有する酸化物230cには、In : Ga : Zn = 4 : 2 : 3 [原子数比] もしくはその近傍の組成の金属酸化物を用い、素子層40に設けられるOSトランジスタが有する酸化物230cには、In : Ga : Zn = 5 : 1 : 3 [原子数比] もしくはその近傍の組成、In : Ga : Zn = 10 : 1 : 3 [原子数比] もしくはその近傍の組成、In : Zn = 10 : 1 [原子数比] もしくはその近傍の組成、In : Zn = 2 : 1 [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。

【0252】

また、酸化物 230b、酸化物 230c において、膜中のインジウムの比率を高めることで、トランジスタのオン電流、または電界効果移動度などを高めることが出来るため、好適である。また、上述した近傍の組成とは、所望の原子数比の ± 30 % の範囲を含む。

#### 【0253】

また、酸化物 230b は、結晶性を有していてもよい。例えば、後述する CAAAC-O<sub>S</sub> (c-axis aligned crystalline oxide semiconductor) を用いることが好ましい。 CAAAC-O<sub>S</sub> などの結晶性を有する酸化物は、不純物や欠陥（酸素欠損など）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物 230b からの酸素の引き抜きを抑制することができる。また、加熱処理を行っても、酸化物 230b から酸素が、引き抜かれることを低減できるので、トランジスタ 200 は、製造工程における高い温度（所謂サーマルバジエット）に対して安定である。

10

#### 【0254】

導電体 205 は、酸化物 230、および導電体 260 と、重なるように配置する。また、導電体 205 は、絶縁体 216 に埋め込まれて設けることが好ましい。

#### 【0255】

導電体 205 がゲート電極として機能する場合、導電体 205 に印加する電位を、導電体 260 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 200 のしきい値電圧 (V<sub>th</sub>) を制御することができる。特に、導電体 205 に負の電位を印加することにより、トランジスタ 200 の V<sub>th</sub> をより大きくし、オフ電流を低減することが可能となる。したがって、導電体 205 に負の電位を印加したほうが、印加しない場合よりも、導電体 260 に印加する電位が 0V のときのドレイン電流を小さくすることができる。

20

#### 【0256】

なお、導電体 205 は、図 35 (A) に示すように、酸化物 230 の導電体 242a および導電体 242b と重ならない領域の大きさよりも、大きく設けるとよい。ここで図示しないが、導電体 205 は、酸化物 230 のチャネル幅方向において酸化物 230a、および酸化物 230b よりも外側の領域まで延伸していることが好ましい。つまり、酸化物 230 のチャネル幅方向における側面の外側において、導電体 205 と、導電体 260 とは、絶縁体を介して重畳していることが好ましい。導電体 205 を大きく設けることによって、導電体 205 形成以降の作製工程のプラズマを用いた処理において、局所的なチャージング（チャージアップと言う）の緩和ができる場合がある。ただし、本発明の一態様はこれに限定されない。導電体 205 は、少なくとも導電体 242a と、導電体 242b との間に位置する酸化物 230 と重畳すればよい。

30

#### 【0257】

また、絶縁体 224 の底面を基準として、酸化物 230a および酸化物 230b と、導電体 260 とが、重ならない領域における導電体 260 の底面の高さは、酸化物 230b の底面の高さより低い位置に配置されていることが好ましい。

#### 【0258】

図示しないが、チャネル幅方向において、ゲートとして機能する導電体 260 は、チャネル形成領域の酸化物 230b の側面および上面を酸化物 230c および絶縁体 250 を介して覆う構造とすることにより、導電体 260 から生じる電界を、酸化物 230b に生じるチャネル形成領域全体に作用させやすくなる。従って、トランジスタ 200 のオン電流を増大させ、周波数特性を向上させることができる。本明細書において、導電体 260 、および導電体 205 の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、surrounded channel (S-channel) 構造とよぶ。

40

#### 【0259】

また、導電体 205a は、水または水素などの不純物および酸素の透過を抑制する導電体が好ましい。例えば、チタン、窒化チタン、タンタル、または窒化タンタルを用いることができる。また、導電体 205b は、タングステン、銅、またはアルミニウムを主成分

50

とする導電性材料を用いることが好ましい。なお、導電体 205 を 2 層で図示したが、3 層以上の多層構造としてもよい。

【0260】

ここで、酸化物半導体と、酸化物半導体の下層に位置する絶縁体、または導電体と、酸化物半導体の上層に位置する絶縁体、または導電体とを、大気開放を行わずに、異なる膜種を連続成膜することで、不純物（特に、水素、水）の濃度が低減された、実質的に高純度真性である酸化物半導体膜を成膜することができるので好ましい。

【0261】

絶縁体 222、および絶縁体 272 および絶縁体 273 の少なくとも一つは、水または水素などの不純物が、基板側から、または、上方からトランジスタ 200 に混入するのを抑制するバリア絶縁膜として機能することが好ましい。したがって、絶縁体 222、絶縁体 272、および絶縁体 273 の少なくとも一つは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N<sub>2</sub>O、NO、NO<sub>2</sub> など）、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

【0262】

例えば、絶縁体 273 として、窒化シリコンまたは窒化酸化シリコンなどを用い、絶縁体 222 および絶縁体 272 として、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。

【0263】

これにより、水または水素などの不純物が絶縁体 222 を介して、トランジスタ 200 側に拡散するのを抑制することができる。または、絶縁体 224 などに含まれる酸素が、絶縁体 222 を介して基板側に、拡散するのを抑制することができる。

【0264】

また、水または水素などの不純物が、絶縁体 272 および絶縁体 273 を介して配置されている絶縁体 280 などからトランジスタ 200 側に拡散するのを抑制することができる。このように、トランジスタ 200 を、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁体 272、および絶縁体 273 で取り囲む構造とすることが好ましい。

【0265】

ここで、酸化物 230 と接する絶縁体 224 は、加熱により酸素を脱離することが好ましい。本明細書では、加熱により離脱する酸素を過剰酸素と呼ぶことがある。例えば、絶縁体 224 は、酸化シリコンまたは酸化窒化シリコンなどを適宜用いればよい。酸素を含む絶縁体を酸化物 230 に接して設けることにより、酸化物 230 中の酸素欠損を低減し、トランジスタ 200 の信頼性を向上させることができる。

【0266】

絶縁体 224 として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、昇温脱離ガス分析（TDS（Thermal Desorption Spectroscopy）分析）にて、酸素分子の脱離量が  $1.0 \times 10^{18} \text{ molecules/cm}^3$  以上、好ましくは  $1.0 \times 10^{19} \text{ molecules/cm}^3$  以上、さらに好ましくは  $2.0 \times 10^{19} \text{ molecules/cm}^3$  以上、または  $3.0 \times 10^{20} \text{ molecules/cm}^3$  以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100 以上 700 以下、または 100 以上 400 以下の範囲が好ましい。

【0267】

絶縁体 222 は、水または水素などの不純物が、基板側からトランジスタ 200 に混入するのを抑制するバリア絶縁膜として機能することが好ましい。例えば、絶縁体 222 は、絶縁体 224 より水素透過性が低いことが好ましい。絶縁体 222、および絶縁体 283 によって、絶縁体 224 および酸化物 230 などを囲むことにより、外方から水または

10

20

30

40

50

水素などの不純物がトランジスタ 200 に侵入することを抑制することができる。

【0268】

さらに、絶縁体 222 は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。例えば、絶縁体 222 は、絶縁体 224 より酸素透過性が低いことが好ましい。絶縁体 222 が、酸素や不純物の拡散を抑制する機能を有することで、酸化物 230 が有する酸素が、絶縁体 222 より下側へ拡散することを低減できるので、好ましい。また、導電体 205 が、絶縁体 224 や、酸化物 230 が有する酸素と反応することを抑制することができる。

【0269】

絶縁体 222 は、絶縁性材料であるアルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体 222 を形成した場合、絶縁体 222 は、酸化物 230 からの酸素の放出や、トランジスタ 200 の周辺部から酸化物 230 への水素等の不純物の混入を抑制する層として機能する。

10

【0270】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タンゲステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてよい。

20

【0271】

また、絶縁体 222 は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（SrTiO<sub>3</sub>）または（Ba, Sr）TiO<sub>3</sub>（BST）などのいわゆる hight-k 材料を含む絶縁体を単層または積層で用いてよい。例えば、絶縁体 222 を積層とする場合、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、が順に形成された 3 層積層や、酸化ジルコニウムと、酸化アルミニウムと、酸化ジルコニウムと、酸化アルミニウムと、が順に形成された 4 層積層などを用いればよい。また、絶縁体 222 としては、ハフニウムと、ジルコニウムとが含まれる化合物などを用いてもよい。半導体装置の微細化、および高集積化が進むと、ゲート絶縁体、および容量素子に用いる誘電体の薄膜化により、トランジスタや容量素子のリーク電流などの問題が生じる場合がある。ゲート絶縁体、および容量素子に用いる誘電体として機能する絶縁体に hight-k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減、および容量素子の容量の確保が可能となる。

30

【0272】

なお、絶縁体 222、および絶縁体 224 が、2 層以上の積層構造を有していてよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0273】

また、酸化物 230b と、ソース電極またはドレイン電極として機能する導電体 242（導電体 242a より導電体 242b）と、の間に酸化物 243（酸化物 243a より酸化物 243b）を配置してもよい。導電体 242 と、酸化物 230b とが接しない構成となるので、導電体 242 が、酸化物 230b の酸素を吸収することを抑制できる。つまり、導電体 242 の酸化を防止することで、導電体 242 の導電率の低下を抑制することができる。従って、酸化物 243 は、導電体 242 の酸化を抑制する機能を有することができる。

40

【0274】

ソース電極やドレイン電極として機能する導電体 242 と酸化物 230b との間に酸素の透過を抑制する機能を有する酸化物 243 を配置することで、導電体 242 と、酸化物

50

230bとの間の電気抵抗が低減されるので好ましい。このような構成とすることで、トランジスタ200の電気特性およびトランジスタ200の信頼性を向上させることができる。

【0275】

酸化物243として、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種からなる元素Mを有する金属酸化物を用いてよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、または錫を用いるといい。酸化物243は、酸化物230bよりも元素Mの濃度が高いことが好ましい。また、酸化物243として、酸化ガリウムを用いてよい。また、酸化物243として、In-M-Zn酸化物等の金属酸化物を用いてよい。具体的には、酸化物243に用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物243の膜厚は、0.5nm以上5nm以下が好ましく、より好ましくは、1nm以上3nm以下である。また、酸化物243は、結晶性を有すると好ましい。酸化物243が結晶性を有する場合、酸化物230中の酸素の放出を好適に抑制することが出来る。例えば、酸化物243としては、六方晶などの結晶構造であれば、酸化物230中の酸素の放出を抑制できる場合がある。

10

【0276】

なお、酸化物243は必ずしも設けなくてもよい。その場合、導電体242（導電体242a、および導電体242b）と酸化物230とが接することで、酸化物230中の酸素が導電体242へ拡散し、導電体242が酸化する場合がある。導電体242が酸化することで、導電体242の導電率が低下する蓋然性が高い。なお、酸化物230中の酸素が導電体242へ拡散することを、導電体242が酸化物230中の酸素を吸収する、と言い換えることができる。

20

【0277】

また、酸化物230中の酸素が導電体242（導電体242a、および導電体242b）へ拡散することで、導電体242aと酸化物230bとの間、および、導電体242bと酸化物230bとの間に異層が形成される場合がある。当該異層は、導電体242よりも酸素を多く含むため、当該異層は絶縁性を有すると推定される。このとき、導電体242と、当該異層と、酸化物230bとの3層構造は、金属-絶縁体-半導体からなる3層構造とみなすことができ、MIS（Metal-Insulator-Semiconductor）構造と呼ぶ、またはMIS構造を主としたダイオード接合構造と呼ぶ場合がある。

30

【0278】

なお、上記異層は、導電体242と酸化物230bとの間に形成されることに限られず、例えば、異層が、導電体242と酸化物230cとの間に形成される場合や、導電体242と酸化物230bとの間、および導電体242と酸化物230cとの間に形成される場合がある。

40

【0279】

酸化物243上には、ソース電極、およびドレイン電極として機能する導電体242（導電体242a、および導電体242b）が設けられる。導電体242の膜厚は、例えば、1nm以上50nm以下、好ましくは2nm以上25nm以下、とすればよい。

【0280】

導電体242としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タン

50

タル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

#### 【0281】

絶縁体272は、導電体242上面に接して設けられており、バリア層として機能することが好ましい。当該構成にすることで、導電体242による、絶縁体280が有する過剰酸素の吸収を抑制することができる。また、導電体242の酸化を抑制することで、トランジスタ200と配線とのコンタクト抵抗の増加を抑制することができる。よって、トランジスタ200に良好な電気特性および信頼性を与えることができる。

10

#### 【0282】

従って、絶縁体272は、酸素の拡散を抑制する機能を有することが好ましい。例えば、絶縁体272は、絶縁体280よりも酸素の拡散を抑制する機能を有することが好ましい。絶縁体272としては、例えば、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を成膜するとよい。また、絶縁体272としては、例えば、窒化アルミニウムを含む絶縁体を用いればよい。

20

#### 【0283】

図35(A)に示すように、絶縁体272は、導電体242bの上面の一部、および導電体242bの側面と接する。また、図示しないが、絶縁体272は、導電体242aの上面の一部、および導電体242aの側面と接する。また、絶縁体272上に絶縁体273が配置されている。このようにすることで、例えば絶縁体280に添加された酸素が、導電体242吸収されることを抑制することができる。

30

#### 【0284】

絶縁体250は、ゲート絶縁体として機能する。絶縁体250は、酸化物230cの上面に接して配置することが好ましい。絶縁体250は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

30

#### 【0285】

絶縁体224と同様に、絶縁体250は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。加熱により酸素が放出される絶縁体を、絶縁体250として、酸化物230cの上面に接して設けることにより、酸化物230bのチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体224と同様に、絶縁体250中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

40

#### 【0286】

また、絶縁体250と導電体260との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体250から導電体260への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体250から導電体260への酸素の拡散が抑制される。つまり、酸化物230へ供給する酸素量の減少を抑制することができる。また、絶縁体250の酸素による導電体260の酸化を抑制することができる。

40

#### 【0287】

また、当該金属酸化物は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体250に酸化シリコンや酸化窒化シリコンなどを用いる場合、当該金属酸化物は、比誘電率が高い $h_i g h - k$ 材料である金属酸化物を用いることが好ましい。ゲート絶縁体を、絶縁体250と当該金属酸化物との積層構造とすることで、熱に対して安

50

定、かつ比誘電率の高い積層構造とすることができます。したがって、ゲート絶縁体の物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（EOT）の薄膜化が可能となる。

【0288】

具体的には、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タンゲステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。特に、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。

10

【0289】

または、当該金属酸化物は、ゲートの一部としての機能を有する場合がある。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

【0290】

特に、ゲートとして機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

20

【0291】

導電体260は、図35（A）では2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

【0292】

30

導電体260aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N<sub>2</sub>O、NO、NO<sub>2</sub>など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

【0293】

また、導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250に含まれる酸素により、導電体260bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。

【0294】

40

また、導電体260bは、タンゲステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体260は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タンゲステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構造としてもよい。

【0295】

<<金属酸化物>>

酸化物230として、酸化物半導体として機能する金属酸化物を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

50

## 【0296】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タンゲステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

## 【0297】

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タンゲステン、またはマグネシウムなどから選ばれた一種、または複数種）である場合を考える。特に、元素Mは、アルミニウム、ガリウム、イットリウム、または錫を用いるとよい。

10

## 【0298】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxy nitride）と呼称してもよい。

## 【0299】

## &lt;トランジスタ300&gt;

20

図35（B）を用いてトランジスタ300を説明する。トランジスタ300は、半導体基板311上に設けられ、ゲートとして機能する導電体316、ゲート絶縁体として機能する絶縁体315、半導体基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

## 【0300】

ここで、図35（B）に示すトランジスタ300はチャネルが形成される半導体領域313（半導体基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板311の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有してもよい。また、ここでは半導体基板311の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

30

## 【0301】

なお、図35（B）に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

## 【0302】

## &lt;メモリデバイス420&gt;

40

次に、図36（A）を用いて、図34に示すメモリデバイス420について説明する。なお、メモリデバイス420が有するトランジスタ200Mについて、トランジスタ200と重複する説明は省略する。

## 【0303】

メモリデバイス420において、トランジスタ200Mの導電体242aは、容量素子292の電極の一方として機能し、絶縁体272、および絶縁体273は、誘電体として機能する。絶縁体272、および絶縁体273を間に挟み、導電体242aと重畠するように導電体290が設けられ、容量素子292の電極の他方として機能する。導電体290は、隣接するメモリデバイス420が有する容量素子292の電極の他方として用いてもよい。または、導電体290は、隣接するメモリデバイス420が有する導電体290と電気的に接続してもよい。

50

## 【0304】

導電体290は、絶縁体272および絶縁体273を間に挟み、導電体242aの上面および導電体242aの側面にも配置される。このとき容量素子292は、導電体242aと導電体290が重畳する面積により得られる容量より大きい容量が得られるため、好ましい。

## 【0305】

導電体424は、導電体242bと電気的に接続し、かつ導電体205を介して下層に位置する導電体424と電気的に接続する。

## 【0306】

容量素子292の誘電体として、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、および酸化ハフニウムなどを用いることができる。また、これらの材料を積層して用いることができる。容量素子292の誘電体を積層構造とする場合、酸化アルミニウムと窒化シリコンの積層、酸化ハフニウムと酸化シリコンの積層を用いることができる。ここでも、積層の上下は限定されない。例えば、酸化アルミニウムの上に窒化シリコンが積層されてもよいし、窒化シリコンの上に酸化アルミニウムが積層されてもよい。

10

## 【0307】

また、容量素子292の誘電体として、上記材料よりも高い誘電率を有する酸化ジルコニウムを用いてもよい。容量素子292の誘電体として、酸化ジルコニウムを単層で用いてもよいし、積層の一部として用いてもよい。例えば、酸化ジルコニウムと酸化アルミニウムの積層を用いることができる。また、容量素子292の誘電体を3層の積層としてもよく、第1の層、および第3の層に酸化ジルコニウムを用い、第1の層および第3の層の間の第2の層に酸化アルミニウムを用いてもよい。

20

## 【0308】

容量素子292の誘電体として高い誘電率を有する酸化ジルコニウムを用いることで、容量素子292がメモリデバイス420に占める面積を削減できる。そのため、メモリデバイス420に必要な面積を削減でき、ビットコストを向上させることができ好ましい。

## 【0309】

また、導電体290として、導電体205、導電体242、導電体260、導電体424などに用いることができる材料を用いることができる。

30

## 【0310】

本実施の形態では、導電体424を間に挟み、トランジスタ200Mおよび容量素子292が対称に配置される例を示している。このように一対のトランジスタ200Mおよび容量素子292を配置することにより、トランジスタ200Mと電気的に接続する導電体424の数を減らすことができる。そのため、メモリデバイス420に必要な面積を削減でき、ビットコストを向上させることができ好ましい。

## 【0311】

導電体424の側面に絶縁体241が設けられている場合、導電体424は、導電体242bの上面の少なくとも一部と接続する。

## 【0312】

導電体424および導電体205を用いることで、メモリユニット470内のトランジスタ200Tとメモリデバイス420を電気的に接続することができる。

40

## 【0313】

## &lt;メモリデバイス420の変形例1&gt;

次に、図36(B)を用いて、メモリデバイス420の変形例として、メモリデバイス420Aを説明する。メモリデバイス420Aは、トランジスタ200Mと、トランジスタ200Mと電気的に接続する容量素子292Aを有する。容量素子292Aは、トランジスタ200Mの下方に設けられる。

## 【0314】

メモリデバイス420Aでは、導電体242aは、酸化物243a、酸化物230b、酸化物230a、絶縁体224、および絶縁体222に設けられた開口内に配置され、該

50

開口底部で導電体 205 と電気的に接続する。導電体 205 は、容量素子 292A と電気的に接続する。

【0315】

容量素子 292A は、電極の一方として機能する導電体 294 と、誘電体として機能する絶縁体 295 と、電極の他方として機能する導電体 297 を有する。導電体 297 は、絶縁体 295 を間に挟み、導電体 294 と重畳する。また、導電体 297 は、導電体 205 と電気的に接続する。

【0316】

導電体 294 は、絶縁体 296 上に設けられた絶縁体 298 に形成された開口の底部および側面に設けられ、絶縁体 295 は、絶縁体 298 、および導電体 294 を覆うように設けられる。また、導電体 297 は、絶縁体 295 が有する凹部に埋め込まれるように設けられる。

10

【0317】

また、絶縁体 296 に埋め込まれるように導電体 299 が設けられており、導電体 299 は、導電体 294 と電気的に接続する。導電体 299 は、隣接するメモリデバイス 420A の導電体 294 と電気的に接続してもよい。

【0318】

導電体 297 は、絶縁体 295 を間に挟み、導電体 294 の上面および導電体 294 の側面にも配置される。このとき容量素子 292A は、導電体 294 と導電体 297 が重畳する面積により得られる容量より大きい容量が得られるため、好ましい。

20

【0319】

容量素子 292A の誘電体として機能する絶縁体 295 として、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、および酸化ハフニウムなどを用いることができる。また、これらの材料を積層して用いることができる。絶縁体 295 を積層構造とする場合、酸化アルミニウムと窒化シリコンの積層、酸化ハフニウムと酸化シリコンの積層を用いることができる。ここで、積層の上下は限定されない。例えば、酸化アルミニウムの上に窒化シリコンが積層されてもよいし、窒化シリコンの上に酸化アルミニウムが積層されてもよい。

【0320】

また、絶縁体 295 として、上記材料よりも高い誘電率を有する酸化ジルコニアを用いてよい。絶縁体 295 として、酸化ジルコニアを単層で用いてもよいし、積層の一部として用いてもよい。例えば、酸化ジルコニアと酸化アルミニウムの積層を用いることができる。また、絶縁体 295 を 3 層の積層としてもよく、第 1 の層、および第 3 の層に酸化ジルコニアを用い、第 1 の層および第 3 の層の間の第 2 の層に酸化アルミニウムを用いてよい。

30

【0321】

絶縁体 295 として高い誘電率を有する酸化ジルコニアを用いることで、容量素子 292A がメモリデバイス 420A に占める面積を削減できる。そのため、メモリデバイス 420A に必要な面積を削減でき、ビットコストを向上させることができ好ましい。

【0322】

また、導電体 297 、導電体 294 、および導電体 299 として、導電体 205 、導電体 242 、導電体 260 、導電体 424 などに用いることができる材料を用いることができる。

40

【0323】

また、絶縁体 298 として、絶縁体 214 、絶縁体 216 、絶縁体 224 、および絶縁体 280 などに用いることができる材料を用いることができる。

【0324】

<メモリデバイス 420 の変形例 2 >

次に、図 36 (C) を用いて、メモリデバイス 420 の変形例として、メモリデバイス 420B を説明する。メモリデバイス 420B は、トランジスタ 200M と、トランジス

50

タ 2 0 0 M と電気的に接続する容量素子 2 9 2 B を有する。容量素子 2 9 2 B は、トランジスタ 2 0 0 M の上方に設けられる。

【 0 3 2 5 】

容量素子 2 9 2 B は、電極の一方として機能する導電体 2 7 6 と、誘電体として機能する絶縁体 2 7 7 と、電極の他方として機能する導電体 2 7 8 を有する。導電体 2 7 8 は、絶縁体 2 7 7 を間に挟み、導電体 2 7 6 と重畳する。

【 0 3 2 6 】

絶縁体 2 8 2 上に絶縁体 2 7 5 が設けられ、導電体 2 7 6 は、絶縁体 2 7 5 、絶縁体 2 8 2 、絶縁体 2 8 0 、絶縁体 2 7 3 、および絶縁体 2 7 2 に形成された開口の底部および側面に設けられる。絶縁体 2 7 7 は、絶縁体 2 8 2 および導電体 2 7 6 を覆うように設けられる。また、導電体 2 7 8 は、絶縁体 2 7 7 が有する凹部内で導電体 2 7 6 と重畳するように設けられ、少なくともその一部は、絶縁体 2 7 7 を介して絶縁体 2 7 5 上に設けられる。導電体 2 7 8 は、隣接するメモリデバイス 4 2 0 B が有する容量素子 2 9 2 B の電極の他方として用いてもよい。または、導電体 2 7 8 は、隣接するメモリデバイス 4 2 0 B が有する導電体 2 7 8 と電気的に接続してもよい。

10

【 0 3 2 7 】

導電体 2 7 8 は、絶縁体 2 7 7 を間に挟み、導電体 2 7 6 の上面および導電体 2 7 6 の側面にも配置される。このとき容量素子 2 9 2 B は、導電体 2 7 6 と導電体 2 7 8 が重畳する面積により得られる容量より大きい容量が得られるため、好ましい。

【 0 3 2 8 】

また、導電体 2 7 8 が有する凹部を埋め込むように絶縁体 2 7 9 を設けてもよい。

20

【 0 3 2 9 】

容量素子 2 9 2 B の誘電体として機能する絶縁体 2 7 7 として、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、および酸化ハフニウムなどを用いることができる。また、これらの材料を積層して用いることができる。絶縁体 2 7 7 を積層構造とする場合、酸化アルミニウムと窒化シリコンの積層、酸化ハフニウムと酸化シリコンの積層を用いることができる。ここで、積層の上下は限定されない。例えば、酸化アルミニウムの上に窒化シリコンが積層されてもよいし、窒化シリコンの上に酸化アルミニウムが積層されてもよい。

【 0 3 3 0 】

30

また、絶縁体 2 7 7 として、上記材料よりも高い誘電率を有する酸化ジルコニアを用いてもよい。絶縁体 2 7 7 として、酸化ジルコニアを単層で用いてもよいし、積層の一部として用いてもよい。例えば、酸化ジルコニアと酸化アルミニウムの積層を用いることができる。また、絶縁体 2 7 7 を 3 層の積層としてもよく、第 1 の層、および第 3 の層に酸化ジルコニアを用い、第 1 の層および第 3 の層の間の第 2 の層に酸化アルミニウムを用いてもよい。

【 0 3 3 1 】

絶縁体 2 7 7 として高い誘電率を有する酸化ジルコニアを用いることで、容量素子 2 9 2 B がメモリデバイス 4 2 0 B に占める面積を削減できる。そのため、メモリデバイス 4 2 0 B に必要な面積を削減でき、ピットコストを向上させることができ好ましい。

40

【 0 3 3 2 】

また、導電体 2 7 6 、および導電体 2 7 8 として、導電体 2 0 5 、導電体 2 4 2 、導電体 2 6 0 、導電体 4 2 4 などに用いることができる材料を用いることができる。

【 0 3 3 3 】

また、絶縁体 2 7 5 、および絶縁体 2 7 9 として、絶縁体 2 1 4 、絶縁体 2 1 6 、絶縁体 2 2 4 、および絶縁体 2 8 0 などに用いることができる材料を用いることができる。

【 0 3 3 4 】

<メモリデバイス 4 2 0 とトランジスタ 2 0 0 T との接続>

図 3 4 において一点鎖線で囲んだ領域 4 2 2 にて、メモリデバイス 4 2 0 は、導電体 4 2 4 および導電体 2 0 5 を介してトランジスタ 2 0 0 T のゲートと電気的に接続されてい

50

るが、本実施の形態はこれに限らない。

【0335】

図37は、メモリデバイス420が、導電体424、導電体205、導電体246b、および導電体240bを介してトランジスタ200Tのソースおよびドレインの一方として機能する導電体242bと電気的に接続する例を示している。

【0336】

このように、トランジスタ層413が有する回路の機能に応じてメモリデバイス420とトランジスタ200Tの接続方法を決定することができる。

【0337】

図38は、メモリユニット470がトランジスタ200Tを有するトランジスタ層413と、4層のメモリデバイス層415（メモリデバイス層415\_1乃至メモリデバイス層415\_4）を有する例を示す。

10

【0338】

メモリデバイス層415\_1乃至メモリデバイス層415\_4は、それぞれ複数のメモリデバイス420を有する。

【0339】

メモリデバイス420は、導電体424、および導電体205を介して異なるメモリデバイス層415が有するメモリデバイス420、およびトランジスタ層413が有するトランジスタ200Tと電気的に接続する。

【0340】

メモリユニット470は、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284により封止される。絶縁体284の周囲には絶縁体274が設けられる。また、絶縁体274、絶縁体284、絶縁体283、および絶縁体211には導電体430が設けられ、素子層411と電気的に接続する。

20

【0341】

また、封止構造の内部には、絶縁体280が設けられる。絶縁体280は、加熱により酸素を放出する機能を有する。または、絶縁体280は、過剰酸素領域を有する。

【0342】

なお、絶縁体211、絶縁体283、および絶縁体284は、水素に対するプロッキング性が高い機能を有する材料であると好適である。また、絶縁体214、絶縁体282、および絶縁体287は、水素を捕獲、または水素を固着する機能を有する材料であると好適である。

30

【0343】

例えば、上記水素に対するプロッキング性が高い機能を有する材料は、窒化シリコン、または窒化酸化シリコンなどが挙げられる。また、上記水素を捕獲、または水素を固着する機能を有する材料は、酸化アルミニウム、酸化ハフニウム、並びにアルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などが挙げられる。

【0344】

なお、本明細書において、バリア性とは、対応する物質の拡散を抑制する機能（透過性が低いともいう）とする。または、対応する物質を、捕獲、および固着する（ゲッタリングともいう）機能とする。

40

【0345】

なお、絶縁体211、絶縁体212、絶縁体214、絶縁体287、絶縁体282、絶縁体283、および絶縁体284に用いる材料の結晶構造については、特に限定は無いが、非晶質または結晶性を有する構造とすればよい。例えば、水素を捕獲、または水素を固着する機能を有する材料として、非晶質の酸化アルミニウム膜を用いると好適である。非晶質の酸化アルミニウムは、結晶性の高い酸化アルミニウムよりも、水素の捕獲、および固着する量が大きい場合がある。

【0346】

ここで、絶縁体280中の過剰酸素は、絶縁体280と接する酸化物半導体中の水素の

50

拡散に対し、下記のようなモデルが考えられる。

【0347】

酸化物半導体中に存在する水素は、酸化物半導体に接する絶縁体280を介して、他の構造体へと拡散する。絶縁体280中の過剰酸素が酸化物半導体中の酸素と反応しOH結合となり、当該水素は絶縁体280中を拡散する。OH結合を有した水素原子は、水素を捕獲、または水素を固着する機能を有する材料（代表的には、絶縁体282）に到達した際に、水素原子は絶縁体282中の原子（例えば、金属原子など）と結合した酸素原子と反応し、絶縁体282中に捕獲、または固着する。一方、OH結合を有していた過剰酸素の酸素原子は、過剰酸素として絶縁体280中に残ると推測される。つまり、当該水素の拡散において、絶縁体280中の過剰酸素が、橋渡し的な役割を担う蓋然性が高い。

10

【0348】

上記のモデルを満たすためには、半導体装置の作製プロセスが重要な要素の一つとなる。

【0349】

一例として、酸化物半導体に、過剰酸素を有する絶縁体280を形成し、その後、絶縁体282を形成する。その後に、加熱処理を行うことが好ましい。当該加熱処理は、具体的には、酸素を含む雰囲気、窒素を含む雰囲気、または酸素と窒素の混合雰囲気にて、350以上、好ましくは400以上の温度で行う。加熱処理の時間は、1時間以上、好ましくは4時間以上、さらに好ましくは8時間以上とする。

【0350】

上記の加熱処理によって、酸化物半導体中の水素が、絶縁体280、絶縁体282、および絶縁体287を介して、外方に拡散することができる。つまり、酸化物半導体、および当該酸化物半導体近傍に存在する水素の絶対量を低減することができる。

20

【0351】

上記加熱処理のあと、絶縁体283、および絶縁体284を形成する。絶縁体283、および絶縁体284は、水素に対するブロッキング性が高い機能を有する材料であるため、外方に拡散させた水素、または外部に存在する水素を、内部、具体的には、酸化物半導体、または絶縁体280側に入り込むのを抑制することができる。

【0352】

なお、上記の加熱処理については、絶縁体282を形成したあとに行う構成について、例示したが、これに限定されない。例えば、トランジスタ層413の形成後、またはメモリデバイス層415\_1乃至メモリデバイス層415\_3の形成後に、それぞれ上記加熱処理を行ってもよい。また、上記加熱処理によって、水素を外方に拡散させる際には、トランジスタ層413の上方または横方向に水素が拡散される。同様に、メモリデバイス層415\_1乃至メモリデバイス層415\_3形成後に加熱処理をする場合においては、水素は上方または横方向に拡散される。

30

【0353】

なお、上記の作製プロセスにおいて、絶縁体211と、絶縁体283と、が接着することで、上述した封止構造が形成される。

【0354】

以上のように、上記の構造、および上記の作製プロセスとすることで、水素濃度が低減された酸化物半導体を用いた半導体装置を提供することができる。従って、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。

40

【0355】

図39(A)乃至図39(C)は、導電体424の配置が図38と異なる例を示す図である。図39(A)は、メモリデバイス420を上面から見たときのレイアウト図を示し、図39(B)は、図39(A)にA1-A2の一点鎖線で示す部位の断面図であり、図39(C)は、図39(A)にB1-B2の一点鎖線で示す部位の断面図である。なお、図39(A)では、図の理解を容易にするため、導電体205の図示を省略する。導電体205を設ける場合、導電体205は、導電体260、および導電体424と重畳する領

50

域を有する。

【0356】

図39(A)に示すように、導電体424が設けられる開口、すなわち導電体424は、酸化物230a、および酸化物230bと重畳する領域だけでなく、酸化物230a、および酸化物230bの外側にも設けられている。図39(A)では、導電体424が酸化物230a、および酸化物230bのB2側にはみ出すように設けられる例を示しているが、本実施の形態はこれに限定されない。導電体424は酸化物230a、および酸化物230bのB1側にはみ出すように設けられてもよいし、B1側およびB2側の両方にみ出すように設けられてもよい。

【0357】

図39(B)、および図39(C)は、メモリデバイス層415\_p-1の上にメモリデバイス層415\_pが積層される例を示す(pは、2以上n以下の自然数)。メモリデバイス層415\_p-1が有するメモリデバイス420は、導電体424、および導電体205を介して、メモリデバイス層415\_pが有するメモリデバイス420と電気的に接続する。

【0358】

図39(B)では、メモリデバイス層415\_p-1において、導電体424は、メモリデバイス層415\_p-1の導電体242、およびメモリデバイス層415\_pの導電体205と接続する例を示している。ここで、導電体424は、導電体242、酸化物243、酸化物230b、および酸化物230aのB2側の外側でメモリデバイス層415\_p-1の導電体205とも接続している。

【0359】

図39(C)では、導電体424が導電体242、酸化物243、酸化物230b、および酸化物230aのB2側の側面に沿って形成され、絶縁体280、絶縁体273、絶縁体272、絶縁体224、および絶縁体222に形成された開口を介して導電体205と電気的に接続されていることがわかる。ここで、導電体424が導電体242、酸化物243、酸化物230b、および酸化物230aのB2側の側面に沿って設けられる例を図39(B)では点線で示している。また、導電体242、酸化物243、酸化物230b、酸化物230a、絶縁体224、および絶縁体222のB2側の側面と導電体424の間には、絶縁体241が形成される場合がある。

【0360】

導電体424を導電体242などと重ならない領域にも設けることで、メモリデバイス420は、異なるメモリデバイス層415に設けられたメモリデバイス420と電気的に接続することができる。また、メモリデバイス420は、トランジスタ層413に設けられたトランジスタ200Tとも電気的に接続することができる。

【0361】

また、導電体424をピット線としたとき、導電体424を導電体242などと重ならない領域にも設けることで、B1-B2方向で隣り合うメモリデバイス420のピット線の距離を拡げることができる。図39(A)に示すように、導電体242上における導電体424同士の間隔は、d1であるが、酸化物230aより下層、すなわち絶縁体224、および絶縁体222に形成された開口内に位置する導電体424同士の間隔はd2となり、d2はd1よりも大きくなる。B1-B2方向で隣り合う導電体424同士の間隔がd1である場合に比べ、一部の間隔をd2とすることで、導電体424の寄生容量を低減することができる。導電体424の寄生容量を低減することで、容量素子292に必要な容量を低減できるため好ましい。

【0362】

メモリデバイス420では、2つのメモリセルに対して共通のピット線として機能する導電体424を設けている。容量に用いられる誘電体の誘電率や、ピット線間の寄生容量を適宜調整することで、各メモリセルのセルサイズを縮小できる。ここでは、チャネル長を30nm(30nmノードともいう)としたときのメモリセルのセルサイズの見積もり

10

20

30

40

50

、ピット密度の見積もり、およびピットコストの見積もりについて説明する。なお、以下で説明する図40(A)乃至図40(D)では、図の理解を容易にするため、導電体205の図示を省略する。導電体205を設ける場合、導電体205は、導電体260、および導電体424と重畳する領域を有する。

【0363】

図40(A)は、容量素子の誘電体として、10nmの厚さの酸化ハフニウムとその上に1nmの酸化シリコンを順に積層し、メモリデバイス420が有する各メモリセルの導電体242、酸化物243、酸化物230a、および酸化物230bの間にはスリットが設けられ、導電体242および該スリットと重畳するようにピット線として機能する導電体424が設けられる例を示す。このようにして得られたメモリセル432をセルAと呼ぶ。

10

【0364】

セルAにおけるセルサイズは、45.25F<sup>2</sup>である。

【0365】

図40(B)は、容量素子の誘電体として、第1の酸化ジルコニウムと、その上に酸化アルミニウムと、その上に第2の酸化ジルコニウムを順に積層し、メモリデバイス420が有する各メモリセルの導電体242、酸化物243、酸化物230a、および酸化物230bの間にはスリットが設けられ、導電体242および該スリットと重畳するようにピット線として機能する導電体424が設けられる例を示す。このようにして得られたメモリセル433をセルBと呼ぶ。

20

【0366】

セルBは、セルAと比較して容量に用いる誘電体の誘電率が高いため、容量素子の面積を縮小できる。よって、セルBでは、セルAと比較して、セルサイズを縮小できる。セルBにおけるセルサイズは、25.53F<sup>2</sup>である。

【0367】

セルA、およびセルBは、図34、図36(A)乃至図36(C)、および図37に示すメモリデバイス420、メモリデバイス420A、またはメモリデバイス420Bが有するメモリセルに対応する。

【0368】

図40(C)は、容量素子の誘電体として、第1の酸化ジルコニウムと、その上に酸化アルミニウムと、その上に第2の酸化ジルコニウムを積層し、メモリデバイス420が有する導電体242、酸化物243、酸化物230a、および酸化物230bを各メモリセルが共有し、導電体242と重畳する一部、および導電体242の外側の一部と重畳するようにピット線として機能する導電体424が設けられる例を示す。このようにして得られたメモリセル434をセルCと呼ぶ。

30

【0369】

セルCにおける導電体424の間隔は、導電体242の上方と比較して、酸化物230aより下層において広くなる。そのため、導電体424の寄生容量を低減することができ、容量素子の面積を縮小できる。また、導電体242、酸化物243、酸化物230a、および酸化物230bにスリットを設けない。以上より、セルCでは、セルAおよびセルBと比較して、セルサイズを縮小できる。セルCにおけるセルサイズは、17.20F<sup>2</sup>である。

40

【0370】

図40(D)は、セルCにおいて導電体205および絶縁体216を設けない例を示す。このようなメモリセル435をセルDと呼ぶ。

【0371】

セルDにおいて導電体205および絶縁体216を設けないことで、メモリデバイス420を薄くすることができる。そのため、メモリデバイス420を有するメモリデバイス層415を薄くすることができ、メモリデバイス層415を複数積層したメモリユニット470の高さを低くすることができる。導電体424および導電体205をピット線とみ

50

なしたとき、メモリユニット 470 内でビット線を短くすることができる。ビット線を短くできるため、ビット線の寄生負荷が低減され、導電体 424 の寄生容量をさらに低減することができ、容量素子の面積を縮小できる。また、導電体 242、酸化物 243、酸化物 230a、および酸化物 230b にスリットを設けない。以上より、セル D では、セル A、セル B、およびセル C と比較して、セルサイズを縮小できる。セル D におけるセルサイズは、15.12 F<sup>2</sup> である。

【0372】

セル C、およびセル D は、図 39 (A) 乃至図 39 (C) に示すメモリデバイス 420 が有するメモリセルに対応する。

【0373】

ここで、セル A 乃至セル D、およびセル D において多値化を行ったセル E についてビット密度、およびビットコスト C<sub>b</sub> の見積もりを行った。また、得られた見積もりについて現在市販されている D R A M におけるビット密度、およびビットコストの予想値と比較した。

【0374】

本発明の一態様の半導体装置におけるビットコスト C<sub>b</sub> は、数式 1 を用いて見積もった。

【0375】

【数 1】

$$C_b = \frac{(P_c + n \times P_s)}{n} \times \frac{D_d}{D_{3d}} \times \frac{I}{P_d} \quad \dots \quad (1)$$

【0376】

ここで、n はメモリデバイス層の積層数、P<sub>c</sub> は共通部分として主に素子層 411 のパターニング回数、P<sub>s</sub> はメモリデバイス層 415 およびトランジスタ層 413 の 1 層あたりのパターニング回数、D<sub>d</sub> は D R A M のビット密度、D<sub>3d</sub> はメモリデバイス層 415 の 1 層のビット密度、P<sub>d</sub> は D R A M のパターニング回数を示す。ただし、P<sub>d</sub> において、スケーリングに伴う増加分を含む。

【0377】

表 1 に、市販されている D R A M のビット密度の予想値、および本発明の一態様の半導体装置のビット密度の見積もりを示す。なお、市販されている D R A M は、プロセスノードが 18 nm、および 1X nm の 2 種類である。また、本発明の一態様の半導体装置のプロセスノードは 30 nm とし、セル A 乃至セル E におけるメモリデバイス層の積層数を 5 層、10 層、および 20 層としてビット密度の見積もりを行った。

【0378】

10

20

30

40

50

【表1】

メーカー	DRAM		本発明の一態様の記憶装置			
	A社	B社	-			
プロセスノード	18 nm	1X nm	30nm			
積層数	-	-		5	10	20
ビット密度 [Gb/mm <sup>2</sup> ] (*)は予想値	0.19 (*)	0.14 (*)	セルA	0.05	0.10	0.20
			セルB	0.09	0.17	0.35
			セルC	0.13	0.26	0.52
			セルD	0.15	0.29	0.59
			セルE	0.30	0.59	1.18

【0379】

表2に、市販されているDRAMのビットコストから、本発明の一態様の半導体装置の相対ビットコストを見積もった結果を示す。なお、ビットコストの比較には、プロセスノードが1X nmのDRAMを用いた。また、本発明の一態様の半導体装置のプロセスノードは30 nmとし、セルA乃至セルDにおけるメモリデバイス層の積層数を5層、10層、および20層として見積もりを行った。

【0380】

【表2】

メーカー	DRAM		本発明の一態様の記憶装置			
	A社	B社	-			
プロセスノード	18 nm	1X nm	30nm			
積層数	-	-		5	10	20
B社のビットコスト を1としたときの相 対ビットコスト	-	1	セルA	1.7	1.3	1.2
			セルB	0.9	0.7	0.7
			セルC	0.6	0.5	0.4
			セルD	0.5	0.4	0.3

【0381】

本実施の形態に示す構成は、他の実施の形態などに示す構成と適宜組み合わせて用いることができる。

【0382】

(実施の形態10)

本実施の形態では、上記の実施の形態で説明したOSトランジスタに用いることができ

る金属酸化物（以下、酸化物半導体ともいう。）について説明する。

【0383】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズなどが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タンゲステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

【0384】

<結晶構造の分類>

10

まず、酸化物半導体における、結晶構造の分類について、図41(A)を用いて説明を行う。図41(A)は、酸化物半導体、代表的にはIGZO (Inと、Gaと、Znと、を含む金属酸化物)の結晶構造の分類を説明する図である。

【0385】

図41(A)に示すように、酸化物半導体は、大きく分けて「Amorphous(無定形)」と、「Crystalline(結晶性)」と、「Crystal(結晶)」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC (c-axis-aligned crystalline)、nc (nanocrystalline)、及びCAC (cloud-aligned composite) が含まれる。なお、「Crystalline」の分類には、single crystal、poly crystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

20

【0386】

なお、図41(A)に示す太枠内の構造は、「Amorphous(無定形)」と、「Crystal(結晶)」との間の中間状態であり、新しい境界領域(New crystalline phase)に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous(無定形)」や、「Crystal(結晶)」とは全く異なる構造と言い換えることができる。

30

【0387】

なお、膜または基板の結晶構造は、X線回折(XRD: X-Ray Diffraction)スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD (Grazing-Incidence XRD)測定で得られるXRDスペクトルを図41(B)に示す(縦軸は強度(Intensity)を任意単位(a.u.)で表している)。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図41(B)に示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図41(B)に示すCAAC-IGZO膜の組成は、In:Ga:Zn = 4:2:3 [原子数比] 近傍である。また、図41(B)に示すCAAC-IGZO膜の厚さは、500nmである。

40

【0388】

図41(B)に示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$  近傍に、c軸配向を示すピークが検出される。なお、図41(B)に示すように、 $2\theta = 31^\circ$  近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

【0389】

また、膜または基板の結晶構造は、極微電子線回折法(NBED: Nano Beam Electron Diffraction)によって観察される回折パターン(極微電子線回折パターンともいう。)にて評価することができる。CAAC-IGZO膜の回折

50

パターンを、図41(C)に示す。図41(C)は、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図41(C)に示すCAAC-IGZO膜の組成は、In:Ga:Zn = 4:2:3 [原子数比] 近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

#### 【0390】

図41(C)に示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

#### 【0391】

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図41(A)とは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、などが含まれる。

10

#### 【0392】

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

#### 【0393】

##### 【CAAC-OS】

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

20

#### 【0394】

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶(最大径が10nm未満である結晶)で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

30

#### 【0395】

また、In-M-Zn酸化物(元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種)において、CAAC-OSは、インジウム(In)、及び酸素を有する層(以下、In層)と、元素M、亜鉛(Zn)、及び酸素を有する層(以下、(M, Zn)層)とが積層した、層状の結晶構造(層状構造ともいう)を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、(M, Zn)層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

40

#### 【0396】

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、/2スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2 = 31^\circ$ またはその近傍に検出される。なお、c軸配向を示すピークの位置(2の値)は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

#### 【0397】

50

また、例えば、C A A C - O S 膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう。）を対称中心として、点対称の位置に観測される。

#### 【0398】

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、C A A C - O S において、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、C A A C - O S が、a - b 面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

#### 【0399】

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（p o l y c r y s t a l l i c）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないC A A C - O S は、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、C A A C - O S を構成するには、Z n を有する構成が好ましい。例えば、I n - Z n 酸化物、及びI n - G a - Z n 酸化物は、I n 酸化物よりも結晶粒界の発生を抑制できるため好適である。

#### 【0400】

C A A C - O S は、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、C A A C - O S は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、C A A C - O S は不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、C A A C - O S を有する酸化物半導体は、物理的性質が安定する。そのため、C A A C - O S を有する酸化物半導体は熱に強く、信頼性が高い。また、C A A C - O S は、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、O S トランジスタにC A A C - O S を用いると、製造工程の自由度を広げることが可能となる。

#### 【0401】

##### [ n c - O S ]

n c - O S は、微小な領域（例えば、1 n m 以上 1 0 n m 以下の領域、特に 1 n m 以上 3 n m 以下の領域）において原子配列に周期性を有する。別言すると、n c - O S は、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1 n m 以上 1 0 n m 以下、特に 1 n m 以上 3 n m 以下であることから、当該微小な結晶をナノ結晶ともいう。また、n c - O S は、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、n c - O S は、分析方法によっては、a - l i k e O S や非晶質酸化物半導体と区別が付かない場合がある。例えば、n c - O S 膜に対し、X R D 装置を用いて構造解析を行うと、/2 スキャンを用いたO u t - o f - p l a n e X R D 測定では、結晶性を示すピークが検出されない。また、n c - O S 膜に対し、ナノ結晶よりも大きいプローブ径（例えば 5 0 n m 以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、n c - O S 膜に対し、ナノ結晶の大きさと近いかナノ結晶より小さいプローブ径（例えば 1 n m 以上 3 0 n m 以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

#### 【0402】

##### [ a - l i k e O S ]

10

20

30

40

50

a - l i k e O S は、 n c - O S と非晶質酸化物半導体との間の構造を有する酸化物半導体である。 a - l i k e O S は、 鬆又は低密度領域を有する。即ち、 a - l i k e O S は、 n c - O S 及び C A A C - O S と比べて、 結晶性が低い。また、 a - l i k e O S は、 n c - O S 及び C A A C - O S と比べて、 膜中の水素濃度が高い。

#### 【 0 4 0 3 】

< < 酸化物半導体の構成 > >

次に、 上述の C A C - O S の詳細について、 説明を行う。 なお、 C A C - O S は材料構成に関する。

#### 【 0 4 0 4 】

##### [ C A C - O S ]

10

C A C - O S とは、 例えば、 金属酸化物を構成する元素が、 0 . 5 n m 以上 1 0 n m 以下、 好ましくは、 1 n m 以上 3 n m 以下、 またはその近傍のサイズで偏在した材料の一構成である。 なお、 以下では、 金属酸化物において、 一つまたは複数の金属元素が偏在し、 該金属元素を有する領域が、 0 . 5 n m 以上 1 0 n m 以下、 好ましくは、 1 n m 以上 3 n m 以下、 またはその近傍のサイズで混合した状態をモザイク状、 またはパッチ状ともいう。

#### 【 0 4 0 5 】

さらに、 C A C - O S とは、 第 1 の領域と、 第 2 の領域と、 に材料が分離することでモザイク状となり、 当該第 1 の領域が、 膜中に分布した構成（以下、 クラウド状ともいう。）である。 つまり、 C A C - O S は、 当該第 1 の領域と、 当該第 2 の領域とが、 混合している構成を有する複合金属酸化物である。

20

#### 【 0 4 0 6 】

ここで、 I n - G a - Z n 酸化物における C A C - O S を構成する金属元素に対する I n 、 G a 、 および Z n の原子数比のそれぞれを、 [ I n ] 、 [ G a ] 、 および [ Z n ] と表記する。 例えば、 I n - G a - Z n 酸化物における C A C - O S において、 第 1 の領域は、 [ I n ] が、 C A C - O S 膜の組成における [ I n ] よりも大きい領域である。 また、 第 2 の領域は、 [ G a ] が、 C A C - O S 膜の組成における [ G a ] よりも大きい領域である。 または、 例えば、 第 1 の領域は、 [ I n ] が、 第 2 の領域における [ I n ] よりも大きく、 且つ、 [ G a ] が、 第 2 の領域における [ G a ] よりも小さい領域である。 また、 第 2 の領域は、 [ G a ] が、 第 1 の領域における [ G a ] よりも大きく、 且つ、 [ I n ] が、 第 1 の領域における [ I n ] よりも小さい領域である。

30

#### 【 0 4 0 7 】

具体的には、 上記第 1 の領域は、 インジウム酸化物、 インジウム亜鉛酸化物などが主成分である領域である。 また、 上記第 2 の領域は、 ガリウム酸化物、 ガリウム亜鉛酸化物などが主成分である領域である。 つまり、 上記第 1 の領域を、 I n を主成分とする領域と言い換えることができる。 また、 上記第 2 の領域を、 G a を主成分とする領域と言い換えることができる。

#### 【 0 4 0 8 】

なお、 上記第 1 の領域と、 上記第 2 の領域とは、 明確な境界が観察できない場合がある。

#### 【 0 4 0 9 】

例えば、 I n - G a - Z n 酸化物における C A C - O S では、 エネルギー分散型 X 線分光法（ E D X : E n e r g y D i s p e r s i v e X - r a y s p e c t r o s c o p y ）を用いて取得した E D X マッピングにより、 I n を主成分とする領域（第 1 の領域）と、 G a を主成分とする領域（第 2 の領域）とが、 偏在し、 混合している構造を有することが確認できる。

40

#### 【 0 4 1 0 】

C A C - O S をトランジスタに用いる場合、 第 1 の領域に起因する導電性と、 第 2 の領域に起因する絶縁性とが、 相補的に作用することにより、 スイッチングさせる機能（ O n / O f f させる機能）を C A C - O S に付与することができる。 つまり、 C A C - O S は、 材料の一部では導電性の機能と、 材料の一部では絶縁性の機能とを有し、 材料の全体では半導体としての機能を有する。 導電性の機能と絶縁性の機能とを分離させることで、 双

50

方の機能を最大限に高めることができる。よって、C A C - O Sをトランジスタに用いることで、高いオン電流( $I_{on}$ )、高い電界効果移動度( $\mu$ )、および良好なスイッチング動作を実現することができる。

【0411】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a - l i k e O S、C A C - O S、n c - O S、C A A C - O Sのうち、二種以上を有していてもよい。

【0412】

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

10

【0413】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0414】

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体を呼ぶ場合がある。

20

【0415】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0416】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

30

【0417】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0418】

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

【0419】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度(二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる濃度)を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

40

【0420】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。この

50

ため、S I M S により得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18}$  atoms / cm<sup>3</sup> 以下、好ましくは $2 \times 10^{16}$  atoms / cm<sup>3</sup> 以下にする。

【0421】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、S I M S により得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19}$  atoms / cm<sup>3</sup> 未満、好ましくは $5 \times 10^{18}$  atoms / cm<sup>3</sup> 以下、さらに好ましくは $5 \times 10^{17}$  atoms / cm<sup>3</sup> 以下にする。

10

【0422】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、S I M S により得られる水素濃度を、 $1 \times 10^{20}$  atoms / cm<sup>3</sup> 未満、好ましくは $1 \times 10^{19}$  atoms / cm<sup>3</sup> 未満、より好ましくは $5 \times 10^{18}$  atoms / cm<sup>3</sup> 未満、さらに好ましくは $1 \times 10^{18}$  atoms / cm<sup>3</sup> 未満にする。

20

【0423】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0424】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせができる。

【0425】

(実施の形態 11)

30

本実施の形態では、実施の形態 1 乃至 4 に記載の半導体装置 10、10A、10B、10F における周辺回路 20 の詳細について説明する。

【0426】

図 42 は、メモリ装置として機能する半導体装置の構成例を示すプロック図である。半導体装置 10E は、周辺回路 20、およびメモリセルアレイ 30 を有する。周辺回路 20 は、ロウデコーダ 71、ワード線ドライバ回路 72、カラムドライバ 22、出力回路 73、コントロールロジック回路 74 を有する。なおロウデコーダ 71 およびワード線ドライバ回路 72 は、実施の形態 1 等で説明したロウドライバに適用することができる。

【0427】

カラムドライバ 22 は、カラムデコーダ 81、プリチャージ回路 82、增幅回路 83、および書き込み回路 84 を有する。プリチャージ回路 82 は、配線 B\_L などをプリチャージする機能を有する。增幅回路 83 は、配線 B\_L から読み出されたデータ信号を增幅する機能を有する。增幅されたデータ信号は、出力回路 73 を介して、デジタルのデータ信号 RDATA として半導体装置 10E の外部に出力される。

40

【0428】

半導体装置 10E には、外部から電源電圧として低電源電圧 (VSS)、周辺回路 20 用の高電源電圧 (VDD)、メモリセルアレイ 30 用の高電源電圧 (VIL) が供給される。

【0429】

また半導体装置 10E には、制御信号 (CE、WE、RE)、アドレス信号 ADDR、

50

データ信号 WDATA が外部から入力される。アドレス信号 ADDR は、ロウデコーダ 7 1 およびカラムデコーダ 8 1 に入力され、WDATA は書き込み回路 8 4 に入力される。

【0430】

コントロールロジック回路 7 4 は、外部からの入力信号 (CE、WE、RE) を処理して、ロウデコーダ 7 1、カラムデコーダ 8 1 の制御信号を生成する。CE は、チップイネーブル信号であり、WE は、書き込みイネーブル信号であり、RE は、読み出しイネーブル信号である。コントロールロジック回路 7 4 が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。例えば不良ビットを判定するための制御信号を入力し、特定のメモリセルのアドレスから読み出されるデータ信号を不良ビットとして特定してもよい。

10

【0431】

なお、上述の各回路あるいは各信号は、必要に応じて、適宜、取捨することができる。

【0432】

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置 (メモリ) が用いられる。図 4 3 に、各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速いアクセス速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図 4 3 では、最上層から順に、CPU などの演算処理装置にレジスタとして混載されるメモリ、SRAM (Static Random Access Memory)、DRAM (Dynamic Random Access Memory)、3D NAND メモリを示している。

20

【0433】

CPU などの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

【0434】

SRAM は、例えばキャッシュに用いられる。キャッシュは、メインメモリに保持されている情報の一部を複製して保持する機能を有する。使用頻繁が高いデータをキャッシュに複製しておくことで、データへのアクセス速度を高めることができる。

30

【0435】

DRAM は、例えばメインメモリに用いられる。メインメモリは、ストレージから読み出されたプログラムやデータを保持する機能を有する。DRAM の記録密度は、おおよそ 0.1 乃至 0.3 Gbit/mm<sup>2</sup> である。

【0436】

3D NAND メモリは、例えばストレージに用いられる。ストレージは、長期保存が必要なデータや、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。ストレージに用いられる記憶装置の記録密度は、おおよそ 0.6 乃至 6.0 Gbit/mm<sup>2</sup> である。

40

【0437】

本発明の一態様の記憶装置として機能する半導体装置は、動作速度が速く、長期間のデータ保持が可能である。本発明の一態様の半導体装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方を含む境界領域 901 に位置する半導体装置として好適に用いることができる。また、本発明の一態様の半導体装置は、メインメモリが位置する階層とストレージが位置する階層の双方を含む境界領域 902 に位置する半導体装置として好適に用いることができる。

【0438】

(実施の形態 12)

本実施の形態では、上記実施の形態に示す半導体装置などが組み込まれた電子部品および電子機器の消費電力について説明を行う。

50

## 【0439】

図44(A)、(B)に、DRAM及びDOSRAMの消費電力を説明する図を示す。図44(A)はDRAM、DOSRAM1、及びDOSRAM2の消費電力を、図44(B)はDRAM、及びDOSRAM2の消費電力を、それぞれ示す。

## 【0440】

なお、図44(A)、(B)は、様々な使用方法を想定し見積もりを行った結果である。なお、図44(A)では、アクティブモード10%（電子機器などの使用状況における、アクティブモードが1日の10%を想定）、スタンバイモード90%と想定した場合の一般的なDRAM、及び本発明の一態様の電子機器（DOSRAM1、DOSRAM2）を想定し見積もりを行なった結果を示している。また、図44(B)では、アクティブモード1%（電子機器などの使用状況における、アクティブモードが1日の1%を想定）、スタンバイモード99%と想定した場合の一般的なDRAM、及び本発明の一態様の電子機器（DOSRAM2）を想定し見積もりを行なった結果を示している。10

## 【0441】

なお、図44(A)、(B)では、縦軸は消費電力（Power consumption）を任意単位（A.U.）で表している。また、図44(A)では、横軸はDRAM、DOSRAM1、及びDOSRAM2を示し、図44(B)では、横軸はDRAM、DOSRAM2を示している。

## 【0442】

また、図44(A)、(B)において、グラフ中の下段はActive時の消費電力を、中段はStandby時の消費電力を、上段はRefresh時の消費電力を、それぞれ表している。20

## 【0443】

なお、DOSRAM2とは、スタンバイ時において、DOSRAM1に対しパワーゲーティングを実施することを想定したものである。

## 【0444】

図44(A)に示すように、一般的なDRAMに比べて、本発明の一態様の電子機器（DOSRAM1、DOSRAM2）は消費電力量が低いことが分かる。特に、DOSRAM2は、一般的なDRAMと比較し75%の電力削減効果が見積もられる。

## 【0445】

また、図44(B)に示すように、アクティブモード1%の場合においては、一般的なDRAMに比べて、本発明の一態様の電子機器（DOSRAM2）は95%の電力削減効果が見積もられる。30

## 【0446】

以上のように、本発明の一態様により、消費電力量が削減された半導体装置、または電子機器を提供することができる。

## 【0447】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

## 【0448】

## (実施の形態13)

本実施の形態は、上記実施の形態に示す半導体装置などが組み込まれた電子部品および電子機器の一例を示す。

## 【0449】

## &lt;電子部品&gt;

まず、半導体装置10等が組み込まれた電子部品の例を、図45(A)および(B)を用いて説明を行う。

## 【0450】

図45(A)に電子部品700および電子部品700が実装された基板（実装基板704）の斜視図を示す。図45(A)に示す電子部品700は、モールド711内にシリコ40

ン基板 11 上に素子層 34 が積層された半導体装置 10 を有している。図 45 (A) は、電子部品 700 の内部を示すために、一部を図に反映していない。電子部品 700 は、モールド 711 の外側にランド 712 を有する。ランド 712 は電極パッド 713 と電気的に接続され、電極パッド 713 は半導体装置 10 とワイヤ 714 によって電気的に接続されている。電子部品 700 は、例えばプリント基板 702 に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板 702 上で電気的に接続されことで実装基板 704 が完成する。

#### 【0451】

図 45 (B) に電子部品 730 の斜視図を示す。電子部品 730 は、SiP (System in package) または MCM (Multi Chip Module) の一例である。電子部品 730 は、パッケージ基板 732 (プリント基板) 上にインターポーラ 731 が設けられ、インターポーラ 731 上に半導体装置 735、および複数の記憶装置 100 が設けられている。

#### 【0452】

電子部品 730 では、半導体装置 10 を広帯域メモリ (HBM: High Bandwidth Memory) として用いる例を示している。また、半導体装置 735 は、CPU、GPU、FPGA などの集積回路 (半導体装置) を用いることができる。

#### 【0453】

パッケージ基板 732 は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーラ 731 は、シリコンインターポーラ、樹脂インターポーラなどを用いることができる。

#### 【0454】

インターポーラ 731 は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーラ 731 は、インターポーラ 731 上に設けられた集積回路をパッケージ基板 732 に設けられた電極と電気的に接続する機能を有する。これらのことから、インターポーラを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーラ 731 に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板 732 を電気的に接続する場合もある。また、シリコンインターポーラでは、貫通電極として、TSV (Through Silicon Via) を用いることも出来る。

#### 【0455】

インターポーラ 731 としてシリコンインターポーラを用いることが好ましい。シリコンインターポーラでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーラの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーラでは難しい微細配線の形成が容易である。

#### 【0456】

HBM では、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBM を実装するインターポーラには、微細かつ高密度の配線形成が求められる。よって、HBM を実装するインターポーラには、シリコンインターポーラを用いることが好ましい。

#### 【0457】

また、シリコンインターポーラを用いた SiP や MCM などでは、集積回路とインターポーラ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーラは表面の平坦性が高いため、シリコンインターポーラ上に設ける集積回路とシリコンインターポーラ間の接続不良が生じにくい。特に、インターポーラ上に複数の集積回路を横に並べて配置する 2.5D パッケージ (2.5 次元実装) では、シリコンインターポーラを用いることが好ましい。

#### 【0458】

また、電子部品 730 と重ねてヒートシンク (放熱板) を設けてもよい。ヒートシンクを設ける場合は、インターポーラ 731 上に設ける集積回路の高さを揃えることが好まし

10

20

30

40

50

い。例えば、本実施の形態に示す電子部品 730 では、半導体装置 10 と半導体装置 735 の高さを揃えることが好ましい。

#### 【0459】

電子部品 730 を他の基板に実装するため、パッケージ基板 732 の底部に電極 733 を設けてもよい。図 45 (B) では、電極 733 を半田ボールで形成する例を示している。パッケージ基板 732 の底部に半田ボールをマトリクス状に設けることで、BGA (B a l l G r i d A r r a y) 実装を実現できる。また、電極 733 を導電性のピンで形成してもよい。パッケージ基板 732 の底部に導電性のピンをマトリクス状に設けることで、PGA (P i n G r i d A r r a y) 実装を実現できる。

#### 【0460】

電子部品 730 は、BGA および PGA に限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA (S t a g g e r e d P i n G r i d A r r a y)、LGA (L a n d G r i d A r r a y)、QFP (Q u a d F l a t P a c k a g e)、QFJ (Q u a d F l a t J - l e a d e d p a c k a g e)、または QFN (Q u a d F l a t N o n - l e a d e d p a c k a g e) などの実装方法を用いることができる。

10

#### 【0461】

##### <電子機器>

次に、上記電子部品を備えた電子機器の例について図 46 を用いて説明を行う。

#### 【0462】

ロボット 7100 は、照度センサ、マイクロフォン、カメラ、スピーカ、ディスプレイ、各種センサ（赤外線センサ、超音波センサ、加速度センサ、ピエゾセンサ、光センサ、ジャイロセンサなど）、および移動機構などを備える。電子部品 730 はプロセッサなどを有し、これら周辺機器を制御する機能を有する。例えば、電子部品 700 はセンサで取得されたデータを記憶する機能を有する。

20

#### 【0463】

マイクロフォンは、使用者の音声および環境音などの音響信号を検知する機能を有する。また、スピーカは、音声および警告音などのオーディオ信号を発する機能を有する。ロボット 7100 は、マイクロフォンを介して入力されたオーディオ信号を解析し、必要なオーディオ信号をスピーカから発することができる。ロボット 7100 において、は、マイクロフォン、およびスピーカを用いて、使用者とコミュニケーションをとることが可能である。

30

#### 【0464】

カメラは、ロボット 7100 の周囲を撮像する機能を有する。また、ロボット 7100 は、移動機構を用いて移動する機能を有する。ロボット 7100 は、カメラを用いて周囲の画像を撮像し、画像を解析して移動する際の障害物の有無などを察知することができる。

#### 【0465】

飛行体 7120 は、プロペラ、カメラ、およびバッテリなどを有し、自律して飛行する機能を有する。電子部品 730 はこれら周辺機器を制御する機能を有する。

#### 【0466】

例えば、カメラで撮影した画像データは、電子部品 700 に記憶される。電子部品 730 は、画像データを解析し、移動する際の障害物の有無などを察知することができる。また、電子部品 730 によってバッテリの蓄電容量の変化から、バッテリ残量を推定することができる。

40

#### 【0467】

掃除ロボット 7140 は、上面に配置されたディスプレイ、側面に配置された複数のカメラ、ブラシ、操作ボタン、各種センサなどを有する。図示されていないが、掃除ロボット 7300 には、タイヤ、吸い込み口等が備えられている。掃除ロボット 7300 は自走し、ゴミを検知し、下面に設けられた吸い込み口からゴミを吸引することができる。

#### 【0468】

50

例えば、電子部品 730 は、カメラが撮影した画像を解析し、壁、家具または段差などの障害物の有無を判断することができる。また、画像解析により、配線などブラシに絡まりそうな物体を検知した場合は、ブラシの回転を止めることができる。

【0469】

自動車 7160 は、エンジン、タイヤ、ブレーキ、操舵装置、カメラなどを有する。例えば、電子部品 730 は、ナビゲーション情報、速度、エンジンの状態、ギアの選択状態、ブレーキの使用頻度などのデータに基づいて、自動車 7160 の走行状態を最適化するための制御を行う。例えば、カメラで撮影した画像データは電子部品 700 に記憶される。

【0470】

電子部品 700 および / または電子部品 730 は、TV 装置 7200 (テレビジョン受像装置)、スマートフォン 7210、PC (パーソナルコンピュータ) 7220、7230、ゲーム機 7240、ゲーム機 7260 等に組み込むことができる。

10

【0471】

例えば、TV 装置 7200 に内蔵された電子部品 730 は画像エンジンとして機能させることができる。例えば、電子部品 730 は、ノイズ除去、解像度アップコンバージョンなどの画像処理を行う。

【0472】

スマートフォン 7210 は、携帯情報端末の一例である。スマートフォン 7210 は、マイクロフォン、カメラ、スピーカ、各種センサ、および表示部を有する。電子部品 730 によってこれら周辺機器が制御される。

20

【0473】

PC 7220、PC 7230 はそれぞれノート型 PC、据え置き型 PC の例である。PC 7230 には、キーボード 7232、およびモニタ装置 7233 が無線または有線により接続可能である。ゲーム機 7240 は携帯型ゲーム機の例である。ゲーム機 7260 は据え置き型ゲーム機の例である。ゲーム機 7260 には、無線または有線でコントローラ 7262 が接続されている。コントローラ 7262 に、電子部品 700 および / または電子部品 730 を組み込むこともできる。

【0474】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

30

【0475】

(本明細書等の記載に関する付記)

以上の実施の形態、および実施の形態における各構成の説明について、以下に付記する。

【0476】

各実施の形態に示す構成は、他の実施の形態あるいは実施例に示す構成と適宜組み合わせて、本発明の一態様とすることができます。また、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

【0477】

なお、ある一つの実施の形態の中で述べる内容 (一部の内容でもよい) は、その実施の形態で述べる別の内容 (一部の内容でもよい)、および / または、一つ若しくは複数の別の実施の形態で述べる内容 (一部の内容でもよい) に対して、適用、組み合わせ、または置き換えなどを行うことが出来る。

40

【0478】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

【0479】

なお、ある一つの実施の形態において述べる図 (一部でもよい) は、その図の別の部分、その実施の形態において述べる別の図 (一部でもよい)、および / または、一つ若しくは複数の別の実施の形態において述べる図 (一部でもよい) に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

50

## 【0480】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

## 【0481】

また、図面において、大きさ、層の厚さ、または領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

10

## 【0482】

また、図面等において図示する構成要素の位置関係は、相対的である。従って、図面を参照して構成要素を説明する場合、位置関係を示す「上に」、「下に」等の語句は便宜的に用いられる場合がある。構成要素の位置関係は、本明細書の記載内容に限定されず、状況に応じて適切に言い換えることができる。

## 【0483】

本明細書等において、トランジスタの接続関係を説明する際、「ソースまたはドレインの一方」（または第1電極、または第1端子）、「ソースまたはドレインの他方」（または第2電極、または第2端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造または動作条件等によって変わるものである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

20

## 【0484】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

## 【0485】

30

また、本明細書等において、電圧と電位は、適宣言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

## 【0486】

また本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

## 【0487】

40

本明細書等において、AとBとが接続されている、とは、AとBとが電気的に接続されているものをいう。ここで、AとBとが電気的に接続されているとは、AとBとの間で対象物（スイッチ、トランジスタ素子、またはダイオード等の素子、あるいは当該素子および配線を含む回路等を指す）が存在する場合にAとBとの電気信号の伝達が可能である接続をいう。なおAとBとが電気的に接続されている場合には、AとBとが直接接続されている場合を含む。ここで、AとBとが直接接続されているとは、上記対象物を介することなく、AとBとの間の配線（または電極）等を介してAとBとの電気信号の伝達が可能である接続をいう。換言すれば、直接接続とは、等価回路で表した際に同じ回路図として見なせる接続をいう。

## 【0488】

50

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

【0489】

本明細書等において、チャネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャネルが形成される領域における、ソースとドレインとの間の距離をいう。

【0490】

本明細書等において、チャネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

10

【0491】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【符号の説明】

【0492】

B L \_ 1 : ビット線、 D A 1 : データ、 P C L 1 : プリチャージ線、 P C L 2 : プリチャージ線、 T 1 : 期間、 T 2 : 期間、 T 3 : 期間、 T 4 : 期間、 T 1 1 : 期間、 T 1 2 : 期間、 T 1 3 : 期間、 T 1 4 : 期間、 T 1 5 : 期間、 T 1 6 : 期間、 W L \_ N : ワード線、 W L \_ 1 : ワード線、 W L 2 : ワード線、 1 0 : 半導体装置、 1 0 A : 半導体装置、 1 0 B : 半導体装置、 1 0 C : 半導体装置、 1 0 D : 半導体装置、 1 0 E : 半導体装置、 1 0 F : 半導体装置、 1 1 : シリコン基板、 2 0 : 周辺回路、 2 1 : ロウドライバ、 2 2 : カラムドライバ、 2 2 \_ A : プリチャージ回路、 2 2 \_ B : プリチャージ回路、 2 2 \_ C : センスアンプ、 2 2 \_ D : スイッチ回路、 2 2 \_ E : スイッチ回路、 2 2 \_ 1 : プリチャージ回路、 2 2 \_ 2 : センスアンプ、 2 2 \_ 3 : スイッチ回路、 2 3 \_ A : スイッチ、 2 3 \_ B : スイッチ、 2 3 \_ C : スイッチ、 2 3 \_ D : スイッチ、 2 4 \_ 1 : トランジスタ、 2 4 \_ 3 : トランジスタ、 2 4 \_ 4 : トランジスタ、 2 4 \_ 6 : トランジスタ、 2 5 : 回路、 2 5 \_ 1 : トランジスタ、 2 5 \_ 2 : トランジスタ、 2 5 \_ 3 : トランジスタ、 2 5 \_ 4 : トランジスタ、 2 6 : 素子層、 2 7 : 回路、 2 7 \_ M : 回路、 2 7 \_ 1 : 回路、 2 8 : トランジスタ、 2 8 \_ a : トランジスタ、 2 8 \_ b : トランジスタ、 2 8 \_ n : トランジスタ、 2 8 \_ 1 : トランジスタ、 2 9 : 回路、 3 0 : メモリセルアレイ、 3 0 \_ M : ユニット、 3 0 \_ 1 : ユニット、 3 1 : メモリセル、 3 1 \_ M : メモリセル、 3 1 \_ N : メモリセル、 3 1 \_ N \_ A : メモリセル、 3 1 \_ N \_ B : メモリセル、 3 1 \_ 1 : メモリセル、 3 1 \_ 1 \_ A : メモリセル、 3 1 \_ 1 \_ B : メモリセル、 3 2 : トランジスタ、 3 2 \_ N : トランジスタ、 3 2 \_ 1 : トランジスタ、 3 2 A : トランジスタ、 3 2 B : トランジスタ、 3 3 : キャパシタ、 3 3 \_ N : キャパシタ、 3 3 \_ 1 : キャパシタ、 3 3 A : キャパシタ、 3 3 B : キャパシタ、 3 4 : 素子層、 3 4 \_ i : 素子層、 3 4 \_ N : 素子層、 3 4 \_ 1 : 素子層、 4 0 : 素子層、 4 0 \_ M : 素子層、 4 0 \_ 1 : 素子層、 4 0 A : 素子層、 4 0 B : 素子層、 4 0 C : 素子層、 4 0 D : 素子層、 4 1 : トランジスタ、 4 1 \_ a : トランジスタ、 4 1 \_ b : トランジスタ、 4 2 : トランジスタ、 4 2 \_ a : トランジスタ、 4 2 \_ b : トランジスタ、 4 3 : トランジスタ、 4 3 \_ a : トランジスタ、 4 3 \_ b : トランジスタ、 4 4 : トランジスタ、 4 4 \_ a : トランジスタ、 4 4 \_ b : トランジスタ、 4 9 : 回路、 5 0 : ユニット、 5 0 \_ M : ユニット、 5 0 \_ 1 : ユニット、 5 1 : メモリセル、 5 4 : 素子層、 5 5 : トランジスタ、 5 6 : トランジスタ、 5 7 : 容量素子、 7 0 A : 封止層、 7 0 B : 封止層、 7 1 : ロウデコーダ、 7 2 : ワード線ドライバ回路、 7 3 : 出力回路、 7 4 : コントロールロジック回路、 8 1 : カラムデコーダ、 8 2 : プリチャージ回路、 8 3 : 増幅回路、 8 4 : 回路、 9 8 : スイッチ回路、 1 0 0 : 記憶装

20

30

40

50

置、2000：トランジスタ、2000M：トランジスタ、2000T：トランジスタ、2000  
：導電体、2005a：導電体、2005b：導電体、2111：絶縁体、2112：絶縁体、2114：絶縁体、2116：絶縁体、2222：絶縁体、2224：絶縁体、2300：酸化物、2300a：酸化物、2300b：酸化物、2300c：酸化物、2400：導電体、2400a：導電体、2400b：導電体、2411：絶縁体、2411a：絶縁体、2411b：絶縁体、2422：導電体、2422a：導電体、2422b：導電体、2433：酸化物、2433a：酸化物、2433b：酸化物、2446：導電体、2466a：導電体、2466b：導電体、2500：絶縁体、2600：導電体、2600a：導電体、2600b：導電体、2722：絶縁体、2733：絶縁体、2744：絶縁体、2755：絶縁体、2766：導電体、2777：絶縁体、2788：導電体、2799：絶縁体、2800：絶縁体、2822：絶縁体、2833：絶縁体、2844：絶縁体、2877：絶縁体、2900：導電体、2922：容量、2922A：容量、2922B：容量、2944：導電体、2955：絶縁体、2966：絶縁体、2977：導電体、2988：絶縁体、2999：導電体、3000：トランジスタ、3111：半導体基板、3113：半導体領域、3114a：低抵抗領域、3114b：低抵抗領域、3115：絶縁体、3116：導電体、4111：素子層、4113：トランジスタ層、4113\_m：トランジスタ層、4113\_1：トランジスタ層、4115：メモリデバイス層、4115\_n：メモリデバイス層、4115\_p：メモリデバイス層、4115\_p-1：メモリデバイス層、4115\_1：メモリデバイス層、4115\_3：メモリデバイス層、4115\_4：メモリデバイス層、4200：メモリデバイス、4200A：メモリデバイス、4200B：メモリデバイス、4222：領域、4224：導電体、4226：導電体、4228：導電体、4300：導電体、4322：メモリセル、4333：メモリセル、4344：メモリセル、4355：メモリセル、4700：メモリユニット、4700\_m：メモリユニット、4700\_1：メモリユニット、7000：電子部品、7022：プリント基板、7044：実装基板、7111：モールド、7122：ランド、7133：電極パッド、7144：ワイヤ、7300：電子部品、7311：インターポーザ、7322：パッケージ基板、7333：電極、7355：半導体装置、9011：境界領域、9022：境界領域、71000：ロボット、71220：飛行体、71440：掃除ロボット、71600：自動車、72000：TV装置、72100：スマートフォン、72220：PC、72330：PC、72322：キーボード、72333：モニタ装置、72440：ゲーム機、72600：ゲーム機、72622：コントローラ、73000：掃除ロボット

10

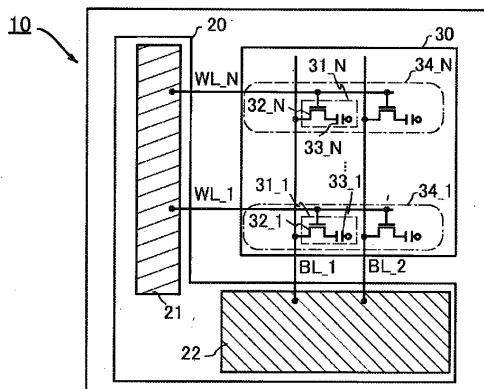
20

30

【 図面 】

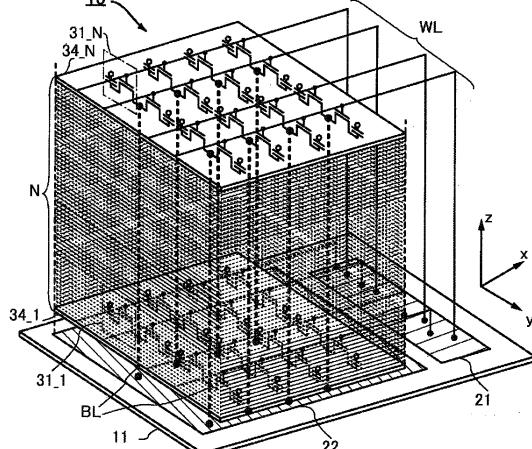
【 図 1 A 】

1A



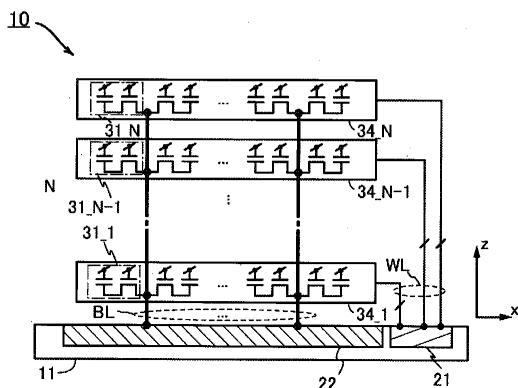
【図1B】

1 B



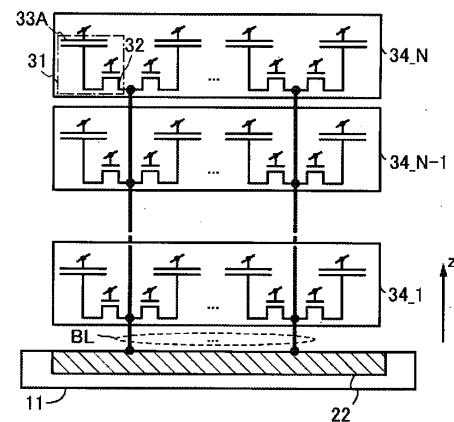
【図2】

図2



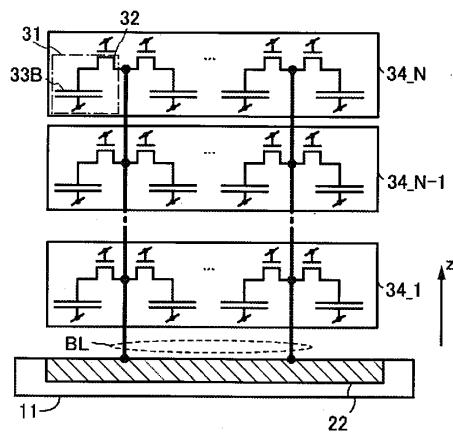
【図3 A】

図3A



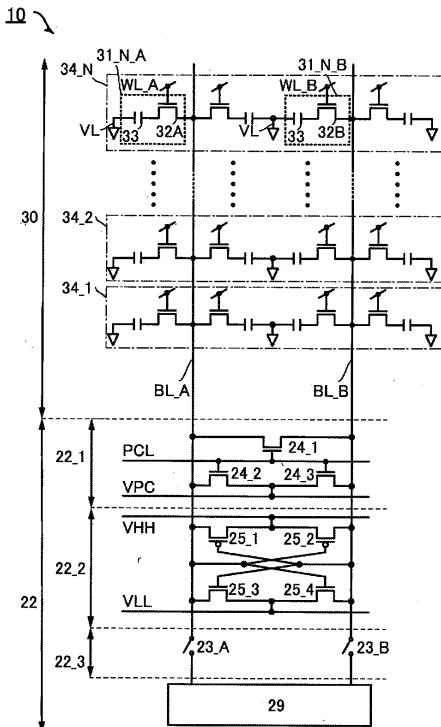
【図3 B】

図3B



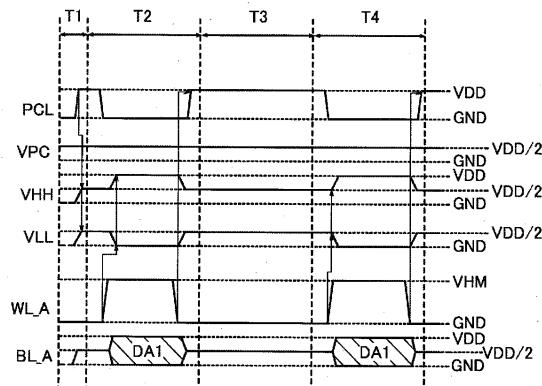
【図4】

図4



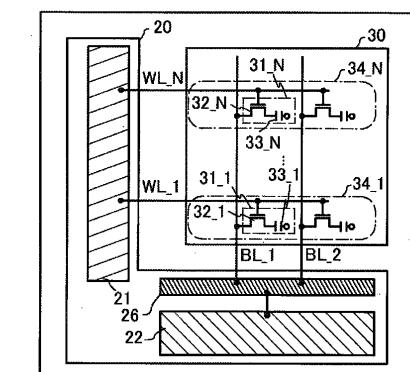
【図5】

図5



【図6 A】

図6A

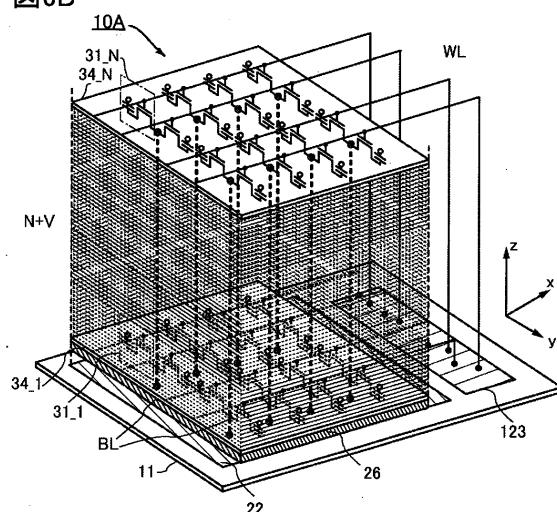


10

20

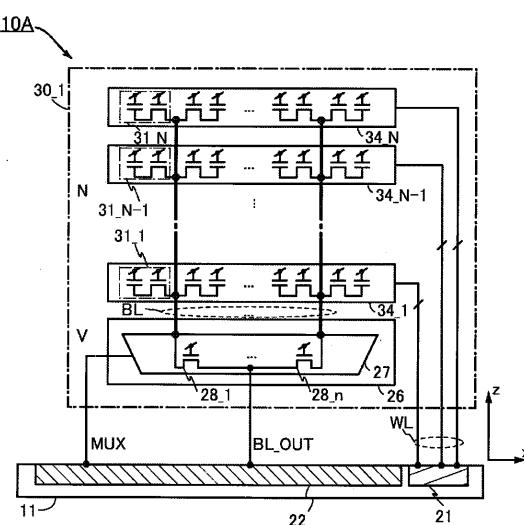
【図6 B】

図6B



【図7】

図7



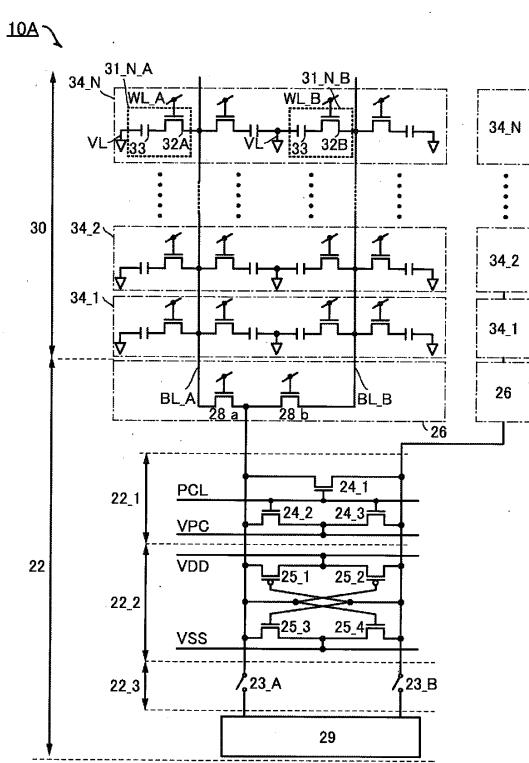
30

40

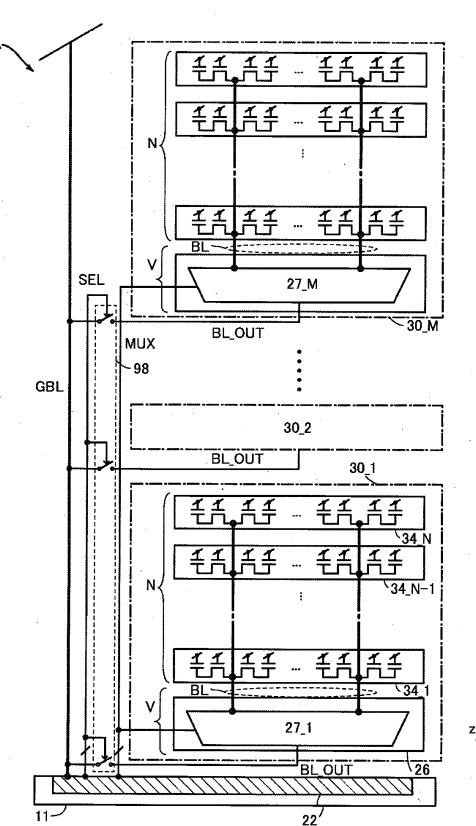
50

【図 8】

図8



【図 9】



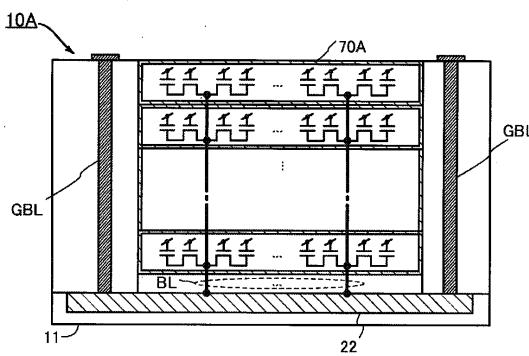
10

20

30

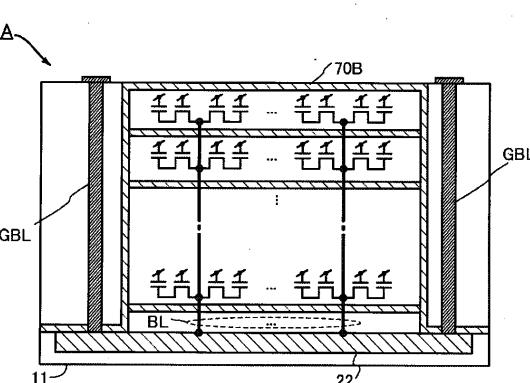
【図 10A】

図10A



【図 10B】

図10B

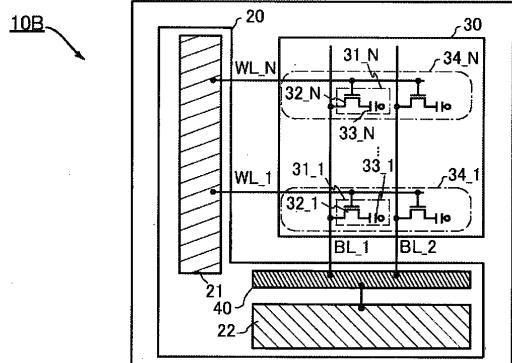


40

50

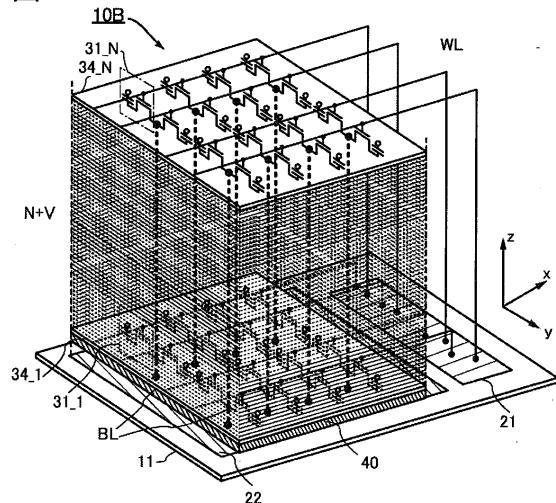
【図 11 A】

図11A



【図 11 B】

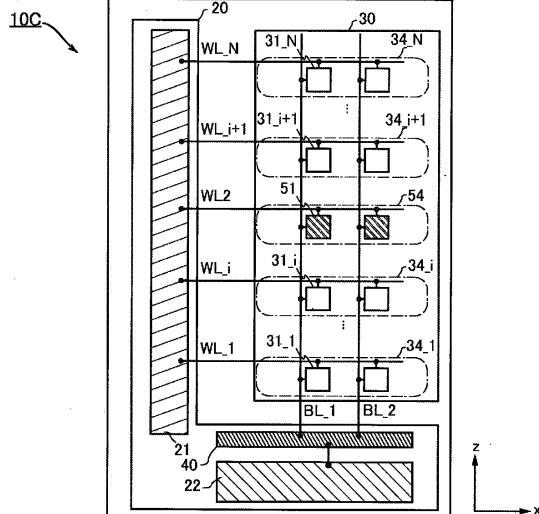
図11B



10

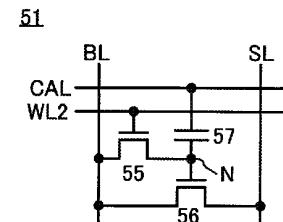
【図 12 A】

図12A



【図 12 B】

図12B



20

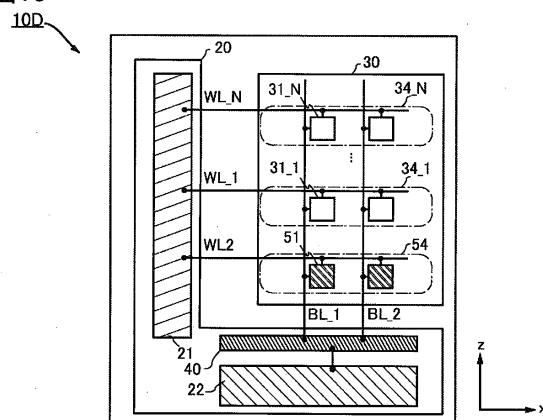
30

40

50

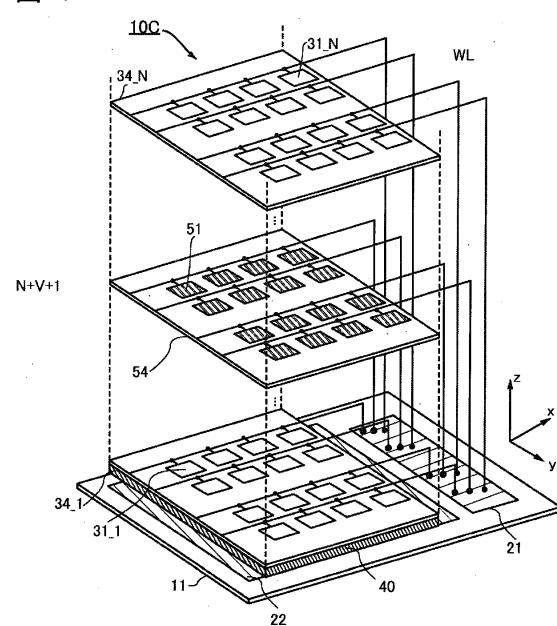
【図 1 3】

図13



【図 1 4】

図14

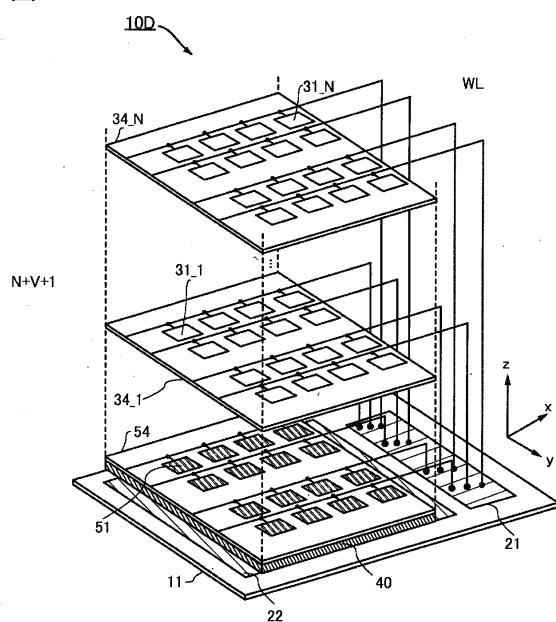


10

20

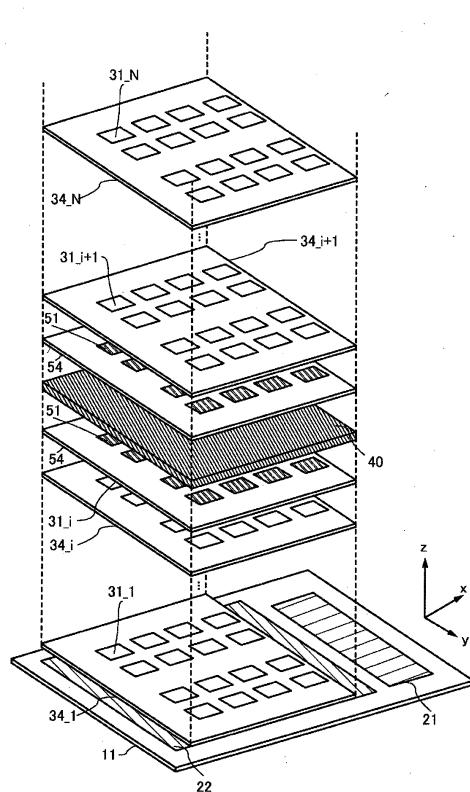
【図 1 5】

図15



【図 1 6】

図16



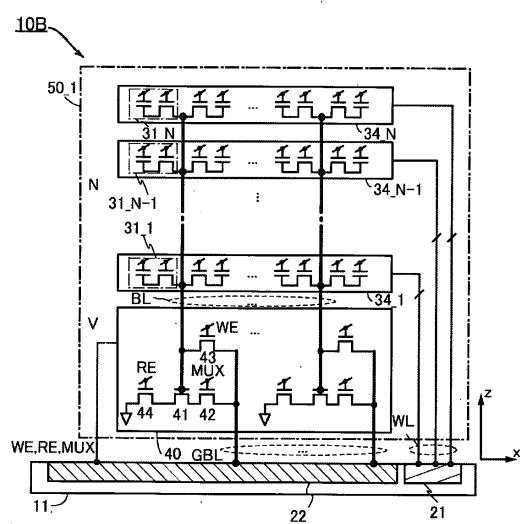
30

40

50

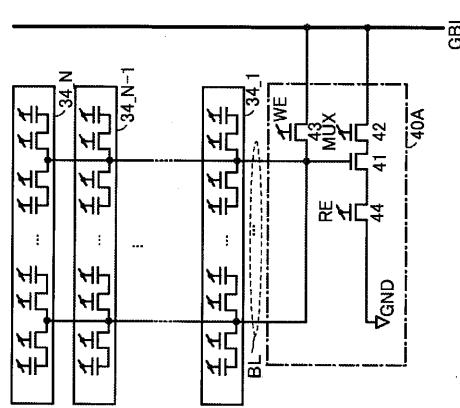
【図 17】

図17



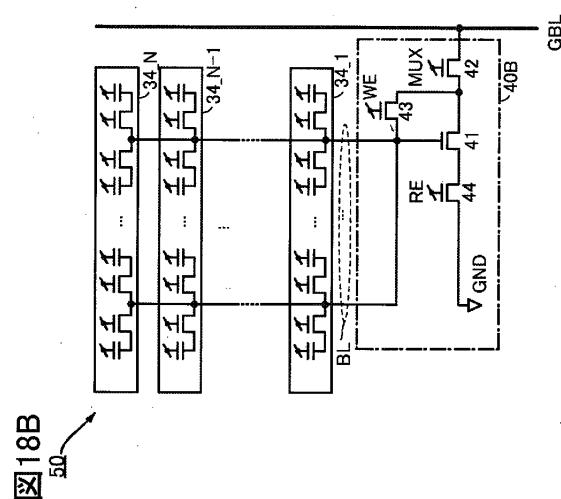
【図 18 A】

図18A



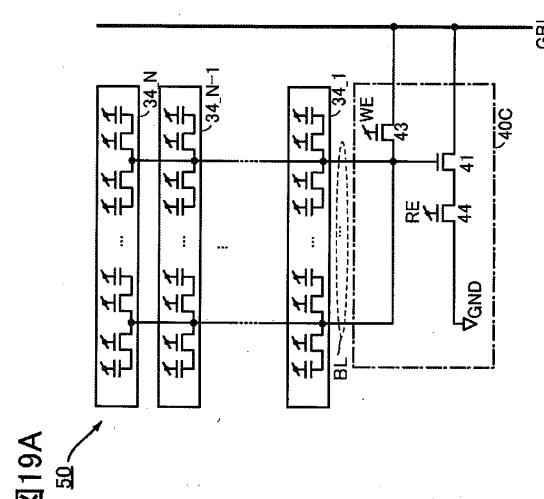
10

【図 18 B】



20

【図 19 A】



30

図18B

40

50

【図 19B】

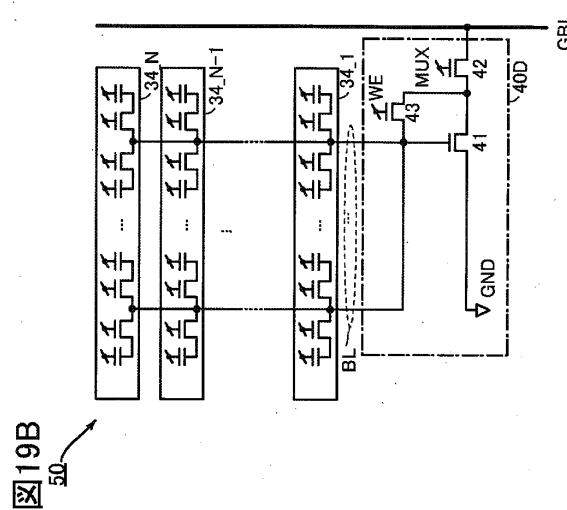
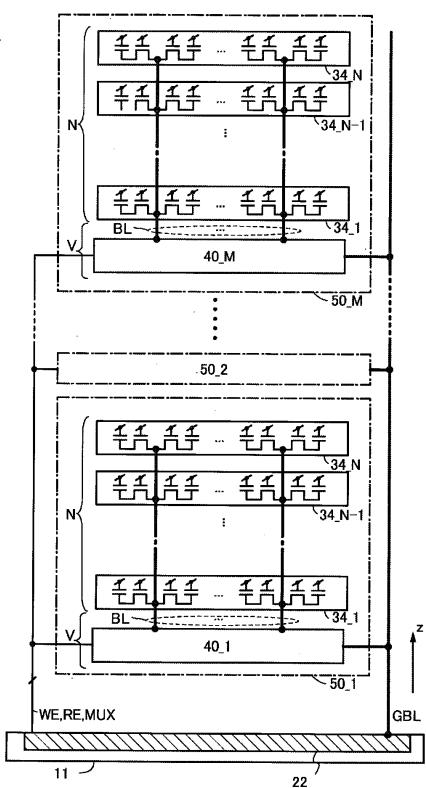


図19B

【図 20】



10

20

【図 21】

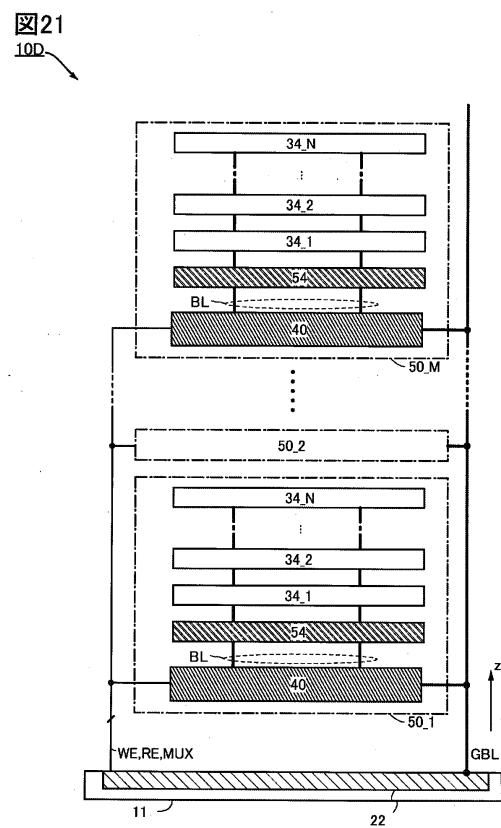
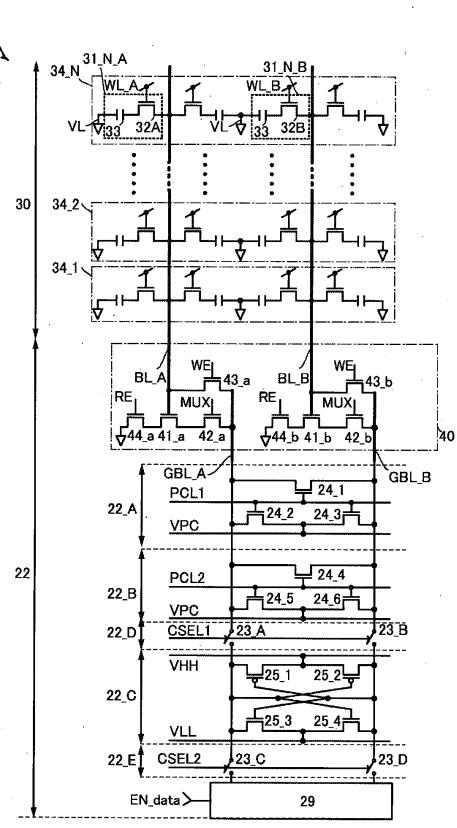


図21

【図 22】



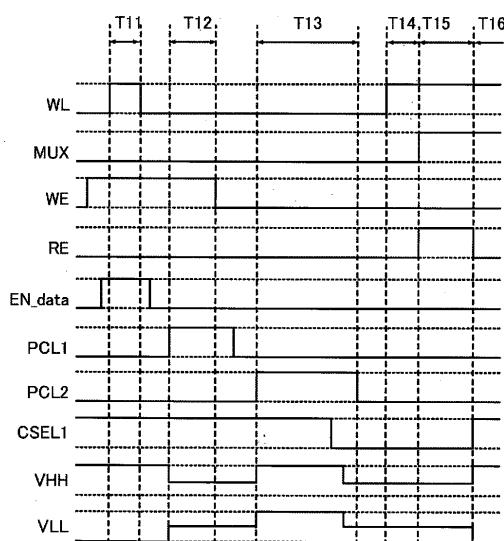
30

40

50

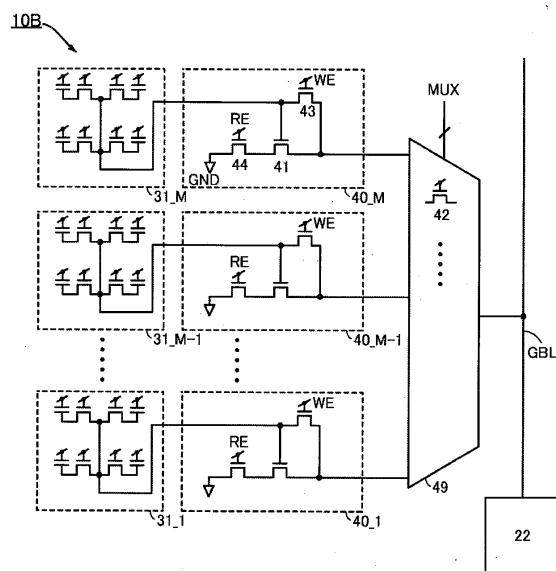
【図23】

図23



【図24】

図24

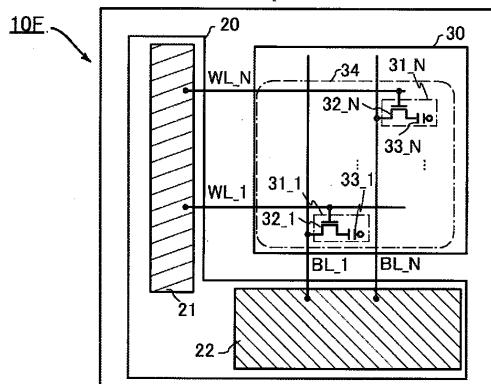


10

20

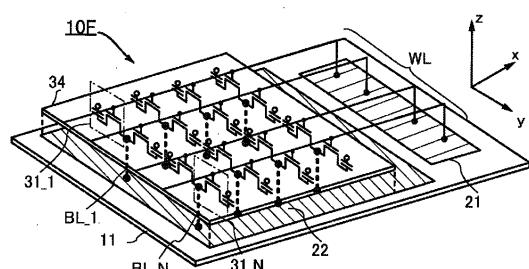
【図25A】

図25A



【図25B】

図25B



30

40

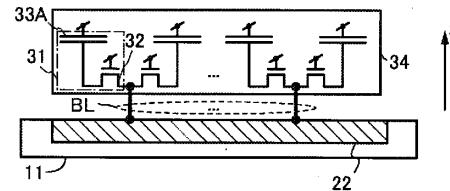
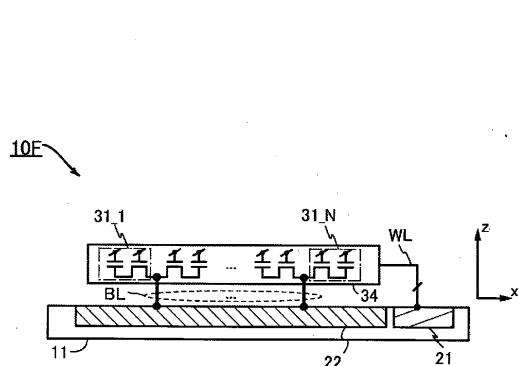
50

## 【図26】

26

【図27A】

図27A

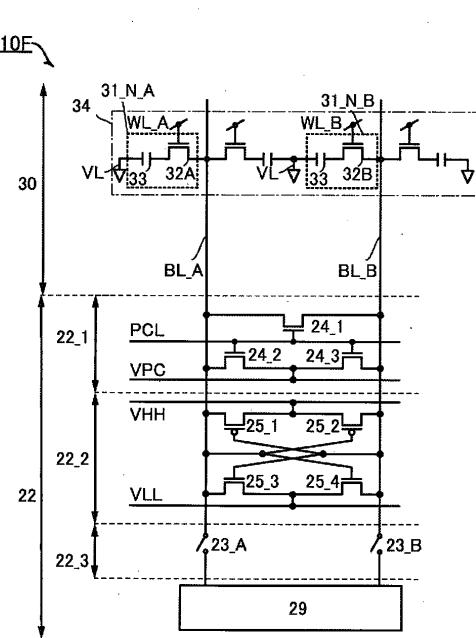
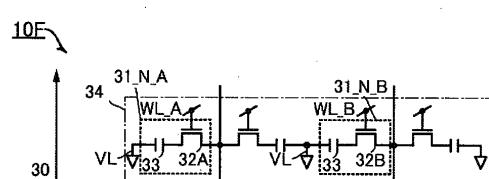
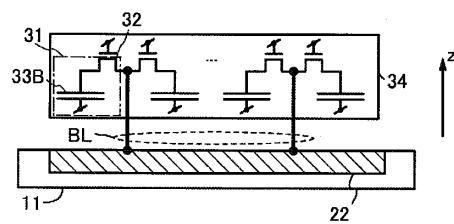


【図27B】

図27B

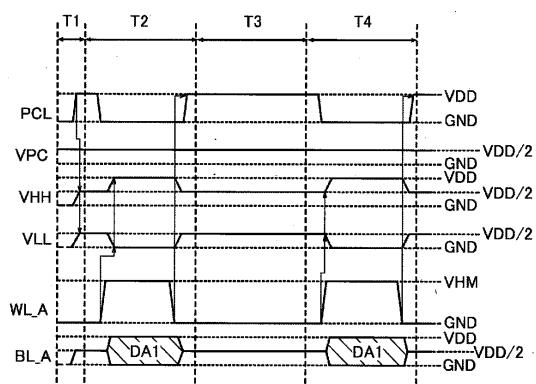
【図28】

四 28



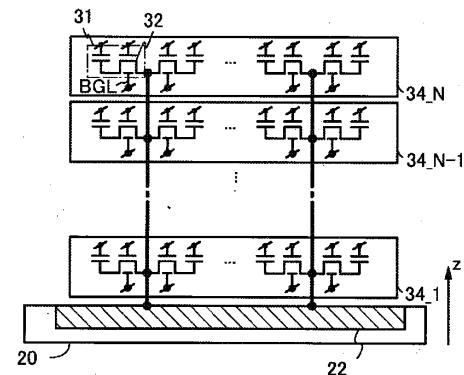
【図29】

図29



【図30】

図30

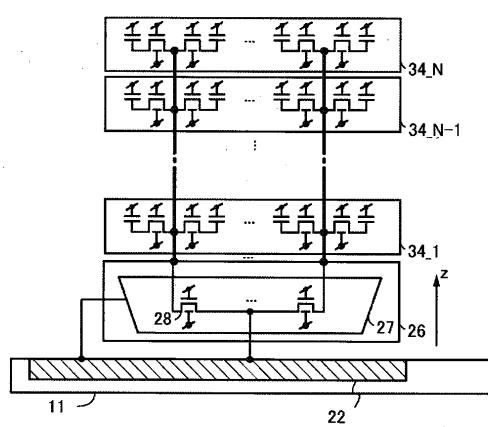


10

20

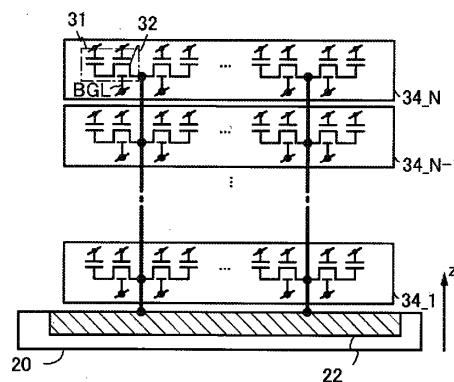
【図31】

図31



【図32】

図32



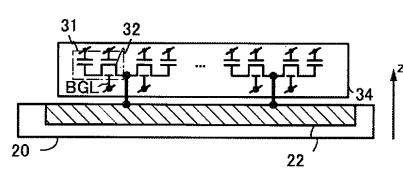
30

40

50

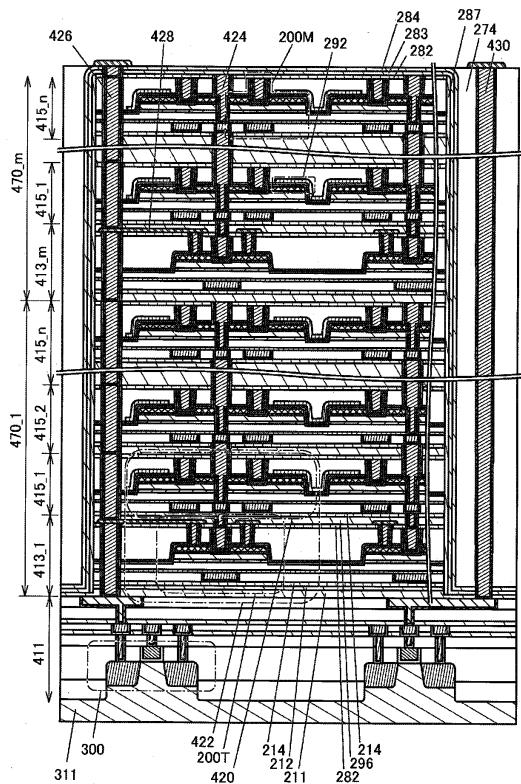
【図33】

図33



【図34】

図34

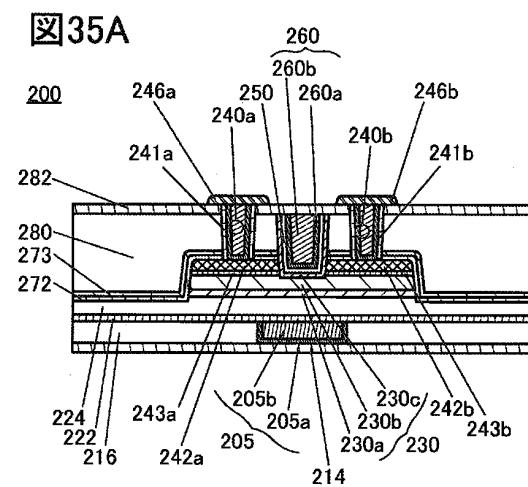


10

20

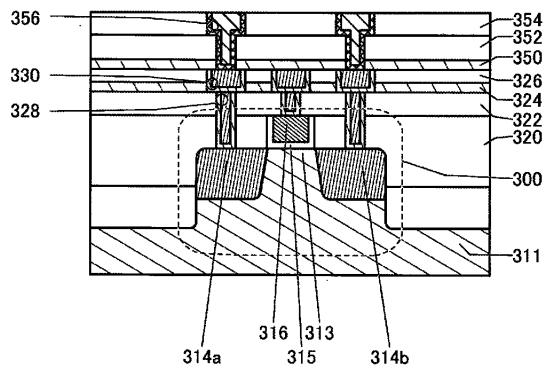
【図35A】

図35A



【図35B】

図35B

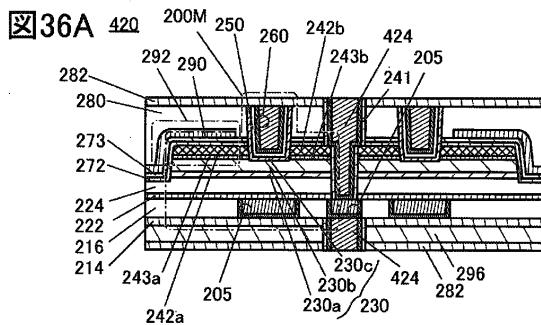


30

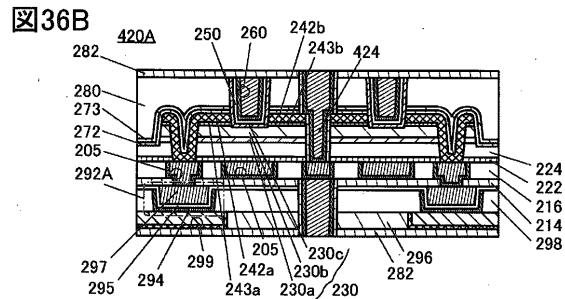
40

50

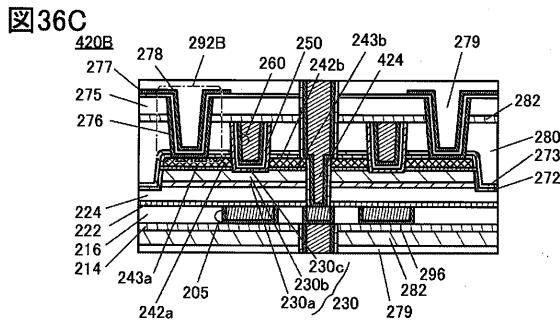
【図36A】



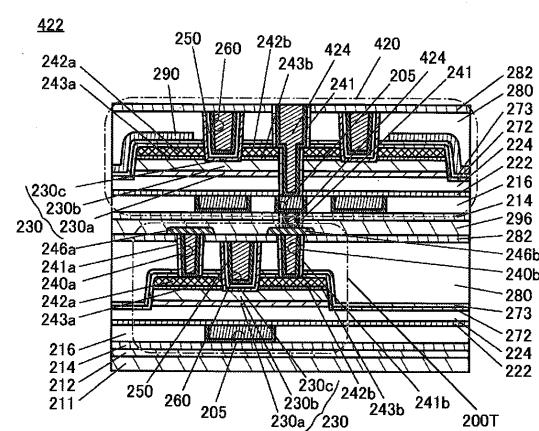
【図36B】



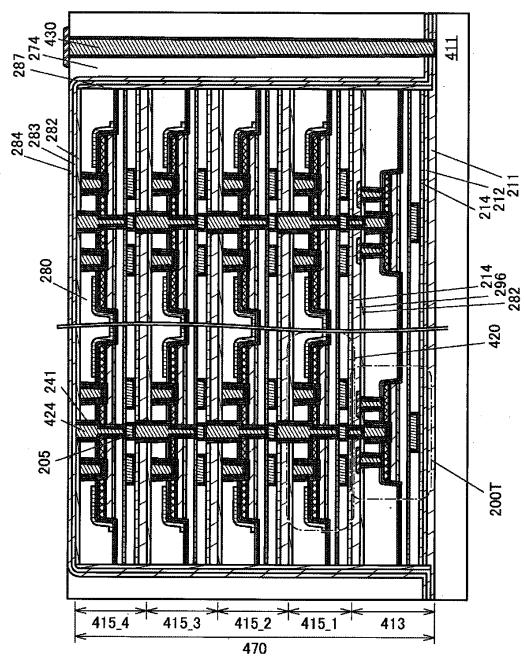
【図36C】



【図37】

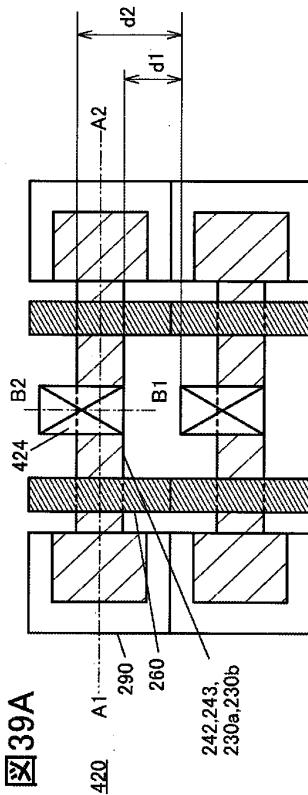


【図38】



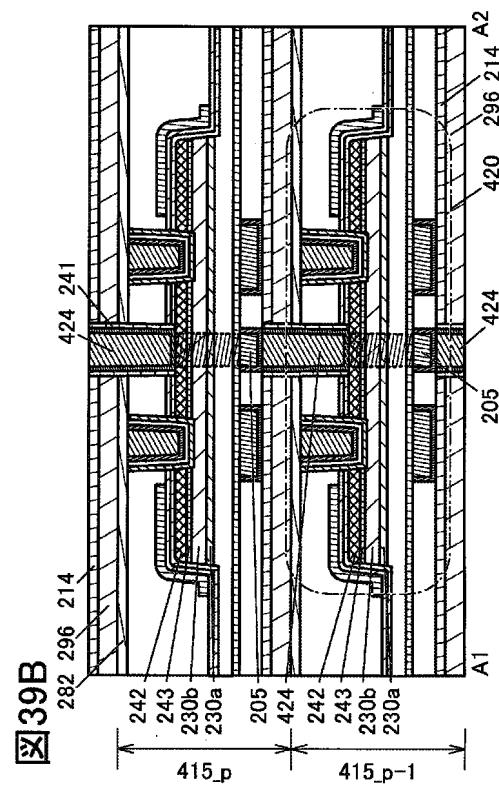
38

【図39A】



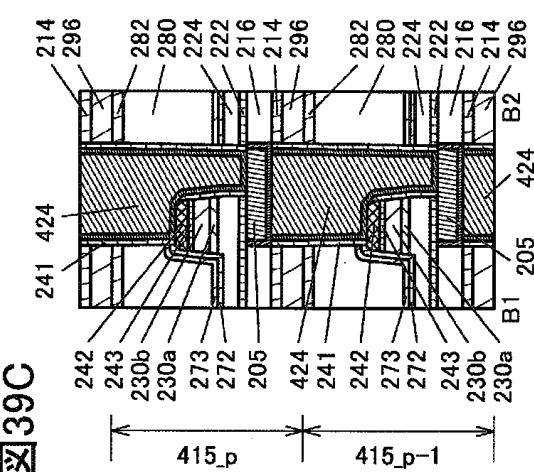
10

【図39B】



39B

【図39C】



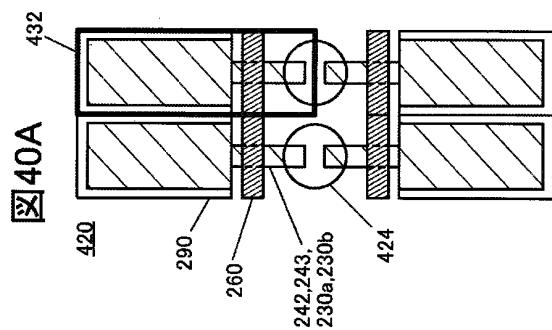
20

30

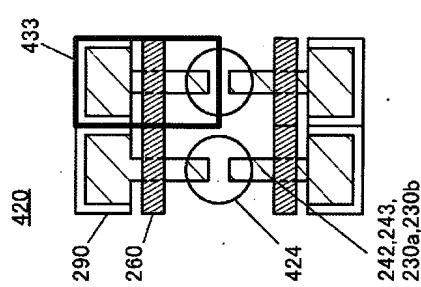
40

50

【図 40 A】

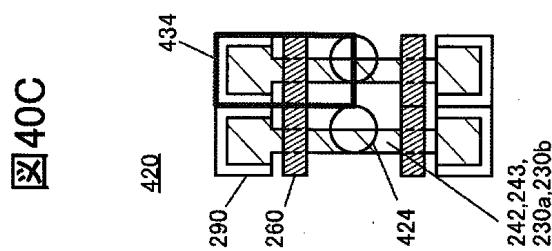


【図 40 B】

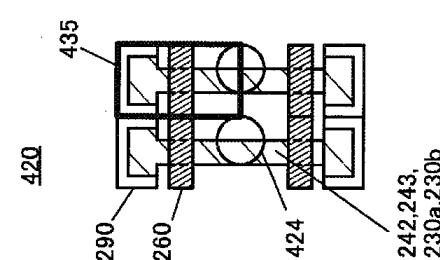


10

【図 40 C】



【図 40 D】



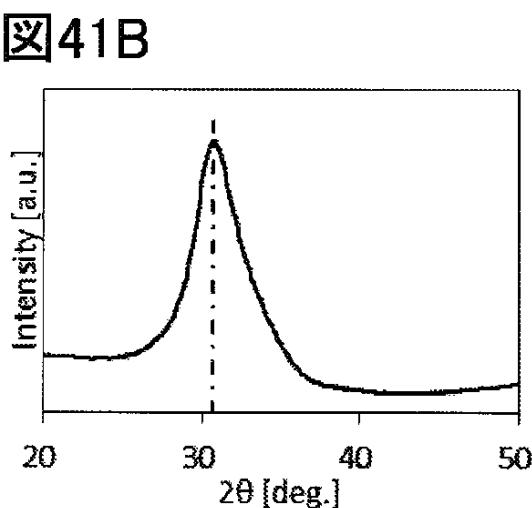
20

【図 41 A】

中間状態  
新しい境界領域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
• completely amorphous	• CAAC • nc • CAC  single crystal and poly crystal を除く	• single crystal • poly crystal

【図 41 B】



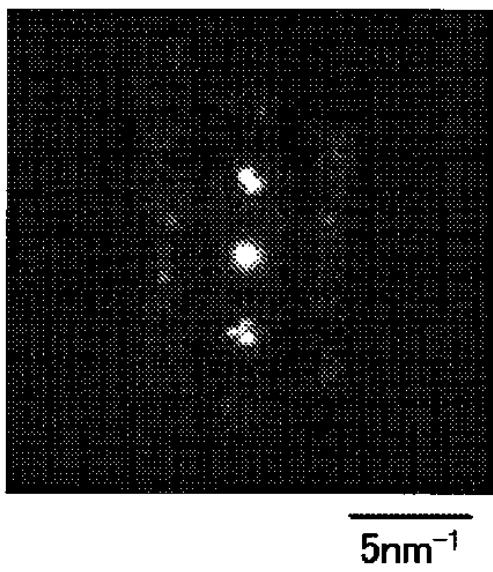
30

40

50

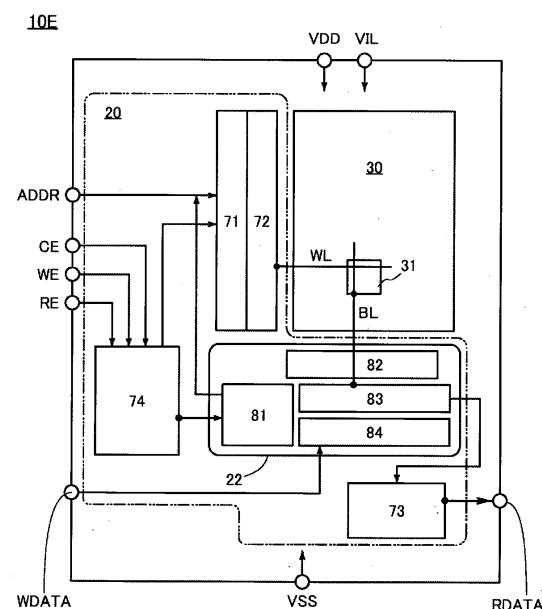
【図41C】

図41C



【図42】

図42

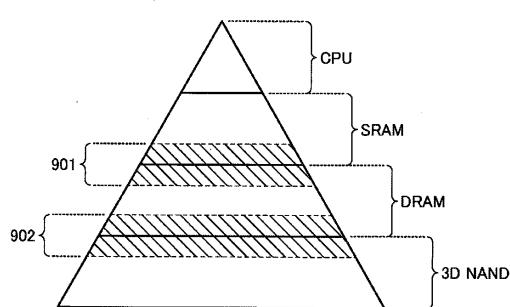


10

20

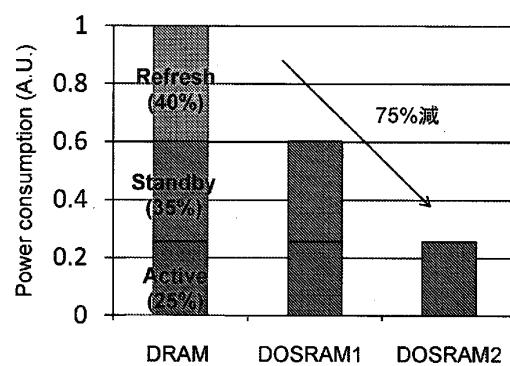
【図43】

図43



【図44A】

図44A



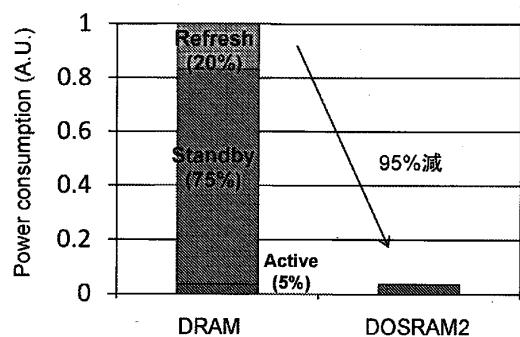
30

40

50

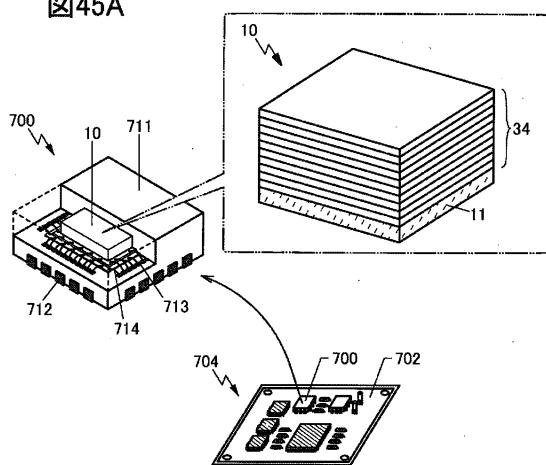
【図44B】

図44B



【図45A】

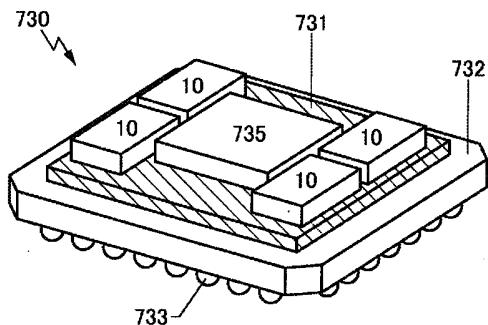
図45A



10

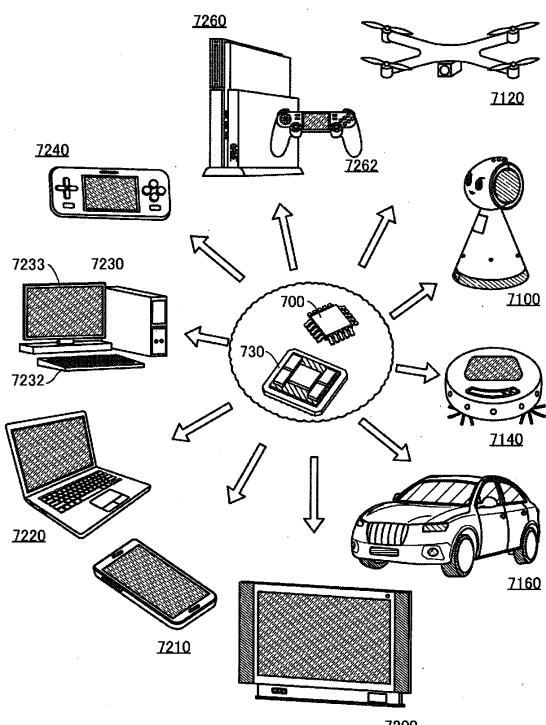
【図45B】

図45B



【図46】

図46



20

30

40

50

---

フロントページの続き

(32)優先日 平成31年1月25日(2019.1.25)

(33)優先権主張国・地域又は機関

日本国(JP)

(31)優先権主張番号 特願2019-11690(P2019-11690)

(32)優先日 平成31年1月25日(2019.1.25)

(33)優先権主張国・地域又は機関

日本国(JP)

(31)優先権主張番号 特願2019-13505(P2019-13505)

(32)優先日 平成31年1月29日(2019.1.29)

(33)優先権主張国・地域又は機関

日本国(JP)

特許法第30条第2項適用 [刊行物名] i n t e r n a t i o n a l E L E C T R O N D E V I C E S  
m e e t i n g 2 0 1 8 T E C H N I C A L D I G E S T , 3 1 2 - 3 1 5 発行年月日 平成30年12月  
1日 [集会名] 2 0 1 8 I E E E I n t e r n a t i o n a l E l e c t r o n D e v i c e s M e e  
t i n g 開催日 平成30年12月1日 - 5日

(72)発明者 加藤 清

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 宮本 博司

(56)参考文献 特開2015-181159 (JP, A)

特開2013-065638 (JP, A)

特開2016-192578 (JP, A)

特開2000-312006 (JP, A)

特開2004-056140 (JP, A)

特開2012-119048 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

H10B 12/00

H10B 41/70

H01L 21/336