

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 例えば、簡素な構成で画素負荷変動による画質への影響を改善する。時間とともに電圧レベルが変化するランプ信号が供給されるランプ配線と、画素に接続された信号線とランプ配線との間に設けられている第1スイッチと、第1スイッチと逆に動作する第2スイッチと、第2スイッチの動作に応じてランプ配線に補正電流を供給する補正電流源と、ランプ信号の振幅を定める設定電圧に基づいて生成された電流に基づき補正電流源の電流値を制御する補正電流制御回路とを有する表示装置である。

明 細 書

発明の名称：表示装置および電子機器

技術分野

[0001] 本技術は、表示装置および電子機器に関する。

背景技術

[0002] 時間とともに電圧レベルが変化するランプ信号を用いて駆動する表示装置が知られている。下記の特許文献1には、画素負荷と並列に補正電流源（補償電流源）を設ける構成について開示されている。補正電流源は、ランプ信号（ランプ電圧）を出力するバッファ出力とグランド（GND）との間に設けられ、補正電流源とバッファ出力の間には補償スイッチが設けられている。そして、この補償スイッチを、このランプ信号を用いて画素に書き込む画素スイッチとは逆に動作させることで、画素負荷切断時のランプ信号の波形変動を抑制する技術が提案されている。

[0003] 特許文献2には、補正電流の制御技術について開示されている（図3参照）。同図には、補正電流を供給する回路として、ランプ配線（ランプ信号線）とグランド（Gnd）との間にトランジスタを設け、そのトランジスタとグランドとの間に、画素スイッチ（ビデオスイッチ）と逆の接続関係になるスイッチを設けた構成が開示されている。また、同図には、ダミー画素と、ランプ配線およびダミー画素のデータ線間にダイオード接続されたトランジスタとを有する構成について開示されている。そして、ランプ信号の生成動作の際にダミー画素に対してダイオード接続されたトランジスタを介してランプ信号の信号電圧を印加し、このトランジスタのゲートソース間電圧（VGS）を保持して補正電流として使用することで、画素負荷切断時の波形変動を高精度に補正する技術が提案されている。

先行技術文献

特許文献

[0004] 特許文献1：米国特許出願公開第2019/0279562号明細書

特許文献2：特開2011-053644号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1には、補正電流源の制御（設定）技術については、何ら開示されていない。特許文献2には、上述したように、補正電流を制御して画素負荷切断時の波形変動を精度よく補正する技術について開示されているが、補正電流用の検出回路としてダミー画素が必要であり、構成が複雑になってしまう。

[0006] 本技術は、例えば、簡素な構成で画素負荷変動による画質への影響を改善することを目的の一つとする。

課題を解決するための手段

[0007] 本技術は、例えば、
時間とともに電圧レベルが変化するランプ信号が供給されるランプ配線と、
画素に接続された信号線とランプ配線との間に設けられている第1スイッチと、
第1スイッチと逆に動作する第2スイッチと、
第2スイッチの動作に応じてランプ配線に補正電流を供給する補正電流源と、
ランプ信号の振幅を定める設定電圧に基づいて生成された電流に基づき補正電流源の電流値を制御する補正電流制御回路と
を有する表示装置である。
本技術は、例えば、
本技術の表示装置を有する電子機器である。

図面の簡単な説明

[0008] [図1]図1は、第1の実施の形態に係る表示装置の構成例を示すブロック図である。

[図2]図2は、実施の形態に係る水平ドライバの構成例を示す図である。

[図3]図3は、信号線へのランプ信号の出力について説明する図である。

[図4]図4は、ランプ波形と負荷電流の変動の関係を表すタイミングチャートである。

[図5]図5は、補正電流源の設置について説明する図である。

[図6]図6は、補正電流源を設置した場合のランプ波形の歪み抑制を説明する図である。

[図7]図7は、実施の形態に係るランプ処理部の構成例を示すブロック図である。

[図8]図8は、ランプ駆動回路と補正電流供給回路の配置例を示す図である。

[図9]図9は、ランプ生成回路の具体的な内部構成例を示すブロック図である。

[図10]図10は、ランプ生成回路の動作タイミング図である。

[図11]図11は、表示装置の補正電流に関する概略構成を示す図である。

[図12]図12は、第2の実施の形態に係る表示装置の構成例を示す図である。

[図13]図13は、第3の実施の形態に係る表示装置の構成例を示す図である。

[図14]図14は、第4の実施の形態に係る表示装置の構成例を示す図である。

[図15]図15は、第5の実施の形態に係る表示装置の構成例を示す図である。

[図16]図16は、第6の実施の形態に係る表示装置の構成例を示す図である。

[図17]図17は、ランプ生成回路の他の構成例を示すブロック図である。

[図18]図18は、ランプ生成回路の他の構成例を示すブロック図である。

[図19]図19は、ランプ生成回路の他の構成例を示すブロック図である。

[図20]図20は、ランプ生成回路の他の構成例を示すブロック図である。

[図21]図21は、ランプ生成回路の他の構成例を示すブロック図である。

[図22]図22は、ランプ生成回路の他の構成例を示すブロック図である。

[図23]図23は、ランプ生成回路の他の構成例を示すブロック図である。

[図24]図24は、ランプ生成回路の他の構成例を示すブロック図である。

[図25]図25は、ランプ生成回路の他の構成例を示すブロック図である。

[図26]図26は、ランプ生成回路の他の構成例を示すブロック図である。

[図27]図27は、ランプ生成回路の他の構成例を示すブロック図である。

[図28]図28は、垂直ドライバの構成例を示すブロック図である。

[図29]図29は、垂直ドライバの構成例を示すブロック図である。

[図30]図30は、画素（画素回路）の一構成例を示す図である。

[図31]図31は、画素（画素回路）の一構成例を示す図である。

[図32]図32は、画素（画素回路）の一構成例を示す図である。

[図33]図33は、画素（画素回路）の一構成例を示す図である。

[図34]図34は、画素（画素回路）の一構成例を示す図である。

[図35]図35は、画素（画素回路）の一構成例を示す図である。

[図36]図36は、画素（画素回路）の一構成例を示す図である。

[図37]図37は、画素（画素回路）の一構成例を示す図である。

[図38]図38は、ヘッドマウントディスプレイの外観の一例を示す斜視図である。

[図39]図39は、シースルーヘッドマウントディスプレイの外観の一例を示す斜視図である。

[図40]図40Aは、デジタルスチルカメラの外観の一例を示す正面図である。
図40Bは、デジタルスチルカメラの外観の一例を示す背面図である。

[図41]図41は、テレビジョン装置の外観の一例を示す斜視図である。

[図42]図42は、スマートフォンの外観の一例を示す斜視図である。

[図43]図43Aは、乗物の後方から前方にかけての乗物の内部の様子の一例を示す図である。図43Bは、乗物の斜め後方から斜め前方にかけての乗物の内部の様子の一例を示す図である。

発明を実施するための形態

[0009] 以下、本技術の実施の形態等について図面を参照しながら説明する。説明は以下の順序で行う。なお、本明細書および図面において、実質的に同一の機能または構成を有するものについては同一の符号を付することにより、重複説明を適宜省略する。また、図示簡略化のため、図面上の符号を省略することがある。

- < 1. 第 1 の実施の形態 >
- < 2. 第 2 の実施の形態 >
- < 3. 第 3 の実施の形態 >
- < 4. 第 4 の実施の形態 >
- < 5. 第 5 の実施の形態 >
- < 6. 第 6 の実施の形態 >
- < 7. ランプ生成回路の他の構成例 >
- < 8. 垂直ドライバの構成例 >
- < 9. 画素の構成例 >
- < 10. 変形例 >
- < 11. 適用例 >

[0010] < 1. 第 1 の実施の形態 >

[1 - 1. 全体構成]

図 1 は、本技術の第 1 の実施の形態に係る表示装置の構成例を示すブロック図である。図 1 に示す表示装置 1 は、発光素子を用いて画像等を表示する装置である。発光素子は、例えば、LED (Light Emitting Diode) である。LED は、マイクロ LED ディスプレイに用いられる LED や、有機 EL (Electro-Luminescence) ディスプレイに用いられる OLED (Organic Light Emitting Diode) を包含する。有機 EL ディスプレイは、例えば、OLED マイクロディスプレイ (Organic Light-Emitting Diode Microdisplay) を包含する。以下、表示装置 1 が OLED マイクロディスプレイであるものとして説明する。

- [0011] 表示装置 1 は、例えば、デジタルカメラの電子ビューファインダ（E V F : Electronic View Finder）、A R グラス、V R グラス等の電子機器に搭載されるディスプレイである。なお、表示装置 1 を適用可能な電子機器は、これに限らない。表示装置 1 を適用可能な電子機器の具体的な構成例については、後ほど説明する。
- [0012] 表示装置 1 は、例えば、シリコン基板等の半導体基板を含む表示パネルを有している。図示するように、表示装置 1 は、入出力部（I O）2、ガンマ処理部 3、電源処理部 4、インタフェース部（I F）5、タイミングコントローラ（T C O N）6、画素部 7、垂直ロジック部（V L O G I C）8、垂直アナログ部（V A N A L O G）9、水平ロジック部（H L O G I C）10 および水平アナログ部（H A N A L O G）11 を有している。
- [0013] 入出力部 2 は、各種データ等の入出力を行うものであり、例えば、外部接続可能な F P C（Flexible printed circuits）で構成されている。入出力部 2 は、ガンマ処理部 3、電源処理部 4 およびインタフェース部 5 と接続されている。ガンマ処理部 3 は、ガンマ補正処理を行うものである。ガンマ処理部 3 は、入出力部 2 および水平アナログ部 11 と接続されており、入出力部 2 を介して入力されるガンマ補正用の設定値に基づいてガンマ補正の設定を行い、水平アナログ部 11 から画素部 7 に出力される画素信号をガンマ補正されたものとする。
- [0014] 電源処理部 4 は、画素部 7 の駆動用電源を出力する回路であり、例えば、L D O（Low Drop Out）レギュレータを含んで構成されている。電源処理部 4 は、入出力部 2 および画素部 7 と接続されており、入出力部 2 を介して入力される供給電源を画素部 7 の駆動用電源電圧に変換して画素部 7 に供給する。インタフェース部 5 は、入出力部 2 およびタイミングコントローラ 6 と接続されている。インタフェース部 5 は、入出力部 2 を介して外部との間で画像データ等を入出力するためのインタフェースである。このインタフェースとしては、例えば、M I P I（Mobile Industry Processor Interface）等の高速インタフェース規格を採用することができる。

- [0015] タイミングコントローラ6は、各ブロック動作のタイミングを制御するものである。タイミングコントローラ6は、インタフェース部5、垂直ロジック部8、垂直アナログ部9、水平ロジック部10および水平アナログ部11と接続されている。タイミングコントローラ6は、クロック信号に基づいて垂直ロジック部8および垂直アナログ部9に必要な応じた制御信号を出力する。また、タイミングコントローラ6は、入出力部2およびインタフェース部5を介して入力される画像データをクロック信号に基づいて水平ロジック部10に出力するとともに、水平ロジック部10および水平アナログ部11に必要な応じた制御信号を出力する。
- [0016] 画素部7は、ここでは図示を省略するが、 m 行 n 列(m , n は自然数)のマトリクス状に配置された複数の画素(画素回路)を有している。画素部7には、例えば、R(赤)、G(緑)、B(青)の三原色を表す画素が設けられており、カラー画像を表現する。なお、画像の色表現は、これに限らず、例えば、モノクロ(白黒)画像を表現する構成であってもよい。画素の構成および動作については後述する。
- [0017] また、画素部7は、この画素配列の行方向に沿って延在する制御線と、画素配列の列方向に沿って延在する信号線とを有している。制御線は画素行毎に設けられており、信号線は画素列毎に設けられている。制御線は、垂直アナログ部9の対応行の出力端と、対応行の画素群とにそれぞれ接続されている。信号線は、水平アナログ部11の対応列の出力端と、対応列の画素群とにそれぞれ接続されている。
- [0018] 垂直ロジック部8および垂直アナログ部9は垂直ドライバを構成する。垂直ロジック部8は、タイミングコントローラ6から入力されるスタートパルスから画素行毎のシフト信号を生成する。垂直アナログ部9は、そのシフト信号により、制御線を駆動する制御信号を生成して画素部7に出力する。水平ロジック部10および水平アナログ部11は水平ドライバを構成する。水平ロジック部10は、タイミングコントローラ6から入力される画像データを信号線毎に振り分ける。水平アナログ部11は、その振り分けた画像デー

タをガンマ補正された画素信号に変換して画素部 7 の対応する信号線に出力する。本技術は、特に、この水平ドライバの構成に特徴を有している。

[0019] [1-2. 水平ドライバの構成]

図 2 は、本実施の形態に係る水平ドライバの構成例を示す図である。図 2 に示す水平ドライバは、信号線に出力する画素信号の生成にランプ波形のアナログ信号を用いる RAMP DAC 方式の回路で構成されている。この水平ドライバを構成する水平ロジック部 10 は、シフトレジスタ部 (S/R) 12、1ST ラッチ部 13 および 2ND ラッチ部 14、同期カウンタ 15、DLL (delay-locked loop) 回路 16、コンパレータ部 17 および PWM 生成部 18 を有している。

[0020] シフトレジスタ部 12 は、タイミングコントローラ 6 から入力される画素データ DATA を順次シフトさせて行方向の画素数 n に対応した数 (例えば、 $N-1=n$) の画素データとして出力する。1ST ラッチ部 13 は、上述した対応数の 1ST ラッチ回路 13A で構成されており、シフトレジスタ部 12 から入力される各画素データをラッチクロック LATCLK に基づいてそれぞれラッチする。2ND ラッチ部 14 は、上述した対応数の 2ND ラッチ回路 14A で構成されており、1ST ラッチ回路 13A の各ラッチデータをラインパルス LINECLK により線順次化する。

[0021] 同期カウンタ 15 には、DLL (delay-locked loop) 回路 16 を介してタイミングコントローラ 6 からメインクロック信号 MCLK が入力される。同期カウンタ 15 は、メインクロック信号 MCLK に同期してダウン (DOWN) カウントまたはアップ (UP) カウントを行い、カウント結果の信号を出力する。

[0022] コンパレータ部 17 は、上述した対応数のデジタルコンパレータ 17A で構成されている。各デジタルコンパレータ 17A は、各 2ND ラッチ回路 14A のラッチデータと、同期カウンタ 15 からの出力とを比較し、比較結果を出力する。PWM 生成部 18 は、上述した対応数の PWM 生成回路 18A で構成されている。各 PWM 生成回路 18A は、タイミングコントローラ 6

から入力されるスタートパルス RAMPST に応じて各画素の階調データに応じた PWM（パルス幅）信号を生成する。生成された PWM 信号は、水平アナログ部 11 に出力される。これにより、水平アナログ部 11 には、8 ビット、10 ビット、12 ビット等の信号が、そのデータに応じた幅を持った信号に変換され入力される。

[0023] 図 2 に示す水平ドライバを構成する水平アナログ部 11 は、レベルシフタ部 19、ランプ処理部 20 およびスイッチ部 21 を有している。レベルシフタ部 19 は、上述した対応数のレベルシフタ回路 19A で構成されており、各 PWM 生成回路 18A で変換された PWM 信号のレベルを駆動レベル（電圧レベル）の信号に変換する。この信号は、スイッチ部 21 における PWM スイッチ 21A の制御に使用される。ランプ処理部 20 は、時間とともに電圧レベルが変化するランプ信号を生成して、ランプ配線 RL を介してスイッチ部 21 に出力する。このように、ランプ配線 RL には、ランプ処理部 20 で生成されたランプ信号が供給される。ランプ処理部 20 は、ここでは説明を省略するが、例えば、ガンマ補正回路を兼用しており、ガンマ処理部 3 から入力される設定値に基づきガンマ補正がなされたランプ波電圧を出力する。

[0024] スイッチ部 21 は、上述した対応数の PWM スイッチ（第 1 スイッチ）21A で構成されている。各 PWM スイッチ 21A は、画素部 7 が有する画素に接続されている各信号線 SIG とランプ配線 RL との間に設けられており、ランプ配線 RL と対応する各信号線 SIG 間の接続を制御する。具体的には、各 PWM スイッチ 21A は、各レベルシフタ回路 19A の出力電圧に応じて画素に書き込む階調に対応するタイミングでオフ（閉）状態になることでランプ波形をサンプリングし、画素に書き込む信号電圧を確定する。

[0025] [1-3. 画素負荷変動の説明]

図 3 は、信号線 SIG へのランプ信号の出力について説明する図である。図 4 は、ランプ波形と負荷電流の変動の関係を表すタイミングチャートである。図 3 に示すように、本実施の形態のランプ処理部 20 は、時間とともに

電圧レベルが低下するランプ信号を生成して出力する。なお、図3では、ランプ処理部20が8ビット階調（ $V_{PCG}-V_{G255}$ の256段階）に対応したランプ波電圧を生成し、ランプ信号として出力する場合について例示しているが、上述したように、階調レベルは10ビット、12ビットなどであってもよい。また、ここでは信号線SIG1について例示的に説明するが、他の信号線についても同様である。

[0026] 図3では、接続されている画素（画素の構成例については後述する）を含む信号線SIG1側の容量を画素負荷容量 C_{pix} と表記し、ランプ配線RLに寄生する寄生容量を配線負荷容量 C_{line} と表記している。

[0027] 図4を参照して、PWMスイッチ21Aの切り替えりによる負荷変動について説明する。図4に示す負荷電流 I_{load} は、ランプ波形の駆動振幅を定める電圧（ V_{PCG} 、 V_{G255} ）とランプ動作期間 t_{RAMP} の計算値によって求められる。具体的には、負荷電流 I_{load} は、以下の式（1）で求められる。

$$I_{load} = C_{load} \times (V_{PCG} - V_{G255}) / t_{RAMP} \quad \dots (1)$$

[0028] 式（1）中の画素負荷容量 C_{load} は、PWMスイッチ21Aのオン／オフを制御するPWM信号がハイ（スイッチオン）の場合には、式（2）で求められ、ロー（スイッチオフ）の場合には、式（3）で求められる。

$$C_{load} = C_{line} + C_{pix} \quad \dots (2)$$

$$C_{load} = C_{line} \quad \dots (3)$$

[0029] ランプ動作期間 t_{RAMP} の開始時は、ランプ処理部20のランプ配線RLのランプ波電圧 V_{RAMP} がプリチャージ電圧 V_{PCG} であり、この状態でPWM信号がローからハイに切り替わりPWMスイッチ21Aがオンする。そして、書き込む画素データの階調に応じたタイミングでPWM信号がローになりPWMスイッチ21Aがオフする。これにより、画素データに応じた階調を表す電圧が画素に書き込まれる。

[0030] 図4に示すように、このPWMスイッチ21Aがオンからオフに切り替わ

ったときに、負荷電流 I_{load} が変動（図示した例では減少）する。つまり、PWMスイッチ 21A がオンのときは、式（2）で容量負荷 C_{load} は計算されるので電流は多い状態となる。一方で、PWMスイッチ 21A がオフのときは、式（3）で容量負荷 C_{load} が計算されるので、電流が少ない状態となり、このような負荷電流 I_{load} の変動が生じる。そして、この負荷電流の変動によりランプ波電圧 V_{RAMP} の過渡的な歪みが発生する。例えば、この電流の変動を検知してフィードバックをかけて電流制御用のトランジスタのゲート電圧を制御すると、そのタイムラグによって、図示するような歪み等が生じてしまう。この歪みが生じると書き込み電圧の精度が悪化する。例えば、負荷変動に起因する横クロストークなどの画質影響が生じ得る。

[0031] そこで、本実施の形態では、図5に示すように、ランプ処理部20に補正電流源28を設けてPWMスイッチ21Aのオフ時の負荷電流（具体的には、図視する段差分）をこの補正電流源28で補うようにする。例えば、ランプ動作期間 t_{RAMP} の負荷電流 I_{load} が一定の状態を維持するように補正する。補正電流源への切り替えは、PWMスイッチ21Aと逆に動作する（オンオフが反対になる）X PWMスイッチ27（第2スイッチ）で制御する。つまり、X PWMスイッチ27は、画素負荷と相補に制御される。なお、補正電流 I_c は、式（4）で求めることができる。

$$I_c = C_{pix} \times (V_{PCG} - V_{G255}) / t_{RAMP} \quad \dots (4)$$

[0032] これにより、図6に示すように、信号線 S_{IG1} へのランプ波電圧の出力の歪みを抑制することができる。以下、本実施の形態に係るランプ処理部20の具体的な構成について説明する。

[0033] [1-4. ランプ処理部の構成]

図7は、本実施の形態に係るランプ処理部20の構成例を示すブロック図である。ランプ処理部20は、補正電流供給回路24、ランプ生成回路25および補正電流制御回路26を有している。補正電流供給回路24、補正電流制御回路26は、ランプ生成回路25の配置に応じて設けられている。ま

ず、この配置について説明する。なお、ランプ生成回路25と補正電流制御回路26とを合わせてランプ駆動回路23と称する。

[0034] 図8は、ランプ駆動回路23と補正電流供給回路24の配置例を示す図である。ランプ駆動回路23は、基準電圧 V_{REF} およびプリチャージ電圧 V_{PCG} に基づき各画素 P_{IX} を駆動する。この際、図8に示すように、例えば、オフセット電圧 V_{OFS} を用いて画素 P_{IX} に含まれる、発光素子を駆動する駆動トランジスタ（DRトランジスタ）の閾値電圧（ V_{th} ）を補正してもよい。この基準電圧 V_{REF} 、プリチャージ電圧 V_{PCG} およびオフセット電圧 V_{OFS} は、ランプ信号の振幅を定める設定電圧であり、図7に示すランプ生成回路25でのランプ信号の生成に用いられる。なお、この設定電圧は、ランプ信号の振幅を定めるものであればよく、例えば、これ以外のものを含んでいてもよい。

[0035] 図8に示すように、本実施の形態では、1つのランプ駆動回路23で全画素 P_{IX} を駆動する。全画素とは、例えば、表示領域を構成する全ての画素のことをいう。なお、表示領域外のものを含んでいてもかまわない。各補正電流源28の電流は、ランプ駆動回路23から一律制御される。具体的には、図7に示すランプ生成回路25および補正電流制御回路26をそれぞれ全画素に対して1つ有している。また、1つのランプ駆動回路23に対して1つの補正電流供給回路24を有している。そして、図7に示すランプ生成回路25の1つの可変電流源35を用いて全画素に対応する各補正電流源28の電流を一括制御する。

[0036] （補正電流供給回路）

図7に示すように、補正電流供給回路24は、画素列毎に設けられた画素列数に対応した数（例えば、 n 個）のXPWMスイッチ（第2スイッチ）27および画素列数に対応した数（例えば n 個）の補正電流源28を有する。各XPWMスイッチ27および各補正電流源28は、例えば、画素 P_{IX} の行方向に沿って設けられる。XPWMスイッチ27は、上述したように、PWMスイッチ21Aの相補スイッチである。つまり、XPWMスイッチ27

は、対応列のPWMスイッチ21Aがオンとなる場合にオフとなり、対応列のPWMスイッチ21Aがオフとなる場合にオンとなる。なお、PWMスイッチ21Aは、PWM信号に基づきオン／オフし、XPWMスイッチ27は、XPWM信号に基づきオン／オフする。例えば、PWM信号がローレベルからハイレベルに立ち上がるタイミングで、XPWM信号がハイレベルからローレベルに立ち下がる。また、PWM信号がハイレベルからローレベルに立ち下がるタイミングで、XPWM信号がローレベルからハイレベルに立ち上がる。これにより、PWMスイッチ11AがオンとなったタイミングでXPWMスイッチ27がオフとなり、PWMスイッチ11AがオフとなったタイミングでXPWMスイッチ27がオンとなる。PWMスイッチ21AおよびXPWMスイッチ27は、例えば、トランジスタで構成されている。補正電流源28は、ランプ配線RLに補正電流を供給する電流源である。

[0037] 各XPWMスイッチ27は、電源と、対応する補正電流源28との間に設けられている。各補正電流源28は、対応するXPWMスイッチ27と、ランプ配線RLとの間に設けられている。具体的には、XPWMスイッチ27の一端は電源電圧ノードに接続され、他端は対応する補正電流源28に接続されている。補正電流源28は、対応列のXPWMスイッチ27の他端、ランプ配線RLおよび補正電流制御回路26と接続されている。この配置順で接続することで、PWMスイッチ21Aとの相補動作および同じ振幅、容量での動作によりXPWMスイッチ27の両端の電圧を変えない状態にでき、XPWMスイッチ27の切断（オフ）時のチャージ飛び散り（ノードに対しての電荷の飛び散り）を最小化することができ、書き込み精度を高めることができる。

[0038] 補正電流源28は、対応列のXPWMスイッチ27がオンである場合、つまり、対応列のPWMスイッチ21Aがオフである場合に補正電流制御回路26で生成された補正電流をランプ配線RLに流す。補正電流源28は、例えば、XPWMスイッチ27からランプ配線RL間にダイオード接続されたトランジスタ、またはそのトランジスタと抵抗を組み合わせた回路で構成さ

れている。

[0039] (ランプ生成回路)

ランプ生成回路25は、出力バッファ31と、電流生成回路32と、電流制御回路33と、SMP Lスイッチ34とを有する。

[0040] 出力バッファ31は、ランプ信号としてランプ波電圧を生成して出力する。出力バッファ31の出力ノード(VOUT)にはランプ配線RLが接続されており、ランプ配線RLには上述したスイッチ部21を構成する各PWMスイッチ21Aの一端が接続されている。なお、各PWMスイッチ21Aの他端は、対応する信号線SIGを介して対応列の画素PIXにそれぞれ接続されている。

[0041] 出力バッファ31は、アンプ41と、負荷回路42と、RAMPENスイッチ43と、PRCGスイッチ44とを有する。

[0042] アンプ41は、ランプ波電圧VRAMPとプリチャージ電圧VPCGとを比較し、比較結果信号であるランプ波電圧を出力する。アンプ41は、プリチャージ電圧VPCGが供給される第1入力ノードと、負荷回路42を介して帰還電圧(ランプ波電圧)が供給される第2入力ノードと、プリチャージ電圧VPCGと帰還電圧(ランプ波電圧)との電圧差に応じた電圧レベルのランプ波電圧を出力する出力ノードとを有する差動増幅器を有する。なお、上述したように、発光素子を駆動する駆動トランジスタの閾値電圧を補正する場合、補正用のランプ信号が生成されるように、このプリチャージ電圧VPCG(VGO)をオフセット電圧VOFSに代えることで対応することができる。具体的には、VGOとVOFSTを切り替えるスイッチ(図示略)を出力バッファ31の第1入力ノードの前段に配置し、このスイッチを切り替え制御することで対応可能である。これによりオフセット電圧VOFSTを最初に書き込み画素回路の閾値電圧の補正の動作を行うことができる。

[0043] 負荷回路42は、アンプ41の帰還経路上に配置されている。より具体的には、負荷回路42は、第2入力ノードと出力ノードとの間に接続されている。負荷回路42は、抵抗素子、キャパシタ、およびダイオードの少なくとも

も一つを含む。

[0044] RAMPENスイッチ43は、RAMPEN信号の論理に基づいてオン／オフする。RAMPENスイッチ43は、電流生成回路32の出力ノードとアンプ41の第2入力ノードとの間に接続されている。RAMPENスイッチ43がオンすると、電流生成回路32から出力された電流が負荷回路42に流れ、ランプ電圧の電圧レベルが低下する。RAMPENスイッチ43がオフすると、電流生成回路32から負荷回路42に電流が流れなくなり、ランプ波電圧の電圧レベルが保持される。

[0045] 電流生成回路32は、補正電流用可変電流源30（後述する）と可変電流源35を有している。可変電流源35は、ランプ信号の生成に用いるものである。可変電流源35は、上述したランプ信号の振幅を設定する設定電圧（具体的には、VPCG, VREF, VOF S）に基づく電流を生成する。可変電流源35は、ランプ信号の振幅、つまり駆動振幅に応じて電流値が変化する電流源である。可変電流源35は、例えば電源電圧ノードからRAMPENスイッチ43間にダイオード接続されたトランジスタ、またはそのトランジスタと抵抗を組み合わせた回路で構成されている。可変電流源35の一端は電源電圧ノードに接続され、他端は出力バッファ31内のRAMPENスイッチ43の一端に接続されている。可変電流源35は、電流制御回路33から出力された比較結果信号に基づいて、負荷回路42に流す電流を制御する。RAMPENスイッチ43がオンすると、可変電流源35からの電流は、RAMPENスイッチ43を介して負荷回路42に流れ、出力バッファ31の出力電圧であるランプ波電圧が時間とともに低下する。

[0046] 補正電流用可変電流源30は、例えば、可変電流源35と同じ電流源である。つまり、補正電流用可変電流源30は、ランプ信号の振幅、つまり駆動振幅に応じて電流値が変化する電流源であり、上述したランプ信号の振幅を設定する設定電圧に基づく電流を生成する。補正電流用可変電流源30は、例えば電源電圧ノードから補正電流制御回路26のカレントミラー部29（後述する）間にダイオード接続されたトランジスタ、またはそのトランジス

タと抵抗とを組み合わせた回路で構成されている。補正電流用可変電流源 30 の一端は電源電圧ノードに接続され、他端は補正電流制御回路 26 のカレントミラー部 29 の入力ノードに接続されている。補正電流用可変電流源 30 は、電流制御回路 33 から出力された比較結果信号に基づいて、各補正電流源 28 に流す電流を制御する。なお、補正電流用可変電流源 30 は、必ずしも可変電流源 35 と同じ電流源である必要はなく、可変電流源 35 の電流を用いた電流源であってもよい。

[0047] PRCG スイッチ 44 は、プリチャージ (PRCG) 信号の論理に基づいてオン／オフする。PRCG スイッチ 44 は、負荷回路 42 に並列に接続されている。PRCG スイッチ 44 は、1 水平ライン期間が開始された直後の所定期間にオンし、負荷回路 42 の両端、すなわちアンプ 41 の第 2 ノードと出力ノードを短絡させる。

[0048] 電流制御回路 33 は、ランプ波電圧と基準電圧 V_{REF} との電圧差に基づいて、電流生成回路 32 が生成する電流を制御する。電流制御回路 33 は、比較器 36 と保持部 37 を有する。比較器 36 は、基準電圧 V_{REF} と出力バッファ 31 の出力電圧 (V_{OUT}) とを比較し、比較結果信号を出力する。保持部 37 は、比較器 36 から出力された比較結果信号を保持する。保持部 37 は、例えば、メモリや電圧保持容量等で構成されている。これにより、電流生成回路 32 は、ランプ波電圧と基準電圧 V_{REF} とに応じて、負荷回路 42 に流す電流を制御する。

[0049] 出力バッファ 31 と比較器 36 の間には、SMPL スイッチ 34 が接続されている。SMPL スイッチ 34 は、SMPL 信号の論理に基づいてオン／オフする。SMPL スイッチ 34 は、1 水平ライン期間内に $RAMPEN$ 信号がハイレベルからローレベルに遷移した後の所定期間オンする。SMPL スイッチ 34 がオンすると、出力バッファ 31 から出力されたランプ波電圧が SMPL スイッチ 34 を介して比較器 36 に入力される。比較器 36 は、SMPL スイッチ 34 がオンの期間に限って、ランプ波電圧と基準電圧 V_{REF} とを比較して、比較結果信号を出力する。保持部 37 は、SMPL スイ

ッチ 3 4 がオフの期間は、直前に S M P L スイッチ 3 4 がオンになって比較器 3 6 が出力した比較結果信号を保持し続ける。

[0050] 電流生成回路 3 2 は、保持部 3 7 が保持する比較結果信号に基づいて、出力バッファ 3 1 内の負荷回路 4 2 に流す電流を制御する。上述したように、電流生成回路 3 2 で生成された電流は、R A M P E N スイッチ 4 3 がオンの期間のみ、負荷回路 4 2 に供給される。また、電流生成回路 3 2 は、保持部 3 7 が保持する比較結果信号に基づいて、補正電流供給回路 2 4 内の各補正電流源 2 8 に流す電流を制御する。

[0051] 図 9 は図 7 のランプ生成回路 2 5 の内部構成をより具体化したブロック図である。図 9 のランプ生成回路 2 5 は、図 7 の比較器 3 6 と保持部 3 7 を有する電流制御回路 3 3 の内部構成をより具体化したものである。また、図 9 のランプ生成回路 2 5 では、出力バッファ 3 1 内の負荷回路 4 2 がキャパシタを有する例を示している。

[0052] 図 9 の比較器 3 6 は、差動増幅器 3 6 a と、抵抗素子 3 6 b とを有する。差動増幅器 3 6 a は、S M P L スイッチ 3 4 および抵抗素子 3 6 b を介してランプ波電圧が入力される第 1 入力ノードと、基準電圧 V R E F が入力される第 2 入力ノードと、比較結果信号を出力する出力ノードとを有する。

[0053] 図 9 の差動増幅器 3 6 a の第 1 入力ノードと出力ノードの間には、保持部 3 7 として機能するキャパシタ 3 7 a が接続されている。差動増幅器 3 6 a は、S M P L スイッチ 3 4 がオンのときにランプ波電圧と基準電圧 V R E F との電圧差に応じた比較結果信号を出力ノードから出力する。保持部 3 7 は、S M P L スイッチ 3 4 がオフの期間内には、この比較結果信号をキャパシタ 3 7 a に保持する。

[0054] 図 1 0 は、図 9 のランプ生成回路 2 5 の動作タイミング図である。図 1 0 に示すように、1 水平ライン期間は、期間 T 1 ~ T 3 を有する。1 水平ライン期間が開始されると、期間 T 1 に示すように、P R C G 信号がハイレベルになって P R C G スイッチ 4 4 がオンする。これにより、出力バッファ 3 1 の容量をリセットする。つまり、出力バッファ 3 1 内のアンプ 4 1 の第 2 入

カノードと出力ノードが短絡され、ランプ波電圧がプリチャージ電圧 V_{PCG} まで上昇する。このプリチャージ電圧 V_{PCG} は、例えば電源電圧である。

[0055] その後、期間 T_2 （ランプ動作期間 t_{RAMP} ）では、 $RAMPEN$ 信号がハイレベルになって $RAMPEN$ スイッチ 43 がオンする。これにより、可変電流源 35 からの電流（具体的には、定電流）が $RAMPEN$ スイッチ 43 を介して負荷回路 42 に印加され、アンプ 41 から出力されるランプ波電圧 V_{OUT} の電圧レベルが時間とともに低下する。 $RAMPEN$ スイッチ 43 がオンの期間は、ランプ波電圧は時間とともに電圧レベルが変化する。

[0056] この電流の印加後、ランプ動作期間 t_{RAMP} が終了し期間 T_3 に入るタイミングで $RAMPEN$ 信号がハイレベルからローレベルに遷移する。これにより、 $RAMPEN$ スイッチ 43 がオフし、可変電流源 35 からの電流は負荷回路 42 に印加されなくなり、ランプ波電圧の電圧レベルは一定になる。

[0057] ランプ動作期間 t_{RAMP} の開始時の出力電圧を V_{G0} とし、終了時の出力電圧を V_{G255} とする。この場合、キャパシタ 37a に流れる電流の積分で出力波形が V_{G0} （ V_{PCG} ）から降下して V_{G255} になる。この波形電圧 V_{G255} は、以下の式（5）、（6）で求めることができる。

$$V_{G255} = V_{G0} - 1 / \text{キャパシタ 37a の容量} \times \int I_{in} dt \quad \cdot \cdot \cdot (5)$$

$$= V_{G0} - I_{in} \times t_{RAMP} / \text{キャパシタ 37a の容量} \quad \cdot \cdot \cdot (6)$$

[0058] この期間 T_3 の間に、 SMP_L 信号は一時的にハイレベルに遷移する。これにより、ランプ波電圧が SMP_L スイッチ 34 を介して、比較器 36 内の差動増幅器 36a の第 1 入力ノードに供給される。差動増幅器 36a は、ランプ波電圧と基準電圧 V_{REF} との電圧差に応じた比較結果信号を出力するとともに、比較結果信号をキャパシタ 42a に保持する。期間 T_3 の間にキャパシタ 42a に保持された比較結果信号は、次の 1 水平ライン期間に、可

変電流源 35 から流れる電流を規定するために用いられる。

[0059] このように、期間 T3 では、出力電圧 V_{OUT} の到達電位が電圧比較機構として機能する電流制御回路 33 にサンプルされ、電流生成回路 32 の可変電流源 35 の電流が制御される。例えば、この制御は、電流制御回路 33 の出力信号により可変電流源 35 の電流制御用のトランジスタのゲート電位を変調することで行われる。

[0060] この変調された電流値に基づいて、次の水平ライン期間でも、この期間 T1 ~ T3 の一連の動作が同様に繰り返される。最終的に、可変電流源 35 の電流 I_{IN} をランプ波形期間 t_{FS} 印加したときの到達電位が基準電圧 V_{REF} となるランプ波形が生成されることになる。つまり、ランプ動作期間 t_{RAMP} 経過後の到達電圧が基準電圧 V_{REF} に一致するところで制御が安定するように動作する。

[0061] このように、第 1 の実施の形態では、ランプ波電圧を出力するアンプ 41 の帰還経路上に負荷回路 42 を配置し、ランプ波電圧と基準電圧 V_{REF} との電圧差により、負荷回路 42 に流す電流を可変制御する。これにより、隣接する信号線同士のカップリング容量の変動が生じて、カップリング容量によるランプ波電圧の変動に合わせて、負荷回路 42 に流す電流を調整できるため、ランプ波電圧のばらつきを抑制できる。よって、本実施の形態によれば、表示エリア内の輝度のばらつき等を抑制でき、表示品質を向上できる。

[0062] (補正電流制御回路)

図 7 に示す補正電流制御回路 26 は、ランプ生成回路 25 および補正電流供給回路 24 間に設けられており、上述したランプ信号の振幅を定める設定電圧に基づいて生成された電流に基づき各補正電流源 28 の電流値を制御する。具体的には、補正電流源 28 の電流値は、ランプ生成回路 25 の可変電流源 35 に基づいて決定される。補正電流制御回路 26 は、具体的には、上述したランプ生成回路 25 の補正電流用可変電流源 30 と、カレントミラー部 29 とを有している。カレントミラー部 29 は、補正電流用可変電流源 3

0で生成した基準電流をコピー(複製)する。

[0063] カレントミラー部29は、電流生成回路32からの電流を受けて、受けた電流を整数倍、或いは整数分の1に制御して所望の電圧を作るカレントミラー回路で構成されている。カレントミラー部29は、カレントミラー回路によって補正電流用可変電流源30の電流をコピーして、コピーした電流に基づく電流を補正電流源28に供給する。カレントミラー回路は、例えば、補正電流源28および補正電流用可変電流源30に対してそれぞれダイオード接続されている2つのトランジスタのゲートを互いに接続し、参照電流入力側(補正電流用可変電流源30側)のトランジスタのコレクターベース間を接続した構成を有する。なお、カレントミラー回路の構成は、これに限らず、ランプ配線RLに供給する補正電流に応じて適宜選定することができる。

[0064] 次に、図10を参照して、補正電流源28からの補正電流の供給動作について説明する。図10においてPWM信号がハイレベルからローレベルになると、対応するPWMスイッチ21Aがオンからオフに切り替わる。このとき、図4を参照して説明したように、負荷電流の変動にともないランプ波電圧VRAMPに歪みが生じることが考えられる。しかしながら、XPWMスイッチ27および補正電流源28を有することで、図5を参照して説明したように、負荷電流の変動を抑制してランプ波電圧VRAMPの歪みの発生を抑止することができる。具体的には、PWM信号の立ち下がりに応じてXPWM信号が立ち上がり、対応するXPWMスイッチ27がオフからオンに切り替わることで、ランプ配線RLに補正電流が流れて、この歪みが抑止される。なお、制御簡素化等の観点からは、XPWM信号の立ち下がりおよび立ち上がりタイミングは、それぞれ、図10に示すように、PWM信号の立ち上がりおよび立ち下がりタイミングと同じであることが好ましい。しかしながら、これに限らず、例えば、XPWM信号の立ち上がりタイミングは、ランプ波形が動作している期間(具体的には、ランプ波形期間tFS)内で歪み抑止の効果が生じる範囲内であれば、ずれていてもよい。つまり、この歪み抑止がなされるのであれば、PWMスイッチ11AおよびXPWMスイッ

チ 27 の双方がオンの期間や双方がオフの期間が含まれていてもよい。なお、補正電流源 28 の電流は、ランプ信号の振幅が設定電圧となるように制御されたものであるため補正精度を向上させることができる。ランプ信号生成用の可変電流源 35 に基づき補正電流源 28 の電流値が決定されるため、簡素な構成で歪みを抑制することができる。

[0065] 以上説明したように、本実施の形態に係る表示装置 1 では、ランプ生成回路 25 が出力バッファ 31 のフィードバック経路に付与した負荷回路 42 に電流を流してランプ波形を有するランプ信号を生成する。そして、補正電流制御回路 26 にて、この印加電流に基づく電流をコピーする。そして、各補正電流源 28 がこのコピーした電流に基づく補正電流を、画素負荷が閉じたタイミングからランプ配線 RL に印加することで、出力バッファ 31 から見た負荷変動を抑制することができる。つまり、負荷切断時の波形歪みを適切に抑制することができる。このように、表示装置 1 に既に設けられているランプ生成回路 25 の構成を利用することで、簡素な構成で画素負荷変動を抑制することができる。その結果、負荷変動に起因する横クロストークの発生を抑えて画質影響を改善することができる。簡素な構成で実現できるため、表示装置 1 の小型化、低消費化、利便性の向上を図ることができる。駆動振幅が変動する場合であっても、それに追従して補正電流を適切に可変するため、どのようなランプ振幅設定でも補正が可能である。なお、上述した X PWM スイッチ 27 は、PWM スイッチ 11A と逆に動作する動作例として、全期間において PWM スイッチ 11A がオンの場合にオフとなり、PWM スイッチ 11A がオフの場合にオンとなるものについて開示したが、動作例は、これに限らない。例えば、上述した歪が生じ得る、ランプ波形が動作している期間内だけ PWM スイッチ 11A と逆に動作するものであってもよい。つまり、上述した例では、ランプ波形動作期間外の、PWM 信号がローレベルからハイレベルに立ち上がるタイミングと、X PWM 信号がハイレベルからローレベルに立ち下がるタイミングは、一致していてもよいし、一致していなくてもよい。例えば、X PWM スイッチ 27 は、ランプ波形動作期間外

は、オフとなってもよいし、オンとなってもよい。X PWMスイッチ 27 をランプ波形動作期間外にオフとした場合には、不要な負荷電流を低減することができる。

[0066] <2. 第2の実施の形態>

上述した第1の実施の形態の表示装置1では、図11に示すように、各X PWMスイッチ 27 は、電源と、対応する補正電流源 28 との間に設けられており、各補正電流源 28 は、対応するX PWMスイッチ 27 と、ランプ配線 RL との間に設けられていた。つまり、補正電流供給回路 24 における電源電圧ノードからランプ配線 RL 間への接続を、電源電圧ノード→X PWMスイッチ 27 →補正電流源 28 →ランプ配線 RL の順としていた。しかしながら、この順序は変更することも可能である。

[0067] 図12は、第2の実施の形態に係る表示装置1の構成例を示している。図12に示す表示装置1は、補正電流供給回路 24 内のランプ配線 RL までの接続経路を、電源→補正電流源 28 →X PWMスイッチ 27 の順に配置し形成している。つまり、補正電流源 28 は、電源とX PWMスイッチ 27 との間に設けられ、X PWMスイッチ 27 は、補正電流源 28 とランプ配線 RL との間に設けられている。この構成によっても、上述した第1の実施の形態と同様の作用効果を奏することができる。また、この配置順により接続することで、画素負荷側につながるPWMスイッチ 21A と同じ配置関係となるので、X PWMスイッチ 27 がPWMスイッチ 21A と相補に動作することで、シグナルフィードスルー（例えば、トランジスタでスイッチを構成した場合のスイッチ制御信号の変動によるゲートソース間、ゲートドレイン間の容量を介した電荷流入現象）をキャンセルすることができる。

[0068] <3. 第3の実施の形態>

上述した補正電流源 28 は、ランプ配線 RL に供給されるランプ信号の波形にともなうランプ動作方向に応じて配置が決定される。第1の実施の形態の表示装置1では、図11に示すように、ランプ信号は、時間とともに電圧レベルが小さくなるランプ波形を有するものについて説明した。つまり、電

圧が高い側→低い側に動作するランプ波形に対応した構成となるように電源側に補正電流源 28 を付与した構成について説明した。しかしながら、ランプ信号はこれに限らない。

[0069] 図 13 は、第 3 の実施の形態に係る表示装置 1 の構成例を示している。図 13 に示す表示装置 1 は、ランプ生成回路 25 が生成するランプ信号の波形が第 1 の実施の形態で説明したものとは相違する。この表示装置 1 のランプ生成回路 25 は、時間とともに大きくなるランプ波形を有するランプ信号を生成する構成を有しており、生成したランプ信号をランプ配線 RL に出力する。

[0070] このように、電圧が低い側から高い側に動作するランプ波形を有するランプ信号の場合には、グランド側に補正電流源 28 を付与することで対応させることができる。具体的には、この表示装置 1 は、補正電流供給回路 24 内のランプ配線 RL までの接続経路を、グランド→X PWM スイッチ 27→補正電流源 28 の順に配置し形成している。つまり、X PWM スイッチ 27 は、グランド（GND）と補正電流源 28 との間に設けられている。また、補正電流源 28 は、X PWM スイッチ 27 とランプ配線 RL との間に設けられている。具体的には、X PWM スイッチ 27 の一端が接地ノードに接続されている。この構成においても、上述した第 1 の実施の形態と同様の作用効果を奏することができる。

[0071] <4. 第 4 の実施の形態>

図 14 は、第 4 の実施の形態に係る表示装置 1 の構成例を示している。図 14 に示す表示装置 1 のランプ生成回路 25 は、第 3 の実施の形態と同様に、時間とともに大きくなるランプ波形を有するランプ信号を生成する構成を有している。また、この表示装置 1 は、補正電流供給回路 24 内のランプ配線 RL までの接続経路を、グランド→補正電流源 28→X PWM スイッチ 27 の順に配置し形成している。つまり、X PWM スイッチ 27 は、補正電流源 28 とランプ配線 RL との間に設けられている。補正電流源 28 は、グランドと X PWM スイッチ 27 との間に設けられている。具体的には、補正電

流源 28 の一端が接地ノードに接続されている。この構成においても、上述した第 1 の実施の形態と同様の作用効果を奏することができる。

[0072] なお、ランプ配線 RL に供給されるランプ信号の信号波形は、図 11 から図 14 に示したものに限らない。例えば、三角波、V 字波、鋸波などであってもよく、波形の傾斜も直線状に限らず、階段状であってもよい。また、時間の経過とともに規則的に変化する波形に限らず、不規則に変化する波形であってもよい。さらに、これらを組み合わせた波形を有するものであってもよい。このように、表示装置 1 で用いるランプ信号は、時間とともに変化する種々のものを採用することができる。例えば、三角波の場合、電源側とグラウンド側の両方に補正電流源 28 および X PWM スイッチ 27 を配置し、出力波形に応じて対応する方に切り替えて使用する構成により適応することができる。

[0073] <5. 第 5 の実施の形態>

図 8 に示したように、上述した第 1 の実施の形態の表示装置 1 は、全画素 P I X に対して 1 つのランプ駆動回路 23 および補正電流供給回路 24 を設けた構成であったが、ランプ駆動回路 23 および補正電流供給回路 24 の配置は、これに限らない。上述した第 1 ~ 第 4 の実施の形態についても同様である。

[0074] 図 15 は、第 5 の実施の形態に係る表示装置 1 の構成例を示す図である。本実施の形態の表示装置 1 は、画素の色別にランプ生成回路 25 を有し、それぞれのランプ生成回路 25 で用いる色別に対応した可変電流源 35 を用いて各補正電流源 28 の電流を対応する画素 P I X の色に応じて制御するものである。

[0075] 具体的には、この表示装置 1 は、R（赤）用の画素 P I X、G（緑）用の画素 P I X および B（青）用の画素 P I X で分けられているサブ画素の色別に、ランプ駆動回路 23 および補正電流供給回路 24 を設けて配置している。R 用のランプ駆動回路 23 には、R 用の基準電圧 V_{REF_R} 、R 用のプリチャージ電圧 V_{PCG_R} 、オフセット電圧 V_{OFS} を入力して R 用の補

正電流を生成し、生成した補正電流をR用の補正電流供給回路24からR用のランプ配線RLに出力することで、R用の画素PIXを駆動する。G用のランプ駆動回路23には、G用の基準電圧VREF_G、G用のプリチャージ電圧VPCG_G、オフセット電圧VOSを入力してG用の補正電流を生成し、生成した補正電流をG用の補正電流供給回路24からG用のランプ配線RLに出力することで、G用の画素PIXを駆動する。B用のランプ駆動回路23には、B用の基準電圧VREF_B、B用のプリチャージ電圧VPCG_B、オフセット電圧VOSを入力してB用の補正電流を生成し、生成した補正電流をB用の補正電流供給回路24からB用のランプ配線RLに出力することで、B用の画素PIXを駆動する。

[0076] これにより、色別の細やかな波形補正を実現することができる。例えば、色別にランプ信号の波形振幅を任意に変えても（例えば、G系は振幅が大きいランプ波形、R、B系統は振幅が小さいランプ波形で制御など）、各々追従して適切な補正電流値で制御することができる。なお、サブ画素の色は、R、G、Bの三色に限らず、例えば、W（白）を加えたものなどであってもよい。

[0077] <6. 第6の実施の形態>

図16は、第6の実施の形態に係る表示装置1の構成例を示す図である。本実施の形態の表示装置1は、所定数の画素で構成されるブロック毎にランプ生成回路25を有し、それぞれのランプ生成回路25で用いる可変電流源35を用いて各補正電流源28の電流をブロック単位で制御するものである。

[0078] 具体的には、この表示装置1は、所定数の画素列（例えば、数10画素列や数百画素列）おきにランプ駆動回路23および補正電流供給回路24を配置している。例えば、10画素列おきに配置した場合には、1ブロックには $10 \times m$ 個の画素PIXが含まれる。

[0079] これにより、ブロック毎の細やかな波形補正を実現することができる。例えば、このようにブロック毎に駆動することで、基準バイアスが各ブロック

の回路毎に決まるため、電源（補正電流源 28 がグランド側に接続されている場合はグランド）の IR ドロップ 影響を緩和することができる。なお、この所定数を複数種類として規則的に配置してもよいし、不規則に配置してもよい。また、各ブロックは、図 16 に示すように行方向に沿って配置するだけでなく、列方向に沿って配置してもよく、分散配置してもよい。このように、ランプ駆動回路 23 および補正電流供給回路 24 の配置は、図 8 に示したものに限らず、画素 P1X の配列に対して適宜設置することができる。

[0080] <7. 適用可能なランプ生成回路の構成例>

（他の構成例 1）

図 17 は、ランプ生成回路 25 の他の構成例を示すブロック図である。図 17 のランプ生成回路 25 は、時間とともに電圧レベルが高くなるランプ波電圧を生成する。このランプ生成回路 25 は、図 9 に示したランプ生成回路 25 とは電流生成回路 32 の構成が相違する。このランプ生成回路 25 では、可変電流源 35 の一端が接地ノードに接続され、他端が出力バッファ 31 の RAMPEN スイッチ 43 の一端に接続されている。他の構成は図 9 と同様である。

[0081] このランプ生成回路 25 は、例えば、以下のように動作する。1 水平ライン期間が開始されると、PRCG スイッチ 44 がオンしてランプ波電圧がプリチャージ電圧 VPCG（例えば接地電圧）まで低下する。次に、PRCG スイッチ 44 がオフするとともに RAMPEN スイッチ 43 がオンし、負荷回路 42 から RAMPEN スイッチ 43 を介して可変電流源 35 に電流が流れることで、出力バッファ 31 の出力電圧であるランプ波電圧が時間とともに上昇する。

[0082] 続いて、RAMPEN スイッチ 43 がオフしてランプ波電圧の電圧レベルが一定になった後、SMPL スイッチ 34 がオンすることで、ランプ波電圧が SMPL スイッチ 34 を介して、差動増幅器 36a の第 1 入力ノードに供給される。差動増幅器 36a は、ランプ波電圧と基準電圧 VREF との電圧差に応じた比較結果信号を出力するとともに、比較結果信号をキャパシタ 3

7 aに保持する。この保持された比較結果信号は、次の1水平ライン期間に、可変電流源35から流れる電流を規定するために用いられる。これらの一連の動作は、次の水平ライン期間でも、同様に繰り返される。

[0083] 本構成例では、補正電流用可変電流源30は、例えば、可変電流源35と同様に一端を接地ノードに接続すればよい。

[0084] (他の構成例2)

図18は、ランプ生成回路25の他の構成例を示すブロック図である。図18に示すランプ生成回路25は、三角波形状のランプ波電圧を生成するものである。このランプ生成回路25は、図9に示したランプ生成回路25とは出力バッファ31および電流生成回路32の構成が相違する。図18の出力バッファ31は、図9のRAMPENスイッチ43に代えて、RAMPEN1信号に応じてオン/オフする第1RAMPENスイッチ43aと、RAMPEN2信号に応じてオン/オフする第2RAMPENスイッチ43bとを有する。

[0085] 図18の電流生成回路32は、可変電流源35としての第1可変電流源35aおよび第2可変電流源35bと、バイアス回路38とを有する。第1可変電流源35aの一端は電源電圧ノードに接続され、他端は第1RAMPENスイッチ43aの一端に接続されている。第2可変電流源35bの一端は接地ノードに接続され、他端は第2RAMPENスイッチ43bの一端に接続されている。第1RAMPENスイッチ43aの他端と第2RAMPENスイッチ43bの他端は、負荷回路42に接続されるとともに、アンプ41の第2入力ノードに接続されている。バイアス回路38は、保持部37に保持されている比較結果信号に基づいて、第1可変電流源35aと第2可変電流源35bに流れる電流を制御する。

[0086] このランプ生成回路25は、例えば、以下のように動作する。1水平ライン開始時は、第1RAMPENスイッチ43aおよび第2RAMPENスイッチ43bは、ともにオフである。この状態で、PRCGスイッチ44がオンし、ランプ波電圧がプリチャージ電圧まで上昇する。次に、第1RAMP

ENスイッチ43aがオンし、第1可変電流源35aから第1RAMPENスイッチ43aを介して負荷回路42に電流が流れ、出力バッファ31の出力電圧であるランプ波電圧が時間とともに低下する。その後、 $t_{FS}/2$ の期間の経過時に一時的にSAMPLスイッチ34がオンし、比較器36は、その時点のランプ波電圧と基準電圧VREFとの比較結果信号を出力し、保持部37はこの比較結果信号を保持する。

[0087] 次に、第1RAMPENスイッチ43aがオフし、かつ第2RAMPENスイッチ43bがオンする。これにより、負荷回路42から第2RAMPENスイッチ43bを介して第2可変電流源35bに電流が流れ、出力バッファ31の出力電圧であるランプ波電圧が時間とともに上昇する。その後、第1RAMPENスイッチ43aおよび第2RAMPENスイッチ43bがともにオフし、出力バッファ31の出力電圧であるランプ波電圧はプリチャージ電圧VPCGを維持する。

[0088] このように、図18のランプ生成回路25では、1水平ライン期間の間に、電圧レベルの変化する方向が切り替わる三角波形状のランプ波電圧を生成する場合であっても、それに対応してランプ波電圧の電圧レベルに応じて電流制御が可能である。なお、三角波の頂点をずらすタイミングで処理することで鋸波形状のランプ波電圧の生成も可能である。

[0089] 本構成例では、例えば、補正電流用可変電流源30は、第1可変電流源35aに対応する電流源と、第2可変電流源35bに対応する電流源と、切り替えスイッチとを設け、切り替えスイッチにより負荷回路42に流れる電流を制御している方に対応する電流源を選択する構成とすればよい。

[0090] (他の構成例3)

図19は、ランプ生成回路25の他の構成例を示すブロック図である。図19に示すランプ生成回路25は、図9に示したランプ生成回路25とは電流制御回路33の構成が相違し、他の構成は同様である。図19の電流制御回路33は、デジタル比較器51と、SRラッチ52と、位相比較器53と、第1電流源54aと、第2電流源54bと、保持部37とを有する。

[0091] デジタル比較器 5 1 は、出力バッファ 3 1 の出力電圧であるランプ波電圧と基準電圧 V_{REF} とを比較して、比較結果信号である二値信号を出力する。例えば、デジタル比較器 5 1 は、ランプ波電圧が基準電圧 V_{REF} 未満になると、ハイレベルの比較結果信号を出力する。S R ラッチ 5 2 は、S T A R T 信号がハイレベルになるとセット状態になって出力がハイレベルになり、デジタル比較器 5 1 の比較結果信号がハイレベルになると、リセット状態になって出力がローレベルになる。以下では、S R ラッチ 5 2 の出力信号を比較パルス信号と呼ぶ。

[0092] 位相比較器 5 3 は、S R ラッチ 5 2 から出力される比較パルス信号と基準パルス信号との位相差に応じて、U P 信号または D O W N 信号を出力する。第 1 電流源 5 4 a は、U P 信号がハイレベルの期間に電流を流して、保持部 3 7 を構成するキャパシタを充電する。第 2 電流源 5 4 b は、D O W N 信号がハイレベルの期間にこのキャパシタを放電させて放電電流を接地ノードに流す。

[0093] このランプ生成回路 2 5 は、例えば、以下のように動作する。S R ラッチ 5 2 から出力される比較パルス信号が基準パルス信号よりも遅れて立ち下がる場合は、ランプ波電圧が高すぎることから、位相比較器 5 3 は D O W N 信号をハイレベルにする。よって、可変電流源 3 5 は負荷回路 4 2 により多くの電流が流れるように制御し、ランプ波電圧の電圧レベルをより低下させる。比較パルス信号が基準パルス信号よりも早く立ち下がる場合は、ランプ波電圧が低すぎることから、位相比較器 5 3 は U P 信号をハイレベルにする。よって、可変電流源 3 5 は負荷回路 4 2 により少ない電流が流れるように制御し、ランプ波電圧の電圧レベルをより上昇させる。比較パルス信号と基準パルス信号の位相が一致している場合は、位相比較器 5 3 は U P 信号と D O W N 信号のいずれもローレベルにする。よって、可変電流源 3 5 は、保持部 3 7 に保持された比較結果信号に応じた電流を負荷回路 4 2 に流す。

[0094] このように、図 1 9 のランプ生成回路 2 5 では、可変電流源 3 5 の電流を制御する電流制御回路 3 3 を、位相比較器 5 3 を用いて構成できるため、集

積化が容易になり、小面積化と低消費電力化を実現できる。

[0095] (他の構成例4)

図20は、ランプ生成回路25の他の構成例を示すブロック図である。図20に示すランプ生成回路25は、図9に示したランプ生成回路25とは電流生成回路32および電流制御回路33の構成が相違し、他の構成は同様である。図20の電流生成回路32は、可変電流源35と、DA変換器(以下、DAC)55とを有する。可変電流源35は、DAC55から出力される電流制御信号に応じた電流を生成する。

[0096] 図20の電流制御回路33は、デジタル比較器51と、SRラッチ52と、パルスカウンタ56と、保持部37と、演算回路57とを有する。デジタル比較器51およびSRラッチ52は、図19の電流制御回路33のものと同様であり、SRラッチ52は比較パルス信号を出力する。パルスカウンタ56は、SRラッチ52から出力された比較パルス信号のパルス幅を、クロック信号CLKにてカウントし、そのカウント値を出力する。保持部37は、パルスカウンタ56から出力されたカウント値を保持する。保持部37は、例えばフリップフロップにてカウント値を保持する。あるいは、保持部37は、複数の論理ゲートにてカウント値を保持してもよい。演算回路57は、カウント値に基づいて、可変電流源35の電流を制御するためのデジタル電流制御信号を生成する。電流生成回路32のDAC55は、デジタル電流制御信号をDA変換した電流制御信号を生成する。

[0097] 本構成例では、補正電流用可変電流源30は、例えば、可変電流源35と同様にDAC55から出力される電流制御信号に応じた電流を生成するようにすればよい。後の構成例5、11も同様である。

[0098] (他の構成例5)

図21は、ランプ生成回路25の他の構成例を示すブロック図である。図21に示すランプ生成回路25は、図20に示したランプ生成回路25とは電流制御回路33の構成が相違し、他の構成は同様である。図20の電流制御回路33は、比較器36と、逐次比較型AD変換器(以下、SARADC

: Successive Approximation Register Analog Digital Converter) 58とを有する。

[0099] 比較器36は、出力バッファ31の出力電圧であるランプ波電圧と基準電圧VREFとの電位差に応じた比較結果信号を出力する。SARADC58は、比較器36から出力された比較結果信号に対して逐次比較処理を行うことで、比較結果信号に応じたデジタル信号を出力する。電流生成回路32内のDAC55は、SARADC58から出力されたデジタル信号をアナログの電流制御信号に変換する。可変電流源35は、電流制御信号に基づいて、負荷回路42に流れる電流を制御する。SARADC58は、SMPLスイッチ34がオンのときにAD変換処理を行い、SMPLスイッチ34がオンからオフに遷移すると、その直前のデジタル信号を保持する。

[0100] (他の構成例6)

図22は、ランプ生成回路25の他の構成例を示すブロック図である。上述したランプ生成回路25の構成例では、電流生成回路32に可変電流源35を用いているが、必ずしも可変電流源35を用いる必要はない。図22に示すランプ生成回路25は、図9と同様の構成の出力バッファ31（但し、RAMPENスイッチ43は不要）と、比較器36と、保持部37とを有する。比較器36の出力にはボルテージフォロワ回路59が接続されている。

[0101] 図22の電流生成回路32は、可変電流源35の代わりに設けられるチャージポンプ61と、DAC制御カウンタ62とを有する。チャージポンプ61は、ボルテージフォロワ回路59の出力ノードと出力バッファ31内のアンプ41の第2入力ノードとの間に直列に接続されるキャパシタ63およびスイッチSW1と、キャパシタ63およびスイッチSW1の接続ノードとプリチャージ電圧VPCGノードとの間に接続されるスイッチSW2とを有する。

[0102] DAC制御カウンタ62は、所定の時間間隔でカウント動作を行う。所定の時間間隔とは、ランプ波電圧を更新する時間間隔である。電流制御回路33内の比較器36は、1水平ライン期間毎に、ランプ波電圧と基準電圧VR

E F とを比較して、比較結果信号に応じた電圧信号をチャージポンプ 6 1 に入力する。

[0103] チャージポンプ 6 1 内のスイッチ SW 1、SW 2 は、DAC 制御カウンタ 6 2 がカウントアップするたびに一時的にオンする。DAC 制御カウンタ 6 2 がカウントアップする周期は、1 水平ライン期間よりもはるかに短い。チャージポンプ 6 1 は、スイッチ SW 1、SW 2 が一時的にオンする動作を繰り返すことにより、負荷回路 4 2 に流す電流を段階的に切り替えることができる。これにより、ランプ波電圧の電圧レベルが段階的（階段状）に低下する。本構成例では、例えば、補正電流用可変電流源 3 0 として、このチャージポンプ 6 1 を利用することができる。具体的には、上述した可変電流源 3 5 をこのチャージポンプ 6 1 で構成し、このチャージポンプ 6 1 の電流に基づく電流源を補正電流用可変電流源 3 0 とすることができる。

[0104] （他の構成例 7）

図 2 3 は、ランプ生成回路 2 5 の他の構成例を示すブロック図である。図 2 3 のランプ生成回路 2 5 は、図 9 に示したランプ生成回路 2 5 とは出力バッファ 3 1 の負荷回路 4 2 の構成が相違する。他の構成は同様である。図 2 3 に示すように、この出力バッファ 3 1 の負荷回路 4 2 は、アンプ 4 1 の第 2 入力ノードと出力ノードの間に直列に接続される抵抗素子 4 2 b およびキャパシタ 4 2 a を有する。

[0105] 図 9 のように、負荷回路 4 2 がキャパシタだけで構成されている場合、ランプ波電圧の電圧レベルが低下し始めるタイミングにおいて、ランプ波電圧の波形が非線形に変化するおそれがある。これに対して、図 2 3 の負荷回路 4 2 は、キャパシタ 4 2 a に直列に接続された抵抗素子 4 2 b を有するため、ランプ波電圧が下がり始めるタイミングにおいて、電圧レベルをほぼ線形に変化させることができる。これにより、ランプ波電圧を用いて信号線電圧を決定する際に、信号線電圧の誤差を低減できる。

[0106] （他の構成例 8）

図 2 4 は、ランプ生成回路 2 5 の他の構成例を示すブロック図である。図

図24のランプ生成回路25は、図9と同様の構成の電流生成回路32と電流制御回路33とを有する。図24の出力バッファ31は、負荷回路42の回路構成が図23に示したものとは異なっている。図24の負荷回路42は、可変抵抗42cで構成されている。可変抵抗の抵抗値は、DAC制御カウンタ62により段階的に制御される。より具体的には、可変抵抗の抵抗値は、DAC制御カウンタ62のカウント値が大きくなるに従って、段階的に大きくなる。これにより、ランプ波電圧は、プリチャージ電圧から段階的（階段状）に小さくなる。

[0107] （他の構成例9）

図25は、ランプ生成回路25の他の構成例を示すブロック図である。図25のランプ生成回路25は、図9と同様の構成の出力バッファ31と電流制御回路33を有する。図25の電流生成回路32は、それぞれ異なる電流を流す x 個（ x は2以上の整数）の電流源64と、 x 個のスイッチ65とを含む電流DAC66を有する。対応する電流源64とスイッチ65とは直列に接続されている。各電流源64と各スイッチ65は、DAC制御カウンタ62から出力される x ビットのカウント値の各ビットに対応している。カウント値の最上位ビットは左端の電流源64とスイッチ65に対応し、カウント値の最下位ビットは右端の電流源64とスイッチ65に対応する。

[0108] x 個の電流源64は、電流制御回路33内の比較器36から出力される比較結果信号に応じて、電流 I_{IN} を可変制御する。左端の電流源64は $2 \times x \times I_{IN}$ の電流を流し、その隣の電流源64は $2^{x-1} \times I_{IN}$ の電流を流し、右端から2番目の電流源64は $2 \times I_{IN}$ の電流を流し、右端の電流源64は I_{IN} の電流を流す。 x 個の電流源64と x 個のスイッチ65を流れる電流が合算されて負荷回路42に供給される。

[0109] ランプ波電圧と基準電圧 V_{REF} との電圧差が小さい場合は、 x 個の電流源64からは小さい電流が負荷回路42に流れる。また、1水平ライン期間の後半側ほど、DAC55カウンタのカウント値が大きくなるため、 x 個の電流源64からより大きな電流が流れて、ランプ波電圧は段階的により低く

なる。

[0110] 本構成例の場合、例えば、補正電流用可変電流源 30 として、この電流 DAC 66 を利用することができる。具体的には、上述した可変電流源 35 をこの電流 DAC 66 で構成し、この電流 DAC 66 の電流に基づく電流源を補正電流用可変電流源 30 とすることができる。次の構成例 10 も同様である。

[0111] (他の構成例 10)

図 26 は、ランプ生成回路 25 の他の構成例を示すブロック図である。図 26 のランプ生成回路 25 は、図 25 と同様の構成の電流生成回路 32 と電流制御回路 33 を有する。図 26 の出力バッファ 31 の負荷回路 42 は、抵抗素子の代わりにダイオードを有する。ダイオードは、順方向電圧と順方向電流との関係が非線形であることから、ランプ波電圧は非線形な波形になる。なお、負荷回路 42 を抵抗素子に直列に接続されたダイオードで構成してもよい。これにより、ランプ波電圧の非線形形状を線形形状に近づけることができる。

[0112] (他の構成例 11)

図 27 は、ランプ生成回路 25 の他の構成例を示すブロック図である。図 27 のランプ生成回路 25 は、図 21 と同様の構成の出力バッファ 31 と電流生成回路 32 を備えている。図 27 のランプ生成回路 25 は、電流制御回路 33 の代わりに、設定保持レジスタ 69 を備えている。本構成例では、ランプ生成回路 25 を備えた表示装置 1 を出荷する前に、出力バッファ 31 の出力電圧であるランプ波電圧をモニタし、負荷回路 42 に流すべき電流と、その電流を流すための可変電流源 35 の制御値を予め検出しておく。そして、その制御値を設定保持レジスタ 69 に格納した上で表示装置 1 を出荷する。そして、この電流生成回路 32 は、動作時に、設定保持レジスタ 69 に格納された制御値を DAC 55 で DA 変換した制御信号に基づいて、可変電流源 35 から負荷回路 42 に電流を流し、ランプ波電圧の電圧レベルの調整を行うものである。

[0113] < 8. 垂直ドライバの構成例 >

図 28 は、垂直ドライバの構成例（第 1 構成例）を示すブロック図である。垂直ドライバは、例えば、信号入力部にシフトレジスタ回路を有するシフトレジスタ方式の回路で構成することができる。この垂直ドライバを構成する垂直ロジック部 8 は、シフトレジスタ部 81 および論理回路部 82 を有している。また、垂直アナログ部 9 は、レベルシフタ部 91 および出力バッファ部 92 を有している。

[0114] シフトレジスタ部 81 は、列方向の画素数 m に対応した数（例えば、 m 個）のシフトレジスタ 81A で構成されており、スタートパルス VST を、クロック信号 CLK に同期させ、順に伝播し、シフト信号 $SR0$, $SR1$, ... として行毎に順に出力する。

[0115] 論理回路部 82 は、上述した対応数の論理回路（ $LOGIC$ ）82A で構成されており、入力制御信号（図示略）に応じて、適宜必要に応じた論理演算を行う。レベルシフタ部 91 は、上述した対応数のレベルシフタ 91A で構成されており、論理演算が施された各信号 $SR0$, $SR1$, ... のレベルを駆動レベルの信号（制御信号）に変換する。出力バッファ部 92 は、上述した対応数のバッファ回路 92A で構成されており、その制御信号をバッファ出力する。

[0116] 図 29 は、垂直ドライバの構成例（第 2 構成例）を示すブロック図である。この垂直ドライバは、図 28 に示した垂直ドライバのシフトレジスタ部 81 に代えて、アドレスデコーダ 83 を有している。このように、垂直ドライバは、例えば、信号入力部にアドレスデコーダ 83 を有するアドレスデコーダ方式の回路で構成することができる。他の構成は、図 28 の垂直ドライバと同様である。

[0117] アドレスデコーダ 83 は、タイミングコントローラ 6 から供給されるアドレス情報 $COUNT$ に基づいてアドレスをデコードし、デコード結果を各行の論理回路 82A に対応させて出力する。上述したシフトレジスタ部 81 は、上から下、下から上等、必ず所定の順序でシフトさせる構成であるが、ア

ドレスデコーダ83は、任意のアドレスから何処までのアドレスまでインクリメントさせるなど、所定アドレス間を順次指定しスキャンすることができるものである。

[0118] なお、垂直ドライバの構成は、図28および図29に示したものに限定されるわけではなく、画素の構成、動作等に合わせて適宜変更することができる。

[0119] <9. 画素回路の構成例>

(第1構成例)

図30は、画素PIXの一構成例を表すものである。画素PIXは、キャパシタC01と、トランジスタMN02~MN03と、発光素子ELとを有している。トランジスタMN02~MN03は、N型のMOSFET (Metal Oxide Semiconductor Field Effect Transistor) である。トランジスタMN02のゲートは制御線WSLに接続され、ドレインは信号線SGLに接続され、ソースはトランジスタMN03のゲートおよびキャパシタC01に接続される。キャパシタC01の一端はトランジスタMN02のソースおよびトランジスタMN03のゲートに接続され、他端はトランジスタMN03のソースおよび発光素子ELのアノードに接続される。トランジスタMN03のゲートはトランジスタMN02のソースおよびキャパシタC01の一端に接続され、ドレインは電源線VCCPに接続され、ソースはキャパシタC01の他端および発光素子ELのアノードに接続される。発光素子ELのアノードはトランジスタMN03のソースおよびキャパシタC01の他端に接続され、カソードは電源線Vcathに接続される。電源線VCCPの電圧は、第1電圧と、第1電圧よりも低い第2電圧と、に適宜切り替わる。

[0120] この構成により、画素PIXでは、トランジスタMN02がオン状態になることにより、信号線SGLから供給された画素信号に基づいてキャパシタC01の両端間の電圧が設定される。電源線VCCPの電圧が第1電圧である期間に、トランジスタMN03は、キャパシタC01の両端間の電圧に応じた電流を発光素子ELに流す。発光素子ELは、トランジスタMN03か

ら供給された電流に基づいて発光する。このようにして、画素P I Xは、画素信号に応じた輝度で発光する。なお、電源線VCCPの電圧が第2電圧である期間には、発光素子ELは消光する。

[0121] (第2構成例)

図31は、画素P I Xの一構成例を表すものである。この画素P I Xは、キャパシタC11、C12と、トランジスタMP12~MP15と、発光素子ELとを有している。トランジスタMP12~MP15はP型のMOSFETである。トランジスタMP12のゲートは制御線WSLに接続され、ソースは信号線SGLに接続され、ドレインはトランジスタMP14のゲートおよびキャパシタC12に接続される。キャパシタC11の一端は電源線VCCPに接続され、他端はキャパシタC12、トランジスタMP13のドレイン、およびトランジスタMP14のソースに接続される。キャパシタC12の一端はキャパシタC11の他端、トランジスタMP13のドレイン、およびトランジスタMP14のソースに接続され、他端はトランジスタMP12のドレインおよびトランジスタMP14のゲートに接続される。トランジスタMP13のゲートは制御線DSLに接続され、ソースは電源線VCCPに接続され、ドレインはトランジスタMP14のソース、キャパシタC11の他端、およびキャパシタC12の一端に接続される。トランジスタMP14のゲートはトランジスタMP12のドレインおよびキャパシタC12の他端に接続され、ソースはトランジスタMP13のドレイン、キャパシタC11の他端、およびキャパシタC12の一端に接続され、ドレインは発光素子ELのアノードおよびトランジスタMP15のソースに接続される。トランジスタMP15のゲートは制御線AZSLに接続され、ソースはトランジスタMP14のドレインおよび発光素子ELのアノードに接続され、ドレインは電源線VSSに接続される。

[0122] この構成により、画素P I Xでは、トランジスタMP12がオン状態になることにより、信号線SGLから供給された画素信号に基づいてキャパシタC12の両端間の電圧が設定される。トランジスタMP13は、制御線DS

Lの信号に基づいてオンオフする。トランジスタMP14は、トランジスタMP13がオン状態である期間において、キャパシタC12の両端間の電圧に応じた電流を発光素子ELに流す。発光素子ELは、トランジスタMP14から供給された電流に基づいて発光する。このようにして、画素PIXは、画素信号に応じた輝度で発光する。トランジスタMP15は、制御線AZSLの信号に基づいてオンオフする。トランジスタMP15がオン状態である期間において、発光素子ELのアノードの電圧は電源線VSSの電圧に設定されることにより初期化される。

[0123] なお、トランジスタMP12～MP15は、低温多結晶シリコン（LTPS : Low Temperature Poly Silicon）を用いたトランジスタであってもよい。また、トランジスタMP12、MP15のうち少なくとも何れかは、酸化物半導体を用いたトランジスタであってもよい。

[0124] （第3構成例）

図32は、画素PIXの一構成例を表すものである。この画素PIXは、キャパシタC21と、トランジスタMN22～MN25と、発光素子ELとを有している。トランジスタMN22～MN25はN型のMOSFETである。トランジスタMN22のゲートは制御線WSLに接続され、ドレインは信号線SGLに接続され、ソースはトランジスタMN24のゲートおよびキャパシタC21に接続される。キャパシタC21の一端はトランジスタMN22のソースおよびトランジスタMN24のゲートに接続され、他端はトランジスタMN24のソース、トランジスタMN25のドレイン、および発光素子ELのアノードに接続される。トランジスタMN23のゲートは制御線DSLに接続され、ドレインは電源線VCCPに接続され、ソースはトランジスタMN24のドレインに接続される。トランジスタMN24のゲートはトランジスタMN22のソースおよびキャパシタC21の一端に接続され、ドレインはトランジスタMN23のソースに接続され、ソースはキャパシタC21の他端、トランジスタMN25のドレイン、および発光素子ELのアノードに接続される。トランジスタMN25のゲートは制御線AZSLに接

続され、ドレインはトランジスタMN24のソース、キャパシタC21の他端、および発光素子ELのアノードに接続され、ソースは電源線VSSに接続される。

[0125] この構成により、画素PIXでは、トランジスタMN22がオン状態になることにより、信号線SGLから供給された画素信号に基づいてキャパシタC21の両端間の電圧が設定される。トランジスタMN23は、制御線DSLの信号に基づいてオンオフする。トランジスタMN24は、トランジスタMN23がオン状態である期間において、キャパシタC21の両端間の電圧に応じた電流を発光素子ELに流す。発光素子ELは、トランジスタMN24から供給された電流に基づいて発光する。このようにして、画素PIXは、画素信号に応じた輝度で発光する。トランジスタMN25は、制御線AZSLの信号に基づいてオンオフする。トランジスタMN25がオン状態である期間において、発光素子ELのアノードの電圧は電源線VSSの電圧に設定されることにより初期化される。

[0126] なお、トランジスタMN22～MN25は、低温多結晶シリコン（LTPS：Low Temperature Poly Silicon）を用いたトランジスタであってもよい。また、トランジスタMN22、MN25のうち少なくとも何れかは、酸化物半導体を用いたトランジスタであってもよい。

[0127] （第4構成例）

図33は、画素PIXの一構成例を表すものである。この画素PIXは、キャパシタC31と、トランジスタMP32～MP36と、発光素子ELとを有している。トランジスタMP32～MP36はP型のMOSFETである。トランジスタMP32のゲートは制御線WSLに接続され、ソースは信号線SGLに接続され、ドレインはトランジスタMP33のゲート、トランジスタMP34のドレイン、およびキャパシタC31に接続される。キャパシタC31の一端は電源線VCCPに接続され、他端はトランジスタMP32のドレイン、トランジスタMP33のゲート、およびトランジスタMP34のドレインに接続される。トランジスタMP34のゲートは制御線AZS

L 1 に接続され、ソースはトランジスタMP 3 3 のドレインおよびトランジスタMP 3 5 のソースに接続され、ドレインはトランジスタMP 3 2 のドレイン、トランジスタMP 3 3 のゲート、およびキャパシタC 3 1 の他端に接続される。トランジスタMP 3 5 のゲートは制御線DSLに接続され、ソースはトランジスタMP 3 3 のドレインおよびトランジスタMP 3 4 のソースに接続され、ドレインはトランジスタMP 3 6 のソースおよび発光素子ELのアノードに接続される。トランジスタMP 3 6 のゲートは制御線AZSL 2 に接続され、ソースはトランジスタMP 3 5 のドレインおよび発光素子ELのアノードに接続され、ドレインは電源線VSSに接続される。

[0128] この構成により、画素PIXでは、トランジスタMP 3 2 がオン状態になることにより、信号線SGLから供給された画素信号に基づいてキャパシタC 3 1 の両端間の電圧が設定される。トランジスタMP 3 5 は、制御線DSLの信号に基づいてオンオフする。トランジスタMP 3 3 は、トランジスタMP 3 5 がオン状態である期間において、キャパシタC 3 1 の両端間の電圧に応じた電流を、発光素子ELに流す。発光素子ELは、トランジスタMP 3 3 から供給された電流に基づいて発光する。このようにして、画素PIXは、画素信号に応じた輝度で発光する。トランジスタMP 3 4 は、制御線AZSL 1 の信号に基づいてオンオフする。トランジスタMP 3 4 がオン状態である期間において、トランジスタMP 3 3 のドレインおよびゲートが互いに接続される。トランジスタMP 3 6 は、制御線AZSL 2 の信号に基づいてオンオフする。トランジスタMP 3 6 がオン状態になる期間において、発光素子ELのアノードの電圧は電源線VSSの電圧に設定されることにより初期化される。

[0129] なお、トランジスタMP 3 2 ～MP 3 6 は、低温多結晶シリコン（LTPS : Low Temperature Poly Silicon）を用いたトランジスタであってもよい。また、トランジスタMP 3 2 、MP 3 4 、MP 3 6 のうち少なくとも何れかは、酸化物半導体を用いたトランジスタであってもよい。

[0130] （第5 構成例）

図34は、画素PIXの一構成例を表すものである。キャパシタC48の一端は信号線SGL1に接続され、他端は電源線VSSに接続される。キャパシタC49の一端は信号線SGL1に接続され、他端は信号線SGL2に接続される。トランジスタMP49はP型のMOSFETであり、ゲートは制御線WSL2に接続され、ソースは信号線SGL1に接続され、ドレインは信号線SGL2に接続される。

[0131] 画素PIXは、キャパシタC41と、トランジスタMP42～MP46と、発光素子ELとを有している。トランジスタMP42～MP46は、P型のMOSFETである。トランジスタMP42のゲートは制御線WSL1に接続され、ソースは信号線SGL2に接続され、ドレインはトランジスタMP43のゲートおよびキャパシタC41に接続される。キャパシタC41の一端は電源線VCCPに接続され、他端はトランジスタMP42のドレインおよびトランジスタMP43のゲートに接続される。トランジスタMP43のゲートはトランジスタMP42のドレインおよびキャパシタC41の他端に接続され、ソースは電源線VCCPに接続され、ドレインはトランジスタMP44、MP45のソースに接続される。トランジスタMP44のゲートは制御線AZSL1に接続され、ソースはトランジスタMP43のドレインおよびトランジスタMP45のソースに接続され、ドレインは信号線SGL2に接続される。トランジスタMP45のゲートは制御線DSLに接続され、ソースはトランジスタMP43のドレインおよびトランジスタMP44のソースに接続され、ドレインはトランジスタMP46のソースおよび発光素子ELのアノードに接続される。トランジスタMP46のゲートは制御線AZSL2に接続され、ソースはトランジスタMP45のドレインおよび発光素子ELのアノードに接続され、ドレインは電源線VSSに接続される。

[0132] この構成により、画素PIXでは、トランジスタMP42がオン状態になることにより、信号線SGL1からキャパシタC49を介して供給された画素信号に基づいてキャパシタC41の両端間の電圧が設定される。トランジスタMP45は、制御線DSLの信号に基づいてオンオフする。トランジスタ

タMP43は、トランジスタMP45がオン状態である期間において、キャパシタC41の両端間の電圧に応じた電流を発光素子ELに流す。発光素子ELは、トランジスタMP43から供給された電流に基づいて発光する。このようにして、画素PIXは、画素信号に応じた輝度で発光する。トランジスタMP44は、制御線AZSL1の信号に基づいてオンオフする。トランジスタMP44がオン状態である期間において、トランジスタMP43のドレインおよび信号線SGL2が互いに接続される。トランジスタMP46は、制御線AZSL2の信号に基づいてオンオフする。トランジスタMP46がオン状態になる期間において、発光素子ELのアノードの電圧は電源線VSSの電圧に設定されることにより初期化される。

[0133] なお、トランジスタMP42～MP46、MP49は、低温多結晶シリコン（LTPS：Low Temperature Poly Silicon）を用いたトランジスタであってもよい。また、トランジスタMP42、MP46、MP49のうち少なくとも何れかは、酸化物半導体を用いたトランジスタであってもよい。

[0134] （第6構成例）

図35は、画素PIXの一構成例を表すものである。複数の画素PIXは、表示領域100にマトリクス状に設けられ、表示領域100は、第1の制御部40と第2の制御部70の間に設けられる。

[0135] 第1の制御部40は、トランSMissionゲートTG45、TG46と、トランジスタMP50、MP51と、キャパシタC71とを有している。トランジスタMP50、MP51は、P型のMOSFETである。トランSMissionゲートTG45の入力端には画素信号が供給され、トランSMissionゲートTG45の出力端は信号線50aの一端に接続される。トランSMissionゲートTG46の入力端は信号線50bに接続され、トランSMissionゲートTG46の出力端は電源線Vorstに接続される。キャパシタC71の一端は信号線50aに接続され、他端は電源線VSS1に接続される。トランジスタMP50のゲートは制御線INILに接続され、ソースは電源線Viniに接続され、ドレインは信号線50bに接続される。ト

ランジスタMP 51のゲートは制御線ELLに接続され、ソースは電源線V_{el}に接続され、ドレインは信号線50bに接続される。

[0136] 第2の制御部70は、トランSMissionゲートTG 72と、トランジスタMP 73と、キャパシタC 82とを有している。トランジスタMP 73は、P型のMOSFETである。トランSMissionゲートTG 72の入力端は信号線50aの他端に接続され、出力端はトランジスタMP 73のドレインおよびキャパシタC 82の一端に接続される。トランジスタMP 73のゲートは制御線REFLに接続され、ソースは電源線V_{ref}に接続され、ドレインはトランSMissionゲートTG 72の出力端およびキャパシタC 82の一端に接続される。キャパシタC 82の一端はトランSMissionゲートTG 72の出力端およびトランジスタMP 73のドレインに接続され、他端は信号線50bの一端に接続される。

[0137] 画素PIXは、キャパシタC 132と、トランジスタMP 121～MP 125と、発光素子ELとを有している。トランジスタMP 121～MP 125は、P型のMOSFETである。トランジスタMP 122のゲートは制御線WSLに接続され、ソースは信号線50bに接続され、ドレインはトランジスタMP 121のゲートおよびキャパシタC 132に接続される。キャパシタC 132の一端は電源線V_{el}に接続され、他端はトランジスタMP 122のドレインおよびトランジスタMP 121のゲートに接続される。トランジスタMP 121のゲートはトランジスタMP 122のドレインおよびキャパシタC 132の他端に接続され、ソースは電源線V_{el}に接続され、ドレインはトランジスタMP 123、MP 124のソースに接続される。トランジスタMP 123のゲートは制御線AZSLに接続され、ソースはトランジスタMP 121のドレインおよびトランジスタMP 124のソースに接続され、ドレインは信号線50bに接続される。トランジスタMP 124のゲートは制御線DSLに接続され、ソースはトランジスタMP 121のドレインおよびトランジスタMP 123のソースに接続され、ドレインはトランジスタMP 125のドレインおよび発光素子ELのアノードに接続される。ト

ランジスタMP 1 2 5 のゲートは制御線A Z S L に接続され、ソースは電源線V o r s t に接続され、ドレインはランジスタMP 1 2 4 のドレインおよび発光素子E L のアノードに接続される。

[0138] この構成により、画素P I X では、ランジスタMP 1 2 2 がオン状態になることにより、トランスミッションゲートT G 4 5、信号線5 0 a、トランスミッションゲートT G 7 2、キャパシタC 8 2 および信号線5 0 b を介して供給された画素信号に基づいてキャパシタC 1 3 2 の両端間の電圧が設定される。ランジスタMP 1 2 4 は、制御線D S L の信号に基づいてオンオフする。ランジスタMP 1 2 1 は、ランジスタMP 1 2 4 がオン状態である期間において、キャパシタC 1 3 2 の両端間の電圧に応じた電流を発光素子E L に流す。発光素子E L は、ランジスタMP 1 2 1 から供給された電流に基づいて発光する。このようにして、画素P I X は、画素信号に応じた輝度で発光する。ランジスタMP 1 2 3、MP 1 2 5 は、制御線A Z S L の信号に基づいてオンオフする。ランジスタMP 1 2 3 がオン状態である期間において、ランジスタMP 1 2 1 のドレインおよびランジスタMP 1 2 4 のソースが信号線5 0 b に接続される。ランジスタMP 1 2 5 がオン状態になる期間において、発光素子E L のアノードの電圧は電源線V o r s t の電圧に設定されることにより初期化される。また、ランジスタMP 5 0 は、制御線I N I L の信号に基づいてオンオフし、ランジスタMP 5 1 は、制御線E L L の信号に基づいてオンオフし、ランジスタMP 7 3 は、制御線R E F L の信号に基づいてオンオフする。ランジスタMP 5 0 がオン状態になると、信号線5 0 b は電源線V i n i の電圧に設定され、ランジスタMP 5 1 がオン状態になると、信号線5 0 b は電源線V e l の電圧に設定される。ランジスタMP 7 3 がオン状態になると、キャパシタC 8 2 の一端は電源線V r e f の電圧に設定されることにより初期化される。

[0139] なお、ランジスタMP 1 2 1 ~MP 1 2 5、MP 5 0、MP 5 1 は、低温多結晶シリコン（L T P S : Low Temperature Poly Silicon）を用いたト

ランジスタであってもよい。また、トランジスタMP 1 2 2、MP 1 2 5のうち少なくともいずれかは、酸化物半導体を用いたトランジスタであってもよい。

[0140] (第7構成例)

図36は、画素PIXの一構成例を表すものである。この画素PIXは、キャパシタC51と、トランジスタMP52～MP60と、発光素子ELとを有している。トランジスタMP52～MP60はP型のMOSFETである。トランジスタMP52のゲートは制御線WSLに接続され、ソースは信号線SGLに接続され、ドレインはトランジスタMP53のドレインおよびトランジスタMP54のソースに接続される。トランジスタMP53のゲートは制御線DSLに接続され、ソースは電源線VCCPに接続され、ドレインはトランジスタMP52のドレインおよびトランジスタMP54のソースに接続される。トランジスタMP54のゲートはトランジスタMP55のソース、トランジスタMP57のドレイン、およびキャパシタC51に接続され、ソースはトランジスタMP52、MP53のドレインに接続され、ドレインはトランジスタMP58、MP59のソースに接続される。キャパシタC51の一端は電源線VCCPに接続され、他端はトランジスタMP54のゲート、トランジスタMP55のソース、およびトランジスタMP57のドレインに接続される。キャパシタC51は、互いに並列に接続された2つのキャパシタを含んでいてもよい。トランジスタMP55のゲートは制御線AZSL1に接続され、ソースはトランジスタMP54のゲート、トランジスタMP57のドレイン、およびキャパシタC51の他端に接続され、ドレインはトランジスタMP56のソースに接続される。トランジスタMP56のゲートは制御線AZSL1に接続され、ソースはトランジスタMP55のドレインに接続され、ドレインは電源線VSSに接続される。トランジスタMP57のゲートは制御線WSLに接続され、ドレインはトランジスタMP54のゲート、トランジスタMP55のソース、およびキャパシタC51の他端に接続され、ソースはトランジスタMP58のドレインに接続される。ト

ランジスタMP 5 8のゲートは制御線WSLに接続され、ドレインはトランジスタMP 5 7のソースに接続され、ソースはトランジスタMP 5 4のドレインおよびトランジスタMP 5 9のソースに接続される。トランジスタMP 5 9のゲートは制御線DSLに接続され、ソースはトランジスタMP 5 4のドレインおよびトランジスタMP 5 8のソースに接続され、ドレインはトランジスタMP 6 0のソースおよび発光素子ELのアノードに接続される。トランジスタMP 6 0のゲートは制御線AZSL 2に接続され、ソースはトランジスタMP 5 9のドレインおよび発光素子ELのアノードに接続され、ドレインは電源線VSSに接続される。

[0141] この構成により、画素PIXでは、トランジスタMP 5 2, MP 5 4, MP 5 8, MP 5 7がオン状態になることにより、信号線SGLから供給された画素信号に基づいてキャパシタC 5 1の両端間の電圧が設定される。トランジスタMP 5 3, MP 5 9は、制御線DSLの信号に基づいてオンオフする。トランジスタMP 5 4は、トランジスタMP 5 3, MP 5 9がオン状態である期間において、キャパシタC 5 1の両端間の電圧に応じた電流を、発光素子ELに流す。発光素子ELは、トランジスタMP 5 4から供給された電流に基づいて発光する。このようにして、画素PIXは、画素信号に応じた輝度で発光する。トランジスタMP 5 5, MP 5 6は、制御線AZSL 1の信号に基づいてオンオフする。トランジスタMP 5 5, MP 5 6がオン状態である期間において、トランジスタMP 5 4のゲートの電圧は電源線VSSの電圧に設定されることにより初期化される。トランジスタMP 6 0は、制御線AZSL 2の信号に基づいてオンオフする。トランジスタMP 6 0がオン状態である期間において、発光素子ELのアノードの電圧は電源線VSSの電圧に設定されることにより初期化される。

[0142] なお、トランジスタMP 5 2～MP 6 0は、低温多結晶シリコン（LTPS : Low Temperature Poly Silicon）を用いたトランジスタであってもよい。また、トランジスタMP 5 5～MP 5 8、MP 6 0のうち少なくとも何れかは、酸化物半導体を用いたトランジスタであってもよい。

[0143] (第8構成例)

図37は、画素PIXの一構成例(第8構成例)を表すものである。制御線WSNLの信号および制御線WSPLの信号は、互いに反転した信号である。

[0144] 画素PIXは、キャパシタC61、C62と、トランジスタMN63、MP64、MN65～MN67と、発光素子ELとを有している。トランジスタMN63、MN65～MN67はN型のMOSFETであり、トランジスタMP64はP型のMOSFETである。トランジスタMN63のゲートは制御線WSNLに接続され、ドレインは信号線SGLおよびトランジスタMP64のソースに接続され、ソースはトランジスタMP64のドレイン、キャパシタC61、C62、およびトランジスタMN65のゲートに接続される。トランジスタMP64のゲートは制御線WSPLに接続され、ソースは信号線SGLおよびトランジスタMN63のドレインに接続され、ドレインはトランジスタMN63のソース、キャパシタC61、C62、およびトランジスタMN65のゲートに接続される。キャパシタC61は、例えばMOM(Metal Oxide Metal)キャパシタを用いて構成され、一端はトランジスタMN63のソース、トランジスタMP64のドレイン、キャパシタC62、およびトランジスタMN65のゲートに接続され、他端は電源線VSS2に接続される。なお、キャパシタC61は、例えばMOSキャパシタやMIM(Metal Insulator Metal)キャパシタを用いて構成されてもよい。キャパシタC62は、例えばMOSキャパシタを用いて構成され、一端はトランジスタMN63のソース、トランジスタMP64のドレイン、キャパシタC61の一端、およびトランジスタMN65のゲートに接続され、他端は電源線VSS2に接続される。なお、キャパシタC62は、例えば、MOMキャパシタやMIMキャパシタを用いて構成されてもよい。また、キャパシタC62の他端は、電源線VSS3(図示省略)に接続されてもよい。トランジスタMN65のゲートはトランジスタMN63のソース、トランジスタMP64のドレイン、およびキャパシタC61、C62の一端に接続され、ドレイン

は電源線VCCPに接続され、ソースはトランジスタMN66、MN67のドレインに接続される。トランジスタMN66のゲートは制御線AZLに接続され、ドレインはトランジスタMN65のソースおよびトランジスタMN67のドレインに接続され、ソースは電源線VSS1に接続される。トランジスタMN67のゲートは制御線DSLに接続され、ドレインはトランジスタMN65のソースおよびトランジスタMN66のドレインに接続され、ソースは発光素子ELのアノードに接続される。なお、トランジスタMN67および制御線DSLを設けず、トランジスタMN65のソースがトランジスタMN66のドレインおよび発光素子ELのアノードに接続される構成としてもよい。

[0145] この構成により、画素PIXでは、トランジスタMN63、MP64のうちの少なくとも一方がオン状態になることにより、信号線SGLから供給された画素信号に基づいてキャパシタC61、C62の両端間の電圧が設定される。トランジスタMN67は、制御線DSLの信号に基づいてオンオフする。トランジスタMN65は、トランジスタMN67がオン状態である期間において、キャパシタC61、C62の両端間の電圧に応じた電流を、発光素子ELに流す。発光素子ELは、トランジスタMP65から供給された電流に基づいて発光する。このようにして、画素PIXは、画素信号に応じた輝度で発光する。トランジスタMN66は、制御線AZLの信号に基づいてオンオフしてもよい。また、トランジスタMN66は、制御線AZLの信号に応じた抵抗値を有する抵抗素子として機能してもよい。この場合、トランジスタMN65およびトランジスタMN66はいわゆるソースフォロワ回路を構成する。

[0146] なお、トランジスタMN63、MP64、MN65～MN67は、低温多結晶シリコン（LTPS：Low Temperature Poly Silicon）を用いたトランジスタであってもよい。また、トランジスタMN63、MP64、MN66のうち少なくとも何れかは、酸化物半導体を用いたトランジスタであってもよい。

[0147] ＜１０．変形例＞

以上、本技術の実施の形態および適用例について具体的に説明したが、本技術の内容は上述した実施の形態および適用例に限定されるものではなく、本技術の技術的思想に基づく各種の変形が可能である。例えば、上述した実施の形態、適用例の構成、方法、工程、材料、形状および数値等は、本技術の主旨を逸脱しない限り、互いに組み合わせることや入れ替えることが可能である。また、１つのものを２つ以上に分けることも可能であり、一部を省略することも可能である。また、本技術を適用可能であれば、上述した各構成は、適宜、削除、変更、他の構成の付加をしてもよいし、代替可能な構成に入れ替えてもよい。

[0148] また、上述した実施の形態では、表示装置１がＯＬＥＤマイクロディスプレイである場合について例示したが、これに限らず、本技術は、例えば、プロジェクタ等で使用されるＳＸＲＤ（Silicon X-tal Reflective Display：登録商標）等の表示パネル、ホログラム表示させるためのＳＬＭ（Spatial Light Modulator）を用いた位相変調のパネルに採用してもよい。また、本技術は、例えば、ＬＣＯＳ（Liquid crystal on silicon、ＬＣＯＳは商標）、ＨＴＰＳ（High Temperature Poly-Silicon）等のパネルに採用してもよい。

[0149] ＜１１．適用例＞

次に、上記実施の形態および変形例で説明した表示システムの適用例について説明する。

[0150] （適用例１）

図３８は、ヘッドマウントディスプレイ１１０の外観の一例を表すものである。ヘッドマウントディスプレイ１１０は、例えば、眼鏡形の表示部１１１の両側に、使用者の頭部に装着するための耳掛け部１１２を有する。このようなヘッドマウントディスプレイ１１０に、上記実施の形態等に係る技術を適用することができる。

[0151] （適用例２）

図39は、他のヘッドマウントディスプレイ120の外観の一例を表すものである。ヘッドマウントディスプレイ120は、本体部121と、アーム部122と、鏡筒部123とを有する、透過式のヘッドマウントディスプレイである。このヘッドマウントディスプレイ120は、眼鏡128に装着されている。本体部121は、ヘッドマウントディスプレイ120の動作を制御するための制御基板や表示部を有している。この表示部は、表示画像の画像光を射出する。アーム部122は、本体部121と鏡筒部123とを連結し、鏡筒部123を支持する。鏡筒部123は、本体部121からアーム部122を介して供給された画像光を、眼鏡128のレンズ129を介して、ユーザの目に向かって投射する。このようなヘッドマウントディスプレイ120に、上記実施の形態等に係る技術を適用することができる。

[0152] なお、このヘッドマウントディスプレイ120は、いわゆる導光板方式のヘッドマウントディスプレイであるが、これに限定されるものではなく、例えば、いわゆるバードバス方式のヘッドマウントディスプレイであってもよい。このバードバス方式のヘッドマウントディスプレイは、例えば、ビームスプリッタと、部分的に透明なミラーとを備えている。ビームスプリッタは、画像情報でエンコードされた光をミラーに向けて出力し、ミラーは、光をユーザの目に向かって反射させる。ビームスプリッタおよび部分的に透明なミラーの両方は、部分的に透明である。これにより、周囲環境からの光がユーザの目に到達する。

[0153] (適用例3)

図40A、40Bは、デジタルスチルカメラ130の外観の一例を表すものであり、図40Aは正面図を示し、図40Bは背面図を示す。このデジタルスチルカメラ130は、レンズ交換式一眼レフレックスタイプのカメラであり、カメラ本体部（カメラボディ）131と、撮影レンズユニット132と、グリップ部133と、モニタ134と、電子ビューファインダ135とを有する。撮影レンズユニット132は、交換式のレンズユニットであり、カメラ本体部131の正面のほぼ中央付近に設けられる。グリップ部133

は、カメラ本体部 131 の正面の左側に設けられ、撮影者は、このグリップ部 133 を把持するようになっている。モニタ 134 は、カメラ本体部 131 の背面のほぼ中央よりも左側に設けられる。電子ビューファインダ 135 は、カメラ本体部 131 の背面において、モニタ 134 の上部に設けられる。撮影者は、この電子ビューファインダ 135 を覗くことにより、撮影レンズユニット 132 から導かれた被写体の光像を視認し、構図を決定することができる。電子ビューファインダ 135 に、上記実施の形態等に係る技術を適用することができる。

[0154] (適用例 4)

図 41 は、テレビジョン装置 140 の外観の一例を表すものである。テレビジョン装置 140 は、フロントパネル 142 およびフィルターガラス 143 を含む映像表示画面部 141 を有する。この映像表示画面部 141 に、上記実施の形態等に係る技術を適用することができる。

[0155] (適用例 5)

図 42 は、スマートフォン 150 の外観の一例を表すものである。スマートフォン 150 は、各種情報を表示する表示部 151 と、ユーザによる操作入力を受け付けるボタンなどを含む操作部 152 とを有する。この表示部 151 に、上記実施の形態等に係る技術を適用することができる。

[0156] (適用例 6)

図 43A、43B は、本開示の技術が適用された車両の一構成例を表すものであり、図 43A は、車両 200 の後部から見た車両の内部の一例を示し、図 43B は、車両 200 の左後方からみた車両の内部の一例を示す。

[0157] 図 43A、43B の車両は、センターディスプレイ 201 と、コンソールディスプレイ 202 と、ヘッドアップディスプレイ 203 と、デジタルリアミラー 204 と、ステアリングホイールディスプレイ 205 と、リアエンタテインメントディスプレイ 206 とを有する。

[0158] センターディスプレイ 201 は、ダッシュボード 261 における、運転席 262 及び助手席 263 に対向する場所に配置されている。図 43A では、

運転席 2 6 2 側から助手席 2 6 3 側まで延びる横長形状のセンターディスプレイ 2 0 1 の例を示すが、センターディスプレイ 2 0 1 の画面サイズや配置場所はこれに限定されるものではない。センターディスプレイ 2 0 1 は、種々のセンサで検知された情報を表示可能である。具体的な一例として、センターディスプレイ 2 0 1 には、イメージセンサで撮影した撮影画像、T o F センサで計測された、車両前方や側方の障害物までの距離画像、赤外線センサで検出された乗員の体温などを表示可能である。センターディスプレイ 2 0 1 は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、及びエンタテインメント関連情報の少なくとも一つを表示するために用いることができる。

[0159] 安全関連情報は、センサの検出結果に基づく、居眠り検知、よそ見検知、同乗している子供のいたずら検知、シートベルト装着有無、乗員の置き去り検知などの情報である。操作関連情報は、センサを用いて検出された、乗員の操作に関するジェスチャの情報である。ジェスチャは、車両内の種々の設備の操作を含んでいてもよく、例えば、空調設備、ナビゲーション装置、A V (Audio Visual) 装置、照明装置等の操作を含む。ライフログは、乗員全員のライフログを含む。例えば、ライフログは、各乗員の行動記録を含む。ライフログを取得し保存することにより、事故が生じた際、乗員がどのような状態であったかを確認できる。健康関連情報は、温度センサを用いて検出された乗員の体温や、検出された体温に基づいて推測された乗員の健康状態の情報を含む。あるいは、乗員の健康状態の情報は、イメージセンサにより撮像された乗員の顔に基づいて推測されてもよい。また、乗員の健康状態の情報は、乗員と自動音声を用いて会話を行うことにより得られた乗員の回答内容に基づいて推測されてもよい。認証／識別関連情報は、センサを用いて顔認証を行うキーレスエントリ機能や、顔識別でシート高さや位置の自動調整機能などの情報を含む。エンタテインメント関連情報は、センサにより検出された乗員による A V 装置の操作情報や、センサにより検出され認識された乗員に適した、表示すべきコンテンツの情報などを含む。

- [0160] コンソールディスプレイ 202 は、例えばライフログ情報の表示に用いることができる。コンソールディスプレイ 202 は、運転席 262 と助手席 263 の間のセンターコンソール 264 における、シフトレバー 265 の近くに配置されている。コンソールディスプレイ 202 も、種々のセンサで検知された情報を表示可能である。また、コンソールディスプレイ 202 は、イメージセンサで撮像された車両周辺の画像を表示してもよいし、車両周辺の障害物までの距離画像を表示してもよい。
- [0161] ヘッドアップディスプレイ 203 は、運転席 262 の前方のフロントガラス 266 の奥に仮想的に表示される。ヘッドアップディスプレイ 203 は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、及びエンタテインメント関連情報の少なくとも一つを表示するために用いることができる。ヘッドアップディスプレイ 203 は、運転席 262 の正面に仮想的に配置されることが多いため、車両の速度、燃料の残量、バッテリーの残量などの車両の操作に直接関連する情報を表示するのに適している。
- [0162] デジタルリアミラー 204 は、車両の後方を表示できるだけでなく、後部座席の乗員の様子も表示できるため、例えば後部座席の乗員のライフログ情報の表示に用いることができる。
- [0163] ステアリングホイールディスプレイ 205 は、車両のステアリングホイール 267 の中心付近に配置されている。ステアリングホイールディスプレイ 205 は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、及びエンタテインメント関連情報の少なくとも一つを表示するために用いることができる。特に、ステアリングホイールディスプレイ 205 は、運転者の手の近くにあるため、運転者の体温等のライフログ情報を表示したり、AV 装置や空調設備等の操作に関する情報などを表示するのに適している。
- [0164] リアエンタテインメントディスプレイ 206 は、運転席 262 や助手席 263 の背面側に取り付けられており、後部座席の乗員が視聴するためのもので

ある。リアエンタテインメントディスプレイ 206 は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、及びエンタテインメント関連情報の少なくとも一つを表示するために用いることができる。特に、リアエンタテインメントディスプレイ 206 は、後部座席の乗員の目の前にあるため、後部座席の乗員に関連する情報が表示される。リアエンタテインメントディスプレイ 206 は、例えば、AV 装置や空調設備の操作に関する情報を表示したり、後部座席の乗員の体温等を温度センサで計測した結果を表示してもよい。

[0165] これらのセンターディスプレイ 201、コンソールディスプレイ 202、ヘッドアップディスプレイ 203、デジタルリアミラー 204、ステアリングホイールディスプレイ 205、リアエンタテインメントディスプレイ 206 に、上記実施の形態等に係る技術を適用することができる。

[0166] なお、本技術は、以下のような構成も採ることができる。

(1)

時間とともに電圧レベルが変化するランプ信号が供給されるランプ配線と、

画素に接続された信号線と前記ランプ配線との間に設けられている第 1 スイッチと、

前記第 1 スイッチと逆に動作する第 2 スイッチと、

前記第 2 スイッチの動作に応じて前記ランプ配線に補正電流を供給する補正電流源と、

前記ランプ信号の振幅を定める設定電圧に基づいて生成された電流に基づき前記補正電流源の電流値を制御する補正電流制御回路と

を有する表示装置。

(2)

設定電圧に基づく電流を生成する可変電流源を有し、

前記補正電流制御回路は、前記可変電流源の電流をコピーし、コピーした電流に基づいて前記補正電流源の電流を決定する

(1) に記載の表示装置。

(3)

前記可変電流源は、前記ランプ信号の生成に用いるものである

(2) に記載の表示装置。

(4)

前記ランプ信号を生成するランプ生成回路を有し、

前記ランプ生成回路は、

前記ランプ信号を出力するアンプと、

前記アンプの帰還経路上に配置されている負荷回路と、

前記ランプ信号の信号電圧と前記設定電圧に含まれる基準電圧とに応じて

前記負荷回路に流す電流を制御する電流生成回路と

を有し、

前記可変電流源は、前記電流生成回路によって構成されている

(2) または (3) に記載の表示装置。

(5)

前記補正電流源および前記第2スイッチを有する補正電流供給回路と、前記補正電流制御回路の各々は、前記ランプ信号を生成するランプ生成回路の配置に応じて設けられている

(1) から (4) のうちの何れかに記載の表示装置。

(6)

前記ランプ生成回路を全画素に対して1つ有し、

前記ランプ生成回路で用いる1つの前記可変電流源を用いて全画素に対応する各補正電流源の電流を一括制御する

(5) に記載の表示装置。

(7)

画素の色別に前記ランプ生成回路を有し、

それぞれの前記ランプ生成回路で用いる色別に対応した前記可変電流源を用いて各補正電流源の電流に対応する画素の色に応じて制御する

(5) に記載の表示装置。

(8)

所定数の画素で構成されるブロック毎に前記ランプ生成回路を有し、
それぞれの前記ランプ生成回路で用いる前記可変電流源を用いて各補正電
流源の電流を前記ブロック単位で制御する

(5) に記載の表示装置。

(9)

前記ランプ信号は、電圧レベルが高い側から低い側に変化するランプ波形
を有する

(1) から (8) のうちの何れかに記載の表示装置。

(10)

前記補正電流源は、前記第2スイッチと前記ランプ配線との間に設けられ
、

前記第2スイッチは、電源と前記補正電流源との間に設けられている

(9) に記載の表示装置。

(11)

前記補正電流源は、電源と前記第2スイッチとの間に設けられ、
前記第2スイッチは、前記補正電流源と前記ランプ配線との間に設けられ
ている

(9) に記載の表示装置。

(12)

前記ランプ信号は、電圧レベルが低い側から高い側に変化するランプ波形
を有する

(1) から (11) のうちの何れかに記載の表示装置。

(13)

前記補正電流源は、前記第2スイッチと前記ランプ配線との間に設けられ
、

前記第2スイッチは、グランド (GND) と前記補正電流源との間に設け

られている

(12)に記載の表示装置。

(14)

前記補正電流源は、グラウンド(GND)と前記第2スイッチとの間に設けられ、

前記第2スイッチは、前記補正電流源と前記ランプ配線との間に設けられている

(12)に記載の表示装置。

(15)

(1)から(14)のうちの何れかに記載の表示装置を有する電子機器。

符号の説明

[0167] 1・・・表示装置、6・・・タイミングコントローラ、7・・・画素部、8・・・垂直ロジック部、9・・・垂直アナログ部、10・・・水平ロジック部、11・・・水平アナログ部、20・・・ランプ処理部、21A・・・PWMスイッチ、23・・・ランプ駆動回路、24・・・補正電流供給回路、25・・・ランプ生成回路、26・・・補正電流制御回路、27・・・XPWMスイッチ、28・・・補正電流源、29・・・カレントミラー部、30・・・補正電流用可変電流源、31・・・出力バッファ、33・・・電流制御回路、34・・・SMPLスイッチ、35・・・可変電流源、36・・・比較器、37・・・保持部、41・・・アンプ、42・・・負荷回路、43・・・RAMPENスイッチ、44・・・PRCGスイッチ、PIX・・・画素(画素回路)、RL・・・ランプ配線

請求の範囲

- [請求項1] 時間とともに電圧レベルが変化するランプ信号が供給されるランプ配線と、
画素に接続された信号線と前記ランプ配線との間に設けられている第1スイッチと、
前記第1スイッチと逆に動作する第2スイッチと、
前記第2スイッチの動作に応じて前記ランプ配線に補正電流を供給する補正電流源と、
前記ランプ信号の振幅を定める設定電圧に基づいて生成された電流に基づき前記補正電流源の電流値を制御する補正電流制御回路とを有する表示装置。
- [請求項2] 設定電圧に基づく電流を生成する可変電流源を有し、
前記補正電流制御回路は、前記可変電流源の電流をコピーし、コピーした電流に基づいて前記補正電流源の電流を決定する請求項1に記載の表示装置。
- [請求項3] 前記可変電流源は、前記ランプ信号の生成に用いるものである請求項2に記載の表示装置。
- [請求項4] 前記ランプ信号を生成するランプ生成回路を有し、
前記ランプ生成回路は、
前記ランプ信号を出力するアンプと、
前記アンプの帰還経路上に配置されている負荷回路と、
前記ランプ信号の信号電圧と前記設定電圧に含まれる基準電圧とに応じて前記負荷回路に流す電流を制御する電流生成回路とを有し、
前記可変電流源は、前記電流生成回路によって構成されている請求項2に記載の表示装置。
- [請求項5] 前記補正電流源および前記第2スイッチを有する補正電流供給回路と、前記補正電流制御回路の各々は、前記ランプ信号を生成するラン

プ生成回路の配置に応じて設けられている

請求項 1 に記載の表示装置。

[請求項6]

前記ランプ生成回路を全画素に対して 1 つ有し、

前記ランプ生成回路で用いる 1 つの前記可変電流源を用いて全画素に対応する各補正電流源の電流を一括制御する

請求項 5 に記載の表示装置。

[請求項7]

画素の色別に前記ランプ生成回路を有し、

それぞれの前記ランプ生成回路で用いる色別に対応した前記可変電流源を用いて各補正電流源の電流に対応する画素の色に応じて制御する

請求項 5 に記載の表示装置。

[請求項8]

所定数の画素で構成されるブロック毎に前記ランプ生成回路を有し、

それぞれの前記ランプ生成回路で用いる前記可変電流源を用いて各補正電流源の電流を前記ブロック単位で制御する

請求項 5 に記載の表示装置。

[請求項9]

前記ランプ信号は、電圧レベルが高い側から低い側に変化するランプ波形を有する

請求項 1 に記載の表示装置。

[請求項10]

前記補正電流源は、前記第 2 スイッチと前記ランプ配線との間に設けられ、

前記第 2 スイッチは、電源と前記補正電流源との間に設けられている

請求項 9 に記載の表示装置。

[請求項11]

前記補正電流源は、電源と前記第 2 スイッチとの間に設けられ、

前記第 2 スイッチは、前記補正電流源と前記ランプ配線との間に設けられている

請求項 9 に記載の表示装置。

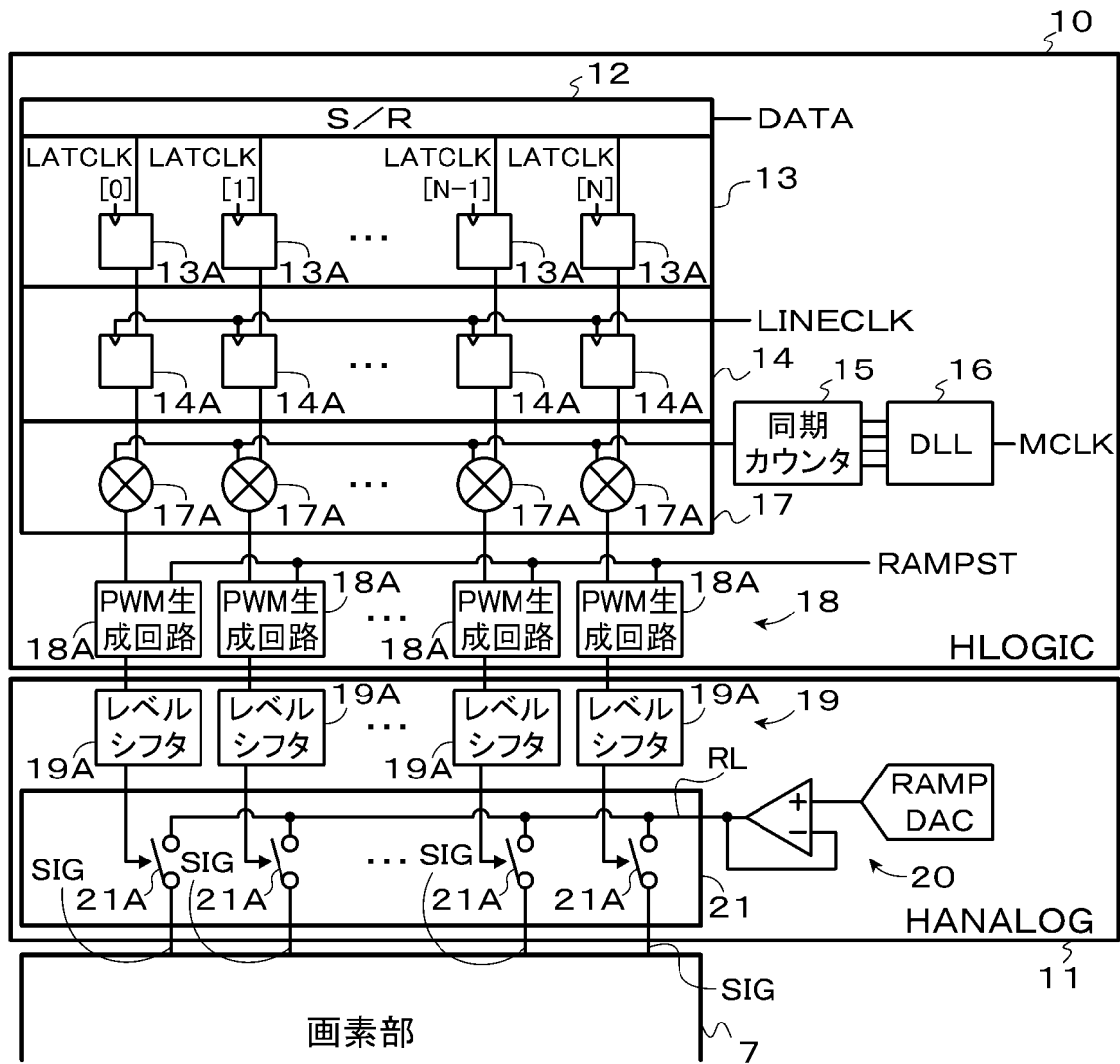
- [請求項12] 前記ランプ信号は、電圧レベルが低い側から高い側に変化するランプ波形を有する
請求項1に記載の表示装置。
- [請求項13] 前記補正電流源は、前記第2スイッチと前記ランプ配線との間に設けられ、
前記第2スイッチは、グランド（GND）と前記補正電流源との間に設けられている
請求項12に記載の表示装置。
- [請求項14] 前記補正電流源は、グランド（GND）と前記第2スイッチとの間に設けられ、
前記第2スイッチは、前記補正電流源と前記ランプ配線との間に設けられている
請求項12に記載の表示装置。
- [請求項15] 請求項1に記載の表示装置を有する電子機器。

图 1

[illegible]

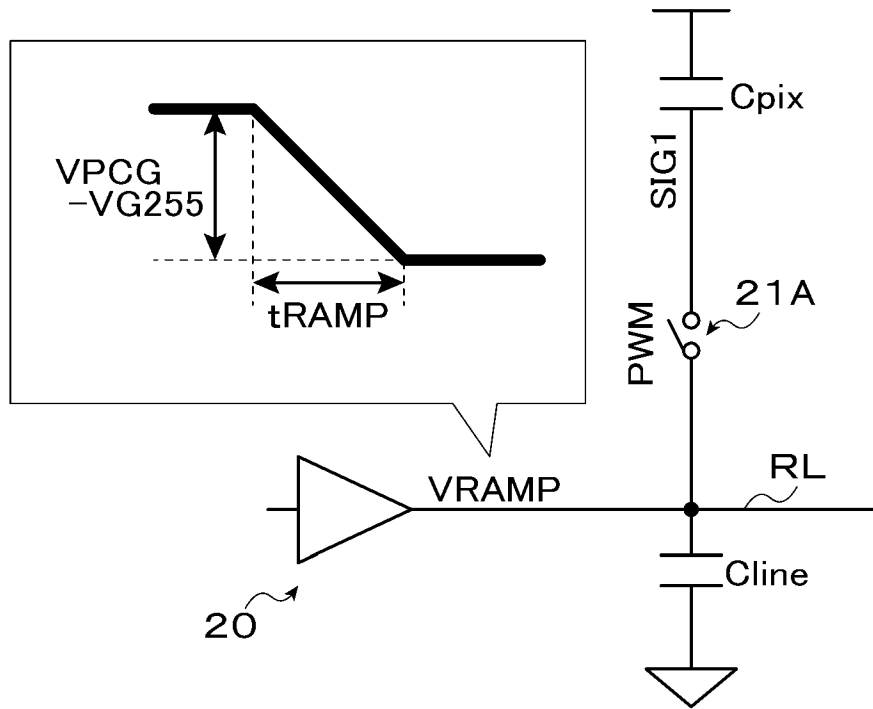
[図2]

図2



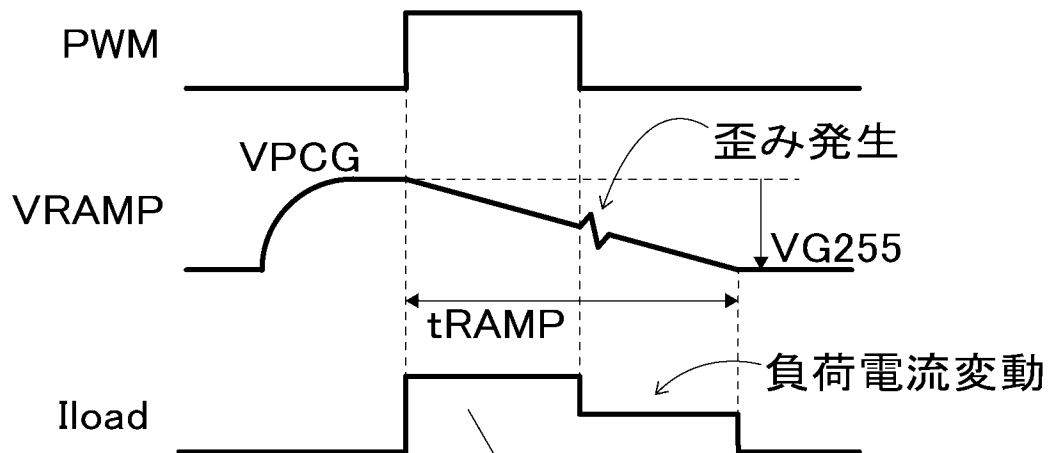
[図3]

図3



[図4]

図4

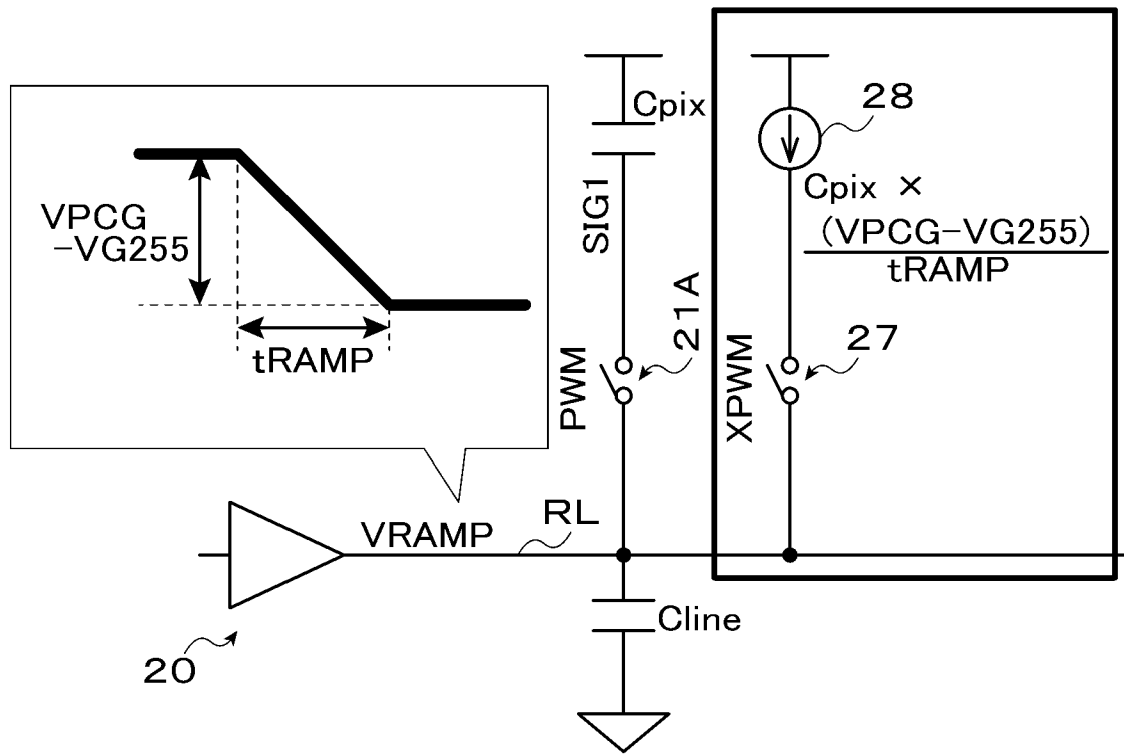


$$I_{load} = \frac{C_{load} \times (V_{PCG} - V_{G255})}{t_{RAMP}}$$

$$\begin{aligned} C_{load} &= C_{line} + C_{pix}@PWM=H \\ &= C_{line}@PWM=H \end{aligned}$$

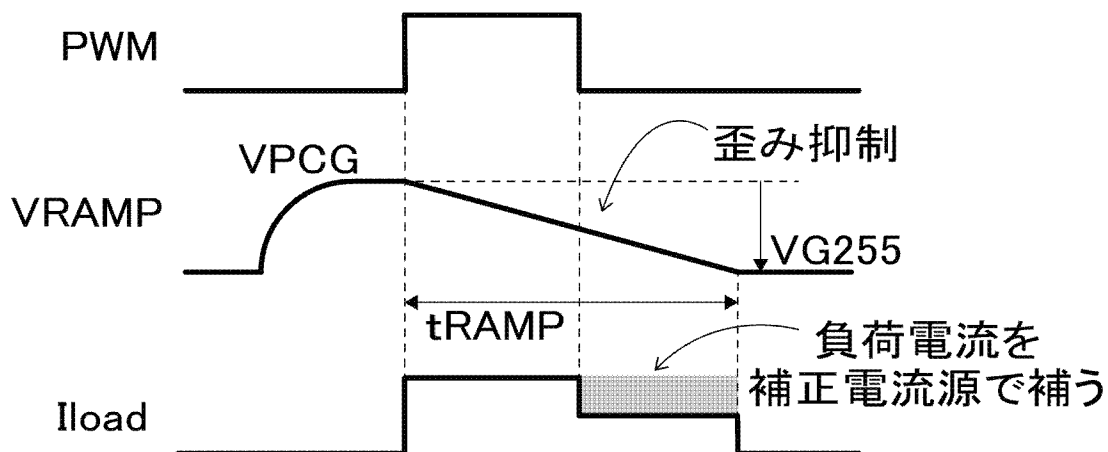
[図5]

図5



[図6]

図6



[図7]

図7

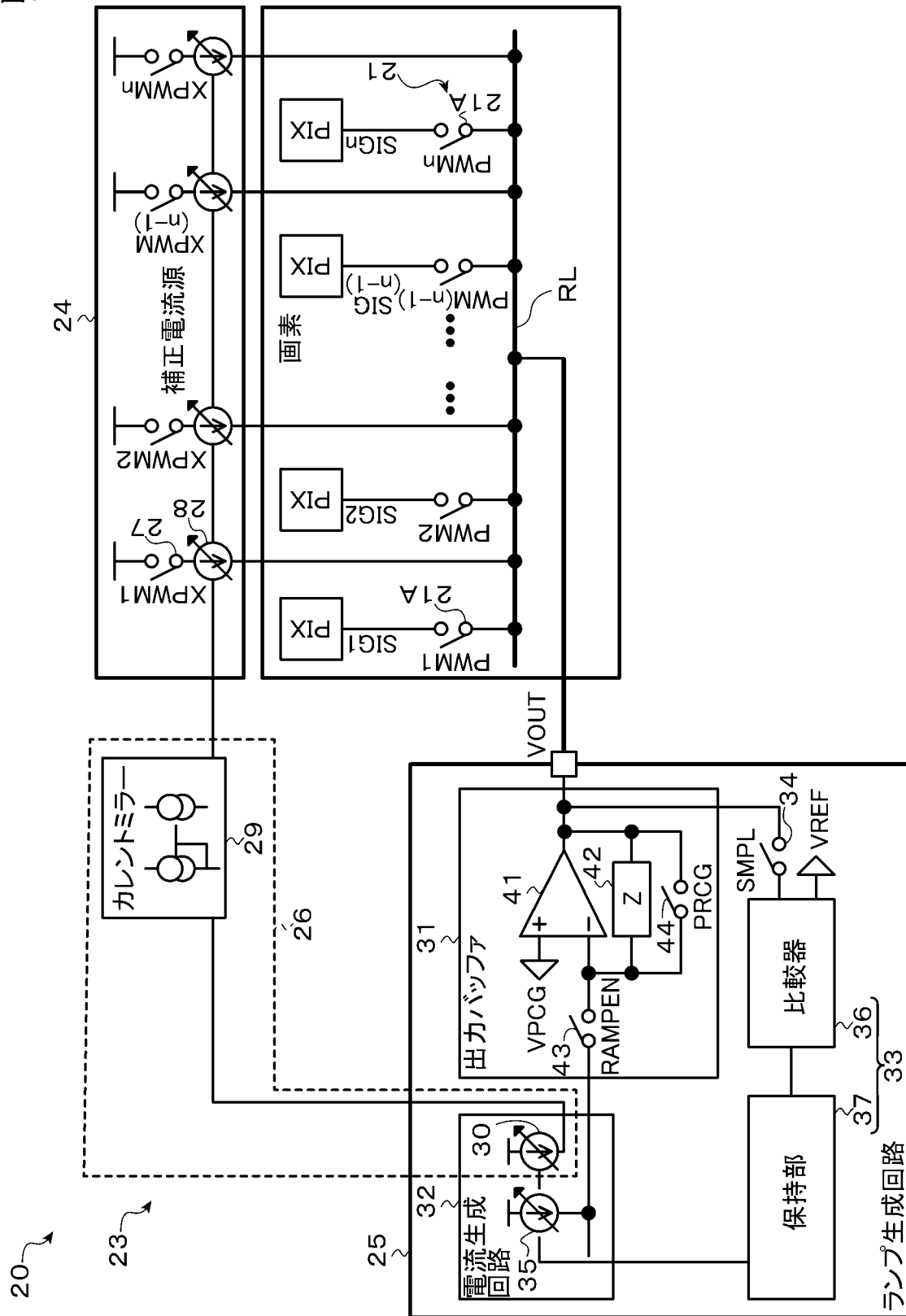
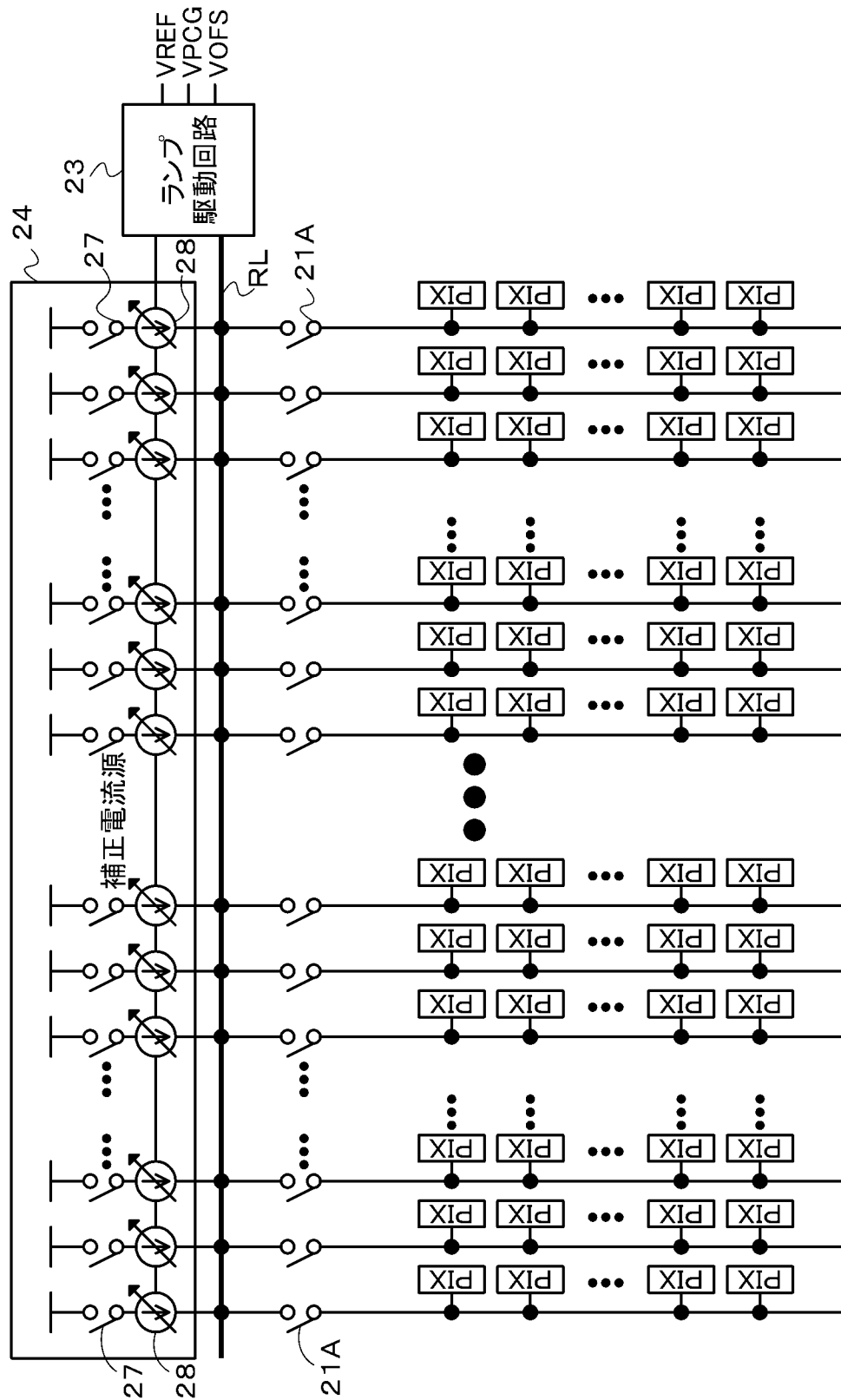
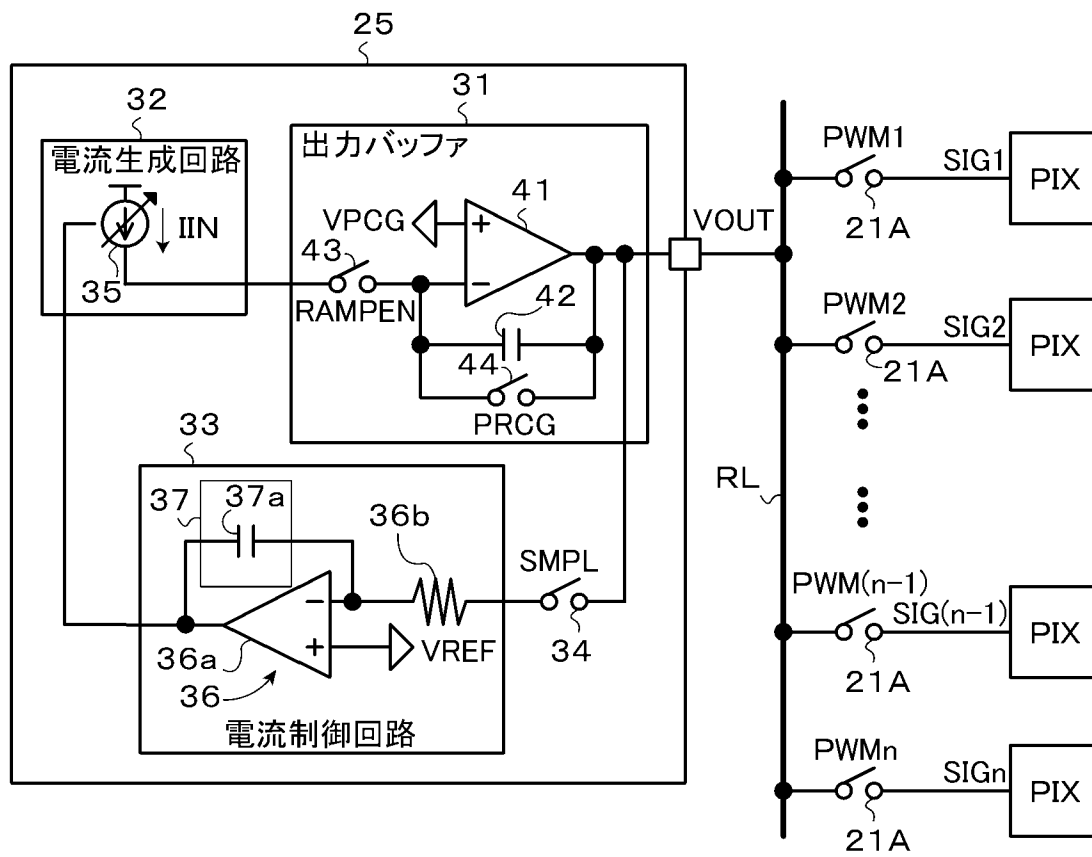


图 8



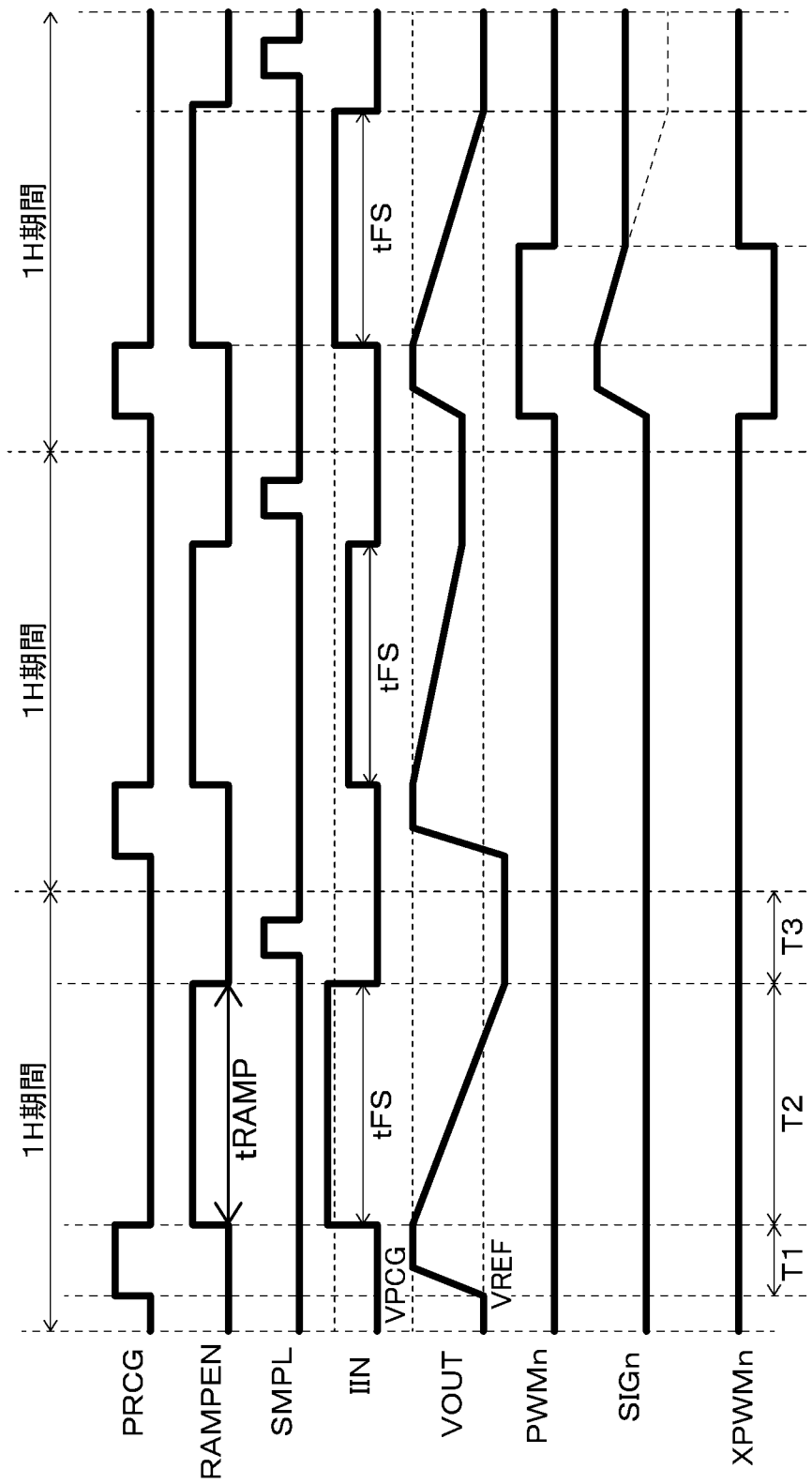
[図9]

図9



[図10]

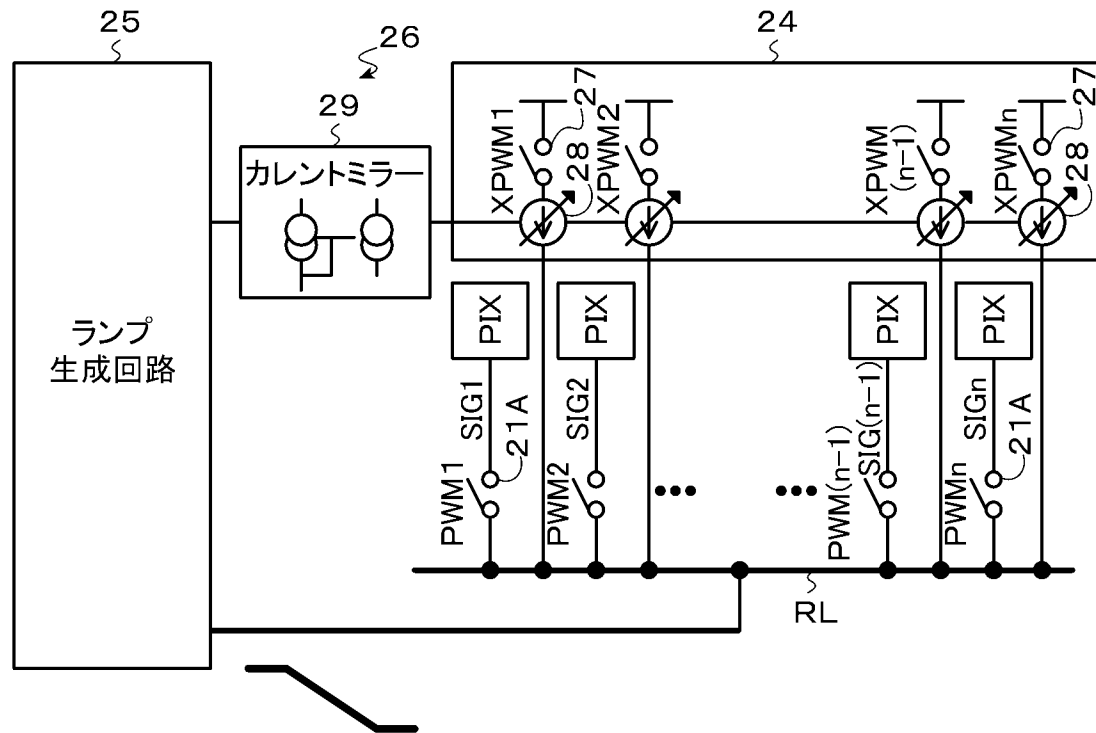
図10



[図11]

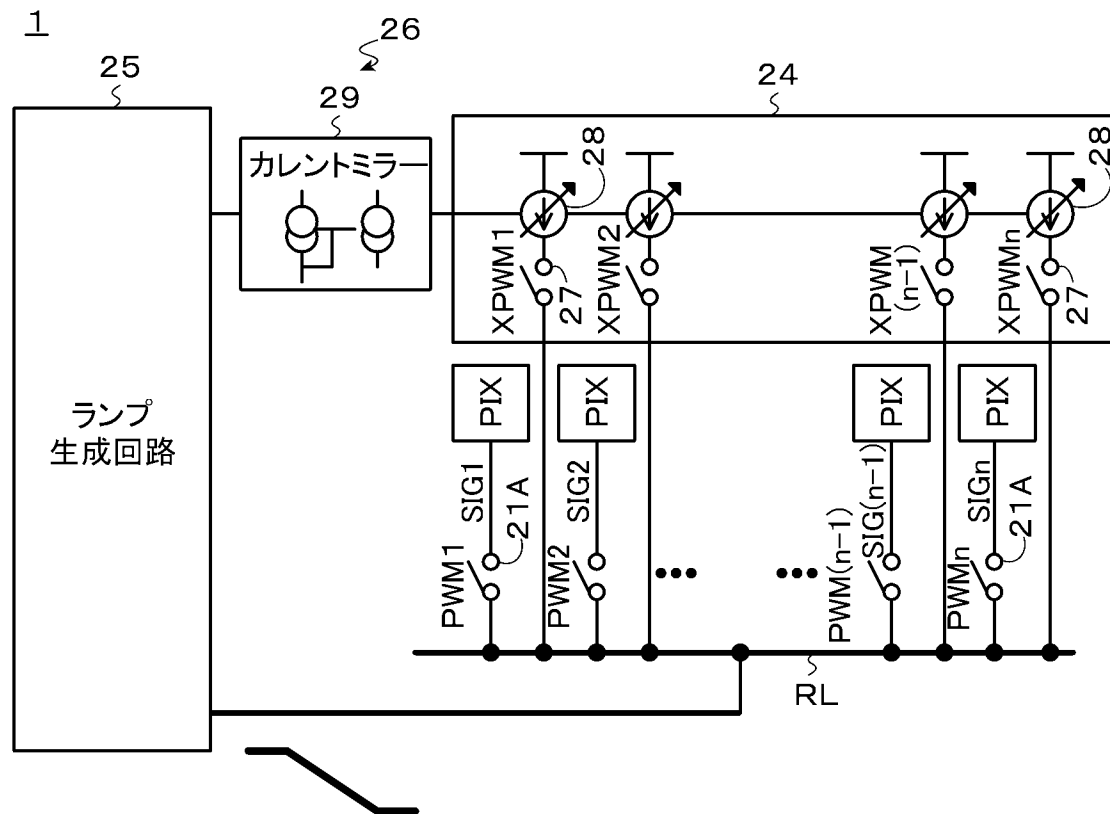
図11

1



[図12]

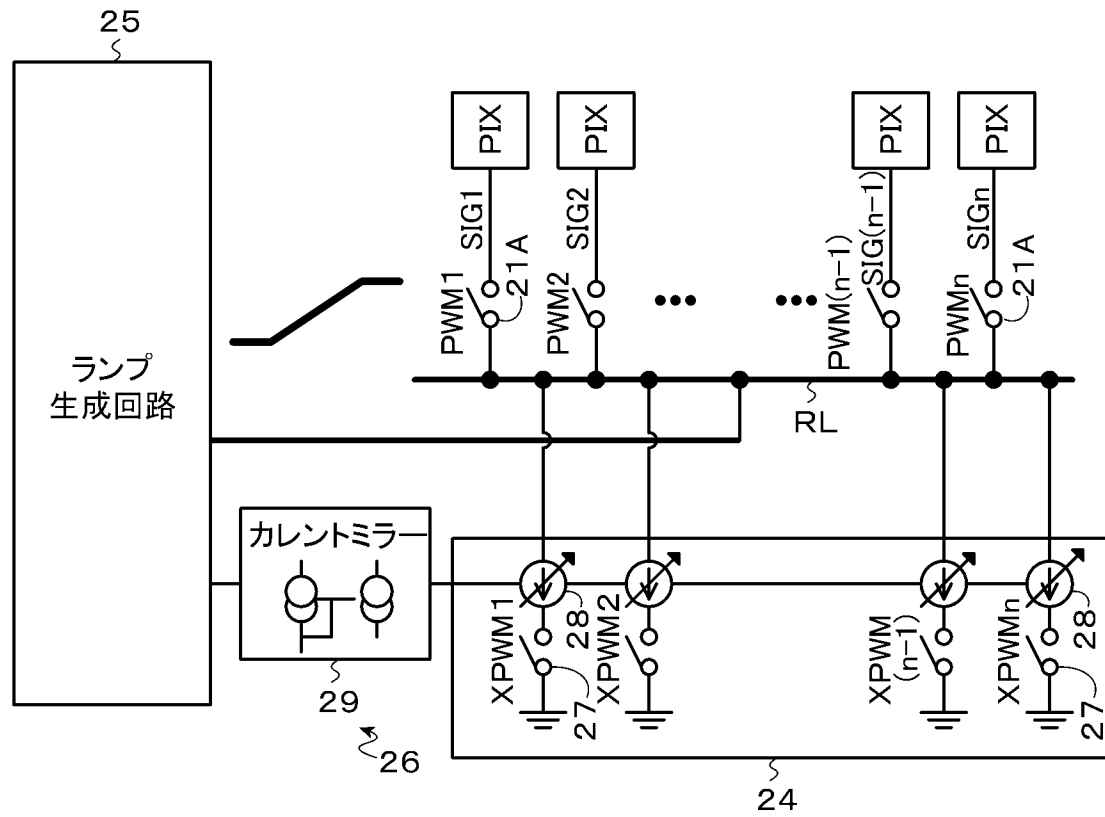
図12



[図13]

図13

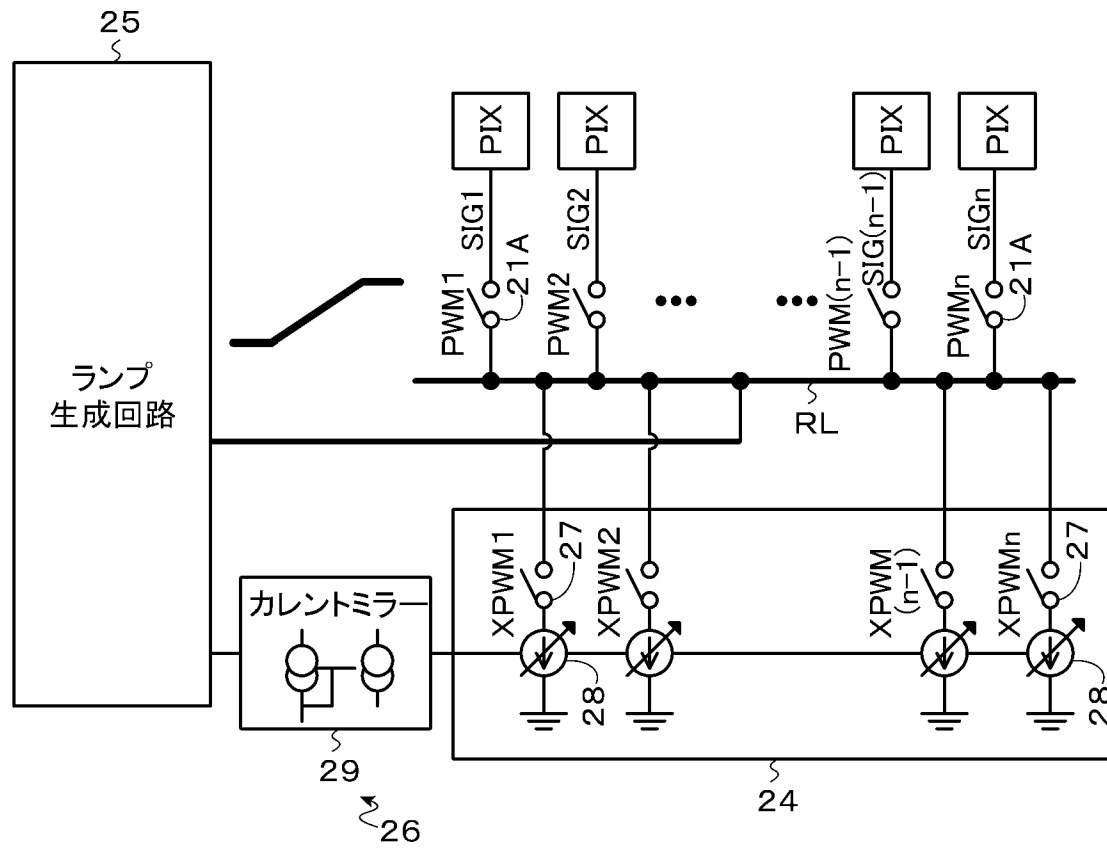
1



[図14]

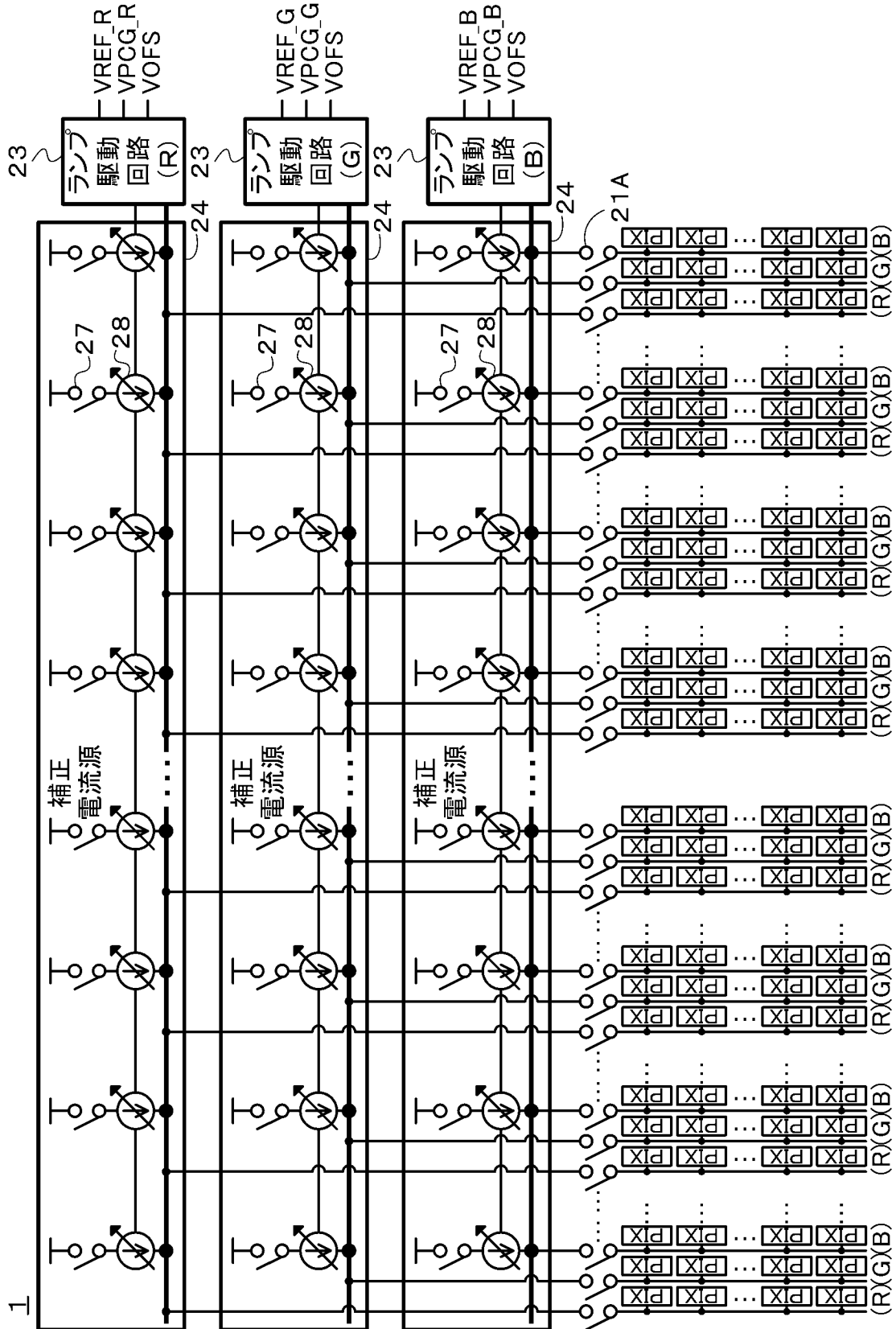
図14

1



[図15]

図15



[図17]

図17

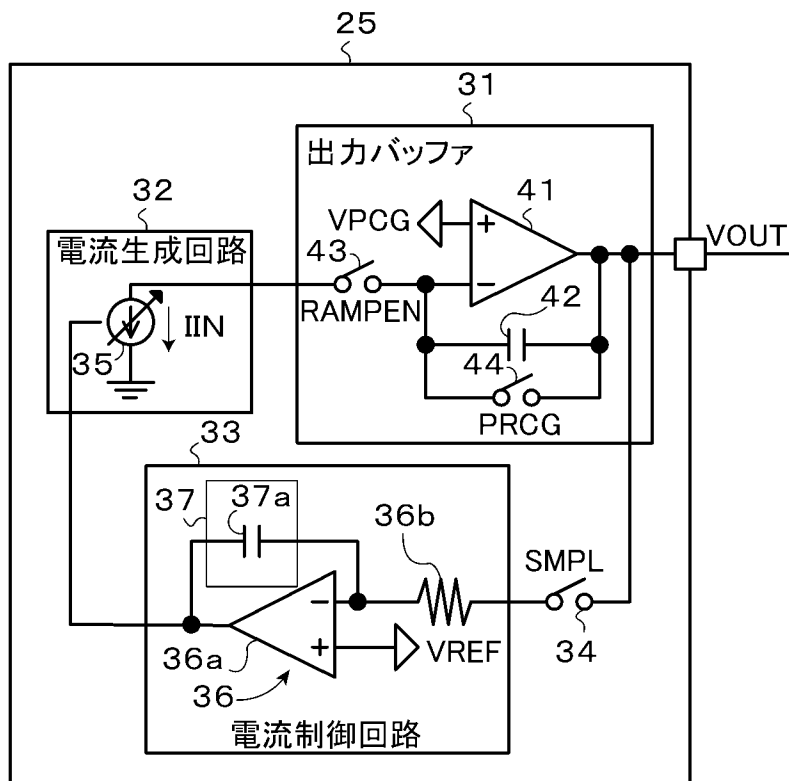


图 18

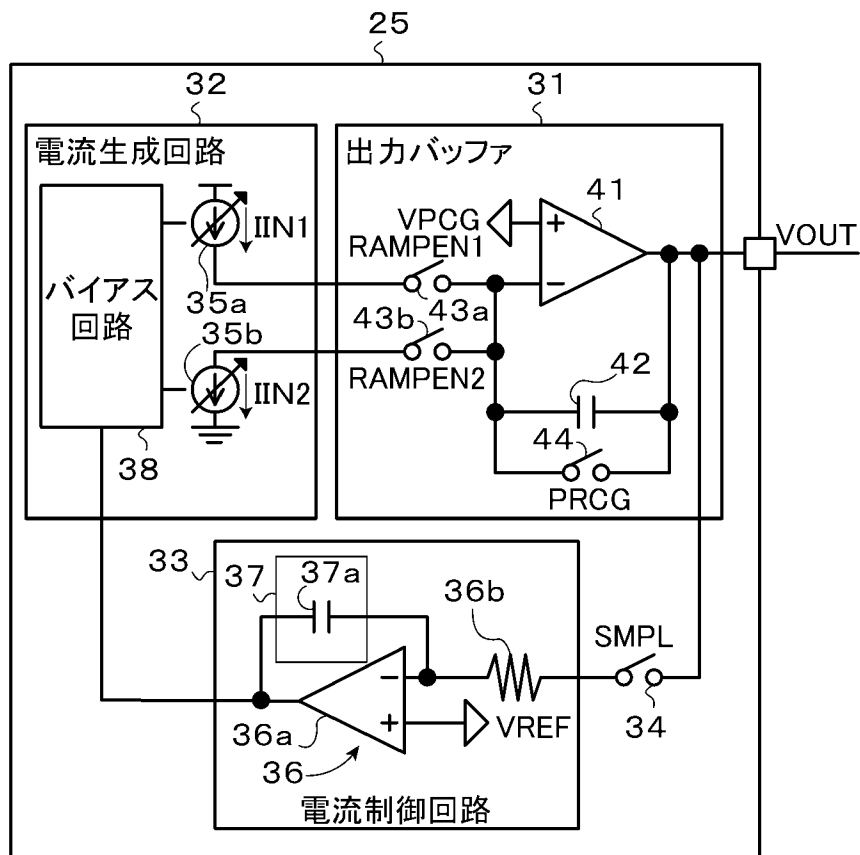
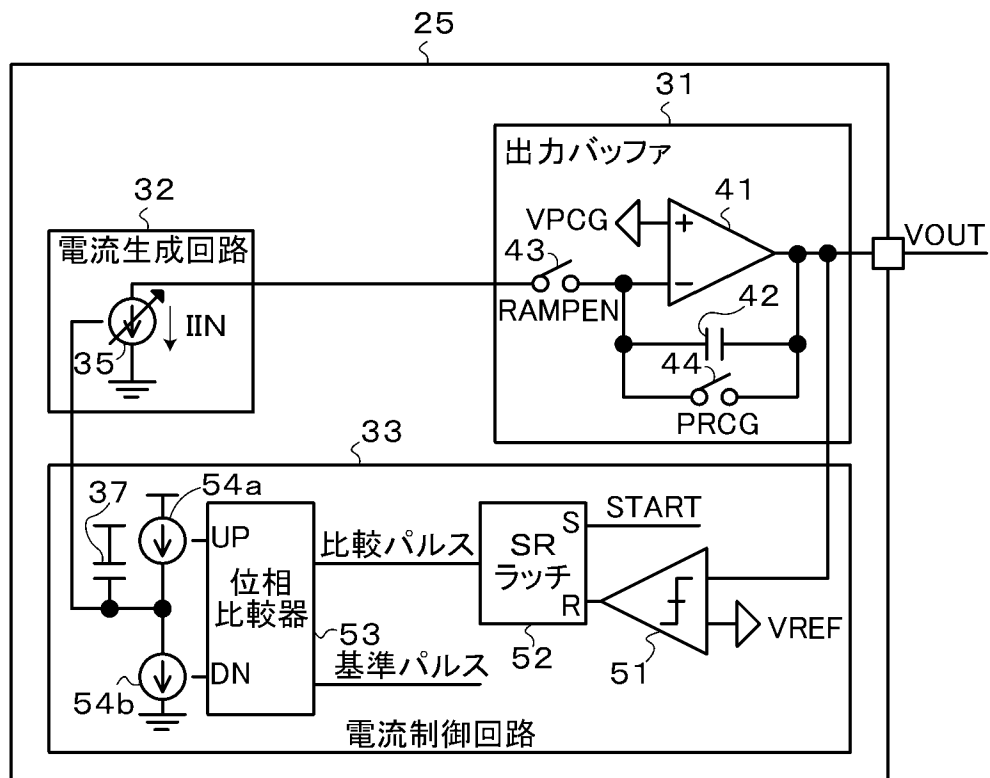
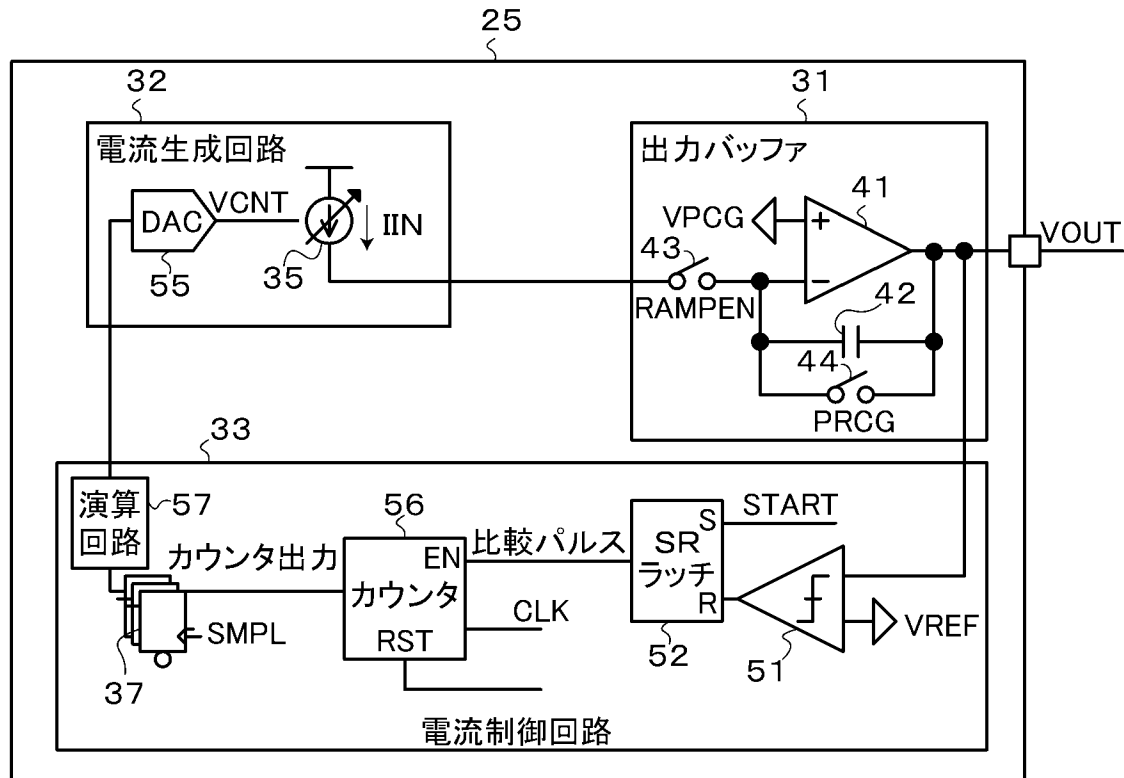


图 19

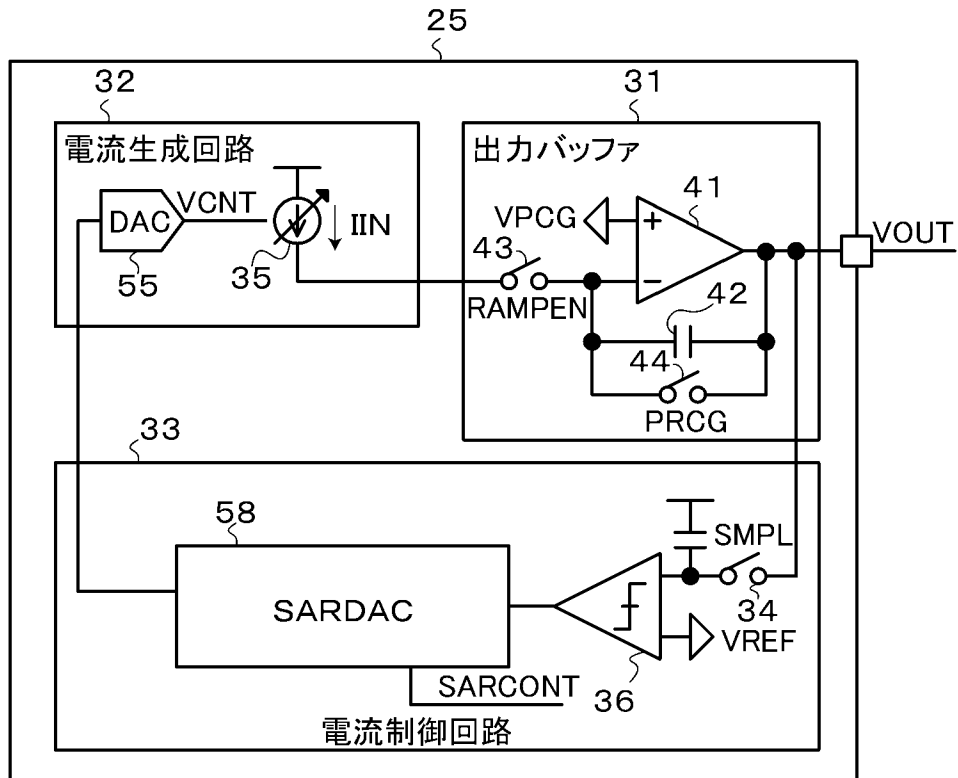


[図20]
図20



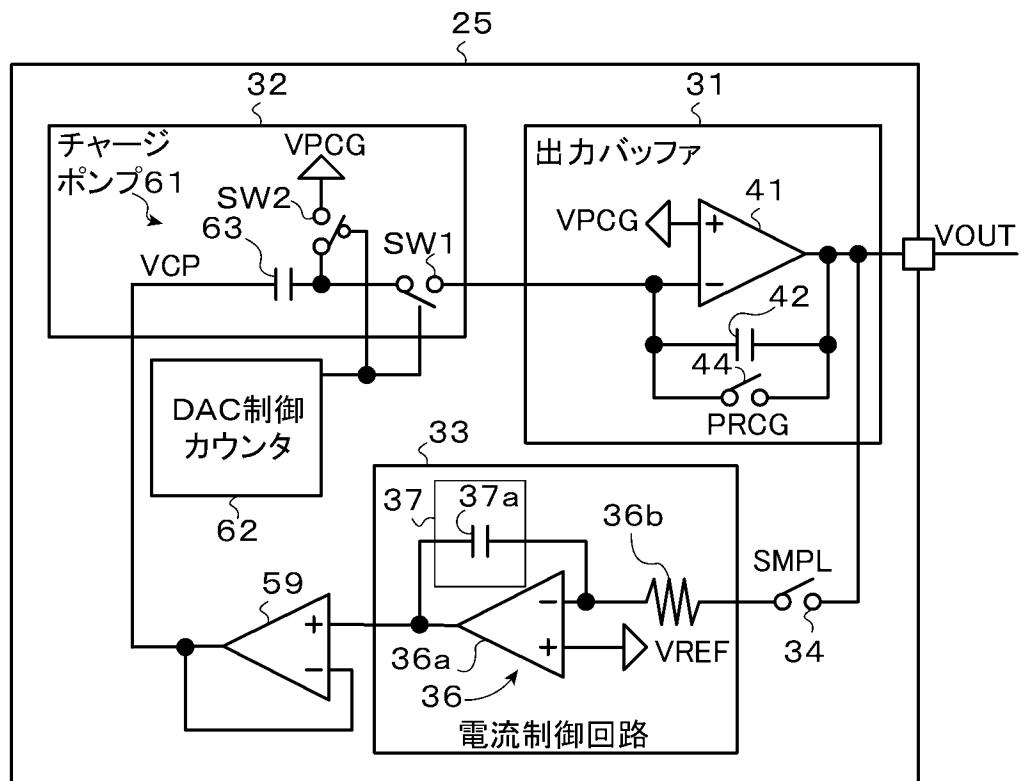
[図21]

図21



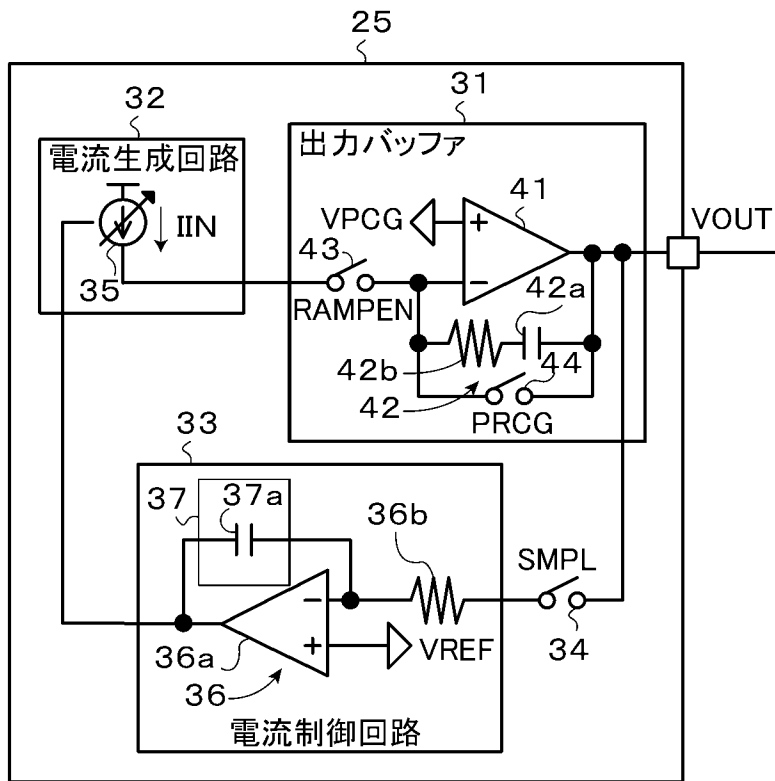
[図22]

図22



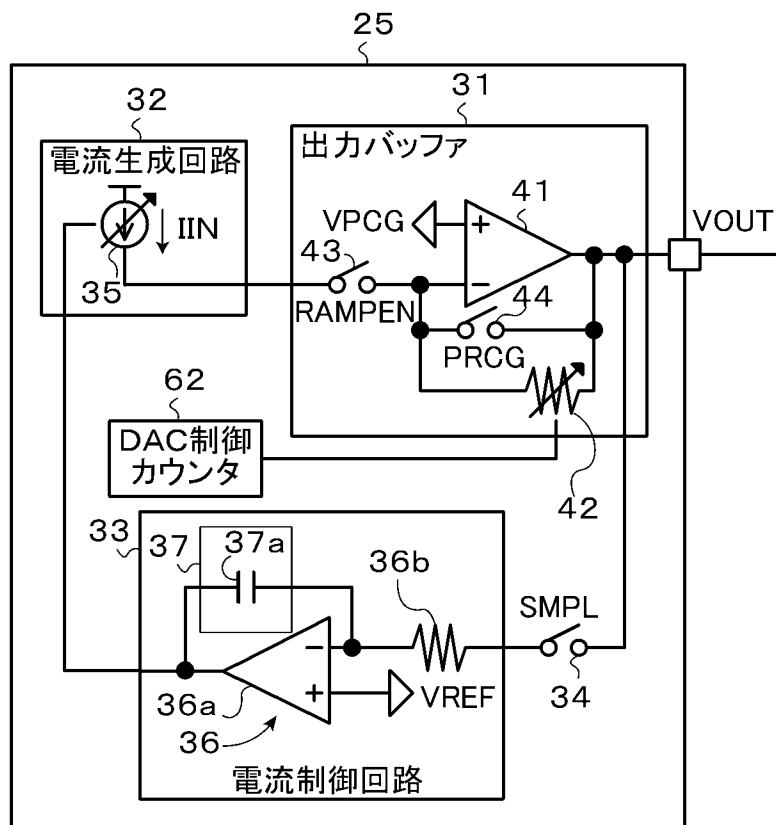
[図23]

図23



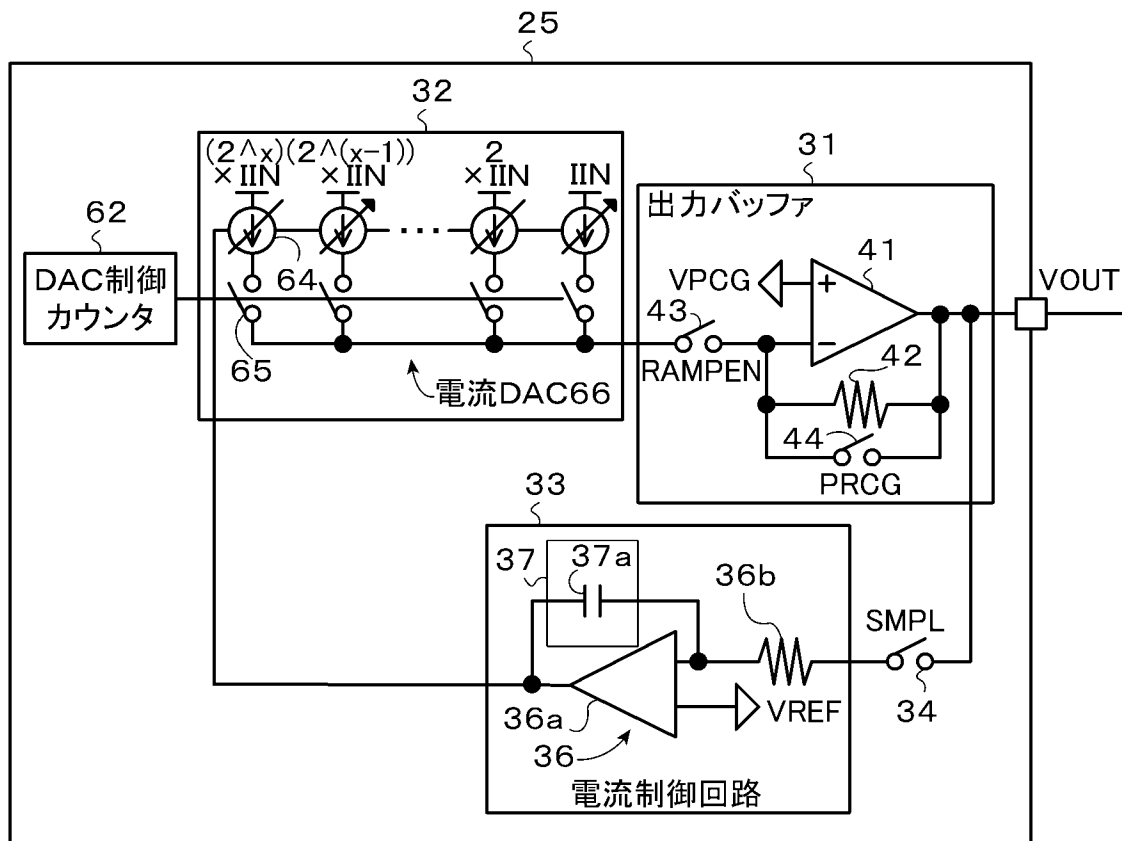
[図24]

図24



[図25]

図25



25

69

32

31

設定保持レジスタ

電流制御回路

出力バッファ

DAC

55

35

IIN

VPCG

43

RAMPEN

41

42

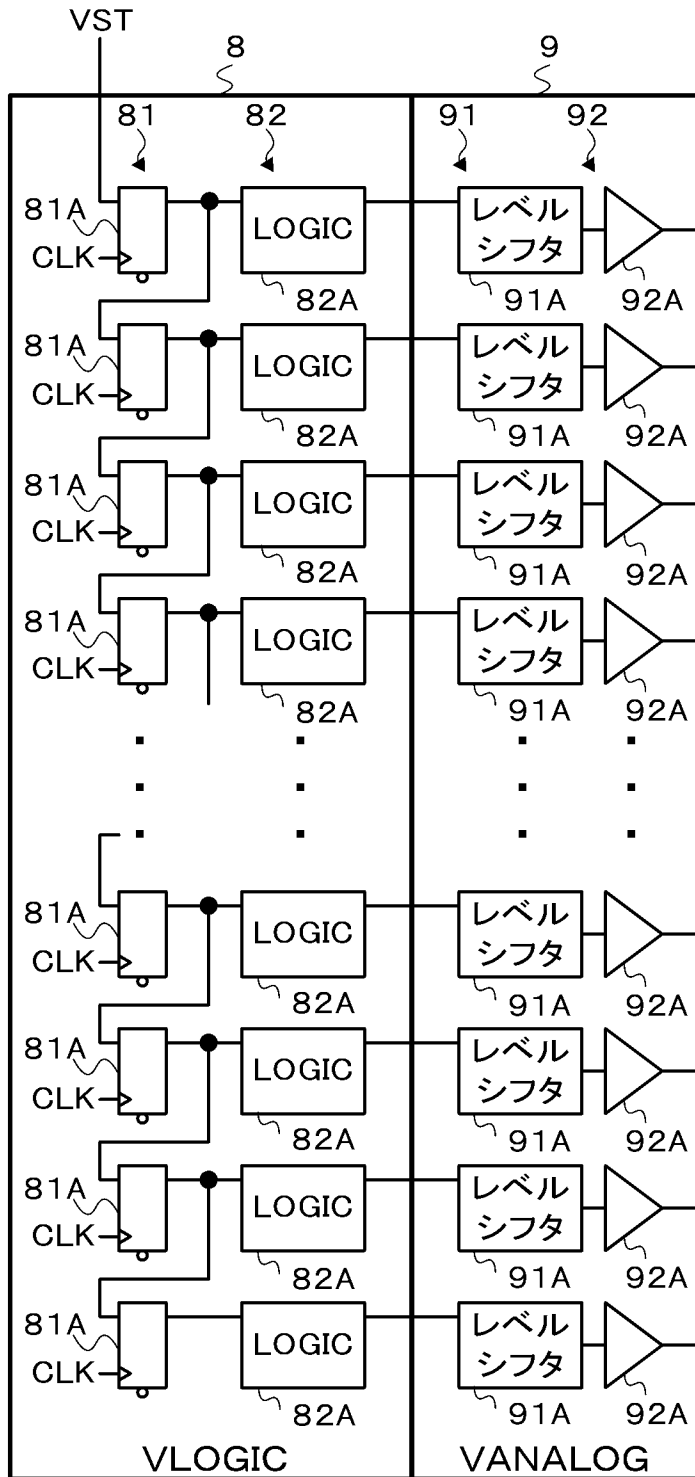
44

PRCG

VOUT

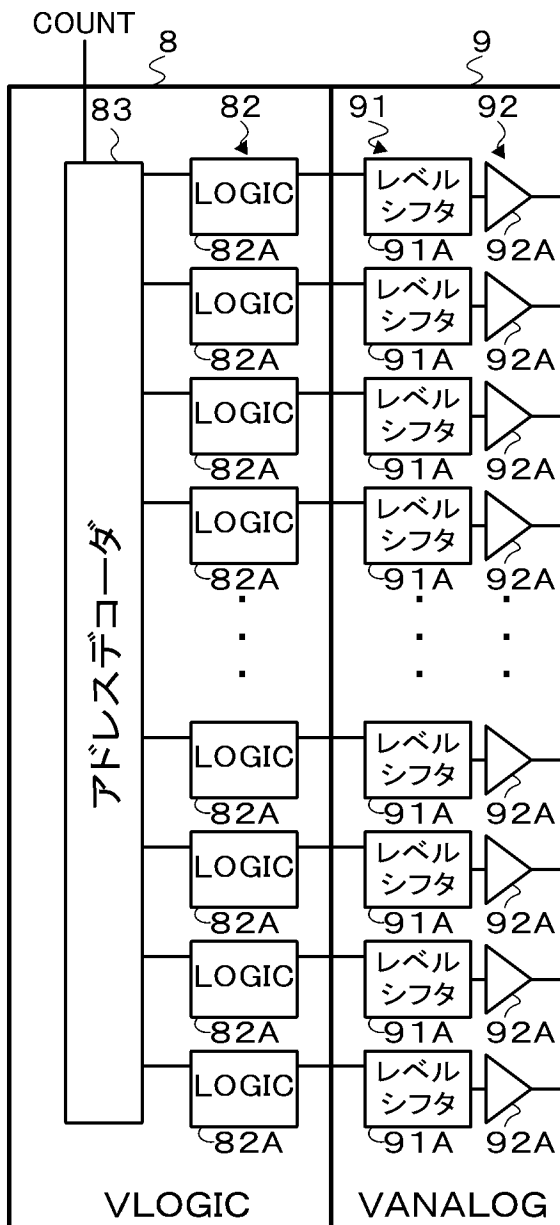
[図28]

図28



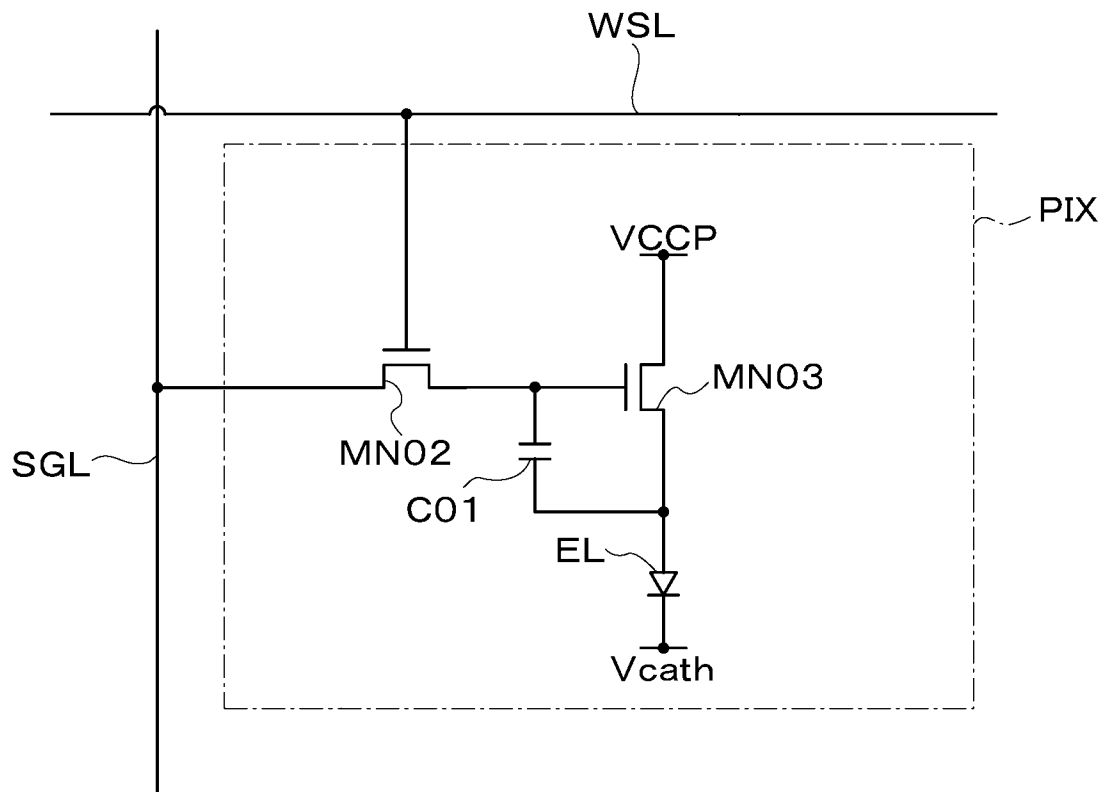
[図29]

図29



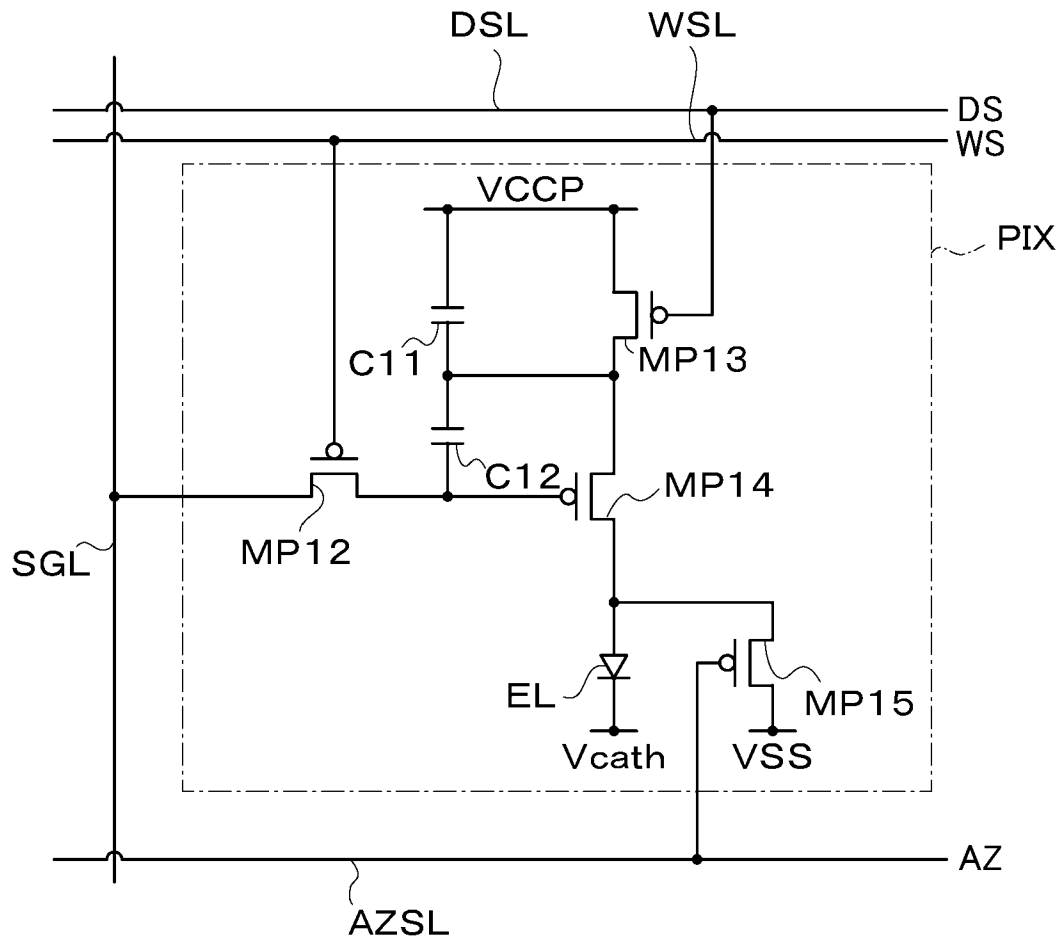
[図30]

図30



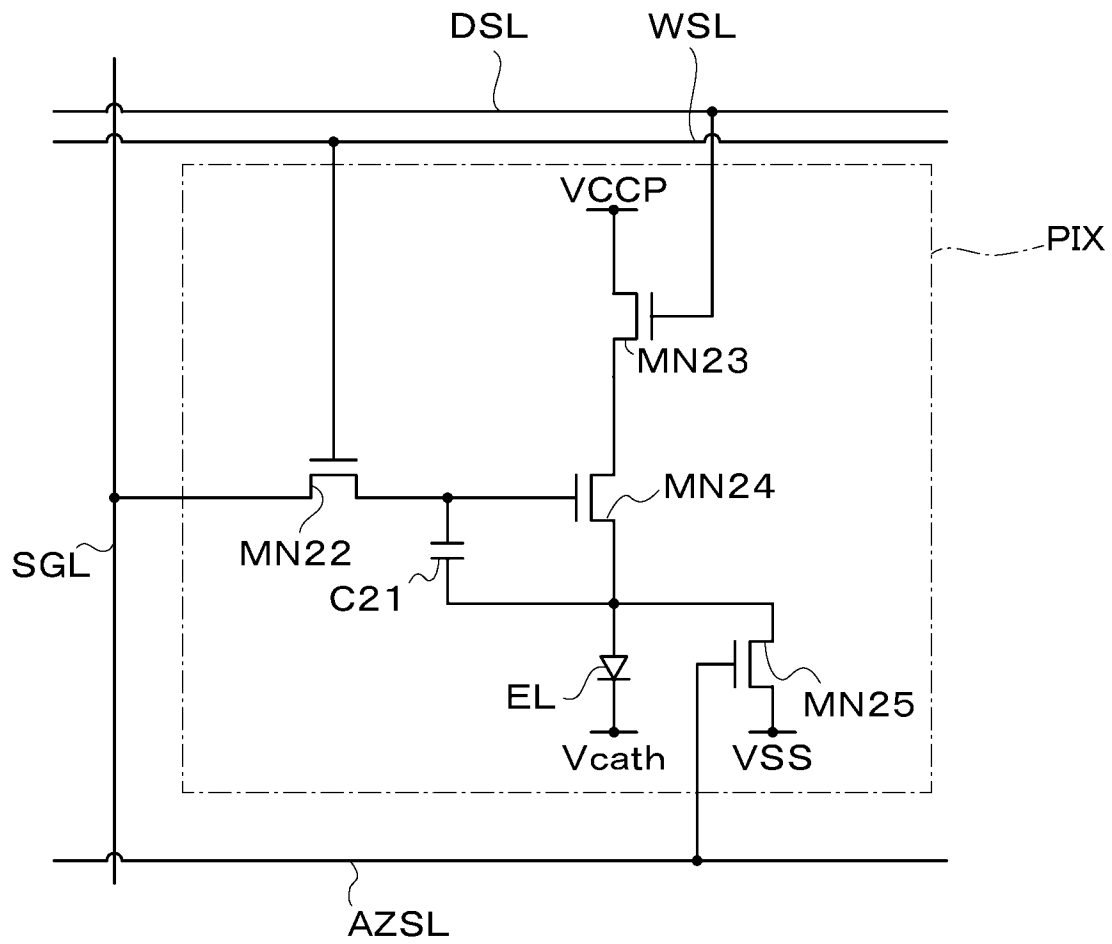
[図31]

図31



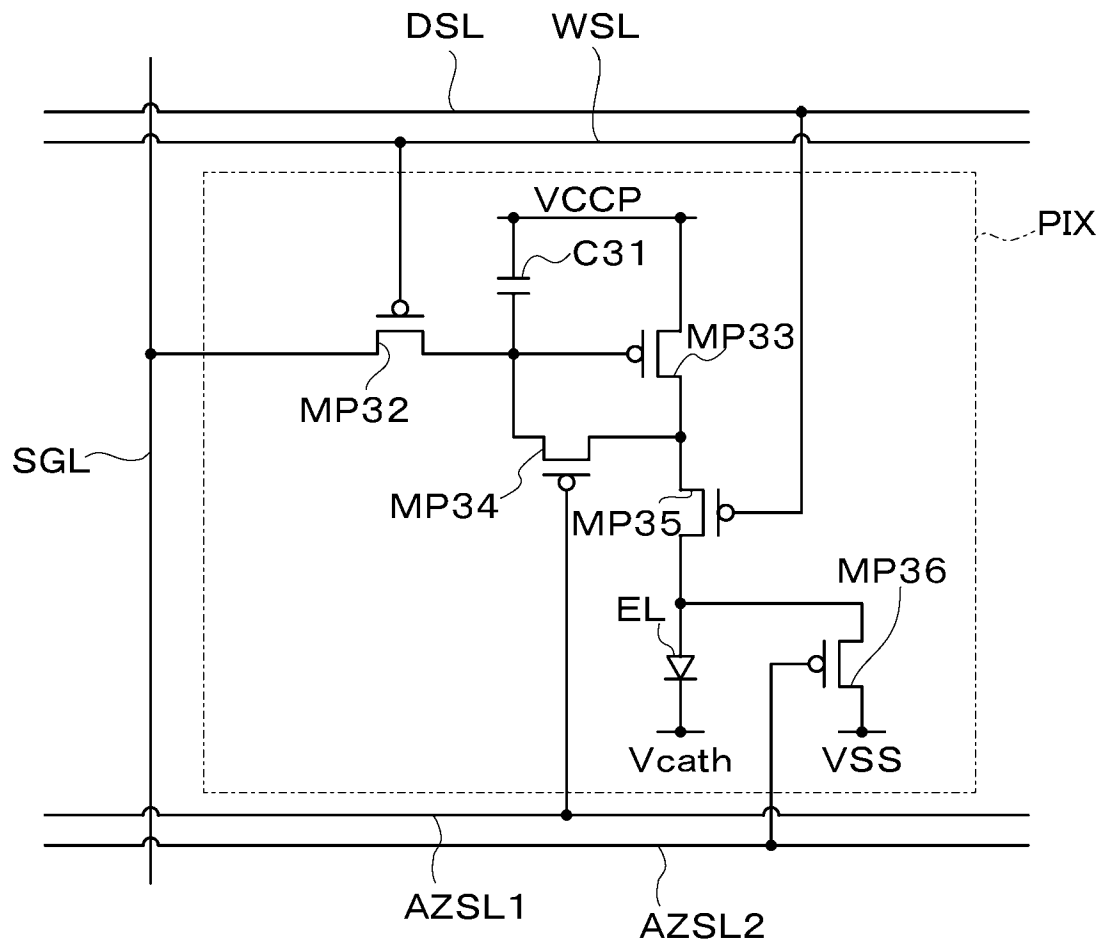
[図32]

図32



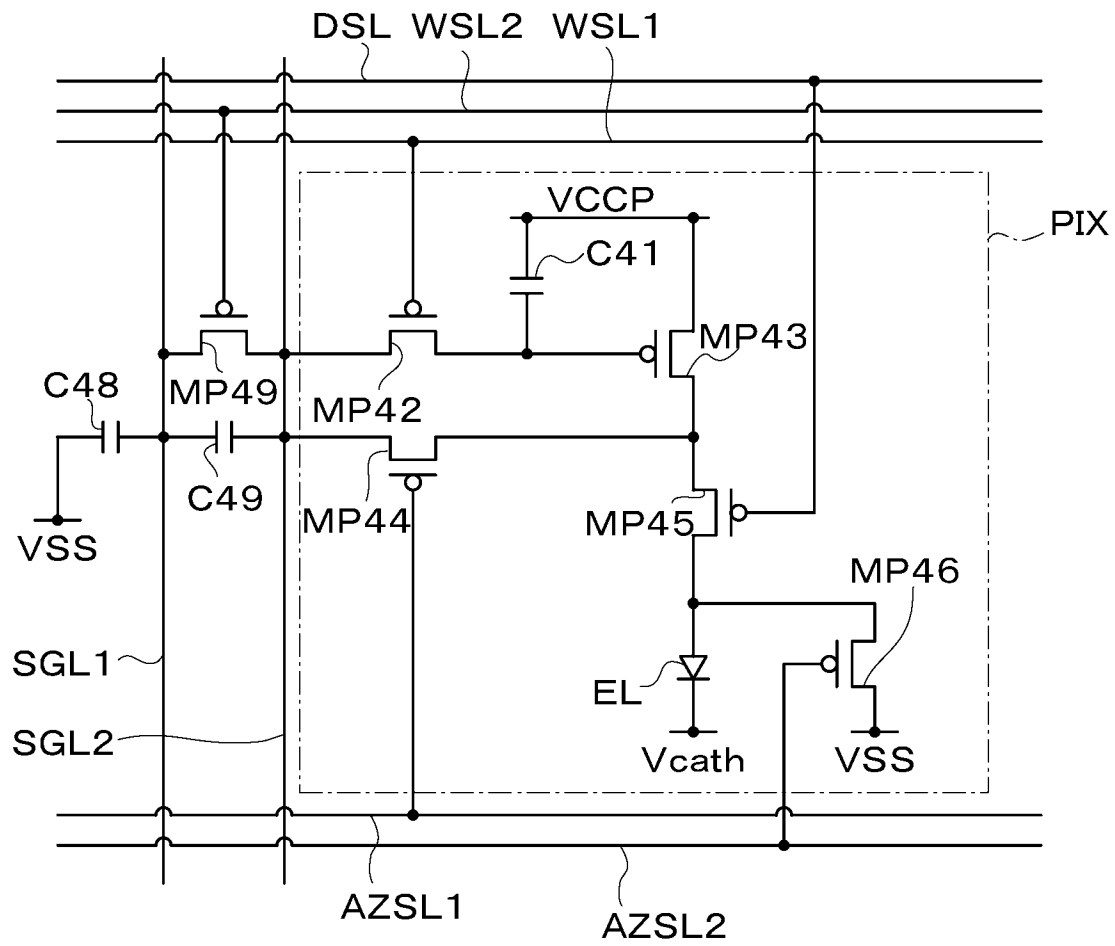
[図33]

図33



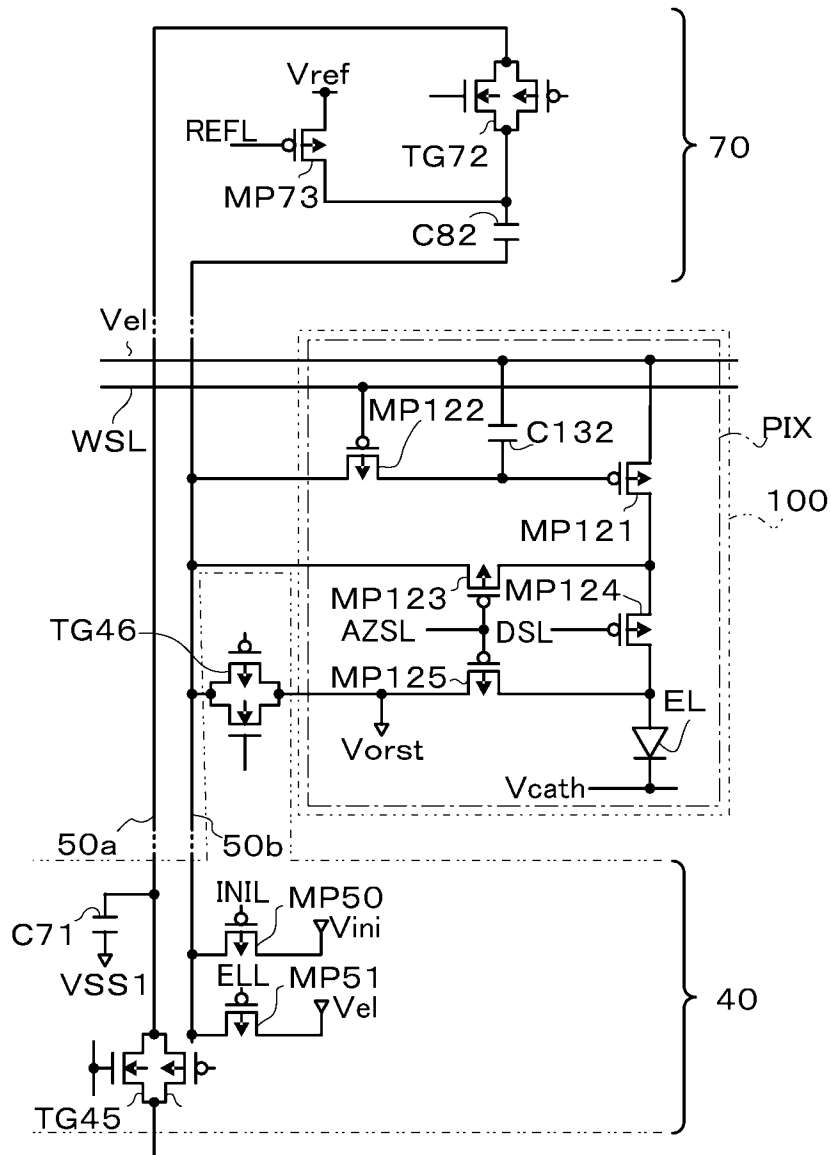
[図34]

図34



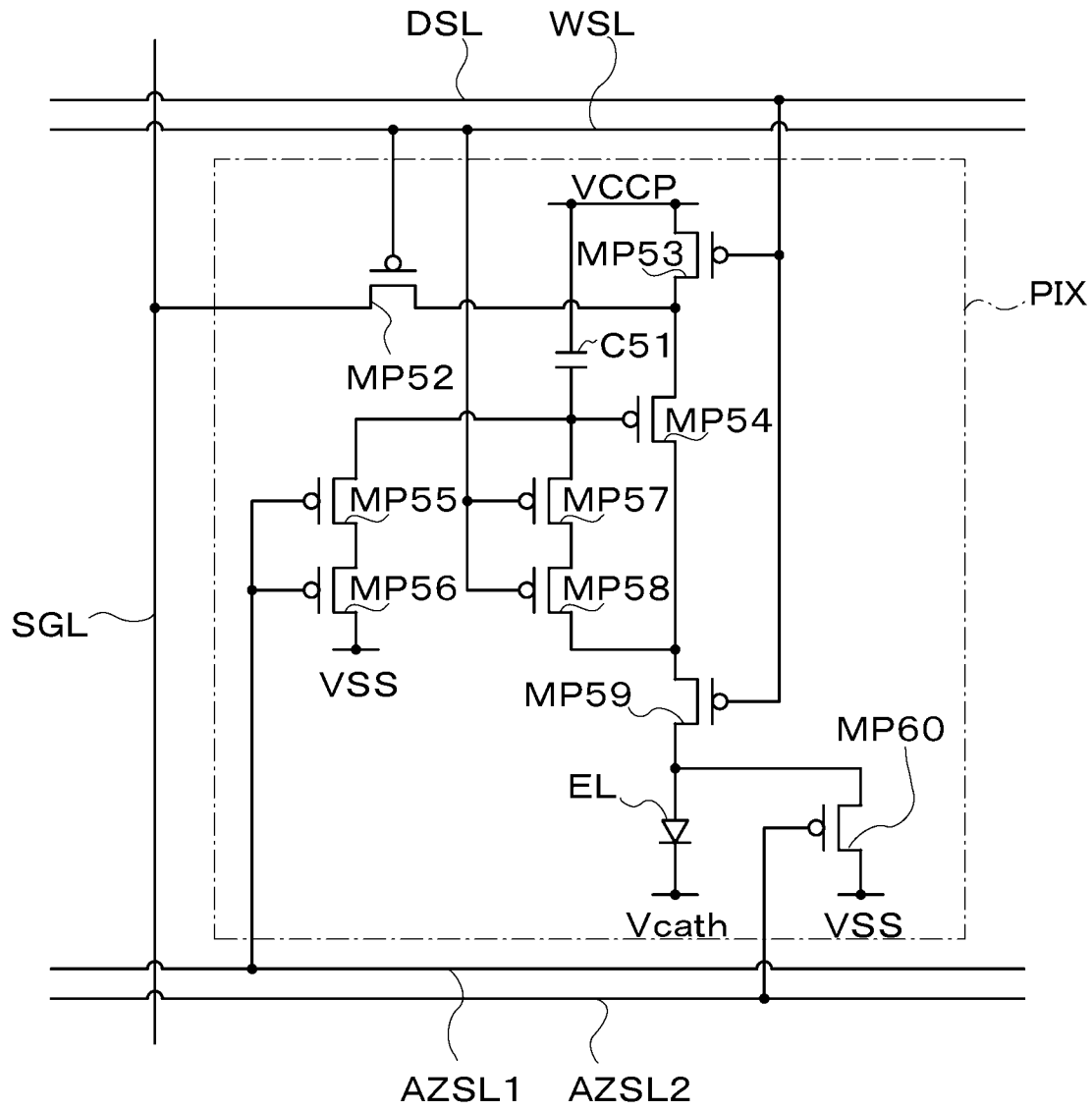
[図35]

図35



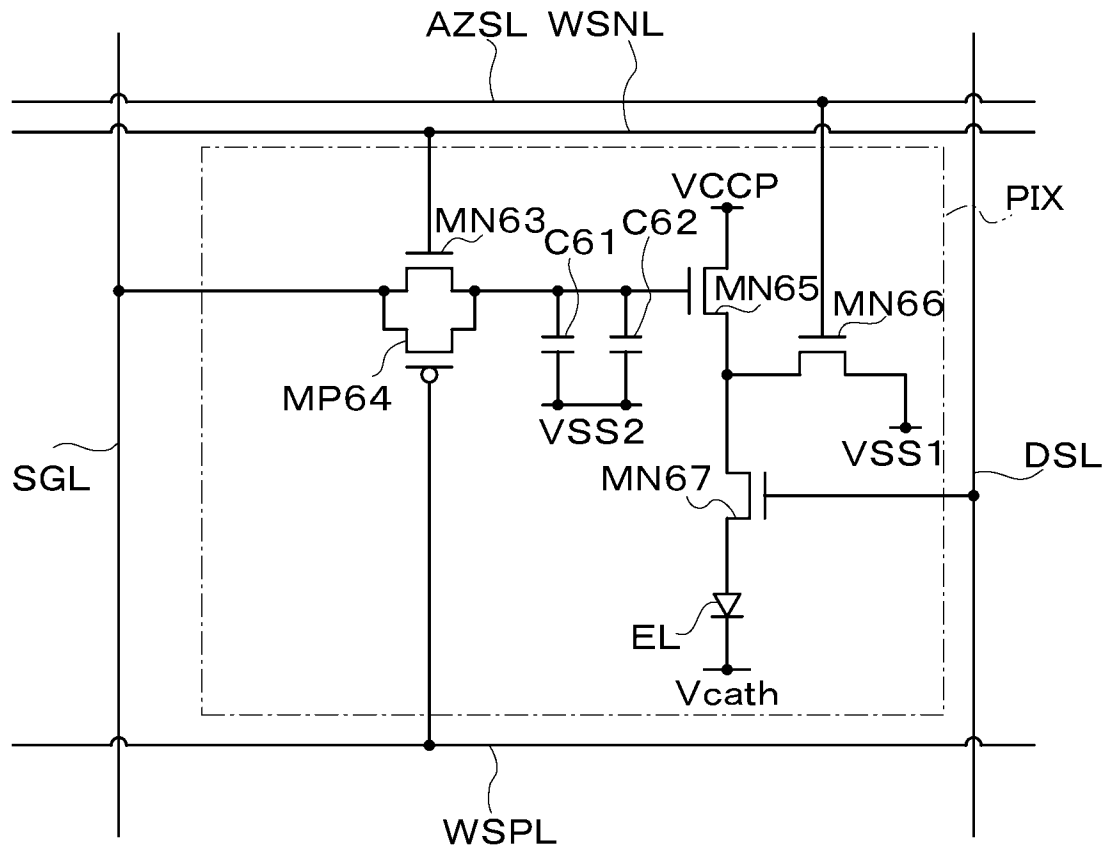
[図36]

図36



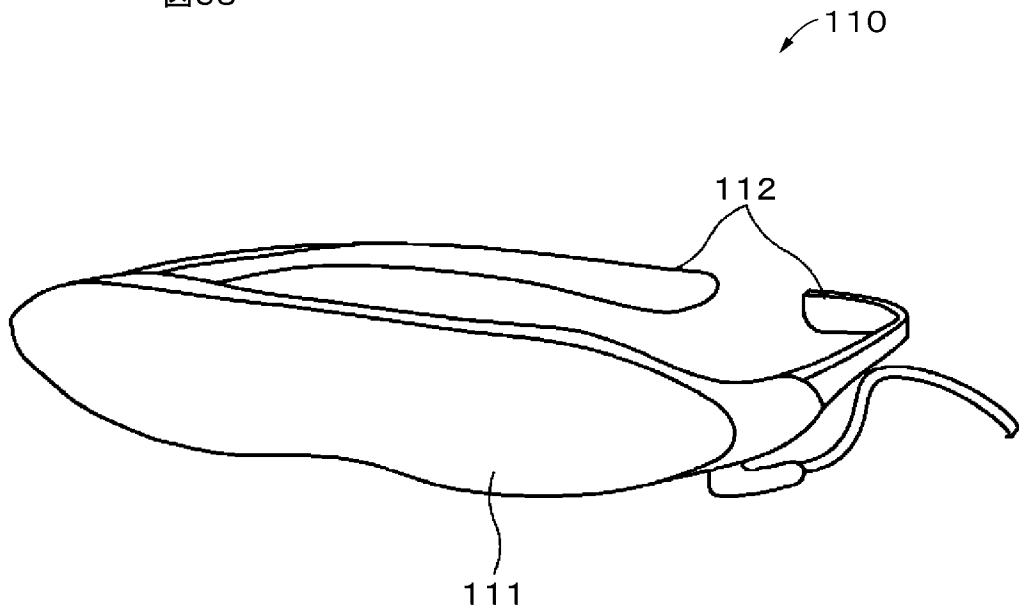
[図37]

図37



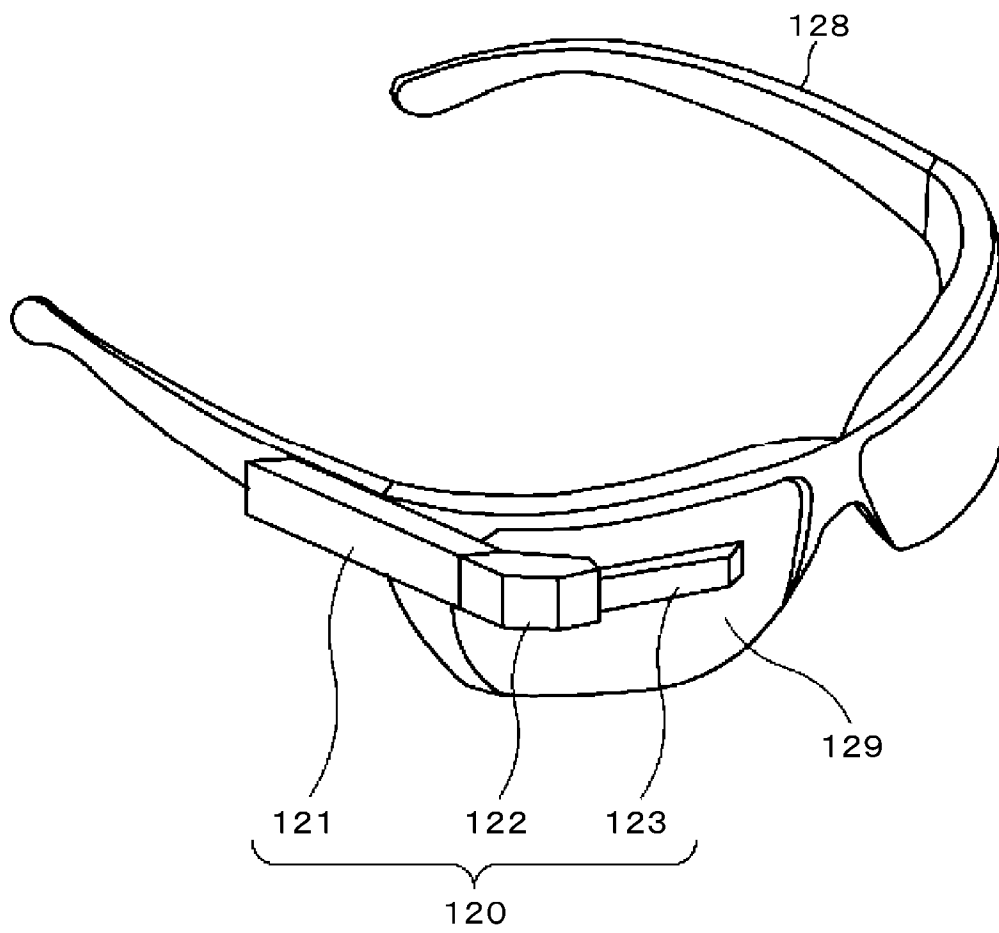
[図38]

図38



[図39]

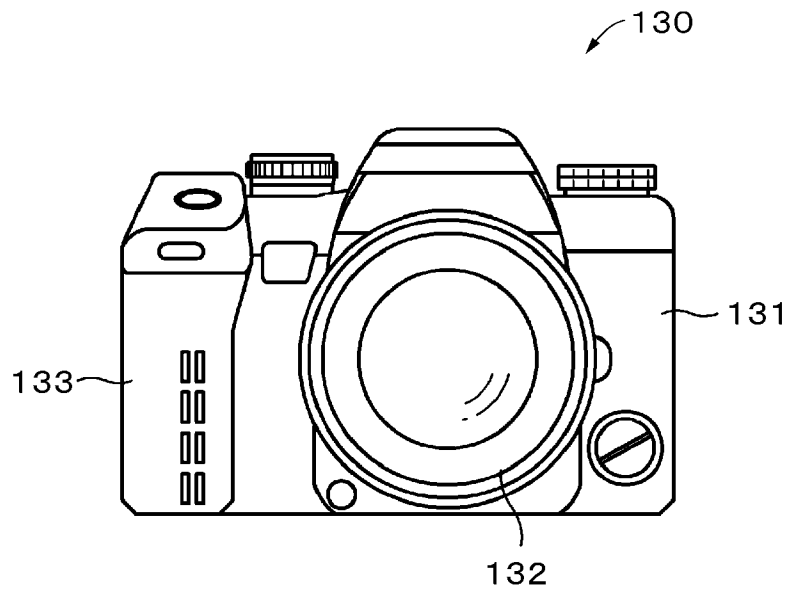
図39



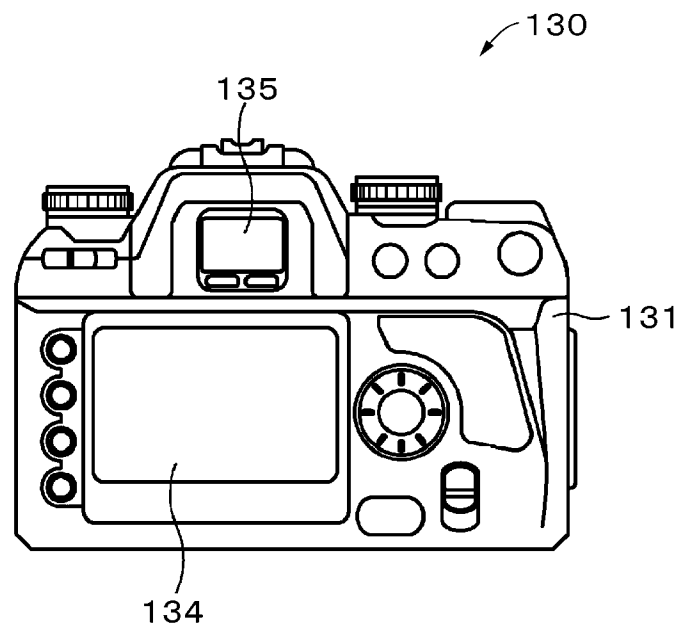
[図40]

図40

A

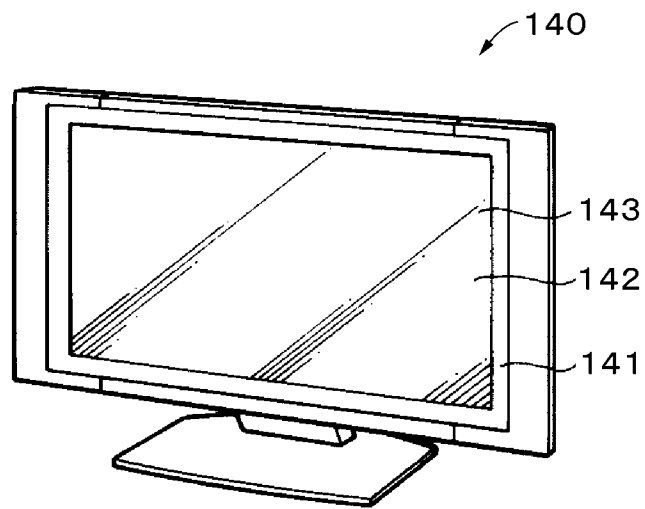


B



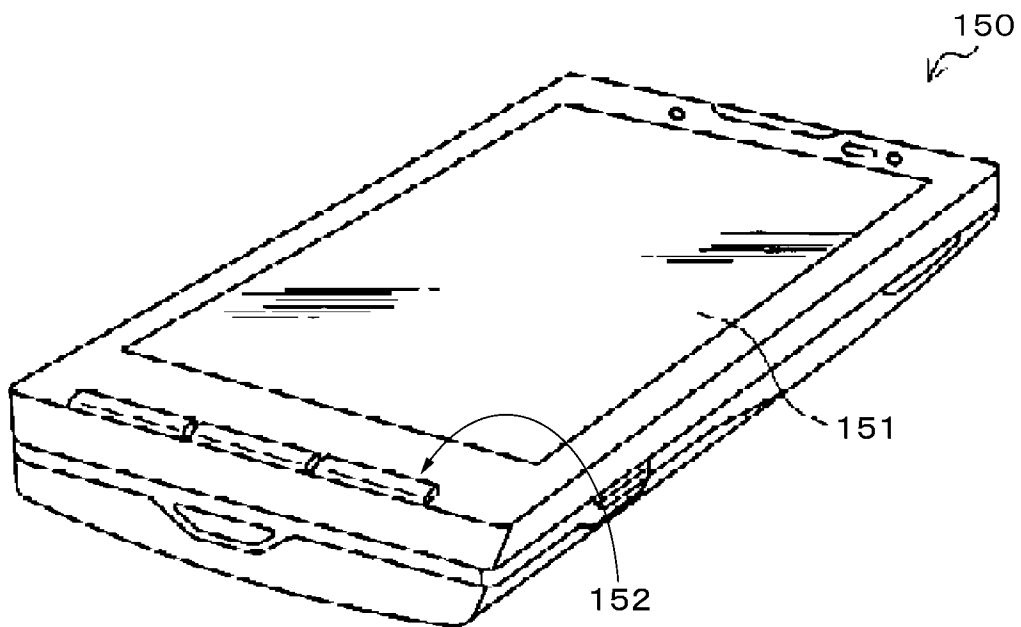
[図41]

図41

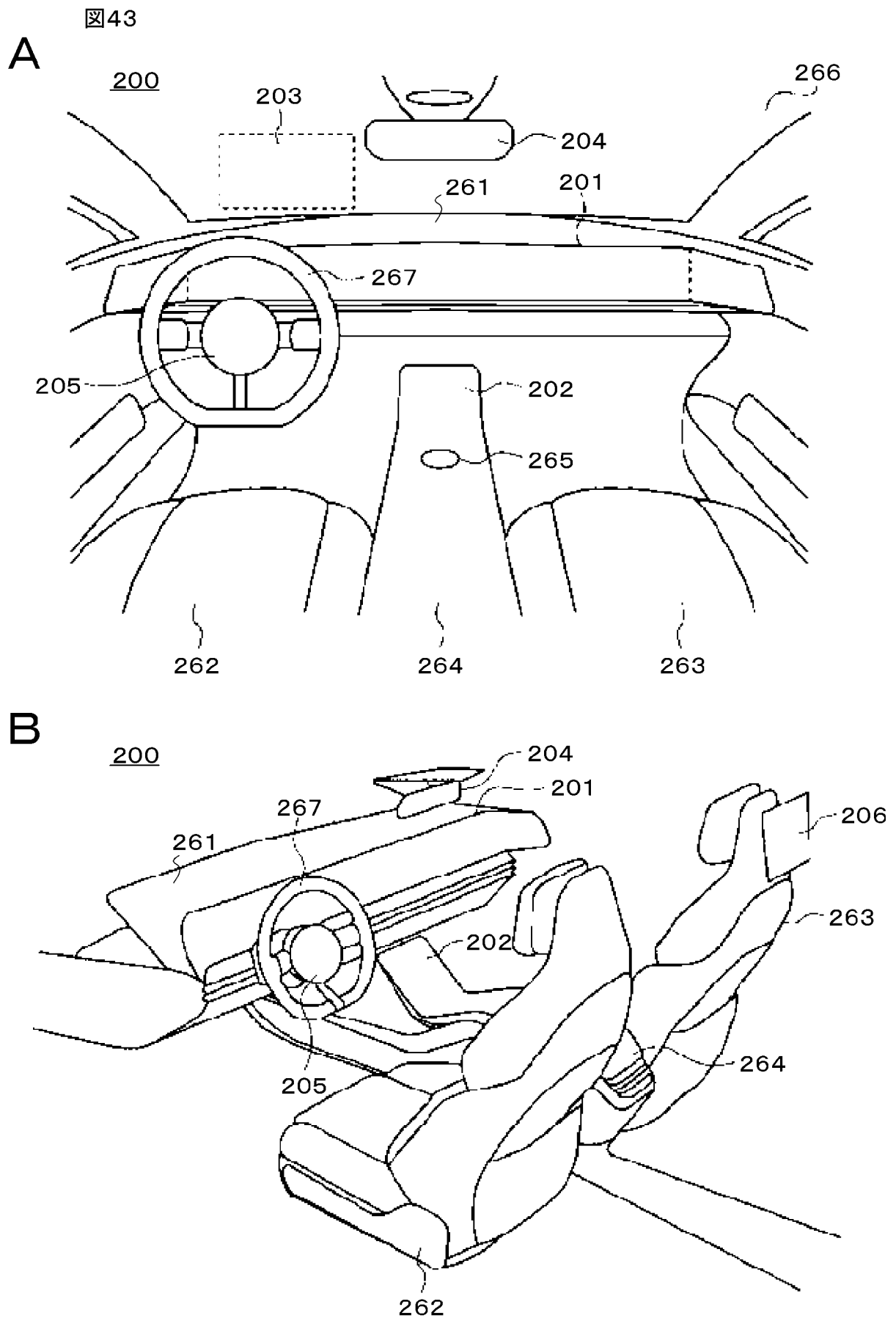


[図42]

図42



[図43]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/029616

A. CLASSIFICATION OF SUBJECT MATTER**G09G 3/3291**(2016.01)i; **G09G 3/20**(2006.01)i; **G09G 3/3233**(2016.01)i

FI: G09G3/3291; G09G3/20 611D; G09G3/20 641P; G09G3/20 642P; G09G3/20 611A; G09G3/20 611J; G09G3/20 611H; G09G3/3233; G09G3/20 623R; G09G3/20 612E; G09G3/20 621M; G09G3/20 680G; G09G3/20 623B; G09G3/20 623F

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/3291; G09G3/20; G09G3/3233

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2022/270300 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 29 December 2022 (2022-12-29) paragraphs [0029]-[0097], fig. 1-13	1, 5-6, 9-15
Y		7-8
A		2-4
Y	US 2018/0211605 A1 (SAMSUNG DISPLAY CO., LTD.) 26 July 2018 (2018-07-26) paragraphs [0104]-[0108], fig. 8- 9	7
Y	JP 2002-533788 A (KONINKLIJKE PHILIPS ELECTRONICS N.V) 08 October 2002 (2002-10-08) paragraph [0035], fig. 6	8
A	JP 2021-117369 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 10 August 2021 (2021-08-10) entire text, all drawings	1-15

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

04 October 2024

Date of mailing of the international search report

12 November 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/029616

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2019/0279562 A1 (RAYDIUM SEMICONDUCTOR CORPORATION) 12 September 2019 (2019-09-12) entire text, all drawings	1-15
A	JP 2011-53644 A (VICTOR CO. OF JAPAN LTD.) 17 March 2011 (2011-03-17) entire text, all drawings	1-15
A	JP 2003-283267 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 03 October 2003 (2003-10-03) entire text, all drawings	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/029616

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)		Publication date (day/month/year)
WO	2022/270300	A1	29 December 2022	EP	4362005	A1
				paragraphs [0029]-[0097], fig. 1-13		
				CN	117501351	A
				KR	10-2024-0023033	A

US	2018/0211605	A1	26 July 2018	KR	10-2018-0087919	A

JP	2002-533788	A	08 October 2002	US	6469687	B1
				column 7, line 3 to column 7, line 8		
				WO	2000/039782	A1
				KR	2001-0041428	A

JP	2021-117369	A	10 August 2021	US	2023/0030258	A1
				entire text, all drawings		
				WO	2021/153352	A1
				KR	10-2022-0131903	A

US	2019/0279562	A1	12 September 2019	CN	110246452	A

JP	2011-53644	A	17 March 2011	(Family: none)		

JP	2003-283267	A	03 October 2003	US	2003/0184568	A1
				EP	1349139	A2
				CN	1447204	A
				KR	2003-0078027	A

A. 発明の属する分野の分類（国際特許分類（IPC））

G09G 3/3291(2016.01)i; G09G 3/20(2006.01)i; G09G 3/3233(2016.01)i
FI: G09G3/3291; G09G3/20 611D; G09G3/20 641P; G09G3/20 642P; G09G3/20 611A; G09G3/20 611J; G09G3/20 611H; G09G3/3233; G09G3/20 623R; G09G3/20 612E; G09G3/20 621M; G09G3/20 680G; G09G3/20 623B; G09G3/20 623F

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G09G3/3291; G09G3/20; G09G3/3233

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2022/270300 A1（ソニーセミコンダクタソリューションズ株式会社）29.12.2022 (2022-12-29) [0029]-[0097], [図1]-[図13]	1, 5-6, 9-15
Y		7-8
A		2-4
Y	US 2018/0211605 A1（SAMSUNG DISPLAY CO., LTD.）26.07.2018 (2018-07-26) [0104]-[0108], 図8-図9	7
Y	JP 2002-533788 A（コーニンクレッカ フィリップス エレクトロニクス エヌ ヱィ） 08.10.2002 (2002-10-08) [0035], [図6]	8
A	JP 2021-117369 A（ソニーセミコンダクタソリューションズ株式会社）10.08.2021 (2021-08-10) 全文, 全図	1-15

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日 04.10.2024

国際調査報告の発送日 12.11.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

西島 篤宏 2I 9308

電話番号 03-3581-1101 内線 3273

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2019/0279562 A1 (RAYDIUM SEMICONDUCTOR CORPORATION) 12.09.2019 (2019 - 09 - 12) 全文, 全図	1-15
A	JP 2011-53644 A (日本ビクター株式会社) 17.03.2011 (2011 - 03 - 17) 全文, 全図	1-15
A	JP 2003-283267 A (松下電器産業株式会社) 03.10.2003 (2003 - 10 - 03) 全文, 全図	1-15

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/029616

引用文献			公表日	パテントファミリー文献			公表日
WO	2022/270300	A1	29.12.2022	EP	4362005	A1	
				[0029]-[0097], 図1-図13			
				CN	117501351	A	
				KR	10-2024-0023033	A	
US	2018/0211605	A1	26.07.2018	KR	10-2018-0087919	A	
JP	2002-533788	A	08.10.2002	US	6469687	B1	
				第7欄第3行-第7欄第8行			
				WO	2000/039782	A1	
				KR	2001-0041428	A	
JP	2021-117369	A	10.08.2021	US	2023/0030258	A1	
				全文, 全図			
				WO	2021/153352	A1	
				KR	10-2022-0131903	A	
US	2019/0279562	A1	12.09.2019	CN	110246452	A	
JP	2011-53644	A	17.03.2011	(ファミリーなし)			
JP	2003-283267	A	03.10.2003	US	2003/0184568	A1	
				EP	1349139	A2	
				CN	1447204	A	
				KR	2003-0078027	A	