【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成30年8月9日(2018.8.9)

【公表番号】特表2017-528946(P2017-528946A)
【公表日】平成29年9月28日(2017.9.28)
【年通号数】公開・登録公報2017-037
【出願番号】特願2017-502150(P2017-502150)
【国際特許分類】
*Ｈ０４Ｌ　7/033　(2006.01)*
*Ｇ０６Ｆ　13/42　(2006.01)*
*Ｇ０６Ｆ　13/38　(2006.01)*
*Ｈ０４Ｌ　7/00　(2006.01)*
【ＦＩ】
Ｈ０４Ｌ　7/033
Ｇ０６Ｆ　13/42　３５０Ａ
Ｇ０６Ｆ　13/42　３５０Ｂ
Ｇ０６Ｆ　13/38　３４０Ｚ
Ｈ０４Ｌ　7/00　０８０

【手続補正書】
【提出日】平成30年6月27日(2018.6.27)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
マスタ集積回路(IC)であって、
チップ間バスに結合されるように構成されたバスインターフェースと、
ドライバを備えた送信機であって、前記ドライバが、前記チップ間バスを介して送信するために前記バスインターフェースにデータ信号を出力する、送信機と、
前記バスインターフェースに結合された受信機と、
前記受信機に動作可能に結合されたクロックデータ回復(CDR)回路と、
基準クロック信号を受信し、前記送信機の前記ドライバおよび前記CDR回路にクロック信号を出力する位相同期ループ(PLL)であって、前記送信機が、前記バスインターフェースを通じて前記チップ間バス上にマスタクロック信号を出力する、位相同期ループ(PLL)と、
前記PLLおよび前記CDR回路に動作可能に結合された制御システムであって、前記制御システムが、前記PLLを制御することによって前記マスタクロック信号の周波数を変更するように構成され、データ送信が、遠隔スレーブICでのクロック動作とは無関係の周波数変更の間継続する、制御システムと、
前記制御システムおよび前記CDR回路に動作可能に結合された温度制御回路であって、前記制御システムが、温度の変化および前記温度制御回路に基づいて前記CDR回路を起動する、温度制御回路と
を備える、マスタIC。
【請求項２】
前記制御システムおよび前記CDR回路に動作可能に結合されたタイマ制御回路をさらに備え、前記制御システムが、クロックドリフトを補正するために、前記タイマ制御回路に

基づいて前記CDR回路をあらかじめ定められた長さの時間にわたって定期的に起動する、請求項1に記載のマスタIC。
【請求項３】
前記温度制御回路が、温度センサから温度信号を受信するように構成される、請求項1に記載のマスタIC。
【請求項４】
前記受信機が、前記受信機に関連付けられる終端インピーダンスの変化を可能にするように構成されたプログラマブル終端回路を備え、前記制御システムが、前記遠隔スレーブICまでの距離に基づいて前記終端インピーダンスを構成する、請求項1に記載のマスタIC。
【請求項５】
タイマ制御回路および温度制御回路をさらに備え、前記制御システムが、前記温度制御回路からの信号に応答して前記タイマ制御回路に基づいて一定の長さの時間にわたって前記CDR回路を起動するように構成される、請求項1に記載のマスタIC。
【請求項６】
前記送信機が、前記PLLから前記クロック信号を受信するように構成されたシリアライザをさらに備える、請求項1に記載のマスタIC。
【請求項７】
前記PLLに結合され、低速クロック信号を受信し、前記クロック信号または前記低速クロック信号のいずれかを前記送信機および前記CDR回路に選択的に通過させるように構成されたマルチプレクサをさらに備える、請求項1に記載のマスタIC。
【請求項８】
スレーブ集積回路(IC)であって、
チップ間バスに結合されるように構成されたバスインターフェースと、
ドライバを備えた送信機であって、前記ドライバが、前記チップ間バスを介して送信するために前記バスインターフェースにデータ信号を出力する、送信機と、
前記バスインターフェースに結合された受信機であって、前記受信機が、前記チップ間バスを通じてマスタICから受信された信号からクロック信号を抽出するように構成される、受信機と、
前記受信機に動作可能に結合されたクロックデータ回復(CDR)回路と、
前記受信機および前記CDR回路に動作可能に結合された制御システムであって、前記制御システムが、内部位相同期ループ(PLL)または内部クロックを参照することなしに、前記受信機によって抽出された前記クロック信号で動作するように構成される、制御システムと、
前記制御システムおよび前記CDR回路に動作可能に結合された温度制御回路であって、前記制御システムが、温度の変化および前記温度制御回路に基づいて前記CDR回路を起動する、温度制御回路と
を備える、スレーブIC。
【請求項９】
前記制御システムおよび前記CDR回路に動作可能に結合されたタイマ制御回路をさらに備え、前記制御システムが、クロックドリフトを補正するために、前記タイマ制御回路に基づいて前記CDR回路をあらかじめ定められた長さの時間にわたって定期的に起動し、
前記温度制御回路が、温度センサから温度信号を受信するように構成される、請求項8に記載のスレーブIC。
【請求項１０】
前記受信機が、前記受信機に関連付けられる終端インピーダンスの変化を可能にするように構成されたプログラマブル終端回路を備え、前記制御システムが、前記マスタICまでの距離に基づいて前記終端インピーダンスを構成する、請求項8に記載のスレーブIC。
【請求項１１】
タイマ制御回路および温度制御回路をさらに備え、前記制御システムが、前記温度制御

回路からの信号に応答して前記タイマ制御回路に基づいて一定の長さの時間にわたって前記CDR回路を起動するように構成される、請求項8に記載のスレーブIC。
【請求項１２】
前記送信機がシリアライザをさらに備え、
前記受信機が、受信したスレーブクロック信号を前記制御システムに送るように構成されたデシリアライザをさらに備える、請求項8に記載のスレーブIC。
【請求項１３】
チップ間バスと、
第1の集積回路(IC)であって、
前記チップ間バスに結合されるように構成された第1のバスインターフェースと、
第1のドライバを備えた第1の送信機であって、前記第1のドライバが、前記チップ間バスを介して送信するために、前記第1のバスインターフェースに第1のデータ信号を出力する、第1の送信機と、
前記第1のバスインターフェースに結合された第1の受信機と、
前記第1の受信機に動作可能に結合された第1のクロックデータ回復(CDR)回路と、
前記第1のCDR回路に動作可能に結合された第1の制御システムと、
前記制御システムおよび前記CDR回路に動作可能に結合された温度制御回路であって、前記制御システムが、温度の変化および前記温度制御回路に基づいて前記CDR回路を起動する、温度制御回路と
を備える、第1のICと、
第2のICであって、
前記チップ間バスに結合されるように構成された第2のバスインターフェースと、
第2のドライバを備えた第2の送信機であって、前記第2のドライバが、前記チップ間バスを介して送信するために、前記第2のバスインターフェースに第2のデータ信号を出力する、第2の送信機と、
前記第2のバスインターフェースに結合された第2の受信機であって、前記第2の受信機が、前記チップ間バスを通じて前記第1のICから受信された信号からクロック信号を抽出するように構成される、第2の受信機と、
前記第2の受信機に動作可能に結合された第2のCDR回路と、
前記第2の受信機および前記第2のCDR回路に動作可能に結合された第2の制御システムであって、前記第2の制御システムが、内部位相同期ループ(PLL)または内部クロックを参照することなしに、前記第2の受信機によって抽出された前記クロック信号で動作するように構成される、第2の制御システムと
を備える、第2のICと、
前記第1のICと前記第2のICとの間で共有される唯一のアクティブなPLLであって、前記唯一のアクティブなPLLが、前記第1のICおよび前記第2のICの両方による使用のために前記クロック信号を提供するように構成される、唯一のアクティブなPLLと
を備える、システム。
【請求項１４】
前記第1の制御システムおよび前記第2の制御システムが、前記第1の制御システムと前記第2の制御システムのどちらがマスタ制御システムになり、前記第1の制御システムと前記第2の制御システムのどちらがスレーブ制御システムになるかをネゴシエートするように構成され、
前記スレーブ制御システムに関連付けられる非アクティブなPLLをさらに備え、前記非アクティブなPLLが、前記第1の制御システムと前記第2の制御システムのどちらが前記マスタ制御システムになるかの前記ネゴシエートの後に非アクティブのままであるように構成される、請求項13に記載のシステム。
【請求項１５】
前記マスタ制御システムが、電磁干渉(EMI)を低減するために、前記チップ間バス上の周波数を変更するように構成され、

前記マスタ制御システムが、前記第1のICと前記第2のICとの間の距離に基づいて前記第1の受信機のプログラマブル終端を変更するように構成される、請求項14に記載のシステム。