



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0093339
 (43) 공개일자 2007년09월18일

(51) Int. Cl.

H01L 29/786(2006.01)

(21) 출원번호 10-2007-0022974

(22) 출원일자 2007년03월08일

심사청구일자 없음

(30) 우선권주장

JP-P-2006-00067272 2006년03월13일 일본(JP)

JP-P-2006-00347052 2006년12월25일 일본(JP)

(71) 출원인

소니 가부시끼가이샤

일본국 도쿄도 미나토쿠 코난 1-7-1

(72) 발명자

마치다 아키오

일본국 108-0075 도쿄도 미나토쿠 코난 1-7-1 소
 니가부시끼가이샤 내

후지노 토시오

일본국 108-0075 도쿄도 미나토쿠 코난 1-7-1 소
 니가부시끼가이샤 내

코노 타다히로

일본국 108-0075 도쿄도 미나토쿠 코난 1-7-1 소
 니가부시끼가이샤 내

(74) 대리인

김학수, 문경진

전체 청구항 수 : 총 10 항

(54) 박막 반도체 장치 및 박막 반도체 장치의 제조 방법

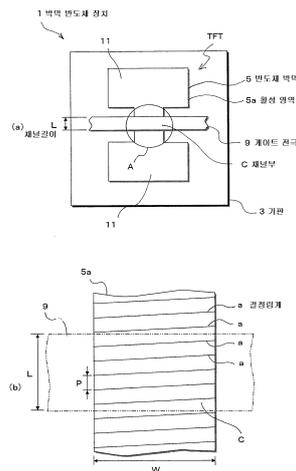
(57) 요약

트랜지스터 특성의 경시 변화(經時變化)가 작고 또한 캐리어 이동도(移動度)가 고속이면서도, 트랜지스터 특성이 고정밀도(高精度)로 제어된 박막 반도체 장치, 및 그 제조 방법을 제공하는 것을 목적으로 한다.

본 발명에서는, 레이저광(Lh)의 조사에 의해서 다결정화(多結晶化)한 활성(活性) 영역(5a)을 가지는 반도체 박막(5)과, 활성 영역(5a)을 가로지르도록 설치(設; provide, form)된 게이트 전극(9)을 구비한 박막 반도체 장치에 있어서,

게이트 전극(9)과 접치는 활성 영역(5a)의 채널부(C)에는, 게이트 전극(9)을 따라서 일련의 결정립계(結晶粒界; 결정 입자 경계)(a)가 연장설치(延設; extend)되어 있다. 이 결정립계(a)는, 채널부(C)를 가로지름과 동시에, 채널 길이(L) 방향으로 주기적(周期的)으로 설치되어 있다.

대표도 - 도1



특허청구의 범위

청구항 1

에너지 빔의 조사(照射)에 의해서 다결정화(多結晶化)한 활성(活性) 영역을 가지는 반도체 박막과, 해당(當該) 활성 영역을 가로지르도록 설치(設; provide, form)된 게이트 전극을 구비한 박막 반도체 장치에 있어서,

상기 게이트 전극과 겹치는 상기 활성 영역의 채널부에는, 해당 게이트 전극을 따라서 일련의 결정립계(結晶粒界; 결정 입자 경계)가 연장설치(延設; extend)되어 있고,

상기 결정립계는, 상기 채널부를 가로지름과 동시에, 채널 길이(長) 방향으로 주기적(周期的)으로 설치되어 있는

것을 특징으로 하는 박막 반도체 장치.

청구항 2

제1항에 있어서,

상기 채널부에는, 상기 결정립계가 2개 이상의 소정수(所定數)로 설치되어 있는

것을 특징으로 하는 박막 반도체 장치.

청구항 3

제1항에 있어서,

상기 활성 영역은, 적어도 상기 채널부의 전면(全面)이 다결정화된 영역인

것을 특징으로 하는 박막 반도체 장치.

청구항 4

제1항에 있어서,

상기 결정립계는, 소정 피치를 유지(保)해서 상기 에너지 빔을 평행하게 주사(走査)시키는 것에 의해서 생기는 주사 방향과 평행한 결정립계인

것을 특징으로 하는 박막 반도체 장치.

청구항 5

제1항에 있어서,

상기 결정립계 사이에는, 해당 결정립계의 연장설치 방향으로 볼록하게 되는 초승달 형상(三日月形狀; crescent shape)의 결정립이, 해당 결정립계의 연장설치 방향을 따라서 배열되어 있는

것을 특징으로 하는 박막 반도체 장치.

청구항 6

반도체 박막에 에너지 빔을 조사하는 것에 의해 해당 반도체 박막의 활성 영역을 결정화하는 공정과, 상기 활성 영역을 가로지르는 형상으로 게이트 전극을 형성하는 공정을 구비한 박막 반도체 장치의 제조 방법에 있어서,

상기 활성 영역을 결정화하는 공정에서는, 상기 에너지 빔이 겹침(重; overlapping)을 가지는 범위내에서 해당 에너지 빔의 조사 위치를 소정의 이동 방향으로 소정 피치만큼 이동시키는 것에 의해, 해당 이동 방향과 다른(異) 방향으로 결정립계를 연장설치하면서 해당 활성 영역을 다결정화하고,

상기 게이트 전극을 형성하는 공정에서는, 상기 결정립계의 연장설치 방향을 따라서 해당 게이트 전극을 형성하는

것을 특징으로 하는 박막 반도체 장치의 제조 방법.

청구항 7

제6항에 있어서,

상기 활성 영역을 결정화하는 공정에서는, 상기 에너지 빔의 각 조사 위치에서 상기 이동 방향과 다른 주사 방향으로 해당 에너지 빔을 주사시키면서 조사하는 것에 의해, 해당 주사 방향과 평행한 상기 결정립계를 상기 소정 피치로 형성하는

것을 특징으로 하는 박막 반도체 장치의 제조 방법.

청구항 8

제7항에 있어서,

상기 활성 영역을 결정화하는 공정에서는, 폭발적(爆發的) 결정화가 생기도록 상기 에너지 빔의 조사를 행하는 것을 특징으로 하는 박막 반도체 장치의 제조 방법.

청구항 9

제7항에 있어서,

상기 활성 영역을 결정화하는 공정에서는,

상기 반도체 박막을 완전 용융시킴과 동시에,

상기 에너지 빔의 주사 중심이 해당 에너지 빔의 주사에 수반해서 최후(最後; 마지막)에 결정화되도록 해당 에너지 빔의 조사 조건을 설정하는 것에 의해서, 해당 주사 중심에 상기 결정립계를 형성하는

것을 특징으로 하는 박막 반도체 장치의 제조 방법.

청구항 10

제6항에 있어서,

상기 활성 영역을 결정화하는 공정에서는, 상기 에너지 빔의 빔 프로파일을 가우시안 커브(Gaussian curve)로 하는

것을 특징으로 하는 박막 반도체 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은, 박막 반도체 장치 및 박막 반도체 장치의 제조 방법에 관한 것으로서, 특히는 에너지 빔의 조사(照射)에 의해 반도체 박막을 결정화(結晶化)시켜서 이루어지는 복수(複數)의 소자(素子)를 구비한 박막 반도체 장치 및 그 제조 방법에 관한 것이다.
- <12> 액정(液晶) 표시 장치와 같은 플랫형(型) 표시 장치에서는, 복수 화소의 액티브 매트릭스 표시를 행하기 위한 스위칭 소자로서, 박막 트랜지스터(thin film transistor: TFT)가 이용되고 있다. 박막 트랜지스터에는, 다결정(多結晶) 실리콘(poly-Si)을 활성 영역으로 이용한 TFT(다결정 실리콘 TFT)와, 비정질(非晶質) 실리콘(아몰퍼스(amorphous) Si)를 활성 영역으로 이용한 TFT(비정질 실리콘 TFT)가 있다.
- <13> 이 중, 다결정 실리콘 TFT는, 비정질 실리콘 TFT와 비교해서 캐리어의 이동도(移動度)가 10배(倍)~100배 정도 크고, 온(on) 전류의 열화(劣化; deterioration)도 작다고 하는 특징이 있고, 스위칭 소자의 구성 재료로서 매우 뛰어난 특성을 가지고 있다.
- <14> 이와 같은 다결정 실리콘 TFT의 제조 기술로서, 대개 600℃ 이하의 저온 프로세스만을 이용해서 비정질 실리콘 막을 다결정화시키는, 이른바 저온 폴리실리콘 프로세스가 개발되고, 기관의 저코스트화가 실현되고 있다. 예를 들면, 엑시머 레이저를 이용한 저온 폴리실리콘 프로세스에서는, 라인모양(狀)으로 정형(整形)된

레이저광을, 조금씩 이동시켜서 대부분을 중복(重複)시키면서 비정질 실리콘막에 대해서 펄스 조사하고, 동일(同一) 개소에 10~20회(回)의 레이저광 조사를 행한다. 이것에 의해, 활성 영역의 전면(全面)에서 결정 입경(結晶粒徑; 결정 입자 지름)이 균일화된 다결정이 얻어지도록 하고 있다.

- <15> 또, 저온 폴리 실리콘 프로세스의 다른 예로서, 예를 들면 YAG 레이저의 고조파(高調波)로부터 얻어진 연속하는 레이저광을, 조사 에너지가 일정(一定)하게 되도록 일정 속도로 이동시키면서 비정질 실리콘막에 대해서 조사해서 결정화 영역을 형성하고, 결정립계(結晶粒界; 결정 입자 경계)가 없는 영역이 박막 트랜지스터의 활성 영역으로 되도록 패턴 형성하는 방법이 제안되어 있다(하기(下記) 특허 문헌 1 참조).
- <16> 또, 콜롬비아대학 등에서는, 마스크를 이용한 다단 조사로 결정의 횡방향 성장(成長)의 폭을 규정하는 방법으로, Sequential Lateral Solidification (SLS)이 제안되어 있다(하기 비특허 문헌 1 참조).
- <17> [특허 문헌 1] 일본 특개(特開) 제2003-77834호 공보(특허, 0091~0092 단락, 0169 단락 참조)
- <18> [비특허 문헌 1] A.T.Vouysas, A.Limnov and J.S.Im, 「Journal of Applied Physics」(2003), Vol. 94, P. 7445-7452

발명이 이루고자 하는 기술적 과제

- <19> 근년(近年; 최근)에, 상술한 플랫 패널형 표시 장치에서는, 새로운 동화상(動畵; moving image) 특성이나 콘트라스트 특성의 향상을 목적으로 해서 하이 프레임 레이트(high frame rate)의 액정 디스플레이의 개발이 진행되고, 또 유기(有機) EL 디스플레이 등의 자발광형(自發光型; self-luminous)의 디스플레이 등의 새로운 표시 장치의 개발도 진행되고 있다. 이것에 따라서, 이와 같은 표시 장치에 대응가능한 스위칭 소자로서, 급격하게 큰 전류를 흐르게 해도 특성 열화가 없고, 또 각 스위칭 소자의 특성 편차(variation)가 작은 TFT의 개발이 요구되고 있다.
- <20> 그렇지만, 상술한 종래의 저온 폴리 실리콘 프로세스에 의해 얻어진다결정 실리콘 TFT는, 비교적 큰 전류를 흐르게 하기 쉬운 특성으로서 캐리어의 이동도도 크고 특성 열화도 작은 것이 매우 유리한 반면, 비정질 실리콘 TFT와 비교해서 소자 사이의 특성, 특히 초기의 임계값(threshold) 전압이나 온(on) 전류에 크게 편차가 생기는 것이 문제로 되고 있다.
- <21> 이와 같은 편차를 방지하기 위해서, 상술한 엑시머 레이저를 이용한 결정화에서는, 과장과 동등(同等)한 300nm 정도의 같은(同) 결정이 성장한 막을 이용함으로써 소자의 편차를 최소한으로 하는 것이 시도되어 왔다. 그렇지만, 이와 같이 해서 다결정화한 막을 이용해도, 소자 사이의 특성 편차를 억제하는 효과가 충분하지 않았다.
- <22> 이 원인은, 종래의 엑시머 레이저 어닐(annealing) 장치를 이용한 결정화 방법으로 결정화하는 경우, 다결정 실리콘막의 각 결정립(結晶粒; crystal grain; 결정 입자)의 크기를 고정밀도로 제어하는 것이 곤란하고, 고르지 않은(uneven) 입경으로 되어 버리기 때문이다. 입경의 불균일성(不均一性; unevenness)은, 각 박막 트랜지스터(TFT)의 채널부에서의 결정립계 수의 편차로 이어지고, 그 결과로서 박막 트랜지스터(TFT)의 특성에 편차가 생긴다고 하는 문제로 되고 있다(예를 들면, K. Yamaguchi; et al; J. Appl. Phys., Vol. 89, No. 1, pp.590, M. Kimura et al; JAP. J.APPL. PHYSI. Vol. 40 Part1(2001), No.1, 외). 또, 이 문제는, 특히 유기 EL 소자를 표시 소자로서 가지는 경우에는, 표시부에서의 색 얼룩(色斑; color unevenness) 등으로서 나타나게 되기 때문에 매우 큰 문제로 된다.
- <23> 그리고, 이상과 같은 박막 트랜지스터의 특성 편차는, 상기 특허 문헌 1에 기재된 저온 폴리 실리콘 프로세스이더라도 충분히 억제하는 것은 곤란하다. 이것은, 채널 내부를 구성하는 결정 영역이 커지기 때문에, 결정 내부의 결함이나, 전이(轉移) 등의 유무에 의한 영향이 특성의 편차에 크게 반영되기 때문이라고 생각된다. 또, SLS법을 적용해서 형성한 TFT의 특성에서의 이동도 편차는, 앞서(先) 나타난 비특허 문헌 1의 도 8로부터, 최적 프로세스에서도 10% 이상 있는 것을 판독(讀取; read)할 수 있다. 이것은, 래터럴(lateral) 성장 부분의 결정 영역에서 무수한 비제어(非制御; uncontrolled) 결정립계가 존재하고 있는 것에 기인한다고 생각된다.
- <24> 그래서, 본 발명은, 트랜지스터 특성의 경시 변화(經時變化)가 작고 또한 캐리어 이동도(移動度)가 고속이면서도, 트랜지스터 특성이 고정밀도로 제어된 박막 반도체 장치를 제공하는 것, 나아가서는 이와 같은 박막 반도체 장치의 제조 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

- <25> 이와 같은 목적을 달성하기 위한 본 발명의 박막 반도체 장치는, 에너지 빔의 조사에 의해서 다결정화한 활성 영역을 가지는 반도체 박막과, 해당 활성 영역을 가로지르도록 설치(設; provide, form)된 게이트 전극을 구비하고 있다. 그리고 특히, 게이트 전극과 겹치는 활성 영역의 채널부에는, 해당 게이트 전극을 따라서 일련의 결정립계가 연장설치(延設; extend)되어 있다. 이 결정립계는, 채널를 가로지름과 동시에, 채널 길이 방향으로 주기적으로 설치되어 있는 것을 특징으로 하고 있다.
- <26> 이와 같은 구성의 박막 반도체 장치에서는, 채널부를 통과하는 캐리어는, 반드시 주기적으로 설치된 결정립계를 가로질러서 이동하게 된다. 이 때문에, 이 주기를 제어하는 것에 의해, 해당 박막 반도체 장치에서의 트랜지스터 특성(캐리어 이동도)이 정밀도 양호하게 제어되게 된다. 예를 들면, 주기의 크기나 채널부에 배치되는 주기의 수(결정립계의 갯수)를 일치시킴으로써, 복수의 소자에서의 캐리어 이동도의 편차가 억제된다. 그리고, 이와 같은 구성에서, 각 주기 내의 결정 상태를 소정 상태로 하는 것에 의해, 다결정화시킨 반도체 박막을 이용한 소자의 장점(長所)인, 높은 캐리어 이동도가 유지(維持; maintain)되고, 또한 소자 특성의 열화도 억제되는 것을 알 수 있었다.
- <27> 또, 본 발명은 상술한 구성의 박막 반도체 장치의 제조 방법이기도 하다.
- <28> [발명을 실시하기 위한 최량의 형태]
- <29> 이하, 본 발명의 실시형태를 도면에 의거해서 상세하게 설명한다. 또한, 이하의 실시형태에서는, 예를 들면 표시 장치에서의 화소의 스위칭 소자로서 틱 게이트형(型)의 다결정 실리콘 TFT를 동일 기판 상에 복수 설치한 박막 반도체 장치를 예시해서 설명하며, 다음에 그 제조 방법을 설명한다.
- <30> <박막 반도체 장치>
- <31> 도 1의 (a)는, 실시형태의 박막 반도체 장치의 구성을 도시하는 평면도이며, 도 1의 (b)는 도 1의 (a)에서의 A부의 확대 평면도이다. 이들 도면에 도시하는 박막 반도체 장치(1)는, 동일(同一)한 기판(3) 상에 복수의 박막 트랜지스터 TFT를 설치해서 이루어진다. 또한, 도면에서는, 하나의 박막 트랜지스터 TFT만을 도시하고 있다.
- <32> 각 박막 트랜지스터 TFT는, 반도체 박막(5)으로 이루어지는 활성 영역(5a)과, 이 활성 영역(5a)의 중앙부를 가로지르는 상태로 배선된 게이트 전극(9)을 구비하고 있다.
- <33> 이 중, 반도체 박막(5)으로 이루어지는 활성 영역(5a)은, 비정질 실리콘으로서 성막(成膜)된 반도체 박막(5)에 레이저광과 같은 에너지 빔을 조사하는 것에 의해서 다결정화시킨 영역이다. 또, 반도체 박막(5)은, 활성 영역(5a)을 포함하는 섬 모양(島狀)으로 패터닝되어 있는 것으로 한다. 이 경우, 도시한 바와 같이, 다결정화된 활성 영역(5a) 주위에 비정질의 반도체 박막(5) 부분이 남지 않도록, 반도체 박막(5)이 패터닝되어 있어도 좋다. 또, 활성 영역(5a) 주위에 비정질의 반도체 박막(5) 부분이 남아 있어도 좋다.
- <34> 이상과 같은 활성 영역(5a)에서는, 게이트 전극(9)과 겹치는 활성 영역(5a)이, 채널부(C)로 되어 있다. 또, 활성 영역(5a)에서, 이 채널부(C)를 사이에 둔(挾) 양측의 영역이 소스/드레인(11)으로 되어 있다.
- <35> 그리고, 본 실시형태에서는, 이상과 같이 구성된 각 박막 트랜지스터 TFT에서, 각 활성 영역(5a)의 결정 상태, 및 이 결정 상태에 대한 게이트 전극(9)의 배치 상태가 특징적이다.
- <36> 즉, 각 활성 영역(5a)은, 적어도 게이트 전극(9)과 겹치는 채널부(C)에, 해당 채널부(C)를 가로지르는 상태에서, 게이트 전극(9)의 연장설치 방향을 따라서 일련의 결정립계(a)가 복수개 설치되어 있다. 이들 결정립계(a)는, 채널 길이(L) 방향으로 소정 피치(p)를 유지해서 주기적으로 설치되어 있다.
- <37> 그리고, 결정립계(a-a) 사이의 결정 상태는, 게이트 전극(9)의 연장설치 방향을 따라서 대략 동일하게 되어 있다. 또한, 상술한 바와 같이 주기적으로 결정립계(a)가 배치된 구성은, 채널부(C)만이 아니며, 각 활성 영역(5a)의 전역(全域)에 이르고(及) 있어도 좋다.
- <38> 또, 본 실시형태에서는, 채널부(C)를 포함하는 활성 영역(5a)은, 결정립계(a)가 주기적으로 배치됨과 동시에, 비정질 영역을 포함하지 않고 전면이 결정화되어 있는 것으로 한다.
- <39> 그리고, 이상과 같은 일련의 결정립계(a)는, 이후의 제조 방법에서 상세하게 설명하는 바와 같이, 예를 들면 소정 피치를 유지해서 에너지 빔을 평행하게 주사시키는 것에 의해서 생기는 주사 방향과 평행한 결정립계이다.

- <40> 또, 게이트 전극(9)의 선폭(즉, 채널 길이(L)에 대응한다)은, 여기서 형성하는 박막 트랜지스터의 규격에 의거해서 설계되어 있으며, 그의 하부에 소정 갯수의 결정립계(a)가 채널부(C)를 채널폭(W) 방향으로 가로질러 배치되도록 설정되어 있는 것으로 한다. 그리고, 동일 특성의 박막 트랜지스터라면, 채널부(C)에는, 대략 동일 갯수의 결정립계(a)가 설치되어 있는 것이 중요하다. 여기서, 대략 동일 개수라 함은, 소정 갯수에 대해서 ± 1 개의 범위인 것이 바람직하다.
- <41> 또, 채널부(C)에 설치되는 결정립계(a)의 수는, 소정 갯수에 대한 실제의 갯수의 비율의 편차가 작을 수록, 박막 트랜지스터의 특성 편차를 균일화할 수 있다. 이 때문에, 채널부(C)에 설치되는 결정립계(a)의 갯수는 2개 이상으로 많은 쪽이 좋다. 구체적으로는, 나중(後)의 실시예에서도 설명하는 바와 같이, 채널부에는, 채널 폭 방향으로 연장설치된 결정립계(a)가 25개 정도 설치되도록, 채널 길이에 맞추어 피치(p)가 설정되는 것이 바람직하다. 다만, 채널부(C)에서 채널 길이(L) 방향을 가로지르는 결정립계(a)가 많을수록, 채널 길이(L) 방향에서의 캐리어 이동도가 낮아지기 때문에, 캐리어 이동도가 어느 정도 높게 유지되는 범위에서 결정립계(a)의 갯수가 많을 수록 좋다.
- <42> 또, 이상과 같이 채널부(C) 내에 배치되는 결정립계(a)의 갯수를 안정화시키기 위해서, 활성 영역(5a) 내에서의 적어도 채널부(C) 내에서는, 복수의 결정립계(a)는 평행하게 배치되고, 그 주기(P)는 일정한 것으로 한다.
- <43> 여기서, 도 2에는, 채널부(C)의 더욱더 상세한 확대 평면도의 1예를 도시한다. 이 도면에 도시하는 바와 같이, 상술한 바와 같이 결정립계(a)가 배치된 채널부(C)(활성 영역(5a))에서는, 결정립계(a) 사이에, 결정립계(a)의 연장설치 방향으로 불룩하게 되는 초승달 형상(三日月形狀; crescent shape)의 결정립(b)이 배열되어 있는 구성으로 되어 있는 것이 바람직하다. 이들 결정립(b)은, 결정립계(a-a) 사이에 걸치는 크기로서, 결정립계(a)의 연장설치 방향을 따라서 배열되어 있는 것으로 한다.
- <44> 이상과 같은 결정립계(a) 및 결정립(b)을 구비한 활성 영역(5a)의 형성에 대해서는, 다음의 제조 방법에서 상세하게 설명한다.
- <45> <박막 반도체 장치의 제조 방법>
- <46> 이하, 도 1 및 도 2에 도시한 구성의 박막 반도체 장치(1)의 제조 방법을 도 3에 의거해서, 다른 도면을 참조하면서 설명한다.
- <47> 먼저, 도 3의 (a)에 도시하는 바와 같이, 박막 반도체 장치를 형성하는 기관(3a)을 준비한다. 이 기관(3a)으로서, 비정질 기관의 유리(glass), 석영, 사파이어 기관, 플라스틱 기관, 나아가서는 알루미늄이나 스텐레스 등의 금속 기관 등을 이용한다.
- <48> 그리고, 이 기관(3a)의 1주면(一主面) 상에, 해당 기관(3a)에의 열 전도(熱傳導)를 방지하기 위한 절연성 버퍼층(3b)을 마련한다. 버퍼층(3b)으로서, 예를 들면 규소 산화물이나, 규소 질화물, 규소 탄화물 이외에, Ti, Al, Zr, Hf 등의 산화막을 이용해도 상관없다. 이들 버퍼층(3b)의 형성은, CVD, 스퍼터, 및 증착 등의 공지의 진공 성막 기술에 의해서 행할 수가 있다. 또, 버퍼층으로서, 무기계(無機系) SOG막이나 유기계(有機系) SOG 등의 중간 절연막 등으로서 통상 사용되는 절연층을 이용할 수도 있다. 또, 금속막의 양극(陽極) 산화로 형성되는 유전체막이나, 콜로이드 용액 겔법이나 MOD(Metal Organic Deposition)법 등의 공지의 기술로 성막된 막이어도 좋다.
- <49> 다음에, 이상과 같이 표면이 버퍼층(3b)으로 덮인(覆; covered) 기관(3)의 1주면 상에, 비정질의 반도체 박막(5)을 형성한다. 여기에서는, 1예로서 PE-CVD(plasma enhancement-chemical vapor deposition)법에 따르는 비정질 실리콘으로 이루어지는 반도체 박막(5)의 형성을 행한다. 이와 같이 해서 얻어진 반도체 박막(5)은, 다량의 수소가 함유(含有)된, 이른바 수소화 비정질 실리콘(a-Si:H)으로 이루어진다. 또, 여기서 형성하는 반도체 박막(5)의 막두께(膜厚)는, 예를 들면 막두께 20nm~100nm인 것으로 한다.
- <50> 또한, 반도체 박막(5)의 형성은, 성막 온도를 낮게 억제할 수 있는 방법이면 상술한 PE-CVD법에 한정되는 것은 아니고, 도포법(塗布法)에 의해서 행해도 좋다. 이 경우, 폴리실란 화합물을 용매에 섞은(혼합한) 혼합물을, 기관(3) 상에 도포 성막하고, 그 후, 건조, 어닐을 행하는 것에 의해 반도체 박막(5)을 형성한다. 그리고, 앞서의 PE-CVD법이나, 여기서 나타난 도포법 등의 성막 온도가 낮게된 성막 방법에서는, 어느 경우에도 성막 조건에 따라 다소의 변동은 있지만, 0.5atoms%~15atoms% 정도의 수소를 함유한 수소화 비정질 실리콘(a-Si:H)으로 이루어지는 반도체 박막(5)이 얻어진다.
- <51> 다음에, 필요에 따라서 반도체 박막(5) 중의 과잉(過剩; excess) 수소 이온을 이탈(脫離; desorption)시키기 위

한, 이른바 수소빼기(水素抜; dehydrogenation; 탈수소화) 어닐(annealing) 처리를 행한다. 이와 같은 수소빼기 어닐 처리로서는, 예를 들면 400℃~600℃의 로(爐; furnace) 어닐을 행한다. 다만, 다음에 행하는 결정화를 위한 어닐 처리가, 반도체 박막(5) 중에서 수소 이온을 가스화 팽창시키는 일없이 레이저광의 조사부로부터 잉여(餘剩; excess) 수소를 제거하도록, 조사 에너지를 조정해서 행해지는 경우에는, 수소빼기 어닐 처리를 생략해도 좋다.

- <52> 이상(以上) 이후에, 도 3의 (b)에 도시하는 바와 같이, 반도체 박막(5)에 설정한 활성 영역(5a)에, 에너지 빔으로서 레이저광(Lh)을 조사해서 결정화시키기 위한 결정화 공정을 행한다.
- <53> 이 결정화 공정에서는, 반도체 박막(5)에 대해서 레이저광(Lh)을 소정의 속도로 소정의 방향으로 주사시키면서 조사한다.
- <54> 이 때, 도 4에 도시하는 바와 같이, 레이저광(Lh)의 조사 위치를, 다음에 형성하는 게이트 전극(9)의 폭방향(즉, 채널 길이(L) 방향)으로 소정 피치만큼 이동시키고, 이동시킨 각 조사 위치에서 소정의 주사 방향(y)으로 레이저광(Lh)을 주사시킨다. 여기서, 레이저광(Lh)의 주사 방향(y)은, 게이트 전극(9)의 연장설치 방향과 거의 일치하는 방향, 즉 채널 폭(W) 방향과 일치시킨다. 따라서, 각 활성 영역(5a)에서는, 게이트 전극(9)의 배선 방향에 따라서, 각각 설정된 방향으로 레이저광(Lh)의 조사 위치를 이동시키고, 이동시킨 각 조사 위치에서 소정의 주사 방향(y)으로 레이저광(Lh)을 주사시키는 것으로 한다.
- <55> 또, 이 결정화 공정에서는, 레이저광(Lh)을 주사시키는 방향(y)과 평행하게, 일련의 결정립계(a)가 소정의 주기(P)로 나타나도록, 레이저광(Lh)의 조사량, 조사 스폿 지름, 주사 속도, 및 조사 위치의 이동 피치 등을 설정한다.
- <56> 이와 같은 결정화 공정으로서, 예를 들면 도 5의 (a)에 도시하는 바와 같은 폭발적 결정화를 적용한 방법이 예시된다. 폭발적 결정화가 생기도록 레이저광(Lh)을 조사하기 위해서는, 레이저광(Lh)의 주사시에 조사 영역의 반도체 박막(5)이 완전하게 용융하기 전에 주위의 영역으로 열이 전도하도록 조사 영역의 크기나 조사 속도, 조사 에너지를 제어한 레이저광(Lh)의 조사 조건을 설정한다.
- <57> 이 때, 반도체 박막(5)에 조사하는 레이저광(Lh)의 파장은, 반도체 박막(5)의 막두께와 그의 흡수 계수에 의거해서, 반도체 박막(5)을 투과하지 않고 낭비(loss)없이 흡수되도록, 비교적 흡수 계수가 작아지는 파장이 선택된다. 즉, 두께 50nm의 비정질 실리콘으로 이루어지는 반도체 박막(5)을 예로 들면, 파장 350nm~470nm의 레이저광이 바람직하게 이용된다. 이와 같은 파장의 레이저광(Lh)의 발진원(發振源; oscillation source)으로서, 예를 들면 GaN계의 화합물 반도체 레이저 발진기(發振器), 나아가서는 YAG 레이저 발진기가 대응한다. 또, 레이저광(Lh)의 파장 이외의 조사 조건으로서, 레이저광(Lh)을 조사하는 대물 렌즈의 개구수(NA), 레이저광(Lh)의 주사 속도나 조사 에너지 등을 조정하는 것에 의해서도, 반도체 박막(5)의 폭발적 결정화가 행해지도록 할 수가 있다.
- <58> 그리고, 레이저광(Lh)을 채널 길이(L) 방향으로 소정의 이동 피치(p1)만큼 이동시킨 각 조사 위치에서, 이 채널 길이(L) 방향과 대략 수직인 주사 방향(y)으로, 상술한 조사 조건에서 레이저광(Lh)을 주사시킨다. 이 때, 인접(隣接)하는 레이저광(Lh)의 각 조사 위치 사이에, 비결정의 영역이 남는 일 없이, 또한 주사 방향(y)과 평행하게 연속한 결정립계(a)가 생기도록, 상기 이동 피치(p1)에 대한 레이저광(Lh)의 스폿 지름(r1)을 조정한다.
- <59> 이것에 의해, 이동 피치(p1)와 같은(同) 폭의 주기(P)로 결정립계(a)가 설치되도록 반도체 박막(5)의 다결정화가 진행된다. 그리고, 결정립계(a-a) 사이에는, 레이저광(Lh)의 주사 방향(y)을 향해서 불록하게 되는 초승달형상의 결정립(b)이, 결정립계(a)의 연장설치 방향을 따라서 배열된 상태로 된다.
- <60> 여기서, 레이저광(Lh)의 스폿 지름(r1) 및 레이저광(Lh)의 조사 위치의 이동 피치(p1)(결정립계(a)의 주기(P))는, 채널부에 설치되는 결정립계(a)의 갯수(주기수)를 규정하는 중요한 팩터(factor; 요인)로 된다. 장치의 구성에서 설명한 바와 같이, 채널부에 설치되는 결정립계(a)의 갯수(주기수)는, 캐리어 이동도를 유지할 수 있는 범위에서 트랜지스터 특성의 편차를 균일화할 수 있을 정도로 많이 설정되는 것으로 했지만, 또 여기에서는 프로세스의 택트 타임(tact time)을 손상(損)시키지 않는 범위에서 보다 많은 갯수의 결정립계(a)가 채널부에 설치되도록, 이동 피치(p1)(결정립계(a)의 주기(P))가 설정되어 있는 것으로 한다. 그리고, 이 이동 피치(p1)에 맞추어, 비결정의 영역이 남지 않고 연속한 결정립계(a)가 생기도록, 레이저광(Lh)의 스폿 지름(r1)이 설정된다.
- <61> 그래서, 일반적인 박막 트랜지스터의 채널 길이(게이트 전극의 선폭)를 10 μ m 이하로 가정(假定)하면, 생산성도

고려해서, 채널부(C)에 25개 정도의 결정립계(a)가 배치되도록 하는 것이 바람직하다. 이 경우, 레이저광(Lh)의 조사 위치의 이동 피치(p1)(결정립계(a)의 주기(P))가 400nm 정도로 설정된다. 그리고, 스폿 지름(r1)은, 이동 피치(p1)(결정립계(a)의 주기(P))와 거의 동일한 정도에 맞추어 인접하는 레이저광(Lh)의 각 조사 위치 사이에, 주사 방향(y)과 평행한 연속한 결정립계(a)가 생기도록, 1nm~10 μ m의 범위에서 수백nm 정도로 설정되게 된다. 또, 이 스폿 지름(r1)은, 채널 길이를 넘(越)지 않는 범위인 것으로 한다.

<62> 또, 이 결정화 공정은, 상술한 폭발적 결정화 이외에도, 도 5의 (b)에 도시하는 바와 같이, 레이저광(Lh)의 조사 스폿의 중심 부근에, 주사 방향(y)과 평행한 연속한 결정립계(a)가 생기게 하도록 행해도 좋다. 이와 같은 위치에 결정립계(a)가 생기도록 레이저광(Lh)을 조사하기 위해서는, 레이저광(Lh)의 각 조사 위치에서 반도체 박막(5)이 그의 깊이 방향의 전역에서 완전 용융하도록, 해당 레이저광(Lh)을 주사시키는 것으로 한다.

<63> 이 때, 반도체 박막(5)의 막두께와 그의 흡수 계수에 의거해서, 레이저광(Lh)의 파장, 나아가서는 레이저광(Lh)을 조사하는 대물 렌즈의 개구수(NA), 레이저광(Lh)의 주사 속도나 조사 에너지 등의 조사 조건을 조정함으로써, 반도체 박막(5)을 깊이 방향으로 완전 용융시킨다. 이와 같은 결정화를 행하는 경우이더라도, 예를 들면 도 5의 (a)를 이용해서 설명한 폭발적 결정화와 마찬가지로, GaN계의 화합물 반도체 레이저 발진기, 또 YAG 레이저 발진기에 의한 파장 350nm~470nm의 레이저광(Lh)을 이용할 수 있으며, 상술한 조사 조건을 조정하는 것에 의해, 반도체 박막(5)을 깊이 방향에서 완전 용융시킨다.

<64> 이 경우, 레이저광(Lh)을 채널 길이(L) 방향으로 소정의 이동 피치(p2)만큼 이동시킨 각 조사 위치에서, 이 채널 길이(L) 방향과 대략 수직인 주사 방향(y)(상술한 게이트 배선의 연장설치 방향)으로 주사시킨다. 이 때, 인접하는 레이저광(Lh)의 각 조사 위치 사이에, 비결정의 영역이 남는 일 없이, 또한 주사 방향(y)과 평행한 연속한 결정립계(a)가 생기도록, 레이저광(Lh)의 이동 피치(p2)에 대한 레이저광(Lh)의 스폿 지름(r2)(채널 길이(L) 방향)을 조정한다.

<65> 이것에 의해, 이동 피치(p2)와 같은 폭의 주기(P)로 결정립계(a)가 설치되도록 반도체 박막(5)의 다결정화가 진행된다. 그리고, 결정립계(a-a) 사이에는, 레이저광(Lh)의 주사 방향(y)과 역(逆) 방향을 향해서 불룩하게 되는 초승달 형상의 결정립(b)이 결정립계(a)의 연장설치 방향을 향해서 배열된 상태로 된다. 이와 같은 결정화 공정에 의하면, 결정립(b')은, 레이저광(Lh)의 조사에 의해서 반도체 박막(5)을 완전 용융시키고, 액상(液相) 성장에 의해서 재결정화(再結晶化)시켜서 얻어진 결정립이기 때문에, 결정의 질도 양호하고, 캐리어 이동도가 높아진다.

<66> 이 경우, 레이저광(Lh)의 스폿 지름(r2) 및 레이저광(Lh)의 조사 위치의 이동 피치(p2)(결정립계(a)의 주기(P))는, 프로세스의 택트 타임을 손상시키지 않는 범위에서 보다 많은 갯수의 결정립계(a)가 채널부에 설치되도록 설정되어 있는 것은, 도 5의 (a)를 이용해서 설명한 폭발적 결정화와 마찬가지로이다.

<67> 여기서, 상술한 도 5의 (a), 도 5의 (b)를 이용해서 설명한 각 결정화 공정에서는, 레이저광(Lh)의 조사에 의해서 형성되는 결정립계(a)의 특성을 일정화(一定化)시키는 것이 지극히 중요하다. 결정립계(a)의 특성을 일정화하는 요인으로서, 각 조사 위치에서의 레이저의 조사 에너지 밀도가 일정한 것, 주사 속도가 일정한 것, 조사 위치의 이동 피치(p1, p2)가 일정(주기(P)가 일정)한 것, 반도체 박막(5)의 막두께가 균일한 것 등이 요구된다.

<68> 또, 레이저광(Lh)의 조사 에너지 밀도를 일정하게 하기 위해서, 적어도 활성 영역(5a)에 대해서 레이저광(Lh)을 조사하고 있는 동안에 있어서는, 레이저광(Lh)이 연속 발진된 상태로 되어 있는 것이 바람직하다. 여기서, 연속 발진이라 함은, 반도체 박막(5)의 온도가 저하하지 않는 범위의 휴지(休止; pause)(예를 들면, 50ns 이하의 휴지)가 있는 경우도 포함하는 것으로 한다. 또, 레이저광(Lh)의 조사 에너지 밀도를 일정하게 해서 상술한 조사를 행하기 위해서는, 에너지의 피드백 기능이나 포커스 서보 기능을 구비한 레이저광의 조사 장치를 이용하는 것이 바람직하다. 에너지의 피드백 기능이나 포커스 서보 기능은 광디스크 등의 커팅 머신(cutting machine) 등에서 사용되는 공지의 기술로 구축되는 것이 가능하다.

<69> 또, 반도체 박막(5)에 대한 레이저광(Lh)의 조사는, 레이저 조사의 주사 속도가 일정하게 되는 영역에서 설정한다.

<70> 그리고, 반도체 박막에 대한 레이저광의 조사 위치의 이동은 상대적으로 좋고, 고정된 레이저광의 조사 위치에 대해서 반도체 박막이 형성된 기관축을 이동시켜도 좋고, 고정된 기관에 대해서 레이저광의 조사 위치를 이동시켜도 좋다. 또, 기관(1)과 레이저광의 조사 위치와의 양쪽을 이동시켜도 좋다.

<71> 또, 상술한 도 5의 (a), 도 5의 (b)를 이용해서 설명한 각 결정화 공정에서의 레이저광(Lh)의 평행한 주사는,

하나의 레이저 발진기를 이용해서 순차 행해도 좋고, 복수의 레이저 발진기를 이용해서 행해도 좋다. 또, 표시 장치를 구동하기 위한 박막 트랜지스터의 제작(作製)을 생각한 경우, 복수의 활성 영역(5a)에 대해서 동시에 행해지는 것이 바람직하다. 다시말해, 기관(3)의 표면 측에 설정 배열된 복수의 활성 영역(5a)에 대해서 레이저 광(Lh)을 동시에 다점(多点) 조사하는 것에 의해, 복수의 활성 영역(5a)에 대해서 결정화 공정을 동시에 행할 수 있는 것이, 생산성을 고려한 경우에는 바람직한 방법이다.

- <72> 이와 같은 레이저광(Lh)의 다점 조사를 실현하기 위해서는, 레이저광의 발진원으로서 반도체 레이저 발진기가 매우 적합(好適; 바람직)하게 이용된다. 반도체 레이저 발진기는, 엑시머 레이저나 YAG 레이저 등의 다른 레이저 발진기와 비교해서 매우 소형이기 때문에, 하나의 장치 내에 복수 배치가 가능하고, 또한 연속 조사에서 정격 200mW의 출력이 가능하다.
- <73> 반도체 레이저 발진기를 이용하는 것에 의해, 대면적화(大面積化)에 대응해서 반도체 레이저의 개수를 늘림(増; 증가시킴)으로써 기관 사이즈에 대해서 유연하게 장치 설계가 대응하는 것이 가능하게 된다. 이 때문에, 대형 기관 상에 같은 성능의 트랜지스터를 다수 늘어놓은 구조를 얻을 수 있으며, 연구 레벨에서 보고가 있는 바와 같은 마스크를 이용해서 입계(粒界; 입자 경계)를 제어하는 방법에 비해서 대면적에서 균일한 특성의 트랜지스터를 형성하는데 유리하다.
- <74> 이상 설명한 결정화를 위한 결정화 공정을 종료한 후에는, 도 3의 (c)에 도시하는 바와 같이, 결정화시킨 활성 영역(5a)을 남기는 바와 같은 소정 형상으로 반도체 박막(5)을 패턴 에칭하고, 각 활성 영역(5a)을 섬 모양으로 분할해서 소자(素子) 분리한다. 이 경우, 도시한 바와 같이, 활성 영역(5a) 주위에 결정화시키지 않은 반도체 박막(5) 부분이 남지 않도록, 반도체 박막(5)을 패턴 에칭해도 좋다. 또, 활성 영역(5a) 주위에 결정화시키지 않은 반도체 박막(5) 부분이 남도록, 반도체 박막(5)을 패턴 에칭해도 좋다. 또한, 이와 같은 반도체 박막(5)의 패턴 에칭은, 상술한 결정화 공정 전에 행해도 좋다. 이 경우, 활성 영역(5a) 예정으로 되는 영역을 포함하는 섬 모양으로 패터닝된 각 반도체 박막(5)에 대해서, 상술한 결정화 공정이 행해지게 된다.
- <75> 다음에, 패터닝된 활성 영역(5a)을 덮는 상태에서 기관(3)의 상부에 게이트 절연막(7)을 형성한다. 이 게이트 절연막(7)은, 산화 실리콘이나 질화 실리콘으로 이루어지는 것으로 좋고, 통상의 PE-CVD에 의한 공지의 방법으로 성막가능하며, 그 밖에도 도포형의 절연층으로서 공지의 SOG 등의 성막을 행해도 좋다. 또한, 이 게이트 절연막(7)의 형성은, 반도체 박막(5)을 패턴 에칭하기 전에 행해도 좋다.
- <76> 다음에, 상술한 바와 같은 섬 모양으로 분할한 각 활성 영역(5a)의 중앙부를 가로지르는 형상의 게이트 전극(9)을, 게이트 절연막(7) 상에 형성한다. 여기에서는, 도 4를 이용해서 설명한 바와 같이, 각 활성 영역(5a)에 형성된 결정립계(a)의 연장설치 방향을 따라서, 게이트 전극(9)을 형성한다. 이 때, 동일 특성의 소자라면, 하부에 동일 갯수의 결정립계(a)가 배치되도록, 동일 선폭의 게이트 전극(9)을 패턴 형성한다.
- <77> 이상의 게이트 전극(9)을 형성하려면, 먼저, 스퍼터법 또는 증착법에 의해, 예를 들면 알루미늄으로 이루어지는 전극 재료층을 성막하고, 다음에 리소그래피법에 의해서 이 전극 재료층 상에 레지스트 패턴을 형성한다. 그 후, 이 레지스트 패턴을 마스크로 이용해서 전극 재료층을 에칭하는 것에 의해, 게이트 전극(9)을 패턴 형성한다.
- <78> 또한, 게이트 전극(9)의 형성은, 이와 같은 수순(手順; procedure)에 한정되는 것은 아니며, 예를 들면 금속 미립자를 도포해서 인쇄하는 수법(手法)이라도 좋다. 또, 게이트 전극(9)을 형성할 때의 전극 재료층의 에칭에서는, 계속해서 게이트 절연막(7)을 에칭해도 좋다.
- <79> 그 후, 도 3의 (d)에 도시하는 바와 같이, 게이트 전극(9)을 마스크로 이용해서, 활성 영역(5a)에 자기 정합적(自己整合的)으로 불순물이 도입된 소스·드레인(11)을 형성한다. 여기에서는, 예를 들면 게이트 전극(9)을 마스크로 이용한 이온 임플란테이션(ion-implantation; 이온 주입)을 행한다.
- <80> 이것에 의해, 게이트 전극(9)의 하부에는 결정화된 활성 영역(5a)에서 불순물이 도입되지 않은 부분으로 이루어지는 채널부(C)가 형성된다. 이들 소스·드레인(11) 및 게이트 전극(9)의 하부의 채널부(C)는, 반도체 박막(5)을 결정화시킨 다결정 실리콘으로 구성되기 때문에, 이상에 의해서 다결정 실리콘 박막을 이용한 틱 게이트 형의 박막 트랜지스터 TFT(즉, 다결정 실리콘 TFT)가 동일 기관(3) 상에 복수 설치된 박막 반도체 장치(1)가 얻어진다.
- <81> 그리고, 이와 같은 박막 트랜지스터 TFT를 스위칭 소자로서 이용한 표시 장치로서, 예를 들면 액정 표시 장치를 제작하는 경우에는, 이하의 공정을 더 행한다.

- <82> 먼저, 도 6의 (a)에 도시하는 바와 같이, 박막 반도체 장치(1)의 기관(3) 상에, 박막 트랜지스터 TFT를 덮는 상태에서 층간 절연막(21)을 형성한다. 다음에, 이 층간 절연막(21)에 박막 트랜지스터 TFT의 소스·드레인(11)에 도달(達)하는 접속 구멍(21a)을 형성한다. 그리고, 이 접속 구멍(21a)을 거쳐서 소스·드레인(11)에 접속된 배선(23)을, 층간 절연막(21) 상에 형성한다.
- <83> 그 다음에, 배선(23)을 덮는 상태에서 평탄화 절연막(25)을 형성하고, 배선(23)에 도달하는 접속 구멍(25a)을 평탄화 절연막(25)에 형성한다. 다음에, 이 접속 구멍(25a)과 배선(23)을 거쳐서 소스·드레인(11)에 접속된 화소 전극(27)을, 평탄화 절연막(25) 상에 형성한다. 이 화소 전극(27)은, 액정 표시 장치의 표시 타입에 따라서 투명 전극 또는 반사 전극으로서 형성한다. 또한, 도면은 1화소의 요부 단면(要部斷面)으로 되어 있다.
- <84> 그 후, 여기서의 도시는 생략했지만, 화소 전극(27)을 덮는 배향막을 평탄화 절연막 상에 형성하고, 구동 기관(29)을 완성시킨다.
- <85> 한편, 도 6의 (b)에 도시하는 바와 같이, 구동 기관(29)에 대향 배치시키는 대향 기관(31)을 준비한다. 이 대향 기관(31)은, 투명 기관(33) 상에 공통 전극(35)을 설치하고, 또 여기서의 도시를 생략한 배향막으로 공통 전극(35)을 덮어서 이루어진다. 또한, 공통 전극(35)은 투명 전극으로 이루어지는 것으로 한다.
- <86> 그리고, 구동 기관(29)과 대향 기관(31)을, 화소 전극(27)과 공통 전극(35)을 서로 마주보게 한(向合; face) 상태에서, 스페이서(37)를 거쳐서 대향 배치한다. 그리고, 스페이서(37)에 의해서 소정 간격으로 유지된 기관(29, 31) 사이에 액정상(液晶相)(LC)을 충전 봉지(充填封止; 채우고 밀봉)하고, 액정 표시 장치(41)를 완성시킨다.
- <87> 또한, 상기 구성의 구동 기관(29)을 이용해서 유기 EL 표시 장치를 제작하는 경우에는, 구동 기관(29)에 설치된 화소 전극을 양극(또는, 음극)으로 하고, 이 화소 전극 상에 정공 주입층(正孔注入層), 발광층(發光層), 전자 수송층(電子輸送層) 등의 필요 기능을 가지는 유기층을 적층시키고, 또 유기층 상에 공통 전극을 음극(또는, 양극)으로서 형성하기로 한다.
- <88> 이상 설명한 본 실시형태의 박막 반도체 장치(1)에 의하면, 도 1 및 도 2를 참조하면, 게이트 전극(9)을 따라서 연장설치된 결정립계(a)가, 채널부(C)를 가로지름과 동시에 채널 길이(L) 방향으로 주기적으로 배치된 구성으로 함으로써, 채널부(C)를 통과하는 캐리어는, 반드시 주기적으로 배치된 결정립계(a)를 가로질러서 이동하게 된다. 이 때문에, 이 주기(P)를 제어하는 것에 의해, 박막 반도체 장치(1)에서의 박막 트랜지스터 TFT의 트랜지스터 특성(캐리어 이동도)을 정밀도 양호하게 제어하는 것이 가능하게 된다. 다시말해, 주기(P)의 크기나 채널부(C)에 배치되는 결정립계(a)의 수를 일치시키는 것에 의해, 복수의 소자에서의 캐리어 이동도의 편차가 억제된다.
- <89> 게다가, 결정립계(a-a) 사이의 결정 상태는, 결정립계(a-a) 사이에 걸치는 크기의 결정립(b)이 결정립계(a)를 따라서 배열되어 있다. 이 때문에, 비정질의 영역을 포함하지 않고, 소자 특성의 열화가 억제된다. 또, 결정립계(a-a) 사이에서는, 캐리어가 결정립(b-b) 사이의 입계를 통과하는 일이 없기 때문에, 채널 길이(L) 방향의 캐리어 이동도가 높게 유지된다.
- <90> 그리고, 결정립계(a)의 주기(P)는, 상술한 바와 같이 레이저광(Lh)의 조사 조건에 의해서 양호에 제어하는 것이 가능하기 때문에, 상술한 트랜지스터 특성이 정밀도 양호하게 제어된 박막 트랜지스터 TFT를 형성하는 것이 가능하다.
- <91> 따라서, 이와 같은 박막 반도체 장치에 형성된 각 박막 트랜지스터 TFT를 화소의 스위칭 소자로서 이용해서 표시 장치를 구성하는 것에 의해, 표시 장치의 고성능화를 도모하는 것이 가능하게 된다. 특히, 유기 EL 표시 장치에서는, 표시부에서의 색 얼룩을 방지하는 것이 가능하게 된다.
- <92> 또한, 이상 설명한 실시형태에서는, 도 2에 도시한 바와 같이, 채널부(C)의 결정 상태로서, 결정립계(a) 사이에, 결정립계(a)의 연장설치 방향으로 초승달 형상의 결정립(b)이 배열되어 있는 구성을 설명했다. 그렇지만, 채널부(C)의 결정 상태는, 채널부(C)를 가로지르는 상태에서 게이트 전극을 따라서 연장설치된 일련의 결정립계(a)가 채널 길이(L) 방향으로 주기적으로 설치되어 있으면, 결정립계(a) 사이에 초승달 형상의 결정립(b)이 설치되어 있는 구성에 한정되는 것은 아니다.
- <93> 이 경우, 예를 들면 도 7에 도시하는 바와 같이, 결정립계(a) 사이가 일련의 띠모양(帶狀)의 결정립(B)인 구성이 예시된다. 다시말해, 채널 길이(L) 방향으로 소정 피치(p)를 유지해서 주기적으로 설치되어 있는 결정립계(a-a) 사이에, 폭=피치(p)의 띠모양의 결정립(B)이 결정립계(a)의 연장설치 방향을 따라서 설치되어 있는 구성

이다.

<94> 이와 같은 구성의 결정립계(a) 및 띠모양의 결정립(B)을 구비한 활성 영역(5a)의 형성은, 활성 영역에 레이저광(Lh)을 조사하는 결정화에 의해서 이하와 같이 행해진다.

<95> 먼저, 도 8의 (a)에 도시하는 바와 같이, 레이저광(Lh)을, 소정의 속도로 일정한 주사 방향(y)으로 주사시키면서 조사한다. 그리고 특히, 레이저광(Lh)의 조사에 의해 반도체 박막(5)이 그의 깊이(深) 방향에서 완전 용융 되도록, 반도체 박막의 막두께에 맞추어 레이저광(Lh)의 조사 조건을 설정하는 것은, 상술한 실시형태와 마찬가지로 지이다. 또, 이 결정화 공정에서는, 이상과 같이 선택된 파장의 레이저광(Lh)을, 빔 프로파일이 가우시안(Gaussian) 형상(形狀)의 스폿 빔으로서 이용하는 것이 바람직하다.

<96> 이와 같은 레이저광(Lh)의 주사에 의해, 반도체 박막이 완전 용융된 주사로(走査路)에서는, 레이저광(Lh)의 통과에 따라서 응고가 진행되고, 레이저광(Lh)의 주사 중심(ψ)을 따라서 결정립(B')이 배열 형성된다. 이 때, 레이저광(Lh)을 가우시안 형상으로 함으로써, 레이저광(Lh)의 조사 부분의 온도는, 레이저광(Lh)의 빔 프로파일(Beam Profile)의 가우시안 형상에 대응하고, 레이저광(Lh)의 주사 중심(ψ)에서 가장 높고, 양단(兩端)에서 가장 낮아진다. 그 때문에, 레이저광(Lh)을 주사 방향(y)으로 주사하면서 조사하는 것에 의해, 반도체 박막(5)이 완전 용융한 주사로에서, 주사 중심(ψ)과 떨어진(離) 먼 위치(레이저광의 주사로의 양측단)로부터 결정 응고가 개시되고, 주사로의 양측단에 일정수의 결정의 종(種)이 발생한다. 그리고, 또 레이저광(Lh)의 주사를 진행시키는 것에 의해, 주사 중심(ψ) 측을 향해서 주사 방향(y)으로 응고가 진행되고, 결정의 종(B')이 주사 방향(y)을 향해서 주사 중심(ψ) 측으로 끌어당겨지는(引張; pulled) 상태에서 응고가 진행되고, 주사 중심(ψ)이 최후(最後; 마지막)에 결정화된다. 이 때, 주사 중심(ψ)에서 응고가 회합(會合; complete; 완료)하도록, 상술한 조사 조건의 범위에서 또 레이저광(Lh)의 주사 속도 및 출력을 조정해도 좋다. 이것에 의해, 주사 중심(ψ)으로부터 주사로의 양측을 향해서 끝이 넓게(末廣) 넓어지는 반초승달 모양(半三日月狀; semi-crescent form), 다시말해 초승달을 선대칭(線對稱)이 되는 선으로 2분할한 형상의 결정립(B')이 얻어진다.

<97> 또 이 경우, 상술한 레이저광(Lh)의 조사 조건에 의해, 레이저광(Lh)의 주사 방향(y)에서의 결정립(B')의 폭(W1)이 조정된다. 여기서, 주사 방향(y)에서의 결정립(B')의 폭(W1)은, 결정립계(a)의 주기(소정 피치(P))로 된다. 이 때문에, 상술한, 레이저광(Lh)의 조사 조건, 즉, 레이저광(Lh)의 파장, 레이저광(Lh)을 조사하는 대물(對物) 렌즈의 개구수(NA), 레이저광(Lh)의 주사 속도나 조사 에너지 등을, 레이저광(Lh)의 조사에 의해서 반도체 박막이 그의 깊이 방향에서 완전 용융되는 범위에서, 또한 결정립(B')이 소정의 폭(W1)=P로 되도록 설정되는 것이 중요하다.

<98> 다음에, 도 8의 (b)에 도시하는 바와 같이, 앞서(先) 조사된 레이저광(Lh)의 주사소에 대해서, 소정의 피치(p)로 주사로를 어긋나게 하고 2회째의 레이저광(Lh)의 주사를 행한다. 이 때, 레이저광(Lh)의 주사 방향(y)은, 1회째의 주사와 평행한 일정 방향인 것으로 한다. 그리고, 평행하게 주사되는 레이저광(Lh)의 피치(p)(주사로의 어긋남 폭(shift width))는, 레이저광(Lh)의 직경(주사 방향(y)에 대해서 수직인 방향의 조사 지름)(r3) 이하인 것으로 한다. 이것에 의해, 인접하는 레이저광(Lh)의 주사 위치에 형성된 결정립(B')의 결정성(結晶性)을 계승(引繼)하도록, 2회째의 레이저광(Lh)의 주사에서의 응고를 진행시키고, 레이저광(Lh)의 주사 방향(y)과 다른(異) 방향(주사 방향(y)에 대해서 대략 수직으로 되는 방향)으로 결정립(B')을 성장시킨다.

<99> 또 이 때, 평행하게 주사되는 레이저광(Lh)의 피치(p)는 레이저광(Lh)의 조사 반경(r3/2) 이하로 하는 것이 바람직하다. 이것에 의해, 결정립(B')의 성장 방향을 일정 방향으로 제어하는 것이 용이하게 된다. 이것은, 앞서 기술한 바와 같이, 가우시안 형상의 레이저광(Lh)을 주사시킨 경우에는, 주사로의 양단으로부터 주사 중심(ψ) 측을 향해서 주사 방향(y)으로 응고가 진행되이기 때문에, 주사 중심(ψ)에 대해서 선대칭인 형상의 결정립(B')이 형성된다. 이 때문에, 레이저광(Lh)의 피치(p)를, 레이저광(Lh)의 조사 반경(r3/2) 이하로 하는 것에 의해, 주사로의 일단측으로부터 주사 중심(ψ) 측을 향해서 주사 방향(y)으로 응고가 진행된 결정립(B') 부분만을 남기고서 결정화가 진행된다. 이 때문에, 결정립(B')의 성장 방향을 일정 방향으로 제어하는 것이 용이하게 되는 것이다. 예를 들면, 폭 W1=수 100nm의 결정립(B')을, 그의 폭(W1)을 유지해서 성장시키는 경우에는, 조사 지름(r)=200nm~500nm의 스폿 형상의 레이저광(Lh)을, 조사 반경(r3/2) 이하의 좁은 피치(p)만큼 주사로를 어긋나게 해서 주사시킨다.

<100> 이후, 도 8의 (c)에 도시하는 바와 같이, 소정의 피치(p)만큼 주사로를 어긋나게 하면서, 각각의 어긋나게 한 위치에서 3회째 이후의 레이저광(Lh)의 주사를 순차 행한다. 이것에 의해, 레이저광(Lh)의 주사 방향(y)과 다른 방향으로의 결정립(B')의 성장을 더욱더 진행시키고, 주사 방향(y)에 대해서 대략 수직으로 되는 방향으로 띠모양으로 연장설치된 띠모양의 결정립(B)을 형성한다. 이 때, 각 위치에서의 레이저광(Lh)의 주사를, 1회째

의 주사와 마찬가지로 조사 조건에서 행하는 것에 의해, 띠모양의 결정립(B)의 주사 방향(y)의 폭(W1)이 일정하게 유지된다. 그리고, 이와 같은 띠모양의 결정립(B)이, 주사 방향(y)으로 배열됨으로써, 폭 W1에서 주기적으로 결정립계(a)가 설치된 결정 영역이 형성된다. 다시말해, 띠모양의 결정립(B)의 폭(W1)과 동일한 소정 피치(p)로 결정립계(a)가 주기적으로 설치된다.

- <101> 여기서, 띠모양의 결정립(B)의 폭(W1)(즉, 결정립계(a)의 피치(P))는, 박막 반도체 장치의 채널부에 설치되는 결정립계(a)의 갯수를 규정하는 중요한 팩터로 되는 것은, 상술한 실시형태와 마찬가지로이다.
- <102> 이상 설명한 결정화 이외에도, 도 7에 도시한 결정립계(a) 사이가 일련의 띠모양의 결정립(B)으로 되는 바와 같은 결정화를 행하는 수순으로서, 예를 들면 라인 모양(狀)으로 정형된 레이저광을, 라인 모양의 짧은 축(短軸) 방향으로 주기(P)로 이동시켜서 펄스 조사하는 방법이 예시된다. 이와 같은 방법이더라도, 레이저광의 라인 모양을 일부만 겹치게 함으로써, 레이저광이 겹쳐서 조사된 부분에 결정립계(a)를 형성하는 것이 가능하다. 이 경우, 라인 모양의 짧은 쪽(短手; minor axis) 방향을 채널 길이(L) 방향으로 하는 것에 의해, 채널 길이(L) 방향으로 주기적으로 결정립계가 설치된다. 또, 이 방법은, 청구항에 나타내는 바와 같은, 에너지 빔이 겹침(重; overlapping)을 가지는 범위내에서, 에너지 빔의 조사 위치를 소정의 이동 방향으로 소정 피치만큼 이동시키는 것에 의해, 이동 방향과 다른 방향으로 결정립계를 연장설치하면서 다결정화를 행하는 방법의 1예로도 된다.
- <103> [실시예]
- <104> 이하, 본 발명의 실시예 1~3을 도 3 및 도 5에 의거해서 설명하고, 다음에 비교예를 설명한다.
- <105> <실시예 1>
- <106> 도 5의 (a)를 이용해서 설명한 결정화 공정을 적용해서 복수의 박막 트랜지스터를 형성했다(도 1 참조).
- <107> 먼저, 절연성의 기판(3) 상에, PE-CVD법에 의해서 막두께 50nm의 비정질 실리콘으로 이루어지는 반도체 박막(5)을 성막했다.
- <108> 다음에, 이 반도체 박막(5)의 각 활성 영역(5a)에, 레이저광(Lh)을 조사해서 다결정화하는 결정화 공정을 행했다. 이 때, 레이저광(Lh)은, GaN 레이저를 이용하고, 채널 길이(L) 방향의 스폿 지름(r1)=500nm, 이것과 직교하는 방향(y)의 스폿 지름=300nm의 타원 형상(橢圓形狀)으로 했다. 또, 대물 렌즈의 실효 NA=0.6으로 했다. 그리고, 채널 길이(L) 방향으로의 이동 피치(p1)=400nm, 이것과 직교하는 주사 방향(y)으로의 주사 속도 v t=3m/초(秒), 기판면에서의 조사 에너지(판면(板面) 조사 에너지) 17mW 상당(相當)으로 하고, 반도체 박막(5)의 결정화 공정을 행했다. 또한, 반도체 박막(5)에 대한 레이저광(Lh)의 조사는, 항상 포커스 서보를 가하고(실행하고), 고속으로의 주사시에 초점(焦點)이 벗어나지(外; deviate) 않도록 했다. 또, 조사 에너지가 일정하게 되도록 조사 빔의 일부를 모니터해서 에너지의 변동이 없도록 했다.
- <109> 이와 같은 결정화 공정에 의해, 활성 영역(5a)은, 채널 길이(L) 방향으로 주기(P)=400nm로 복수의 결정립계(a)가 설치되고, 이들 결정립계(a-a) 사이에 걸치는 크기로 주사 방향(y)으로 불룩하게 된 초승달 형상의 결정립(b)이 결정립계(a)를 따라서 배열된 다결정으로 되었다. 각 결정립(b)의 크기는, 주사 방향(y)의 폭의 최대부(초승달의 배(腹; belly part))에서 100nm 정도였다.
- <110> 그 다음에, 다결정화된 각 활성 영역(5a)을, 결정립계(a)와 대략 수직 방향의 폭(다시말해, 채널 폭(W))이 50 μ m로 되도록 패터닝했다. 그 후, 패터닝한 결정 영역(5a)을 덮는 상태에서 게이트 절연막(7)을 성막하고, 이 상부에 결정립계(a)의 연장설치 방향을 따라서 게이트 전극(9)을 형성했다. 게이트 전극(9)은, 선폭(다시말해, 채널 길이(L))=20 μ m로 했다. 또 이것에 의해, 게이트 전극(9)의 하부에서 활성 영역(5a)을 가로지르도록 50개의 결정립계(a)가 설치되도록 했다.
- <111> 그 후, 게이트 전극(9)의 양 옆(兩脇; both sides)의 활성 영역(5a)에 소스/드레인(11)을 형성하고, 기판(3) 상에 동일 규격의 박막 트랜지스터 TFT를 복수 형성했다.
- <112> 얻어진 각 박막 트랜지스터 TFT에 대해서 온 전류를 측정한 바, 편차는 $\pm \sigma = \pm 1.5\%$ 로 억제되고 있었다(하기(下記) 표 1 참조). 또, 임계값(Vth)의 편차도 0.06V로 억제되고 있었다. 이것에 의해, 본 발명을 적용한 도 5의 (a)의 결정 상태로 채널부를 구성하는 것에 의해, 트랜지스터 특성을 고정밀도로 제어하는 것이 가능하다는 것이 확인되었다. 또, 이 때의 FET 이동도(캐리어의 이동도)는 12cm²/Vs이며, 화소 스위치로서 충분히 양호한 트랜지스터 특성이 얻어지는 것도 확인되었다.

<113> [표 1]

	채널길이 L	채널폭 W	결정립계a의 수 (주기수)	온전류 편차 $\pm\sigma$	Vth 편차	이동도 (cm^2/Vs)
실시에 1	20 μm	50 μm	50 개	$\pm 1.5\%$	0.06V	12

도 5의 (a)타입 GaN 레이저; NA=0.6 결정립계a의 주기P=400nm

<114>

<115> <실시에 2-1, 실시에 2-2>

<116> 도 5의 (b)를 이용해서 설명한 결정화 공정을 적용해서 복수의 박막 트랜지스터를 형성했다(도 1 참조).

<117> 먼저, 실시에 1과 마찬가지로 반도체 박막(5)을 성막한 후, 레이저광(Lh)의 조사 조건을 변경해서 활성 영역(5a)의 다결정화를 행했다. 여기에서는, 레이저광(Lh)은, GaN 레이저를 이용하고, 채널 길이(L) 방향의 스폿 지름(r_2)=500nm의 원형상(圓形狀)으로 했다. 또, 대물 렌즈의 실효 NA=0.8로 했다. 그리고, 채널 길이(L) 방향으로의 이동 피치(p_2)=400nm, 이것과 직교하는 주사 방향(y)으로의 주사 속도(v_t)=1m/초, 판면 조사 에너지 12mW 상당으로 하고, 반도체 박막(5)의 결정화 공정을 행했다. 또한, 반도체 박막(5)에 대한 레이저광(Lh)의 조사시에 포커스 서보를 가한 것, 조사 빔의 일부를 모니터한 것은 마찬가지이다.

<118> 이와 같은 결정화 공정에 의해, 활성 영역(5a)은, 채널 길이(L) 방향으로 주기(P)=400nm로 복수의 결정립계(a)가 설치되고, 이들 결정립계(a-a) 사이에 걸치는 크기로 주사 방향(y)과 역방향으로 불록하게 된 초승달 형상의 결정립(b)이 결정립계(a)를 따라서 배열된 다결정으로 되었다. 각 결정립(b)의 크기는, 주사 방향(y)의 폭의 최대부(초승달의 배)에서 150nm 정도였다.

<119> 그 다음에, 실시에 1과 마찬가지로 수순을 행하고, 결정립계(a)와 대략 수직 방향의 폭(다시말해, 채널폭(W))이 50 μm 로 되도록 활성 영역(5a)을 패터닝하고, 게이트 절연막(7)을 거쳐서 게이트 전극(9)을 형성했다. 게이트 전극(9)의 선폭(다시말해, 채널 길이(L))은, 실시에 2-1에서 10 μm , 실시에 2-2에서 20 μm 로 했다. 이것에 의해, 게이트 전극(9)의 하부에서 활성 영역(5a)을 가로지르도록, 실시에 2-1에서는 25개, 실시에 2-2에서는 50개의 결정립계(a)가 각각 설치되도록 했다.

<120> 그 후, 게이트 전극(9)의 양 옆의 활성 영역(5a)에 소스/드레인(11)을 형성하고, 실시에 2-1 및 실시에 2-2의 각각에서, 기판(3) 상에 각 규격의 박막 트랜지스터 TFT를 복수 형성했다.

<121> 얻어진 각 박막 트랜지스터 TFT에 대해서 온 전류를 측정 한 바, 실시에 2-1에서는 온 전류 편차($\pm\sigma$)= $\pm 1.9\%$, 실시에 2-2에서는 온 전류 편차($\pm\sigma$)= $\pm 1.3\%$ 로 억제되고 있었다(하기 표 2 참조). 또, 임계값(V_{th})의 편차도, 실시에 2-1에서는 0.08V, 실시에 2-2에서는 0.06V로 억제되고 있었다. 이것에 의해, 본 발명을 적용한 도 5의 (b)의 결정 상태로 채널부를 구성하는 것에 의해, 트랜지스터 특성을 고정밀도로 제어하는 것이 가능하다고 하는 것이 확인되었다. 또, 이 때의 FET 이동도는, 실시에 2-1, 실시에 2-2 모두 26 cm^2/Vs 이며, 화소 스위치로서 충분히 양호한 트랜지스터 특성이 얻어지는 것도 확인되었다.

<122> [표 2]

	채널길이 L	채널폭 W	결정립계a의 수 (주기수)	온전류 편차 $\pm\sigma$	Vth 편차	이동도 (cm^2/Vs)
실시에2-1	10 μm	50 μm	25 개	$\pm 1.9\%$	0.08V	26
실시에2-2	20 μm		50 개	$\pm 1.3\%$	0.06V	26

도 5의 (b)타입 GaN 레이저; NA=0.8 결정립계a의 주기P=400nm

<123>

<124> 또, 표 2의 결과로부터, 같은 반도체 레이저 결정화 막에서는, 결정립계(a)의 개수가 많을 수록(주기수가 많을 수록), 온 전류의 편차가 작은, 즉 특성 정밀도가 양호한 박막 트랜지스터가 얻어지는 것이 확인되었다.

<125> <실시에 3-1, 실시에 3-2>

<126> 실시에 2와 마찬가지로, 도 5의 (b)를 이용해서 설명한 결정화 공정을 적용해서 복수의 박막 트랜지스터를 형성했다.

<127> 여기에서는, 실시에 2에서의 레이저광(Lh)의 조사 조건 중, 대물 렌즈의 실효 NA=0.4, 피치(p_2)=600nm, 주사

방향(y)으로의 주사 속도(v_t)=3m/s로 변경한 것 이외는, 실시예 2와 마찬가지로 해서 결정화 공정을 행했다.

<128> 이와 같은 결정화 공정에 의해, 활성 영역(5a)은, 채널 길이(L) 방향으로 주기(P)=600nm로 복수의 결정립계(a)가 설치되고, 이들 결정립계(a-a) 사이에 걸치는 크기로 주사 방향(y)과 역방향으로 볼록하게 된 초승달 형상의 결정립(b)이 결정립계(a)를 따라서 배열된 다결정으로 되었다. 각 결정립(b)의 크기는, 주사 방향(y)의 폭의 최대부(초승달의 배)에서 100nm 정도였다.

<129> 그 다음에, 실시예 1과 마찬가지로 수순을 행하고, 결정립계(a)와 대략 수직 방향의 폭(다시말해, 채널 폭(W))이 50 μ m로 되도록 활성 영역(5a)을 패터닝하고, 게이트 절연막(7)을 거쳐서 게이트 전극(9)를 형성했다. 게이트 전극(9)의 선폭(다시말해, 채널 길이(L))은, 실시예 3-1에서 10 μ m, 실시예 3-2에서 20 μ m로 했다. 이것에 의해, 게이트 전극(9)의 하부에서 활성 영역(5a)을 가로지르도록, 실시예 3-1에서는 17개, 실시예 3-2에서는 33개의 결정립계(a)가 각각 설치되도록 했다.

<130> 그 후, 게이트 전극(9)의 양 옆의 활성 영역(5a)에 소스/드레인(11)을 형성하고, 실시예 3-1 및 실시예 3-2의 각각에서, 기판(3) 상에 각 규격의 박막 트랜지스터 TFT를 복수 형성했다.

<131> 얻어진 각 박막 트랜지스터 TFT에 대해서 온 전류를 측정한 바, 실시예 3-1에서는 온 전류 편차($\pm\sigma$)= $\pm 0.94\%$, 실시예 3-2에서는 온 전류 편차($\pm\sigma$)= $\pm 0.56\%$ 로 억제되고 있었다(하기 표 3 참조). 또, 임계값(V_{th})의 편차도, 실시예 3-1에서는 0.10V, 실시예 3-2에서는 0.06V로 억제되고 있었다. 이것에 의해, 본 발명을 적용한 도 5의 (b)의 결정 상태로 채널부를 구성하는 것에 의해, 트랜지스터 특성을 고정밀도로 제어하는 것이 가능하다고 하는 것이 확인되었다. 또, 이 때의 FET 이동도는, 실시예 3-1, 실시예 3-2 모두 18 cm^2/Vs 이며, 화소 스 위치로서 충분히 양호한 트랜지스터 특성이 얻어지는 것도 확인되었다.

<132> [표 3]

	채널길이 L	채널폭 W	결정립계a의 수 (주기수)	온전류 편차 $\pm\sigma$	V_{th} 편차	이동도 (cm^2/Vs)
실시예3-1	10 μ m	50 μ m	17개	$\pm 0.94\%$	0.10V	18
실시예3-2	20 μ m		33개	$\pm 0.56\%$	0.06V	18

도 5의 (b)타임 GaN 레이저; NA=0.4 결정립계a의 주기P=600nm(단, 프로세스 개선 있음)

<133> 또, 표 3의 결과로부터도, 같은 반도체 레이저 결정화 막에서는, 결정립계(a)의 개수가 많을 수록(주기수가 많을 수록), 온 전류의 편차가 작은, 즉 특성 정밀도가 양호한 박막 트랜지스터가 얻어지는 것이 확인되었다.

<135> <비교예>

<136> 종래 구성의 엑시머 레이저를 이용한 결정화 공정을 적용해서 복수의 박막 트랜지스터를 형성했다.

<137> 먼저, 실시예 1과 마찬가지로 반도체 박막(5)을 성막한 후, KrF의 엑시머 레이저를, 광학적으로 짧은 축 방향의 폭이 400 μ m인 라인 빔으로 가공하고, 1펄스마다 짧은 축 방향으로 8 μ m 피치만큼 조사 위치를 어긋나게 하며, 나머지 영역은 겹치도록 레이저를 조사했다. 이 때에 짧은 축에 평행한 단면에서 평가한 에너지 프로파일은, 톱 햇형(top hat form)(사다리꼴형(台形型; trapezoidal form)으로 조정되어 있다. 상기 조건으로 조사를 행한 경우, 같은 영역에는 약 50(shots)의 펄스 레이저가 조사되게 된다. 조사 레이저는 1펄스가 25ns이고, 310mJ/ cm^2 상당의 에너지 밀도로 되도록 아테네이터(attenuator; 감쇠기)를 이용해서 조정했다. 이 결과 얻어진 결정을 2차 전자현미경(SEM)으로 관찰하면, 250 nm^2 (nm 角)(한 변이 약 250nm) 정도의 네모진(四角; square-shaped; 사각 형상의) 결정이 얻어지는 것이 확인되었다.

<138> 그 후에는 실시예 1과 마찬가지로 수순을 행하고, 채널 길이(L)(게이트 전극의 선폭) 20 μ m, 채널폭(W) 50 μ m의 박막 트랜지스터 TFT를 복수 형성했다.

<139> 얻어진 각 박막 트랜지스터 TFT에 대해서 트랜지스터 특성을 측정한 결과를, 하기의 표 4에 나타낸다. 또한, 표 4에는, 비교예와 동일 규격(채널 길이(L)=20 μ m, 채널폭(W)=50 μ m)의 각 실시예에 대한 결과를 아울러(합계) 나타냈다.

<140> [표 4]

	조사 에너지빔	결정 형상	온전류 편차 $\pm\sigma$	Vth 편차	이동도 (cm^2/Vs)
실시에1	GaN레이저; NA=0. 6	도 5의(a)	$\pm 1. 5\%$	0. 06V	12
실시에2-2	GaN레이저; NA=0. 8	도 5의(b)	$\pm 1. 3\%$	0. 06V	26
실시에3-2	GaN레이저; NA=0. 4		$\pm 0. 56\%$	0. 06V	18
비교예	엑시머 레이저		$\pm 6. 2\%$	0. 31V	155

채널길이L=20 μm , 채널 폭W=50 μm (단, NA=0.4는 프로세스 개선 있음)

<141>

<142> 표 4에 나타내는 바와 같이, 본 발명을 적용한 실시예 1~3의 박막 트랜지스터에서는, 본 발명을 적용하고 있지 않은 비교예의 박막 트랜지스터와 비교해서, 온 전류 편차 및 임계값(Vth)의 편차가 작게 억제되고 있는 것이 확인되었다. 또한, FET 이동도에 대해서는, 비교예의 박막 트랜지스터가 높은 값을 나타내고 있지만, 본 발명을 적용한 실시예 1~3의 값이더라도 화소 스위치로서 충분히 양호한 값이다.

<143> 또, 레이저 조사시에 이용한 대물 렌즈의 실효 NA가 다른(異) 어느 실시예 1~3이더라도, 본 발명의 적용이 없는 비교예보다도 온 전류의 편차가 적었다.

<144> 이상의 결과, 유기 전계 발광 소자(有機電界發光素子)를 이용한 표시 장치에서의 화소 전극의 스위칭 소자로서 본 발명을 적용한 박막 트랜지스터를 이용하는 것에 의해, 표시 장치에서의 화소 사이의 휘도(輝度) 편차가 충분히 작게 억제되는 것이 확인되었다.

<145> 또한, 각 실시예 및 비교예는 실험적 프로세스에 의해서 행해지고 있다. 이 때문에, 실시예 2는 다른 예와 비교해서 프로세스(구체적으로는, 핸들링성)가 개선된 결과도 포함되어 있다.

발명의 효과

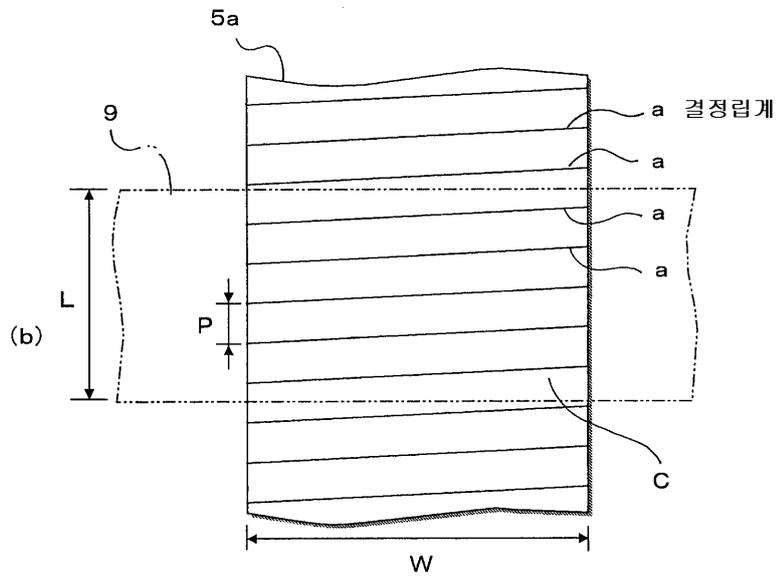
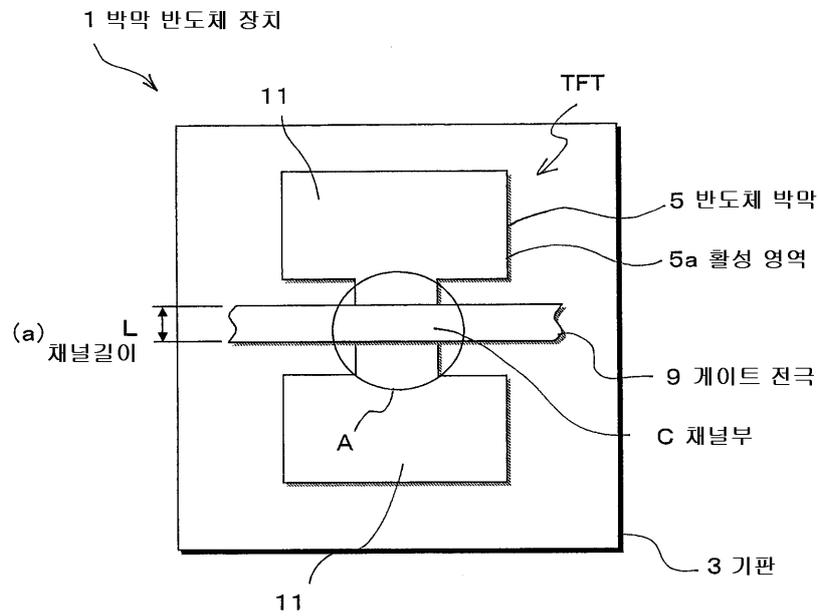
<146> 이상 설명한 바와 같이 본 발명에 따르면, 채널부가 다결정화되어 있는 것에 의해 소자 특성의 경시 변화가 작고 또한 캐리어 이동도가 고속이면서도, 고정밀도로 캐리어 이동도가 제어된 박막 반도체 장치를 얻는 것이 가능하다. 이 결과, 소자 특성이 양호하고, 또한 소자 사이의 특성 편차를 균일화할 수 있으며, 이와 같은 박막 반도체 장치를 스위칭 소자로 한 표시 장치의 고성능화를 도모하는 것이 가능하게 된다.

도면의 간단한 설명

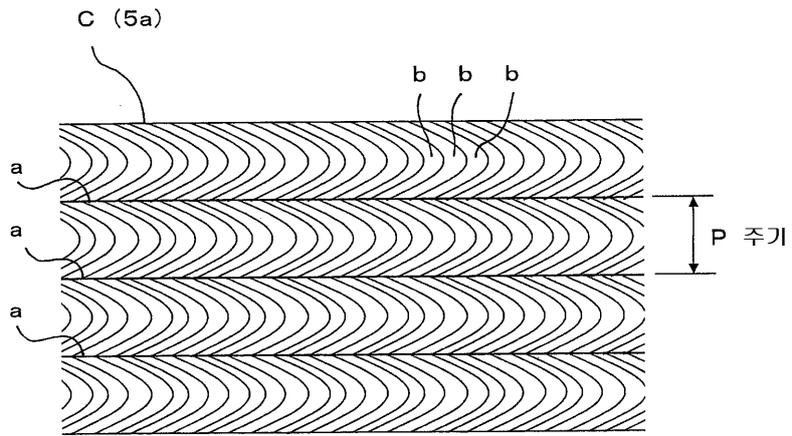
- <1> 도 1은 본 발명의 박막 반도체 장치의 구성을 도시하는 평면도,
- <2> 도 2는 본 발명의 박막 반도체 장치에서의 주요부 확대 평면도,
- <3> 도 3은 본 발명의 박막 반도체 장치의 제조 방법을 설명하는 단면 공정도,
- <4> 도 4는 본 발명의 박막 반도체 장치의 제조 방법에서의 결정화 공정을 설명하는 평면도,
- <5> 도 5는 본 발명의 박막 반도체 장치의 제조 방법에서의 결정화 공정의 상세를 설명하는 평면도,
- <6> 도 6은 본 발명의 박막 반도체 장치를 이용한 액정 표시 장치의 제조 공정도,
- <7> 도 7은 본 발명의 박막 반도체 장치에서의 채널부의 결정 상태의 다른 예를 도시하는 평면도,
- <8> 도 8은 도 7의 결정 상태를 얻기 위한 결정화 공정의 상세를 설명하는 평면도.
- <9> [부호의 설명]
- <10> 1...박막 반도체 장치, 5a...활성 영역, 5...반도체 박막, 9...게이트 전극, a...결정립계, b...결정립, C...채널부, L...채널 길이, Lh...레이저광(에너지 빔), P...주기, y...주사 방향.

도면

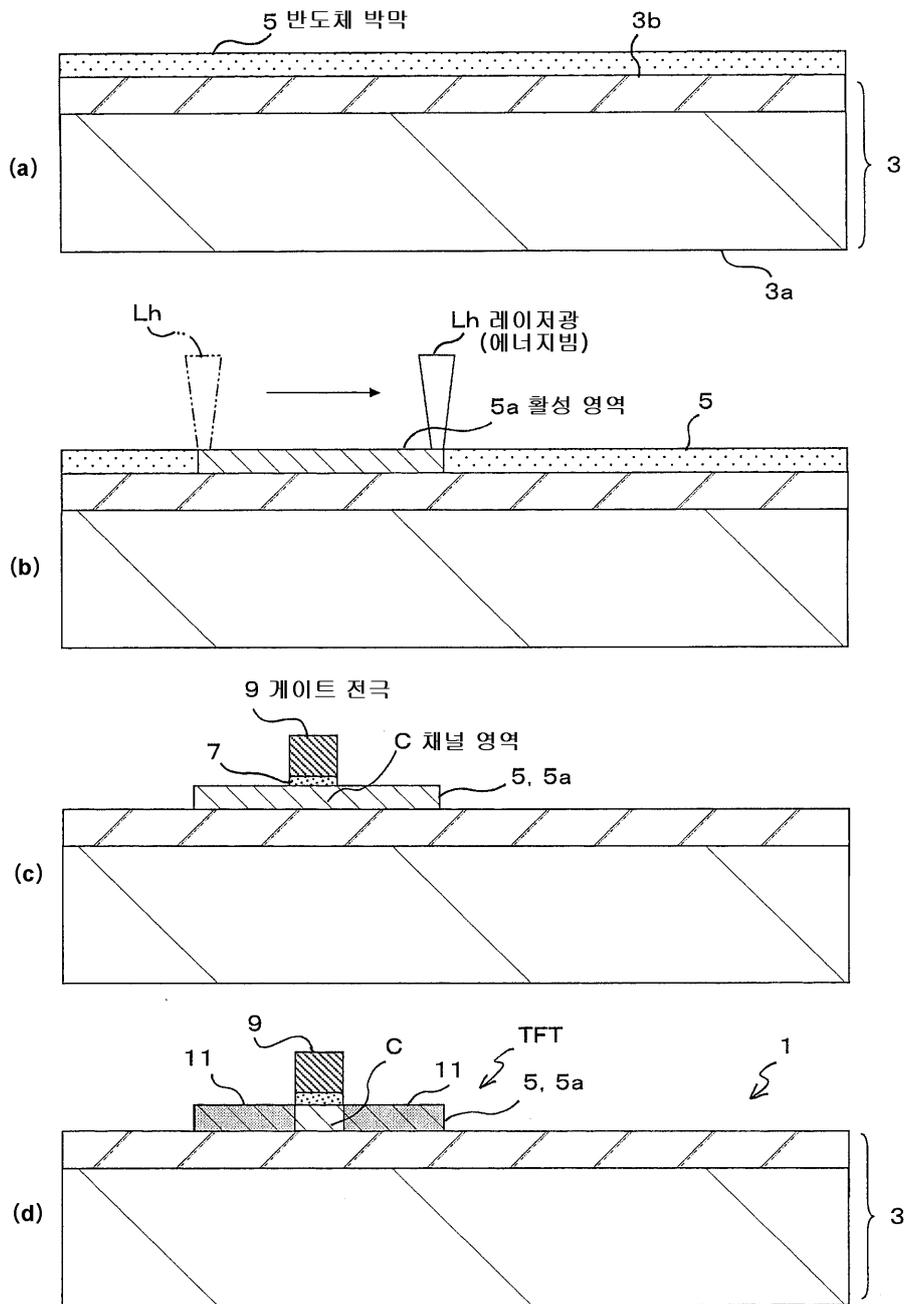
도면1



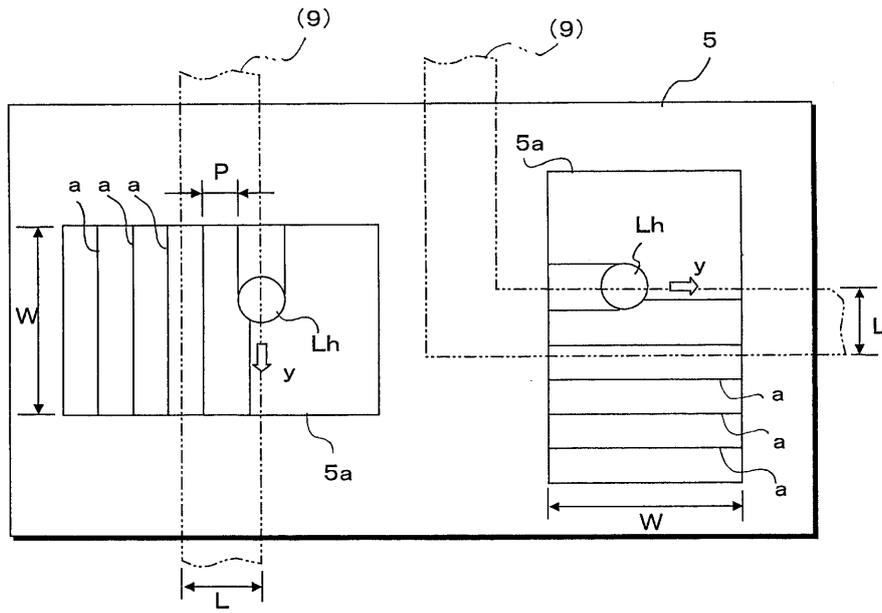
도면2



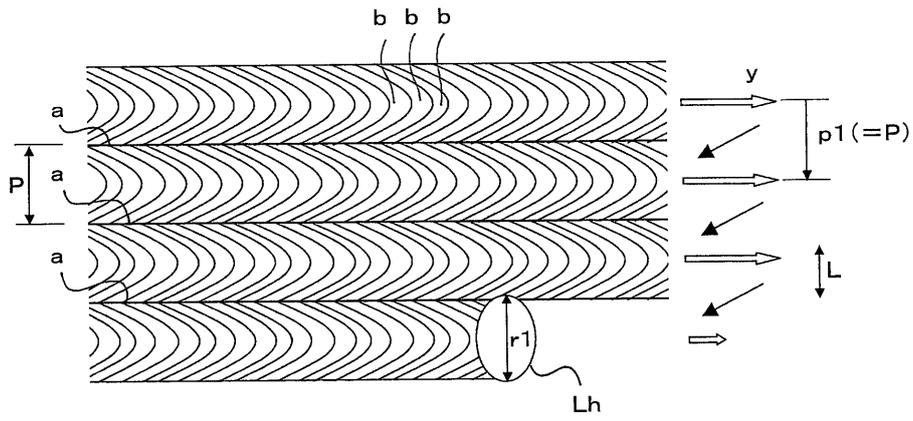
도면3



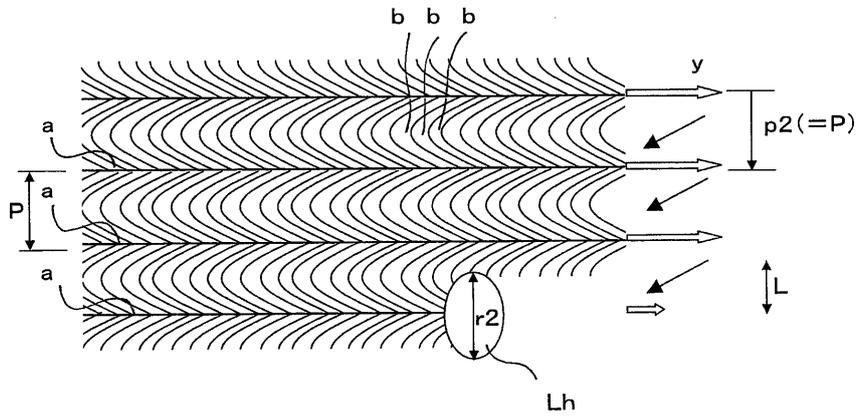
도면4



도면5

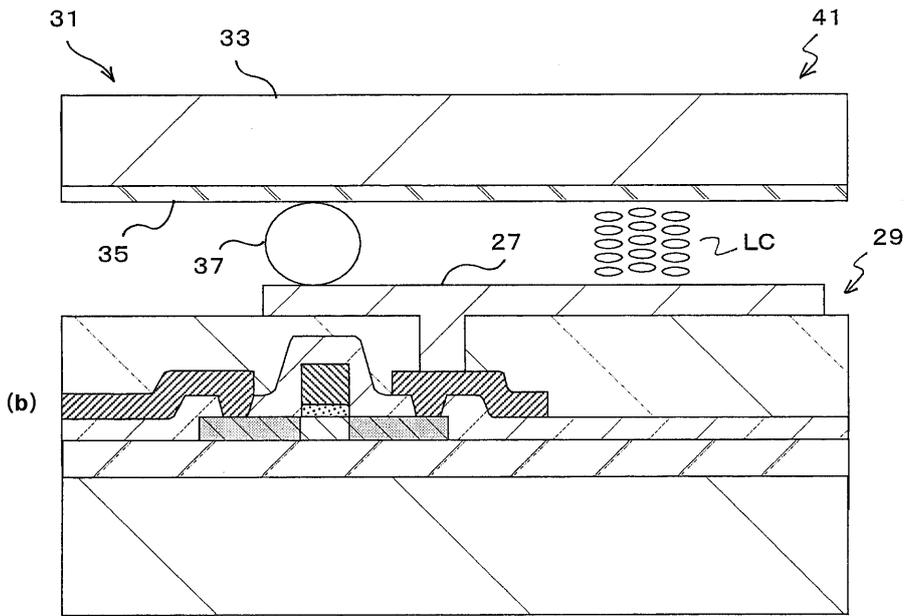
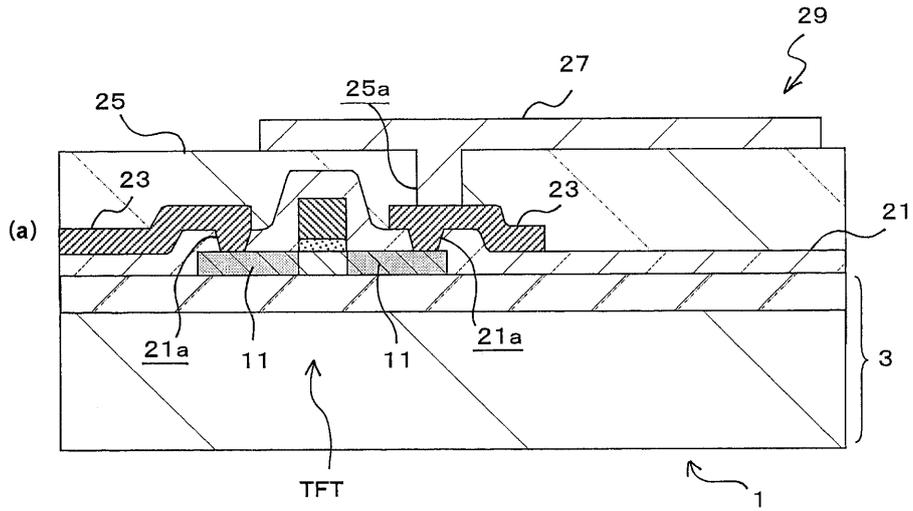


(a)

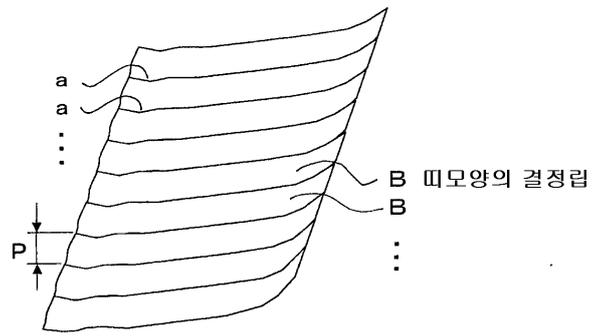


(b)

도면6



도면7



도면8

