



(12) 发明专利

(10) 授权公告号 CN 101047186 B

(45) 授权公告日 2010. 05. 26

(21) 申请号 200610172309. 4

页第 4 段, 第 16 页第 5-7 段和第 17 页第 1-4 段、附图 1, 11, 28.

(22) 申请日 2006. 12. 30

审查员 杨燕

(30) 优先权数据

11/390, 707 2006. 03. 28 US

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 廖忠志

(74) 专利代理机构 隆天国际知识产权代理有限公司

公司 72003

代理人 高龙鑫

(51) Int. Cl.

H01L 27/11 (2006. 01)

H01L 23/522 (2006. 01)

(56) 对比文件

CN 1536674 A, 2004. 10. 13, 说明书第 1 页第 4-6 段, 第 2 页第 1 段, 第 11 页第 2-6 段, 第 13

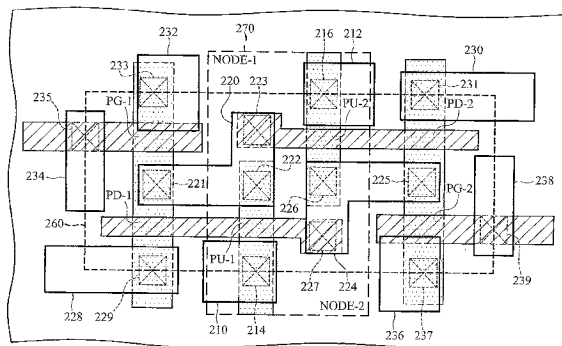
权利要求书 2 页 说明书 7 页 附图 17 页

(54) 发明名称

存储单元及相关的存储器装置

(57) 摘要

一种存储单元及相关的存储器装置, 该存储单元包括: 基底, 其具有形成于其上的两个交叉耦接的反相器以及第一、第二通栅晶体管, 其中交叉耦接的反相器具有数据存储节点以及互补数据存储节点, 上述两节点分别耦接至第一、第二通栅晶体管的第一端; 第一导电层, 其设置于基底上, 包括位线以及互补位线, 上述位线以及互补位线分别耦接至第一、第二通栅晶体管的第二端; 以及第二导电层, 其设置于第一导电层上, 包括两个第一电源信号线, 上述两个第一电源信号线分别覆盖于位线与互补位线上, 其中第一电源信号线、位线与互补位线相互平行。



1. 一种存储单元,其特征在于,包括:

基底,其包括形成于其上的两个交叉耦接的反相器以及第一、第二通栅晶体管,上述反相器具有数据存储节点以及互补数据存储节点,并且上述两节点分别耦接至上述第一、第二通栅晶体管的第一端;

第一导电层,其设置于上述基底上,包括位线以及互补位线,该位线以及互补位线分别耦接至上述第一、第二通栅晶体管的第二端;

第二导电层,其设置于上述第一导电层上,包括两个第一电源信号线,上述两个第一电源信号线分别覆盖于上述位线与互补位线上,其中上述两个第一电源信号线、位线与互补位线相互平行;以及

第三导电层,其设置于上述第一导电层与第二导电层之间,包括两个第三电源信号线,上述两个第三电源信号线垂直于上述位线与互补位线,并且各个上述第三电源信号线电性连接上述两个第一电源信号线,并接收固定电源电压,用以形成电力网络。

2. 如权利要求 1 所述的存储单元,其特征在于,上述两个第一电源信号线部分地覆盖于上述位线与互补位线上。

3. 如权利要求 1 所述的存储单元,其特征在于,上述两个第一电源信号线完全地覆盖住上述位线与互补位线。

4. 如权利要求 1 所述的存储单元,其特征在于,上述第一导电层还包括第二电源信号线,其设置于上述位线与互补位线之间,并且电性连接至上述交叉耦接的反相器的第一电源端。

5. 如权利要求 1 所述的存储单元,其特征在于,上述第三导电层还包括字线,该字线垂直于上述位线与互补位线,并且电性连接至上述第一、第二通栅晶体的控制端。

6. 如权利要求 1 所述的存储单元,其特征在于,还包括第四导电层,其设置于上述基底与第一导电层之间,包括字线,该字线垂直于上述位线与互补位线,并且电性连接至上述第一、第二通栅晶体的控制端,上述第一导电层还包括两个第四电源信号线,上述两个第四电源信号线平行于上述位线与互补位线,用以电性连接至上述两个第一电源信号线与上述交叉耦接的反相器的第二电源端。

7. 一种存储单元,其特征在于,包括:

基底,其包括形成于其上的通栅晶体管;

第一导电层,其设置于上述基底上,包括位线,该位线电性耦接至上述通栅晶体管的第一端;

第二导电层,其设置于上述第一导电层上,包括第一电源信号线,该第一电源信号线覆盖于上述位线,其中上述第一电源信号线平行于上述位线;

第三导电层,其设置于上述第二导电层上,包括第二电源信号线,该第二电源信号线垂直于上述位线,上述第一、第二电源信号线电性连接至来自电力网络的固定电源电压;以及存储电容,其耦接于一定电压与上述通栅晶体的第二端之间。

8. 如权利要求 7 所述的存储单元,其特征在于,上述第一电源信号线部分地覆盖于上述位线上。

9. 如权利要求 7 所述的存储单元,其特征在于,上述第一电源信号线完全地覆盖住上述位线。

10. 一种存储单元,其特征在于,包括
基底;
第一导电层,其设置于上述基底上,包括位线以及互补位线;
第二导电层,其设置于上述第一导电层上,包括两个第一电源信号线,上述两个第一电源信号线分别覆盖于上述位线与互补位线上,上述两个第一电源信号线、位线与互补位线相互平行;以及
第三导电层,其设置于上述第一导电层与第二导电层之间,包括两个第三电源信号线,上述两个第三电源信号线垂直于上述位线与互补位线,并且各个上述第三电源信号线电性连接上述两个第一电源信号线,并接收固定电源电压,用以形成电力网络。
11. 一种半导体存储装置,其特征在于,包括
多个存储器阵列,每一存储器阵列包括多个如权利要求 1 所述的存储单元;以及
至少一个第一阱区导电单元,其电性耦接至上述基底中的 P 阱区,其中上述第一阱区导电单元设置于每两个上述存储器阵列之间。
12. 如权利要求 11 所述的半导体存储装置,其特征在于,还包括至少一个第二阱区导电单元,其电性耦接至上述基底中的 N 阱区,其中上述第二阱区导电单元设置于每两个上述存储器阵列之间。
13. 如权利要求 12 所述的半导体存储装置,其特征在于,每一个第一阱区导电单元包括 P 阱区电压导线,该 P 阱区电压导线平行于上述位线,并且每一个第二阱区导电单元包括 N 阱区电压导线,该 N 阱区电压导线平行于上述位线。

存储单元及相关的存储器装置

技术领域

[0001] 本发明涉及存储器装置,特别涉及一种存储单元以及相关的存储器装置。

背景技术

[0002] 随着具有速度快且高密度的互补金属氧化物半导体 (CMOS) 晶体管技术的进步,静态随机存取存储器 (SRAM) 集成电路变得愈来愈流行,并且目前 CMOS 晶体管技术在超大规模集成电路的制造中占着首要的地位。在近几十年来,半导体结构的尺寸不断地缩减,使得半导体芯片在速度、效能、电路集成度和单位成本上都有大大增进。

[0003] 然而,随着 CMOS 装置的尺寸不断地缩减,也带来更多挑战需要去面对,例如对高速、低功耗的系统芯片 (system on chip) 而言,嵌入式的静态随机存取存储器是一个非常重要的部分,在纳米世代中每个产品将会在芯片上设置数个静态随机存取存储器,为了增加布局效率、芯片尺寸以及芯片速度,SRAM 存储单元允许使用金属层信号线来用于数据传输和跨阵列 (cross-array) 的控制信号线,然而这将会引发信号干扰,所以芯片的布局效率、速度、信号干扰防护与存储单元的稳定性就变得愈来愈重要。因此,将需要一个集成电路能够允许信号线通过存储单元阵列,同时能够提供最佳的信号干扰防护。

发明内容

[0004] 鉴于上述问题,本发明提供一种存储单元,包括:基底,其具有形成于其上的两个交叉耦接的反相器以及第一、第二通栅晶体管,其中交叉耦接的反相器具有数据存储节点以及互补数据存储节点,上述两节点分别耦接至第一、第二通栅 (pass-gate) 晶体管的第一端;第一导电层,其设置于基底上,包括位线以及互补位线,上述位线以及互补位线分别耦接至第一、第二通栅晶管的第二端;以及第二导电层,其设置于第一导电层上,包括两个第一电源信号线,上述两个第一电源信号线分别覆盖于位线与互补位线上,其中第一电源信号线、位线与互补位线相互平行。

[0005] 本发明还提供一种存储单元,包括:基底,其包括形成于其上的通栅晶体管;第一导电层,其设置于基底上,包括位线,该位线电性耦接至通栅晶体管的第一端;以及第二导电层,设置于第一导电层上,包括第一电源信号线,该第一电源信号线覆盖于位线上,其中第一电源信号线平行于位线。

[0006] 本发明还提供一种存储器装置,包括多个存储器阵列,每一存储器阵列包括多个前述的存储单元;以及至少一个第一阱区导电 (strap) 单元,该第一阱区导电单元电性耦接至上述基底中的 P 阱区。

[0007] 根据本发明,可实现一个集成电路能够允许信号线通过存储单元阵列,同时能够提供最佳的信号干扰防护效果。

[0008] 为了使本发明的上述和其它目的、特征、和优点能更明显易懂,下文特举个优选实施例,并配合附图,作详细说明如下:

附图说明

- [0009] 图 1 为表示 6T-SRAM 的存储单元的结构示意图。
- [0010] 图 2A ~ 2D 为本发明实施例中的 6T-SRAM 存储单元的俯视图。
- [0011] 图 2E 表示本发明的存储单元的另一实施例。
- [0012] 图 3A ~ 3E 为本发明中的 6T-SRAM 存储单元的另一实施例的俯视图。
- [0013] 图 3F 表示本发明的存储单元的另一实施例。
- [0014] 图 4 为动态随机存取存储器 (DRAM) 的存储单元的示意图。
- [0015] 图 5A ~ 5D 为本发明中的 DRAM 存储单元的一个实施例的俯视图。
- [0016] 图 6 为存储器芯片的一个实施例。

具体实施方式

[0017] 在实施例中,本发明的实施方式应用于 6T-SRAM 与 8T-SRAM,然而任何本领域的普通技术人员,均可由本发明所述的内容与特征应用于其它类型的装置,例如其它类型的 SRAM 与或是 SRAM 以外的存储器装置。因此,在此所述的实施例仅为说明所用,并非用以限定本发明。

[0018] 图 1 为显示 6T-SRAM 的存储单元的结构示意图。如图所示,6T-SRAM 的存储单元包括第一通栅晶体管 (first pass-gate transistor) PG1、第二通栅晶体管 PG2、第一拉升晶体管 (pull-up transistor) PU-1、第二拉升晶体管 PU-2、第一拉低晶体管 (pull-down transistor) PD-1 以及第二拉低晶体管 PD-2。

[0019] 在动作上,存储单元可视为两个互补式的节点 NODE-1 与 NODE-2。由于节点 NODE-1 连接到第二拉升晶体管 PU-2 的栅极,而节点 NODE-2 连接到第一拉升晶体管 PU-1 的栅极,所以存储于每一个节点的值会和存储于另一个节点的值保持互补的关系。举例而言,当节点 NODE-1 为高电位,第二拉升晶体管 PU-2 将会阻止电流由电源电压 V_{cc} 流往节点 NODE-2。在此时,第二位低晶体管 PD-2 会导通,使得节点 NODE-2 中所存储的电荷会释放到接地端。再者,当节点 NODE-2 为低电位,第一拉升晶体管 PU-1 将会允许电流由电源电压 V_{cc} 流往节点 NODE-1。此时,第一位低晶体管 PD-1 不会导通,以避免节点 NODE-1 中所存储的电荷被释放到接地端。第一通栅晶体管 PG-1 与第二通栅晶体管 PG-2 的栅极耦接至字线 WL,用以控制存储单元的数据读取与写入。节点 NODE-1 与 NODE-2 所存储的值分别由电性耦接至传感放大器 (未图标) 的位线与互补位线所读出。

[0020] 图 2A ~ 2D 为本发明实施例中的 6T-SRAM 存储单元的俯视图。详细而言,图 2A 为含有半导体元件 (有源区与覆晶硅) 以及第一金属层 (M1) 的俯视图;图 2B 为含有第一金属层 (M1) 以及第二金属层 (M2) 的俯视图;图 2C 为含有第二金属层 (M2) 以及第三金属层 (M3) 的俯视图;图 2D 为含有第三金属层 (M3) 以及第四金属层 (M4) 的俯视图。

[0021] 如图 2A 所示,6T-SRAM 存储单元包括形成于基底上的第一、第二通栅晶体管 PG-1 与 PG-2、第一、第二拉升晶体管 PU-1 与 PU2,以及第一、第二拉低晶体管 PD-1 与 PD-2。为了说明,粗线条的矩形代表形成于第一金属层 (M1) 上的接点信号线。举例而言,基底 (未标号) 可为块体材料硅 (bulk Si)、SiGe、SOI、非块体材料硅 (non-bulk Si),晶体管的栅极的厚度优选小于 1000\AA 并可具有不同的宽度,但第一、第二拉低晶体管 PD-1 与 PD-2 的栅极宽度优选小于 40nm。晶体管的栅极介电层可为单层或多层,且优选有一层由二氧化硅、氮化

硅、含氮基的氧化物、金属氧化物、氮化氧硅、高介电材料或其组合物所构成，并且栅极氧化物的厚度优选小于 13\AA 。

[0022] 在优选情况下，第一、第二拉升晶体管 PU-1 与 PU-2 为形成于 n 型阱区或 n 型深阱区中的 PMOS 晶体管，而其它晶体管（例如第一、第二通栅晶体管 PG-1 与 PG-2 和第一、第二拉低晶体管 PD-1 与 PD-2）为 NMOS 晶体管。第一、第二拉升晶体管 PU-1 与 PU-2 的源极端分别通过插塞 214 与 216，电性连接到第一金属层 (M1) 上电压源 (VCC) 的接点信号线 210 与 212。

[0023] 第一拉升晶体管 PU-1、第一拉低晶体管 PD-1 与第一通栅晶体管 PG-1 的漏极端以及第二拉升晶体管 PU-2 与第二拉低晶体管 PD-2 的栅极都通过第一金属层 (M1) 上的内连接部 220 与插塞 221、222 与 223 而电性连接在一起。同样地，第二拉升晶体管 PU-2、第二拉低晶体管 PD-2 与第二通栅晶体管 PG-2 的漏极端以及第一拉升晶体管 PU-1 与第一拉低晶体管 PD-1 的栅极都通过第一金属层 (M1) 上的内连接部 224 与插塞 225、226 与 227 电性连接在一起。

[0024] 第一拉低晶体管 PD-1 的源极端由接地端 (VSS) 接点信号线 228 与插塞 229 电性耦接至接地端 (VSS；未显示于图中)，而第二拉低晶体管 PD-2 的源极端由接地端 (VSS) 接点信号线 230 与插塞 231 电性耦接至接地端 (VSS)。

[0025] 第一通栅晶体管 PG-1 的源极端通过接点信号线 232 与插塞 233 电性耦接至位线 (BL；在图 2A 中未显示)，并且第一通栅晶体管 PG-1 用以电性耦接位线 (BL) 至第一拉升晶体管 PU-1 与第一拉低晶体管 PD-1 的漏极端。第一通栅晶体管 PG-1 的栅极端通过第一金属层 (M1) 上的接点信号线 234 与插塞 235 耦接至字线 (WL；在图 2A 中未显示)。

[0026] 第二通栅晶体管 PG-2 的源极端通过接点信号线 236 与插塞 237 电性耦接至互补位线 ($\bar{B}L$ ；在图 2A 中未显示)。同样地，第二通栅晶体管 PG-2 用以电性耦接互补位线 ($\bar{B}L$) 至第二拉升晶体管 PU-2 与第二拉低晶体管 PD-2 的漏极端。第二通栅晶体管 PG-2 的栅极端通过第一金属层 (M1) 上的接点信号线 238 与插塞 239 耦接至字线 (WL)。任何本领域中的普通技术人员都可根据前述结构而定义出元件单元或存储单元 260 (如虚线所示)。

[0027] 存储单元 260 为 SRAM 存储单元的基本构成区块，且可被重复设置以便得到较大的存储器，其中存储单元 260 的长边优选两倍于或大于其短边，且存储单元 260 的短边的长度优选为 $0.485\mu\text{m}$ 或更小，而且晶体管被对准设置，使得源 / 漏极区的纵轴平行于存储单元 260 的短边。

[0028] n 型阱区 270 或 n 型深阱区形成于存储单元 260 中，而基底优选为 p 型基底，用以提供大片 p 型阱区来环绕住 n 型阱区 270，并设置有 NMOS 元件。n 型阱区 270 通过已知的 n 型离子注入技术而形成于基底中，使得 PMOS 元件（晶体管）可以形成于其上，例如第一拉升晶体管 PU-1 与第二拉升晶体管 PU-2。

[0029] 图 2B 为第一金属层 (M1) 与第二金属层 (M2) 的俯视图，用以与图 2A 所示存储单元的布局相结合。第二金属层 M2 包括位线 (BL) 242、互补位线 ($\bar{B}L$) 244、电压源信号线 246、接点信号线 241、243、245 与 247。在此实施例，电压源信号线 246 平行于位线 242 与互补位线 244，并且设置于位线 242 与互补位线 244 之间。

[0030] 位线 242 通过插塞 253 电性耦接至第一金属层 (M1) 上的接点信号线 232，并且第一金属层 (M1) 上的接点信号线 232 电性耦接至第一通栅晶体管 PG-1 的源极端。互补位线

244 通过插塞 254 电性耦接至第一金属层 (M1) 上的接点信号线 236, 而第一金属层 (M1) 上的接点信号线 236 电性耦接至第二通栅晶体管 PG-2 的源极端。电压源信号线 246 通过插塞 251 与 252 电性耦接至第一金属层 (M1) 上的接点信号线 210 与 212, 而第一金属层 (M1) 上的接点信号线 210 与 212 分别电性耦接至第一、第二拉升晶体管的源极端。

[0031] 接点信号线 241 与 243 通过插塞 255 与 256 电性耦接至第一金属层 (M1) 上的接点信号线 234 与 238, 而第一金属层 (M1) 上的接点信号线 234 与 238 分别电性耦接至第一、第二通栅晶体管 PG-1 与 PG-2 的栅极端。接点信号线 245 与 247 通过插塞 257 与 258 电性耦接至第一金属层 (M1) 上的接点信号线 228 与 230, 而第一金属层 (M1) 上的接点信号线 228 与 230 分别电性耦接至第一、第二拉低晶体管 PD-1 与 PD-2 的源极端。

[0032] 图 2C 为第二金属层 (M2) 与第三金属层 (M3) 的俯视图, 用以与图 2B 所示存储单元的布局相结合。第三金属层 M3 包括两条接地端信号线 261 与 263, 以及一条字线 (WL) 265。接地端信号线 261 与 263 分别通过插塞 271 与 273 电性耦接至第二金属层 (M2) 上的接点信号线 245 与 247, 字线 265 通过插塞 275 与 277 电性耦接至第二金属层 (M2) 上的接点信号线 241 与 243。在此实施例中, 字线 265 平行于接地端信号线 261 与 263, 且设置于接地端信号线 261 与 263 之间, 并且字线 265 以及接地端信号线 261 与 263 垂直于位线 (BL) 242、互补位线 (/BL) 244 以及第二金属层 (M2) 上的电压源信号线 246。

[0033] 图 2D 为第一至第四金属层 (M1 ~ M4) 的俯视图, 用以与图 2C 所示存储单元的布局相结合。第四金属层 M4 包括两个接地端信号线 267 与 269, 垂直于第三金属层 (M3) 上的接地端信号线 261 与 263 与字线 265, 并且接地端信号线 267 与 269 通过插塞 281、283、285 与 287 电性连接至第三金属层 (M3) 上的接地端信号线 261 与 263, 以便形成电源网络 (power grid)。第二金属层 (M2) 上的位线 242 与互补位线 244 分别被第四金属层 (M4) 上的接地端信号线 269 与 267 所完全地覆盖。

[0034] 图 2E 表示本发明存储单元的另一实施例。如图所示, 第二金属层 (M2) 上的位线 242 与互补位线 244 分别被第四金属层 (M4) 上的接地端信号线 269' 与 267' 部分地覆盖。

[0035] 图 3A ~ 3E 为本发明中 6T-SRAM 存储单元的另一实施例的俯视图。详细而言, 图 3A 为含有半导体装置 (有源区与覆晶硅) 以及第一金属层 (M1) 的俯视图; 图 3B 为含有第一金属层 (M1) 以及第二金属层 (M2) 的俯视图; 图 3C 为含有第二金属层 (M2) 以及第三金属层 (M3) 的俯视图; 图 3D 为含有第三金属层 (M3) 以及第四金属层 (M4) 的俯视图; 图 3E 为第一至第五金属层 (M1 ~ M5) 的俯视图。

[0036] 如图 3A 所示, 此结构与图 2A 所示的相同, 所以在此不再累述。

[0037] 如图 3B 中所示, 第二金属层 (M2) 包括字线 (WL) 301 以及接点信号线 302-307。字线 301 分别通过插塞 312 与 311 电性耦接至第一金属层 (M1) 上的接点信号线 234 与 238, 且接点信号线 234 与 238 电性耦接至通栅晶体管 PG-1 与 PG-2 的栅极端。

[0038] 接点信号线 302 与 303 通过插塞 313 与 314 电性耦接至第一金属层 (M1) 上的接点信号线 210 与 212, 而接点信号线 210 与 212 分别电性耦接至拉升晶体管的 PU-1 与 PU-2 的源极端。接点信号线 304 与 305 通过插塞 315 与 316 电性耦接至第一金属层 (M1) 上的接点信号线 232 与 236, 而接点信号线 232 与 236 分别电性耦接至通栅晶体管的 PG-1 与 PG-2 的源极端。接点信号线 306 与 307 通过插塞 317 与 318 电性耦接至第一金属层 (M1) 上的接点信号线 228 与 230, 而接点信号线 228 与 230 分别电性耦接至通栅晶体管的 PD-1 与 PD-2

的源极端。

[0039] 图 3C 为第一至第三金属层 (M1 ~ M3) 的俯视图,用以与图 3B 所示存储单元的布局相结合。第三金属层 M3 包括互相平行的电压源信号线 321、位线 (BL) 322、互补位线 (/BL) 323 以及两条接地端信号线 324 与 325。在此实施例中,电压源信号线 321、位线 (BL) 322 与互补位线 (/BL) 323 设置于两条接地端信号线 324 与 325 之间,且电压源信号线 321 设置于位线 (BL) 322 与互补位线 (/BL) 323 之间。

[0040] 电压源信号线 321 通过插塞 331 与 332 电性耦接至第二金属层 (M2) 上的接点信号线 302 与 303。位线 322 通过插塞 333 电性耦接至第二金属层 (M2) 上的接点信号线 304。互补位线 323 通过插塞 334 电性耦接至第二金属层 (M2) 上的接点信号线 305。接地端信号线 324 与 325 通过插塞 335 与 336 电性耦接至第二金属层 (M2) 上的接点信号线 307 与 306。在此实施例中,电压源信号线 321、位线 (BL) 322、互补位线 (/BL) 323 以及接地端信号线 324 与 325 垂直于第二金属层 (M2) 上的字线 301。

[0041] 图 3D 为第一至第四金属层 (M1 ~ M4) 的俯视图,用以与图 3C 所示存储单元的布局相结合。第四金属层 M4 包括两个接地端信号线 341 与 342。接地端信号线 341 与 342 平行于第三金属层 (M3) 上的电压源信号线 321、位线 (BL) 322、互补位线 (/BL) 323 以及接地端信号线 324 与 325。接地端信号线 341 与 342 通过插塞 351 与 352 电性耦接至第三金属层 (M3) 上的接点信号线 324 与 325。第三金属层 (M3) 上的位线 (BL) 322 与互补位线 (/BL) 323 分别被第四金属层 (M4) 上的接地端信号线 341 与 342 所完全地覆盖。

[0042] 图 3E 为第一至第五金属层 (M1 ~ M5) 的俯视图,用以与图 3D 所示存储单元的布局相结合。第五金属层 M5 包括两个接地端信号线 361 与 362。接地端信号线 361 与 362 垂直于第三金属层 (M3) 上的电压源信号线 321、位线 (BL) 322、互补位线 (/BL) 323 以及接地端信号线 324 与 325 和第四金属层 (M4) 上的接地端信号线 341 与 342。接地端信号线 361 与 362 通过插塞 371 ~ 374 电性连接至第四金属层 (M4) 上的接地端信号线 341 与 342,以便形成电力网络。

[0043] 图 3F 表示本发明存储单元的另一实施例。如图所示,第三金属层 (M3) 上的位线 322 与互补位线 323 分别被第四金属层 (M4) 上的接地端信号线 341 与 342 所部分地覆盖。

[0044] 图 4 为动态随机存取存储器 (DRAM) 的存储单元的示意图。如图所示,DRAM 的存储单元包括开关晶体管 SW1 以及存储电容 Cst,其中存储电容 Cst 的一端耦接至固定电压,例如接地端电压 VSS。开关晶体管 SW1 的栅极电性耦接至字线 WL,用以控制存储单元的数据读取与写入。存储电容 Cst 中所存储的值通过电性耦接至传感放大器 (未图标) 的位线而读出。

[0045] 图 5A ~ 5D 为本发明中 DRAM 存储单元的实施例的俯视图。详细而言,图 5A 为含有半导体元件 (有源区与覆晶硅) 以及第一金属层 (M1) 的俯视图;图 5B 为含有第一金属层 (M1) 以及第二金属层 (M2) 的俯视图;图 5C 为含有第二金属层 (M2) 以及第三金属层 (M3) 的俯视图;图 5D 为含有第三金属层 (M3) 以及第四金属层 (M4) 的俯视图。

[0046] 如图 5A 中所示,DRAM 存储单元包括形成于基底上的开关元件 SW1,并且开关元件 SW1 的漏极端耦接至存储电容,而其源极端电性耦接至位线 BL (未图标),而其栅极端电性耦接至字线 WL (未图标)。为了说明,粗线条的矩形代表形成于第一金属层 (M1) 上的接点

信号线。

[0047] 开关晶体管 SW1 的栅极通过插塞 402 电性耦接至接点信号线 401, 其源极通过插塞 404 电性耦接至接点信号线 403, 而其漏极通过插塞 405 耦接至存储电容 Cst, 例如平板电容、沟槽电容、堆叠式电容或其它型式的电容。

[0048] 图 5B 为第一与第二金属层 (M1、M2) 的俯视图, 用以与图 5A 所示存储单元的布局相结合。第二金属层 (M2) 包括位线 (BL) 411 以及接点信号线 413。位线 (BL) 411 通过插塞 412 电性耦接至第一金属层 (M1) 上的接点信号线 403, 而第一金属层 (M1) 上的接点信号线 403 电性耦接至开关晶体管 SW1 的源极端。接点信号线 413 通过插塞 414 电性耦接至第一金属层 (M1) 上的接点信号线 401, 而第一金属层 (M1) 上的接点信号线 401 电性耦接至开关晶体管 SW1 的栅极端。

[0049] 图 5C 为第一至第三金属层 (M1 ~ M3) 的俯视图, 用以与图 5B 所示存储单元的布局相结合。第三金属层 M3 包括字线 (WL) 421 以及接地端信号线 423。

[0050] 字线 421 通过插塞 422 电性耦接至第二金属层 (M2) 上的接点信号线 413, 接地端信号线 423 电性耦接至固定电压, 例如接地电压 VSS、VCC... 等等。在本实施例中, 第二金属层 (M2) 上的位线 411 被第三金属层 (M3) 上的接地端信号线 423 所完全地覆盖。字线 421 平行于第二金属层 (M2) 上的位线 411 与第三金属层 (M3) 上的接地端信号线 423。在某些实施例中, 第二金属层 (M2) 上的位线 411 可被第三金属层 (M3) 上的接地端信号线 423 所部分地覆盖。

[0051] 图 5D 为第三至第四金属层 (M3 ~ M4) 的俯视图, 用以与图 5C 所示存储单元的布局相结合。第四金属层 M4 包括接地端信号线 431, 垂直于第三金属层 (M3) 上的字线 421 与接地端信号线 423, 并且接地端信号线 431 通过插塞 432 电性耦接至第三金属层 (M3) 上的接地端信号线 423, 以便形成电力网络。

[0052] 由于位线 (BL) 及 / 或互补位线 (/BL) 被设置于上方的接地端信号线或电压源信号线所完全地覆盖或部分地覆盖, 所以本发明可以避免存储单元上用于数据传输的金属信号线和跨阵列控制信号线所导致的信号干扰。因此, 本发明的存储单元可以增进信号干扰的防护能力, 且允许信号线可以跨过存储单元阵列进行配线, 以便增进芯片的布局效率与速度和降低芯片的尺寸。为了维持最小的电阻降 (IR drop), 本发明中的接地端信号线 (VSS) 和电压源信号线 (VCC) 形成电力网络, 以便得到稳固的电源信号线和稳定的嵌入式存储器芯片。

[0053] 在优选实施例中, 在每两个存储器阵列之间设置有至少一个阱区导电 (strap) 接点。图 6 为存储器芯片的实施例, P 型基底 610 具有形成于其上的多个存储单元 612。举例而言, 每个存储器阵列 620 包括多个存储单元 612, 并且每个存储单元 612 可为 6T-SRAM 或 8T-SRAM。P 型阱区导电 (strap) 单元 615 包括 P 阱区电压导线 614、P 型掺杂区, 并将其设置于基底 610 中, 以及包括耦接于 P 阱区电压导线 614 与 P 型掺杂区的插塞 616。P 阱区电压导线 614 形成于一个或多个金属层 (例如 M1、M2、M3、M4...) 上, 举例而言, P 阱区电压导线 614 耦接至接地端 (例如 VSS)。

[0054] N 型阱区导电 (strap) 单元 617 包括 P 阱区电压导线 618、P 型掺杂区, 并将其设置于基底 610 中, 以及包括耦接于 P 阱区电压导线 618 与 P 型掺杂区的插塞 612。P 阱区电压导线 614 形成于一个或多个金属层 (例如 M1、M2、M3、M4...) 上, 举例而言, P 阱区电压导

线 618 耦接至电压源（例如 VCC）。

[0055] 虽然本发明已以优选实施例公开如上，然其并非用以限定本发明，任何本领域的普通技术人员，在不脱离本发明的精神和范围内，应该可作些许更动与润饰，因此本发明的保护范围应该以所附的权利要求所限定的范围为准。

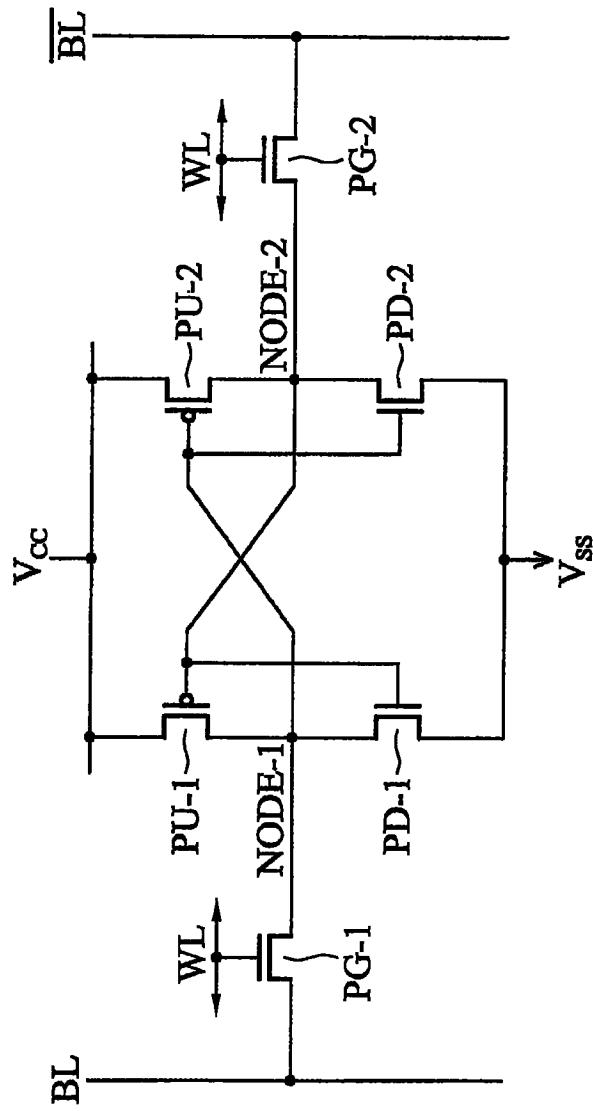


图 1

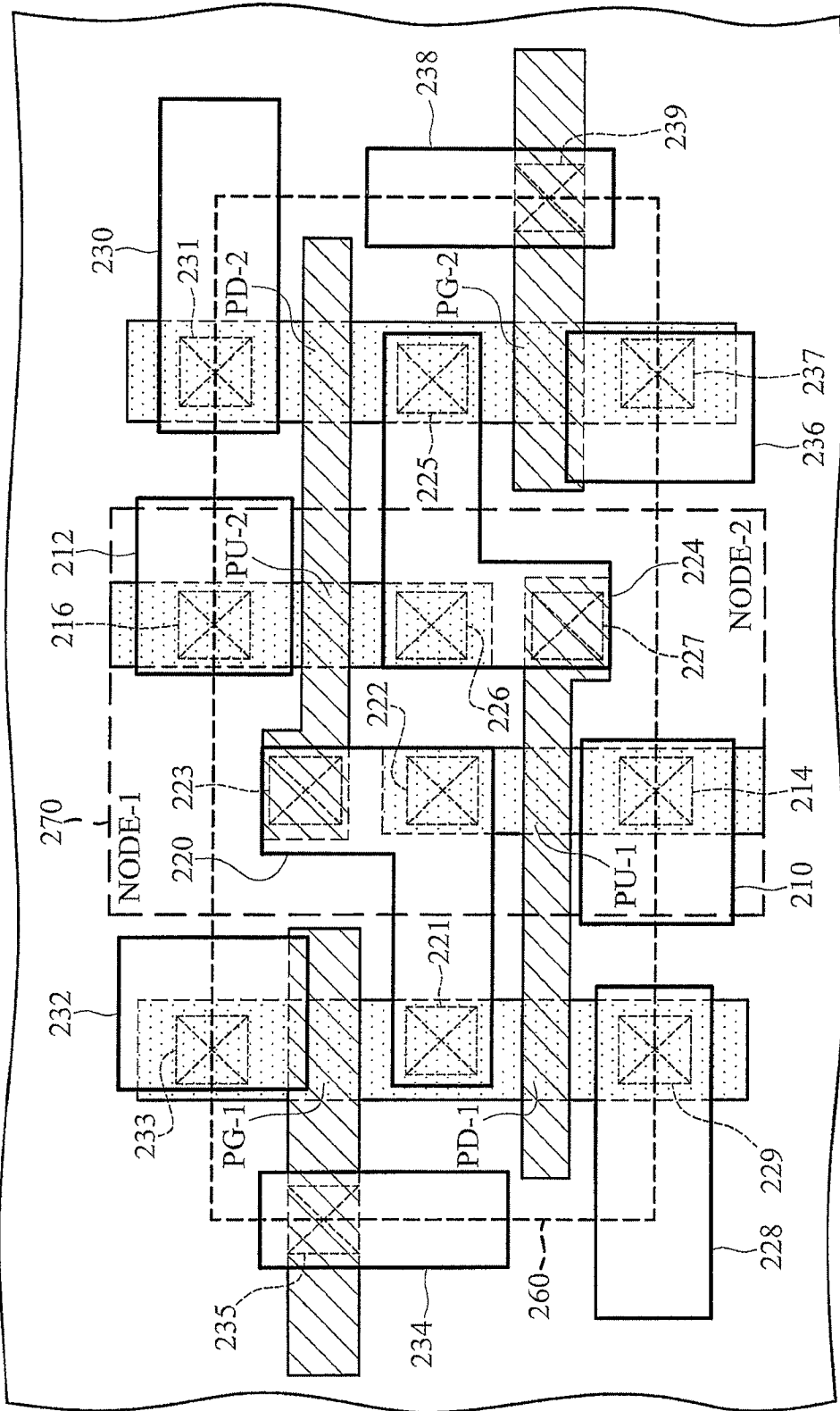


图 2A

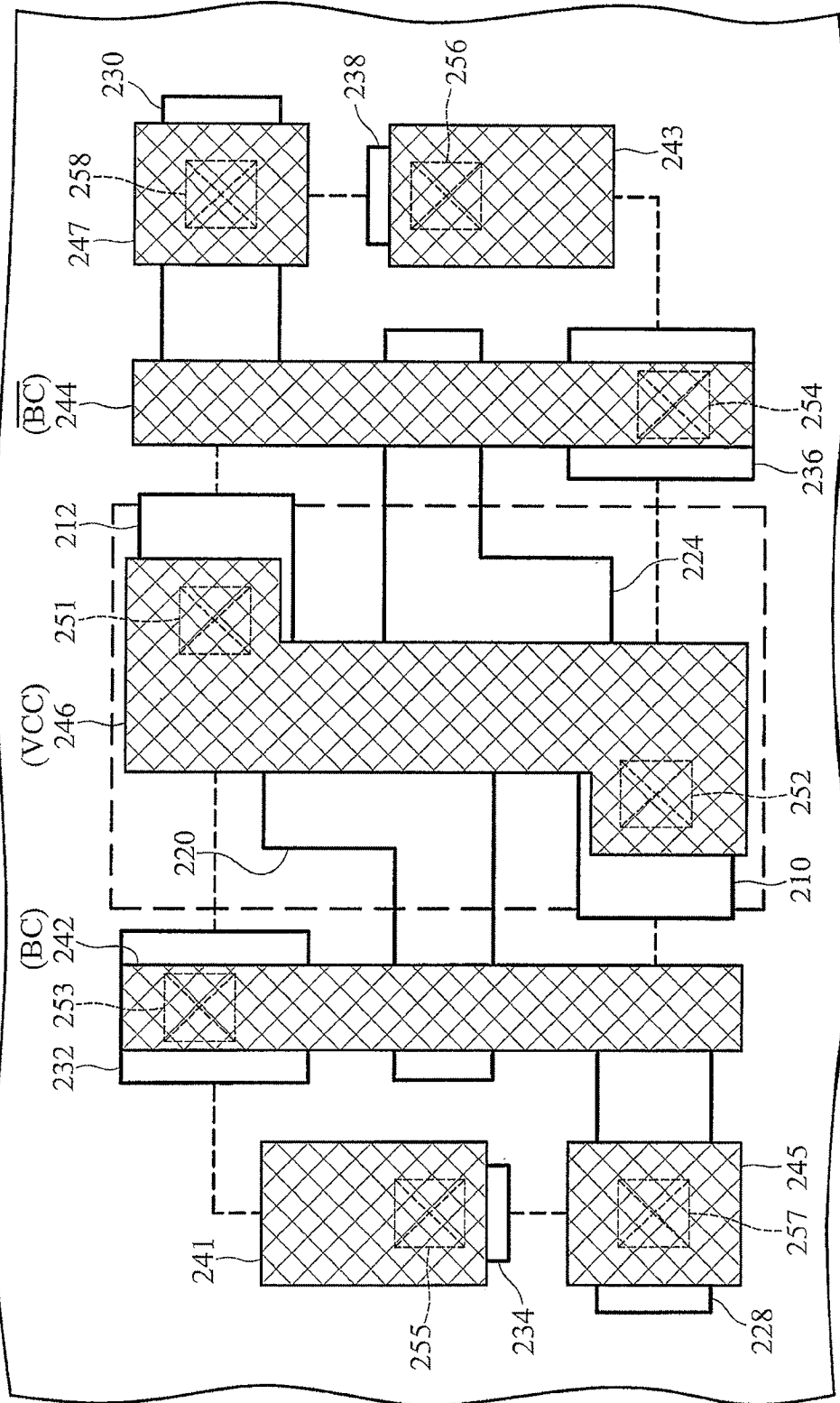


图 2B

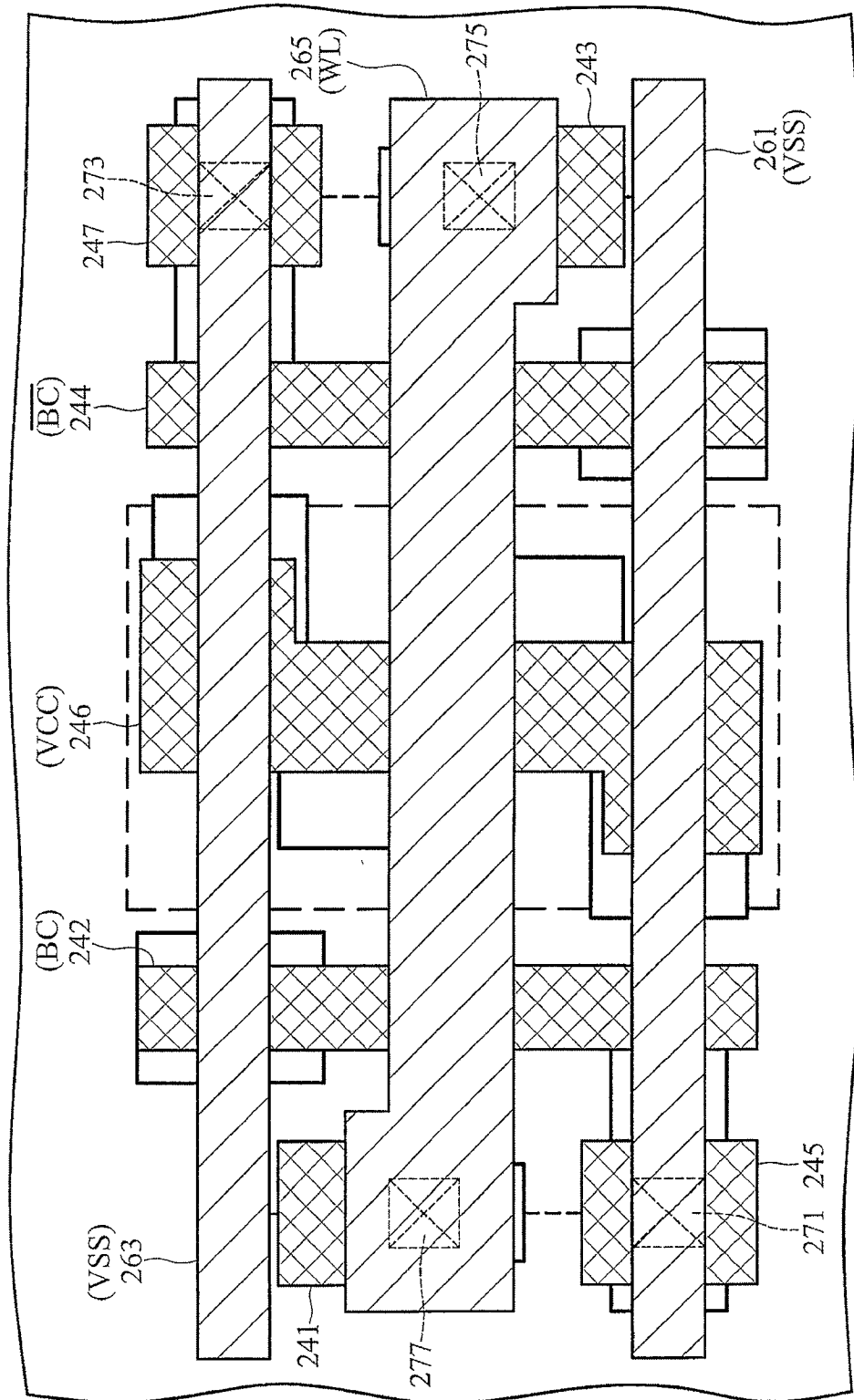


图 2C

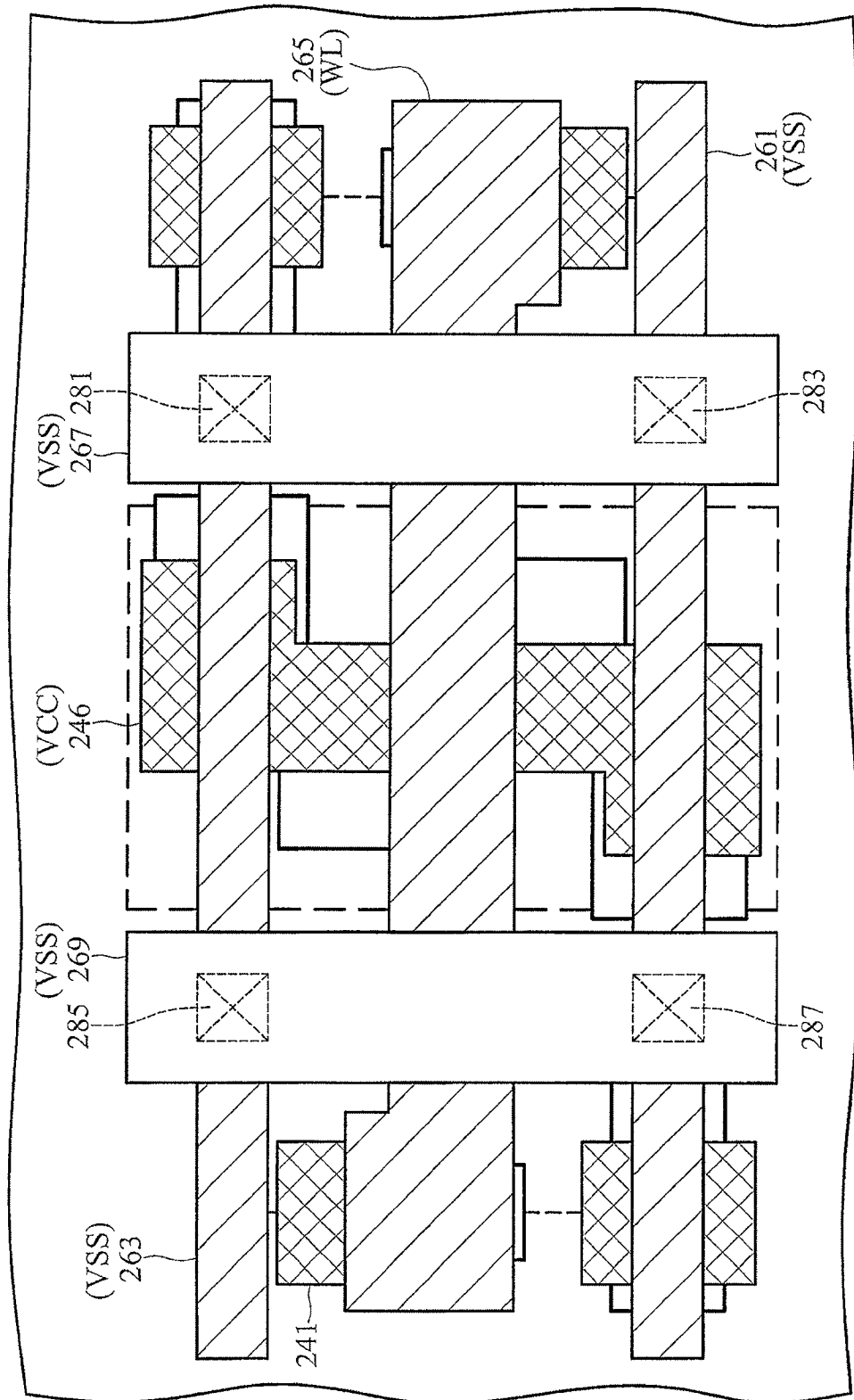


图 2D

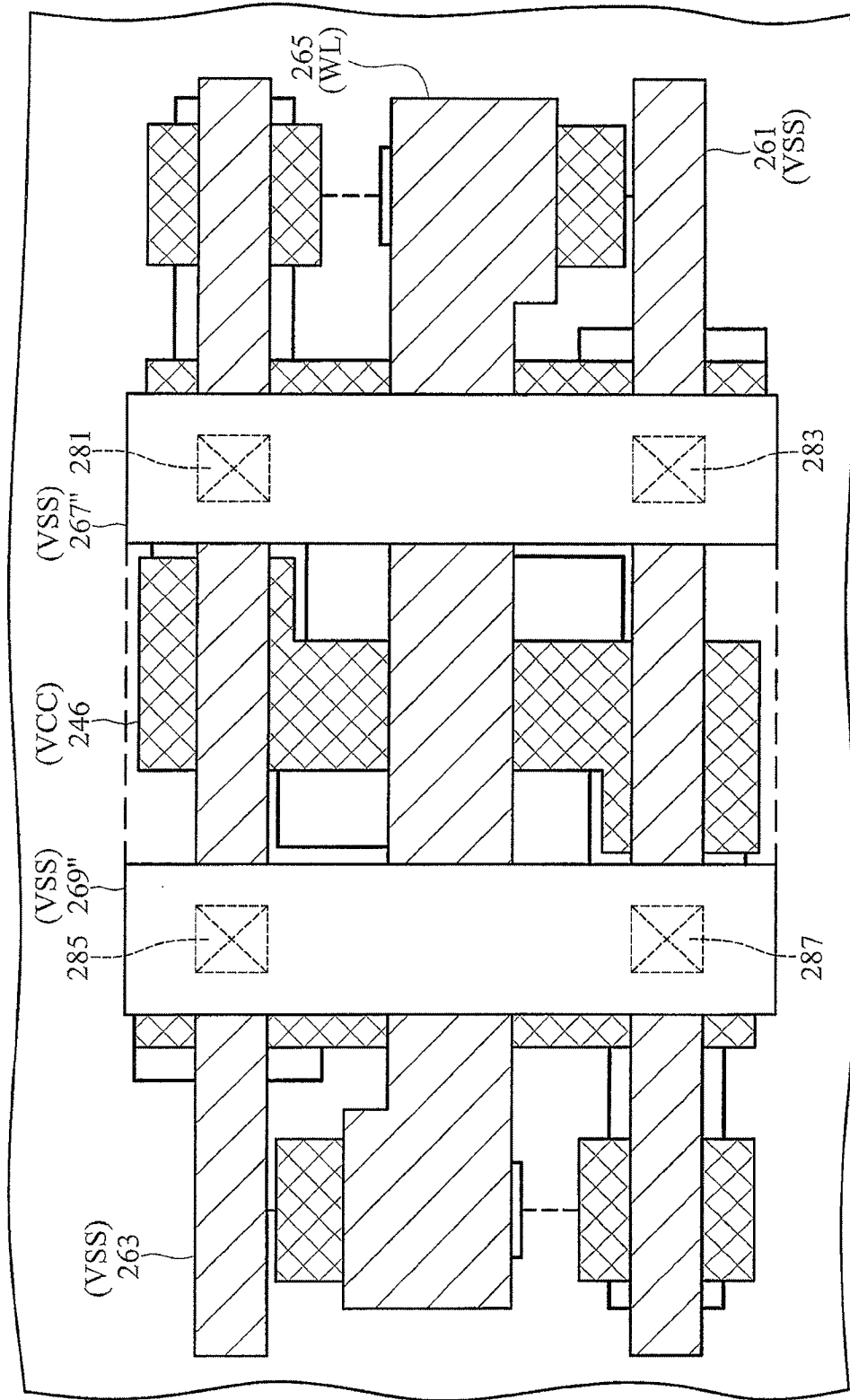


图 2E

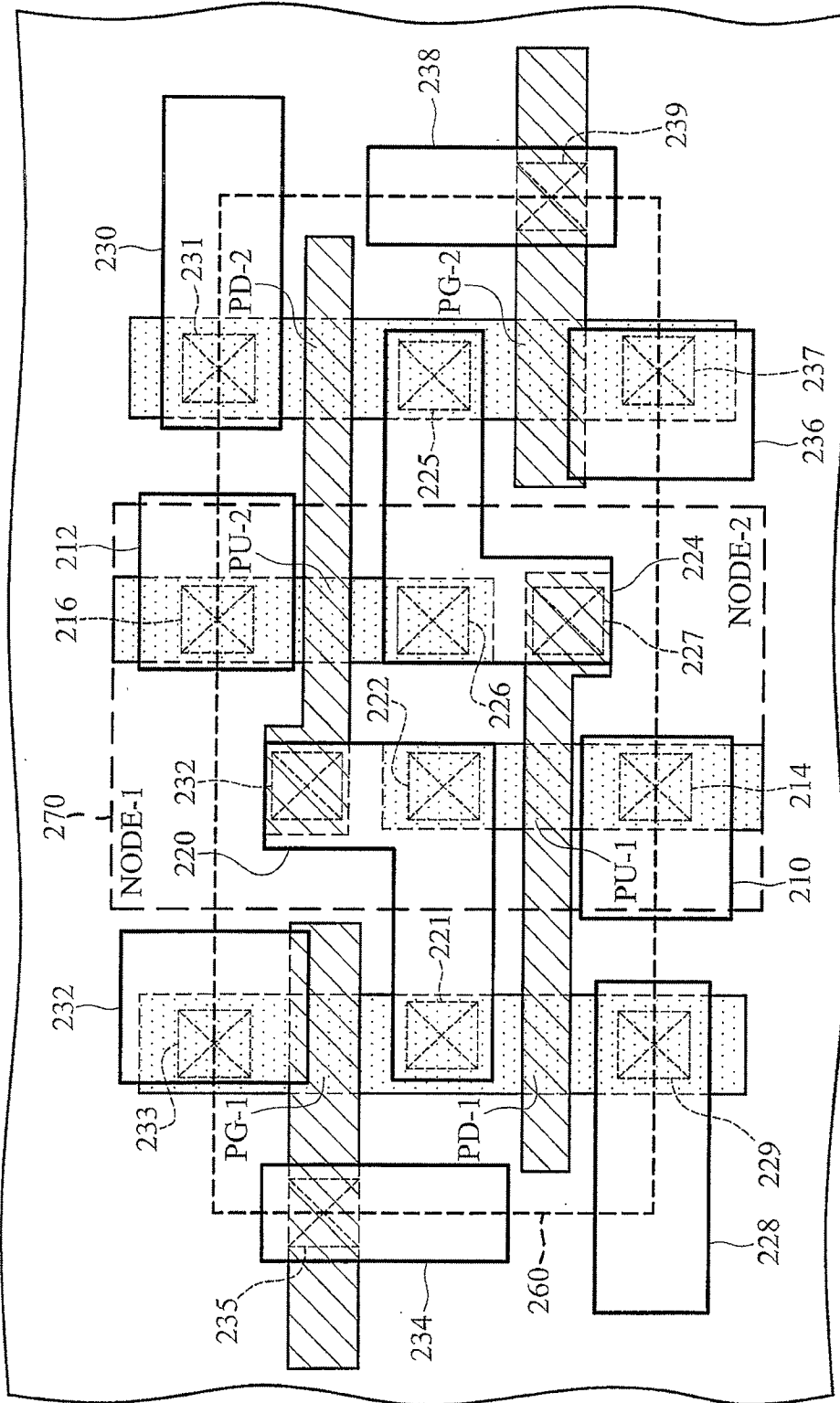


图 3A

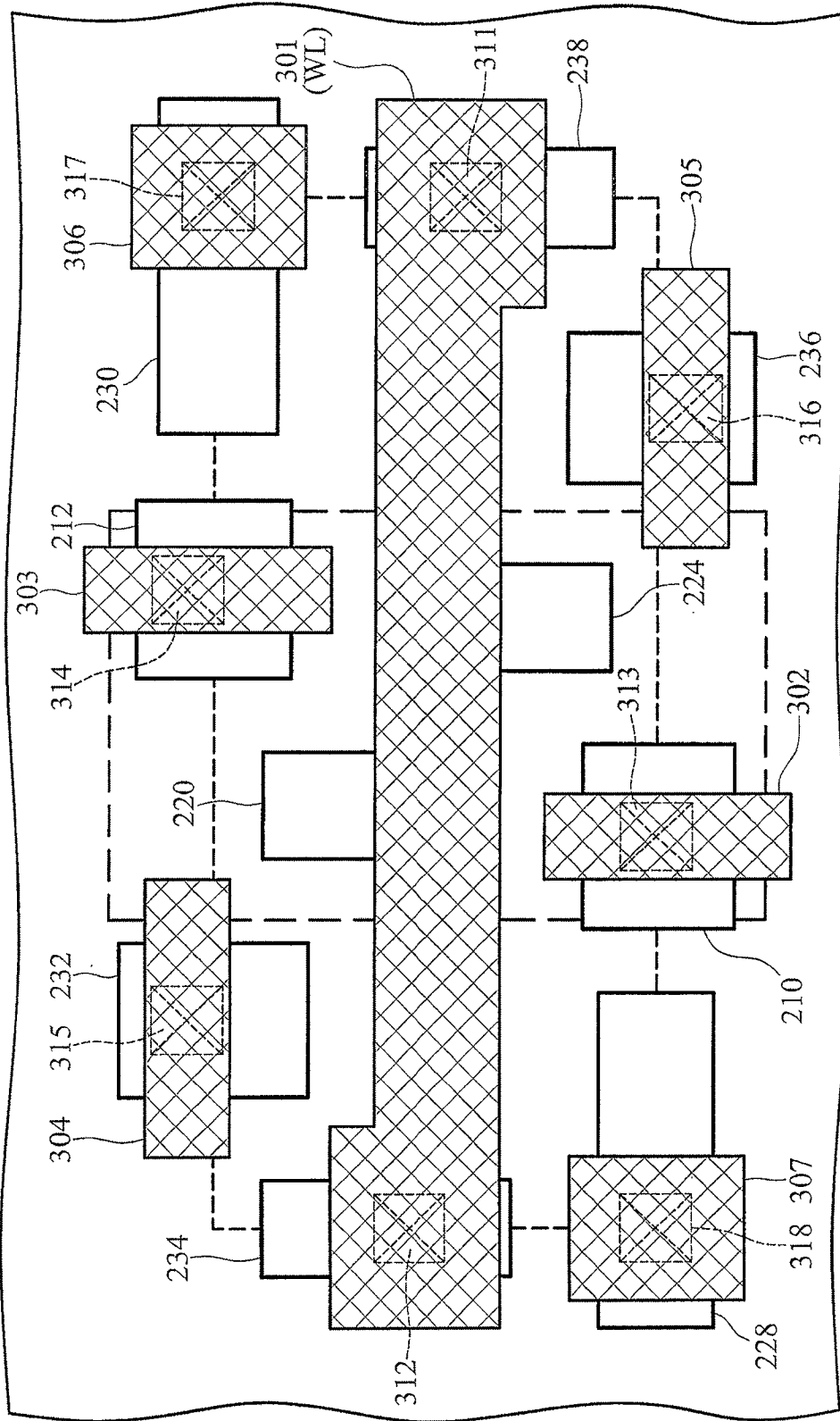


图 3B

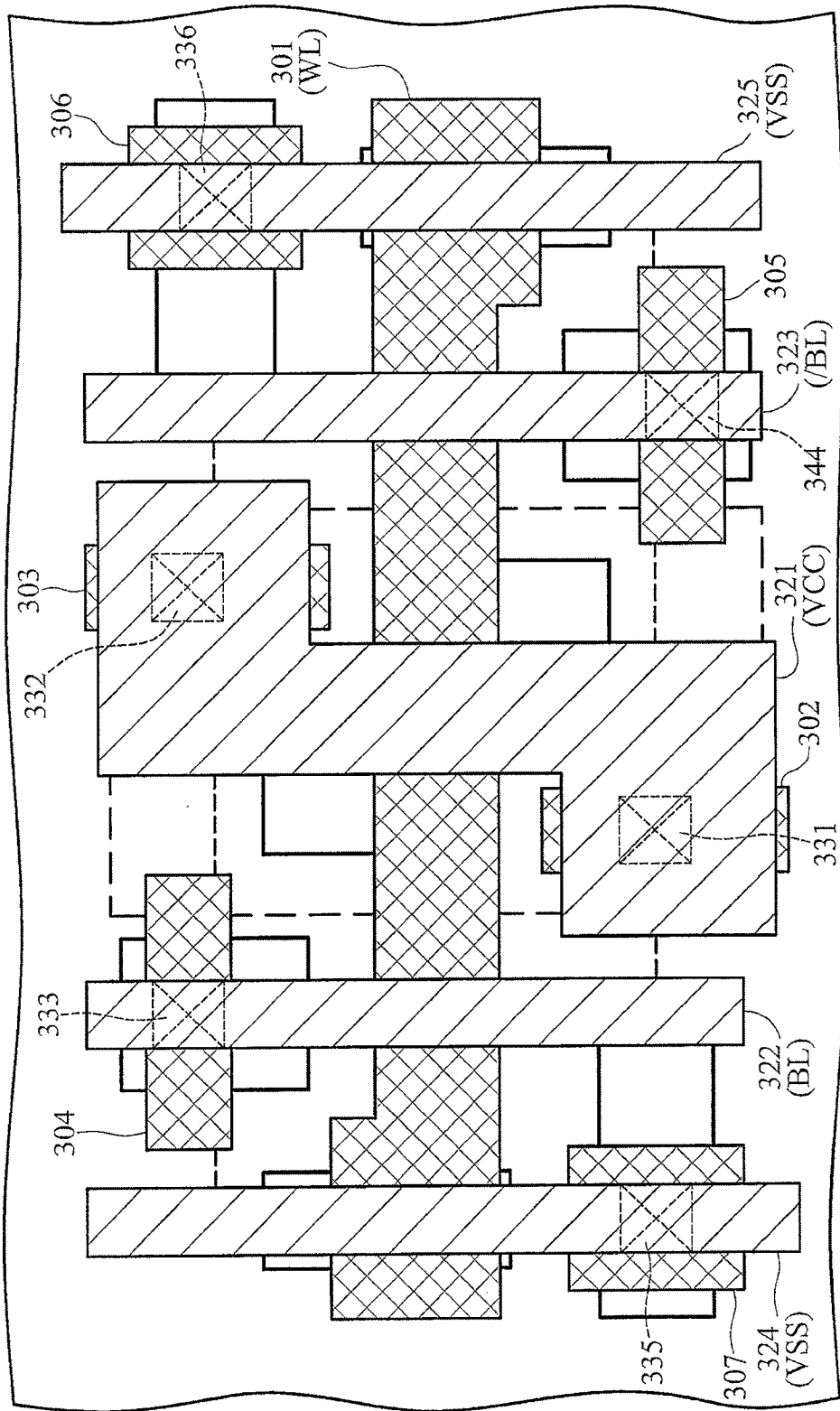


图 3C

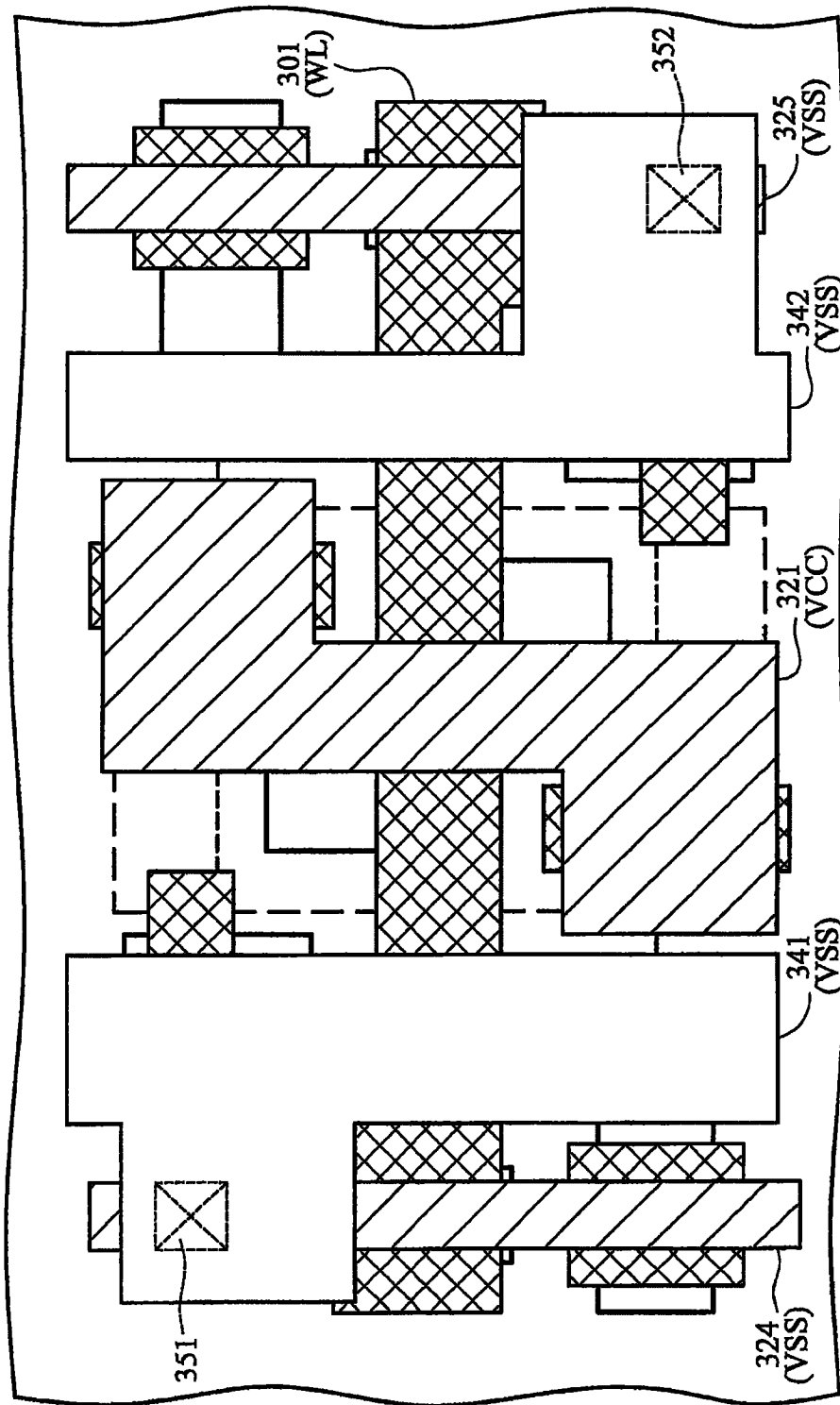


图 3D

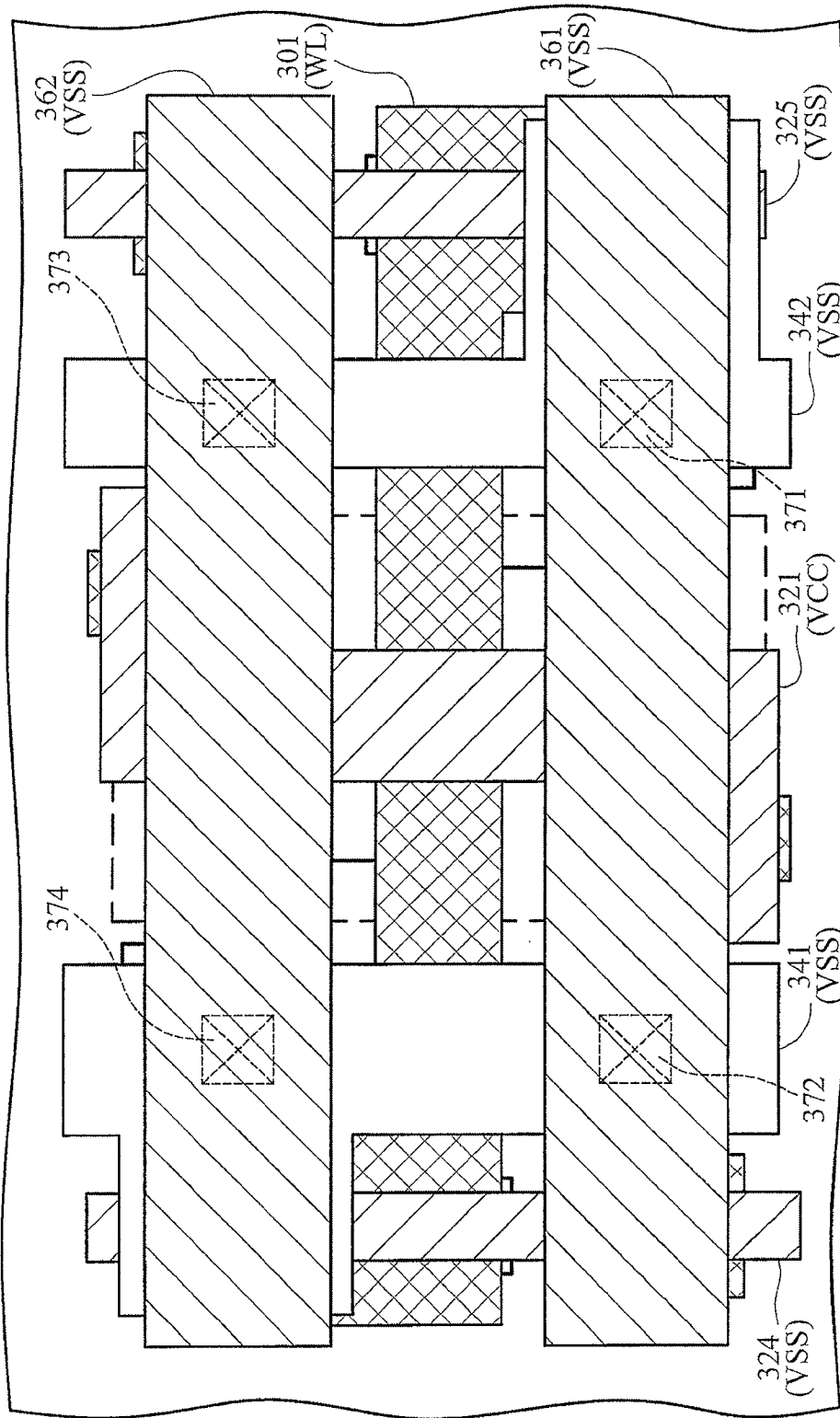


图 3E

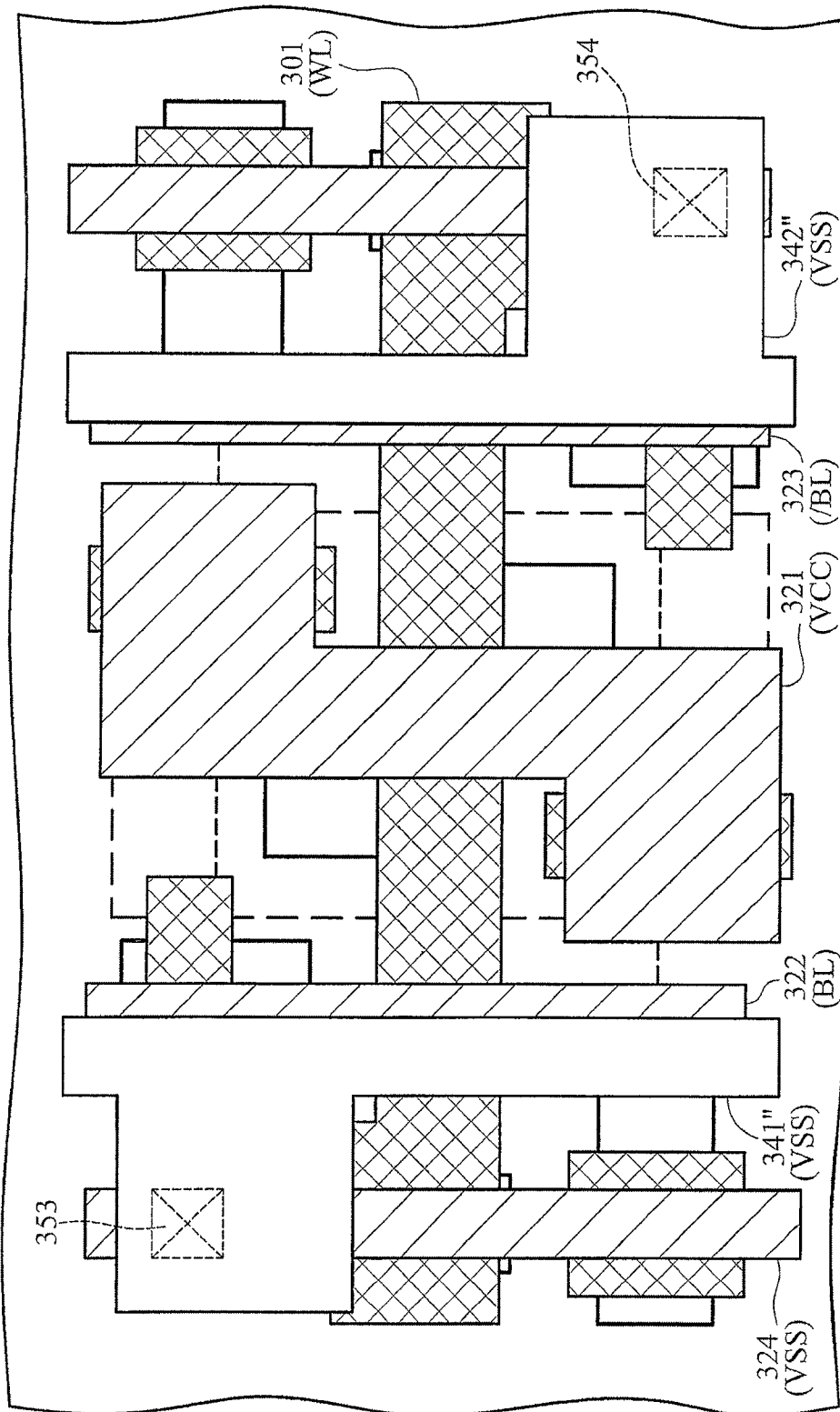


图 3F

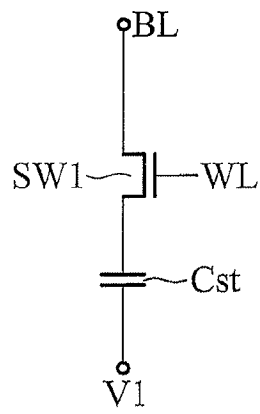


图 4

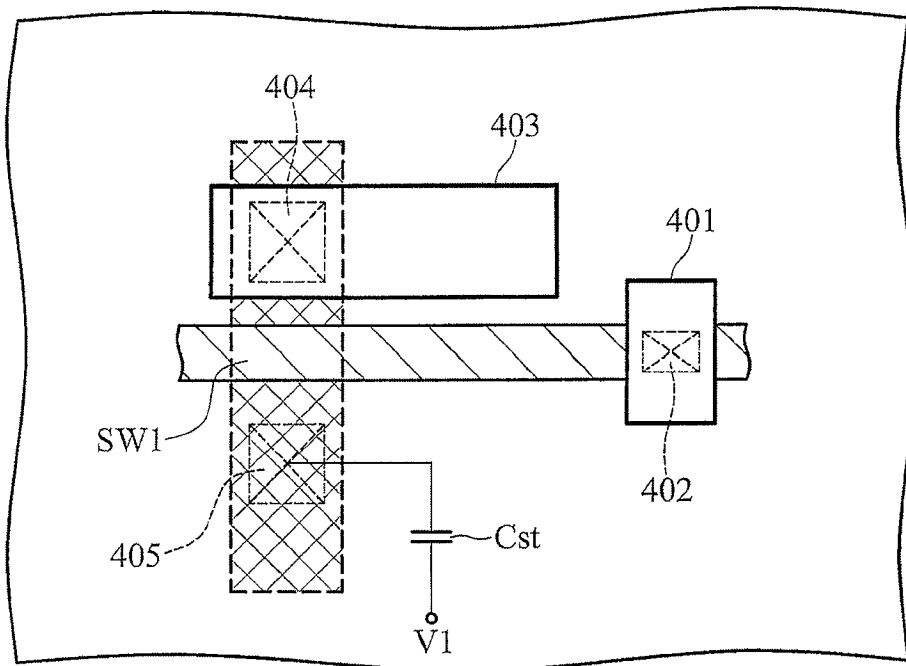


图 5A

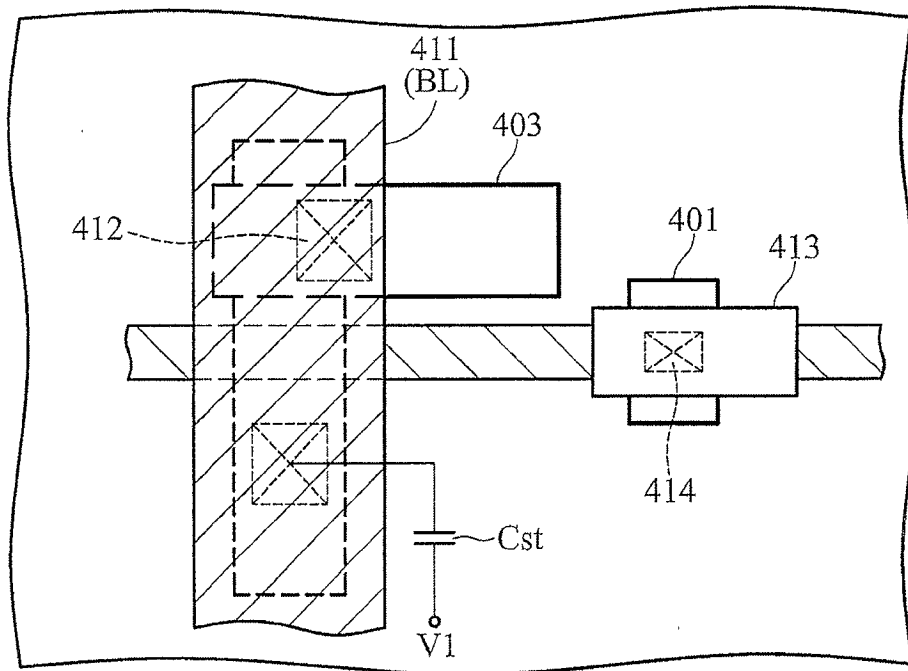


图 5B

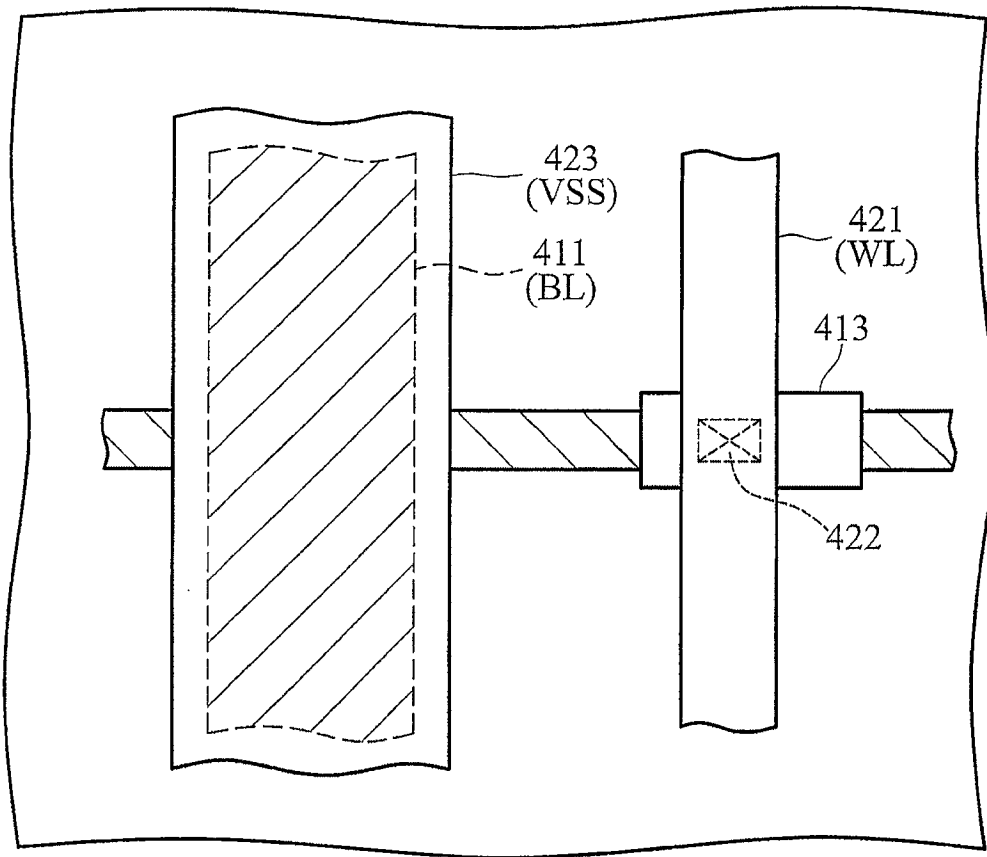


图 5C

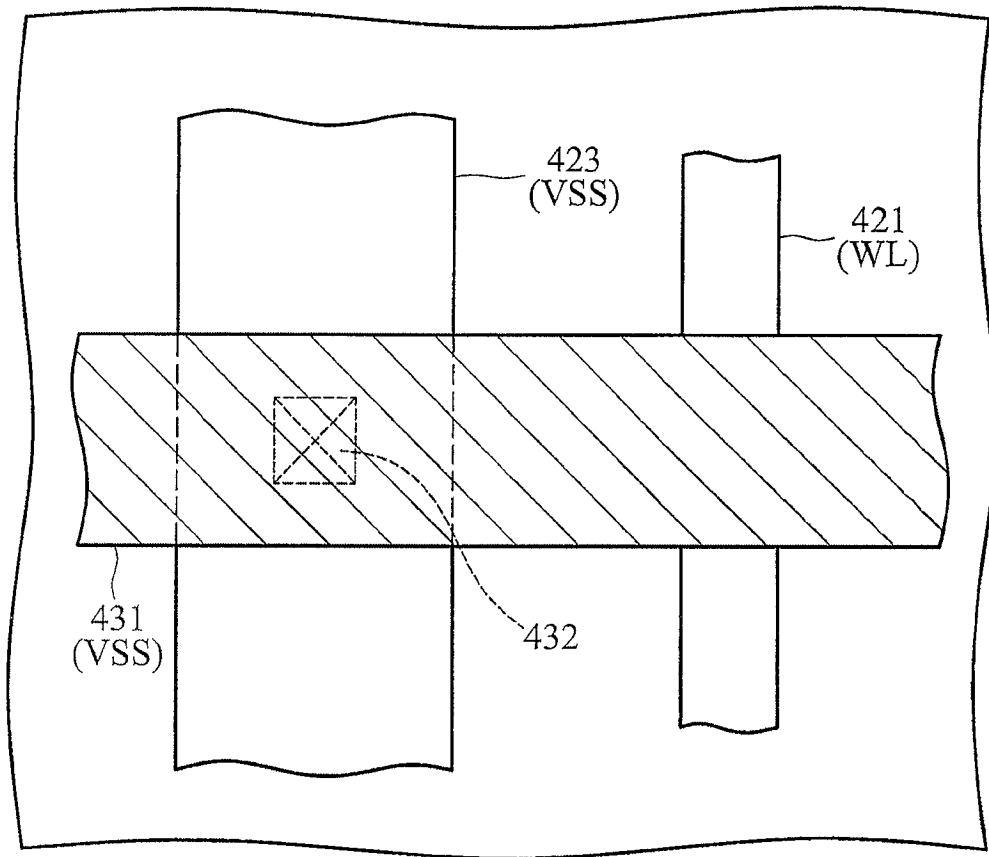


图 5D

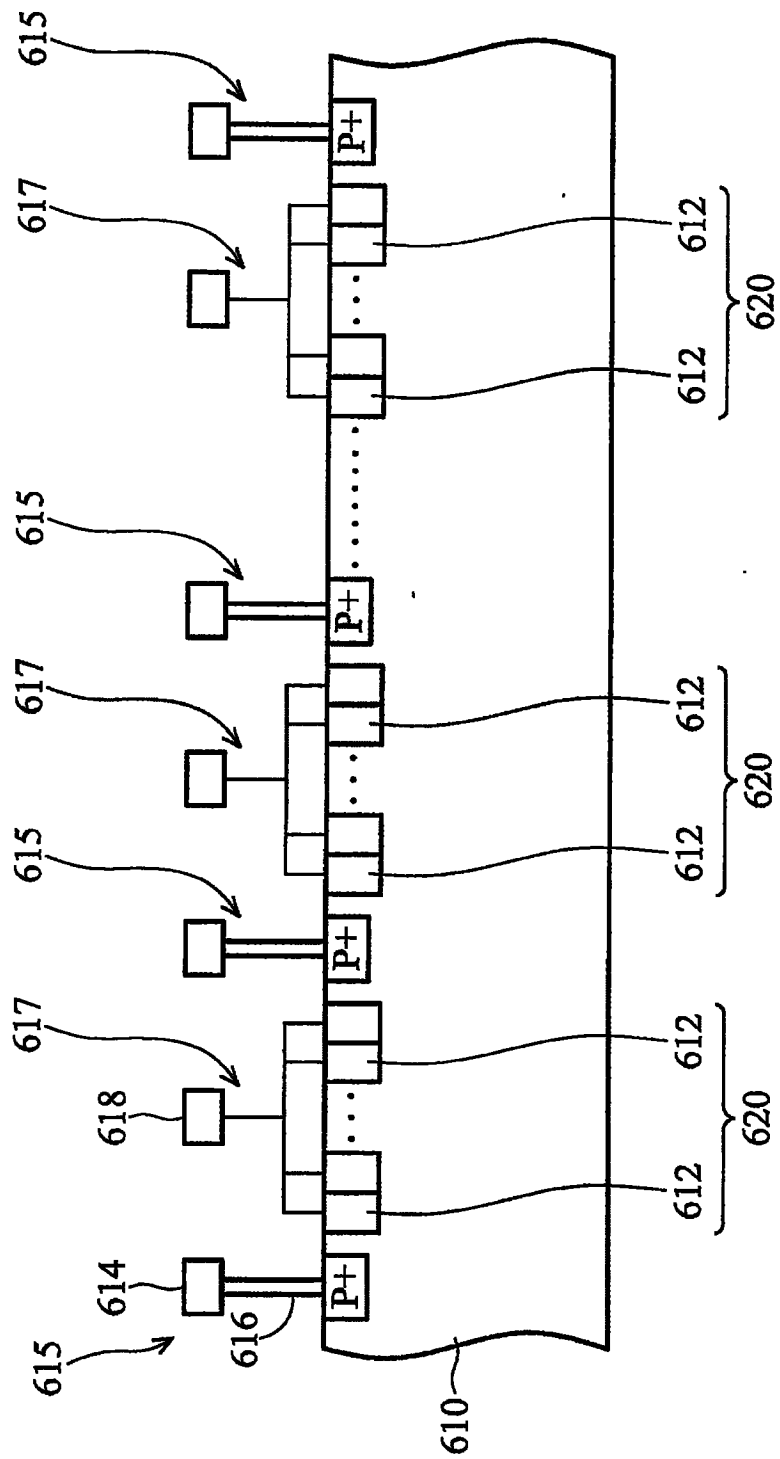


图 6