200939456

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：97137803

※ 申請日期：97.10.1 ※IPC 分類：H01L 27/108 (2006.01)
G09G 3/36 (2006.01)
G02F 1/1368 (2006.01)

一、發明名稱：（中文/英文）

記憶體元件及顯示裝置

二、申 請 人：（共 1 人）

姓名或名稱：（中文/英文）

日商新力股份有限公司

SONY CORPORATION

代表人：（中文/英文）

中鉢 良治

CHUBACHI, RYOJI

住居所或營業所地址：（中文/英文）

日本東京都港區港南1丁目7番1號

1-7-1 KONAN, MINATO-KU, TOKYO, 108-0075, JAPAN

國 籍：（中文/英文）

日本 JAPAN

三、發明人：（共 1 人）

姓 名：（中文/英文）

高德 真人

TAKATOKU, MAKOTO

國 籍：（中文/英文）

日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2007年10月17日；特願2007-270119

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材：

☐ 須寄存生物材者：

國內生物材　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種記憶體元件。更詳而言之，係關於一種對於主動矩陣(active matrix)型之顯示裝置之像素驅動較理想之記憶體元件。此外，關於一種將此種記憶體元件形成於各像素之主動矩陣型之顯示裝置。

【先前技術】

主動矩陣型之液晶顯示裝置係具備有列狀之閘極線、行狀之資料線、及配置兩者交叉之部分之像素。在各像素係形成有藉由液晶單元所代表之光電元件、及將此予以驅動之薄膜電晶體等之主動元件。薄膜電晶體之閘極係連接於閘極線，而源極係連接於資料線，汲極係連接於光電元件。主動矩陣型之顯示裝置係將閘極線依線順序掃描，另一方面配合此而將影像訊號(資料)供給至行狀之資料線，藉此而將與影像訊號對應之圖像顯示於像素陣列。

主動矩陣型之顯示裝置係依每1圖場(field)將閘極線依線順序掃描，且配合此而將影像訊號供給至資料線。動畫顯示之情形下，由於依每1圖場切換畫面，因此資料線需依每1圖場重複影像訊號之充放電。於驅動主動矩陣型之顯示裝置之面板之際，消耗電力之大半係耗費在資料線之充放電。

為了要抑制此程度之消耗電力，係以將圖像之覆寫頻率(圖場頻率)降低為有效。然而，若將圖場頻率降到30~60 Hz以下，則會於畫面產生被稱為閃爍(flicker)之參差不

齊，且顯示特性會滑落，此已廣為所知。因此，以往以來作為節約消耗電力而不會使圖場頻率下降之方法而言，係提案一種藉由使各像素內具有記憶體功能，而將充放電次數降低之方式。例如在以下之專利文獻1及非專利文獻1中有記載。

[專利文獻1]日本特開平11-52416號公報

[非專利文獻1] M.Senda et. al. "Ultra low power polysilicon AMLCD with full integration" SID2002p790

【發明內容】

[發明所欲解決之問題]

在顯示靜止畫之情形等，於輸入影像訊號未變化時，係進行藉由持續顯示由像素內之記憶體功能所保持之資料，而減低資料線之充放電次數，且低消耗電力化之技術之研究。

例如為了在液晶面板之像素內嵌入記憶體功能，乃提案一種將SRAM記憶體元件集積形成於各像素之方式。然而，SRAM記憶體元件係使用每1位元至少6個電晶體。因此，在設為每1像素6位元之64灰階顯示之情形下，需集積形成每像素6×6=36個電晶體，隨該程度而壓迫像素之有效開口面積。由於可穿透顯示所需之背光源(backlight)之光之像素開口面積減少，而無法獲得明亮之畫面。因而若將習知之記憶體元件直接嵌入像素，則多位元化變得困難，而在高精細之多灰階顯示產生制約，而成為應解決之問題。

在專利文獻1中，作為實現嵌入像素之記憶體功能，記載有一種使用鐵電體之例。由於在各像素不需形成電晶體等之電路元件，因此無壓迫開口面積之虞，惟缺乏適於具備記憶體功能之鐵電體之材料，而未能達到實用水準。若重複覆寫資料，則鐵電體特性及絕緣性容易變化，而難以確保記憶體功能之可靠性。

[解決問題之技術手段]

有鑑於上述之習知技術之問題，本發明之目的係提供一種可嵌入像素之超小型記憶體元件。此外，其目的係提供一種嵌入有此種記憶體元件之主動矩陣型顯示裝置。為了達成此種目的，採取以下之方法。即，本發明之記憶體元件之特徵為：包含薄膜電晶體與電容，前述薄膜電晶體具有半導體薄膜、及介隔絕緣膜將該半導體薄膜從上下包夾之一對閘極電極，前述電容連接於一對閘極電極中之第1閘極電極，於連接於第1閘極電極之該電容儲存資料，控制一對閘極電極中之第2閘極電極而將儲存於該電容之資料讀出。

較佳為前述薄膜電晶體具有成為資料輸入側之輸入電流端、及成為資料輸出側之輸出電流端，具備配置於該輸出電流端與該電容之間之開關，資料寫入時，在使該開關導通之狀態下控制第2閘極電極，而將從輸入電流端所供給之資料寫入於該電容，資料讀出時，在使該開關關斷之狀態下控制該第2閘極電極，而將寫入於該電容之資料讀出至輸出電流端。此外，前述薄膜電晶體係臨限電壓藉由與

寫入於該電容之資料對應之電壓施加於該第1閘極電極而變化，控制該第2閘極電極，以該臨限電壓之變化作為該薄膜電晶體之導通狀態與關斷狀態之變化而讀出資料。

此外，本發明係具備列狀之閘極線、行狀之資料線、及配置於兩者交叉之部分之像素，各像素包含記憶體元件與光電元件，前述記憶體元件記憶從資料線所供給之資料，並且依據從閘極線所供給之訊號而讀出資料，前述光電元件呈現與該記憶之資料對應之亮度，且前述記憶體元件包含薄膜電晶體與電容，前述薄膜電晶體具有半導體薄膜、及介隔絕緣膜將該半導體薄膜從上下包夾之一對閘極電極，前述電容連接於一對閘極電極中之第1閘極電極，於連接於第1閘極電極之該電容儲存資料，從該閘極線控制第2閘極電極而將儲存於該電容之資料讀出。

較佳為前述薄膜電晶體具有連接於資料線之輸入電流端、及連接於該光電元件之輸出電流端，具備配置於該輸出電流端與該電容之間之開關，資料寫入時，在使該開關導通之狀態下從閘極線控制第2閘極電極，而將從輸入電流端所供給之資料寫入於該電容，資料讀出時，在使該開關關斷之狀態下從閘極線控制該第2閘極電極，而將寫入於該電容之資料讀出至輸出電流端。此外，前述開關亦包含薄膜電晶體，且為防止資料洩漏，被與外光遮蔽。在一態樣中，前述像素包含串聯連接於資料線與光電元件之間之複數個記憶體元件，藉由與各記憶體元件對應之複數個閘極線分時控制各記憶體元件而寫入與多灰階對應之多位

元資料，進一步依據所寫入之多位元資料分時驅動將該光電元件，以對光電元件之亮度進行多灰階控制。在另一態樣中，前述像素被面積分割成複數個區域，各區域包括光電元件與記憶體元件，將多位元資料寫入配置於複數個區域之複數個記憶體元件，以依據所寫入之多位元資料而對該像素之亮度進行多灰階控制。

[發明之效果]

依據本發明，記憶體元件係由至少1個雙閘極(dual gate)型薄膜電晶體與1個電容所構成。依情形有時會在此加上由薄膜電晶體所組成之開關。在此情形下，記憶體元件亦可由合計2個薄膜電晶體與1個電容所構成，相較於習知之SRAM，電路規模非常單純化，且小型化。如此小型化之記憶體元件容易在像素內嵌入複數個，並可以小面積將多位元構成之記憶體內建於像素內。因此，可以實用性之像素尺寸來實現可多灰階顯示之主動矩陣型顯示裝置。

由於可將多位元記憶體內建於像素，故可削減佔有背光源以外之能源消耗電力大半之資料線之充放電所需之消耗電力。因而，以低消耗電力可驅動之主動矩陣型液晶顯示裝置面板成為可能。藉由將此種液晶面板嵌入攜帶機器之監視器，不僅電池之充電間隔延長化，電池容積之縮小亦成為可能，可使攜帶機器更小型化。

【實施方式】

以下，參照圖式詳細說明本發明之實施形態。圖1係為表示本發明之記憶體元件之構成之模式性剖面圖。本發明

之記憶體元件基本上包含薄膜電晶體與電容，且形成於基板SUB之上。薄膜電晶體係具有含多晶矽等之半導體薄膜PSI、及介隔絕緣膜1GOX、2GOX而將半導體薄膜PSI從上下包夾之一對閘極電極F-GATE、S-GATE。雖未圖示，惟電容係連接於一對閘極電極之中第1閘極電極F-GATE。此電容，係可將與第1閘極電極F-GATE同一之導電層設為第1電極，且將與半導體薄膜PSI同一且低電阻化之層設為第2電極且將配置兩者之間之絕緣膜1GOX設為介電體膜而形成。另外在圖示之例中，連接於電容之第1閘極電極F-GATE雖係成為雙閘極型薄膜電晶體之下側電極，惟本發明並不限定於此。第1閘極電極亦可考慮使用雙閘極型薄膜電晶體之上側之閘極電極之構成。

作為本發明之特徵事項，記憶體元件係成為在連接於第1閘極電極F-GATE之電容儲存資料，且控制一對閘極之中第2閘極電極S-GATE而將儲存於電容之資料讀出之構成。在本實施形態中雖係第2閘極電極S-GATE成為上側之閘極電極，惟不限定於此，亦可將下側之閘極電極設為第2閘極電極。如此本發明之記憶體元件基本上係包含上下一對閘極電極F-GATE、S-GATE之雙閘極型之薄膜電晶體(亦稱三明治(sandwich)結構之薄膜電晶體)、及電容所構成，相較於一般之SRAM記憶體，電路構成成為非常簡略。

成為記憶體元件之本體部之雙閘極型之薄膜電晶體及電容(未圖示)，係由第1層間絕緣膜1INS所被覆。在其表面係連接有金屬布線IN、CTL、OUT。金屬布線IN係連接於

成為雙閘極型薄膜電晶體之輸入電流端之源極。金屬布線CTL係連接於成為雙閘極型薄膜電晶體之控制端之第2閘極電極S-GATE。剩餘之金屬布線OUT係連接於成為雙閘極型薄膜電晶體之輸出電流端之汲極。此等金屬布線IN、CTL、OUT係由第2層間絕緣膜2INS所被覆。在此第2層間絕緣膜2INS之上係配有成為記憶體元件之驅動對象之像素電極LPT。此像素電極LPT係經由開口於第2層間絕緣膜2INS之接觸孔(contact hole)而連接於輸出金屬布線OUT。

由以上之說明可明瞭，成為本發明之記憶體元件之主要部分之雙閘極型之薄膜電晶體，係具有成為資料之輸入側之輸入電流端、及成為資料之輸出側之輸出電流端。在較佳之態樣中，係在輸出電流端與資料保持用之電容之間具備有包含相同薄膜電晶體之開關。此情形下，記憶體元件係於資料之寫入時，在使此開關導通之狀態下控制第2閘極電極S-GATE而將從輸入電流端所供給之資料寫入於電容。另一方面於資料之讀出時，係在使此開關關斷之狀態下控制第2閘極電極S-GATE而將寫入於電容之資料讀出於輸出電流端。此情形下，雙閘極型之薄膜電晶體係藉由將與寫入於電容之資料對應之電壓施加於第1閘極電極F-GATE而使臨限電壓變化。另一方面控制第2閘極電極S-GATE而將此臨限電壓之變化設為雙閘極型薄膜電晶體之導通狀態與關斷狀態之變化而讀出資料。

圖2係為表示圖1所示之雙閘極型薄膜電晶體之動作特性之曲線圖。橫軸係取為閘極電壓Vgs，縱軸係取為汲極電

流Ids。此閘極電壓Vgs係為施加於雙閘極型薄膜電晶體之第2閘極電極S-GATE之電壓。汲極電流Ids係為流通於相同雙閘極型薄膜電晶體之源極(輸入電流端)與汲極(輸出電流端)之間之電流。此曲線圖係將第1閘極電極F-GATE之閘極電位取為參數。此閘極電位係依據寫入於記憶體元件之資料而變化。在本說明書中，係將寫入於單位元(one bit)記憶體元件之二進位資料(binary data)以L、H來表示。圖2之曲線圖係區分為F-GATE=L(亦即二進位資料0寫入於單位元記憶體元件之情形)與F-GATE=H(亦即二進位資料1寫入於單位元記憶體元件之情形)之2個而表示雙閘極型薄膜電晶體之Vgs-Ids特性。從曲線圖可明瞭，雙閘極型薄膜電晶體係依據第1閘極電極F-GATE之電位而使臨限電壓Vth變化。在圖示之例中，臨限電壓Vth係於F-GATE=L時變高，而於F-GATE=H時變低。本記憶體元件係檢測雙閘極型薄膜電晶體之此臨限電壓Vth之變化，而讀出二進位資料。

若將H位準之電壓施加於例如雙閘極型電晶體之控制端(亦即第2閘極電極S-GATE)，則雙閘極型薄膜電晶體即導通，且汲極電流Ids流通。接下來，若將控制端切換成低位準L(S-GATE=L)，則汲極電流Ids係依據第1閘極電極F-GATE之電位而切換。亦即，於F-GATE=L時，Ids不流通而雙閘極型薄膜電晶體係關斷。另一方面，於F-GATE=H時，雙閘極型薄膜電晶體係成為導通狀態而使電流流通。如此，若設為S-GATE=L，則雙閘極型薄膜電晶體係依據第1閘極電極F-GATE之電位而切換導通關斷。換言之，薄

膜電晶體係依據寫入於記憶體元件之資料而切換導通關斷。再者，若將控制端之電壓設為S-GATE=LL，則雙閘極型之薄膜電晶體不論寫入於記憶體元件之資料之值，均成為關斷狀態。例如，總是將薄膜電晶體設為導通狀態之S-GATE=H之位準係為5~6.5 V。另一方面總是將薄膜電晶體設為關斷狀態S-GATE=LL之位準係例如為-8 V。相對於此，用以讀出寫入於記憶體元件之資料之閘極電極S-GATE=L係例如為0 V。

圖3係為將圖2所示之記憶體元件之動作表示於真值表之表。第1閘極電極F-GATE側之位準L、H係與二進位資料之0、1資料對應。另一方面第2閘極電極S-GATE側之位準LL、L、H係表示記憶體元件之讀出用之控制電壓。

例如將記憶體元件之S-GATE在L/H切換之情形下，薄膜電晶體係依據寫入於記憶體元件之資料L、H而切換導通關斷。在圖示之真值表中，若觀看S-GATE側之L、H之組合、及F-GATE側之L、H之組合，則可明瞭本記憶體元件係作為或閘極(Or Gate)元件而動作。亦即可明瞭僅於S-GATE=L且F-GATE=L時，記憶體元件係成為OFF，而在其他之組合係所有成為ON而作為或閘極元件而動作。

圖4係為表示嵌入本記憶體元件之雙閘極型薄膜電晶體之Ids/Vgs特性之實測資料之曲線圖。如前所述，Vgs係為施加於成為控制端之閘極電極S-GATE之電壓，Ids係為流通於輸入電流端與輸出電流端之間之電流。此曲線圖係為將施加於第1閘極電極F-GATE之電壓切換成0 V~4 V之5階

段之情形之資料。從圖可明瞭，可得知藉由使施加於第1閘極電極F-GATE之電壓變化，而使雙閘極型薄膜電晶體之臨限電壓位移(shift)。本發明係利用此雙閘極型薄膜電晶體之特性，而應用於記憶體元件者。

圖5係為表示本發明之記憶體元件之製造方法之模式性程序圖。首先如(A)所示，例如藉由濺鍍法使金屬膜102、103成膜在玻璃基板101上。下側之金屬膜102係例如為鋁，其厚度係100 nm。上側之金屬膜103係例如為鈦，厚度為50 nm。將此2層之金屬膜102、103配合元件區域之形狀進行圖案化，而設為遮光膜。

接下來如(B)所示，為了將遮光用之金屬膜102、103予以絕緣被覆，例如藉由電漿CVD(Chemical Vapor Deposition，化學氣相沉積)法將矽氧化膜104例如以100 nm之厚度成膜。

接下來如(C)所示，將成為第1閘極電極之金屬膜105例如藉由濺鍍法以100 nm成膜在絕緣膜104之上，且以成為閘極電極之形狀之方式進行圖案化。另外程序(C)以下之圖式刻度(scale)係較程序(B)之前之圖式之刻度更縮小。

接著，如圖(D)所示，在作為第1閘極電極圖案化之金屬膜105之上，形成第1閘極絕緣膜106。此閘極絕緣膜106係例如將氮化矽膜50 nm與氧化矽膜50 nm予以疊層者。再者將非晶矽半導體層107以50 nm之厚度成膜於此第1閘極絕緣膜106之上。閘極絕緣膜106及非晶矽半導體層107係以電漿CVD法連續成膜。其後照射準分子(excimer)雷射光，

將非晶矽半導體層107多結晶化。

接下來如(E)所示在將經多結晶化之半導體薄膜107之上以遮罩被覆之狀態下，藉由離子摻雜(doping)裝置選擇性地將N型或P型雜質打入於多結晶矽薄膜107，而形成源極區域及汲極區域。接下來使用RTA(急速加熱)裝置而使打入於半導體薄膜107之雜質活性化。再者將矽薄膜107配合元件區域之形狀而圖案化為島狀。

最後如(F)所示，將第2閘極絕緣膜108堆積於半導體薄膜107之上。例如將氧化矽膜50 nm與氮化矽膜50 nm以電漿CVD法連續地成膜，而設為第2閘極絕緣膜108。其後將成為第2閘極電極之金屬膜109例如以濺鍍法成膜於第2閘極絕緣膜108之上。例如將金屬鉬(molybdenum)以濺鍍法成膜100 nm。將此金屬膜109配合閘極電極之形狀而進行遮罩。經由此遮罩而將金屬膜109進行蝕刻，加工為第2閘極電極。藉由以上，形成成為本發明之記憶體元件之主要部分之雙閘極型薄膜電晶體之基本結構。

在程序(E)中，係於將多結晶矽膜107進行圖案化之際，同時亦形成電容。雖未圖示，此電容係將與成為第2閘極電極之金屬膜105同層之金屬圖案設為下側電極，且將與半導體薄膜107同層之經低電阻化之半導體層之圖案設為上側電極，且將與包夾於上下電極之閘極絕緣膜106同層之絕緣膜設為介電體。

程序(F)之後，將雙閘極型結構之薄膜電晶體及電容之表面，以第1層間絕緣膜被覆。此第1層間絕緣膜係例如以

電漿CVD法將氧化矽膜300 nm與氮化矽膜300 nm分別成膜。再者為了將多結晶矽膜107氫化而改質，進行400℃左右之退火(anneal)。使接觸孔開口在以此方式形成之第1層間絕緣膜。再者，在第1層間絕緣膜之上形成金屬層，且圖案化為特定之形狀而設為布線電極IN、OUT、CTL。此布線電極係如圖1所示。成為布線之金屬層，係例如具有3層結構，且將下層鈦50 nm與中層鋁500 nm與上層鈦50 nm予以疊層者。最後將第2層間絕緣膜(誘發平坦化膜)塗佈於布線電極之上，且將此等完全被覆。在此第2層間絕緣膜(有機平坦化膜)形成接觸孔，且於其上使透明導電膜ITO成膜。將此透明導電膜ITO圖案化為特定之形狀而加工成像素電極。以此方式完成之記憶體元件係成為如圖1所示之剖面結構。

參照圖6~圖12，詳細說明利用圖1~圖5所示之本發明之記憶體元件之主動矩陣型之液晶顯示裝置。首先，為使本發明之背景明確，圖6係表示習知之主動矩陣型之構成。如圖所示，習知之主動矩陣型之液晶顯示裝置係具備有列狀之閘極線GATE與行狀之資料線SIG、及配置兩者交叉之部分之像素。各像素包含液晶單元LC與保持電容Cs與驅動用之電晶體Tr。驅動電晶體Tr係其閘極連接於所對應之閘極線GATE，其源極連接於所對應之資料線SIG，其汲極連接於所對應之液晶單元LC及保持電容Cs。液晶單元LC係由連接於電晶體Tr之汲極之像素電極、形成於對向基板側之對向電極(共通電極)、及保持於兩電極之間之液晶所

構成。

列狀之閘極線GATE係藉由閘極線驅動電路(V掃描器)YD，依每1圖場線依序掃描。另一方面行狀之資料線SIG係連接於資料線驅動電路(H掃描器)XD。資料線驅動電路XD係將資料供給至行狀之資料線SIG。閘極線GATE之線依序掃描係依每1圖場進行，且配合此而切換資料線SIG上之資料，因此產生資料線SIG之充放電。此充放電係佔有主動矩陣型顯示裝置之電力消耗之主要部分。每1圖場之資料覆寫操作，不僅動畫顯示，在將靜止畫顯示於像素陣列之情形亦需進行。此係因為在驅動電晶體Tr有電流洩漏，而為了此對策，需以例如60 Hz之圖場頻率進行資料線之覆寫操作。亦即為了洩漏對策需以圖場週期將靜止畫面刷新(refresh)。

圖7係為為了削減伴隨著資料線SIG之充放電之消耗電力，而表示形成記憶體於各像素之主動矩陣型之液晶顯示裝置之模式性俯視圖。為了易於理解，對於與圖6所示之液晶顯示裝置對應之部分係使用對應之參照符號。如圖所示，本液晶顯示裝置係在各像素具備記憶體M，且在保持電容Cs保持資料，並且配合線依序掃描而讀出資料，且驅動液晶單元LC。藉由在各像素配置記憶體M，於靜止畫顯示時即可削減資料線SIG之充放電次數。如靜止畫顯示不需資料覆寫時，係可設為停止資料掃描之低消耗電力模式。

圖8係為表示本發明之液晶顯示裝置之1像素份之電路

圖。換言之，係為將圖7所示之液晶顯示裝置所含之1像素份予以放大顯示之電路圖。如圖所示，1個像素係包括記憶體元件M與光電元件。記憶體元件M係記憶從資料線SIG所供給之資料，並且依據從閘極線GATE所供給之訊號而讀出資料。光電元件係呈現與所記憶之資料對應之亮度。在本實施形態中，此光電元件包含液晶單元LC。此液晶單元LC係為保持於像素電極與對向電極之間之液晶。在對向電極係施加有共通電位VCOM。

記憶體元件M包含薄膜電晶體Tr1與電容C。另外，在圖8中係為了易於理解，將圖7所示之保持電容Cs表記為記憶體元件M內之電容C。薄膜電晶體Tr1係具有半導體薄膜與介隔絕緣膜而將半導體薄膜從上下包夾之一對閘極電極，而成為所謂雙閘極結構。電容C係一方之電極連接於一對閘極電極之中第1閘極電極，另一方之電極係連接於共通電位VCOM。具有此種構成之記憶體元件M係在連接於雙閘極型薄膜電晶體Tr1之第1閘極電極之電容C儲存資料，且從閘極線GATE控制第2閘極電極而將儲存於電容C之資料讀出。

雙閘極型之薄膜電晶體Tr1係具有連接於資料線SIG之輸入電流端(源極)、及連接於液晶單元LC之像素電極之輸出電流端(汲極)。在此輸出電流端(汲極)與電容C之間介設有包含薄膜電晶體Tr2之開關。在開關用之薄膜電晶體Tr2之閘極係連接有與閘極線GATE平行配設之寫入線WRITE。此種構成之記憶體元件M，係於資料之寫入時，在經由寫

入線WRITE而使開關用電晶體Tr2導通之狀態下，從閘極線GATE控制雙閘極型電晶體Tr1之第2閘極電極，而將從輸入電流端所供給之資料寫入於電容C。另一方面在資料之讀出時，係在經由寫入線WRITE而使開關用電晶體Tr2關斷之狀態下從閘極線GATE控制雙閘極型薄膜電晶體Tr1之第2閘極電極，而將寫入於電容C之資料讀出於輸出電流端。另外開關用之薄膜電晶體Tr2係予以遮光以避免外光，用以防止資料之洩漏。

在此茲將圖8之記憶體元件M之動作區分為寫入動作與讀出動作加以彙整。首先雖為寫入動作，惟將閘極線GATE設為H位準而將薄膜電晶體Tr1設為導通狀態。此外寫入線WRITE亦設為H位準而開關電晶體Tr2亦導通。在此狀態下對於資料線SIG供給H或L之二進位資料。此資料H、L係經由處於導通狀態之電晶體Tr1、Tr2而寫入於電容C。寫入於電容C之資料L、H係施加於雙閘極型電晶體Tr1之第1閘極電極。

另一方面在讀出動作中，係將閘極線GATE切換為L位準，而寫入線WRITE亦設為L位準。另一方面資料線SIG係設為共通電位VCOM。藉此開關電晶體Tr2即關斷，因此雙閘極型電晶體Tr1之輸出電流端係從電容C切離。在此寫入於電容C之資料為H之情形下，雙閘極型電晶體Tr1係成為導通狀態，而對於液晶單元LC之像素電極係從資料線SIG施加VCOM。由於液晶單元LC之像素電極及對向電極均成為VCOM，因此對於液晶單元LC不施加電壓。另一方面寫

入於電容C之資料為L位準時，雙閘極型之薄膜電晶體Tr1係成為關斷狀態，而資料線SIG係從液晶單元LC之像素電極切離。在液晶單元LC之像素電極係對於對向電極側之VCOM持續施加特定之電壓，因此維持顯示狀態。

圖9係為表示圖8所示之像素之應用例之模式圖。圖9係表示RGB3像素份，且各像素係將像素電極予以面積分割。換言之，液晶單元LC係被面積分割，從面積最大之液晶單元LC1至面積最小之液晶單元LC4包含有4個。各液晶單元LC4、LC3、LC2、LC1係依序按倍增加面積。與各液晶單元LC1~LC4對應而連接有記憶體單元M1~M4。各記憶體單元M1~M4係連接於共通之閘極線GATE與寫入線WRITE。另一方面各記憶體單元M1~M4係連接有分別對應之資料線SIG1~SIG4。

在寫入時係將閘極線GATE及寫入線WRITE設為高位準，而從各資料線SIG1~SIG4將多位元資料寫入於對應之記憶體單元M1~M4。本例之情形係將4位元資料寫入於4個記憶體M1~M4之組，而使2之4乘方=16灰階之顯示成為可能。

圖10係為表示本發明之液晶顯示裝置之其他實施形態之模式圖，且表示1像素份之電路構成。本實施形態之情形下，1個像素係包括串聯連接於資料線SIG與液晶單元LC之間之4個記憶體元件M1~M4。藉由與各記憶體元件M1~M4對應之複數個閘極線GATE1~GATE4將各記憶體元件M1~M4依時分割控制，而寫入與多灰階對應之多位元資

料。再者，依據所寫入之多位元資料而時分割驅動液晶單元LC，藉以將液晶單元LC之亮度進行多灰階控制。本實施形態之情形下，由於係將單位元記憶體元件M使用M1~M4共4個，因此可以2之4乘方=16灰階來控制液晶單元LC之亮度。只要在1像素內連接6個記憶體元件，即可進行2之6乘方=64灰階之亮度控制。

圖11係為表示圖10所示之像素之寫入動作之時序圖。在圖10之實施形態中，係對於串聯連接之記憶體元件M1~M4，從最接近液晶單元LC之記憶體單元M4依序寫入二進位資料。在寫入動作開始時序T0之前，所有閘極線GATE1~GATE4係處於位準LL，而對應之雙閘極型薄膜電晶體係全部成為關斷。資料線SIG係為位準L。此外寫入線WRITE係為L位準，且開關電晶體亦關斷。若成為寫入開始時序T0，所有閘極線GATE1~GATE4即上升為H位準，所有雙閘極電晶體即導通。此外資料線SIG係上升為H位準。再加上寫入線WRITE亦上升為H位準，因此所有開關電晶體亦導通。

此狀態係持續到時序T1。在時序T0~時序T1之間，資料線SIG係處於H位準。因此，此資料H係一旦寫入於所有記憶體元件M1~M4。若成為時序T1則僅閘極線GATE4返回LL位準，而對應之雙閘極型薄膜電晶體關斷。因此，寫入於最接近液晶單元LC之記憶體單元M4之資料H係在時序T1之時點固定為該狀態。亦即，在時序T0-T1之期間，資料H係寫入於記憶體單元M4。另外在時序T0-T1之時點若

資料線SIG為L位準，資料L即寫入於記憶體單元M4。

接下來在時序T1-T2之間，資料線SIG係成為L位準。因此，在記憶體單元M3、M2、M1中，先前被寫入之H位準係被覆寫成這一次之L位準。再者，若成為時序T2，則閘極線GATE3即切換為LL位準，而對應之雙閘極型薄膜電晶體即關斷。因而寫入於記憶體單元M3之資料L係在時序T2之時點被固定，且保持為該狀態。

接下來若成為時序T2-T3之期間，則資料線SIG成為H位準。藉此，記憶體單元M2、M1係從L位準被覆寫為H位準。再者時序T3時，閘極線GATE2下降，而記憶體單元M2之雙閘極型電晶體關斷。在此時點資料H係保持固定於記憶體元件M2。以下以同樣方式，在時序T4係將從資料線SIG所供給之H位準之資料寫入於最後之記憶體元件M1。如此一來，供給至資料線SIG之H、L之二進位資料即依時分割而從記憶體元件M4依序寫入到M1。

圖12係為表示圖10所示之記憶體元件M1~M4之讀出動作之時序圖。首先在時序T0，所有閘極線GATE1~GATE4係為H位準，所有雙閘極型薄膜電晶體係為導通狀態。因此資料線SIG係成為藉由串聯連接之導通狀態之雙閘極型電晶體而連接於液晶單元LC之像素電極之狀態。此時資料線SIG係以共通電位VCOM為中心而處於H位準側。此H位準若進入下一個圖場，則切換為L位準。如此一來，本發明之液晶顯示裝置，即將依每圖場施加於液晶單元LC之電壓之極性，相對於VCOM反轉而進行交流驅動。寫入線

WRITE係保持於L位準，且各記憶體元件M1~M4之開關電晶體係所有處在關斷狀態。

若進入時序T0-T1之期間，則僅閘極線GATE1成為L位準，其他閘極線GATE2~GATE4係保持於H位準。因此記憶體元件M2、M3、M4之雙閘極型電晶體係維持導通狀態，另一方面僅記憶體元件M1之雙閘極型電晶體處在選擇狀態。亦即寫入於記憶體元件M1之資料若為H位準，則該雙閘極型電晶體即成為導通狀態，而串聯連接之4個雙閘極電晶體所有成為導通，而使資料線SIG與液晶單元LC之像素電極連接，且液晶單元LC係成為點燈狀態。亦即只要資料H寫入於記憶體元件M1，則液晶單元LC在T0-T1之間係處在點燈狀態。反之，在資料L寫入於記憶體元件M1之情形下，該雙閘極型電晶體係成為關斷。因此串聯連接之4個雙閘極電晶體之1個成為關斷，故液晶單元LC係從資料線SIG切離，成為滅燈狀態。亦即資料L寫入於記憶體元件M1之情形下，液晶單元LC係在T0-T1之間成為滅燈狀態。

接下來若成為時序T1-T2，則僅閘極線GATE2成為L位準，而其他閘極線GATE1、GATE3、GATE4成為H位準。因此第2個記憶體元件M2處在選擇狀態，另一方面剩餘之記憶體元件M1、M3、M4所含之雙閘極型電晶體係所有成為導通狀態。在此記憶體元件M2成為選擇狀態之期間T1-T2係成為較記憶體元件M1成為選擇期間之T0-T1更長2倍。只要資料H寫入於記憶體元件M2，則液晶單元LC即點燈。反之只要資料L寫入於記憶體元件M2，則液晶單元LC

在T1-T2之期間即處在滅燈狀態。

接下來在T2-T3之期間中，記憶體元件M3係處在選擇狀態，而剩餘之記憶體元件之雙閘極型電晶體係所有成為導通狀態。記憶體元件M3成為選擇狀態之期間T2-T3，相較於記憶體元件M2之選擇期間T1-T2係長度成為2倍。液晶單元LC係在T2-T3之期間，依據寫入於記憶體元件M3之二進位資料之值L、H，而選擇導通狀態/關斷狀態，而在T2-T3之期間液晶單元LC係處在點燈或滅燈狀態。

最後在T3-T4之期間，閘極線GATE4成為L位準，而記憶體元件M4處在選擇狀態。剩餘之記憶體元件M1、M2、M3之雙閘極型電晶體係為導通狀態。在此期間T3-T4之間，液晶單元LC係依據寫入於記憶體元件M4之資料之值H、L而點燈或滅燈。

由以上之說明可明瞭，只要二進位資料H寫入於所有記憶體元件M1~M4，則液晶單元LC即遍及全期間T0-T4而處在點燈狀態。反之若資料L寫入於所有記憶體元件M1~M4，則液晶單元LC遍及全期間T0-T4成為滅燈狀態。在全點燈狀態與全滅燈狀態之間，液晶單元LC係依據寫入於記憶體元件M1~M4之多位元資料，區分點燈狀態與滅燈狀態相當於由該多位元資料所表示之時間。如此一來，圖10所示之液晶顯示裝置，係可依據寫入於各像素之記憶體單元M1~M4之多位元資料而將液晶單元LC時分割驅動，藉以將液晶單元LC之亮度進行多灰階控制。

圖13係為適用本發明之電視，包括由前面板12、濾光片

(filter)玻璃13等所構成之影像顯示畫面11，藉由將本發明之顯示裝置使用於該影像顯示畫面11而製作。

圖14係為適用本發明之數位相機，上為俯視圖，下為背面圖。此數位相機係包括攝像透鏡、閃光用之發光部15、顯示部16、調節開關、選單開關、快門19等，藉由將本發明之顯示裝置使用於該顯示部16而製作。

圖15係為適用本發明之筆記型個人電腦，包括輸入文字等於本體20時所操作之鍵盤21，且包括在本體罩蓋顯示圖像之顯示部22，藉由將本發明之顯示裝置使用於該顯示部22而製作。

圖16係為適用本發明之行動末端裝置，左邊表示打開之狀態，右邊表示關閉之狀態。此行動末端裝置係包括上側框體23、下側框體24、連結部(在此係為鉸鏈(hinge)部)25、顯示器26、副顯示器27、圖像燈(picture light)28、及相機29等，藉由將本發明之顯示裝置使用於該顯示器26及副顯示器27而製作。由於本發明之顯示裝置係可將多位元資料內建於多位元資料，因此可削減佔有背光源以外之面板消耗電力之大半之資料線之充放電所需之消耗電力。因此可以低消耗電力驅動之主動矩陣型之液晶顯示裝置面板即成為可能。藉由將此種液晶面板嵌入行動末端機器之監視器，不僅電池之充電間隔之延長化，亦可縮小電池容積，而可將行動末端機器更為小型化。

圖17係為適用本發明之視訊攝影機(video camera)，包括本體部30、朝向前方之側面被攝體攝影用之透鏡34、攝

影時之啟動/停止開關35、監視器36等，藉由將本發明之顯示裝置使用於該監視器36而製作。

【圖式簡單說明】

圖1係為表示本發明之記憶體元件之構成之模式性剖面圖。

圖2係為供圖1所示之記憶體元件之動作說明之曲線圖。

圖3係為供相同圖1所示之記憶體元件之動作說明之真值表。

圖4係為表示圖1所示之記憶體元件所含之雙閘極型電晶體之電流/電壓特性之曲線圖。

圖5(A)-(F)係為圖1所示之記憶體元件之製造程序圖。

圖6係為表示主動矩陣型液晶顯示裝置之參考例之模式圖。

圖7係為表示本發明之主動矩陣型液晶顯示裝置之全體構成之區塊圖。

圖8係為表示圖7所示之液晶顯示裝置之1像素份之電路圖。

圖9係為表示本發明之液晶顯示裝置之實施形態之3像素份之像素電極布局之模式性俯視圖。

圖10係為表示本發明之液晶顯示裝置之其他實施形態之1像素份之電圖。

圖11係為供圖10所示之像素之動作說明之時序圖。

圖12係為供相同圖10所示之像素之動作說明之時序圖。

圖13係為表示具備本發明之顯示裝置之電視機之立體

圖。

圖14係為表示具備本發明之顯示裝置之數位靜態相機之立體圖。

圖15係為表示具備本發明之顯示裝置之筆記型個人電腦之立體圖。

圖16係為表示具備本發明之顯示裝置之行動末端裝置之模式圖。

圖17係為表示具備本發明之顯示裝置之視訊攝影機之立體圖。

【主要元件符號說明】

SUB	基板
F-GATE	第1閘極電極
1GOX	閘極絕緣膜
PSI	半導體薄膜
2GOX	閘極絕緣膜
S-GATE	第2閘極電極
LPT	像素電極

五、中文發明摘要：

本發明提供一種可嵌入主動矩陣型顯示裝置之像素之超小型記憶體元件。記憶體元件係由一個薄膜電晶體與一個電容所組成。薄膜電晶體具有半導體薄膜PSI、及介隔絕緣膜IGOX、2GOX而將半導體薄膜PSI從上下包夾之一對閘極電極F-GATE、S-GATE。電容連接於一對閘極電極中之第1閘極電極F-GATE。於連接於第1閘極電極F-GATE之電容儲存資料，且控制一對閘極電極中之第2閘極電極S-GATE而讀出儲存於電容之資料。

六、英文發明摘要：

十、申請專利範圍：

1. 一種記憶體元件，其特徵為：

包含薄膜電晶體與電容；

前述薄膜電晶體具有半導體薄膜、及介隔絕緣膜而將該半導體薄膜從上下包夾之一對閘極電極；

前述電容連接於一對閘極電極中之第1閘極電極；

於連接於第1閘極電極之該電容儲存資料；且

控制一對閘極電極中之第2閘極電極而將儲存於該電容之資料讀出。

2. 如請求項1之記憶體元件，其中

前述薄膜電晶體具有成為資料輸入側之輸入電流端、及成為資料輸出側之輸出電流端；且

具備配置於該輸出電流端與該電容之間之開關；

資料寫入時，在使該開關導通之狀態下控制第2閘極電極，而將從輸入電流端供給之資料寫入該電容；

資料之讀出時，在使該開關關斷之狀態下控制該第2閘極電極，而將寫入於該電容之資料讀出至輸出電流端。

3. 如請求項2之記憶體元件，其中

前述薄膜電晶體係臨限電壓藉由與寫入於該電容之資料對應之電壓施加於該第1閘極電極而變化；

控制該第2閘極電極，以該臨限電壓之變化作為該薄膜電晶體之導通狀態與關斷狀態之變化而讀出資料。

4. 一種顯示裝置，其特徵為：

具備列狀之閘極線、行狀之資料線、及配置於兩者交叉之部分之像素；

各像素包含記憶體元件與光電元件；

前述記憶體元件記憶從資料線供給之資料，並依據從閘極線供給之訊號而讀出資料；

前述光電元件呈現與該記憶之資料對應之亮度，且

前述記憶體元件包含薄膜電晶體與電容；

前述薄膜電晶體具有半導體薄膜、及介隔絕緣膜而將該半導體薄膜從上下包夾之一對閘極電極；

前述電容連接於一對閘極電極中之第1閘極電極；

於連接於第1閘極電極之該電容儲存資料；

從該閘極線控制第2閘極電極而將儲存於該電容之資料讀出。

5. 如請求項4之顯示裝置，其中

前述薄膜電晶體具有連接於資料線之輸入電流端、及連接於該光電元件之輸出電流端；且

具備配置於該輸出電流端與該電容之間之開關；

資料寫入時，在使該開關導通之狀態下從閘極線控制第2閘極電極，而將從輸入電流端供給之資料寫入於該電容；

資料讀出時，在使該開關關斷之狀態下從閘極線控制該第2閘極電極，而將寫入於該電容之資料讀出至輸出電流端。

6. 如請求項5之顯示裝置，其中

前述開關亦包含薄膜電晶體，且為防止資料洩漏而被與外光遮蔽。

7. 如請求項4之顯示裝置，其中

前述像素包含串聯連接於資料線與光電元件之間之複數個記憶體元件；

藉由與各記憶體元件對應之複數個閘極線分時控制各記憶體元件而寫入與多灰階對應之多位元資料；

進一步依據所寫入之多位元資料而分時驅動該光電元件，以對光電元件之亮度進行多灰階控制。

8. 如請求項4之顯示裝置，其中

前述像素被面積分割成複數個區域；

各區域包含光電元件與記憶體元件；

將多位元資料寫入配置於複數個區域之複數個記憶體元件，以依據所寫入之多位元資料而對該像素之亮度進行多灰階控制。

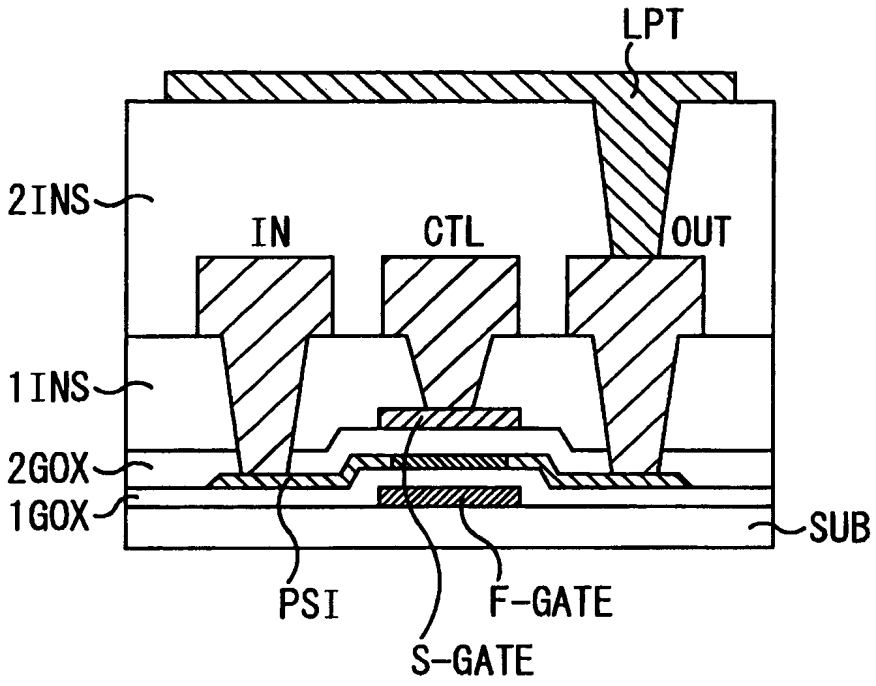

圖 1

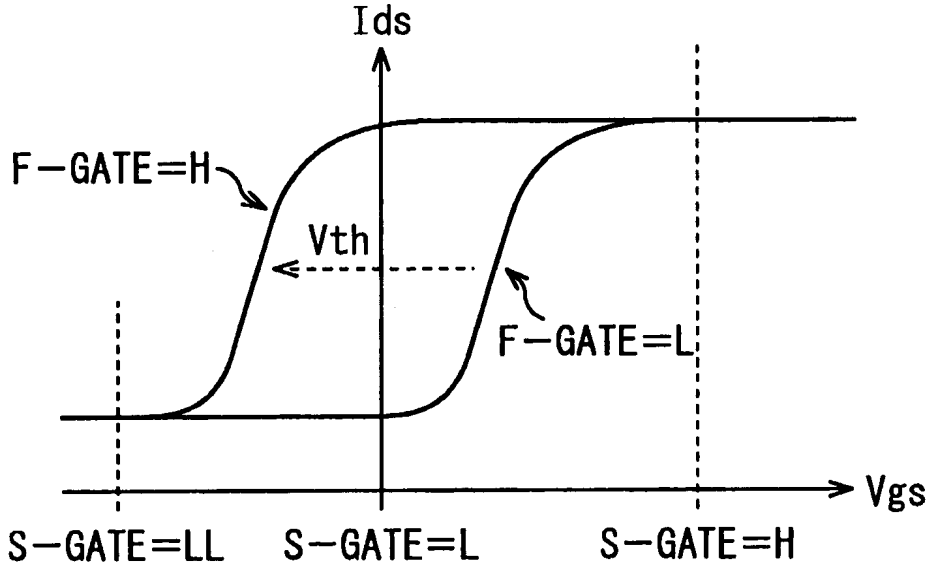

圖 2

真值表

S-GATE / F-GATE	LL	L	H
L	OFF	OFF	ON
H	OFF	ON	ON

圖 3

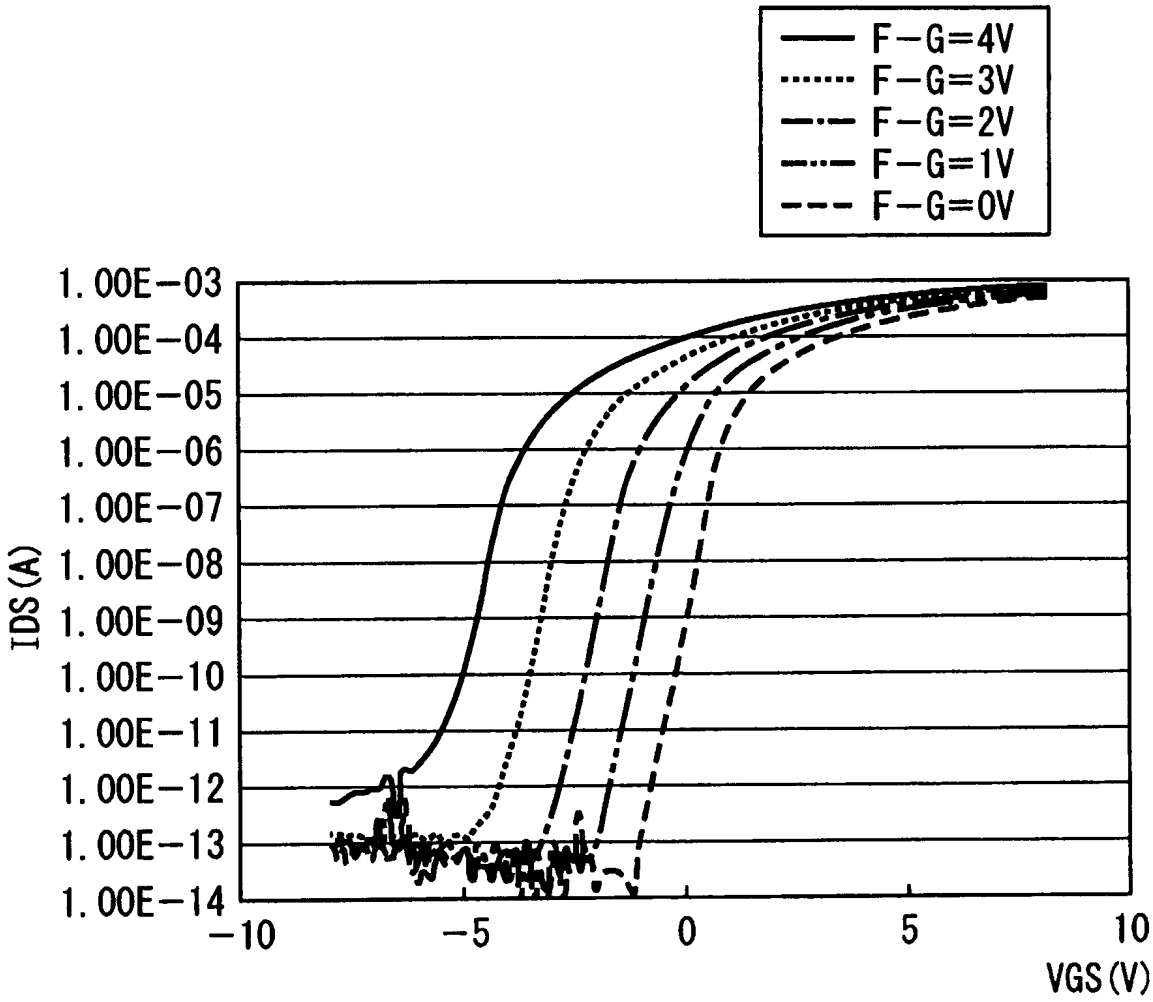
F−G=4V
F−G=3V
F−G=2V
F−G=1V
F−G=0V
1.00E−03
1.00E−04
1.00E−05
1.00E−06
1.00E−07
1.00E−08
1.00E−09
1.00E−10
1.00E−11
1.00E−12
1.00E−13
1.00E−14
IDS(A)
−10
−5
0
5
10
VGS(V)

圖4

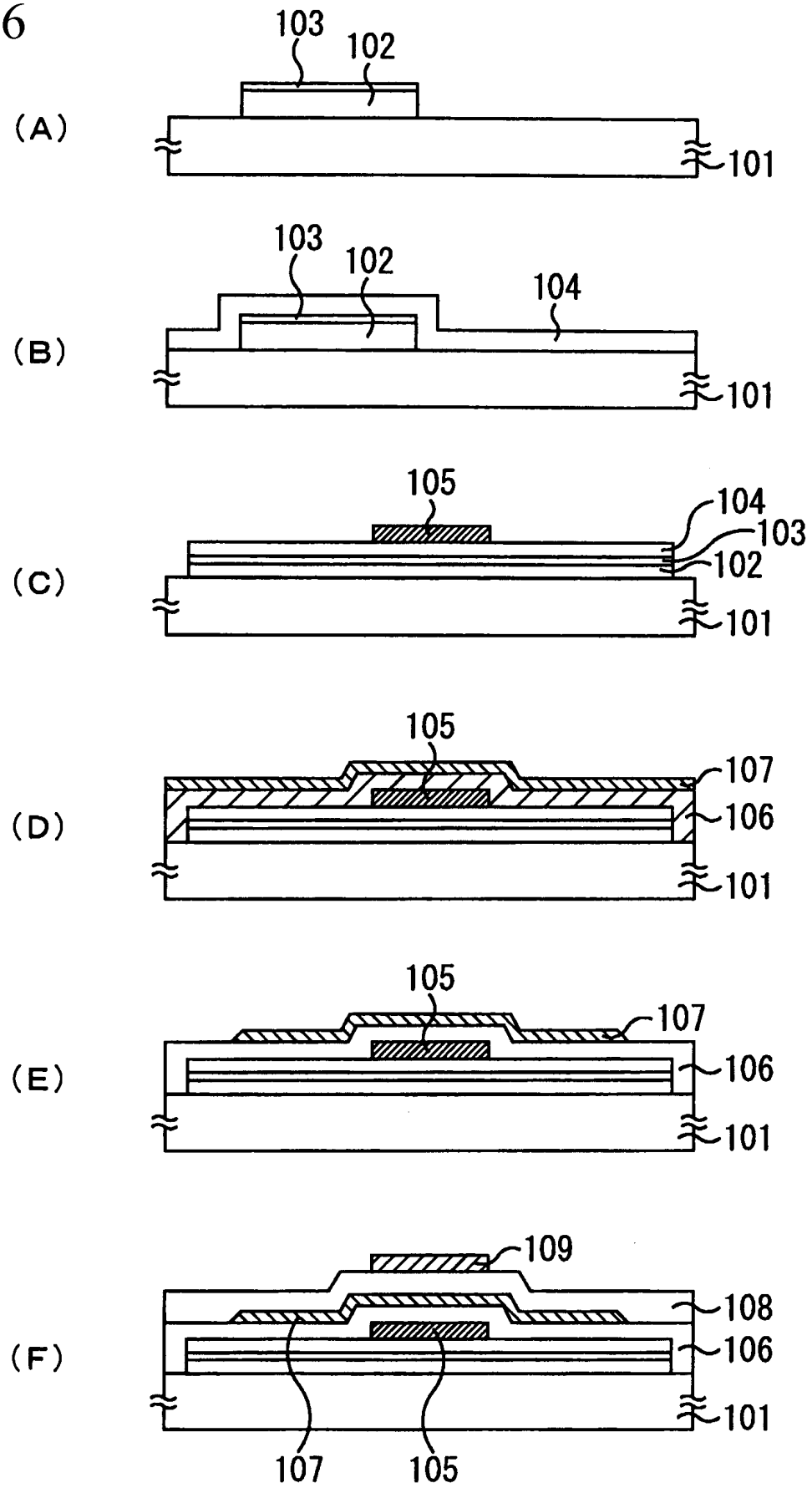
(A)
103
102
101
(B)
103
102
104
101
(C)
105
104
103
102
101
(D)
105
107
106
101
(E)
105
107
106
101
(F)
109
108
106
101
107
105

圖 5

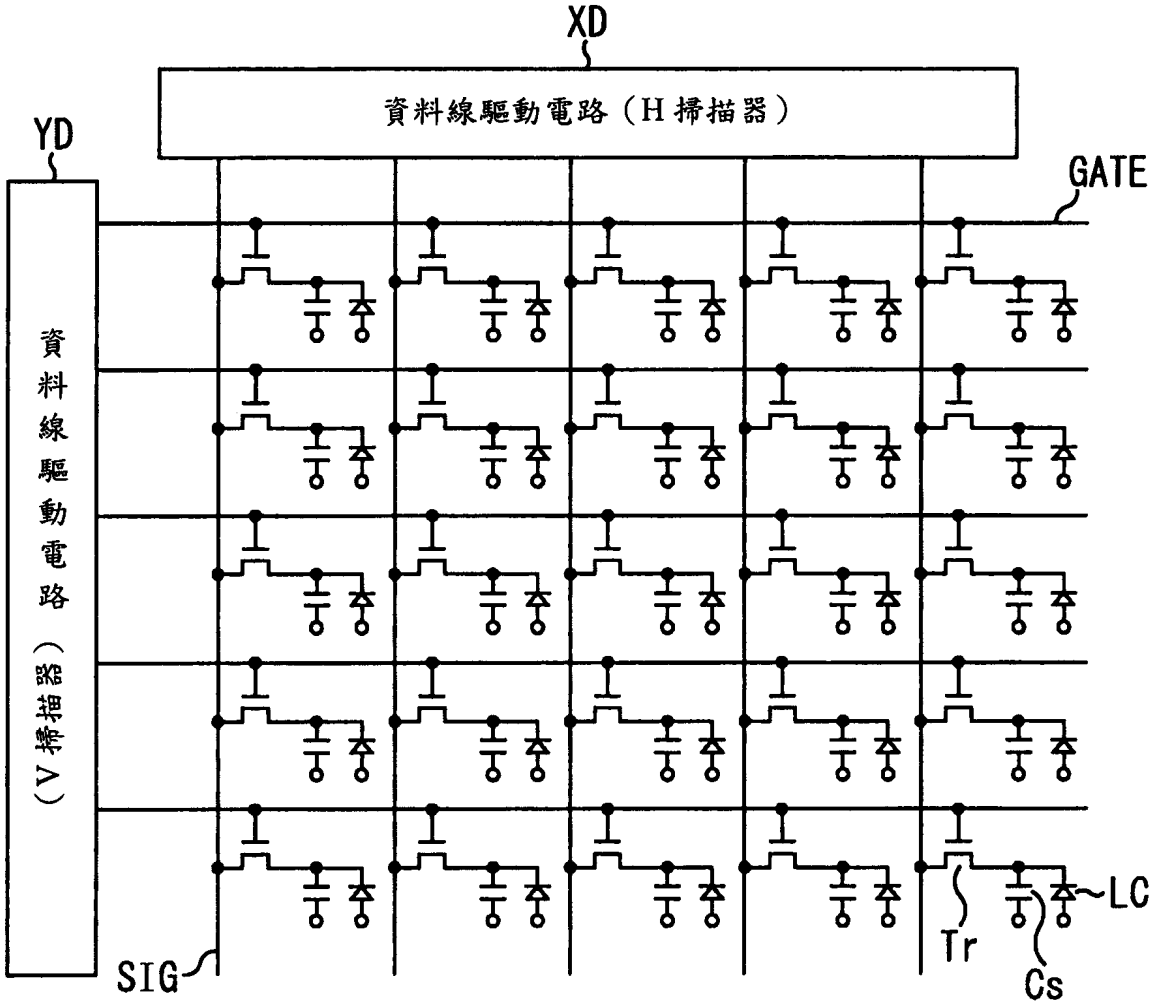

圖 6

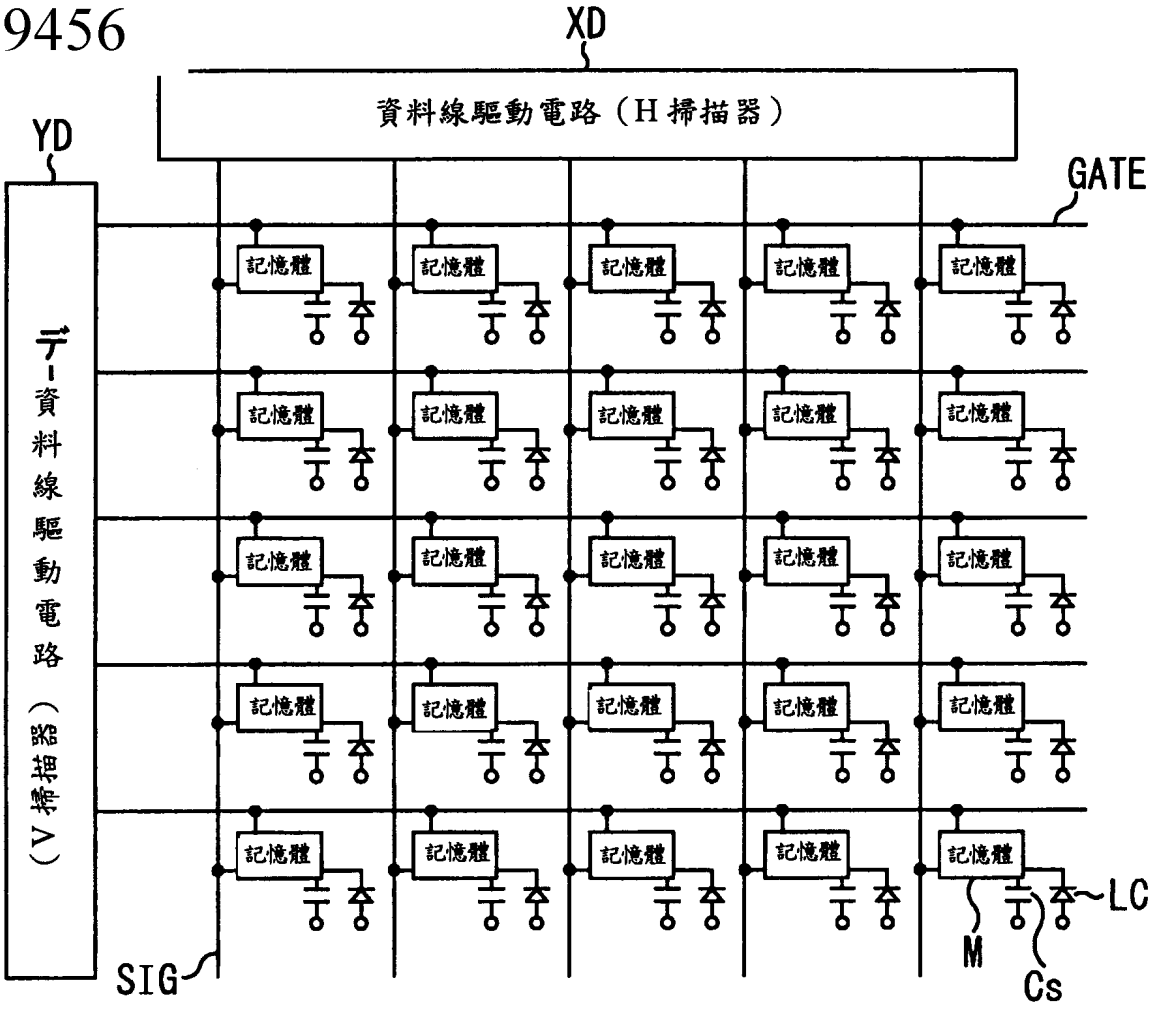
XD
資料線驅動電路（H掃描器）
YD
資料線驅動電路（V掃描器）
GATE
記憶體
SIG
M
Cs
LC

圖 7

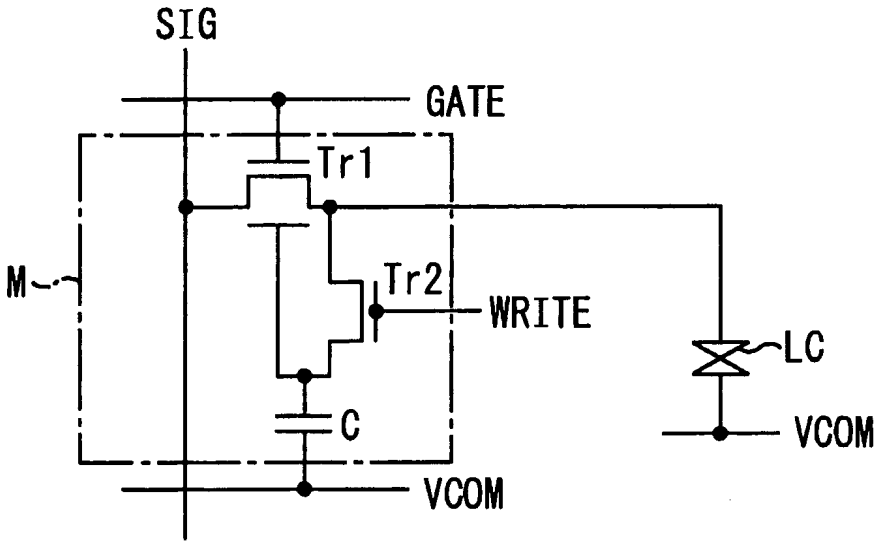
SIG
GATE
Tr1
M
Tr2
WRITE
C
VCOM
LC
VCOM

圖8

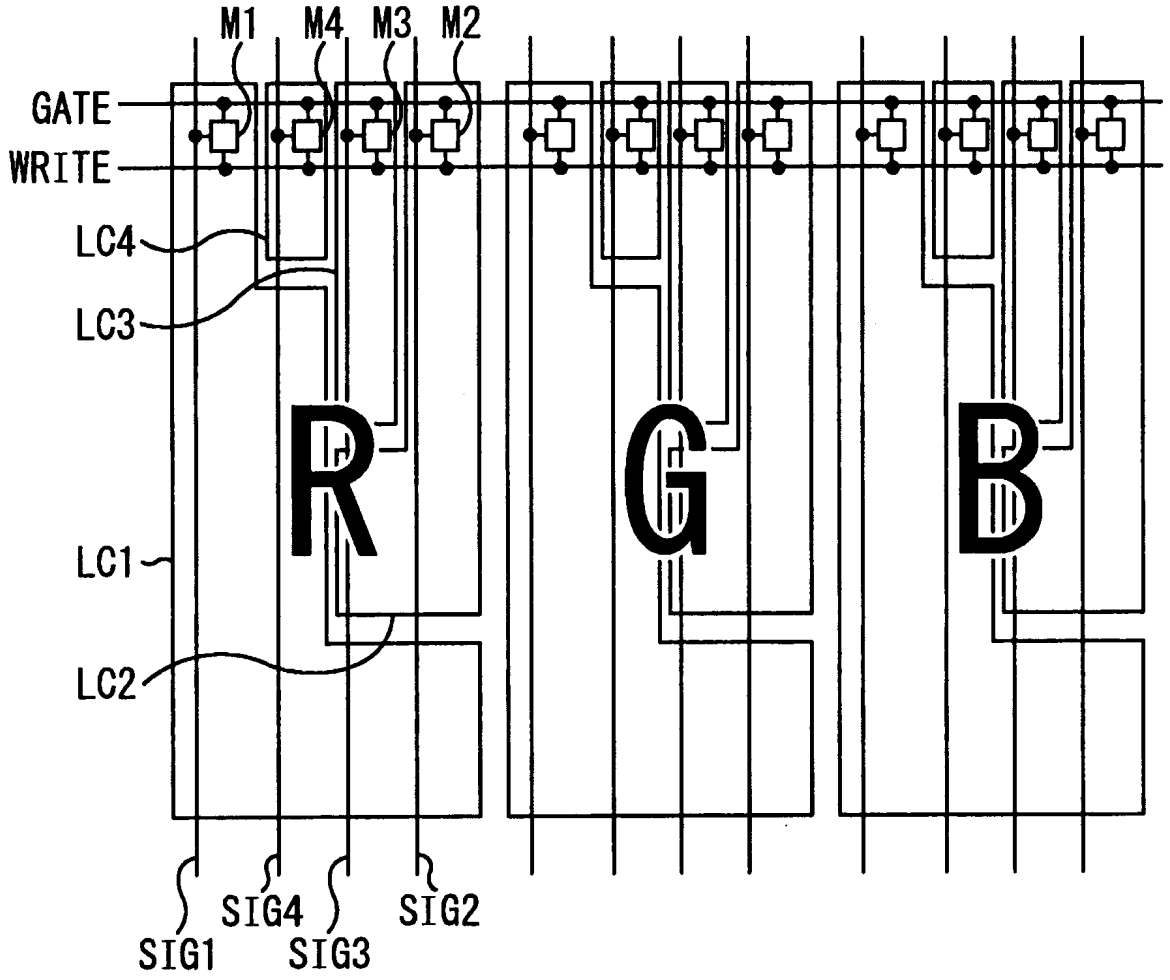

圖9

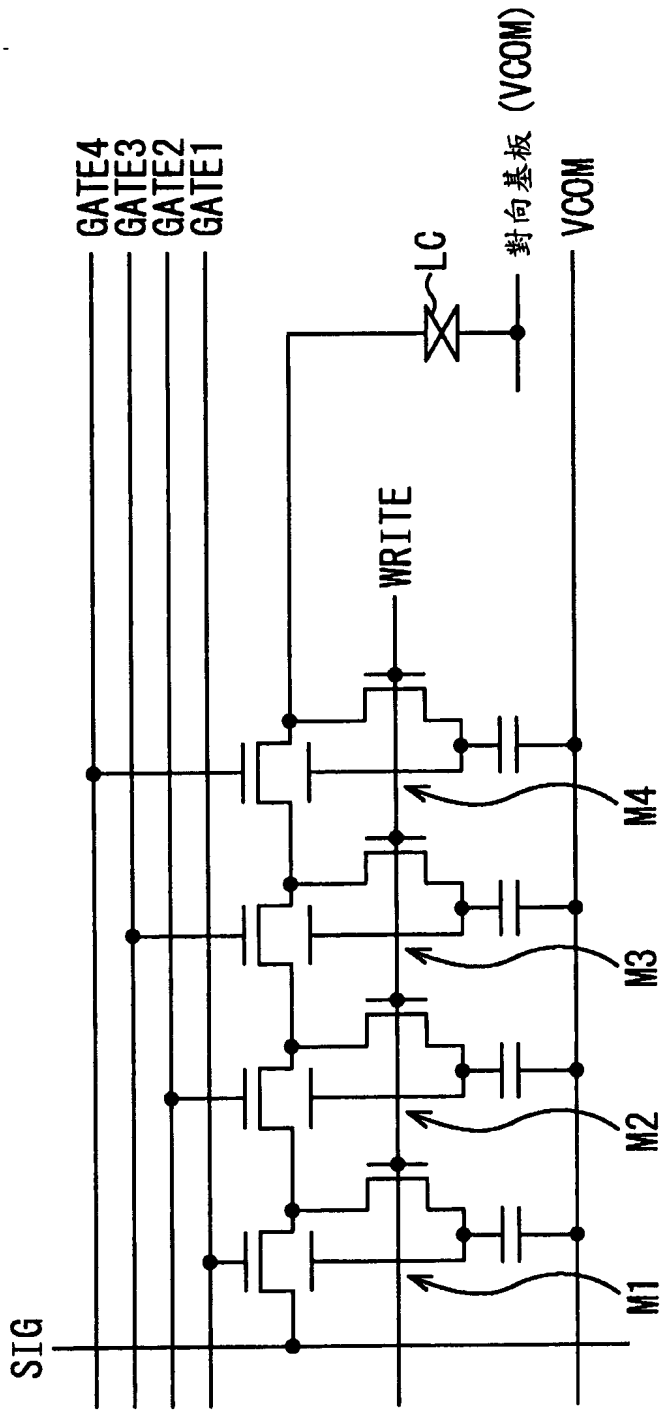
GATE4
GATE3
GATE2
GATE1
LC
對向基板 (VCOM)
VCOM
WRITE
M4
M3
M2
M1
SIG

圖 10

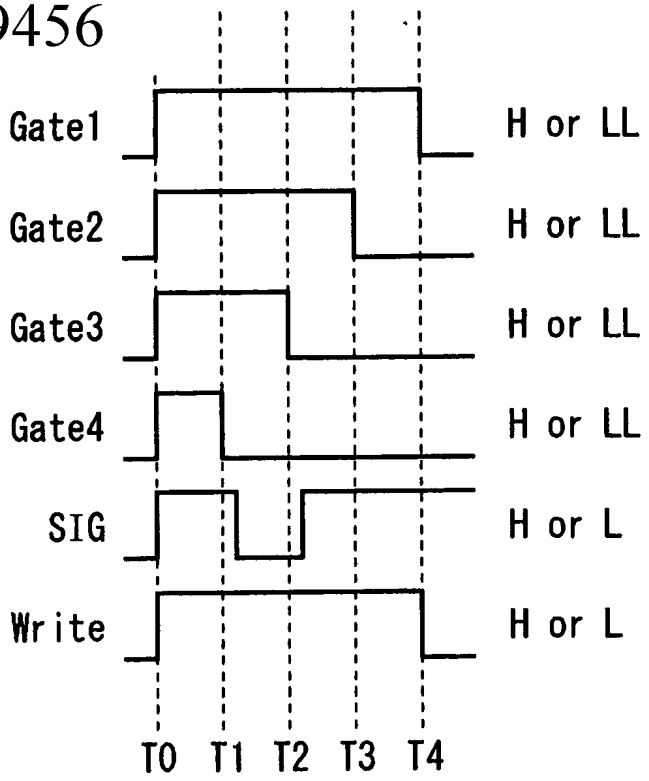
Gate1
H or LL
Gate2
H or LL
Gate3
H or LL
Gate4
H or LL
SIG
H or L
Write
H or L
T0 T1 T2 T3 T4

圖 11

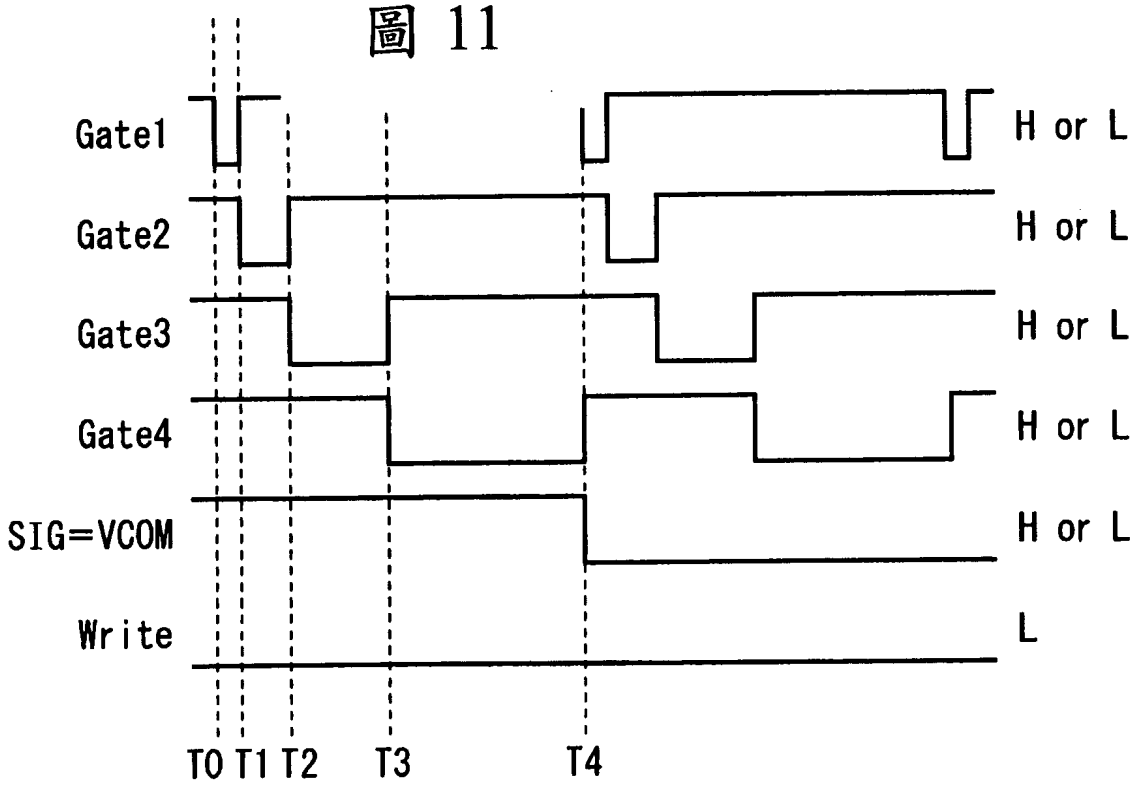
Gate1
H or L
Gate2
H or L
Gate3
H or L
Gate4
H or L
SIG=VCOM
H or L
Write
L
T0 T1 T2 T3 T4

圖12

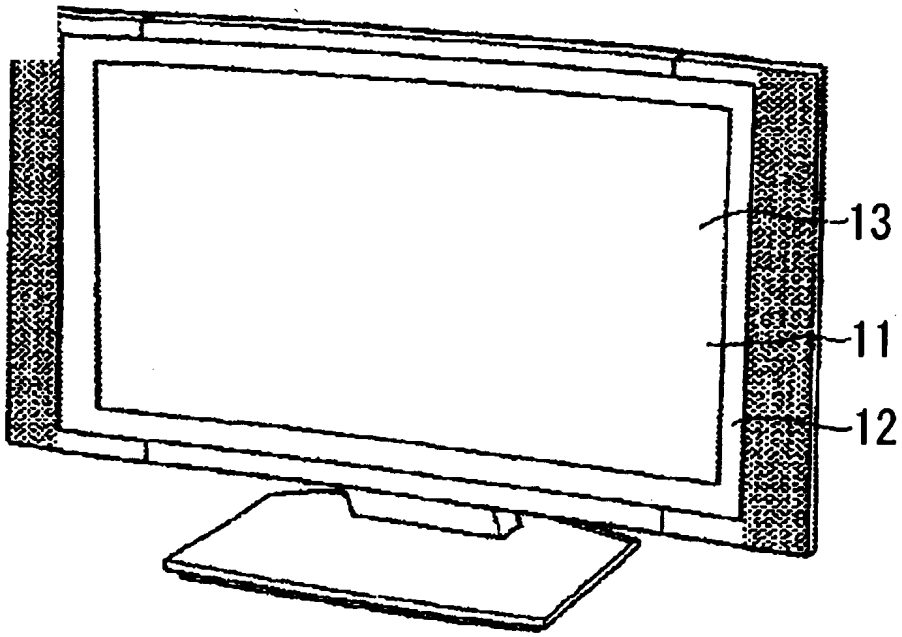

圖 13

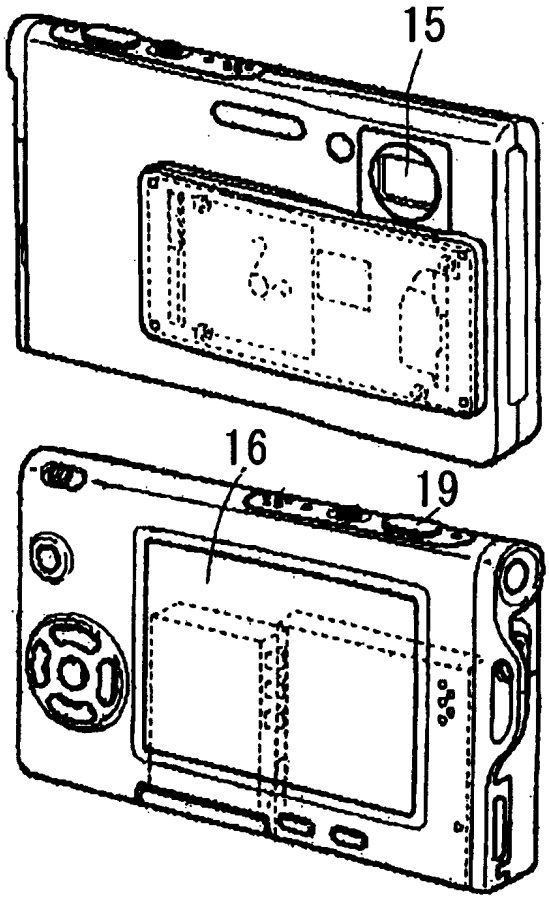

圖14

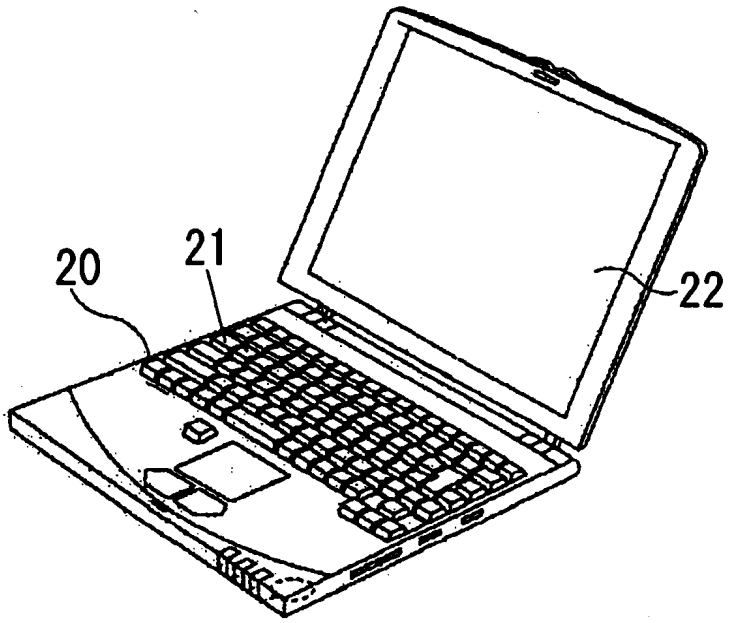

圖 15

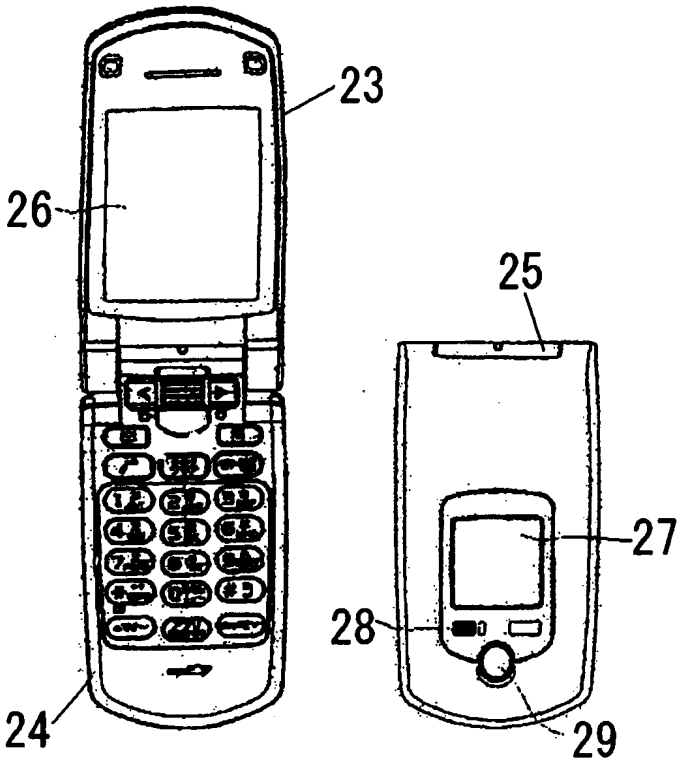

圖16

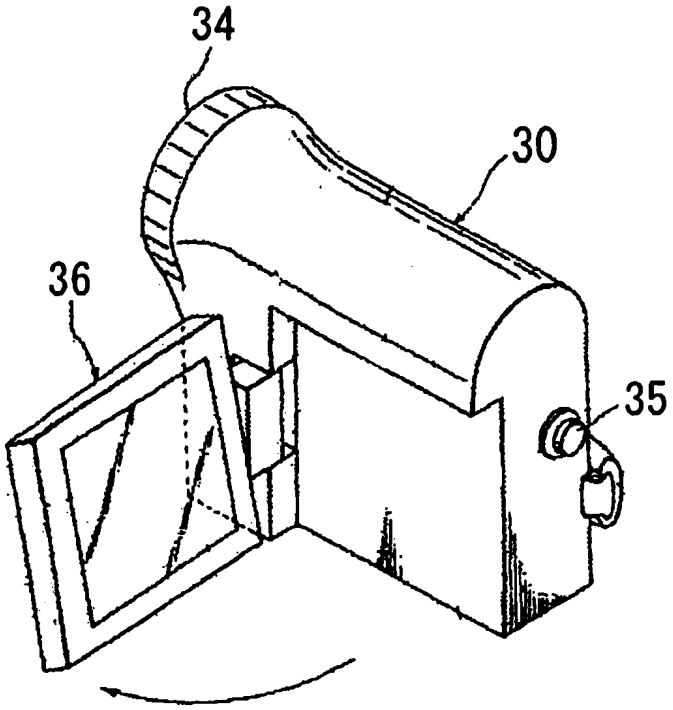

圖17

七、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明：

1INS	第1層間絕緣膜
2INS	第2層間絕緣膜
1GOX、2GOX	絕緣膜
CTL、IN、OUT	金屬布線
F-GATE	第1閘極電極
LPT	像素電極
PSI	半導體薄膜
S-GATE	第2閘極電極
SUB	基板

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

（無）