



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2006년12월06일
H05B 33/22 (2006.01)	(11) 등록번호	10-0653791
H05B 33/26 (2006.01)	(24) 등록일자	2006년11월28일

(21) 출원번호	10-2005-0051311(분할)	(65) 공개번호	10-2005-0076721
(22) 출원일자	2005년06월15일	(43) 공개일자	2005년07월26일
심사청구일자	2005년06월15일		
(62) 원출원	특허10-2000-0034092		
	원출원일자 : 2000년06월21일	심사청구일자	2005년06월15일

(30) 우선권주장 JP-P-1999-00174734 1999년06월21일 일본(JP)

(73) 특허권자 가부시킴가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마우치 유키오  
일본국 가나가와켄 아쓰기시 하세 398번지 가부시킴가이샤한도오파이  
에네루기 켄큐쇼 내  
  
후쿠나가 다케시  
일본국 가나가와켄 아쓰기시 하세 398번지 가부시킴가이샤한도오파이  
에네루기 켄큐쇼 내

(74) 대리인 황의만

심사관 : 박남현

전체 청구항 수 : 총 9 항

## (54) E L 표시장치

### (57) 요약

선명한 다계조 컬러 표시를 할 수 있는 EL 표시장치와 그러한 EL 표시장치를 구비한 전자 장치를 제공한다. 본 발명에서는, 화소(104)에 배치된 EL 소자(109)의 발광 및 비발광을 시간으로 제어하는 시분할 구동방식에 의해 계조 표시가 행해지고, 전류 제어용 TFT(108)의 특성 편차에 의한 영향이 방지된다. 이 방법이 사용되는 경우, 데이터 신호측 구동회로(102) 및 게이트 신호측 구동회로(103)가, 독특한 결정 구조를 가지는 규소막을 사용하고 매우 높은 동작 속도를 나타내는 TFT로 형성된다.

### 대표도

도 1

### 특허청구의 범위

### 청구항 1.

기관 위에 형성된 화소부 및 구동회로;

상기 기관 위에 형성된 입력 배선을 통해 상기 구동회로에 접속되는 외부 장치;

상기 입력 배선 위에 형성된 패시베이션막;

상기 패시베이션막 위에 형성된 절연막; 및

상기 절연막 위에 형성된 접속 배선을 포함하고;

상기 접속 배선이 상기 패시베이션막 및 상기 절연막에 형성된 콘택트 홀을 통해 상기 입력 배선에 접속되어 있는 것을 특징으로 하는 EL 표시장치.

### 청구항 2.

제 1 항에 있어서, 상기 구동회로가 시분할 계조 데이터 신호 발생회로를 포함하는 EL 표시장치.

### 청구항 3.

제 1 항에 있어서, 상기 EL 표시장치가, 퍼스널 컴퓨터, 비디오 카메라, 헤드 장착형 표시장치, 화상 재생 장치 및 모바일 컴퓨터로 이루어진 군에서 선택되는 전자 장치에 설치되는 것을 특징으로 하는 EL 표시장치.

### 청구항 4.

기관 위에 형성된 화소부 및 구동회로;

상기 기관 위에 형성된 입력 배선을 통해 상기 구동회로에 접속되는 외부 장치;

상기 입력 배선 위에 형성된 제1 패시베이션막;

상기 제1 패시베이션막 위에 형성된 절연막;

상기 절연막 위에 형성된 접속 배선;

상기 접속 배선 위에 형성된 보호 전극; 및

상기 보호 전극 위에 형성된 제2 패시베이션막을 포함하고;

상기 접속 배선이 상기 제1 패시베이션막 및 상기 절연막에 형성된 콘택트 홀을 통해 상기 입력 배선에 접속되어 있는 것을 특징으로 하는 EL 표시장치.

### 청구항 5.

제 4 항에 있어서, 상기 구동회로가 시분할 계조 데이터 신호 발생회로를 포함하는 EL 표시장치.

## 청구항 6.

제 4 항에 있어서, 상기 EL 표시장치가, 퍼스널 컴퓨터, 비디오 카메라, 헤드 장착형 표시장치, 화상 재생 장치 및 모바일 컴퓨터로 이루어진 군에서 선택되는 전자 장치에 설치되는 것을 특징으로 하는 EL 표시장치.

## 청구항 7.

기관 위에 형성된 화소부 및 구동회로;

상기 기관 위에 형성된 입력 배선을 통해 상기 구동회로에 접속되는 외부 장치;

상기 입력 배선 위에 형성된 패시베이션막;

상기 패시베이션막 위에 형성된 절연막; 및

상기 절연막 위에 형성된 접속 배선을 포함하고;

상기 접속 배선이 상기 패시베이션막 및 상기 절연막에 형성된 콘택트 홀을 통해 상기 입력 배선에 접속되어 있고,

상기 화소부 및 구동회로 각각이 박막트랜지스터를 포함하고,

상기 입력 배선이 상기 박막트랜지스터의 화소 전극과 동일한 재료로 된 것을 특징으로 하는 EL 표시장치.

## 청구항 8.

제 7 항에 있어서, 상기 구동회로가 시분할 계조 데이터 신호 발생회로를 포함하는 EL 표시장치.

## 청구항 9.

제 7 항에 있어서, 상기 EL 표시장치가, 퍼스널 컴퓨터, 비디오 카메라, 헤드 장착형 표시장치, 화상 재생 장치 및 모바일 컴퓨터로 이루어진 군에서 선택되는 전자 장치에 설치되는 것을 특징으로 하는 EL 표시장치.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 기관상에 반도체 소자(즉, 반도체 박막을 사용한 소자)를 구성하여 형성된 EL(electro-luminescence)(전계 발광) 표시장치 및 그러한 EL 표시장치를 표시 패널(표시부)로 사용하는 전자 기기(전자 장치)에 관한 것이다.

근년, 기관상에 TFT(박막트랜지스터)를 형성하는 기술이 급격히 진보하고 있고, 액티브 매트릭스형 표시장치에의 응용 개발이 진행되고 있다. 특히, 폴리실리콘 막을 사용한 TFT는 비정질 규소막을 사용한 종래의 TFT보다 전계 효과 이동도가 높기 때문에, 고속으로 동작할 수 있다. 따라서, 종래에는 기관 외측에 배치된 구동회로에 의해 화소가 제어되었지만, 화소와 동일 기관상에 형성된 구동회로에 의해 화소를 제어하는 것이 가능하게 되었다.

액티브 매트릭스형 표시장치는 각종 회로 및 소자를 동일 기판상에 구성함으로써, 제조 비용 절감, 표시장치의 소형화, 생산수율 상승 및 스루풋 증대와 같은 여러가지 이점(利點)을 얻을 수 있기 때문에 주목을 받고 있다.

중래, 액티브 매트릭스형 EL 표시의 화소는 일반적으로 도 3에 도시된 바와 같이 구성되었다. 도 3에서, 부호 301은 스위칭 소자로서 기능하는 TFT(이하, 스위칭용 TFT라 칭함)를 나타내고, 부호 302는 EL 소자(303)에 공급되는 전류를 제어하는 소자(전류 제어 소자)로서 기능하는 TFT(이하, 전류 제어용 TFT라 칭함)를 나타내고, 부호 304는 용량(보유 용량)을 나타낸다. 스위칭용 TFT(301)는 게이트 배선(305) 및 소스 배선(데이터 배선)(306)에 접속되어 있고, 전류 제어용 TFT(302)의 드레인은 EL 소자(303)에 접속되고, 소스는 전류 공급선(307)에 접속되어 있다.

게이트 배선(305)이 선택되면, 스위칭용 TFT(301)의 게이트가 열리고, 소스 배선(306)의 데이터 신호가 용량(커패시터)(304)에 축적되고, 전류 제어용 TFT(302)의 게이트가 열린다. 스위칭용 TFT(301)의 게이트가 닫힌 후에는, 전류 제어용 TFT(302)의 게이트가 용량(304)에 축적된 전하에 의해 열린 채로 유지된다. 그 사이에 EL 소자(303)가 발광한다. EL 소자(303)의 발광량은 흐르는 전류의 양에 따라 변화한다.

이때, EL 소자(303)에 공급되는 전류의 양은 전류 제어용 TFT(302)의 게이트 전압에 의해 제어된다. 이것이 도 4에 도시되어 있다.

도 4(A)는 전류 제어용 TFT의 트랜지스터 특성을 나타내는 그래프이다. 부호 401은  $I_d$ - $V_g$  특성(또는  $I_d$ - $V_g$  곡선)이라 불린다. 여기서,  $I_d$ 는 드레인 전류이고,  $V_g$ 는 게이트 전압이다. 이 그래프로부터, 임의의 게이트 전압에 대응하여 흐르는 전류의 양을 알 수 있다.

통상, EL 소자를 구동하는데 있어서,  $I_d$ - $V_g$  특성의 점선(402)으로 나타낸 영역이 사용된다. 점선(402)으로 둘러싸인 영역의 확대도가 도 4(B)에 도시되어 있다.

도 4(B)에서, 사선으로 나타낸 영역이 서브그레시홀드(sub-threshold) 영역이라 불린다. 실제에는, 게이트 전압이 스레시홀드 전압( $V_{th}$ )에 가깝거나 그보다 작은 영역을 가리킨다. 이 영역에서는 게이트 전압의 변화에 따라 드레인 전류가 지수함수적으로 변화한다. 이 영역을 사용하여, 게이트 전압에 의해 전류 제어를 행한다.

스위칭용 TFT(301)가 열려 화소에 입력된 데이터 신호는 먼저 용량(304)에 축적되고, 그 데이터 신호가 그 대로 전류 제어용 TFT(302)의 게이트 전압이 된다. 이때, 도 4(A)에 나타낸  $I_d$ - $V_g$  특성에 따라 게이트 전압에 대하여 드레인 전류가 1 대 1로 결정된다. 즉, 데이터 신호에 대응하여 소정의 전류가 EL 소자(303)를 통해 흐르고, 그 전류의 양에 대응한 발광량으로 EL 소자(303)가 발광한다.

상기한 바와 같이, 데이터 신호에 의해 EL 소자의 발광량이 제어되어, 계조 표시가 행해진다. 이것이 소위 아날로그 계조 방식이고, 여기서, 신호의 진폭의 변화에 의해 계조 표시가 행해진다. 그러나, 아날로그 계조방식은 TFT의 특성 편차에 매우 약하다는 결점이 있다. 예를 들어, 스위칭용 TFT(301)의  $I_d$ - $V_g$  특성이 동일한 계조를 표시하는 인접 화소의 스위칭용 TFT의 것과 다른 경우(즉, 전체적으로 플러스 또는 마이너스 쪽으로 시프트한 경우)를 상정(想定)한다.

그 경우, 그 스위칭용 TFT들의 드레인 전류가 편차 정도에도 의존하지만 서로 상이하여, 각 화소의 전류 제어용 TFT에 상이한 게이트 전압이 인가된다. 즉, 각 EL 소자를 통해 상이한 전류가 흐르고, 그 결과, 상이한 발광량으로 되어, 동일한 계조 표시가 달성될 수 없다.

또한, 각 화소의 전류 제어용 TFT에 동일한 게이트 전압이 인가되어도, 전류 제어용 TFT의  $I_d$ - $V_g$  특성에 편차가 있으면 동일한 드레인 전류가 출력될 수 없다. 또한, 도 4(A)로부터 명확한 바와 같이, 드레인 전류가 게이트 전압의 변화에 따라 지수함수적으로 변화하는 영역이 사용되므로,  $I_d$ - $V_g$  특성이 매우 미세하게 이동하면 동일 게이트 전압이 인가되어도 출력되는 전류의 양이 크게 다르게 되는 상황이 일어난다. 그럴 경우, EL 소자의 발광량이 인접한 화소들에서 크게 다르게 된다.

실제에는, 스위칭용 TFT 및 전류 제어용 TFT의 각각의 개별적인 편차는 상승적으로 작용하고, 더욱 혹독한 조건이 부여된다. 상기한 바와 같이, 아날로그 계조방식은 TFT의 특성 편차에 매우 민감하고, 이것은 중래의 액티브 매트릭스형 EL 표시장치의 다색 컬러화에 장애가 되었다.

## 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제점을 감안하여 이루어진 것으로, 본 발명의 목적은 선명한 다계조 컬러 표시가 가능한 액티브 매트릭스형 EL 표시장치를 제공하는데 있다. 본 발명의 다른 목적은 그러한 액티브 매트릭스형 EL 표시장치를 표시장치로서 구비한 고성능 전자 장치를 제공하는데 있다.

## 발명의 구성

본 발명자들은 TFT의 특성 편차의 영향을 받기 어려운 화소 구조로 하기 위해서는, 전류 제어용 TFT를 전류 공급용의 스위칭 소자로만 사용하는 디지털 계조방식이 전류 제어에 의해 EL 소자의 발광량을 제어하는 종래의 아날로그 계조방식보다 우수하다고 생각하였다.

이것으로부터, 본 발명자들은 액티브 매트릭스형 EL 표시장치에서의 가장 바람직한 계조 표시방식은 분할 계조 표시방식, 더 구체적으로는, 시간분할 방식의 계조 표시방식(이하, 시분할 계조 또는 시분할 계조 표시라 칭함)이라고 생각하였다.

실제에는, 시분할 계조 표시는 다음과 같이 행해진다. 본 명세서에서는, 8 비트 디지털 구동방식에 따라 256 계조(16,770,000 색)의 풀 컬러 표시를 행하는 경우에 관하여 설명한다.

먼저, 화상의 1 프레임을 8개의 서브프레임(subframe)으로 분할한다. 여기서, 표시 영역의 모든 화소에 데이터를 입력하는 1 주기를 1 프레임이라 부른다. 통상의 EL 표시장치의 발진 주파수는 60 Hz이다. 즉, 1초당 60 프레임이 형성된다. 1초당 프레임의 수가 그 이하로 떨어질 때, 예를 들어, 화상의 플리커가 시각적으로 눈에 띄기 시작한다. 1 프레임을 다수의 프레임으로 분할한 프레임을 서브프레임이라 부른다.

1 서브프레임은 어드레스(address) 기간( $T_a$ )과 서스테인(sustain) 기간( $T_s$ )으로 나누어진다. 어드레스 기간은 1 서브프레임 기간 중에 모든 화소에 데이터를 입력하는데 요하는 전체 시간이고, 서스테인 기간(또는 점등 기간)은 EL 소자가 발광하는 기간이다.(도 10)

여기서, 제1 서브프레임을 SF1이라 칭하고, 제2 서브프레임으로부터 제8 서브프레임까지의 나머지 서브프레임을 각각 SF2~SF8이라 칭한다. 어드레스 기간( $T_a$ )은 SF1~SF8에서 일정하다. 한편, SF1~SF8에 대응하는 서스테인 기간( $T_s$ )을 각각  $T_{s1}$ ~ $T_{s8}$ 이라 칭한다.

이때, 서스테인 기간은  $T_{s1}:T_{s2}:T_{s3}:T_{s4}:T_{s5}:T_{s6}:T_{s7}:T_{s8} = 1:1/2:1/4:1/8:1/16:1/32:1/64:1/128$ 이 되도록 설정된다. 그러나, SF1~SF8을 출현시키는 순서는 어떻게 하여도 상관 없다. 이 서스테인 기간의 조합에 의해 256 계조 중 소망의 계조 표시를 행할 수 있다.

먼저, 화소의 EL 소자의 대향 전극(대향 전극이란 TFT에 접속되어 있지 않은 전극이고; 통상, 이것은 음극이다)에 전압이 인가되지 않은(선택되지 않은) 상태에서, EL 소자의 발광 없이 각 화소에 데이터 신호를 입력한다. 이 기간이 어드레스 기간으로 정의된다. 모든 화소에 데이터가 입력되고 어드레스 기간이 종료된 때, 대향 전극에 전압을 인가하여(선택하여), EL 소자를 발광시킨다. 이 기간이 서스테인 기간으로 정의된다. 발광되는(즉, 화소를 점등시키는) 기간은  $T_{s1}$ ~ $T_{s8}$  중 어느 하나이다. 여기서는  $T_{s8}$  중에 소정의 화소를 점등시키는 것으로 한다.

그후, 다시 어드레스 기간에 들어가, 모든 화소에 데이터 신호를 입력한 다음, 서스테인 기간에 들어간다. 이때, 서스테인 기간은  $T_{s1}$ ~ $T_{s7}$  중 어느 하나이다. 여기서는  $T_{s7}$  중에 소정의 화소를 점등시키는 것으로 한다.

그후, 나머지 6개의 서브프레임에 대해 동일한 동작을 반복하고, 서스테인 기간을  $T_{s6}$ ,  $T_{s5}$ , ...,  $T_{s1}$ 의 순서로 순차적으로 설정함으로써, 각 서브프레임에서 소정의 화소를 점등시키는 것으로 한다.

8개 서브프레임이 출현한 후, 1 프레임이 종료된다. 이때, 화소의 계조는 서스테인 기간의 적산(積算)에 의해 제어된다. 예를 들어,  $T_{s1}$ 과  $T_{s2}$ 를 선택한 경우에는, 완전 점등을 100%라 할 때 75%의 휘도가 출현될 수 있고,  $T_{s3}$ ,  $T_{s5}$  및  $T_{s8}$ 을 선택한 경우에는 16%의 휘도가 출현될 수 있다.

이상은 256 계조 표시의 경우에 대하여 설명하였지만, 다른 계조 표시를 행하는 것도 가능하다.

n 비트(n은 2 이상의 정수(整數)임)의 계조( $2^n$  계조)의 표시를 행하는 경우에는, 먼저, 1 프레임을 n 비트의 계조에 대응하여 n개의 서브프레임(SF1, SF2, SF3, ..., SF(n-1), SF(n))으로 분할한다. 계조가 증가함에 따라 1 프레임의 분할 수도 증가하고, 구동회로를 높은 주파수로 구동하여야 한다.

n개의 서브프레임 각각은 어드레스 기간( $T_a$ )과 서스테인 기간( $T_s$ )으로 나누어진다. 즉, 모든 EL 소자에 공통인 대향 전극에 전압을 인가하는지의 여부를 선택함으로써 어드레스 기간과 서스테인 기간이 선택된다.

그리고, n개의 서브프레임 각각의 서스테인 기간(여기서, SF1, SF2, SF3, ..., SF(n-1), SF(n)에 대응하는 서스테인 기간을 각각  $T_{s1}$ ,  $T_{s2}$ ,  $T_{s3}$ , ...,  $T_{s(n-1)}$ ,  $T_{s(n)}$ 으로 나타낸다)을  $T_{s1}:T_{s2}:T_{s3}: \dots :T_{s(n-1)}:T_{s(n)} = 2^0:2^{-1}:2^{-2}: \dots :2^{-(n-2)}:2^{-(n-1)}$ 이 되도록 처리한다.

이 상태에서, 임의의 1 프레임에서는 순차적으로 화소가 선택되고(보다 엄밀하게 말하면, 각 화소의 스위칭용 TFT가 선택되고), 전류 제어용 TFT의 게이트 전극에 소정의 게이트 전압(데이터 신호에 대응하는)이 인가된다. 이때, 전류 제어용 TFT가 도통(導通) 상태로 되게 하는 데이터 신호가 입력된 화소의 EL 소자는 어드레스 기간의 종료 후, 서브프레임에 할당된 서스테인 기간에만 발광한다. 즉, 소정의 화소가 점등한다.

이 동작은 n개의 서브프레임 모두에서 반복되고, 서스테인 기간의 적산에 의해 각 화소의 계조가 제어된다. 따라서, 임의의 1 화소에 주목하면, 그 화소가 각 서브프레임에서 얼마나 오랫동안 점등되었는가(즉, 서스테인 기간이 얼마나 오랫동안 지속되는가)에 따라 그 1 화소의 계조가 제어된다.

상기한 바와 같이, 액티브 매트릭스형 EL 표시장치에 시분할 계조 표시를 사용하는 점이 본 발명의 최대 특징이다. 이 시분할 계조 표시를 행하기 위해서는, 1 프레임을 다수의 서브프레임으로 분할할 필요가 있다. 즉, 데이터 신호측 구동회로 및 게이트 신호측 구동회로의 동작 주파수를 종래 이상으로 높일 필요가 있다.

그러나, 종래의 폴리실리콘 막(단결정 규소막으로도 불림)에서는 그러한 고속 동작이 가능한 TFT를 제조하는 것은 어렵다. 데이터 신호측 구동회로를 다수의 회로로 분할함으로써 동작 주파수를 감소시킬 수 있지만, 그와 같이 하여도 만족할 만한 결과를 달성할 수 없다.

따라서, 본 발명에서는, 결정 입계의 연속성이 높고, 결정 방위가 단일 방향성인 특이한 결정 구조를 가지는 규소막을 사용한다. 이 막을 TFT의 활성층으로 사용함으로써, TFT가 매우 높은 동작 속도를 나타낼 수 있다. 즉, 이러한 높은 동작 속도의 TFT를 사용하여 액티브 매트릭스형 EL 표시장치의 시분할 계조 표시를 행하는 것도 본 발명의 특징 중의 하나이다. 이하, 본 발명에서 사용되는 규소막을 시작(試作)하여 관찰한 결과에 대하여 설명한다.

본 발명에서 사용되는 규소막은, 미시적으로 보면 다수의 침상(針狀) 또는 봉상(棒狀) 결정(이하, 봉상 결정이라 칭함)이 모여서 늘어진 결정 구조를 가진다. 이것이 TEM(투과형 전자 현미경)에 따른 관찰로부터 쉽게 확인될 수 있다.

또한, 본 발명에서 사용되는 규소막과 관련하여 스폿(spot) 직경이  $1.35 \mu\text{m}$ 인 전자빔 회절상(像)을 세밀히 관찰한 결과, {110} 면에 대응하는 회절 반점이 미세한 변동의 존재에도 불구하고 규칙적으로 나타나고, 결정 축에 다소의 어긋남이 포함되어 있지만 {110} 면을 주 배향면으로 하는 것을 확인할 수 있다.

도 19(A)는 본 발명에서 사용되는 규소막에 스폿 직경이  $1.35 \mu\text{m}$ 인 전자빔을 조사(照射)하여 얻어진 전자빔 회절상을 나타낸다. 한편, 도 19(B)는 동일한 조건에서 종래의 폴리실리콘 막에 전자빔을 조사하여 얻어진 전자빔 회절상을 나타낸다. 각 도면에서, 사진의 중앙이 전자빔이 조사된 위치(전자빔 조사점)이다.

도 19(A)에서는 {110} 면에 대응하는 회절 반점이 비교적 규칙적으로 나타나지만, 도 19(B)에서는 회절 반점이 매우 불규칙적으로 배열되어 있어, 배향면이 명백히 불균일하다. 이 전자빔 회절 사진으로부터, 본 발명에서 사용되는 규소막이 종래의 폴리실리콘 막과는 즉시 구별될 수 있다.

도 19(A)의 전자빔 회절상에서, {110} 면에 대응하는 회절 반점이 나타나 있는 것은 {110} 배향의 단결정 실리콘 웨이퍼의 전자빔 회절상과 비교하면 명백하다. 또한, 단결정 실리콘 웨이퍼의 회절 반점은 예리한 점으로서 보이지만, 본 발명에서 사용되는 규소막의 회절 반점은 전자빔의 조사점을 중심으로 한 동심원 상에 넓이를 가진다.

이것도 본 발명에서 사용되는 규소막의 특징이다. 각 결정립은 개개로 {110} 면을 배향면으로 하고 있기 때문에, 1개의 결정립에 대하여 보면 단결정 실리콘과 동일한 회절 반점이 얻어지는 것으로 예상된다. 그러나, 실제로는, 다수의 결정립의 집단체로 존재하므로, 각 결정립이 {110} 면을 자신의 배향면으로 하여도 각 결정립이 결정 축을 중심으로 미세하게 회전하고, 각각의 결정립에 대응하는 회절 반점이 동심원 상에 다수 개 나타난다. 그 지점들이 겹쳐 넓이를 나타내는 것이다.

그러나, 후술되는 바와 같이, 각각의 개별 결정립은 정합성이 매우 우수한 결정 입계를 형성하기 때문에, 결정 축을 중심으로 한 미세한 회전이 결정성을 손상시키는 요인으로 되지 않는다. 따라서, 본 발명에서 사용되는 규소막의 전자빔 회절상은 실질적으로는 {110} 배향을 가지는 단결정 실리콘 웨이퍼의 전자빔 회절상과 거의 차이가 없다고 말할 수 있다.

상기로부터, 본 발명에서 TFT의 활성층으로서 사용되는 규소막은 {110} 배향에 대응하는 전자빔 회절상을 나타내는 규소막이라는 것이 안전하게 확인될 수 있다.

다음에, 본 발명에서 사용되는 규소막의 결정 입계에 대하여 설명한다. 설명의 편의상 "결정 입계"라고 부르지만, 이것은 어떤 결정립과 그로부터 파생된(또는 분지된) 다른 결정립 사이의 계면으로도 간주될 수 있다. 여하튼, 본 명세서에서는, 상기한 계면의 의미도 포함하여 "결정 입계"라 부른다.

본 발명자들은, 개개의 봉상 결정들의 접촉에 의해 형성된 결정 입계를 HR-TEM(고분해능 투과형 전자 현미경)에 의해 관찰한 결과로부터, 결정 입계에서 결정 격자에 연속성이 있음을 확인하였다. 이것은 관찰된 격자 줄무늬가 결정 입계에서 연속적으로 연결되는 사실로부터 쉽게 확인될 수 있다.

결정 입계에서의 결정 격자의 연속성은 그 결정 입계가 "평면상(狀) 입계"(planar boundary)로 불리는 입계라는 사실에 기인한다. 본 명세서에서의 평면상 입계의 정의는 "Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol. 27, No. 5, pp. 751-758, 1988"에 기재된 "평면상 입계"이다.

상기 논문에서 따르면, 평면상 입계에는 쌍정 입계, 특수한 적층 결함 및 특수한 트위스트 입계 등이 포함된다. 이 평면상 입계는 전기적으로 불활성이라는 특징을 가진다. 즉, 평면상 입계는 결정 입계임에도 불구하고 캐리어의 이동을 저해하는 트랩으로 기능하지 않기 때문에, 실질적으로 존재하지 않는 것으로 간주될 수 있다.

특히, 결정 축(결정면에 수직한 축)이 <110> 축인 경우, {211} 쌍정 입계 및 {111} 쌍정 입계는  $\Sigma 3$ 의 대응 입계로도 불린다.  $\Sigma$ 값은 대응 입계의 정합성의 정도를 나타내는 지침이 되는 파라미터이고,  $\Sigma$ 값이 작을수록 정합성이 우수한 입계라는 것이 알려져 있다.

본 발명에서 사용되는 규소막을 TEM에 의해 관찰한 결과, 거의 모든 결정 입계가  $\Sigma 3$ 의 대응 입계인 것으로 판명되었다. 이것은  $\theta = 70.5^\circ$ 인 때 2개의 결정립 사이에 형성된 결정 입계가  $\Sigma 3$ 의 대응 입계로 된다는 사실로부터 판명되었다. 여기서,  $\theta$ 는 2개의 결정립의 면 방위가 {110}인 경우 {111} 면에 대응하는 격자 줄무늬에 의해 형성되는 각도이다.

$\theta = 38.9^\circ$ 인 때  $\Sigma 9$ 의 대응 입계로 되고, 이와 같은 다른 결정 입계도 존재한다.

이러한 결정 구조(정확하게는, 결정 입계의 구조)는 결정 입계에서 상이한 2개의 결정립이 매우 정합성 좋게 서로 접합하여 있는 것을 나타낸다. 즉, 결정 입계에서 결정 격자가 연속적으로 배열되어 있고, 결정 결함 등에 기인하는 트랩 준위를 형성하는 것이 매우 어려운 구성으로 되어 있다. 따라서, 이러한 결정 구조를 가지는 반도체 박막은 실질적으로 결정 입계가 존재하지 않는 것으로 간주될 수 있다.

본 발명에서 사용되는 규소막을 형성할 때 공정 도중에  $700 \sim 1150^\circ\text{C}$ 의 가열처리를 행함으로써, 결정립 내에 존재하는 결함(적층 결함 등)이 거의 완전히 소멸하는 것이 TEM 관찰에 의해 확인되었다. 이것은 이 가열처리 전후에 결함 수가 크게 감소된다는 사실로부터 명백하다.

결함 수의 차이는 전자 스핀 공명 분석(ESR 분석)에 의해 스핀 밀도의 차이로서 나타난다. 현 상태에서는, 본 발명에서 사용되는 규소막의 스핀 밀도가 적어도  $5 \times 10^{17}$  스핀/ $\text{cm}^3$  이하(바람직하게는  $3 \times 10^{17}$  스핀/ $\text{cm}^3$  이하)인 것으로 판명되었다. 그러나, 이 측정치는 현존하는 측정장치의 검출 한계에 가까운 것이므로, 실제의 스핀 밀도는 더욱 낮을 것으로 예상된다.

본 발명에서 사용되는 규소막에 관한 더 상세한 설명은 본 출원인의 일본 특허출원 평10-044659호, 평10-152316호, 평10-152308호 및 평10-152305호의 출원명세서를 참조할 수 있다.

본 발명에서 사용되는 규소막을 활성층으로 하여 시작(試作)한 TFT는 MOSFET에 필적하는 전기적 특성을 나타낸다. 본 발명자들이 시작한 TFT(활성층의 막 두께가 30 nm이고, 게이트 절연막의 막 두께가 100 nm임)로부터 다음의 데이터가 얻어졌다.

(1) 스위칭 성능(온/오프 동작 스위칭의 기민성)의 지표가 되는 서브스레시홀드 계수가 N채널형 TFT 및 P채널형 TFT 모두에서 60~100 mV/decade(대표적으로는, 60~85 mV/decade)로 작다.

(2) TFT의 동작 속도의 지표가 되는 전계 효과 이동도( $\mu_{FE}$ )가 N채널형 TFT에서는 200~650  $\text{cm}^2/\text{Vs}$ (대표적으로는 300~500  $\text{cm}^2/\text{Vs}$ ), P채널형 TFT에서는 100~300  $\text{cm}^2/\text{Vs}$ (대표적으로는 150~200  $\text{cm}^2/\text{Vs}$ )로 크다.

(3) TFT의 구동 전압의 지표가 되는 스레시홀드 전압( $V_{th}$ )이 N채널형 TFT에서는 -0.5~1.5 V, P채널형 TFT에서는 -1.5~0.5 V로 작다.

상기한 바와 같이, 매우 우수한 스위칭 특성 및 고속 동작 특성을 실현할 수 있는 것이 확인되었다. 또한, 그 TFT를 사용하여 시작한 링 오실레이터에서는, 최대로 약 1 GHz의 발진 주파수가 얻어졌다. 이 링 오실레이터는 다음과 같이 구성되어 있다.

스테이지의 수 : 9 스테이지

TFT의 게이트 절연막의 막 두께 : 30 nm 및 50 nm

TFT의 게이트 길이(채널 길이) : 0.6  $\mu\text{m}$ .

또한, 실제로 시프트 레지스터를 시작하여 동작 주파수를 확인한 결과, 게이트 절연막의 막 두께가 30 nm이고, 게이트 길이가 0.6  $\mu\text{m}$ 이며, 전원 전압이 5 V이고, 스테이지의 수가 50인 시프트 레지스터에서 100 MHz의 동작 주파수의 출력 펄스가 얻어졌다.

상기한 링 오실레이터 및 시프트 레지스터의 놀라운 데이터는 본 발명에서 사용되는 규소막을 활성층으로 한 TFT가 단결정 실리콘을 사용한 MOSFET에 필적하거나 MOSFET을 능가하는 동작 성능을 가지는 것을 시사한다.

먼저, 본 발명의 액티브 매트릭스형 EL 표시장치의 회로 구성을 도 1(A)에 나타낸다. 도 1(A)의 액티브 매트릭스형 EL 표시장치에서는, 기판상에 형성된 TFT들에 의해 화소부(101), 그 화소부 주변에 배치된 데이터 신호측 구동회로(102) 및 게이트 신호측 구동회로(103)가 형성된다. 대신, 데이터 신호측 구동회로와 게이트 신호측 구동회로는 그들 사이에 화소부를 두고 한 쌍의 회로의 형태로 배치될 수도 있다.

데이터 신호측 구동회로(102)는 기본적으로 시프트 레지스터(102a), 래치(A)(102b) 및 래치(B)(102c)를 포함한다. 시프트 레지스터(102a)에는 클럭 펄스(CK) 및 스타트 펄스(SP)가 입력되고, 래치(A)(102b)에는 디지털 데이터 신호가 입력되며, 래치(B)(102c)에는 래치 신호가 입력된다.

본 발명에서는, 화소부(101)에 입력되는 데이터 신호가 디지털 신호이고, 액정 표시장치와 달리 전압 계조 표시는 아니기 때문에, "0" 또는 "1"의 정보를 가지는 디지털 데이터 신호가 그 대로 화소부(101)에 입력된다.

화소부(101)에는 다수의 화소(104)가 매트릭스 형태로 배치되어 있다. 하나의 화소(104)의 확대도를 도 1(B)에 나타낸다. 도 1(B)에서, 부호 105는 스위칭용 TFT를 나타낸다. 이 스위칭용 TFT(105)는 게이트 신호를 입력하는 게이트 배선(106)과 데이터 신호를 입력하는 데이터 배선(107)(소스 배선이라고도 불림)에 접속되어 있다.



부호 108은 전류 제어용 TFT를 나타낸다. 이 전류 제어용 TFT(108)의 게이트는 스위칭용 TFT(105)의 드레인에 접속되어 있고, 전류 제어용 TFT(108)의 드레인은 EL 소자(109)에 접속되고, 소스는 전류 공급선(110)에 접속되어 있다. EL 소자(109)는 전류 제어용 TFT(108)에 접속된 양극(화소 전극)과, EL 층을 사이에 두고 그 양극에 대하여 설치된 음극(대향 전극)으로 구성되어 있다. 음극은 소정의 전원(111)에 접속되어 있다.

스위칭용 TFT(105)가 비(非)선택 상태(오프 상태)에 있을 때, 전류 제어용 TFT(108)의 게이트 전압을 유지하기 위해 용량(커패시터)(112)이 설치되어 있다. 이 용량(112)은 스위칭용 TFT(105)의 드레인 및 전류 공급선(110)에 접속되어 있다.

상기한 바와 같이 화소부에 입력되는 디지털 데이터 신호는 시분할 계조 데이터 신호 발생회로(113)에 의해 발생된다. 이 시분할 계조 데이터 신호 발생회로(113)는, 아날로그 신호 또는 디지털 신호로 이루어진 비디오 신호(화상 정보를 포함하는 신호)를 시분할 계조를 행하기 위한 디지털 데이터 신호로 변환하는 것과 함께, 시분할 계조 표시를 행하는데 필요한 타이밍 펄스 등을 발생시키는 회로이다.

전형적으로는, 시분할 계조 데이터 신호 발생회로(113)는 1 프레임을 n 비트의 계조에 대응하는 n개(n은 2 이상의 정수임)의 서브프레임으로 분할하는 수단과, 상기 n개의 서브프레임에서 어드레스 기간과 서스테인 기간을 선택하는 수단, 및 서스테인 기간을  $Ts1:Ts2:Ts3: \dots :Ts(n-1):Ts(n) = 2^0:2^{-1};2^{-2}: \dots :2^{-(n-2)}:2^{-(n-1)}$ 가 되도록 설정하는 수단을 포함한다.

시분할 계조 데이터 신호 발생회로(113)는 본 발명의 EL 표시장치의 외부에 배치될 수 있다. 그 경우, 그 장소에서 발생된 디지털 데이터 신호가 본 발명의 EL 표시장치에 입력되는 구성이 된다. 이 경우, 본 발명의 EL 표시장치를 표시 패널로서 구비한 전자 장치는 본 발명의 EL 표시장치와 시분할 계조 데이터 신호 발생회로를 별개의 부품으로서 포함하는 것으로 된다.

또한, 시분할 계조 데이터 신호 발생회로(113)는, 예를 들어, IC 칩의 형태로 본 발명의 EL 표시장치에 장착될 수도 있다. 그 경우, IC 칩에서 발생된 디지털 데이터 신호가 본 발명의 EL 표시장치에 입력되는 구성이 된다. 이 경우, 본 발명의 EL 표시장치를 표시 패널로서 구비하는 전자 장치는, 시분할 계조 데이터 신호 발생회로를 포함하는 IC 칩을 탑재한 본 발명의 EL 표시장치를 부품으로서 포함하는 것으로 된다.

마지막으로, 시분할 계조 데이터 신호 발생회로(113)는 화소부(104), 데이터 신호측 구동회로(102) 및 게이트 신호측 구동회로(103)와 동일한 기판상에 배치된 TFT들로 구성될 수 있다. 그 경우, 화상 정보를 포함하는 비디오 신호가 EL 표시장치에 입력된 때 모두가 그 기판상에서 처리될 수 있다. 물론, 이 경우의 시분할 계조 데이터 신호 발생회로는, 상기한 바와 같이 본 발명에서 사용되는 규소막을 활성층으로 한 TFT에 의해 형성되는 것이 바람직하다. 또한, 이 경우, 본 발명의 EL 표시장치를 표시 패널로서 구비하는 전자 장치는, 시분할 계조 데이터 신호 발생회로가 EL 표시장치 자체에 내장되도록 구성된다. 따라서, 전자 장치의 소형화를 도모하는 것이 가능하다.

다음에, 본 발명의 액티브 매트릭스형 EL 표시장치의 단면 구조를 개략적으로 나타내는 도 2를 참조한다.

도 2에서, 부호 11은 기판을 나타내고, 부호 12는 하지(下地)가 되는 절연막(이후, 이 막을 하지막이라 칭함)을 나타낸다. 기판(11)으로서는, 투광성 기판, 대표적으로는, 유리 기판, 석영 기판, 유리 세라믹 기판 또는 결정화 유리 기판이 사용될 수 있다. 그러나, 기판은 제작공정에서의 가장 높은 처리온도에 견딜 수 있는 것이어야 한다.

하지막(12)은 특히 가동(可動) 이온을 가지는 기판 또는 도전성을 가지는 기판을 사용하는 경우에 효과적이지만, 석영 기판에는 반드시 배치될 필요는 없다. 하지막(12)으로서는, 규소를 함유한 절연막이 사용될 수 있다. 본 명세서에서, "규소를 함유한 절연막"이란, 구체적으로는 산화규소막, 질화규소막 또는 질화산화규소막( $SiO_xN_y$ : x 및 y는 임의의 정수임)과 같은, 규소에 산소 또는 질소가 소정의 비율로 첨가된 절연막을 의미한다.

부호 201은 스위칭용 TFT이고, 부호 202는 전류 제어용 TFT이다. 이들 모두는 n채널형 TFT로 형성되어 있다. n채널형 TFT의 전계 효과 이동도가 p채널형 TFT의 것보다 더 크기 때문에, n채널형 TFT가 더 높은 동작 속도로 동작할 수 있고, 대전류가 용이하게 흐를 수 있게 한다. 동일한 전류량이 흐를 때 요구되는 TFT의 크기는, n채널형 TFT의 쪽이 작다. 따라서, 화상 표시 패널의 유효 발광 면적이 넓게 되기 때문에, 전류 제어용 TFT로서 n채널형 TFT를 사용하는 것이 바람직하다.

그러나, 본 발명에서, 스위칭용 TFT 및 전류 제어용 TFT를 n채널형 TFT로 한정할 필요는 없다. 양자 모두 또는 어느 하나에 p채널형 TFT를 사용하는 것도 가능하다.

스위칭용 TFT(201)는 소스 영역(13), 드레인 영역(14), LDD 영역(15a~15d), 분리 영역(16) 및 채널 형성 영역(17a, 17b)을 포함하는 활성층과, 게이트 절연막(18)과, 게이트 전극(19a, 19b)과, 제1 층간절연막(20)과, 소스 배선(21)과, 드레인 배선(22)으로 이루어져 있다. 게이트 절연막(18) 또는 제1 층간절연막(20)은 기판상의 모든 TFT에 공통될 수 있고, 또는, 회로 또는 소자에 따라 변경될 수도 있다.

도 2에 도시된 스위칭용 TFT(201)에서, 게이트 전극(19a, 19b)이 전기적으로 접속되어 있다. 즉, 소위 이중 게이트 구조로 되어 있다. 물론, 이중 게이트 구조뿐만 아니라 삼중 게이트 구조와 같은 소위 멀티게이트 구조도 가능하다. 멀티게이트 구조란 2개 이상의 채널 형성 영역이 직렬로 접속된 활성층을 포함하는 구조를 의미한다.

멀티게이트 구조는 오프 전류를 감소시키는데 매우 효과적이고, 스위칭용 TFT(201)의 오프 전류가 충분히 감소되면, 도 1(B)에 도시된 용량(112)에 필요한 커패시티(capacity)가 감소될 수 있다. 즉, 용량(112)의 전유 면적이 감소될 수 있기 때문에, 멀티게이트 구조는 EL 소자(109)의 유효 발광 면적을 확장시키는데에도 효과적이다.

스위칭용 TFT(201)에서, LDD 영역(15a~15d)은 게이트 절연막(18)을 사이에 두고 게이트 전극(19a, 19b)과 겹치지 않도록 배치된다. 그렇게 하여 형성된 구조는 오프 전류를 감소시키는데 매우 효과적이다. LDD 영역(15a~15d)의 길이(폭)는 0.5~3.5  $\mu\text{m}$ , 대표적으로는 2.0~2.5  $\mu\text{m}$ 이다.

오프 전류를 감소시키기 위해서는, 채널 형성 영역과 LDD 영역 사이에 오프셋 영역(즉, 채널 형성 영역과 조성이 동일하고, 게이트 전압이 인가되지 않는 반도체층으로 형성된 영역)을 형성하는 것이 더욱 바람직하다. 2개 이상의 게이트 전극을 가지는 멀티게이트 구조에서는, 채널 형성 영역들 사이에 형성된 분리 영역(16)(즉, 농도가 소스 영역 또는 드레인 영역과 동일하고, 그들 영역과 동일한 불순물 원소가 첨가된 영역)이 오프 전류를 감소시키는데 효과적이다.

전류 제어용 TFT(202)는 소스 영역(26), 드레인 영역(27), LDD 영역(28) 및 채널 형성 영역(29)을 포함하는 활성층과, 게이트 절연막(18)과, 게이트 전극(30)과, 제1 층간절연막(20)과, 소스 배선(31)과, 드레인 배선(32)으로 이루어져 있다. 게이트 전극(30)은 단일 게이트 구조 대신에 멀티게이트 구조일 수 있다.

도 1(B)에 도시된 바와 같이, 스위칭용 TFT의 드레인인 전류 제어용 TFT의 게이트에 접속되어 있다. 더 상세하게는, 전류 제어용 TFT(202)의 게이트 전극(30)은 드레인 배선(22)(접속 배선으로도 불림)을 통해 스위칭용 TFT(201)의 드레인 영역(14)에 전기적으로 접속되어 있다. 소스 배선(31)은 도 1(B)의 전류 공급선(110)에 접속되어 있다.

전류 제어용 TFT(202)는 EL 소자에 공급되는 전류의 양을 제어하기 위한 소자이고, 비교적 많은 양의 전류가 그것을 통해 흐를 수 있다. 따라서, 그의 채널 폭(W)이 스위칭용 TFT(201)의 채널 폭보다 크게 설계되는 것이 바람직하다. 또한, 그의 채널 길이(L)는 전류 제어용 TFT(202)를 통해 과잉 전류가 흐르지 않도록 길게 설계되는 것이 바람직하다. 바람직한 전류값은 1 화소 당 0.5~2  $\mu\text{A}$ (더 바람직하게는 1~1.5  $\mu\text{A}$ )이다.

상기로부터, 도 9에 도시된 바와 같이 스위칭용 TFT의 채널 길이를  $L1(L1 = L1a + L1b)$ , 그의 채널 폭을  $W1$ 이라 하고, 전류 제어용 TFT의 채널 길이를  $L2$ , 그의 채널 폭을  $W2$ 라 할 때,  $W1$ 은 0.1~5  $\mu\text{m}$ (대표적으로는 1~3  $\mu\text{m}$ ),  $W2$ 는 0.5~30  $\mu\text{m}$ (대표적으로는 2~10  $\mu\text{m}$ ),  $L1$ 은 0.2~18  $\mu\text{m}$ (대표적으로는 2~15  $\mu\text{m}$ ),  $L2$ 는 0.1~50  $\mu\text{m}$ (대표적으로는 1~20  $\mu\text{m}$ )인 것이 바람직하다.

도 2에 도시된 EL 표시장치는, 전류 제어용 TFT(202)에서 LDD 영역(28)이 드레인 영역(27)과 채널 형성 영역(29) 사이에 형성되고, 또한, LDD 영역(28)이 게이트 절연막(18)을 사이에 두고 게이트 전극(35)과 겹치는 영역과 겹치지 않는 영역을 가지는 점에도 특징이 있다.

전류 제어용 TFT(202)는 EL 소자(203)를 발광시키기 위해 비교적 많은 양의 전류를 통과시키므로, 핫 캐리어 주입으로 인한 열화에 대한 대책을 강구하는 것이 바람직하다. 전류 제어용 TFT(202)는 검은색을 표시할 때는 오프 상태로 유지된다. 그러한 상황에서, 오프 전류가 높으면, 선명한 검은색이 표시될 수 없고, 예를 들어, 콘트라스트 저하가 초래된다. 따라서, 오프 전류도 억제할 필요가 있다.

핫 캐리어 주입으로 인한 열화에 관해서는, LDD 영역이 게이트 전극과 겹치는 구조가 매우 효과적이라는 것이 알려져 있다. 그러나, LDD 영역 전체가 게이트 전극과 겹치면 오프 전류가 증가하기 때문에, 본 발명자들은 게이트 전극과 겹치지 않는 LDD 영역을 상기한 구조에 추가하여 직렬로 배치한 신규한 구조를 제공함으로써 핫 캐리어 대책과 오프 전류 대책 모두를 동시에 해결하였다.

이때, 게이트 전극과 겹치는 LDD 영역의 길이는  $0.1 \sim 3 \mu\text{m}$ (바람직하게는  $0.3 \sim 1.5 \mu\text{m}$ )가 되도록 설계한다. 그 길이가 너무 길면 기생 용량이 커지고, 그 길이가 너무 짧으면 핫 캐리어를 방지하는 효과가 약화된다. 또한, 게이트 전극과 겹치지 않는 LDD 영역의 길이는  $1.0 \sim 3.5 \mu\text{m}$ (바람직하게는  $1.5 \sim 2.0 \mu\text{m}$ )가 되도록 설계한다. 그 길이가 너무 길면 충분한 전류가 흐를 수 없고, 그 길이가 너무 짧으면 오프 전류를 감소시키는 효과가 약화된다.

상기한 구조에서 게이트 전극과 LDD 영역이 겹치는 영역에서는 기생 용량이 형성되기 때문에, 그러한 영역이 소스 영역(26)과 채널 형성 영역(29) 사이에는 배치되지 않는 것이 바람직하다. 전류 제어용 TFT에서는 캐리어(여기서는 전자)의 흐름 방향이 항상 동일하기 때문에, 드레인 영역 측에만 LDD 영역을 배치하는 것으로 충분하다.

또한, 흐를 수 있는 전류의 양을 많게 한다는 관점에서 보면, 전류 제어용 TFT(202)의 활성층(특히 채널 형성 영역)의 막 두께를 두껍게(바람직하게는  $50 \sim 100 \text{ nm}$ , 더 바람직하게는  $60 \sim 80 \text{ nm}$ ) 하는 것도 효과적이다. 다른 한편, 스위칭용 TFT(201)에서의 오프 전류를 감소시킨다는 관점에서 보면, 활성층(특히 채널 형성 영역)의 막 두께를 얇게(바람직하게는  $20 \sim 50 \text{ nm}$ , 더 바람직하게는  $25 \sim 40 \text{ nm}$ ) 하는 것도 효과적이다.

이상, 화소 내에 형성된 TFT의 구조에 관해 설명하였다. 이때, 구동회로도 동시에 형성된다. 도 2에는 구동회로를 형성하는 기본 단위가 되는 CMOS 회로가 도시되어 있다.

도 2에서는, 동작 속도의 감소 없이 핫 캐리어 주입을 최대한으로 감소시키는 구조를 가지는 TFT가 CMOS 회로의 n채널형 TFT(204)로서 사용된다. 여기에서 설명되는 구동회로는 도 1에 도시된 데이터 신호측 구동회로(102) 및 게이트 신호측 구동회로(103)를 가리킨다. 물론, 다른 논리 회로(레벨 시프터, A/D 컨버터, 신호 분할 회로 등)를 형성하는 것도 가능하다.

n채널형 TFT(204)의 활성층은 소스 영역(35), 드레인 영역(36), LDD 영역(37) 및 채널 형성 영역(38)을 포함한다. LDD 영역(37)은 게이트 절연막(18)을 사이에 두고 게이트 전극(39)과 겹쳐 있다.

LDD 영역을 드레인 영역 측에만 형성하는 이유는 동작 속도를 감소시키지 않기 위한 것이다. n채널형 TFT(204)에서는 오프 전류 값에 신경을 쓸 필요가 없다. 그 대신에, 동작 속도는 높아야 한다. 따라서, LDD 영역(37)은 완전히 게이트 전극과 겹쳐 있어, 저항 성분을 가능한 한 많이 감소시키도록 하는 것이 바람직하다. 즉, 소위 오프셋이 생략된다.

CMOS 회로의 p채널형 TFT(205)에서는, 핫 캐리어 주입으로 인한 열화가 거의 무시될 수 있기 때문에 특별히 LDD 영역을 마련할 필요가 없다. 따라서, 활성층은 소스 영역(40), 드레인 영역(41) 및 채널 형성 영역(42)을 포함한다. 그 위에 게이트 절연막(18) 및 게이트 전극(43)이 배치된다. 물론, 핫 캐리어에 대한 대책을 강구하기 위해 n채널형 TFT와 함께 LDD 영역을 배치하는 것도 가능하다.

전류 제어용 TFT(202)로서 p채널형 TFT가 사용되는 경우, 그 TFT는 p채널형 TFT(205)와 동일한 구조를 가질 수 있다.

n채널형 TFT(204) 및 p채널형 TFT(205)는 제1 층간절연막(20)으로 덮이고, 소스 배선(44, 45)이 형성된다. 양 TFT는 드레인 배선(46)에 의해 전기적으로 접속되어 있다.

부호 47은 제1 패시베이션 막이다. 그의 막 두께는  $10 \text{ nm} \sim 1 \mu\text{m}$ (바람직하게는  $200 \sim 500 \text{ nm}$ )이다. 그의 재료로서는, 규소를 함유한 절연막(특히, 질화산화규소막 또는 질화규소막이 바람직함)이 사용될 수 있다. 제1 패시베이션 막(47)은 형성된 TFT를 알칼리 금속 및 수분으로부터 보호하는 역할을 한다. 최종적으로 TFT상에 배치되는 EL 층은 나트륨과 같은 알칼리 금속을 함유한다. 즉, 제1 패시베이션 막(47)은 알칼리 금속(가동 이온)이 TFT 측으로 침입할 수 없도록 하는 보호층으로도 작용한다.

부호 48은 TFT로 인해 생길 수 있는 단차를 평탄화하는 평탄화 막으로서 기능하는 제2 층간절연막이다. 제2 층간절연막(48)으로서, 폴리이미드, 폴리아미드, 아크릴 수지, BCB(벤조시클로부텐) 등과 같은 유기 수지 막이 사용되는 것이 바람직하다.

직하다. 이들 막은, 양호한 평탄면을 쉽게 형성할 수 있고 비유전율이 낮다는 이점(利點)을 가진다. EL 층은 요철에 매우 민감하기 때문에, 제2 층간절연막에 의해 TFT로 인한 단차를 완전히 흡수하는 것이 바람직하다. 또한, 게이트 배선 또는 데이터 배선과 EL 소자의 음극 사이에 형성되는 기생 용량을 감소시키기 위해서는, 비유전율이 낮은 재료를 두겹게 형성하는 것이 바람직하다. 따라서, 제2 층간절연막의 막 두께는 0.5~5  $\mu\text{m}$ (더 바람직하게는 1.5~2.5  $\mu\text{m}$ )인 것이 바람직하다.

부호 49는 투명 도전막으로 이루어진 화소 전극(EL 소자의 양극)이다. 제2 층간절연막(48) 및 제1 패시베이션 막(47)에 콘택트 홀(개구부)을 형성한 후에, 그 개구부를 통해 화소 전극(49)이 전류 제어용 TFT(202)의 드레인 배선(32)에 접속된다. 도 2에 도시된 바와 같이, 화소 전극(49)과 드레인 영역(27)이 직접 접촉되지 않도록 하면, EL 층의 알칼리 금속이 화소 전극을 경유하여 활성층으로 침입하는 것을 방지할 수 있다.

화소 전극(49)상에는 두께 0.3~1  $\mu\text{m}$ 의 제3 층간절연막(50)이 배치된다. 이 제3 층간절연막(50)은 산화규소막, 질화산화규소막 또는 유기 수지 막으로 이루어진다. 제3 층간절연막(50)에는 에칭에 의해 화소 전극(49)상에 개구부가 형성되고, 그 개구부의 엣지(edge)는 테이퍼(taper) 형상을 가지도록 에칭된다. 그 테이퍼의 각도는 10~60°(더 바람직하게는 30~50°)인 것이 바람직하다.

제3 층간절연막(50)상에 EL 층(51)이 형성된다. 이 EL 층(51)은 단층 구조 또는 적층 구조의 형태로 사용되지만, 적층 구조가 발광 효율이 우수하다. 일반적으로, 화소 전극상에, 정공 주입층/정공 수송층/발광층/전자 수송층이 이 순서대로 형성된다. 그 대신에, 정공 수송층/발광층/전자 수송층의 순서 또는 정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층의 순서로 된 구조도 사용될 수 있다. 본 발명에서는, 공지의 구조들 중 어느 것이라도 사용될 수 있고, EL 층에 형광성 색소 등이 도핑될 수도 있다.

유기 EL 재료로서는, 예를 들어, 다음의 미국 특허, 일본 공개특허공보, 및 간행물에 기재된 재료들이 사용될 수 있다. 미국 특허 제4,356,429호, 미국 특허 제4,539,507호, 미국 특허 제4,720,432호, 미국 특허 제4,769,292호, 미국 특허 제4,885,211호, 미국 특허 제4,950,950호, 미국 특허 제5,059,861호, 미국 특허 제5,047,687호, 미국 특허 제5,073,446호, 미국 특허 제5,059,862호, 미국 특허 제5,061,617호, 미국 특허 제5,151,629호, 미국 특허 제5,294,869호, 미국 특허 제5,294,870호, 일본 공개특허공보 평10-189525호, 일본 공개특허공보 평8-241048호, 일본 공개특허공보 평8-78159호, 및 Photochemical Processes in Organized Molecular Systems, pp. 437-450, Tetsuo Tsutsui et al. "Electroluminescence in Organic Thin Films".

EL 표시장치에는 크게 나누어 4가지의 컬러 표시 방식이 있다. 즉, R(적색), G(녹색), B(청색)에 각각 대응하는 3종류의 EL 소자를 형성하는 방식, 백색 발광의 EL 소자와 컬러 필터를 조합한 방식, 청색 또는 청녹색 발광의 EL 소자와 형광체(형광성 색변환 층: CCM)를 조합한 방식, 및 음극(대향 전극)에 투명 전극을 사용하면서 RGB에 대응하는 EL 소자를 적층하는 방식이 있다.

도 2의 구조는 RGB에 대응하는 3종류의 EL 소자를 형성하는 방식을 사용한 경우의 예이다. 도 2에는 1개의 화소만이 도시되어 있으나, 실제로는, 동일한 구조를 가지는 화소들이 적색, 녹색, 청색의 각 색에 대응하여 형성되어, 컬러 표시를 행할 수 있다.

본 발명은 발광 방식에 무관하게 실시될 수 있고, 상기한 4가지 방식 모두를 사용할 수 있다. 그러나, 형광체는 EL에 비하여 응답 속도가 느려 잔광(殘光)이 문제로 되기 때문에, 형광체를 사용하지 않는 방식이 바람직하다. 또한, 발광 휘도의 저하를 야기하는 컬러 필터는 가급적 사용하지 않는 것이 좋다고 할 수 있다.

EL 층(51)상에는 EL 소자의 음극(52)이 배치된다. 음극(52)으로서는, 일 함수가 작은 마그네슘(Mg), 리튬(Li) 또는 칼슘(Ca)을 포함하는 재료가 사용된다. MgAg(Mg와 Ag가 Mg:Ag = 10:1의 비율로 혼합된 재료)로 된 전극을 사용하는 것이 바람직하다. 그 외에도, MgAgAl 전극, LiAl 전극, 또는 LiFAl 전극이 사용될 수도 있다.

음극(52)은 EL 층(51)의 형성 후에 대기에서의 노출 없이 연속적으로 형성되는 것이 바람직하다. 그 이유는 음극(52)과 EL 층(51) 사이의 계면 상태가 EL 소자의 발광 효율에 큰 영향을 미치기 때문이다. 본 명세서에서는, 화소 전극(양극), EL 층 및 음극에 의해 형성된 발광 소자를 EL 소자라 부른다.

EL 층(51)과 음극(52)으로 이루어진 적층체를 각 화소마다 개별적으로 형성할 필요가 있으나, EL 층(51)은 수분에 매우 약하므로, 통상의 포토리소그래피 기술을 사용할 수 없다. 따라서, 금속 마스크와 같은 물리적 마스크 재료를 사용하고, 진공 증착법, 스퍼터링법 또는 플라즈마 CVD법과 같은 기상법에 의해 EL 층을 선택적으로 형성하는 것이 바람직하다.

EL 층을 선택적으로 형성하는 방법으로서, 잉크젯법, 스크린 인쇄법 등을 사용하는 것도 가능하지만, 이들 방법은 현재 상태의 기술에서는 음극을 연속적으로 형성할 수 없으므로, 상기한 방법의 쪽이 바람직하다고 말할 수 있다.

부호 53은 보호 전극이다. 이것은 외부 수분 등으로부터 음극(52)을 보호하는 동시에, 각 화소의 음극(52)을 접속하기 위한 전극이다. 보호 전극(53)에는, 알루미늄(Al), 구리(Cu) 또는 은(Ag)을 포함한 저저항 재료를 사용하는 것이 바람직하다. 이 보호 전극(53)에는, EL 층의 발열을 완화시키는 방열(放熱) 효과도 기대할 수 있다. EL 층(51)과 음극(52)이 형성된 후에 대기에서의 노출 없이 연속적으로 보호 전극(53)을 형성하는 것도 효과적이다.

부호 54는 제2 패시베이션 막이고, 그의 막 두께는 10 nm ~ 1  $\mu$ m(더 바람직하게는 200 ~ 500 nm)인 것이 바람직하다. 제2 패시베이션 막(54)을 배치하는 주 목적은 EL 층(51)을 수분으로부터 보호하는 것이다. 그 막에 방열 효과를 부여하는 것도 효과적이다. 그러나, 상기한 바와 같이, EL 층이 열에 약하기 때문에, 낮은 온도(바람직하게는 실온에서 120°까지의 범위)에서 성막하는 것이 바람직하다. 따라서, 바람직한 성막 방법은 플라즈마 CVD법, 스프터링법, 진공 증착법, 이온 주입법 또는 용액 도포법(스핀 코팅법)이라 할 수 있다.

도 2에 도시된 모든 TFT가 본 발명에서 사용되는 규소막을 활성층으로 구비하고 있음은 말할 필요도 없다.

본 발명의 목적들 중의 하나는, 결정 입계의 연속성이 높고 결정 방위가 균일한 특이한 결정 구조를 가지는 규소막을 TFT의 활성층으로 사용함으로써 높은 동작 속도를 나타내는 TFT를 형성하고, 그것에 의해, 구동회로와 일체로 된 액티브 매트릭스형 EL 표시장치의 시분할 계조 표시가 가능하게 되는 것이다. 따라서, 본 발명은 바람직한 실시형태들 중의 하나인 도 2의 EL 표시장치의 구조에 한정되는 것은 아니다.

본 발명에서 사용되는 규소막을 사용한 TFT는 높은 동작 속도를 나타낼 수 있으므로, 예를 들어, 핫 캐리어 주입으로 인한 열화를 받기 쉽다. 따라서, 신뢰성이 높고 우수한 화상 표시를 행할 수 있는(즉, 높은 동작 성능을 나타낼 수 있는) EL 표시장치를 제조하기 위해서는, 도 2에 도시된 바와 같이, 화소 내에서 기능에 따라 구조가 상이한 TFT(오프 전류가 충분히 낮은 스위칭용 TFT 및 핫 캐리어 주입에 강한 전류 제어용 TFT)를 형성하는 것이 매우 효과적이다.

#### [실시예 1]

본 실시예를 도 5 ~ 도 8을 참조하여 설명한다. 본 실시예에서는, 화소부 및 그 화소부 주변에 설치되는 구동회로부의 TFT를 동시에 제조하는 방법에 관하여 설명한다. 구동회로에 관해서는, 설명을 간단하게 하기 위해, 기본 단위인 CMOS 회로를 도면에 나타내고 있다.

먼저, 도 5(A)에 도시된 바와 같이, 표면에 하지막(도시되지 않음)이 배치되어 있는 기판(501)을 마련한다. 본 실시예에서는, 결정화 유리상의 하지막으로서, 두께가 200 nm인 질화산화규소막과 두께가 100 nm인 다른 질화산화규소막을 적층하여 사용하였다. 이때, 결정화 유리 기판과 접촉하는 막의 질소 농도를 10 ~ 25 중량%로 유지하는 것이 바람직하다. 물론, 하지막 없이 석영 기판상에 직접 소자를 형성하는 것도 가능하다.

다음에, 공지의 성막 방법에 의해 기판(501)상에 비정질 규소막(502)을 45 nm의 두께로 형성한다. 비정질 규소막에 한정할 필요는 없고, 그 대신에, 본 실시예에서는 비정질 구조를 가지는 반도체막(미(微)결정 반도체막을 포함)이 사용될 수도 있다. 또한, 여기서는, 비정질 규소 게르마늄 막과 같은, 비정질 구조를 가진 화합물 반도체막도 사용될 수 있다.

여기서부터 도 5(C)까지의 공정에 관해서는, 본 출원인이 출원한 일본 공개특허공고 평10-247735호 공보가 완전히 인용될 수 있다. 이 공보는 Ni과 같은 원소를 촉매로서 사용하는 반도체막 결정화 방법에 관한 기술을 개시하고 있다.

먼저, 개구부(503a, 503b)를 가진 보호막(504)을 형성한다. 본 실시예에서는, 두께 150 nm의 산화규소막을 사용하였다. 그리고, 보호막(504)상에 스퍼터 코팅법에 의해 니켈(Ni)을 함유한 층(505)을 형성한다. Ni를 함유한 층의 형성에 관해서는, 상기 공보가 참조될 수 있다.

다음에, 도 5(B)에 도시된 바와 같이, 불활성 분위기 중에서 570°C로 14시간 가열처리를 행하여, 비정질 규소막(502)을 결정화시킨다. 이때, 영역(506a, 506b)(이하, Ni 첨가 영역이라 칭함)을 기점으로 하여 기판에 대략 평행하게 결정화가 진행된다. 그 결과, 봉상(棒狀) 결정들이 모여서 늘어선 결정 구조를 가지는 폴리실리콘 막(507)이 형성된다. 이 시점에서, 전자빔 회절 사진에는, 도 19(A)에 도시된 바와 같은 {110} 배향에 대응하는 회절 반점이 관찰되는 것이 알려져 있다.

다음에, 도 5(C)에 도시된 바와 같이, 보호막(504)을 그 대로 마스크로 하여 Ni 첨가 영역(506a, 506b)에 주기율표 15족에 속하는 원소(바람직하게는 인)를 첨가한다. 그리하여, 인이 고농도로 첨가된 영역(508a, 508b)(이하, 인 첨가 영역이라 칭함)이 형성된다.

다음에, 도 5(C)에 도시된 바와 같이, 불활성 분위기 중에서 600℃로 12시간 가열처리를 행한다. 이 가열처리에 의해, 폴리실리콘 막(507)에 존재하는 Ni이 이동하고, 최종적으로는 그 니켈의 거의 모두가 화살표로 나타낸 바와 같이 인 첨가 영역(508a, 508b)에 포획된다. 이것은 인에 의한 금속원소(본 실시예에서는 Ni)의 게터링 효과에 의한 현상인 것으로 고려된다.

이 공정에 의해, 폴리실리콘 막(509)에 잔존하는 Ni의 농도는 SIMS(이차 이온 질량 분석)에 의한 측정치로 적어도  $2 \times 10^{17}$  원자/cm<sup>2</sup>까지 감소된다. Ni은 반도체의 수명을 단축시키는 인자이지만, 이 정도로 감소된 경우에는 TFT 특성에 아무런 악영향을 미치지 않는다. 또한, 이 농도는 현재의 기술 상태에서의 SIMS 분석의 측정 한계이기 때문에, 실제로는 더 낮은 농도( $2 \times 10^{17}$  원자/cm<sup>2</sup> 미만)일 것으로 고려된다.

그리하여, 측매에 의해 결정화되고, 그 측매가 TFT의 동작을 방해하지 않을 정도로까지 감소된 폴리실리콘 막(509)이 얻어질 수 있다. 이어서, 이 폴리실리콘 막(509)만을 사용한 활성층(510~513)을 패터닝 공정에 의해 형성한다. 이때, 후의 패터닝에서 마스크 맞춤을 행하기 위한 마커(marker)를 상기한 폴리실리콘 막을 사용하여 형성하면 좋다.(도 5(D))

다음에, 도 5(E)에 도시된 바와 같이, 플라즈마 CVD법에 의해 두께 50 nm의 질화산화규소막을 형성한 다음, 산화 분위기 중에서 950℃로 1시간 가열처리를 행하여 열 산화 공정을 행한다. 산화 분위기는 산소 분위기 또는 할로젠이 첨가된 다른 산소 분위기일 수 있다.

이 열 산화 공정에서는, 활성층과 질화산화규소막 사이의 계면에서 산화가 진행하고, 두께가 약 15 nm인 폴리실리콘 막이 산화되어, 두께가 약 30 nm인 산화규소막이 형성된다. 즉, 두께 30 nm의 산화규소막과 두께 50 nm의 질화산화규소막이 적층되어 이루어진 두께 80 nm의 게이트 절연막(514)이 형성된다. 활성층(510~513)의 막 두께는 이 열 산화 공정에 의해 30 nm로 된다.

다음에, 도 6(A)에 도시된 바와 같이, 레지스트 마스크(515)를 형성하고, p형을 부여하는 불순물 원소(이하, p형 불순물 원소라 칭함)를 게이트 절연막(514)을 통해 첨가한다. p형 불순물 원소로서는, 대표적으로는 주기율표 13족에 속하는 원소, 전형적으로는 붕소 또는 갈륨이 사용될 수 있다. 이 공정(채널 도핑 공정이라 불림)은 TFT의 스레시홀드 전압을 제어하기 위한 공정이다.

본 실시예에서는, 디보란(B<sub>2</sub>H<sub>6</sub>)의 질량 분리 없이 플라즈마 여기(勵起)가 행해지는 이온 도핑법에 의해 붕소를 첨가하였다. 물론, 질량 분리를 행하는 이온 주입법도 사용될 수 있다. 이 공정에 의해,  $1 \times 10^{15} \sim 1 \times 10^{18}$  원자/cm<sup>2</sup>(대표적으로는  $5 \times 10^{16} \sim 5 \times 10^{17}$  원자/cm<sup>2</sup>)의 농도로 붕소를 함유하는 불순물 영역(516~518)이 형성된다.

다음에, 도 6(B)에 도시된 바와 같이, 레지스트 마스크(519a, 519b)를 형성하고, n형을 부여하는 불순물 원소(이하, n형 불순물 원소라 칭함)를 게이트 절연막(514)을 통해 첨가한다. n형 불순물 원소로서는, 대표적으로는 주기율표 15족에 속하는 원소, 전형적으로는 인 또는 비소가 사용될 수 있다. 본 실시예에서는, 포스핀(PH<sub>3</sub>)의 질량 분리 없이 플라즈마 여기가 행해지는 플라즈마 도핑법을 사용한다. 인이  $1 \times 10^{18}$  원자/cm<sup>2</sup>의 농도로 첨가된다. 물론, 질량 분리가 행해지는 이온 주입법도 사용될 수 있다.

이 공정에 의해 형성된 n형 불순물 영역(520, 521)에 n형 불순물 원소가  $2 \times 10^{16} \sim 5 \times 10^{19}$  원자/cm<sup>2</sup>(대표적으로는  $5 \times 10^{17} \sim 5 \times 10^{18}$  원자/cm<sup>2</sup>)의 농도로 포함되도록 도스량을 조절한다.

다음에, 도 6(C)에 도시된 바와 같이, 첨가된 n형 불순물 원소 및 p형 불순물 원소를 활성화시키는 공정을 행한다. 활성화 수단을 한정할 필요는 없지만, 게이트 절연막(514)이 배치되어 있기 때문에, 전열로를 사용하는 노 어닐 처리가 바람직하다. 또한, 도 6(A)의 공정에서 채널 형성 영역이 되는 부분의 활성층과 게이트 절연막 사이의 계면이 손상될 가능성이 있기 때문에, 가능한 한 높은 온도로 가열처리를 행하는 것이 바람직하다.

본 실시예에서는 내열성이 높은 결정화 유리를 사용하므로, 800℃로 1시간의 노 어닐 처리에 의해 활성화 공정을 행한다. 처리 분위기를 산화성 분위기로 유지한 채 열 산화를 행하거나, 또는 불활성 분위기 중에서 가열처리를 행할 수도 있다. 그러나, 활성화 공정은 반드시 필요한 것은 아니다.

이 공정에 의해, n형 불순물 영역(520, 521)의 엣지, 즉, n형 불순물 영역(520, 521)의 주위에 존재하는 n형 불순물 원소가 첨가되지 않은 영역(도 6(A)의 공정에 의해 형성된 p형 불순물 영역)과의 경계부(접합부)가 명확하게 된다. 이것은 후에 TFT가 완성된 시점에서 LDD 영역과 채널 형성 영역이 매우 우수한 접합부를 형성할 수 있다는 것을 의미한다.

다음에, 두께 200~400 nm의 도전막을 형성하고, 패터닝을 행하여 게이트 전극(522~525)을 형성한다. 게이트 전극은 단층의 도전막으로 이루어질 수 있지만, 필요에 따라서는 2층 또는 3층 막과 같은 적층 막을 사용하는 것이 바람직하다. 게이트 전극의 재료로서는 공지의 도전막이 사용될 수 있다.

구체적으로는, 탄탈(Ta), 티탄(Ti), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 및 도전성을 가지는 규소(Si)로 이루어진 군에서 선택된 원소로 된 막; 또는 이들 원소의 질화물로 된 막(대표적으로는, 질화 탄탈 막, 질화 텅스텐 막 또는 질화 티탄 막); 또는 이들 원소의 조합으로 된 합금 막(대표적으로는, Mo-W 합금 또는 Mo-Ta 합금); 또는 이들 원소의 규화물 막(대표적으로는, 규화 텅스텐 막 또는 규화 티탄 막)이 사용될 수 있다. 물론, 이들 막은 단층 구조 또는 적층 구조를 가질 수 있다.

본 실시예에서는, 두께 50 nm의 질화 텅스텐(WN)과 두께 350 nm의 텅스텐(W) 막으로 이루어진 적층 막이 사용되었다. 이 막은 스퍼터링법에 의해 형성될 수 있다. 스퍼터링 가스로서 Xe 또는 Ne과 같은 불활성 가스를 첨가하면, 응력으로 인하여 막이 벗겨지는 것을 방지할 수 있다.

이때, 게이트 전극(523, 525)은 게이트 절연막(514)을 사이에 두고 각각 n형 불순물 영역(520, 521)의 일부와 겹치도록 형성된다. 이 겹침 부분은 후에 게이트 전극과 겹치는 LDD 영역이 된다. 도면의 단면도에서는, 게이트 전극(524a, 524b)이 별개로 보이지만, 실제로는 그들이 서로 전기적으로 접속되어 있다.

다음에, 도 7(A)에 도시된 바와 같이, 게이트 전극(522~525)을 마스크로 하여 자기정합적으로 n형 불순물 원소(본 실시예에서는 인)를 첨가한다. 이렇게 하여 형성된 불순물 영역(526~532)에는 인이 n형 불순물 영역(520, 521)의 농도의 1/2~1/10(대표적으로는 1/3~1/4)의 농도로 첨가되도록 조절한다. 이 농도는  $1 \times 10^{16} \sim 5 \times 10^{18}$  원자/cm<sup>2</sup>(대표적으로는  $3 \times 10^{17} \sim 3 \times 10^{18}$  원자/cm<sup>2</sup>)인 것이 바람직하다.

다음에, 도 7(B)에 도시된 바와 같이, 게이트 전극을 덮도록 레지스트 마스크(533a~533d)를 형성한 다음, n형 불순물 원소(본 실시예에서는 인)를 첨가하여, 고농도로 인을 함유한 불순물 영역(534~540)을 형성한다. 여기서도 포스핀(PH<sub>3</sub>)을 사용한 이온 도핑법이 적용되고, 이들 불순물 영역에서의 인의 농도가  $1 \times 10^{20} \sim 1 \times 10^{21}$  원자/cm<sup>2</sup>(대표적으로는  $2 \times 10^{20} \sim 5 \times 10^{20}$  원자/cm<sup>2</sup>)가 되도록 조절한다.

이 공정에 의해, n채널형 TFT의 소스 영역 또는 드레인 영역이 형성되는데, 스위칭용 TFT는 도 7(A)의 공정에서 형성된 n형 불순물 영역(529~531)의 일부를 남긴다. 이 잔존 영역이 도 2의 스위칭용 TFT의 LDD 영역(15a~15d)에 대응한다.

다음에, 도 7(C)에 도시된 바와 같이, 레지스트 마스크(533a~533d)를 제거하고, 레지스트 마스크(541)를 새로이 형성한다. 이어서, p형 불순물 원소(본 실시예에서는 붕소)를 첨가하여, 고농도로 붕소를 함유한 불순물 영역(542, 543)을 형성한다. 여기서는, 디보란(B<sub>2</sub>H<sub>6</sub>)을 사용한 이온 도핑법에 의해,  $3 \times 10^{20} \sim 3 \times 10^{21}$  원자/cm<sup>2</sup>(대표적으로는  $5 \times 10^{20} \sim 1 \times 10^{21}$  원자/cm<sup>2</sup>)의 농도를 얻도록 붕소가 첨가된다.

불순물 영역(542, 543)에는 인이  $1 \times 10^{20} \sim 1 \times 10^{21}$  원자/cm<sup>2</sup>의 농도로 이미 첨가되어 있다. 여기서 첨가되는 붕소는 첨가된 인의 농도의 적어도 3배 이상의 농도를 가진다. 따라서, 이미 형성된 n형 불순물 영역이 완전히 p형으로 반전되어 p형 불순물 영역으로 기능한다.

다음에, 도 7(D)에 도시된 바와 같이, 레지스트 마스크(541)를 제거한 다음, 제1 층간절연막(544)을 형성한다. 제1 층간절연막으로서, 규소를 함유한 절연막이 단층 구조 또는 적층 구조의 형태로 사용된다. 제1 층간절연막(544)의 막 두께는 400 nm~1.5  $\mu$ m인 것이 바람직하다. 본 실시예에서는, 두께 800  $\mu$ m의 산화규소막과 두께 200 nm의 질화산화규소막을 적층한 구조로 하였다.

다음에, 각각의 농도로 첨가된 n형 또는 p형 불순물 원소를 활성화한다. 활성화 수단으로서, 노 어닐법이 바람직하다. 본 실시예에서는, 전열로에서 질소 분위기 중에서 550℃로 4시간 열처리를 행하였다.

그리고, 3~100%의 수소를 함유한 분위기에서 300~450℃로 1~12시간 열처리를 추가로 행하여 수소화 처리를 행한다. 이 공정은 열적으로 여기된 수소에 의해 반도체막의 짝짓지 않은 결합을 수소 종단시키는 공정이다. 수소화를 위한 다른 수단으로서, 플라즈마 수소화(플라즈마에 의해 여기된 수소를 사용함)를 행할 수도 있다.

수소화 처리는 제1 층간절연막(544)의 형성 도중에 행할 수도 있다. 더 상세하게는, 두께 200 nm의 질화산화규소막을 형성한 후, 상기한 바와 같이 수소화 처리를 행한 다음, 두께 800 nm의 산화규소막을 형성할 수 있다.

다음에, 도 8(A)에 도시된 바와 같이, 제1 층간절연막(544)에 콘택트 홀을 형성하고, 소스 배선(545~548) 및 드레인 배선(549~551)을 형성한다. 본 실시예에서는, 이 배선을 스퍼터링법에 의해 두께 100 nm의 티탄 막, 두께 300 nm의 티탄 함유 알루미늄 막 및 두께 150 nm의 티탄 막을 연속적으로 형성한 3층 구조의 적층 막으로 형성하였다. 물론, 다른 도전막도 사용할 수 있다.

다음에, 제1 패시베이션 막(552)을 50~500 nm(대표적으로는, 200~300 nm)의 두께로 형성한다. 본 실시예에서는, 제1 패시베이션 막(344)으로서 두께 300 nm의 질화산화규소막을 사용하였다. 그 대신, 질화규소막이 사용될 수도 있다.

이때, 질화산화규소막을 형성하기 전에 H<sub>2</sub> 또는 NH<sub>3</sub>과 같은 수소 함유 가스를 사용하여 플라즈마 처리를 행하는 것이 효과적이다. 이 전(前)처리에 의해 여기된 수소가 제1 층간절연막(544)에 공급되고, 열처리를 통해 제1 패시베이션 막(552)의 막질이 개선된다. 그와 동시에, 제1 층간절연막(544)에 첨가된 수소가 하층 측으로 확산하기 때문에, 활성층이 효과적으로 수소화될 수 있다.

다음에, 도 8(B)에 도시된 바와 같이, 유기 수지로 된 제2 층간절연막(553)을 형성한다. 유기 수지로서는, 폴리이미드, 아크릴 수지 또는 BCB(벤조시클로부텐)이 사용될 수 있다. 특히, 제2 층간절연막(553)은 TFT에 의해 형성된 단차를 평탄화할 필요가 있기 때문에, 평활성이 우수한 아크릴 막이 바람직하다. 본 실시예에서는 아크릴 막을 2.5  $\mu$ m의 두께로 형성하였다.

다음에, 드레인 배선(551)에 이르는 콘택트 홀을 제2 층간절연막(553) 및 제1 패시베이션 막(552)에 형성하고, 화소 전극(양극)(544)을 형성한다. 본 실시예에서는, 산화인듐/주석(ITO) 막을 110 nm의 두께로 형성하고, 패터닝에 의해 화소 전극을 형성하였다. 또한, 2~20%의 산화아연(ZnO)이 산화인듐에 혼합된 투명 도전막이 사용될 수도 있다. 이 화소 전극은 EL 소자의 양극이 된다.

다음에, 규소를 함유한 절연막(본 실시예에서는 산화규소막)을 500 nm의 두께로 형성한 다음, 화소 전극(554)에 대응하는 위치에 개구부를 형성하고, 제3 층간절연막(555)을 형성한다. 개구부가 형성될 때 습식 에칭법을 사용함으로써 테이퍼진 측벽을 용이하게 형성하는 것이 가능하다. 개구부의 측벽이 충분히 완만한 경사를 가지지 않으면, 단차에 기인하는 EL 층의 열화(劣化)가 현저한 문제를 야기한다.

다음에, EL 층(556)과 음극(MgAg 전극)(557)을 진공 증착법에 의해 대기압의 노출 없이 연속적으로 형성한다. EL 층(556)의 막 두께는 800~200 nm(대표적으로는 100~200 nm)이고, 음극(557)의 막 두께는 180~300 nm(대표적으로는 200~250 nm)인 것이 바람직하다.

이 공정에서는, 적색에 대응하는 화소, 녹색에 대응하는 화소 및 청색에 대응하는 화소에 대해 순차적으로 EL 층과 음극을 형성한다. 그러나, EL 층은 용액에 대한 내성이 나쁘기 때문에, 포토리소그래피 기술을 사용함이 없이 서로 개별적으로 형성되어야 한다. 따라서, 금속 마스크를 사용하여 소망의 화소를 제외한 화소를 가리고, 소망의 화소에 대해 EL 층과 음극을 선택적으로 형성하는 것이 바람직하다.



상세하게는, 먼저, 적색에 대응하는 화소를 제외한 모든 화소를 가리는 마스크를 설치하고, 그 마스크를 사용하여 적색 발광의 EL 층 및 음극을 선택적으로 형성한다. 이어서, 녹색에 대응하는 화소를 제외한 모든 화소를 가리는 마스크를 설치하고, 그 마스크를 사용하여 녹색 발광의 EL 층 및 음극을 선택적으로 형성한다. 이어서, 청색에 대응하는 화소를 제외한 모든 화소를 가리는 마스크를 설치하고, 그 마스크를 사용하여 청색 발광의 EL 층 및 음극을 선택적으로 형성한다. 이 경우, 각각의 색에 대해 상이한 마스크를 사용한다. 그 대신에, 각각의 색에 대해 동일한 마스크를 사용할 수도 있다. 모든 화소에 대해 EL 층 및 음극이 형성될 때까지 진공을 파괴함이 없이 처리를 행하는 것이 바람직하다.

EL 층(556)에는 공지의 재료가 사용될 수 있다. 그 재료로서는, 구동 전압을 고려하면 유기 재료가 바람직하다. 예를 들어, EL 층은 정공 주입층, 정공 수송층, 발광층 및 전자 주입층의 4층 구조로 형성될 수 있다. 본 실시예에서는 EL 소자의 음극으로서 MgAg 전극을 사용하였다. 그 대신에, 다른 공지의 재료를 사용할 수도 있다.

보호 전극(558)으로서, 알루미늄을 주성분으로 하는 도전막이 사용될 수 있다. 보호 전극(558)은 EL 층 및 음극을 형성할 때의 마스크와는 상이한 마스크를 사용하여 진공 증착법에 의해 형성될 수 있다. EL 층 및 음극을 형성한 후에 대기에서의 노출 없이 연속적으로 보호 전극(558)을 형성하는 것이 바람직하다.

최종 단계에서, 질화규소막으로 된 제2 패시베이션 막(559)을 300 nm의 두께로 형성한다. 실제로는, 보호 전극(558)이, 예를 들어, 수분으로부터 EL 층을 보호하는 기능을 한다. 또한, 제2 패시베이션 막(559)을 형성함으로써 EL 소자의 신뢰성이 더 향상될 수 있다.

이렇게 하여, 도 8(C)에 도시된 바와 같은 구조의 액티브 매트릭스형 EL 표시장치가 완성된다. 실제로는, 도 8(C)까지 완성된 후에, 대기에 노출되지 않도록 하기 위해, 기밀성이 높은 보호 필름(적층 필름, 자외선 경화 수지 필름 등) 또는 세라믹 밀봉 캔과 같은 하우징재(材)로 장치를 패키징(봉입)하는 것이 바람직하다. 그 때, 하우징재의 내부를 불활성 분위기로 하거나 또는 그 내부에 흡습성 재료(예를 들어, 산화바륨)를 배치함으로써, EL 층의 신뢰성(수명)이 향상된다.

예를 들어, 패키징에 의해 기밀성을 향상시킨 후에, 기판상에 형성된 소자 또는 회로로부터 인출된 단자를 외부 신호 단자에 접속하기 위한 커넥터(가요성 인쇄 회로: FPC)를 부착하여, 제품을 완성시킨다. 본 명세서에서는, 시판을 위해 완전히 준비된 EL 표시장치를 EL 모듈이라 부른다.

다음에, 본 실시예의 액티브 매트릭스형 EL 표시장치의 구성을 도 11의 사시도를 참조하여 설명한다. 본 실시예의 액티브 매트릭스형 EL 표시장치는 유리 기판(601)상에 각각 형성된 화소부(602), 게이트 신호측 구동회로(603) 및 데이터 신호측 구동회로(604)로 이루어져 있다. 화소부의 스위칭용 TFT(605)는 n채널형 TFT이고, 게이트 신호측 구동회로(603)에 접속된 게이트 배선(606)과 데이터 신호측 구동회로(604)에 접속된 소스 배선(607)과의 교차점에 배치되어 있다. 또한, 스위칭용 TFT(605)의 드레인은 전류 제어용 TFT(608)의 게이트에 접속되어 있다.

전류 제어용 TFT(608)의 소스는 전류 공급선(609)에 접속되고, 전류 제어용 TFT(608)의 드레인은 EL 소자(610)에 접속되어 있다. EL 소자(610)의 음극에는 소정의 전압이 인가된다.

외부 입출력 단자인 FPC(611)에는, 구동회로에 신호를 전달하기 위한 입력 배선(접속 배선)(612, 613)과, 전류 공급선(609)에 접속된 입력 배선(614)이 설치되어 있다.

다음에, 하우징재를 포함하는 본 실시예의 EL 모듈에 대하여 도 12(A) 및 도 12(B)를 참조하여 설명한다. 도 11에 사용된 부호를 필요에 따라 다시 사용한다.

기판(1200)상에는 화소부(1201), 데이터 신호측 구동회로(1202) 및 게이트 신호측 구동회로(1203)가 형성되어 있다. 각 구동회로로부터의 각종 배선은 입력 배선(612~614) 및 FPC(611)을 통해 외부 장치에 접속된다.

이때, 하우징재(1204)는 적어도 화소부, 바람직하게는 화소부 및 구동회로를 둘러싸도록 배치된다. 하우징재(1204)는 내부 컷수가 EL 소자의 외부 컷수보다 큰 오목부를 가지는 형상으로 되거나 또는 시트(sheet)와 같은 형상으로 되어 있다. 하우징재(1204)는 접착제(1205)에 의해 기판(1200)에 고정되어, 기판(1200)과 함께 폐쇄 공간을 형성한다. 이때, EL 소자는 그 폐쇄 공간 내에 완전히 봉입되어 있는 상태로 되고, 외부 공기로부터 완전히 차단되어 있다. 하우징재(1204)가 다수 개 배치될 수도 있다.

하우징재(1204)의 재료는 유리 또는 중합체와 같은 절연성 물질인 것이 바람직하다. 예를 들어, 비정질 유리(붕규산업 유리, 석영 등), 결정화 유리, 세라믹 유리, 유기 수지(아크릴 수지, 스티렌 수지, 폴리카보네이트 수지, 에폭시 수지 등) 또는 실리콘 수지를 들 수 있다. 또한, 세라믹이 사용될 수도 있다. 접착제(1205)가 절연성 물질인 경우에는 스테인리스 합금과 같은 금속 재료를 사용하는 것도 가능하다.

접착제(1205)의 재료로서는, 에폭시 수지, 아크릴레이트 수지 등이 사용될 수 있다. 또한, 열 경화성 수지 또는 광 경화성 수지도 접착제로서 사용될 수 있다. 그러나, 산소 및 수분을 가능한 한 투과시키지 않는 재료인 것이 필요하다.

하우징재와 기관(1200) 사이의 틈새(1206)를 불활성 가스(아르곤, 헬륨, 질소 등)로 충전하는 것이 바람직하다. 그러나, 가스에 한정되는 것은 아니고, 불활성 액체(예를 들어, 퍼플루오로알칸으로 대표되는 액체 플루오르화 탄소)도 사용될 수 있다. 그 불활성 액체로서는, 예를 들어, 일본 공개특허공고 평8-78519호 공보에 기재된 액체가 사용될 수 있다.

틈새(1206)내에 건조제를 배치하는 것도 효과적이다. 건조제로서는, 일본 공개특허공고 평9-148066호 공보에 기재된 건조제가 사용될 수 있다. 전형적으로는, 산화바륨이 사용될 수 있다.

도 12(B)에 도시된 바와 같이, 화소부에는 개별적으로 분리된 EL 소자를 각각 가지는 다수의 화소가 마련되어 있다. 이들 화소 모두는 보호 전극(1207)을 공통 전극으로 가지고 있다. 본 실시예에서는, EL 층, 음극(MgAg 전극) 및 보호 전극을 대기압에 노출 없이 연속적으로 형성하는 것이 바람직하다고 설명하고 있지만, 그 대신에, 동일한 마스크를 사용하여 EL 층 및 음극을 형성하고 다른 마스크에 의해 보호 전극만을 형성하면, 도 12(B)의 구조가 실현될 수 있다.

이때, EL 층 및 음극은 화소부에만 배치될 수 있고, 구동회로에는 배치될 필요가 없다. 물론, 그 EL 층 및 음극을 구동회로에 배치하더라도 문제가 되는 것은 아니지만, EL 층에는 알칼리 금속이 함유되어 있다는 사실을 고려하면 구동회로에는 배치하지 않는 것이 바람직하다.

보호 전극(1207)은 부호 1208로 나타낸 영역에서, 화소 전극과 동일한 재료로 된 접속 배선(1209)을 통해 입출력 배선(1210)에 접속된다. 입출력 배선(1210)은 보호 전극(1207)에 소정의 전압(본 실시예에서는 접지 전위, 구체적으로는 0 V)을 부여하기 위한 전류 공급선이고, 도전성 페이스트 재료(1211)를 통해 FPC(611)에 접속된다.

다음에, 영역(1208)에서의 콘택트 구조를 실현하기 위한 제작공정에 대하여 도 13을 참조하여 설명한다.

먼저, 본 실시예의 제작공정에 의해 도 8(A)의 상태를 얻는다. 이때, 기관의 엣지(즉, 도 12(B)에서 부호 1208로 나타낸 영역)에서 제1 층간절연막(544) 및 게이트 절연막(514)을 제거하고, 그 위에 입출력 배선(1210)을 형성한다. 물론, 그 입출력 배선(1210)은 도 8(A)의 소스 배선 및 드레인 배선과 동시에 형성된다.(도 13(A))

다음에, 도 8(B)에서 제2 층간절연막(553) 및 제1 패시베이션 막(552)을 에칭할 때, 부호 1301로 나타낸 영역을 제거하고, 개구부(1302)를 형성한다. 이어서, 개구부(1302)를 덮도록 접속 배선(1209)을 형성한다. 물론, 이 접속 배선(1209)은 도 8(B)의 화소 전극(554)과 동시에 형성된다.(도 13(B))

이 상태에서, 화소부에서는 EL 소자의 형성 공정(제3 층간절연막, EL 층 및 음극의 형성 공정)이 행해진다. 이때, 도 13에 도시된 영역에서는 마스크 등을 사용하여 제3 층간절연막 및 EL 소자가 형성되지 않도록 한다. 그 다음, 음극(557)을 형성한 후, 다른 마스크를 사용하여 보호 전극(558)을 형성한다. 그 결과, 보호 전극(558)과 입출력 배선(1210)이 접속 배선(1209)을 통해 전기적으로 접속된다. 그 다음, 제2 패시베이션 막(559)을 마련하여, 도 13(C)의 상태를 얻는다.

상기한 공정들에 의해, 도 12(B)의 부호 1208로 나타낸 영역의 콘택트 구조가 실현된다. 입출력 배선(1210)은 하우징재(1204)와 기관(1200) 사이의 틈새(1205)(이 틈새는 접착제(1205)로 충전되어 있다. 즉, 접착제(1205)는 입출력 배선에 의한 단차를 충분히 평탄화할 수 있는 두께일 필요가 있다)를 통해 FPC(611)에 접속된다. 여기서는 입출력 배선(1210)에 관해 설명하였지만, 다른 출력 배선(612~614)도 마찬가지로 하우징재(1204)의 아래를 통과하여 FPC(611)에 접속된다.

## [실시예 2]

본 실시예에서는, 화소의 구성을 도 1(B)의 것과 다른 것으로 한 예를 도 14에 나타낸다.

본 실시예에서는, 도 1(B)에 도시된 2개의 화소가 접지 전위를 부여하기 위한 전류 공급선(110)에 대해 대칭이 되도록 배치된다. 즉, 도 14에 도시된 바와 같이, 전류 공급선(110)이 인접한 2개의 화소에서 공통으로 되어 있어, 필요로 하는 배선의 수가 감소된다. 화소 내에 배치되는 TFT의 구조를 변경할 필요는 없다.

이러한 구성으로 하면, 보다 고정세(高精細)한 화소부를 제조하는 것이 가능하고, 화상의 품질이 향상된다.

또한, 전류 공급선(110)을 공통화함으로써, 전류 공급선(110)의 선폭의 마진이 넓게 되기 때문에, 화상 밝기의 저하 없이 전류 공급선(110)의 선폭을 넓게 하는 것이 가능하게 된다. 따라서, 전류 공급선(110)의 전압 강하의 영향을 감소시킬 수 있고, 전류 공급선(110)으로부터 공급되는 전압이 화소의 위치에 따라 변하는 것을 방지할 수 있다.

본 실시예의 구성은 실시예 1의 제작공정에 따라 용이하게 실현될 수 있다.

### [실시예 3]

본 실시예에서는, 도 1의 것과 상이한 구조를 가지는 화소부를 형성하는 경우에 대하여 도 15를 참조하여 설명한다. 제2 층간절연막(48)을 형성하는 공정까지는 실시예 1에서와 동일한 공정이 행해질 수 있다. 제2 층간절연막(48)으로 덮인 스위칭용 TFT(201) 및 전류 제어용 TFT(202)는 각각 도 1에서와 동일한 구조를 가지므로, 여기에서는 그에 관한 설명을 생략한다.

본 실시예에서는, 제2 층간절연막(48) 및 제1 패시베이션 막(47)에 콘택트 홀을 형성한 다음, 화소 전극(61)을 형성한다. 본 실시예에서는, 화소 전극(61)으로서, 두께 200 nm의 알루미늄 합금 막(1 중량%의 티탄을 함유한 알루미늄 막)을 배치한다. 화소 전극의 재료로서는, 금속 재료라면 어떠한 재료라도 사용할 수 있다. 반사율이 높은 재료인 것이 바람직하다.

그 위에 산화규소막으로 된 제3 층간절연막(62)을 300 nm의 두께로 형성한다. 이어서, 음극(63)으로서 두께 230 nm의 MgAg 전극을 형성한다. 또한, EL 층으로서, 아래로부터 순서대로 두께 20 nm의 전자 수송층, 두께 40 nm의 발광층 및 두께 30 nm의 정공 수송층을 형성한다. 음극(63)보다 약간 더 큰 패턴이 되도록 EL 층(64)을 형성할 필요가 있다. 이것에 의해, 음극(63)이 후에 형성되는 양극(65)과 단락(短絡)하는 것을 방지할 수 있다.

이때, 음극(63) 및 EL 층(64)을 멀티체임버 방식(클러스터 툴(cluster tool) 방식으로 불림)의 진공 증착장치를 사용하여 대기압의 노출 없이 연속적으로 형성한다. 더 상세하게는, 먼저, 제1 마스크에 의해 모든 화소에 음극(63)을 형성한 다음, 제2 마스크에 의해 적색 발광 EL 층을 형성한다. 그리고, 제2 마스크를 정밀하게 제어하여 이동시키면서 녹색 발광 EL 층 및 청색 발광 EL 층을 순차적으로 형성한다.

RGB에 대응하는 화소들이 스트라이프 형태로 배치된 때는, 상기한 것과 같은 방식으로 제2 마스크를 간단히 이동시킬 수 있다. 그러나, 소위 델타 배치라 불리는 화소 구조를 실현하기 위해서는, 녹색 발광 EL 층을 위한 제3 마스크 및 청색 발광 EL 층을 위한 제4 마스크를 별도로 사용할 수도 있다.

이렇게 하여 EL 층(64)까지 형성한 후에, 그 EL 층(64)상에 양극(65)을 110 nm의 두께로 형성한다. 양극(65)은 투명 도전막(본 실시예에서는 ITO 막에 10 중량%의 산화아연이 함유된 박막)으로 이루어져 있다. 이렇게 하여, EL 소자(206)가 형성되고, 실시예 1에서 나타낸 재료로 제2 패시베이션 막(66)을 형성한다. 그 결과, 도 15에 도시된 바와 같은 구조의 화소가 완성된다.

본 실시예의 구조에서는, 각 화소에서 발생된 적색 광, 녹색 광 또는 청색 광이 TFT가 형성되어 있는 기관의 반대측으로 방사된다. 따라서, 화소의 거의 모든 영역, 즉, TFT가 형성되어 있는 영역이 유효 발광 영역으로 사용될 수 있다. 그 결과, 화소의 유효 발광 면적이 대폭으로 증대되고, 화상의 밝기 또는 콘트라스트 비(명암비)가 향상된다.

본 실시예의 구성은 실시예 1 및 2의 어느 구성과도 자유롭게 조합될 수 있다.

### [실시예 4]

본 실시예에서는, 실시예 1에 의해 제조된 액티브 매트릭스형 EL 표시장치의 화소 구조의 일 예를 설명한다. 설명에 도 16을 사용한다. 도 16에서, 도 1 또는 도 2에 대응하는 부분들에 도 1 또는 도 2의 부호가 적용된다. 도 16에서, 부호 201은 스위칭용 TFT이고, 이 스위칭용 TFT(201)는 소스 영역(13), 드레인 영역(14) 및 게이트 배선(게이트 전극으로도 기능할

수 있음)(106)을 포함한다. 부호 202는 전류 제어용 TFT이고, 이 전류 제어용 TFT(202)는 소스 영역(26), 드레인 영역(27) 및 게이트 전극(30)을 포함한다. 전류 제어용 TFT(202)와 화소 전극(49)은 드레인 배선(32)을 통해 전기적으로 접속되어 있다. 부호 51 및 52로 나타낸 점선은 EL 층(51) 및 음극(52)이 형성되는 위치를 나타낸다. EL 소자(203)는 화소 전극(49), EL 층(51) 및 음극(52)으로 이루어져 있다.

이때, 스위칭용 TFT(201)의 드레인 배선(22)은 전기적 콘택트부(1601)에 의해 전류 제어용 TFT(202)의 게이트 전극(30)에 전기적으로 접속되어 있다. 게이트 전극(30)은 전류 제어용 TFT(202)의 소스 배선(31)과 겹치는 부분에서 보유 용량(112)을 형성한다. 이 소스 배선(31)은 전류 공급선(110)에 접속되어 있다.

본 실시예에서 도 16의 화소 구조는 본 발명을 한정하는 것이 아니고, 단지 바람직한 예이다. 실시자는 스위칭용 TFT, 전류 제어용 TFT 및 보유 용량을 어느 위치에 형성하는가를 적절히 결정할 수 있다. 본 실시예는 본 실시예의 구성을 실시예 1~3의 어느 구성과도 자유롭게 조합함으로써 실시될 수 있다.

#### [실시예 5]

본 실시예에서는, 액티브 매트릭스형 EL 표시장치의 화소 구조를 실시예 4의 것과 상이한 구조로 한 경우를 설명한다. 구체적으로는, 도 16에 도시된 화소 구조에서 게이트 배선의 재료를 다른 것으로 한 예를 도 17에 나타낸다. 도 17은 게이트 배선의 구조만이 도 16과 다르기 때문에, 상세한 설명을 생략한다.

도 17에서, 부호 71a, 71b는 각각 실시예 1에서와 같이 질화 텅스텐 막과 텅스텐 막의 적층 막으로 된 게이트 전극이다. 도 17에 도시된 바와 같이, 이 게이트 전극(71a, 71b)은 개별적으로 분리된 패턴이거나 또는 전기적으로 접속된 패턴이도록 설계될 수 있다. 게이트 전극(71a, 71b)은 형성된 시점에서는 전기적으로 부유(float) 상태에 있다.

게이트 전극(71a, 71b)으로서는, 질화 탄탈 막과 탄탈 막의 적층 막 또는 몰리브덴과 텅스텐의 합금 막과 같은 다른 도전막도 사용할 수 있다. 그러나, 그 막은 3  $\mu\text{m}$ (바람직하게는 2  $\mu\text{m}$ ) 이하의 미세한 선폭을 형성하도록 가공성이 우수한 것이 바람직하다. 또한, 게이트 절연막에서 확산하여 활성층에 침입하는 원소를 함유하지 않은 막인 것이 바람직하다.

다른 한편으로, 게이트 배선(72)에 대해서는, 게이트 전극(71a, 71b)보다 낮은 저항을 가지는 도전막을 사용한다. 대표적으로는, 알루미늄을 주성분으로 하는 합금 막 또는 구리를 주성분으로 하는 합금 막이 사용된다. 게이트 배선(72)은 특히 미세한 가공성을 필요로 하지 않는다. 또한, 게이트 배선(72)은 활성층과 겹치지 않으므로, 절연막에서 용이하게 확산하는 알루미늄 또는 구리를 함유하여도 문제를 야기하지 않는다.

본 실시예의 구조로 하는 경우, 실시예 1의 도 7(D)의 공정에서 제1 층간절연막(544)의 형성 전에 활성화 공정을 행한다. 이 경우, 게이트 전극(71a, 71b)이 노출된 상태에서 열처리를 행한다. 그러나, 충분히 불활성인 분위기, 바람직하게는 산소 농도가 1 ppm 이하인 불활성 분위기에서 열처리를 행하면, 게이트 전극(71a, 71b)이 산화되지 않는다. 따라서, 산화 때문에 저항이 증가하거나 또는 절연막(산화막)으로 덮여 있기 때문에 제거가 어렵게 될 염려가 없다.

활성화 공정이 종료된 후, 알루미늄 또는 구리를 주성분으로 하는 도전막을 형성하고, 패터닝에 의해 게이트 배선(72)을 형성한다. 이 시점에서, 게이트 전극(71a, 71b)이 게이트 배선(72)과 접촉하는 부분에서는 우수한 옴 접촉(ohmic contact)이 확보되고, 그 결과, 게이트 전극(71a, 71b)에 소정의 게이트 전압이 인가될 수 있다.

본 실시예의 구조는 특히 화상 표시 영역의 면적이 크게 된 경우에 효과적이다. 그 이유를 아래에 설명한다.

본 발명의 EL 표시장치는 1 프레임을 다수의 서브프레임으로 분할하여 구동되기 때문에, 화소부를 구동하기 위한 구동회로에 가해지는 부담이 크다. 이것을 감소시키기 위해서는, 화소부가 가지는 부하(예를 들어, 배선 저항, 기생 용량 또는 TFT의 기입 용량(writing capacity))를 가능한 한 많이 감소시키는 것이 바람직하다.

TFT의 기입 용량에 관해서는, 본 발명에서 사용되는 규소막에 의해 동작 성능이 매우 높은 TFT가 실현될 수 있기 때문에, 중대한 문제가 일어나지 않는다. 데이터 배선 또는 게이트 배선에 부가되는 기생 용량은 대부분이 배선과 그 배선상에 형성된 EL 소자의 음극(또는 보호 전극)과의 사이에 형성된다. 그러나, 제2 층간절연막으로서 비유전율이 낮은 유기 수지막이 1.5~2.5  $\mu\text{m}$ 의 두께로 형성되기 때문에, 기생 용량은 거의 무시될 수 있다.

이 사실로부터, 화소부의 면적이 큰 EL 표시장치에 본 발명을 적용할 때 가장 심각한 장애가 되는 것은 데이터 배선 및 게이트 배선의 배선 저항이다. 물론, 데이터 신호측 구동회로를 다수의 부분으로 나누어 병렬 처리를 행하는 것이 가능하게

나, 또는 화소부를 사이에 끼우고 데이터 신호측 구동회로와 게이트 신호측 구동회로를 배치하고 양측으로부터 신호를 보내어 구동회로의 동작 주파수를 현격히 낮추는 것이 가능하다. 그러나, 이 경우, 예를 들어, 구동회로가 차지하는 면적이 크게 된다는 다른 문제가 발생한다.

따라서, 본 발명을 실시할 때, 본 실시예의 구조에 의해 게이트 배선의 저항을 극력 감소시키는 것이 매우 효과적이다. 본 실시예에서의 도 17의 화소 구조는 본 발명을 한정하는 것이 아니고, 단지 바람직한 예일뿐이다. 본 실시예는 본 실시예의 구성을 실시예 1~3의 어느 구성과도 자유롭게 조합함으로써 실시될 수도 있다.

#### [실시예 6]

실시예 1의 도 2의 구조에서, 활성층과 기판(11) 사이에 배치되는 하지막(12)으로서 방열 효과가 높은 재료를 사용하는 것이 효과적이다. 특히, 전류 제어용 TFT는 장시간에 걸쳐 비교적 많은 전류를 통과시키기 때문에 발열하기 쉽고, 자기 발열로 인한 열화를 받기 쉽다는 문제가 있다. 본 실시예에 따르면, 하지막이 방열 효과를 가짐으로써, TFT가 그러한 상황에서의 열적 열화를 받는 것이 방지된다.

방열 효과를 가지는 투광성 재료로서는, B(붕소), C(탄소) 및 N(질소)로 이루어진 군에서 선택된 적어도 하나의 원소와, Al(알루미늄), Si(실리콘) 및 P(인)으로 이루어진 군에서 선택된 적어도 하나의 원소를 함유한 절연막을 들 수 있다.

예를 들어, 질화 알루미늄( $Al_xN_y$ )으로 대표되는 알루미늄 질화물, 탄화규소( $Si_xC_y$ )로 대표되는 규소 탄화물, 질화규소( $Si_xN_y$ )로 대표되는 규소 질화물, 질화붕소( $B_xN_y$ )로 대표되는 붕소 질화물, 및 인화붕소( $B_xP_y$ )로 대표되는 붕소 인화물을 사용할 수 있다. 산화 알루미늄( $Al_xO_y$ )으로 대표되는 알루미늄 산화물은 투광성이 우수하고, 그의 열전도율이  $20\text{ Wm}^{-1}\text{K}^{-1}$ 이기 때문에, 바람직한 재료 중의 하나이다. 상기한 투광성 재료에서, x 및 y는 임의의 정수이다.

상기한 화합물들에 다른 원소를 조합시킬 수도 있다. 예를 들어, 산화 알루미늄에 질소를 첨가하여,  $AlN_xO_y$ 로 나타내어지는 질화산화 알루미늄을 사용하는 것도 가능하다. 이 재료도 방열 효과뿐만 아니라 수분 또는 알칼리 금속의 침입을 방지하는 효과도 가지고 있다. 질화산화 알루미늄에서, x 및 y는 임의의 정수이다.

또한, 일본 공개특허공고 소62-90260호 공보에 기재된 재료를 사용할 수도 있다. 더 상세하게는, Si, Al, N, O 및 M을 함유한 절연막이 사용될 수 있다. 여기서, M은 적어도 1종류의 희토류 원소, 바람직하게는 Ce(세륨), Yb(이테르븀), Sm(사마륨), Er(에르븀), Y(이트륨), La(란탄), Gd(가돌리늄), Dy(디스프로슘) 및 Nd(네오디뮴)로 이루어진 군에서 선택된 적어도 하나의 원소이다. 이들 재료도 방열 효과뿐만 아니라 수분 또는 알칼리 금속의 침입을 방지하는 효과도 가지고 있다.

또한, 적어도 다이아몬드 박막 또는 비정질 탄소막(특히, 다이아몬드와 닮은 탄소(diamond-like carbon)로 불리는, 다이아몬드의 특성에 가까운 막)을 포함하는 탄소막도 사용할 수 있다. 이들은 매우 높은 열 전도율을 가지고, 방열 층으로서 매우 효과적이다. 그러나, 이들은 막 두께가 증가함에 따라 갈색을 띄어 투과율을 저하시키므로, 가능한 한 얇은 박막(바람직하게는 5~100 nm)으로 사용하는 것이 바람직하다.

방열 효과를 가지는 재료로 된 박막은 단층으로 사용될 수 있지만, 그 대신에, 이들 박막과 규소를 함유한 절연막이 적층된 적층 막도 사용될 수 있다.

본 실시예의 구성은 실시예 1~5의 어느 구성과도 자유롭게 조합될 수 있다.

#### [실시예 7]

실시예 1에서는 EL 층으로서 유기 EL 재료를 사용하는 것이 바람직하다고 하였으나, 본 발명은 무기 EL 재료를 사용하여서도 실시될 수 있다. 이 경우, 현재의 무기 EL 재료는 구동 전압이 매우 높기 때문에, 그러한 구동 전압에 견딜 수 있는 내압 특성을 가지는 TFT를 사용하여야 한다.

장래에 구동 전압이 보다 낮은 무기 EL 재료가 개발된다면, 본 발명에 적용가능하다.

본 실시예의 구성은 실시예 1~6의 어느 구성과도 자유롭게 조합될 수 있다.

[실시예 8]

본 발명을 실시하여 형성되는 액티브 매트릭스형 EL 표시장치(EL 모듈)는 자기 발광형이기 때문에 밝은 장소에서의 시인성(視認性)이 액정 표시장치에 비해 우수하다. 따라서, 본 발명은 직시(直視)형 EL 표시장치(EL 모듈을 구비한 디스플레이 장치를 가리킨다)의 표시부로서 사용될 수 있다. EL 표시장치로서는, 퍼스널 컴퓨터 모니터, TV 수상 모니터, 광고 표시 모니터 등을 들 수 있다.

본 발명은 상기한 EL 표시장치를 포함하여, 디스플레이 장치를 부품으로 구비한 모든 전자 장치의 표시부에 사용될 수 있다.

그러한 전자 장치로서는, EL 디스플레이 장치, 비디오 카메라, 디지털 카메라, 헤드 장착형 표시장치, 자동차 내비게이션 시스템, 퍼스널 컴퓨터, 휴대형 정보 단말기(모바일 컴퓨터, 휴대 전화기, 전자 책 등) 및 기록 매체를 구비한 화상 재생 장치(특히, 콤팩트 디스크(CD), 레이저 디스크(LD) 또는 디지털 비디오 디스크(DVD)와 같은 기록 매체를 재생하여 화상을 표시할 수 있는 장치)를 들 수 있다. 이들 전자 장치의 예를 도 18에 나타낸다.

도 18(A)는 본체(2001), 케이스(2002), 표시부(2003) 및 키보드(2004)를 포함하는 퍼스널 컴퓨터를 나타낸다. 본 발명은 표시부(2003)에 사용될 수 있다.

도 18(B)는 본체(2101), 표시 패널(2102), 음성 입력부(2103), 조작 스위치(2104), 배터리(2105) 및 수상부(2106)를 포함하는 비디오 카메라를 나타낸다. 본 발명은 표시 패널(2102)에 사용될 수 있다.

도 18(C)는 본체(2301), 신호 케이블(2302), 헤드 고정 밴드(2303), 표시 모니터(2304), 광학계(2305) 및 표시장치(2306)를 포함하는 헤드 장착형 EL 표시장치를 나타낸다. 본 발명은 표시장치(2306)에 사용될 수 있다.

도 18(D)는 기록 매체를 구비한 화상 재생 장치(특히, DVD 플레이어)를 나타낸다. 이 화상 재생 장치는 본체(2401), 기록 매체(2402)(CD, LD, DVD 등), 조작 스위치(2403), 표시 패널(a)(2404) 및 표시 패널(b)(2405)를 포함한다. 표시 패널(a)는 주로 화상 정보를 표시하고, 표시 패널(b)는 주로 문자 정보를 표시한다. 본 발명은 표시 패널(a) 및 표시 패널(b)에 사용될 수 있다. 본 발명은 기록 매체를 구비한 화상 재생 장치로서 CD 플레이어 또는 게임기에 적용 가능하다.

도 18(E)는 본체(2501), 카메라(2502), 수상부(2503), 조작 스위치(2504) 및 표시부(2505)를 포함하는 휴대형(모바일) 컴퓨터를 나타낸다. 본 발명은 표시부(2505)에 사용될 수 있다.

장래에 EL 재료의 발광 휘도가 높아지면, 본 발명이 프린트형 또는 리어형 프로젝터에도 적용 가능하다.

상기한 바와 같이, 본 발명은 적용 범위가 매우 넓고, 모든 분야의 전자 장치에 적용 가능하다. 본 실시예의 전자 장치는 실시예 1~7의 어느 조합으로 된 구성을 사용하여서도 실현될 수 있다.

[실시예 9]

도 20(A) 및 도 20(B)의 사진은 본 발명의 EL 표시장치에 관한 것이고, 더 구체적으로는, 본 발명의 시분할 계조 방식에 의해 표시된 화상을 나타낸다. 도 20(A)의 사진은 발광층으로서 저분자량 유기 재료인 Alq<sub>3</sub>(트리스-8-퀴놀리노라토 알루미늄 착체)를 사용한 것이고, 도 20(B)의 사진은 발광층으로서 고분자량 유기 재료인 PPV(폴리파라페닐렌-비닐렌)를 사용한 것이다. 도 20(A) 및 도 20(B)의 EL 표시장치의 사양(仕様)을 아래 표에 나타낸다.

[표 1]

화면 사이즈	대각선 0.7인치
화소 수	640×480
화소 간격	22.5 μm
계조	64(6비트)
개구율	38%
소스 구동회로의 동작 클록 주파수	12.5 MHz
게이트 구동회로의 동작 클록 주파수	232 kHz

구동회로의 전압	9 V
표시 영역의 전압	7 V
듀티 비(duty ratio)	62.5%
색	단색

## 발명의 효과

본 발명에 따르면, TFT의 특성 편차의 영향 없이 선명한 다계조 컬러 표시를 행할 수 있는 액티브 매트릭스형 EL 표시장치가 얻어질 수 있다. 또한, 본 발명에서 사용되는 규소막으로 활성층을 형성함으로써, 동작 성능이 매우 높은 TFT가 제조되고, 액티브 매트릭스형 EL 표시장치의 디지털 신호에 의한 시분할 계조 표시가 더욱 효과적으로 행해질 수 있다. 또한, 그러한 계조 표시를 실현함으로써, 전류 제어용 TFT의 특성 편차에 기인한 계조 불량량이 제거되고, 색 재현성이 우수한 고정색 화상이 얻어질 수 있다.

또한, 기판상에 형성된 TFT 자체도 회로 또는 소자에 요구되는 성능에 따라 최적으로 구성된 TFT를 배치함으로써 신뢰성이 높은 액티브 매트릭스형 EL 표시장치를 실현한다.

따라서, 그러한 액티브 매트릭스형 EL 표시장치를 표시부(표시 패널)로서 구비함으로써, 신뢰성이 높고 화상 품질이 우수한 고성능 전자 장치가 제조될 수 있다.

## 도면의 간단한 설명

- 도 1(A) 및 도 1(B)는 EL 표시장치의 구성을 나타내는 도면,
- 도 2는 EL 표시장치의 단면 구조를 나타내는 도면,
- 도 3은 종래의 EL 표시장치의 화소부의 구성을 나타내는 도면,
- 도 4(A) 및 도 4(B)는 아날로그 계조방식에서 사용되는 TFT 특성을 설명하는 도면,
- 도 5(A)~도 5(E)는 EL 표시장치의 제작공정을 나타내는 도면,
- 도 6(A)~도 6(D)는 EL 표시장치의 제작공정을 나타내는 도면,
- 도 7(A)~도 7(D)는 EL 표시장치의 제작공정을 나타내는 도면,
- 도 8(A)~도 8(C)는 EL 표시장치의 제작공정을 나타내는 도면,
- 도 9는 EL 표시장치의 화소부의 확대도,
- 도 10은 시분할 계조방식의 동작 모드를 설명하는 도면,
- 도 11은 EL 모듈의 외관을 나타내는 도면,
- 도 12(A) 및 도 12(B)는 EL 모듈의 상면 외관 및 단면 구조를 나타내는 도면,
- 도 13(A)~도 13(C)는 콘택트 구조의 제작공정을 나타내는 도면,
- 도 14는 EL 표시장치의 화소부의 구성을 나타내는 도면,
- 도 15는 EL 표시장치의 단면 구조를 나타내는 도면,
- 도 16은 EL 표시장치의 화소부의 상면 구조를 나타내는 도면,
- 도 17은 EL 표시장치의 화소부의 상면 구조를 나타내는 도면,

도 18(A)~도 18(E)는 전자 장치의 구체 예를 나타내는 도면,

도 19(A) 및 도 19(B)는 폴리실리콘 막의 전자빔 회절상(像)을 나타내는 도면 대응 사진,

도 20(A) 및 도 20(B)는 본 발명의 EL 표시장치의 표시 화상의 예를 나타내는 도면 대응 사진.

<도면의 주요 부분에 대한 부호의 설명>

101: 화소부 102: 데이터 신호측 구동회로

103: 게이트 신호측 구동회로 104: 화소

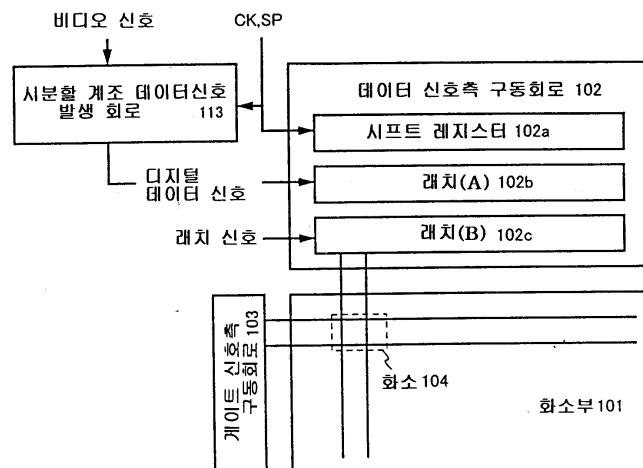
105: 스위칭용 TFT 108: 전류 제어용 TFT

109: EL 소자 112: 용량

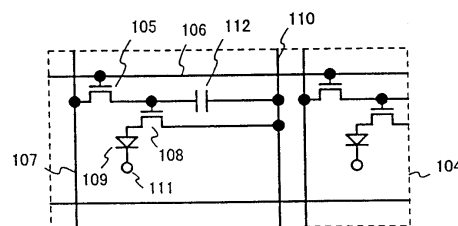
113: 시분할 계조 데이터 신호 발생회로

도면

도면1



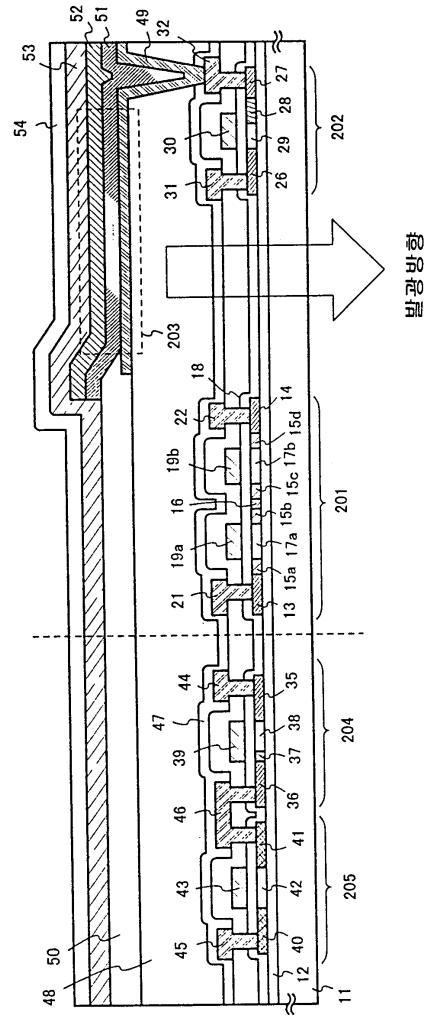
A



B

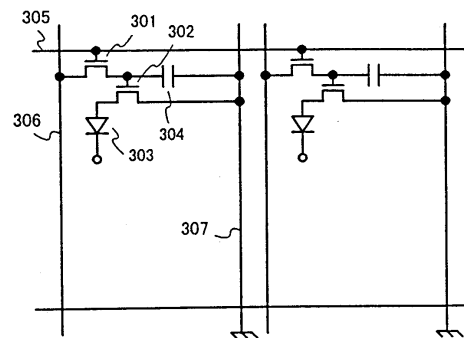


도면2

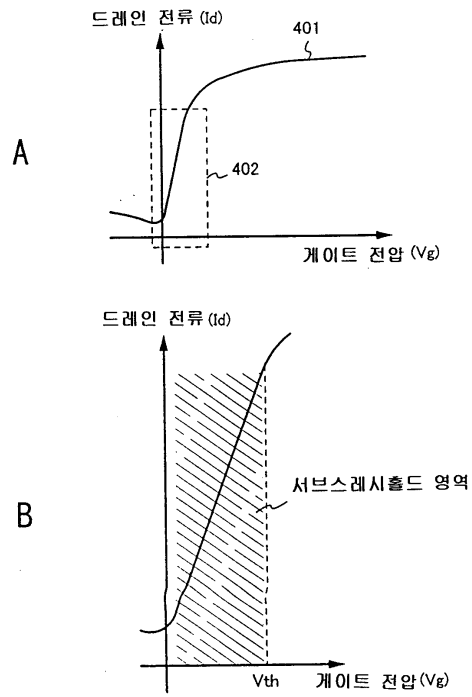


도면3

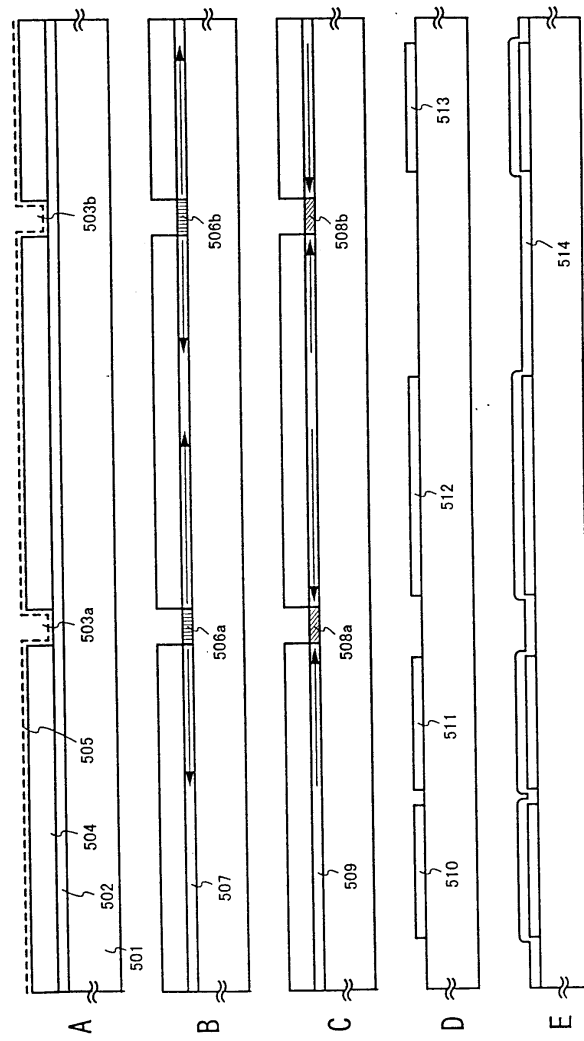
(종래기술)



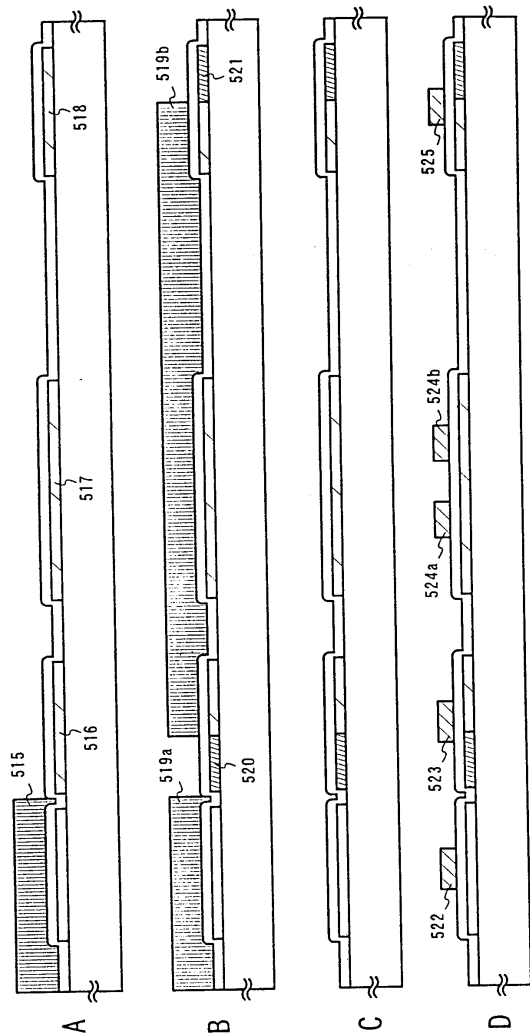
도면4



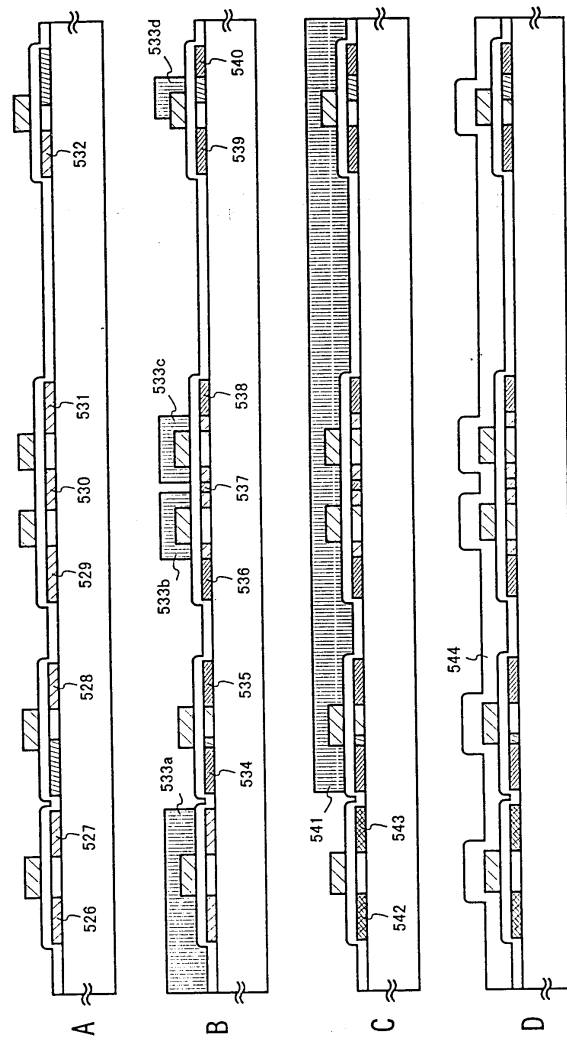
도면5



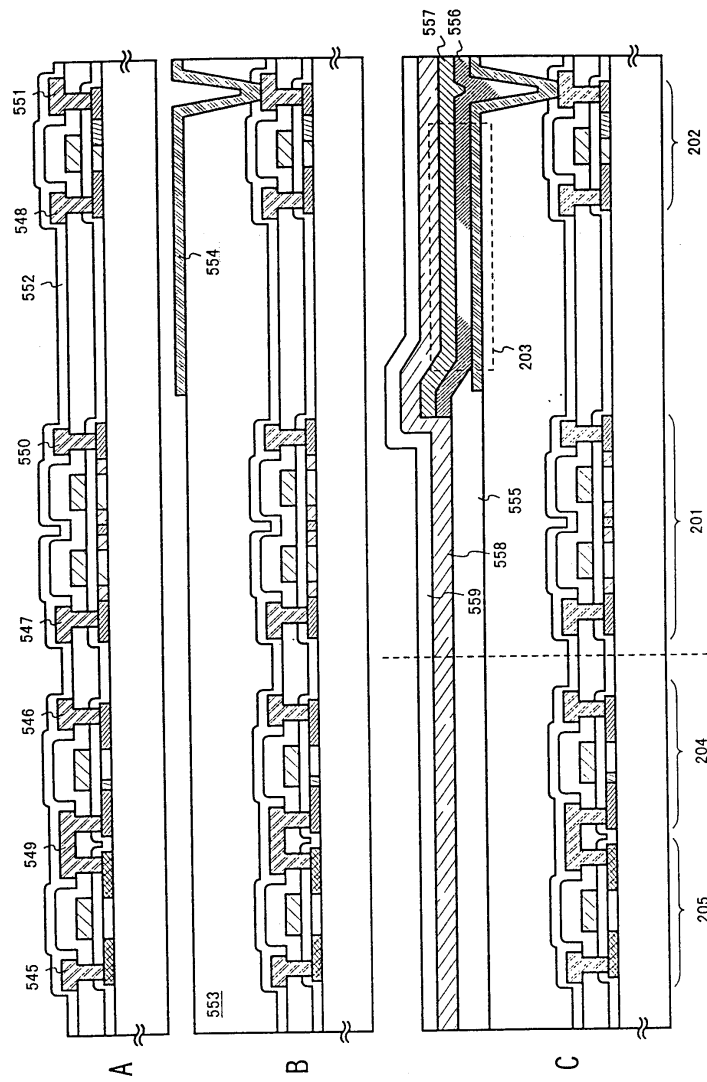
도면6



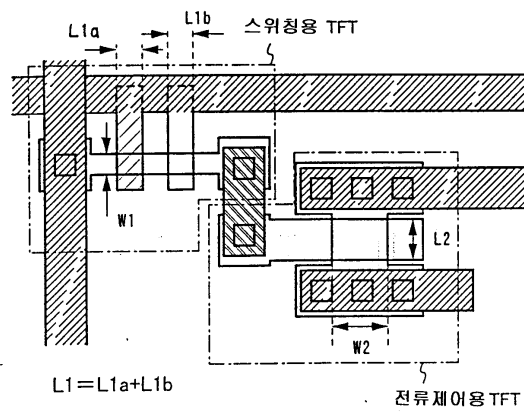
도면7



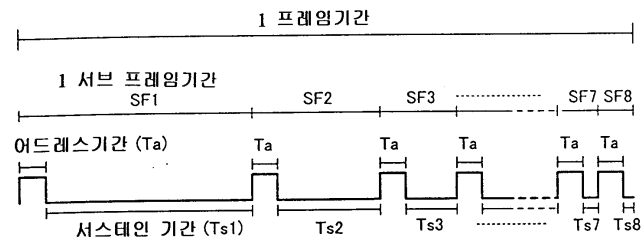
도면8



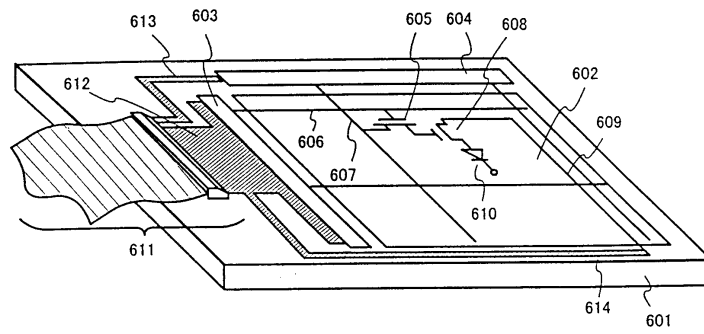
도면9



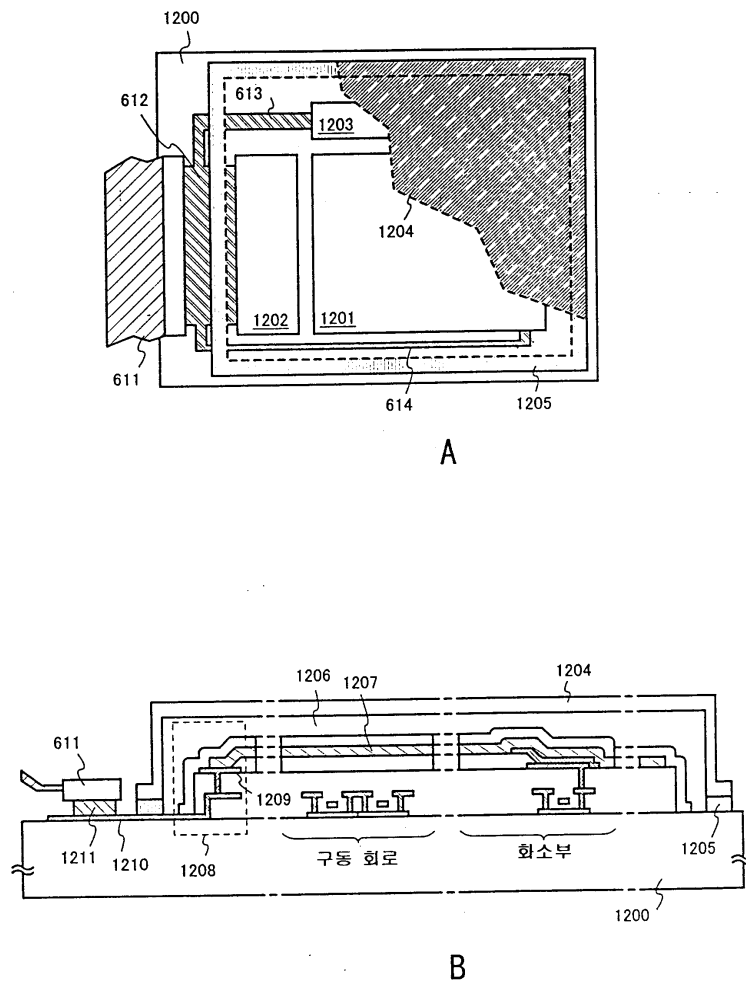
도면10



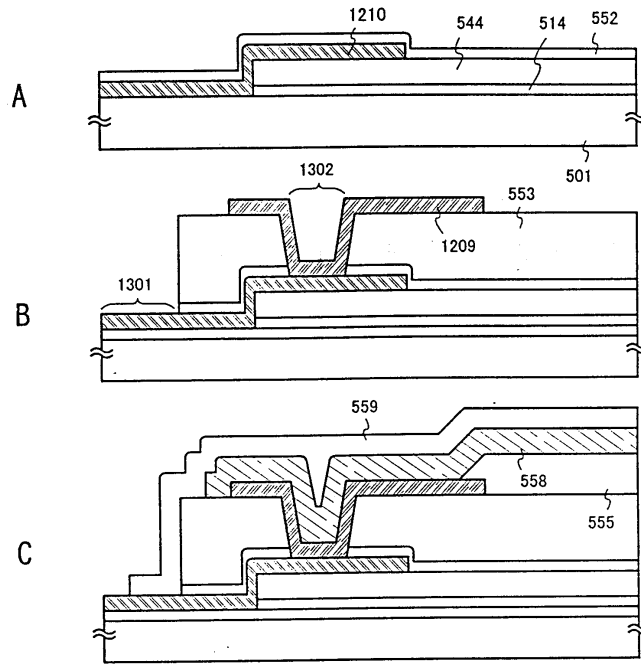
도면11



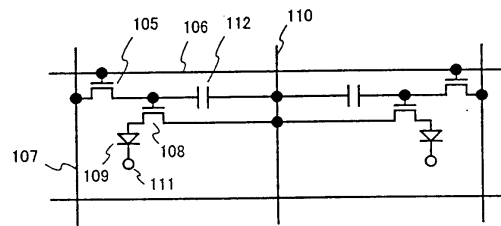
도면12



도면13

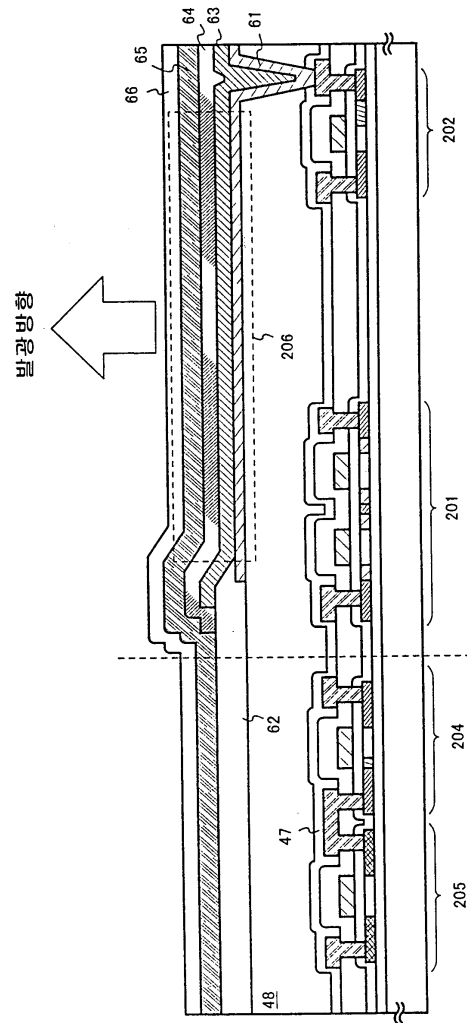


도면14

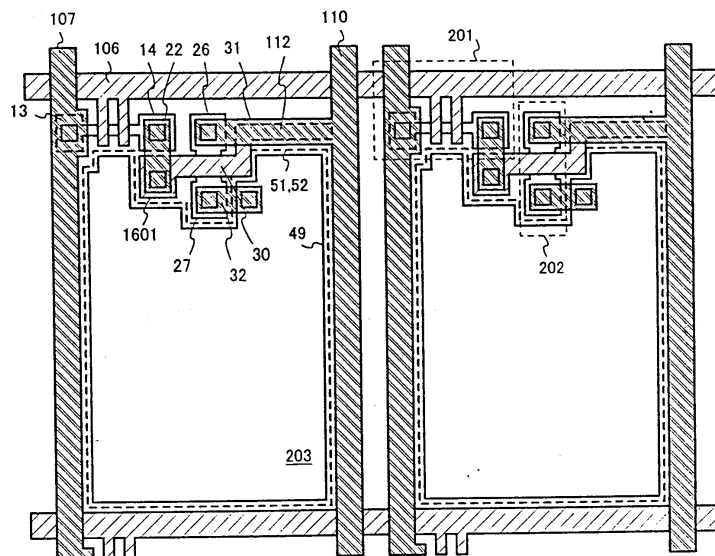




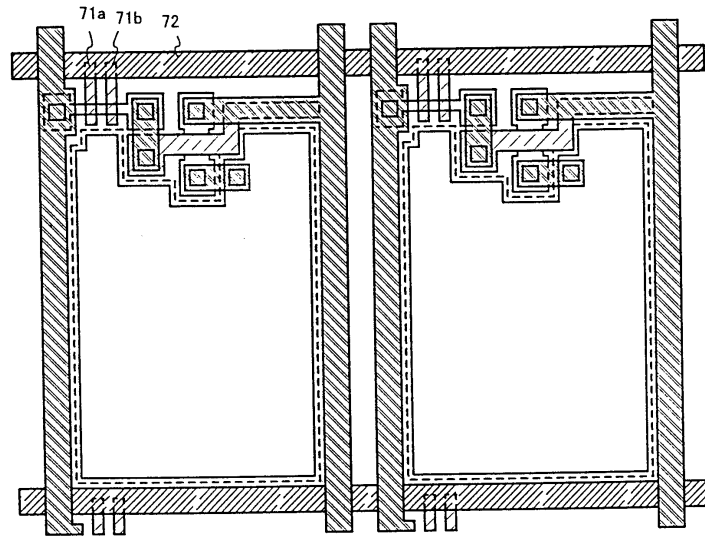
도면15



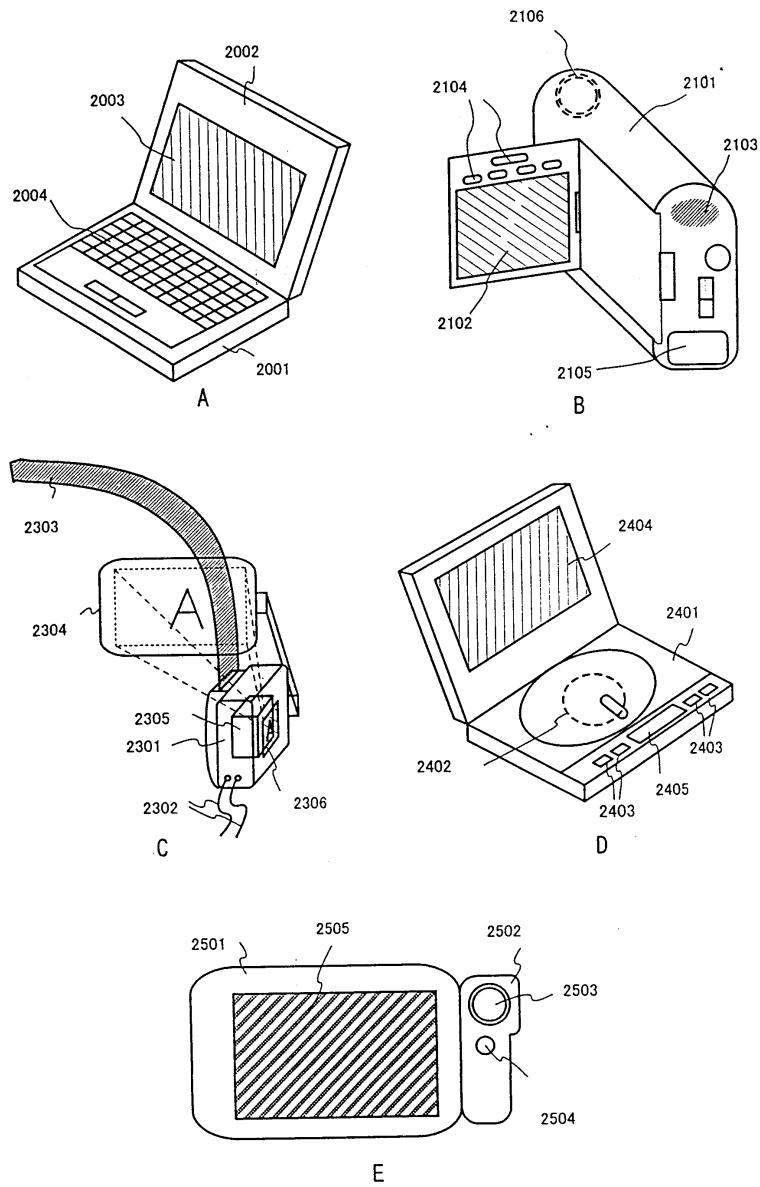
도면16



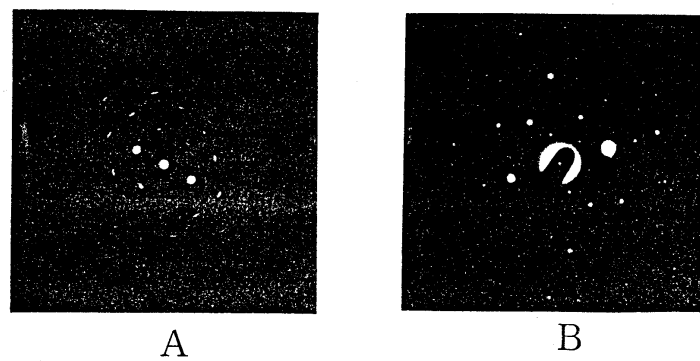
도면17



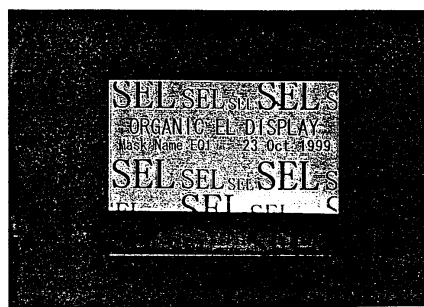
도면18



도면19



도면20



A



B