

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5164405号
(P5164405)

(45) 発行日 平成25年3月21日(2013.3.21)

(24) 登録日 平成24年12月28日(2012.12.28)

(51) Int.Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 8 1
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 6 1
HO 1 L 27/115 (2006.01)	

請求項の数 9 (全 51 頁) 最終頁に続く

(21) 出願番号	特願2007-73793 (P2007-73793)	(73) 特許権者	000153878
(22) 出願日	平成19年3月21日(2007.3.21)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2007-288177 (P2007-288177A)		神奈川県厚木市長谷398番地
(43) 公開日	平成19年11月1日(2007.11.1)	(72) 発明者	山崎 舜平
審査請求日	平成22年3月1日(2010.3.1)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2006-77894 (P2006-77894)		半導体エネルギー研究所内
(32) 優先日	平成18年3月21日(2006.3.21)	(72) 発明者	浅見 良信
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	高野 圭恵
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	古野 誠
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

一对の不純物領域の間にチャネル形成領域を有する半導体層と、
前記チャネル形成領域の上方の第1の絶縁層と、
前記第1の絶縁層の上方の第1のゲートと、
前記第1のゲートの上方の第2の絶縁層と、
前記第2の絶縁層の上方の第2のゲートと、を有し、
前記第1のゲートは、第1の層と、第2の層とを有し、
前記第1の層は、前記第1の絶縁層と接し、
前記第1の層は、ゲルマニウムと、酸素と、を有することを特徴とする不揮発性半導体
記憶装置。

10

【請求項2】

一对の不純物領域の間にチャネル形成領域を有する半導体層と、
前記チャネル形成領域の上方の第1の絶縁層と、
前記第1の絶縁層の上方の第1のゲートと、
前記第1のゲートの上方の第2の絶縁層と、
前記第2の絶縁層の上方の第2のゲートと、を有し、
前記第1のゲートは、第1の層と、第2の層とを有し、
前記第1の層は、前記第1の絶縁層と接し、
前記第1の層は、ゲルマニウムと、窒素と、を有することを特徴とする不揮発性半導体

20

記憶装置。

【請求項 3】

請求項 1 又は 2 において、

前記半導体層が有する材料のバンドギャップは、前記第 1 の層が有する材料のバンドギャップより大きいことを特徴とする不揮発性半導体記憶装置。

【請求項 4】

請求項 3 において、

前記半導体層が有する材料のバンドギャップと、前記第 1 の層が有する材料のバンドギャップとの差が 0.1 V 以上であることを特徴とする不揮発性半導体記憶装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、

前記半導体層が有する材料の電子親和力は、前記第 1 の層が有する材料の電子親和力より小さいことを特徴とする不揮発性半導体記憶装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、

前記第 1 の絶縁層は、第 3 の層と、前記第 4 の層と、を有し、

前記第 3 の層は、酸素と、シリコンと、を有し、

前記第 4 の層は、窒素と、シリコンと、を有することを特徴とする不揮発性半導体記憶装置。

【請求項 7】

請求項 6 において、

前記第 1 の層は、前記第 4 の層に接していることを特徴とする不揮発性半導体記憶装置

【請求項 8】

請求項 6 又は 7 において、

前記第 3 の層は、前記半導体層をプラズマ処理により酸化されたものであり、

前記第 4 の層は、前記第 1 の層をプラズマ処理により窒化されたものであることを特徴とする不揮発性半導体記憶装置。

【請求項 9】

請求項 1 乃至 8 のいずれか一項において、

前記第 2 の層は、シリコンと、窒素、炭素又はゲルマニウムのいずれか一と、を有することを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電氣的に書き込み、読み出し及び消去が可能な不揮発性半導体記憶装置並びにその作製方法に関する。特に当該不揮発性半導体記憶装置における浮遊ゲートの構成に関する。

【背景技術】

【0002】

データを電氣的に書き換え可能であり、電源を切ってもデータを記憶しておくことのできる不揮発性メモリの市場が拡大している。不揮発性メモリは、MOSFET (Metal Oxide Semiconductor Field effect transistor) と類似の構造を有し、電荷を長期間蓄積することのできる領域がチャネル形成領域上に設けられているところに特徴がある。この電荷蓄積領域は絶縁層上に形成され、周囲と絶縁分離されていることから浮遊ゲートとも呼ばれている。浮遊ゲートは絶縁物で囲まれて周囲とは電氣的に絶縁されているので、浮遊ゲートに電荷が注入されるとその電荷を保持し続けるという特性を持っている。浮遊ゲート上には、さらに絶縁層を介して制御ゲートと呼ばれるゲート電極を備えている。制御ゲートは、データの書き込みや読み出しの時に所定の電圧が印加されることから浮遊ゲートとは区別されている。

10	【請求項 5】
20	【請求項 6】
20	【請求項 7】
30	【請求項 9】
40	【0002】
50	【0001】

【0003】

このような構造を有する浮遊ゲート型の不揮発性メモリは、浮遊ゲートへの電荷の注入と、浮遊ゲートからの電荷の放出を電氣的に制御してデータを記憶する仕組みとなっている。具体的に、浮遊ゲートへの電荷注入及び浮遊ゲートからの電荷放出は、チャンネル形成領域が形成される半導体層と、制御ゲートの間に高電圧を印加して行われている。このときチャンネル形成領域上の絶縁層には、ファウラー-ノルドハイム(Fowler-Nordheim)型(F-N型)トンネル電流(NAND型)又は熱電子(NOR型)が流れると言われている。このことより当該絶縁層はトンネル絶縁層とも呼ばれている。

【0004】

浮遊ゲート型の不揮発性メモリは、信頼性を保証するために、浮遊ゲートに貯えた電荷を10年以上保持できる特性が要求されている。そのためトンネル絶縁層には、トンネル電流が流れる厚さで形成しつつ、電荷が漏れてしまわないように、高い絶縁性が求められている。

10

【0005】

また、トンネル絶縁層上に形成される浮遊ゲートは、チャンネル形成領域が形成される半導体層と同じ半導体材料であるシリコンで形成されている。具体的には、浮遊ゲートを多結晶シリコンで形成する方法が普及しており、例えば400nmの厚さにポリシリコン膜を堆積して形成したものが知られている(特許文献1参照)。

【特許文献1】特開2000-58685号公報(第7頁、第7図)

【発明の開示】

20

【発明が解決しようとする課題】

【0006】

不揮発性メモリの浮遊ゲートとチャンネル形成領域は同じシリコン材料で形成されるので、バンドモデルからみた伝導帯の底のエネルギーレベルは同じである。むしろ浮遊ゲートの方が、多結晶シリコンで形成され、その厚さを薄膜化しようとする、伝導帯の底のエネルギーレベルがチャンネル形成領域を形成する半導体層よりも高くなってしまふ。このような状態が形成されると、チャンネル形成領域を形成する半導体層から浮遊ゲートに電子が注入されにくくなってしまい、書き込み電圧を高くする必要がある。このため、浮遊ゲートを多結晶シリコンで形成する不揮発性メモリにおいて、書き込み電圧を少しでも下げるためには、当該浮遊ゲートにリン、ヒ素などのn型不純物を添加してフェルミ準位を伝導帯側にシフトさせる必要がある。

30

【0007】

浮遊ゲートと半導体層の間に設けるゲート絶縁層に関しては、低電圧で浮遊ゲートに電荷を注入するためには当該ゲート絶縁層の厚さを薄くする必要がある。一方、浮遊ゲートの電荷を長期間安定的に保持させるためには、電荷の漏洩を防ぐために膜厚を厚くする必要がある。

【0008】

結局、従来の不揮発性メモリは、高い書き込み電圧が必要とされている。また電荷保持特性の繰り返しの書き換えによる劣化に対しては、冗長メモリセルを設けたりコントローラを工夫して、エラー検出/エラー訂正を行うなどの対処をして信頼性を確保している。

40

【0009】

そこで本発明は、書き込み特性及び電荷保持特性に優れた不揮発性半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明は、互いに離間して形成された一对の不純物領域の間にチャンネル形成領域が設けられる半導体層と、半導体層の上層部であってチャンネル形成領域と略重なる位置に、第1の絶縁層、浮遊ゲート、第2の絶縁層、制御ゲートを有する不揮発性半導体記憶装置である。本発明において、浮遊ゲートは半導体材料を用いた複数の層で形成される。或いは、特定の半導体材料で形成される浮遊ゲートの第2の絶縁層側に接して、当該浮遊ゲートの耐

50

水性を向上させ、腐食を防止するバリア性の層を設ける。浮遊ゲートを形成する半導体材料は、チャンネル形成領域を形成する半導体層との関係において複数種の中から選択することができる。

【0011】

浮遊ゲートを形成する半導体材料として、次に示す一又は複数の条件を満たすものを選択することができる。浮遊ゲートを形成する半導体材料のバンドギャップ（「バンドギャップ」ともいう）は、半導体層のバンドギャップより小さいことが好ましい。例えば、浮遊ゲートを形成する半導体材料のバンドギャップと、半導体層のバンドギャップは、0.1 eV以上の差があって、前者の方が小さいことが好ましい。この浮遊ゲートに接して設ける第2の絶縁層のバンドギャップは、浮遊ゲートを形成する半導体材料のバンドギャップよりも大きいことが好ましい。

10

【0012】

また、該半導体材料は、半導体層を形成する材料よりも電子親和力が大きい材料で形成されていることが好ましい。該半導体材料は、第1の絶縁層により形成される半導体層の電子に対する障壁エネルギーに対し、第1の絶縁層により形成される浮遊ゲートの電子に対する障壁エネルギーが高いことが好ましい。

【0013】

浮遊ゲートを形成する半導体材料として、代表的にはゲルマニウム若しくはゲルマニウム化合物であることが好ましい。

【0014】

浮遊ゲートは電荷を蓄積する目的で、本発明に係る不揮発性半導体記憶装置に適用されるが、同様の機能を備えるものであれば、すなわち、電荷蓄積層として機能するものであれば、ゲルマニウム若しくはゲルマニウム化合物に限定されず、当該ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物、又は当該ゲルマニウム若しくはゲルマニウム化合物を含む酸化物若しくは窒化物の層で置き換えることもできる。

20

【0015】

また、ゲルマニウム若しくはゲルマニウム化合物で形成される浮遊ゲートに接する層として、シリコン若しくはシリコン化合物で形成される層を適用することが好ましい。シリコン化合物としては、窒化シリコン、窒化酸化シリコン、炭化シリコン、ゲルマニウムを10原子%未満の濃度で含むシリコンゲルマニウム、金属窒化物、金属酸化物などを適用することができる。金属窒化物としては、窒化タンタル、窒化タングステン、窒化モリブデン、窒化チタンなどを用いることができる。金属酸化物としては、酸化タンタル、酸化チタン、酸化スズなどを用いることができる。

30

【0016】

本発明に係る不揮発性半導体記憶装置において、半導体層は絶縁表面に形成され、島状に分離していることが好ましい。少なくとも、記憶素子を形成する半導体層と、ロジック回路を形成する半導体層は分割されていることが好ましい。すなわち本発明は、互いに離間して形成された一対の不純物領域の間にチャンネル形成領域を有する半導体層と、半導体層の上層部であってチャンネル形成領域と略重なる位置に、第1の絶縁層、浮遊ゲート、第2の絶縁層、制御ゲートを有する不揮発性半導体記憶装置であって、絶縁表面に半導体層が形成されたものを含んでいる。

40

【発明の効果】

【0017】

半導体層上にトンネル絶縁層として機能する第1の絶縁層を介して浮遊ゲートを形成する場合に、少なくともゲルマニウムを含む半導体材料で浮遊ゲートを形成することにより、半導体層から浮遊ゲートへの電荷を注入しやすくし、浮遊ゲートにおける電荷保持特性を向上させることができる。さらに、浮遊ゲートに接して半導体材料若しくは、当該浮遊ゲートの耐水性を向上させ腐食を防止するバリア性の層を設けることにより、浮遊ゲートの劣化を抑制することができる。

【0018】

50

また、シリコンと近い性質の材料を用いて浮遊ゲートを形成することにより、生産性を損なうことなく特性の優れた不揮発性半導体記憶装置を製造することができる。ゲルマニウムはシリコンと同じ元素周期表第14族の材料であり、半導体であるので、製造設備に負担を強いることなく、薄膜の微細加工を行うことができる。

【発明を実施するための最良の形態】

【0019】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる場合がある。

10

【0020】

図1は本発明に係る不揮発性半導体記憶装置の主要な構成を説明するための断面図である。図1は、特に不揮発性メモリ素子の要部を示している。この不揮発性メモリ素子は、絶縁表面を有する基板10を用いて作製されている。絶縁表面を有する基板10としては、ガラス基板、石英基板、サファイア基板、セラミック基板、表面に絶縁層が形成された金属基板などを用いることができる。

【0021】

この絶縁表面を有する基板10上に半導体層14が形成されている。基板10と半導体層14の間には、下地絶縁層12を設けても良い。この下地絶縁層12は、基板10から半導体層14へアルカリ金属などの不純物が拡散して汚染することを防ぐものであり、ブロッキング層として適宜設ければ良い。

20

【0022】

下地絶縁層12としては、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xN_y 、 $(x > y)$)、窒化酸化シリコン(SiN_xO_y 、 $(x > y)$)等の絶縁材料を用いて形成する。例えば、下地絶縁層12を2構造とする場合、第1層目の絶縁膜として窒化酸化シリコン膜を形成し、第2層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。

【0023】

半導体層14は、単結晶半導体又は多結晶半導体で形成されたものを用いることが好ましい。例えば、基板10上にスパッタリング法、プラズマCVD法若しくは減圧CVD法によって基板10の全面に形成された半導体層を結晶化させた後、選択的にエッチングして半導体層14を形成することができる。すなわち、素子分離の目的から、絶縁表面に島状の半導体層を形成し、該半導体層に一又は複数の不揮発性メモリ素子を形成することが好ましい。半導体材料としては、シリコンが好ましく、その他にシリコンゲルマニウム半導体を用いることもできる。半導体膜の結晶化法としては、レーザー結晶化法、瞬間熱アニール(RTA)又はファーネスアニール炉を用いた熱処理による結晶化法、結晶化を助長する金属元素を用いる結晶化法又はこれら方法を組み合わせて行う方法を採用することができる。また、このような薄膜プロセスに換えて、絶縁表面に単結晶半導体層を形成した

30

40

【0024】

このように、絶縁表面に形成された半導体層を島状に分離形成することで、同一基板上にメモリ素子アレイと周辺回路を形成した場合にも、有効に素子分離をすることができる。すなわち、10V乃至20V程度の電圧で書き込みや消去を行う必要のあるメモリ素子アレイと、3V乃至7V程度の電圧で動作してデータの入出力や命令の制御を主として行う周辺回路を同一基板上に形成した場合でも、各素子に印加する電圧の違いによる相互の干渉を防ぐことができる。

【0025】

半導体層14にはp型不純物が注入されていても良い。p型不純物として、例えばホウ素

50

が用いられ、 $5 \times 10^{15} \text{ atoms/cm}^3$ 乃至 $1 \times 10^{16} \text{ atoms/cm}^3$ 程度の濃度で添加されていても良い。これは、トランジスタのしきい値電圧を制御するためのものであり、チャネル形成領域に添加されることで有効に作用する。チャネル形成領域は、後述するゲート26と略一致する領域に形成されるものであり、半導体層14の一对の不純物領域18の間に位置するものである。

【0026】

一对の不純物領域18は不揮発性メモリ素子においてソース及びドレインとして機能する領域である。一对の不純物領域18はn型不純物であるリン若しくはヒ素を $1 \times 10^{19} \text{ atoms/cm}^3$ 乃至 $1 \times 10^{21} \text{ atoms/cm}^3$ 程度の濃度で添加することで形成される。

10

【0027】

半導体層14上には第1の絶縁層16、浮遊ゲート電極20、第2の絶縁層22、制御ゲート電極24が形成されるが、本明細書では、浮遊ゲート電極20から制御ゲート電極24まで積層構造をゲート26と呼ぶことがある。

【0028】

第1の絶縁層16は酸化シリコン若しくは酸化シリコンと窒化シリコンの積層構造で形成する。第1の絶縁層16は、プラズマCVD法や減圧CVD法により絶縁膜を堆積することで形成しても良いが、好ましくはプラズマ処理による固相酸化若しくは固相窒化で形成すると良い。半導体層(代表的にはシリコン層)を、プラズマ処理により酸化又は窒化することにより形成される絶縁層は、緻密で絶縁耐圧が高く信頼性に優れているためである。第1の絶縁層16は、浮遊ゲート電極20に電荷を注入するためのトンネル絶縁層として用いるので、緻密で絶縁耐圧が高く信頼性に優れているものが好ましい。この第1の絶縁層16は1nm以上20nm以下の、好ましくは3nm以上6nm以下のの厚さに形成することが好ましい。例えば、ゲート長を600nmとする場合、第1の絶縁層16は3nm以上6nm以下のの厚さに形成することができる。

20

【0029】

プラズマ処理による固相酸化処理若しくは固相窒化処理として、マイクロ波(代表的には2.45GHz)で励起され、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下、且つ電子温度が0.5eV以上1.5eV以下のプラズマを利用することが好ましい。固相酸化処理若しくは固相窒化処理において、500以下の温度において、緻密な絶縁膜を形成すると共に実用的な反応速度を得るためである。

30

【0030】

このプラズマ処理により半導体層14の表面を酸化する場合には、酸素雰囲気下(例えば、酸素(O_2)又は一酸化二窒素(N_2O)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下、若しくは酸素又は一酸化二窒素と水素(H_2)と希ガス雰囲気下)で行う。また、プラズマ処理により窒化をする場合には、窒素雰囲気下(例えば、窒素(N_2)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下、窒素と水素と希ガス雰囲気下、若しくは NH_3 と希ガス雰囲気下)でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。

40

【0031】

図15にプラズマ処理を行うための装置の構成例を示す。このプラズマ処理装置は、基板10を配置するための支持台88と、ガスを導入するためのガス供給部84、ガスを排気するために真空ポンプに接続する排気口86、アンテナ80、誘電体板82、プラズマ発生用のマイクロ波を供給するマイクロ波供給部92を有している。また、支持台88に温度制御部90を設けることによって、基板10の温度を制御することも可能である。

【0032】

以下に、プラズマ処理について説明する。なお、プラズマ処理とは、半導体層、絶縁層、導電層に対する酸化処理、窒化処理、酸化窒化処理、水素化処理、表面改質処理を含んでいる。これらの処理は、その目的に応じて、ガス供給部84から供給するガスを選択すれ

50

ば良い。

【0033】

酸化処理若しくは窒化処理を行うには以下のようにすれば良い。まず、処理室内を真空にし、ガス供給部84から酸素又は窒素を含むプラズマ処理用ガスを導入する。基板10は室温若しくは温度制御部90により100乃至550に加熱する。なお、基板10と誘電体板82との間隔は、20mm乃至80mm(好ましくは20mm乃至60mm)程度である。次に、マイクロ波供給部92からアンテナ80にマイクロ波を供給する。そしてマイクロ波をアンテナ80から誘電体板82を通して処理室内に導入することによって、プラズマ94を生成する。マイクロ波の導入によりプラズマの励起を行うと、低電子温度(3eV以下、好ましくは1.5eV以下)で高電子密度($1 \times 10^{11} \text{ cm}^{-3}$ 以上)のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル(OHラジカルを含む場合もある)及び/又は窒素ラジカル(NHラジカルを含む場合もある)によって、半導体層の表面を酸化及び/又は窒化することができる。プラズマ処理用ガスにアルゴンなどの希ガスを混合させると、希ガスの励起種により酸素ラジカルや窒素ラジカルを効率良く生成することができる。この方法は、プラズマで励起した活性なラジカルを有効に使うことにより、500以下の低温で固相反応による酸化、窒化若しくは酸化窒化を行うことができる。

10

【0034】

図1において、プラズマ処理により形成される好適な第1の絶縁層16の一例は、酸素雰囲気下のプラズマ処理により半導体層14を3nm以上6nm以下の厚さで酸化シリコン層16aを形成し、その後窒素雰囲気下でその酸化シリコン層の表面を窒化して窒化シリコン層16bを形成した積層構造がである。半導体層14の代表例としてシリコン材料が適用される場合、そのシリコン層の表面をプラズマ処理で酸化することにより、界面に歪みのない緻密な酸化膜を形成することができる。また、当該酸化膜をプラズマ処理で窒化することで、表層部の酸素を窒素に置換して窒化層を形成すると、さらに緻密化することができる。それにより絶縁耐圧が高い絶縁層を形成することができる。

20

【0035】

いずれにしても、上記のようなプラズマ処理による固相酸化処理若しくは固相窒化処理を用いることで、耐熱温度が700以下のガラス基板を用いても、950乃至1050で形成される熱酸化膜と同等な絶縁層を得ることができる。すなわち、不揮発性メモリ素子のトンネル絶縁層として信頼性の高いトンネル絶縁層を形成することができる。

30

【0036】

浮遊ゲート電極20は第1の絶縁層16上に形成される。この浮遊ゲート電極20は、第1の浮遊ゲート電極20aと第2の浮遊ゲート電極20bにより形成されている。勿論、この二層構造に限定されず、複数の層を積層して設ければ良い。しかしながら、第1の絶縁層16に接して形成される第1の浮遊ゲート電極20aは半導体材料で形成することが好ましく、次に示す一又は複数の条件を満たすものを選択することができる。

【0037】

第1の浮遊ゲート電極20aを形成する半導体材料のバンドギャップが、半導体層14のバンドギャップより小さいことが好ましい。例えば、第1の浮遊ゲート電極20aを形成する半導体材料のバンドギャップと、半導体層14のバンドギャップは、0.1eV以上の差があって、前者の方が小さいことが好ましい。半導体層14の伝導帯の底のエネルギーレベルより、浮遊ゲート電極20の伝導帯の底のエネルギーレベルを低くすることにより、電荷(電子)の注入性を向上させ、電荷保持特性を向上させるためである。

40

【0038】

第1の浮遊ゲート電極20aを形成する半導体材料は、半導体層14を形成する材料よりも電子親和力が大きい材料であることが好ましい。半導体層14の伝導帯の底のエネルギーレベルより、第1の浮遊ゲート電極20aの伝導帯の底のエネルギーレベルを低くすることにより、電荷(電子)の注入性を向上させ、電荷保持特性を向上させるためである。電子親和力は半導体の場合、伝導帯の底から真空までのエネルギー差である。

50

【0039】

第1の浮遊ゲート電極20aを形成する半導体材料は、第1の絶縁層16により形成される半導体層14の電子に対する障壁エネルギーに対し、第1の絶縁層16により形成される第1の浮遊ゲート電極20aの電子に対する障壁エネルギーが高くなるものであることが好ましい。半導体層14から第1の浮遊ゲート電極20aへの電荷(電子)を注入しやすくし、第1の浮遊ゲート電極20aから電荷が消失することを防ぐためである。

【0040】

このような条件を満たすものとして、代表的にはゲルマニウム若しくはゲルマニウム化合物で第1の浮遊ゲート電極20aを形成することができる。ゲルマニウム化合物の代表例としては、シリコンゲルマニウムであり、この場合シリコンに対してゲルマニウムが10原子%以上含まれていることが好ましい。ゲルマニウムの濃度が10原子%未満であると、構成元素としての効果が薄れ、バンドギャップが有効に小さくならないためである。

10

【0041】

勿論、第1の浮遊ゲート電極20aを形成するものとして同様な効果を発現するものであれば、他の材料を適用することもできる。例えば、ゲルマニウムを含む三元系の半導体材料を適用することができる。当該半導体材料が水素化されていても良い。また、不揮発性メモリ素子の電荷蓄積層としての機能を持つものとして、当該ゲルマニウム若しくはゲルマニウム化合物の酸化物若しくは窒化物、又は当該ゲルマニウム若しくはゲルマニウム化合物を含む酸化物若しくは窒化物の層で置き換えることもできる。

【0042】

第1の浮遊ゲート電極20aに接して、第2の絶縁層22側に設ける第2の浮遊ゲート電極20bは、シリコン若しくはシリコン化合物で形成される層を適用することが好ましい。シリコン化合物としては、窒化シリコン、窒化酸化シリコン、炭化シリコン、ゲルマニウムを10原子%未満の濃度で含むシリコンゲルマニウム、金属窒化物、金属酸化物などを適用することができる。このように第2の浮遊ゲート電極20bを、第1の浮遊ゲート電極20aよりもバンドギャップの大きな材料で形成することにより、浮遊ゲートに蓄積する電荷が第2の絶縁層22側にリークするのを防ぐことができる。また、第2の浮遊ゲート電極20bを形成するものとして、金属窒化物又は金属酸化物を用いることができる。金属窒化物としては、窒化タンタル、窒化タングステン、窒化モリブデン、窒化チタンなどを用いることができる。金属酸化物としては、酸化タンタル、酸化チタン、酸化スズなどを用いることができる。

20

【0043】

いずれにしても、上記したシリコン若しくはシリコン化合物、金属窒化物又は金属酸化物の第2の層は、ゲルマニウム若しくはゲルマニウム化合物で形成される第1の層の上層側に設けることにより、製造工程においては、耐水性や耐薬品性を目的としたバリア層として用いることができる。それにより、フォトリソ工程、エッチング工程、洗浄工程における基板の扱いが容易となり、生産性を向上させることができる。すなわち、浮遊ゲートの加工を容易なものとすることができる。

30

【0044】

第2の絶縁層22は、酸化シリコン、酸化窒化シリコン(SiO_xN_y 、($x > y$))、窒化シリコン(SiN_x)又は窒化酸化シリコン(SiN_xO_y 、($x > y$))、酸化アルミニウム(Al_xO_y)などの一層若しくは複数層を、減圧CVD法やプラズマCVD法などで形成する。第2の絶縁層22の厚さは1nm以上20nm以下の、好ましくは5nm以上10nm以下で形成すると良い。例えば、窒化シリコン層22aを3nmの厚さに堆積し、酸化シリコン層22bの厚さを5nmの厚さに堆積したものをを用いることができる。また、第2の浮遊ゲート電極20bにプラズマ処理を行い、その表面を窒化処理した窒化膜(例えば、第2の浮遊ゲート電極20bとしてシリコンを用いた場合には窒化シリコン)を形成してもよい。いずれにしても、第1の絶縁層16と第2の絶縁層22が、浮遊ゲート電極20と接する側の一方又は双方を窒化膜若しくは窒化処理された層とすることで、浮遊ゲート電極20の酸化を防ぐことができる。

40

50

【 0 0 4 5 】

制御ゲート電極 2 4 はタンタル (T a)、タングステン (W)、チタン (T i)、モリブデン (M o)、クロム (C r)、ニオブ (N b) 等から選択された金属、又はこれらの金属を主成分とする合金材料若しくは化合物材料で形成することが好ましい。また、リン等の不純物元素を添加した多結晶シリコンを用いることができる。また、一層又は複数層の金属窒化物層 2 4 a と上記の金属層 2 4 b の積層構造で制御ゲート電極 2 4 を形成しても良い。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物層 2 4 a を設けることにより、金属層 2 4 b の密着性を向上させることができ、剥離を防止することができる。また、窒化タンタルなどの金属窒化物は仕事関数が高いので、第 2 の絶縁層 2 2 との相乗効果により、第 1 の絶縁層 1 6 の厚さを厚くすることができる。

10

【 0 0 4 6 】

図 1 に示す不揮発性メモリ素子の動作メカニズムを、バンド図を参照して説明する。以下に示すバンド図において、図 1 と同じ要素には同じ符号を付している。

【 0 0 4 7 】

図 2 は半導体層 1 4、第 1 の絶縁層 1 6、浮遊ゲート電極 2 0、第 2 の絶縁層 2 2、制御ゲート電極 2 4 が積層された状態を示している。図 2 は制御ゲート電極 2 4 に電圧を印加していない場合であって、半導体層 1 4 のフェルミ準位 E_f と制御ゲート電極 2 4 のフェルミ準位 E_{fm} が等しい場合を示している。

【 0 0 4 8 】

第 1 の絶縁層 1 6 を挟んで、半導体層 1 4 と浮遊ゲート電極 2 0 の内、少なくとも第 1 の浮遊ゲート電極 2 0 a は異なる材料で形成している。半導体層 1 4 のバンドギャップ E_g1 (伝導帯の下端 E_c と価電子帯の上端 E_v のエネルギー差) と第 1 の浮遊ゲート電極 2 0 a のバンドギャップ E_g2 は異なるものとし、後者のバンドギャップは小さくなるように組み合わせている。例えば、半導体層 1 4 としてシリコン (1 . 1 2 e V)、第 1 の浮遊ゲート電極 2 0 a としてゲルマニウム (0 . 7 2 e V) 又はシリコンゲルマニウム (0 . 7 3 e V 乃至 1 . 0 e V) を組み合わせることができる。また、第 2 の浮遊ゲート電極 2 0 b として多結晶シリコンを用いた場合には、第 1 の浮遊ゲート電極 2 0 a よりもバンドギャップが大きくなる。このバンドギャップの差は、第 1 の絶縁層 1 6 を通して第 1 の浮遊ゲート電極 2 0 a に注入されたキャリアに対する障壁となる。それにより、注入されたキャリアが第 2 の絶縁層 2 2 側にリークして、その界面にトラップされてしまうのを防ぐことができる。

20

30

【 0 0 4 9 】

なお、第 1 の絶縁層 1 6 は酸化シリコン層 1 6 a (約 8 e V) と、当該酸化シリコンをプラズマ処理により窒化した窒化シリコン層 1 6 b (約 5 e V) で示してしている。また、第 2 の絶縁層 2 2 も、浮遊ゲート電極 2 0 側から、窒化シリコン層 2 2 a と酸化シリコン層 2 2 b が積層した状態を示している。

【 0 0 5 0 】

真空準位を 0 e V とすると、シリコンの伝導帯のエネルギーレベルは - 4 . 0 5 e V であり、ゲルマニウムの伝導帯のエネルギーレベルは - 4 . 1 e V である。また酸化シリコンの伝導帯のエネルギーレベルは - 0 . 9 e V である。従って、このような半導体層 1 4 と第 1 の浮遊ゲート電極 2 0 a の組み合わせによって、第 1 の絶縁層 1 6 により形成される半導体層 1 4 の電子に対する障壁エネルギー (B_{e1}) に対し、第 1 の絶縁層 1 6 により形成される第 1 の浮遊ゲート電極 2 0 a の電子に対する障壁エネルギー (B_{e2}) を高くすることができる。すなわち、電子に対するエネルギー障壁、すなわち第 1 障壁 B_{e1} と第 2 障壁 B_{e2} は異なる値となり、 $B_{e2} > B_{e1}$ の関係を持たせることができる。

40

【 0 0 5 1 】

また、このような状況において、半導体層 1 4 としてシリコンのバンドギャップ E_g1 と、第 1 の浮遊ゲート電極 2 0 a としてゲルマニウムのバンドギャップ E_g2 は、 $E_g1 > E_g2$ の関係を満たしている。さらに上記したように電子親和力を考慮すると、半導体層

50

14と浮遊ゲート電極20の伝導帯の底のエネルギーレベルのエネルギー差 E が発生する。後述するように、このエネルギー差 E は、半導体層14から浮遊ゲート電極20に電子を注入するとき、電子を加速する方向に作用するので、書き込み電圧を低下させるのに寄与する。

【0052】

比較のために、半導体層と浮遊ゲート電極を同じ半導体材料で形成した場合のバンド図を図16に示す。このバンド図は、半導体層01、第1の絶縁層02、浮遊ゲート電極03、第2の絶縁層04、制御ゲート電極05が順次積層された状態を示している。半導体層01と浮遊ゲート電極03を同じシリコン材料で形成した場合でも、浮遊ゲート電極03を薄く形成するとバンドギャップが異なってくる。図16では、半導体層01のバンドギャップを E_{g1} 、浮遊ゲート電極03のバンドギャップを E_{g2} で示している。例えば、シリコンでは薄膜化すると、バンドギャップがバルクの 1.12 eV から 1.4 eV 程度まで増大すると言われている。それにより、半導体層01と浮遊ゲート電極03の間には、電子の注入を遮る方向に $-E$ のエネルギー差が生じてしまう。このような状況では、半導体層01から浮遊ゲート電極03に電子を注入するために高電圧が必要になってしまう。すなわち、書き込み電圧を下げるために、浮遊ゲート電極03をバルクシリコン並に厚く形成するか、 n 型不純物としてリンやヒ素を高濃度にドーピングする必要がある。このことは、従来の不揮発性メモリにおける欠陥である。

10

【0053】

ところで、浮遊ゲート電極20に電子を注入するには、熱電子を利用する方法と、 $F-N$ 型トンネル電流を利用する方法がある。熱電子を利用する場合には、正の電圧を制御ゲート電極24印加して、ドレインに高電圧を印加して熱電子を発生させる。それにより、熱電子を浮遊ゲート電極20に注入することができる。 $F-N$ 型トンネル電流を利用する場合には、正の電圧を制御ゲート電極24印加して半導体層14から $F-N$ 型トンネル電流により浮遊ゲート電極20に注入する。

20

【0054】

図6(A)は $F-N$ 型トンネル電流により浮遊ゲート電極20に注入するときの印加電圧を示している。制御ゲート電極24に正の高電圧 (10 V 乃至 20 V) を印加すると共に、ソース領域18aとドレイン領域18bは 0 V としておく。このときのバンド図は図3に示すようになる。高電界により半導体層14の電子は第1の絶縁層16に注入され、 $F-N$ 型トンネル電流が流れる。図2で説明したように、半導体層14のバンドギャップ E_{g1} と、浮遊ゲート電極20のバンドギャップ E_{g2} の関係は、 $E_{g1} > E_{g2}$ である。この差が自己バイアスとして、半導体層14のチャネル形成領域より注入された電子を浮遊ゲート電極の方に加速するように作用する。それにより、電子の注入性を向上させることができる。

30

【0055】

浮遊ゲート電極20の伝導帯の底のエネルギーレベルは、半導体層14の伝導帯の底のエネルギーレベルに対して電子エネルギー的に E だけ低い準位にある。そのため電子が浮遊ゲート電極20に注入されるに当たっては、このエネルギー差に起因する内部電界が作用する。これは、上記したような半導体層14と浮遊ゲート電極20の組み合わせによって実現する。すなわち、半導体層14から浮遊ゲート電極20へ電子を注入しやすくなり、不揮発性メモリ素子における書き込み特性を向上させることができる。この作用は、熱電子を利用して浮遊ゲート電極20に電子を注入する場合にも同様である。

40

【0056】

浮遊ゲート電極20に電子が保持されている間は、不揮発性メモリ素子のしきい値電圧は正の方向にシフトする。この状態を、データ"0"が書き込まれた状態とすることができる。図4は、電荷保持状態のバンド図を示している。浮遊ゲート電極20のキャリアは、第1の絶縁層16と第2の絶縁層22に挟まれていることにより、エネルギー的に閉じこめられた状態にある。浮遊ゲート電極20に蓄積するキャリア(電子)によりポテンシャルは上がるが、障壁エネルギーを超えるエネルギーが電子に付与されない限り浮遊ゲート

50

電極 20 から電子は放出されないことになる。すなわち、150 の恒温放置による信頼性試験においても、浮遊ゲート電極に蓄積されたキャリアを保持することができる。

【0057】

より詳細には、第1の浮遊ゲート電極 20 a のキャリアは、第1の絶縁層 16 と第2の浮遊ゲート電極 20 b の間にエネルギー的に閉じこめられた状態と言える。この状態により、注入されたキャリアが第2の絶縁層 22 側にリークして、その界面にトラップされてしまうのを防ぐことができる。すなわち、消去動作において、浮遊ゲート領域に注入されたキャリアが残留して消去不良になってしまうのを防ぐことができる。尤も、第2の浮遊ゲート電極 20 b も浮遊ゲートとしてキャリアを蓄積する能力があるので、第1の浮遊ゲート電極 20 a を補って浮遊ゲートとして機能することができる。

10

【0058】

いずれにしても、この場合、障壁エネルギーを超えるエネルギーが電子に付与されない限り浮遊ゲート電極 20 から電子は放出されないことになる。また、浮遊ゲート電極 20 の伝導帯の底のエネルギーレベルは、半導体層 14 の伝導帯の底のエネルギーレベルに対して電子エネルギー的に E だけ低い準位にあり、電子に対してエネルギー的な障壁が形成される。この障壁により、トンネル電流によって半導体層 14 に電子が流出してしまうのを防ぐことができる。

【0059】

データ "0" が書き込まれた状態を検出するには、中間電位 V_{read} を制御ゲート電極 24 に印加したときに、トランジスタがオンにならないことを回路によって判別すれば良い。中間電位とは、データ "1" におけるしきい値電圧 V_{th1} と、データ "0" におけるしきい値電圧 V_{th2} の中間の電位である（この場合、 $V_{th1} < V_{read} < V_{th2}$ ）。又は、図 6 (B) に示すようにソース領域 18 a とドレイン領域 18 b 間にバイアスを印加して、制御ゲート電極 24 を 0 V としたときに不揮発性メモリ素子が導通するかどうかで判断することができる。

20

【0060】

図 7 (A) は浮遊ゲート電極 20 から電荷を放出させ、不揮発性メモリ素子からデータを消去する状態を示している。この場合、制御ゲート電極 24 に負のバイアスを印加して、半導体層 14 と浮遊ゲート電極 20 の間に F - N 型トンネル電流を流すことにより行う。或いは、図 7 (B) に示すように、制御ゲート電極 24 に負のバイアスを印加し、ソース領域 18 a に正の高電圧を印加することにより、F - N 型トンネル電流を発生させ、ソース領域 18 a 側に電子を引き抜いても良い。

30

【0061】

図 5 は、この消去状態のバンド図を示している。消去動作では、第1の絶縁層 16 を薄く形成することができるので、F - N 型トンネル電流により浮遊ゲート電極 20 の電子を半導体層 14 側に放出させることができる。また、半導体層 14 のチャネル形成領域から正孔がより注入されやすく、浮遊ゲート電極 20 に注入することにより、実質的な消去動作をすることができる。

【0062】

浮遊ゲート電極 20 をゲルマニウム若しくはゲルマニウム化合物で形成することにより、第1の絶縁層 16 の厚さを薄くすることができる。それにより、トンネル電流によって第1の絶縁層 16 を介して電子を浮遊ゲート電極 20 に注入することが容易となり、低電圧動作が可能となる。さらに、低エネルギーレベルで電荷を保存することが可能になり、電荷を安定した状態で保存できるという有意な効果を奏することができる。

40

【0063】

本発明に係る不揮発性メモリ素子では、図 2、図 3 で示すように、半導体層 14 と浮遊ゲート電極 20 の間で $E_{g1} > E_{g2}$ として自己バイアスが生じるように構成している。この関係は極めて重要であり、半導体層のチャネル形成領域から浮遊ゲート電極にキャリアを注入するときに、注入しやすくするように作用する。すなわち、書き込み電圧の低電圧化を図ることができる。逆に浮遊ゲート電極からキャリアを放出させにくくしている。こ

50

のことは、不揮発性メモリ素子の記憶保持特性を向上させるように作用する。また、浮遊ゲート電極としてのゲルマニウム層にn型不純物をドーピングすることにより、伝導帯の底のエネルギーレベルをさらに下げることが出来、よりキャリアを浮遊ゲート電極に注入しやすくするように自己バイアスを作用させることができる。すなわち、書き込み電圧を下げ、不揮発性メモリ素子の記憶保持特性を向上させることができる。

【0064】

以上説明したように、本発明に係る不揮発性メモリ素子は、半導体層から浮遊ゲート電極へ電荷を注入しやすくすることができ、浮遊ゲート電極から電荷が消失することを防ぐことができる。つまり、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることが可能となる。

10

【0065】

このような不揮発性メモリ素子を用いて、様々な態様の不揮発性半導体記憶装置を得ることができる。図8に不揮発性メモリセルアレイの等価回路の一例を示す。1ビットの情報を記憶するメモリセルMS01は、選択トランジスタS01と不揮発性メモリ素子M01で構成されている。選択トランジスタS01は、ビット線BL0と不揮発性メモリ素子M01の間に直列に挿入され、ゲートがワード線WL1に接続されている。不揮発性メモリ素子M01のゲートはワード線WL11に接続されている。不揮発性メモリ素子M01にデータの書き込むときは、ワード線WL1とビット線BL0をHレベル、BL1をLレベルとして、ワード線WL11に高電圧を印加すると、前述のように浮遊ゲートに電荷が蓄積される。データを消去する場合には、ワード線WL1とビット線BL0をHレベルとし、ワード線WL11に負の高電圧を印加すれば良い。

20

【0066】

このメモリセルMS01において、選択トランジスタS01と不揮発性メモリ素子M01をそれぞれ、絶縁表面に島状に分離して形成された半導体層30、32で形成することにより、素子分離領域を特設しなくても、他の選択トランジスタ若しくは不揮発性メモリ素子との干渉を防ぐことができる。また、メモリセルMS01内の選択トランジスタS01と不揮発性メモリ素子M01は共にnチャネル型なので、この両者を一つの島状に分離した半導体層で形成することにより、この二つの素子を接続する配線を省略することができる。

【0067】

図9は、ビット線に不揮発性メモリ素子を直接接続したNOR型の等価回路を示している。このメモリセルアレイは、ワード線WLとビット線BLが互いに交差して配設し、各交差部に不揮発性メモリ素子を配置している。NOR型は、個々の不揮発性メモリ素子のドレインをビット線BLに接続する。ソース線SLには不揮発性メモリ素子のソースが共通接続される。

30

【0068】

この場合もこのメモリセルMS01において、不揮発性メモリ素子M01を絶縁表面に島状に分離して形成された半導体層32で形成することにより、素子分離領域を特設しなくても、他の不揮発性メモリ素子との干渉を防ぐことができる。また、複数の不揮発性メモリ素子(例えば、図9に示すM01乃至M23)を一つのブロックとして扱い、これらの不揮発性メモリ素子を一つの島状に分離した半導体層で形成することにより、ブロック単位で消去動作を行うことができる。

40

【0069】

NOR型の動作は、例えば、次の通りである。データ書き込みは、ソース線SLを0Vとし、データを書き込むために選択されたワード線WLに高電圧を与え、ビット線BLにはデータ"0"と"1"に応じた電位を与える。例えば、"0"と"1"に対してそれぞれHレベル、Lレベルの電位をビット線BLに付与する。"0"データを書き込むべく、Hレベルが与えられた不揮発性メモリ素子ではドレイン近傍でホットエレクトロンが発生し、これが浮遊ゲートに注入される。"1"データの場合この様な電子注入は生じない。

【0070】

50

“ 0 ” データが与えられたメモリセルでは、ドレインとソースとの間の強い横方向電界により、ドレインの近傍でホットエレクトロンが生成され、これが浮遊ゲートに注入される。これにより、浮遊ゲートに電子が注入されてしきい値電圧が高くなった状態が “ 0 ” である。 “ 1 ” データの場合はホットエレクトロンが生成されず、浮遊ゲートに電子が注入されずしきい値電圧の低い状態、すなわち消去状態が保持される。

【 0 0 7 1 】

データを消去するときは、ソース線 S L に 1 0 V 程度の正の電圧を印加し、ビット線 B L は浮遊状態としておく。そしてワード線 W L に負の高電圧を印加して（制御ゲートに負の高電圧を印加して）、浮遊ゲートから電子を引き抜く。これにより、データ “ 1 ” の消去状態になる。

10

【 0 0 7 2 】

データ読み出しは、ソース線 S L を 0 V にすると共にビット線 B L を 0 . 8 V 程度とし、選択されたワード線 W L に、データ “ 0 ” と “ 1 ” のしきい値の中間値に設定された読み出し電圧を与え、不揮発性メモリ素子の電流引き込みの有無を、ビット線 B L に接続されるセンスアンプで判定することにより行う。

【 0 0 7 3 】

図 1 0 は、N A N D 型メモリセルアレイの等価回路を示す。ビット線 B L には、複数の不揮発性メモリ素子を直列に接続した N A N D セル N S 1 が接続されている。複数の N A N D セルが集まってブロック B L K を構成している。図 1 0 で示すブロック B L K 1 のワード線は 3 2 本である（ワード線 W L 0 乃至 L W 3 1 ）。ブロック B L K 1 の同一行に位置する不揮発性メモリ素子には、この行に対応するワード線が共通接続されている。

20

【 0 0 7 4 】

この場合、選択トランジスタ S 1、S 2 と不揮発性メモリ素子 M 0 乃至 M 3 1 が直列に接続されているので、これらを一つのまとまりとして一つの半導体層 3 4 で形成しても良い。それにより不揮発性メモリ素子を繋ぐ配線を省略することが出来るので、集積化を図ることができる。また、隣接する N A N D セルとの分離を容易に行うことができる。また、選択トランジスタ S 1、S 2 の半導体層 3 6 と N A N D セルの半導体層 3 8 を分離して形成しても良い。不揮発性メモリ素子 M 0 乃至 M 3 1 の浮遊ゲートから電荷を引き抜く消去動作を行うときに、その N A N D セルの単位で消去動作を行うことができる。また、一つのワード線に共通接続する不揮発性メモリ素子（例えば M 3 0 の行）を一つの半導体層 4 0 で形成しても良い。

30

【 0 0 7 5 】

書き込み動作では、N A N D セル N S 1 が消去状態、つまり N A N D セル N S 1 の各不揮発性メモリ素子のしきい値が負電圧の状態にしてから実行される。書き込みは、ソース線 S L 側のメモリ素子 M 0 から順に行う。メモリ素子 M 0 への書き込みを例として説明すると概略以下のようなになる。

【 0 0 7 6 】

図 1 1 (A) は、“ 0 ” 書き込みをする場合、選択ゲート線 S G 2 に例えば V c c （電源電圧）を印加して選択トランジスタ S 2 をオンにすると共にビット線 B L 0 を 0 V （接地電圧）にする。選択ゲート線 S G 1 は 0 V として、選択トランジスタ S 1 はオフとする。次に、不揮発性メモリ素子 M 0 のワード線 W L 0 を高電圧 V p g m （ 2 0 V 程度）とし、これ以外のワード線を中間電圧 V p a s s （ 1 0 V 程度）にする。ビット線 B L 0 の電圧は 0 V なので、選択された不揮発性メモリ素子 M 0 のチャネル形成領域の電位は 0 V となる。ワード線 W L 0 とチャネル形成領域との間の電位差が大きいため、不揮発性メモリ素子 M 0 の浮遊ゲートには前述のように F - N トンネル電流により電子が注入される。これにより、不揮発性メモリ素子 M 0 のしきい値電圧が正の状態（ “ 0 ” が書き込まれた状態）となる。

40

【 0 0 7 7 】

一方 “ 1 ” 書き込みをする場合は、図 1 1 (B) に示すように、ビット線 B L を例えば V c c （電源電圧）にする。選択ゲート線 S G 2 の電圧が V c c であるため、選択トランジ

50

スタS2のしきい値電圧 V_{th} に対して、 V_{cc} マイナス V_{th} ($V_{cc} - V_{th}$)になると、選択トランジスタS2がカットオフする。従って、不揮発性メモリ素子M0のチャネル形成領域はフローティング状態となる。次に、ワード線WL0に高電圧 V_{pgm} (20V)、それ以外のワード線に中間電圧 V_{pass} (10V)の電圧を印加すると、各ワード線とチャネル形成領域との容量カップリングにより、チャネル形成領域の電圧が $V_{cc} - V_{th}$ から上昇し例えば8V程度となる。チャネル形成領域の電圧が高電圧に昇圧されるため、“0”の書き込みの場合と異なり、ワード線WL0とチャネル形成領域の間の電位差が小さい。したがって、不揮発性メモリ素子M0の浮遊ゲートには、F-Nトンネル電流による電子注入が起こらない。よって、不揮発性メモリ素子M0のしきい値は、負の状態 (“1”が書き込まれた状態)に保たれる。

10

【0078】

消去動作をする場合は、図12(A)に示すように、選択されたブロック内の全てのワード線に負の高電圧 (V_{ers})を印加する。ビット線BL、ソース線SLをフローティング状態とする。これにより、ブロックの全てのメモリセルにおいて浮遊ゲート中の電子がトンネル電流により半導体層に放出される。この結果、これらのメモリセルのしきい値電圧が負方向にシフトする。

【0079】

図12(B)に示す読み出し動作では、読み出しの選択がされた不揮発性メモリ素子M0のワード線WL0の電圧 V_r (例えば0V)とし、非選択のメモリセルのワード線WL1乃至WL31及び選択ゲート線SG1、SG2を電源電圧より少し高い読み出し用中間電圧 V_{read} とする。すなわち、図13に示すように、選択メモリ素子以外のメモリ素子はトランスファートランジスタとして働く。これにより、読み出しの選択がされた不揮発性メモリ素子M0に電流が流れるか否かを検出する。つまり、不揮発性メモリ素子M0に記憶されたデータが“0”の場合、不揮発性メモリ素子M0はオフなので、ビット線BLは放電しない。一方、“1”の場合、不揮発性メモリ素子M0はオンするので、ビット線BLが放電する。

20

【0080】

図14は、不揮発性半導体記憶装置の回路ブロック図の一例を示している。不揮発性半導体記憶装置は、メモリセルアレイ52と周辺回路54が同一の基板上に形成されている。メモリセルアレイ52は、図8、図9、図10で示すような構成を有している。周辺回路54の構成は以下の通りである。

30

【0081】

ワード線選択のためにロウデコーダ62と、ビット線選択のためにカラムデコーダ64が、メモリセルアレイ52の周囲に設けられている。アドレスは、アドレスバッファ56を介してコントロール回路58に送られ、内部ロウアドレス信号及び内部カラムアドレス信号がそれぞれロウデコーダ62及びカラムデコーダ64に転送される。

【0082】

データ書き込み及び消去には、電源電位を昇圧した電位が用いられる。このため、コントロール回路58により動作モードに応じて制御される昇圧回路60が設けられている。昇圧回路60の出力はロウデコーダ62やカラムデコーダ64を介して、ワード線WLやビット線BLに供給される。センスアンプ66はカラムデコーダ64から出力されたデータが入力される。センスアンプ66により読み出されたデータは、データバッファ68に保持され、コントロール回路58からの制御により、データがランダムアクセスされ、データ入出力バッファ70を介して出力されるようになっている。書き込みデータは、データ入出力バッファ70を介してデータバッファ68に一旦保持され、コントロール回路58の制御によりカラムデコーダ64に転送される。

40

【0083】

このように、不揮発性半導体記憶装置では、メモリセルアレイ52において、電源電位とは異なる電位を用いる必要がある。そのため、少なくともメモリセルアレイ52と周辺回路54の間は、電氣的に絶縁分離されていることが望ましい。この場合、以下で説明す

50

る実施例のように、不揮発性メモリ素子及び周辺回路のトランジスタを絶縁表面に形成した半導体層で形成することにより、容易に絶縁分離をすることができる。それにより、誤動作を無くし、消費電力の低い不揮発性半導体記憶装置を得ることができる。

【0084】

以下、本発明に係る不揮発性半導体記憶装置について、実施例により詳細に説明する。以下に説明する本発明の構成において、同じ要素を指す符号は異なる図面で共通して用い、その場合における繰り返しの説明は省略する場合がある。

【実施例1】

【0085】

本実施例では、不揮発性半導体記憶装置の一例について図面を参照して説明する。以下の説明では、不揮発性半導体記憶装置において、メモリ部を構成する不揮発性メモリ素子と、当該メモリ部と同一の基板上に設けられメモリ部の制御等を行うロジック部を構成するトランジスタ等の素子とを同時に形成する場合を示す。

10

【0086】

まず、不揮発性半導体記憶装置におけるメモリ部の等価回路を図8に示す。

【0087】

本実施例で示すメモリ部は、選択トランジスタと不揮発性メモリ素子を有するメモリセルが複数設けられている。図8では、選択トランジスタS01と不揮発性メモリ素子M01により一つのメモリセルが形成されている。また、同様に、選択トランジスタS02と不揮発性メモリ素子M02、選択トランジスタS03と不揮発性メモリ素子M03、選択トランジスタS11と不揮発性メモリ素子M11、選択トランジスタS12と不揮発性メモリ素子M12、選択トランジスタS13と不揮発性メモリ素子M13とによりメモリセルが形成されている。

20

【0088】

選択トランジスタS01のゲート電極はワード線WL1に接続され、ソース又はドレインの一方はビット線BL0に接続され、他方は不揮発性メモリ素子M01のソース又はドレインに接続されている。また、不揮発性メモリ素子M01のゲート電極はワード線WL1に接続され、ソース又はドレインの一方は選択トランジスタS01のソース又はドレインに接続され、他方はソース線SLに接続されている。

【0089】

なお、メモリ部に設けられる選択トランジスタは、ロジック部に設けられるトランジスタと比較して駆動電圧が高いため、メモリ部に設けるトランジスタとロジック部に設けるトランジスタのゲート絶縁膜等を異なる厚さで形成することが好ましい。例えば、駆動電圧が小さくしきい値電圧のばらつきを小さくしたい場合にはゲート絶縁膜が薄い薄膜トランジスタを設けることが好ましく、駆動電圧が大きくゲート絶縁膜の耐压性能が求められる場合にはゲート絶縁膜が厚い薄膜トランジスタを設けることが好ましい。

30

【0090】

従って、本実施例では、駆動電圧が小さくしきい値電圧のばらつきを小さくしたいロジック部のトランジスタに対しては膜厚が小さい絶縁層を形成し、駆動電圧が大きくゲート絶縁膜の耐压性能が求められるメモリ部のトランジスタに対しては膜厚が大きい絶縁層を形成する場合に関して以下に図面を参照して説明する。なお、図32乃至図34は上面図を示し、図18乃至図21は図32乃至図34におけるA-B間、C-D間、E-F間及びG-H間の断面図を示している。また、A-B間及びC-D間はロジック部に設けられる薄膜トランジスタを示し、E-F間はメモリ部に設けられる不揮発性メモリ素子を示し、G-H間はメモリ部に設けられる薄膜トランジスタを示している。また、本実施例では、A-B間に設ける薄膜トランジスタをpチャネル型、C-D間、G-H間に設ける薄膜トランジスタをnチャネル型、E-F間に設けられる不揮発性メモリ素子のキャリアの移動を電子で行う場合に関して説明するが、本発明の不揮発性半導体装置はこれに限られるものでない。

40

【0091】

50

まず、基板100上に絶縁層102を介して島状の半導体層104、106、108、110を形成し、当該島状の半導体層104、106、108、110を覆うように第1の絶縁層112、114、116、118をそれぞれ形成する。そして、第1の絶縁層112、114、116、118を覆うように後に完成する不揮発性メモリ素子の浮遊ゲートとして機能する電荷蓄積層120、123を積層して形成する(図18(A)参照)。島状の半導体層104、106、108、110は、基板100上にあらかじめ形成された絶縁層102上にスパッタ法、LPCVD法、プラズマCVD法等を用いてシリコン(Si)を主成分とする材料(例えば Si_xGe_{1-x} 等)等を用いて非晶質半導体層を形成し、当該非晶質半導体層を結晶化させた後に選択的にエッチングすることにより設けることができる。なお、非晶質半導体層の結晶化は、レーザー結晶化法、RTA又はファーン

10

【0092】

また、レーザー光の照射によって半導体層の結晶化若しくは再結晶化を行う場合には、レーザー光の光源としてLD励起の連続発振(CW)レーザー(YVO_4 、第2高調波(波長532nm))を用いることができる。特に第2高調波に限定する必要はないが、第2高調波はエネルギー効率の点で、さらに高次の高調波より優れている。CWレーザーを半導体層に照射すると、連続的に半導体層にエネルギーが与えられるため、一旦半導体層を熔融状態にすると、熔融状態を継続させることができる。さらに、CWレーザーを走査することによって半導体層の固液界面を移動させ、この移動の方向に沿って一方向に長い結晶粒を形成することができる。また、固体レーザーを用いるのは、気体レーザー等と比較して、出力の安定性が高く、安定した処理が見込まれるためである。なお、CWレーザーに限らず、繰り返し周波数が10MHz以上のパルスレーザーを用いることも可能である。繰り返し周波数が高いパルスレーザーを用いると、半導体層が熔融してから固化するまでの時間よりもレーザーのパルス間隔が短ければ、常に半導体層を熔融状態にとどめることができ、固液界面の移動により一方向に長い結晶粒で構成される半導体層を形成することができる。その他のCWレーザー及び繰り返し周波数が10MHz以上のパルスレーザーを使用することもできる。例えば、気体レーザーとしては、Arレーザー、Krレーザー、 CO_2 レーザー等がある。固体レーザーとしては、YAGレーザー、YLFレーザー、YALO₃レーザー、 $GdVO_4$ レーザー、KGWレーザー、KYWレーザー、アレキサンドライトレーザー、Ti:サファイアレーザー、 Y_2O_3 レーザー、 YVO_4 レーザー等がある。YAGレーザー、 Y_2O_3 レーザー、 $GdVO_4$ レーザー、 YVO_4 レーザーなどはセラミックスレーザとも呼ばれる。金属蒸気レーザーとしてはヘリウムカドミウムレーザー等が挙げられる。また、レーザー発振器において、レーザー光をTEM₀₀(シングル横モード)で発振して射出すると、被照射面において得られる線状のビームスポットのエネルギー均一性を上げることができるので好ましい。その他にも、パルス発振のエキシマレーザーを用いても良い。

20

30

【0093】

基板100は、ガラス基板、石英基板、金属基板(例えばセラミック基板またはステンレス基板など)、シリコン基板等の半導体基板から選択されるものである。他にもプラスチック基板として、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフィン(PES)、アクリルなどの基板を選択することもできる。

40

【0094】

絶縁層102は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xN_y 、($x > y$))、窒化酸化シリコン(SiN_xO_y 、($x > y$))等の絶縁材料を用いて形成する。例えば、絶縁層102を2層構造とする場合、第1層目の絶縁層として窒化酸化シリコン膜を形成し、第2層目の絶縁層として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁層として窒化シリコン膜を形成し、第2層目の絶縁層として酸化シリコン膜を形成してもよい。このように、ブロッケン

50

グ層として機能する絶縁層102を形成することによって、基板100からNaなどのアルカリ金属やアルカリ土類金属が、この上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板100として石英を用いるような場合には絶縁層102を省略してもよい。

【0095】

第1の絶縁層112、114、116、118は、半導体層104、106、108、110に熱処理又はプラズマ処理等を行うことによって形成することができる。例えば、高密度プラズマ処理により当該半導体層104、106、108、110に酸化処理、窒化処理又は酸化窒化処理を行うことによって、当該半導体層104、106、108、110上にそれぞれ酸化膜、窒化膜又は酸化窒化膜となる第1の絶縁層112、114、116、118を形成する。なお、プラズマCVD法やスパッタ法により形成してもよい。

10

【0096】

例えば、半導体層104、106、108、110としてシリコンを主成分とする半導体層を用いて高密度プラズマ処理により酸化処理又は窒化処理を行った場合、第1の絶縁層112、114、116、118として酸化シリコン(SiO_x)膜又は窒化シリコン(SiN_x)膜が形成される。また、高密度プラズマ処理により半導体層104、106、108、110に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、半導体層104、106、108、110に接して酸化シリコン膜が形成され、当該酸化シリコン膜上に酸素と窒素を有する膜(以下、「酸化窒化シリコン膜」と記す)が形成され、第1の絶縁層112、114、116、118は酸化シリコン膜と酸化窒化シリコン膜とが積層された膜となる。

20

【0097】

本例では、第1の絶縁層112、114、116、118を1nm以上10nm以下の、好ましくは1nm以上5nm以下の膜厚で形成する。例えば、高密度プラズマ処理により半導体層104、106、108、110に酸化処理を行い当該半導体層104、106、108、110の表面に概略5nmの酸化シリコン膜を形成した後、高密度プラズマ処理により窒化処理を行い酸化シリコン膜の表面に概略2nmの酸化窒化シリコン膜を形成する。この場合、半導体層104、106、108、110の表面に形成された酸化シリコン膜の膜厚は、概略3nmとなっている。これは、酸化窒化シリコン膜が形成された分だけ減少するためである。また、このとき、高密度プラズマ処理による酸化処理と窒化処理は大気に一度も曝されることなく連続して行うことが好ましい。高密度プラズマ処理を連続して行うことによって、汚染物の混入の防止や生産効率の向上を実現することができる。

30

【0098】

なお、高密度プラズマ処理により半導体層を酸化する場合には、酸素を含む雰囲気下(例えば、酸素(O₂)又は一酸化二窒素(N₂O)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下、若しくは酸素又は一酸化二窒素と水素(H₂)と希ガス雰囲気下)で行う。一方、高密度プラズマ処理により半導体層を窒化する場合には、窒素を含む雰囲気下(例えば、窒素(N₂)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下、窒素と水素と希ガス雰囲気下、若しくはNH₃と希ガス雰囲気下)でプラズマ処理を行う。

40

【0099】

希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。高密度プラズマ処理を希ガス雰囲気中で行った場合、第1の絶縁層112、114、116、118は、プラズマ処理に用いた希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)を含んでいる場合があり、Arを用いた場合には第1の絶縁層112、114、116、118にArが含まれている場合がある。

【0100】

また、高密度プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上であり、プラズマの電子温度が1.5eV以下で行う。より詳しくは、電子

50

密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が 0.5 eV 以上 1.5 eV 以下で行う。プラズマの電子密度が高密度であり、基板 100 上に形成された被処理物（本例では、半導体層 104、106、108、110）付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化膜または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が 1.5 eV 以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。例えば、ガラス基板の歪点よりも 100 以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。プラズマを形成するための周波数としては、マイクロ波（例えば、 2.45 GHz ）等の高周波を用いることができる。

10

【0101】

本実施例では、高密度プラズマ処理により被処理物の酸化処理を行う場合、酸素 (O_2)、水素 (H_2) とアルゴン (Ar) との混合ガスを導入する。ここで用いる混合ガスは、酸素を 0.1 sccm 乃至 100 sccm 、水素を 0.1 sccm 乃至 100 sccm 、アルゴンを 100 sccm 乃至 5000 sccm として導入すればよい。なお、酸素：水素：アルゴン = 1：1：100 の比率で混合ガスを導入することが好ましい。例えば、酸素を 5 sccm 、水素を 5 sccm 、アルゴンを 500 sccm として導入すればよい。

【0102】

また、高密度プラズマ処理により窒化処理を行う場合、窒素 (N_2) とアルゴン (Ar) との混合ガスを導入する。ここで用いる混合ガスは、窒素を 20 sccm 乃至 2000 sccm 、アルゴンを 100 sccm 乃至 10000 sccm として導入すればよい。例えば、窒素を 200 sccm 、アルゴンを 1000 sccm として導入すればよい。

20

【0103】

本実施例において、メモリ部に設けられた半導体層 108 上に形成される第 1 の絶縁層 116 は、後に完成する不揮発性メモリ素子において、トンネル酸化膜として機能する。従って、第 1 の絶縁層 116 の膜厚が薄いほど、トンネル電流が流れやすく、メモリとして高速動作が可能となる。また、第 1 の絶縁層 116 の膜厚が薄いほど、後に形成される浮遊ゲートに低電圧で電荷を蓄積させることが可能となるため、半導体装置の消費電力を低減することができる。そのため、第 1 の絶縁層 112、114、116、118 は、膜厚を薄く形成することが好ましい。

30

【0104】

一般的に、半導体層上に絶縁層を薄く形成する方法として熱酸化法があるが、基板 100 としてガラス基板等の融点が高くない基板を用いる場合には、熱酸化法により第 1 の絶縁層 112、114、116、118 を形成することは非常に困難である。また、CVD法やスパッタ法により形成した絶縁層は、膜の内部に欠陥を含んでいるため十分な耐圧が得られない問題があり、膜厚を薄く形成した場合にはピンホール等の欠陥が生じる問題がある。また、CVD法やスパッタ法により絶縁層を形成した場合には、半導体層の端部の被覆が十分でなく、後に第 1 の絶縁層 116 上に形成される導電膜等と半導体層とがリークする場合がある。従って、本実施例で示すように、高密度プラズマ処理により第 1 の絶縁層 112、114、116、118 を形成することによって、CVD法やスパッタ法等により形成した絶縁層より緻密な絶縁層を形成することができ、また、半導体層 104、106、108、110 の端部を第 1 の絶縁層 112、114、116、118 で十分に被覆することができる。その結果、メモリとして高速動作や電荷保持特性を向上させることができる。なお、CVD法やスパッタ法により第 1 の絶縁層 112、114、116、118 を形成した場合には、絶縁層を形成した後に高密度プラズマ処理を行い当該絶縁層の表面に酸化処理、窒化処理又は酸化窒化処理を行うことが好ましい。

40

【0105】

電荷蓄積層 120、123 は、ゲルマニウム (Ge) 又はシリコンゲルマニウム合金等の

50

ゲルマニウムを含む膜とシリコン（シリコン）を含む膜の積層構造で形成する。本例では、電荷蓄積層 120 として、ゲルマニウム元素を含む雰囲気中（例えば、 GeH_4 ）でプラズマ CVD 法を行うことにより、ゲルマニウムを主成分とする膜を 1 nm 以上 20 nm 以下の、好ましくは 1 nm 以上 10 nm 以下の形成後、電荷蓄積層 123 としてシリコン元素を含む雰囲気中（例えば、 SiH_4 ）でプラズマ CVD 法を行うことにより、シリコンを主成分とする膜を 1 nm 以上 50 nm 以下の、好ましくは 1 nm 以上 20 nm 以下の形成することによって、ゲルマニウムとシリコンの積層構造で設ける。このように、半導体層としてシリコンを主成分とする材料を用いて形成し、当該半導体層上にトンネル酸化膜として機能する第 1 の絶縁層を介してシリコンよりエネルギーギャップの小さいゲルマニウムを含む膜を電荷蓄積層として設けた場合、半導体層の電荷に対する絶縁層により形成される第 1 の障壁に対して電荷蓄積層の電荷に対する絶縁層により形成される第 2 の障壁がエネルギー的に高くなる。その結果、半導体層から電荷蓄積層へ電荷を注入しやすくすることができ、電荷蓄積層から電荷が消失することを防ぐことができる。つまり、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることができる。また、メモリ部に設けられた半導体層 108 上に形成される電荷蓄積層 120 及び電荷蓄積層 123 を含む積層構造は、後に完成する不揮発性メモリ素子において、浮遊ゲートとして機能する。

【0106】

次に、半導体層 104、106、110 上に形成された、第 1 の絶縁層 112、114、118 と電荷蓄積層 120 及び電荷蓄積層 123 を含む積層構造を選択的に除去し、半導体層 108 上に形成された、第 1 の絶縁層 116 と電荷蓄積層 120 及び電荷蓄積層 123 を含む積層構造を残存させる。本例では、メモリ部に設けられた半導体層 108、第 1 の絶縁層 116、電荷蓄積層 120 及び電荷蓄積層 123 を含む積層構造を選択的にレジストで覆い、半導体層 104、106、110 上に形成された、第 1 の絶縁層 112、114、118 と電荷蓄積層 120 及び電荷蓄積層 123 を含む積層構造をエッチングすることによって選択的に除去する（図 18（B）参照）。

【0107】

次に、半導体層 104、106、110 と、半導体層 108 の上方に形成された電荷蓄積層 120 及び電荷蓄積層 123 を含む積層構造の一部を選択的に覆うようにレジスト 122 を形成し、当該レジスト 122 に覆われていない電荷蓄積層 120、123 をエッチングして選択的に除去することによって、電荷蓄積層 120 及び電荷蓄積層 123 を含む積層構造の一部を残存させ、浮遊ゲートとして機能する電荷蓄積層 121 及び電荷蓄積層 125 を含む積層構造を形成する（図 18（C）、図 32 参照）。

【0108】

次に、半導体層 110 の特定の領域に不純物領域を形成する。本例では、レジスト 122 を除去後、半導体層 104、106、108 と、半導体層 110 の一部を選択的に覆うようにレジスト 124 を形成し、当該レジスト 124 に覆われていない半導体層 110 に不純物元素を導入することによって、不純物領域 126 を形成する（図 19（A）参照）。不純物元素としては、n 型を付与する不純物元素又は p 型を付与する不純物元素を用いる。n 型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p 型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。本例では、不純物元素として、リン（P）を半導体層 110 に導入する。

【0109】

次に、半導体層 104、106、110 と、半導体層 108 の上方に形成された第 1 の絶縁層 116 と浮遊ゲートとして機能する電荷蓄積層 121 及び電荷蓄積層 125 を含む積層構造を覆うように第 2 の絶縁層 128 を形成する（図 19（B）参照）。

【0110】

第 2 の絶縁層 128 は、CVD 法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン（ SiO_xN_y 、 $(x > y)$ ）、窒化酸化シリコン（ SiN_x

10

20

30

40

50

Oy、(x > y)等の絶縁材料を用いて単層又は積層して形成する。例えば、第2の絶縁層128を単層で設ける場合には、CVD法により酸化窒化シリコン膜又は窒化酸化シリコン膜を5nm以上50nm以下の膜厚で形成する。また、第2の絶縁層128を3層構造で設ける場合には、第1層目の絶縁層として酸化窒化シリコン膜を形成し、第2の絶縁層として窒化シリコン膜を形成し、第3の絶縁層として酸化窒化シリコン膜を形成する。また、他にも第2の絶縁層128として、ゲルマニウムの酸化物又は窒化物を用いてもよい。

【0111】

なお、半導体層108の上方に形成された第2の絶縁層128は、後に完成する不揮発性メモリ素子においてコントロール絶縁層として機能し、半導体層110の上方に形成された第2の絶縁層128は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

10

【0112】

次に、半導体層108、110の上方に形成された第2の絶縁層128を覆うようにレジスト130を選択的に形成し、半導体層104、106上に形成された第2の絶縁層128を選択的に除去する(図19(C)参照)。

【0113】

次に、半導体層104、106を覆うように第3の絶縁層132、134をそれぞれ形成する(図20(A)参照)。

【0114】

第3の絶縁層132、134は、上記第1の絶縁層112、114、116、118の形成方法で示したいずれかの方法を用いて形成する。例えば、高密度プラズマ処理により半導体層104、106、108、110に酸化処理、窒化処理又は酸化窒化処理を行うことによって、当該半導体層104、106上にそれぞれシリコンの酸化膜、窒化膜又は酸化窒化膜となる第3の絶縁層132、134を形成する。

20

【0115】

本例では、第3の絶縁層132、134を1nm以上20nm以下の、好ましくは1nm以上10nm以下の膜厚で形成する。例えば、高密度プラズマ処理により半導体層104、106に酸化処理を行い当該半導体層104、106の表面に酸化シリコン膜を形成した後、高密度プラズマ処理により窒化処理を行い酸化シリコン膜の表面に酸化窒化シリコン膜を形成する。また、この場合、半導体層108、110の上方に形成された第2の絶縁層128の表面にも酸化処理又は窒化処理が行われ、酸化膜又は酸化窒化膜が形成される。半導体層104、106の上方に形成された第3の絶縁層132、134は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

30

【0116】

次に、半導体層104、106の上方に形成された第3の絶縁層132、134、半導体層108、110の上方に形成された第2の絶縁層128を覆うように導電膜を形成する(図20(B)参照)。本例では、導電膜として、導電膜136と導電膜138を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

40

【0117】

導電膜136、138としては、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体材料により形成することもできる。

【0118】

本例では、導電膜136として窒化タンタルを用いて形成し、その上に導電膜138としてタングステンをを用いて積層構造で設ける。また、他にも、導電膜136として、窒化タ

50

ングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、導電膜 138 として、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【0119】

次に、積層して設けられた導電膜 136、138 を選択的にエッチングして除去することによって、半導体層 104、106、108、110 の上方の一部に導電膜 136、138 を残存させ、それぞれゲート電極として機能する導電膜 140、142、144、146 を形成する（図 20（C）、図 33 参照）。なお、メモリ部に設けられた半導体層 108 の上方に形成される導電膜 144 は、後に完成する不揮発性メモリ素子において制御ゲートとして機能する。また、導電膜 140、142、146 は、後に完成するトランジスタにおいてゲート電極として機能する。

10

【0120】

次に、半導体層 104 を覆うようにレジスト 148 を選択的に形成し、当該レジスト 148、導電膜 142、144、146 をマスクとして半導体層 106、108、110 に不純物元素を導入することによって不純物領域を形成する（図 21（A）参照）。不純物元素としては、n 型を付与する不純物元素又は p 型を付与する不純物元素を用いる。n 型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p 型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。本例では、不純物元素として、リン（P）を用いる。

【0121】

図 21（A）においては、不純物元素を導入することによって、半導体層 106 にソース領域又はドレイン領域を形成する不純物領域 152 とチャンネル形成領域 150 が形成される。また、半導体層 108 には、ソース領域又はドレイン領域を形成する不純物領域 156 と LDD 領域を形成する低濃度不純物領域 158 とチャンネル形成領域 154 が形成される。また、半導体層 110 には、ソース領域又はドレイン領域を形成する不純物領域 162 と LDD 領域を形成する低濃度不純物領域 164 とチャンネル形成領域 160 が形成される。

20

【0122】

また、半導体層 108 に形成される低濃度不純物領域 158 は、図 21（A）において導入された不純物元素が浮遊ゲートとして機能する電荷蓄積層 121 及び電荷蓄積層 125 を含む積層構造を突き抜けることによって形成される。従って、半導体層 108 において、導電膜 144 及び電荷蓄積層 121 及び電荷蓄積層 125 を含む積層構造の双方と重なる領域にチャンネル形成領域 154 が形成され、電荷蓄積層 121 及び電荷蓄積層 125 を含む積層構造と重なり導電膜 144 と重ならない領域に低濃度不純物領域 158 が形成され、電荷蓄積層 121 及び電荷蓄積層 125 を含む積層構造及び導電膜 144 の双方と重ならない領域に高濃度不純物領域 156 が形成される。

30

【0123】

次に、半導体層 106、108、110 を覆うようにレジスト 166 を選択的に形成し、当該レジスト 166、導電膜 140 をマスクとして半導体層 104 に不純物元素を導入することによって不純物領域を形成する（図 21（B）参照）。不純物元素としては、n 型を付与する不純物元素又は p 型を付与する不純物元素を用いる。n 型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p 型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。本例では、図 21（A）で半導体層 106、108、110 に導入した不純物元素と異なる導電型を有する不純物元素（例えば、ボロン（B））を導入する。その結果、半導体層 104 にソース領域又はドレイン領域を形成する不純物領域 170 とチャンネル形成領域 168 を形成される。

40

【0124】

次に、第 2 の絶縁層 128、第 3 の絶縁層 132、134、導電膜 140、142、144、146 を覆うように絶縁層 172 を形成し、当該絶縁層 172 上に半導体層 104、

50

106、108、110にそれぞれ形成された不純物領域170、152、156、162と電氣的に接続する導電膜174を形成する(図21(C)、図34参照)。

【0125】

絶縁層172は、CVD法やスパッタ法等により、酸化シリコン(SiO_x)、窒化シリコン(SiN_x)、酸化窒化シリコン(SiO_xN_y 、($x > y$))、窒化酸化シリコン(SiN_xO_y 、($x > y$))等の酸素または窒素有する絶縁層やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、 $Si-O-Si$ 結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

10

【0126】

導電膜174は、CVD法やスパッタリング法等により、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素とシリコンの一方又は両方とを含む合金材料に相当する。導電膜174は、例えば、バリア膜とアルミニウムシリコン($Al-Si$)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン($Al-Si$)膜と窒化チタン(TiN)膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜174を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体層上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体層と良好なコンタクトをとることができる。

20

30

【0127】

なお、本実施例では、浮遊ゲートとして機能する電荷蓄積層121及び電荷蓄積層125を含む積層構造が半導体層108の端部を乗り越えるように横断して形成している(図32参照)。従って、島状に設けられた半導体層108の端部においてはトンネル絶縁層として機能する第1の絶縁層116を介して浮遊ゲートとして機能する電荷蓄積層121及び電荷蓄積層125を含む積層構造が形成されている。そのため、第1の絶縁層116の被覆不良や作製プロセスに伴う何らかの電荷の蓄積により、不揮発性メモリ素子の特性に影響が生じるおそれがある。従って、上述した構成において、半導体層108の端部であって、電荷蓄積層121及び電荷蓄積層125を含む積層構造と重なる領域及びその近傍の領域に選択的に不純物領域194を設けた構成としてもよい(図35参照)。

40

【0128】

不純物領域194は、半導体層108のソース領域又はドレイン領域として機能する不純物領域156と異なる導電型となるように設ける。例えば、不純物領域156をn型を示す導電型で設けた場合には、不純物領域194はp型を示す導電型で設ける。

【0129】

また、図35においては、不純物領域194を半導体層108の端部であって浮遊ゲートとして機能する電荷蓄積層121及び電荷蓄積層125を含む積層構造と重なる領域及びその近傍に不純物領域194を設けた例を示したが、これに限られない。例えば、不純物

50

領域 194 を半導体層 108 の端部であって電荷蓄積層 121 及び電荷蓄積層 125 を含む積層構造と重なる領域にのみ設けてもよいし、半導体層 108 の端部の外周部分全てに設けることができる。また、例えば、不純物領域 194 を半導体層 108 の端部であって電荷蓄積層 121 及び電荷蓄積層 125 を含む積層構造と重なる領域の近傍に設け、電荷蓄積層 121 及び電荷蓄積層 125 を含む積層構造の下方には設けない構造としてもよい（図 36 参照）。

【0130】

このように、不純物領域 194 を設けることにより、不純物領域 156 と不純物領域 194 の隣接する部分は p n 接合により抵抗が高くなるため、第 1 の絶縁層 116 の被覆不良や作製プロセスに伴う何らかの電荷の蓄積等による不揮発性メモリ素子の特性へ及ぼす影響を抑制することが可能となる。

10

【0131】

なお、本例では、E - F 間における不揮発性メモリ素子に関して説明を行ったが、同様に A - B 間、C - D 間、G - H 間に設けるトランジスタにも図 35、図 36 に示したように、不純物領域 194 を設けてもよい。

【0132】

本実施例の不揮発性半導体記憶装置は、回路の構成に合わせてトランジスタにおけるゲート絶縁層の膜厚を異ならせることにより、低消費電力化を図ることができる。また、不揮発性半導体記憶装置の動作の安定化を図ることができる。具体的には、ロジック部を構成するトランジスタのゲート絶縁層の膜厚を薄くすることで、しきい値電圧のばらつきを小さくすることができ、低電圧で駆動させることが可能となる。メモリ部の選択トランジスタのゲート絶縁層の膜厚を厚くすることで、不揮発性メモリ素子に対する書き込み及び消去動作において、ロジック部よりも高電圧が適用される場合においても、動作の安定性を高めることができる。不揮発性メモリ素子においては、半導体層から浮遊ゲート電極へ電荷を注入しやすくすることができ、浮遊ゲート電極から電荷が消失することを防ぐことができる。すなわち、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることが可能となる。本実施例によれば、このような優れた効果を奏する不揮発性半導体記憶装置を連続した工程で作製することが可能となる。

20

【0133】

本実施例は、本明細書で示した他の実施の形態又は実施例と組み合わせて行うことができる。

30

【実施例 2】

【0134】

本実施例では、上記実施例 1 で示した構造において、一つの島状の半導体層に複数の不揮発性メモリ素子を設けた場合に関して図面を参照して説明する。なお、上記実施例と同じものを指す場合には同様の符号を用いて示し説明を省略する。なお、図 37 は上面図を示し、図 38 は図 37 における E - F 間、G - H 間の断面図を示している。

【0135】

本実施例で示す不揮発性半導体記憶装置は、ビット線 BL0、BL1 にそれぞれ電氣的に接続された島状の半導体層 200a、200b が設けられており、島状の半導体層 200a、200b の各々に複数の不揮発性メモリ素子が設けられている（図 37、図 38 参照）。具体的には、半導体層 200a において、選択トランジスタ S01、S02 の間に複数の不揮発性メモリ素子 M0 乃至 M31 を有する NAND セル 202a が設けられている。また、半導体層 200b においても、選択トランジスタの間に複数の不揮発性メモリ素子を有する NAND セル 202b が設けられている。また、半導体層 200a、200b を分離して設けることによって、隣接する NAND セル 202a と NAND セル 202b を絶縁分離することが可能となる。

40

【0136】

また、一つの島状の半導体層に複数の不揮発性メモリ素子を設けることによって、より不

50

揮発性メモリ素子の集積化が可能となり、大容量の不揮発性半導体記憶装置を形成することができる。

【0137】

本実施例は、実施例1と同様にNANDセルの選択トランジスタのゲート絶縁層の膜厚を厚くすることで、不揮発性メモリ素子に対する書き込み及び消去動作において、ロジック部よりも高電圧が適用される場合においても、動作の安定性を高めることができる。不揮発性メモリ素子においては、半導体層から浮遊ゲート電極へ電荷を注入しやすくことができ、浮遊ゲート電極から電荷が消失することを防ぐことができる。このような構成により、本実施例の不揮発性半導体記憶装置は、不揮発性半導体記憶装置の動作の安定化を図ることができる。

10

【0138】

本実施例は、本明細書で示した他の実施の形態又は実施例と組み合わせて行うことができる。

【実施例3】

【0139】

本実施例では、上記実施例1と異なる半導体装置の作製方法に関して図面を参照して説明する。なお、上記実施例と同じものを指す場合には同様の符号を用いて示し説明を省略する。なお、図22乃至図24において、A-B間及びC-D間はロジック部に設けられる薄膜トランジスタを示し、E-F間はメモリ部に設けられる不揮発性メモリ素子を示し、G-H間はメモリ部に設けられる薄膜トランジスタを示している。

20

【0140】

まず、図18(C)まで、同様に形成後、レジスト122を除去し、半導体層104、106、110と、半導体層108の上方に形成された第1の絶縁層116と電荷蓄積層121及び電荷蓄積層125を含む積層構造を覆うように第2の絶縁層128を形成する(図22(A)参照)。

【0141】

次に、半導体層108、110の上方に形成された第2の絶縁層128を覆うようにレジスト130を選択的に形成し、半導体層104、106上に形成された第2の絶縁層128を選択的に除去する(図22(B)参照)。

【0142】

次に、半導体層104、106を覆うように第3の絶縁層132、134をそれぞれ形成する(図22(C)参照)。

30

【0143】

次に、半導体層104、106の上方に形成された第3の絶縁層132、134、半導体層108、110の上方に形成された第2の絶縁層128を覆うように導電膜を形成する(図23(A)参照)。本例では、導電膜として、導電膜136と導電膜138を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

【0144】

次に、積層して設けられた導電膜136、138を選択的にエッチングして除去することによって、半導体層104、106、108、110の上方の一部に導電膜136、138を残存させ、それぞれゲート電極として機能する導電膜140、142、144、146を形成する(図23(B)参照)。なお、導電膜140は、残存した導電膜136、138により積層して設けられた導電膜182a、184aを有している。また、本実施例では、導電膜140において、下方に形成される導電膜182aの幅(キャリアがチャネル形成領域を流れる方向(ソース領域とドレイン領域を結ぶ方向)に概略平行な方向に対する幅)が導電膜184aの幅より大きくなるようにする。同様に、導電膜142においては導電膜182bと導電膜182bより幅の小さい184bを順に積層して形成し、導電膜144においては導電膜182cと導電膜182cより幅の小さい184cを順に積層して形成し、導電膜146においては導電膜182dと導電膜182dより幅の小さい

40

50

184dを順に積層して形成する。

【0145】

次に、半導体層104を覆うようにレジスト148を選択的に形成し、当該レジスト148、導電膜142、144、146をマスクとして半導体層106、108、110に不純物元素を導入することによって不純物領域を形成する(図23(C)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。本例では、不純物元素として、リン(P)を用いる。

【0146】

図23(C)においては、不純物元素を導入することによって、半導体層106にソース領域又はドレイン領域を形成する高濃度不純物領域152とLDD領域を形成する低濃度不純物領域186とチャンネル形成領域150が形成される。また、半導体層108には、ソース領域又はドレイン領域を形成する不純物領域156とLDD領域を形成する低濃度不純物領域158とチャンネル形成領域154が形成される。また、半導体層110には、ソース領域又はドレイン領域を形成する高濃度不純物領域162とLDD領域を形成する低濃度不純物領域164とチャンネル形成領域160が形成される。

【0147】

半導体層106に形成される低濃度不純物領域186は、図23(C)において導入された不純物元素が導電膜182bを突き抜けることによって形成される。従って、半導体層106において、導電膜182b及び導電膜184bの双方と重なる領域にチャンネル形成領域150が形成され、導電膜182bと重なり導電膜184bと重ならない領域に低濃度不純物領域186が形成され、導電膜182b及び導電膜184bの双方と重ならない領域に高濃度不純物領域152が形成される。

【0148】

また、半導体層108に形成される低濃度不純物領域158は、図23(C)において導入された不純物元素が電荷蓄積層121及び電荷蓄積層125を含む積層構造を突き抜けることによって形成される。従って、半導体層108において、導電膜182c及び電荷蓄積層121及び電荷蓄積層125を含む積層構造の双方と重なる領域にチャンネル形成領域154が形成され、電荷蓄積層121及び電荷蓄積層125を含む積層構造と重なり導電膜182cと重ならない領域に低濃度不純物領域158が形成され、電荷蓄積層121及び電荷蓄積層125を含む積層構造及び導電膜182cの双方と重ならない領域に高濃度不純物領域156が形成される。なお、導電膜182cの膜厚を薄く形成した場合には、半導体層108において導電膜182c及び電荷蓄積層121及び電荷蓄積層125を含む積層構造の双方と重なり且つ導電膜184cと重ならない領域に低濃度不純物領域158と同等又はそれより低い濃度を有する低濃度不純物領域が形成される場合がある。

【0149】

半導体層110に形成される低濃度不純物領域164は、図23(C)において導入された不純物元素が導電膜182dを突き抜けることによって形成される。従って、半導体層110において、導電膜182d及び導電膜184dの双方と重なる領域にチャンネル形成領域160が形成され、導電膜182dと重なり導電膜184dと重ならない領域に低濃度不純物領域164が形成され、導電膜182d及び導電膜184dの双方と重ならない領域に高濃度不純物領域162が形成される。

【0150】

次に、半導体層106、108、110を覆うようにレジスト166を選択的に形成し、当該レジスト166、導電膜140をマスクとして半導体層104に不純物元素を導入することによって不純物領域を形成する(図24(A)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる

10

20

30

40

50

。本例では、図23(C)で半導体層106、108、110に導入した不純物元素と異なる導電型を有する不純物元素(例えば、ボロン(B))を導入する。その結果、半導体層104にソース領域又はドレイン領域を形成する高濃度不純物領域170とLDD領域を形成する低濃度不純物領域188とチャンネル形成領域168を形成される。

【0151】

半導体層104に形成される低濃度不純物領域188は、図24(A)において導入された不純物元素が導電膜182aを突き抜けることによって形成される。従って、半導体層104において、導電膜182a及び導電膜184aの双方と重なる領域にチャンネル形成領域168が形成され、導電膜182aと重なり導電膜184aと重ならない領域に低濃度不純物領域188が形成され、導電膜182a及び導電膜184aの双方と重ならない領域に高濃度不純物領域170が形成される。

10

【0152】

次に、第2の絶縁層128、第3の絶縁層132、134、導電膜140、142、144、146を覆うように絶縁層172を形成し、当該絶縁層172上に半導体層104、106、108、110にそれぞれ形成された不純物領域170、152、156、162と電氣的に接続する導電膜174を形成する(図24(B)参照)。

【0153】

なお、本実施例で示した構造においても、上記図35、図36に示したように不純物領域194を設けてもよい。

【0154】

20

本実施例の不揮発性半導体記憶装置は、回路の構成に合わせてトランジスタにおけるゲート絶縁層の膜厚を異ならせることにより、低消費電力化を図ることができる。また、不揮発性半導体記憶装置の動作の安定化を図ることができる。具体的には、ロジック部を構成するトランジスタのゲート絶縁層の膜厚を薄くすることで、しきい値電圧のばらつきを小さくすることができ、低電圧で駆動させることが可能となる。メモリ部の選択トランジスタのゲート絶縁層の膜厚を厚くすることで、不揮発性メモリ素子に対する書き込み及び消去動作において、ロジック部よりも高電圧が適用される場合においても、動作の安定性を高めることができる。不揮発性メモリ素子においては、半導体層から浮遊ゲート電極へ電荷を注入しやすくすることができ、浮遊ゲート電極から電荷が消失することを防ぐことができる。すなわち、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることが可能となる。本実施例によれば、このような優れた効果を奏する不揮発性半導体記憶装置を連続した工程で作製することが可能となる。

30

【0155】

本実施例は、本明細書で示した他の実施の形態又は実施例と組み合わせて行うことができる。

【実施例4】

【0156】

本実施例では、上記実施例1又は2と異なる半導体装置の作製方法に関して図面を参照して説明する。なお、上記実施例1又は2と同じものを指す場合には同様の符号を用いて示し説明を省略する。なお、図39乃至図41は上面図を示し、図28乃至図30は図39乃至図41におけるA-B間、C-D間、E-F間及びG-H間の断面図を示している。また、A-B間及びC-D間はロジック部に設けられる薄膜トランジスタを示し、E-F間はメモリ部に設けられる不揮発性メモリ素子を示し、G-H間はメモリ部に設けられる薄膜トランジスタを示している。

40

【0157】

まず、上記実施例1の図18(C)まで、同様に形成後、レジスト122をマスクとして半導体層108に不純物元素を導入することによって不純物領域190を形成する(図28(A)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用い

50

ることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。本例では、不純物元素として、リン（P）を半導体層108に導入する。なお、本実施例では、浮遊ゲートとして機能する電荷蓄積層121及び電荷蓄積層125を含む積層構造の幅が半導体層108の幅より小さくなるように形成する。つまり、電荷蓄積層121及び電荷蓄積層125を含む積層構造が半導体層108を乗り越えない（半導体層108と浮遊ゲートとして機能する電荷蓄積層121及び電荷蓄積層125を含む積層構造が常に重なる）ように設ける（図39参照）。

【0158】

次に、半導体層104、106、110と、半導体層108の上方に形成された第1の絶縁層116と電荷蓄積層121及び電荷蓄積層125を含む積層構造を覆うように第2の絶縁層128を形成する（図28（B）参照）。

10

【0159】

次に、半導体層108、110の上方に形成された第2の絶縁層128を覆うようにレジスト130を選択的に形成し、半導体層104、106上に形成された第2の絶縁層128を選択的に除去する（図28（C）参照）。

【0160】

次に、半導体層104、106を覆うように第3の絶縁層132、134をそれぞれ形成する（図29（A）参照）。

【0161】

次に、半導体層104、106の上方に形成された第3の絶縁層132、134、半導体層108、110の上方に形成された第2の絶縁層128を覆うように導電膜を形成する（図29（B）参照）。本例では、導電膜として、導電膜136と導電膜138を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

20

【0162】

次に、積層して設けられた導電膜136、138を選択的にエッチングして除去することによって、半導体層104、106、108、110の上方の一部に導電膜136、138を残存させ、それぞれゲート電極として機能する導電膜140、142、144、146を形成する（図29（C）、図40参照）。

30

【0163】

なお、本実施例では、半導体層108上に形成される導電膜144が電荷蓄積層121及び電荷蓄積層125を含む積層構造の幅（少なくともキャリアがチャネルを流れる方向に概略平行な方向に対する幅）よりも大きくなるように形成する。

【0164】

次に、半導体層104を覆うようにレジスト148を選択的に形成し、当該レジスト148、導電膜142、144、146をマスクとして半導体層106、108、110に不純物元素を導入することによって不純物領域を形成する（図30（A）参照）。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。本例では、不純物元素として、リン（P）を用いる。

40

【0165】

図30（A）においては、不純物元素を導入することによって、半導体層106にソース領域又はドレイン領域を形成する高濃度不純物領域152とチャネル形成領域150が形成される。また、半導体層108には、ソース領域又はドレイン領域を形成する不純物領域156とLDD領域を形成する低濃度不純物領域158とチャネル形成領域154が形成される。また、半導体層110には、ソース領域又はドレイン領域を形成する高濃度不純物領域162とチャネル形成領域160が形成される。

【0166】

50

次に、半導体層106、108、110を覆うようにレジスト166を選択的に形成し、当該レジスト166、導電膜140をマスクとして半導体層104に不純物元素を導入することによって不純物領域を形成する(図30(B)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。本例では、図30(A)で半導体層106、108、110に導入した不純物元素と異なる導電型を有する不純物元素(例えば、ボロン(B))を導入する。その結果、半導体層104にソース領域又はドレイン領域を形成する高濃度不純物領域170とチャンネル形成領域168を形成される。

10

【0167】

次に、第2の絶縁層128、第3の絶縁層132、134、導電膜140、142、144、146を覆うように絶縁層172を形成し、当該絶縁層172上に半導体層104、106、108、110にそれぞれ形成された不純物領域170、152、156、162と電氣的に接続する導電膜174を形成する(図30(C)、図41参照)。

【0168】

なお、本実施例では、不揮発性メモリ素子において浮遊ゲートとして機能する電荷蓄積層121及び電荷蓄積層125を含む積層構造が半導体層108の幅より小さくなるように設けている(図40参照)。電荷蓄積層121及び電荷蓄積層125を含む積層構造の端部が半導体層108の上方に形成されており、半導体層108の端部においては制御ゲートとして機能する導電膜144が乗り越えるように横断して形成されている。そのため、電荷蓄積層121及び電荷蓄積層125を含む積層構造の端部において、作製プロセスに伴うエッチング等により不均一な形状で形成されることにより、不揮発性メモリ素子の特性に影響が生じるおそれがある。また、第1の絶縁層116の被覆不良や作製プロセスに伴う何らかの電荷の蓄積により、不揮発性メモリ素子の特性に影響が生じるおそれがある。従って、上述した構成において、電荷蓄積層121及び電荷蓄積層125を含む積層構造の端部(本例では、キャリアがチャンネル形成領域を流れる方向(ソース領域とドレイン領域を結ぶ方向)に対して概略垂直な方向における電荷蓄積層121及び電荷蓄積層125を含む積層構造の端部)の領域と重なる半導体層108及びその近傍の領域に選択的に不純物領域194を設けた構成としてもよい(図42参照)。

20

30

【0169】

不純物領域194は、半導体層108のソース領域又はドレイン領域として機能する不純物領域156と異なる導電型となるように設ける。例えば、不純物領域156をn型を示す導電型で設けた場合には、不純物領域194はp型を示す導電型で設ける。

【0170】

図42においては、不純物領域194を導電膜144と重ならない領域にも延伸して形成した例を示したが、導電膜144と重なる領域にのみ形成してもよい。また、半導体層108の外周部分全てに設けてもよい。

【0171】

このように、不純物領域194を設けることにより、不純物領域156と不純物領域194の隣接する部分はpn接合により抵抗が高くなるため、電荷蓄積層121及び電荷蓄積層125を含む積層構造の端部の形状等によって不揮発性メモリ素子の特性へ及ぼす影響を抑制することが可能となる。

40

【0172】

なお、本例では、E-F間における不揮発性メモリ素子に関して説明を行ったが、同様にA-B間、C-D間、G-H間に設けるトランジスタにも図35乃至図42に示したように、不純物領域194を設けてもよい。

【0173】

本実施例の不揮発性半導体記憶装置は、回路の構成に合わせてトランジスタにおけるゲート絶縁層の膜厚を異ならせることにより、低消費電力化を図ることができる。また、不揮

50

発性半導体記憶装置の動作の安定化を図ることができる。具体的には、ロジック部を構成するトランジスタのゲート絶縁層の膜厚を薄くすることで、しきい値電圧のばらつきを小さくすることができ、低電圧で駆動させることが可能となる。メモリ部の選択トランジスタのゲート絶縁層の膜厚を厚くすることで、不揮発性メモリ素子に対する書き込み及び消去動作において、ロジック部よりも高電圧が適用される場合においても、動作の安定性を高めることができる。不揮発性メモリ素子においては、半導体層から浮遊ゲート電極へ電荷を注入しやすくすることができ、浮遊ゲート電極から電荷が消失することを防ぐことができる。すなわち、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることが可能となる。本実施例によれば、このような優れた効果を奏する不揮発性半導体記憶装置を連続した工程で作製することが可能となる。

10

【0174】

本実施例は、本明細書で示した他の実施の形態又は実施例と組み合わせて行うことができる。

【実施例5】

【0175】

本実施例では、上記実施例1乃至3と異なる半導体装置の作製方法に関して図面を参照して説明する。なお、上記実施例1乃至3のいずれかに示したものと同一ものを指す場合には同様の符号を用いて示し説明を省略する。なお、図43乃至図45は上面図を示し、図25乃至図27は図43乃至図45におけるA-B間、C-D間、E-F間及びG-H間の断面図を示している。また、A-B間及びC-D間はロジック部に設けられる薄膜トランジスタを示し、E-F間はメモリ部に設けられる不揮発性メモリ素子を示し、G-H間はメモリ部に設けられる薄膜トランジスタを示している。

20

【0176】

まず、図18(C)まで同様に形成した後、図19(A)に示したように、半導体層104、106、108と、半導体層110の一部を選択的に覆うようにレジストを形成し、当該レジストに覆われていない半導体層110に不純物元素を導入することによって、不純物領域126を形成する。そして、レジストを除去し、半導体層104、106、110と、半導体層108の上方に形成された第1の絶縁層116と電荷蓄積層120及び電荷蓄積層123を含む積層構造を覆うように第2の絶縁層128を形成する(図25(A)

30

【0177】

次に、半導体層108、110の上方に形成された第2の絶縁層128を覆うようにレジスト130を選択的に形成し、半導体層104、106上に形成された第2の絶縁層128を選択的に除去する(図25(B)参照)。

【0178】

次に、半導体層104、106を覆うように第3の絶縁層132、134をそれぞれ形成する(図25(C)参照)。

【0179】

次に、半導体層104、106の上方に形成された第3の絶縁層132、134、半導体層108、110の上方に形成された第2の絶縁層128を覆うように導電膜を形成する(図26(A)参照)。本例では、導電膜として、導電膜136と導電膜138を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

40

【0180】

次に、積層して設けられた導電膜136、138を選択的にエッチングして除去することによって、半導体層104、106、108、110の上方の一部に導電膜136、138を残存させ、それぞれゲート電極として機能する導電膜140、142、144、146を形成する(図26(B)図43参照)。また、本実施例では、導電膜140、142、144、146と重ならない半導体層104、106、108、110の表面を露出さ

50

せる。

【0181】

具体的には、半導体層104において、導電膜140の下方に形成された第3の絶縁層132のうち当該導電膜140と重ならない部分を選択的に除去し、導電膜140と第3の絶縁層132の端部が概略一致するように形成する。また、半導体層106において、導電膜142の下方に形成された第3の絶縁層134のうち当該導電膜142と重ならない部分を選択的に除去し、導電膜142と第3の絶縁層134の端部が概略一致するように形成する。また、半導体層108において、導電膜144の下方に形成された第2の絶縁層128、電荷蓄積層120及び電荷蓄積層123を含む積層構造、第1の絶縁層116のうち当該導電膜144と重ならない部分を選択的に除去し、導電膜144と第2の絶縁層128、電荷蓄積層121及び電荷蓄積層125を含む積層構造及び第1の絶縁層116の端部が概略一致するように形成する。また、半導体層110において、導電膜146の下方に形成された第2の絶縁層128のうち当該導電膜146と重ならない部分を選択的に除去し、導電膜146と第2の絶縁層128の端部が概略一致するように形成する(図44参照)。

10

【0182】

この場合、導電膜140、142、144、146の形成と同時に重ならない部分の絶縁層等を除去してもよいし、導電膜140、142、144、146を形成後残存したレジスト又は当該導電膜140、142、144、146をマスクとして重ならない部分の絶縁層等を除去してもよい。

20

【0183】

次に、半導体層104を覆うようにレジスト148を選択的に形成し、当該レジスト148、導電膜142、144、146をマスクとして半導体層106、108、110に不純物元素を導入することによって不純物領域を形成する(図26(C)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。本例では、不純物元素として、リン(P)を用いる。

【0184】

図26(C)においては、不純物元素を導入することによって、半導体層106にソース領域又はドレイン領域を形成する不純物領域152とチャネル形成領域150が形成される。また、半導体層108には、ソース領域又はドレイン領域を形成する不純物領域156とチャネル形成領域154が形成される。また、半導体層110には、ソース領域又はドレイン領域を形成する高濃度の不純物領域162とLDD領域を形成する低濃度不純物領域164とチャネル形成領域160が形成される。

30

【0185】

次に、半導体層106、108、110を覆うようにレジスト166を選択的に形成し、当該レジスト166、導電膜140をマスクとして半導体層104に不純物元素を導入することによって不純物領域を形成する(図27(A)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。本例では、図26(C)で半導体層106、108、110に導入した不純物元素と異なる導電型を有する不純物元素(例えば、ボロン(B))を導入する。その結果、半導体層104にソース領域又はドレイン領域を形成する不純物領域170とチャネル形成領域168を形成される。

40

【0186】

なお、本実施例では、図26(C)又は図27(A)において、導電膜140、142、144、146と重ならない半導体層104、106、108、110を露出させた状態で不純物元素の導入を行っている。従って、半導体層104、106、108、110に

50

それぞれ形成されるチャネル形成領域 150、154、160、168 は導電膜 140、142、144、146 と自己整合的に形成することができる。

【0187】

次に、露出した半導体層 104、106、108、110 と導電膜 140、142、144、146 を覆うように絶縁層 192 を形成する（図 27（B）参照）。

【0188】

絶縁層 192 は、CVD 法やスパッタ法等により、酸化シリコン（ SiO_x ）、窒化シリコン（ SiN_x ）、酸化窒化シリコン（ SiO_xN_y 、 $(x > y)$ ）、窒化酸化シリコン（ SiN_xO_y 、 $(x > y)$ ）等の酸素または窒素を有する絶縁層や DLC（ダイヤモンドライクカーボン）等を用いて単層又は積層構造で設けることができる。

10

【0189】

次に、第 2 の絶縁層 128、第 3 の絶縁層 132、134、導電膜 140、142、144、146 を覆うように絶縁層 172 を形成し、当該絶縁層 172 上に半導体層 104、106、108、110 にそれぞれ形成された不純物領域 170、152、156、162 と電氣的に接続する導電膜 174 を形成する（図 27（C）、図 45 参照）。

【0190】

絶縁層 172 としては、上記実施例 1 で説明したいずれかの材料を用いることができる。例えば、絶縁層 192 として酸化シリコン（ SiO_x ）、窒化シリコン（ SiN_x ）、酸化窒化シリコン（ SiO_xN_y 、 $(x > y)$ ）、窒化酸化シリコン（ SiN_xO_y 、 $(x > y)$ ）等の酸素または窒素を有する無機材料を有する絶縁層を用い、絶縁層 172 としてエポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料で設けることができる。もちろん、絶縁層 192 と絶縁層 172 の双方を無機材料を有する絶縁層で形成してもよい。

20

【0191】

なお、本実施例において、半導体層 104、106、108、110 にサイドウォールを利用して LDD 領域を形成することも可能である。例えば、図 26（B）まで形成した後に、導電膜 140、142、144、146 をマスクとして半導体層 104、106、108、110 に低濃度の不純物元素を導入した後に、導電膜 140、142、144、146 の側面に接する絶縁層 198（サイドウォールともよばれる）を形成する（図 31（A）参照）。

30

【0192】

そして、当該絶縁層 198 と導電膜 140、142、144、146 をマスクとして高濃度の不純物元素を導入することによって、半導体層 104 にソース領域又はドレイン領域を形成する高濃度不純物領域 170 と LDD 領域を形成する低濃度不純物領域 188 とチャネル形成領域 168 が形成される。また、半導体層 106 にソース領域又はドレイン領域を形成する高濃度不純物領域 152 と LDD 領域を形成する低濃度不純物領域 186 とチャネル形成領域 150 が形成される。また、半導体層 108 には、ソース領域又はドレイン領域を形成する不純物領域 156 と LDD 領域を形成する低濃度不純物領域 158 とチャネル形成領域 154 が形成される。また、半導体層 110 には、ソース領域又はドレイン領域を形成する高濃度不純物領域 162 と LDD 領域を形成する低濃度不純物領域 164 とチャネル形成領域 160 が形成される（図 31（A）参照）。

40

【0193】

なお、絶縁層 198 の形成方法としては、プラズマ CVD 法やスパッタリング法等により、シリコン、シリコンの酸化物又はシリコンの窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。そして、当該絶縁層を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、導電膜 140、142、144、146 の側面に接するように形成することができる。なお、絶縁層 198 は、LDD（Lightly Doped drain）領域を形成する際のドーピング用のマスクとして用いる。また、本例では、絶縁層 198 は、導電膜 140、142、144、146 の下方に形成された絶縁層や電荷蓄積層の側面にも接するように形成されている。

50

【 0 1 9 4 】

その後、上述したように、絶縁層 1 9 2、1 7 2、導電膜 1 7 4 を形成することによって、不揮発性半導体記憶装置を得ることができる（図 3 1 (B) 参照）。

【 0 1 9 5 】

なお、本実施例で示した構造においても、上記実施例 3 で示したように浮遊ゲートとして機能する電荷蓄積層 1 2 1 及び電荷蓄積層 1 2 5 を含む積層構造の幅が半導体層 1 0 8 の幅より小さくなるように設けた構造としてもよい。また、本実施例で示した構造においても、上記図 3 5、図 3 6 に示したように不純物領域 1 9 4 を設けてもよい。

【 0 1 9 6 】

本実施例の不揮発性半導体記憶装置は、回路の構成に合わせてトランジスタにおけるゲート絶縁層の膜厚を異ならせることにより、低消費電力化を図ることができる。また、不揮発性半導体記憶装置の動作の安定化を図ることができる。具体的には、ロジック部を構成するトランジスタのゲート絶縁層の膜厚を薄くすることで、しきい値電圧のばらつきを小さくすることができ、低電圧で駆動させることが可能となる。メモリ部の選択トランジスタのゲート絶縁層の膜厚を厚くすることで、不揮発性メモリ素子に対する書き込み及び消去動作において、ロジック部よりも高電圧が適用される場合においても、動作の安定性を高めることができる。不揮発性メモリ素子においては、半導体層から浮遊ゲート電極へ電荷を注入しやすくすることができ、浮遊ゲート電極から電荷が消失することを防ぐことができる。すなわち、メモリとして動作する場合に、低電圧で高効率な書き込みをすることが出来、且つ電荷保持特性を向上させることが可能となる。本実施例によれば、このような優れた効果を奏する不揮発性半導体記憶装置を連続した工程で作製することが可能となる。

10

20

【 0 1 9 7 】

本実施例は、本明細書で示した他の実施の形態又は実施例と組み合わせて行うことができる。

【 実施例 6 】

【 0 1 9 8 】

本実施例では、上述した本発明の不揮発性半導体記憶装置を備えた非接触でデータの入出力が可能である半導体装置の適用例に関して図面を参照して以下に説明する。非接触でデータの入出力が可能である半導体装置は利用の形態によっては、RFID タグ、ID タグ、IC タグ、IC チップ、RF タグ、無線タグ、電子タグまたは無線チップともよばれる。

30

【 0 1 9 9 】

半導体装置 8 0 0 は、非接触でデータを交信する機能を有し、高周波回路 8 1 0、電源回路 8 2 0、リセット回路 8 3 0、クロック発生回路 8 4 0、データ復調回路 8 5 0、データ変調回路 8 6 0、他の回路の制御を行う制御回路 8 7 0、記憶回路 8 8 0 およびアンテナ 8 9 0 を有している（図 4 6 (A)）。高周波回路 8 1 0 はアンテナ 8 9 0 より信号を受信する。また、高周波回路 8 1 0 はデータ変調回路 8 6 0 より受信した信号をアンテナ 8 9 0 から出力する回路である。電源回路 8 2 0 は受信信号から電源電位を生成する回路であり、リセット回路 8 3 0 はリセット信号を生成する回路であり、クロック発生回路 8 4 0 はアンテナ 8 9 0 から入力された受信信号を基に各種クロック信号を生成する回路であり、データ復調回路 8 5 0 は受信信号を復調して制御回路 8 7 0 に出力する回路であり、データ変調回路 8 6 0 は制御回路 8 7 0 から受信した信号を変調する回路である。また、制御回路 8 7 0 としては、例えばコード抽出回路 9 1 0、コード判定回路 9 2 0、CRC 判定回路 9 3 0 および出力ユニット回路 9 4 0 が設けられている。なお、コード抽出回路 9 1 0 は制御回路 8 7 0 に送られてきた命令に含まれる複数のコードをそれぞれ抽出する回路であり、コード判定回路 9 2 0 は抽出されたコードとリファレンスに相当するコードとを比較して命令の内容を判定する回路であり、CRC 判定回路 9 3 0 は判定されたコードに基づいて送信エラー等の有無を検出する回路である。

40

【 0 2 0 0 】

50

次に、上述した半導体装置の動作の一例について説明する。まず、アンテナ 890 により無線信号が受信される。無線信号は高周波回路 810 を介して電源回路 820 に送られ、高電源電位（以下、VDD と記す）が生成される。VDD は半導体装置 800 が有する各回路に供給される。また、高周波回路 810 を介してデータ復調回路 850 に送られた信号は復調される（以下、復調信号）。さらに、高周波回路 810 を介してリセット回路 830 およびクロック発生回路 840 を通った信号及び復調信号は制御回路 870 に送られる。制御回路 870 に送られた信号は、コード抽出回路 910、コード判定回路 920 および CRC 判定回路 930 等によって解析される。そして、解析された信号にしたがって、記憶回路 880 内に記憶されている半導体装置の情報が出力される。出力された半導体装置の情報は出力ユニット回路 940 を通って符号化される。さらに、符号化された半導体装置 800 の情報はデータ変調回路 860 を通って、アンテナ 890 により無線信号に載せて送信される。なお、半導体装置 800 を構成する複数の回路においては、低電源電位（以下、VSS）は共通であり、VSS は GND とすることができる。また、本発明の不揮発性半導体記憶装置を記憶回路 880 に適用することができる。本発明の不揮発性半導体記憶装置は、駆動電圧を低くすることができるため、非接触でデータを交信できる距離をのばすことが可能となる。

【0201】

このように、リーダ/ライタから半導体装置 800 に信号を送り、当該半導体装置 800 から送られてきた信号をリーダ/ライタで受信することによって、半導体装置のデータを読み取ることが可能となる。

【0202】

また、半導体装置 800 は、各回路への電源電圧の供給を電源（バッテリー）を搭載せず電磁波により行うタイプとしてもよいし、電源（バッテリー）を搭載して電磁波と電源（バッテリー）により各回路に電源電圧を供給するタイプとしてもよい。

【0203】

次に、非接触でデータの入出力が可能な半導体装置の使用形態の一例について説明する。表示部 3210 を含む携帯端末の側面には、リーダ/ライタ 3200 が設けられ、品物 3220 の側面には半導体装置 3230 が設けられる（図 46（B））。品物 3220 が含む半導体装置 3230 にリーダ/ライタ 3200 をかざすと、表示部 3210 に品物の原材料や原産地、生産工程ごとの検査結果や流過程の履歴等、更に商品の説明等の商品に関する情報が表示される。また、商品 3260 をベルトコンベアにより搬送する際に、リーダ/ライタ 3240 と、商品 3260 に設けられた半導体装置 3250 を用いて、該商品 3260 の検品を行うことができる（図 46（C））。このように、システムに半導体装置を活用することで、情報の取得を簡単に行うことができ、高機能化と高付加価値化を実現する。

【0204】

本発明の不揮発性半導体記憶装置は、メモリを具備したあらゆる分野の電子機器に用いることが可能である。例えば、本発明の不揮発性半導体記憶装置を適用した電子機器として、ビデオカメラ、デジタルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には DVD（digital versatile disc）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子機器の具体例を図 17 に示す。

【0205】

図 17（A）、（B）は、デジタルカメラを示している。図 17（B）は、図 17（A）の裏側を示す図である。このデジタルカメラは、筐体 2111、表示部 2112、レンズ 2113、操作キー 2114、シャッター 2115 などを有する。また、取り出し可能な不揮発性メモリ 2116 を備えており、当該デジタルカメラで撮影したデータを不揮発性

10

20

30

40

50

メモリ 2116 に記憶させておく構成となっている。本発明を用いて形成された不揮発性の半導体記憶装置は不揮発性メモリ 2116 に適用することができる。

【0206】

図 17 (C) は、携帯電話を示しており、携帯端末の 1 つの代表例である。この携帯電話は筐体 2121、表示部 2122、操作キー 2123 などを含む。また、携帯電話は、取り出し可能な不揮発性メモリ 2125 を備えており、当該携帯電話の電話番号等のデータ、映像、音楽データ等を不揮発性メモリ 2125 に記憶させ再生することができる。本発明を用いて形成された不揮発性の半導体記憶装置は不揮発性メモリ 2125 に適用することができる。

【0207】

図 17 (D) は、デジタルプレーヤーを示しており、オーディオ装置の 1 つの代表例である。図 17 (D) に示すデジタルプレーヤーは、本体 2130、表示部 2131、不揮発性メモリ部 2132、操作部 2133、イヤホン 2134 等を含んでいる。なお、イヤホン 2134 の代わりにヘッドホンや無線式イヤホンを用いることができる。不揮発性メモリ部 2132 は、本発明を用いて形成された不揮発性の半導体記憶装置を用いることができる。例えば、記録容量が 20 ギガバイト乃至 200 ギガバイトの NAND 型不揮発性メモリを用い、操作部 2133 を操作することにより、映像や音声（音楽）を記録、再生することができる。なお、表示部 2131 は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型のオーディオ装置において特に有効である。なお、不揮発性メモリ部 2132 に設けられた不揮発性の半導体記憶装置は、取り出し可能な構成としてもよい。

【0208】

図 17 (E) は、電子ブック（電子ペーパーともいう）を示している。この電子ブックは、本体 2141、表示部 2142、操作キー 2143、不揮発性メモリ部 2144 を含んでいる。またモデムが本体 2141 に内蔵されていてもよいし、無線で情報を送受信できる構成としてもよい。不揮発性メモリ部 2144 は、本発明を用いて形成された不揮発性の半導体記憶装置を用いることができる。例えば、記録容量が 20 ギガバイト乃至 200 ギガバイトの NAND 型不揮発性メモリを用い、操作キー 2143 を操作することにより、映像や音声（音楽）を記録、再生することができる。なお、不揮発性メモリ部 2144 に設けられた不揮発性の半導体記憶装置は、取り出し可能な構成としてもよい。

【0209】

以上の様に、本発明の不揮発性半導体記憶装置の適用範囲は極めて広く、メモリを有するものであればあらゆる分野の電子機器に用いることが可能である。

【図面の簡単な説明】

【0210】

【図 1】本発明に係る不揮発性半導体記憶装置の主要な構成を説明するための断面図。

【図 2】初期状態（電荷放出状態）における不揮発性メモリのバンド図。

【図 3】書き込み状態における不揮発性メモリのバンド図。

【図 4】電荷保持状態における不揮発性メモリのバンド図。

【図 5】消去状態における不揮発性メモリのバンド図。

【図 6】不揮発性メモリの書き込み及び読み出し動作を説明する図。

【図 7】不揮発性メモリの消去動作を説明する図。

【図 8】不揮発性メモリセルアレイの等価回路の一例を示す図。

【図 9】NOR 型不揮発性メモリセルアレイの等価回路の一例を示す図。

【図 10】NAND 型不揮発性メモリセルアレイの等価回路の一例を示す図。

【図 11】NAND 型不揮発性メモリの書き込み動作を説明する図。

【図 12】NAND 型不揮発性メモリの消去及び読み出し動作を説明する図。

【図 13】電荷が蓄積された "0" の場合と消去された "1" の場合における不揮発性メモリのしきい値電圧の変化を示す図。

【図 14】不揮発性半導体記憶装置の回路ブロック図の一例を示す図。

10

20

30

40

50

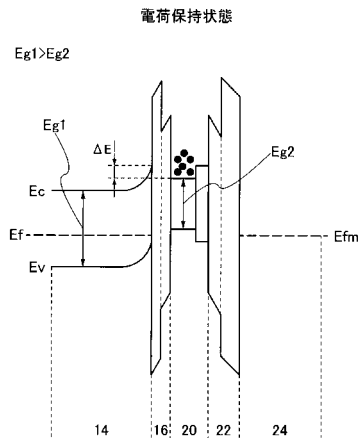
- 【図15】プラズマ処理装置の構成を説明する図。
- 【図16】従来の不揮発性メモリのバンド図。
- 【図17】本発明の不揮発性半導体記憶装置の使用形態の一例を示す図。
- 【図18】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図19】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図20】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図21】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図22】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図23】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図24】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図25】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図26】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図27】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図28】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図29】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図30】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図31】本発明の不揮発性半導体記憶装置の作製方法の一例を示す図。
- 【図32】本発明の不揮発性半導体記憶装置の上面の一例を示す図。
- 【図33】本発明の不揮発性半導体記憶装置の上面の一例を示す図。
- 【図34】本発明の不揮発性半導体記憶装置の上面の一例を示す図。
- 【図35】本発明の不揮発性半導体記憶装置の上面の一例を示す図。
- 【図36】本発明の不揮発性半導体記憶装置の上面の一例を示す図。
- 【図37】本発明の不揮発性半導体記憶装置の一例を示す図。
- 【図38】本発明の不揮発性半導体記憶装置の一例を示す図。
- 【図39】本発明の不揮発性半導体記憶装置の上面の一例を示す図。
- 【図40】本発明の不揮発性半導体記憶装置の上面の一例を示す図。
- 【図41】本発明の不揮発性半導体記憶装置の上面の一例を示す図。
- 【図42】本発明の不揮発性半導体記憶装置の上面の一例を示す図。
- 【図43】本発明の不揮発性半導体記憶装置の上面の一例を示す図。
- 【図44】本発明の不揮発性半導体記憶装置の上面の一例を示す図。
- 【図45】本発明の不揮発性半導体記憶装置の上面の一例を示す図。
- 【図46】本発明の不揮発性半導体記憶装置の使用形態の一例を示す図。
- 【符号の説明】
- 【0211】
- M0 不揮発性メモリ素子
- M01 不揮発性メモリ素子
- M02 不揮発性メモリ素子
- M03 不揮発性メモリ素子
- M11 不揮発性メモリ素子
- M12 不揮発性メモリ素子
- M13 不揮発性メモリ素子
- S1 選択トランジスタ
- S2 選択トランジスタ
- S01 選択トランジスタ
- S02 選択トランジスタ
- S03 選択トランジスタ
- S11 選択トランジスタ
- S12 選択トランジスタ
- S13 選択トランジスタ
- MS01 メモリセル

W L	ワード線	
W L 0	ワード線	
W L 1	ワード線	
W L 1 1	ワード線	
B L	ビット線	
B L 0	ビット線	
S L	ソース線	
N S 1	N A N Dセル	
0 1	半導体層	
0 2	第1の絶縁層	10
0 3	浮遊ゲート電極	
0 4	第2の絶縁層	
0 5	制御ゲート電極	
1 0	基板	
1 2	下地絶縁層	
1 4	半導体層	
1 6	第1の絶縁層	
1 6 a	酸化シリコン層	
1 6 b	窒化シリコン層	
1 8	不純物領域	20
1 8 a	ソース領域	
1 8 b	ドレイン領域	
2 0	浮遊ゲート電極	
2 0 a	第1の浮遊ゲート電極	
2 0 b	第2の浮遊ゲート電極	
2 2	第2の絶縁層	
2 2 a	窒化シリコン層	
2 2 b	酸化シリコン層	
2 4	制御ゲート電極	
2 4 a	金属窒化物層	30
2 4 b	金属層	
2 6	ゲート	
3 0	半導体層	
3 2	半導体層	
3 4	半導体層	
3 6	半導体層	
3 8	半導体層	
4 0	半導体層	
5 2	メモリセルアレイ	
5 4	周辺回路	40
5 6	アドレスバッファ	
5 8	コントロール回路	
6 0	昇圧回路	
6 2	ロウデコーダ	
6 4	カラムデコーダ	
6 6	センスアンプ	
6 8	データバッファ	
7 0	データ入出力バッファ	
8 0	アンテナ	
8 2	誘電体板	50

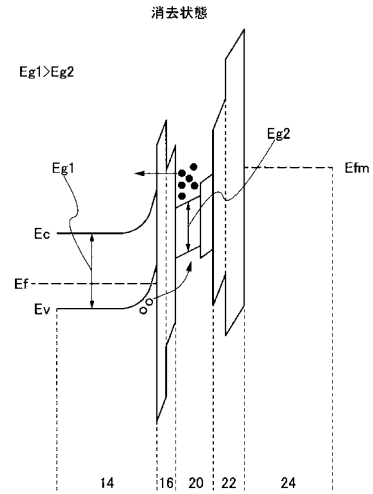
8 4	ガス供給部	
8 6	排気口	
8 8	支持台	
9 0	温度制御部	
9 2	マイクロ波供給部	
9 4	プラズマ	
1 0 0	基板	
1 0 1	基板	
1 0 2	絶縁層	
1 0 4	半導体層	10
1 0 6	半導体層	
1 0 8	半導体層	
1 1 0	半導体層	
1 1 2	第 1 の絶縁層	
1 1 6	第 1 の絶縁層	
1 2 0	電荷蓄積層	
1 2 1	電荷蓄積層	
1 2 3	電荷蓄積層	
1 2 5	電荷蓄積層	
1 2 2	レジスト	20
1 2 4	レジスト	
1 2 6	不純物領域	
1 2 8	第 2 の絶縁層	
1 3 0	レジスト	
1 3 2	絶縁層	
1 3 4	絶縁層	
1 3 6	導電膜	
1 3 8	導電膜	
1 4 0	導電膜	
1 4 2	導電膜	30
1 4 4	導電膜	
1 4 6	導電膜	
1 4 8	レジスト	
1 5 0	チャンネル形成領域	
1 5 2	不純物領域	
1 5 4	チャンネル形成領域	
1 5 6	不純物領域	
1 5 8	低濃度不純物領域	
1 6 0	チャンネル形成領域	
1 6 2	不純物領域	40
1 6 4	低濃度不純物領域	
1 6 6	レジスト	
1 6 8	チャンネル形成領域	
1 7 0	不純物領域	
1 7 2	絶縁層	
1 7 4	導電膜	
1 8 2 a	導電膜	
1 8 2 b	導電膜	
1 8 2 c	導電膜	
1 8 2 d	導電膜	50

1 8 4 a	導電膜	
1 8 4 b	導電膜	
1 8 4 c	導電膜	
1 8 4 d	導電膜	
1 8 6	低濃度不純物領域	
1 8 8	低濃度不純物領域	
1 9 0	不純物領域	
1 9 2	絶縁層	
1 9 4	不純物領域	
1 9 8	絶縁層	10
2 0 0 a	半導体層	
2 0 0 b	半導体層	
2 0 2 a	N A N Dセル	
2 0 2 b	N A N Dセル	
8 0 0	半導体装置	
8 1 0	高周波回路	
8 2 0	電源回路	
8 3 0	リセット回路	
8 4 0	クロック発生回路	
8 5 0	データ復調回路	20
8 6 0	データ変調回路	
8 7 0	制御回路	
8 8 0	記憶回路	
8 9 0	アンテナ	
9 1 0	コード抽出回路	
9 2 0	コード判定回路	
9 3 0	C R C判定回路	
9 4 0	出力ユニット回路	
2 1 1 1	筐体	
2 1 1 2	表示部	30
2 1 1 3	レンズ	
2 1 1 4	操作キー	
2 1 1 5	シャッター	
2 1 1 6	不揮発性メモリ	
2 1 2 1	筐体	
2 1 2 2	表示部	
2 1 2 3	操作キー	
2 1 2 5	不揮発性メモリ	
2 1 3 0	本体	
2 1 3 1	表示部	40
2 1 3 2	不揮発性メモリ部	
2 1 3 3	操作部	
2 1 3 4	イヤホン	
2 1 4 1	本体	
2 1 4 2	表示部	
2 1 4 3	操作キー	
2 1 4 4	不揮発性メモリ部	
3 2 0 0	リーダ/ライタ	
3 2 1 0	表示部	
3 2 2 0	品物	50

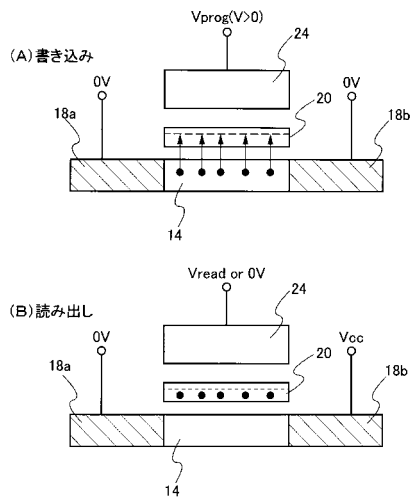
【図4】



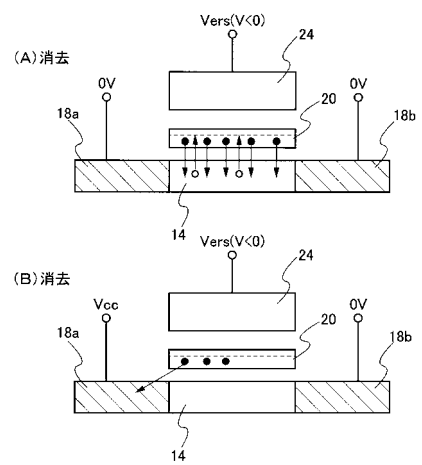
【図5】



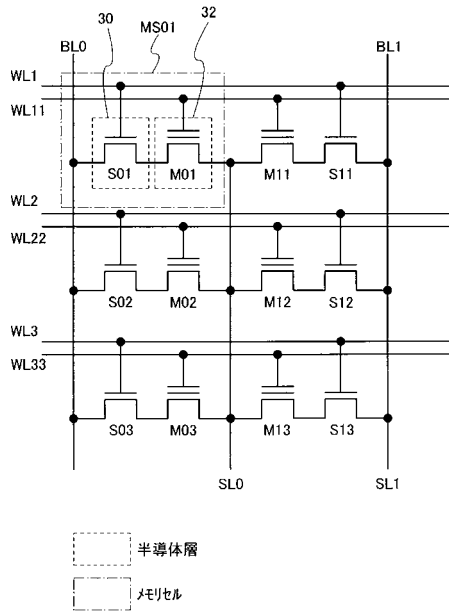
【図6】



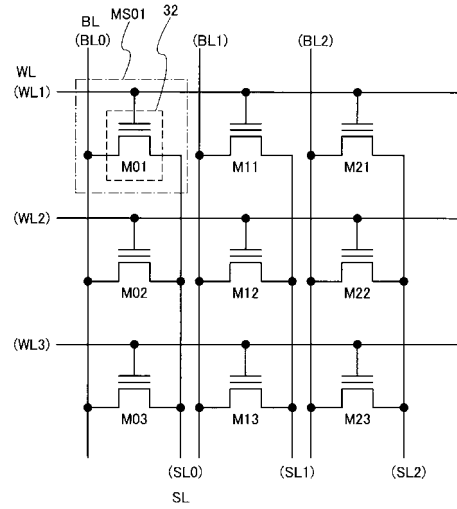
【図7】



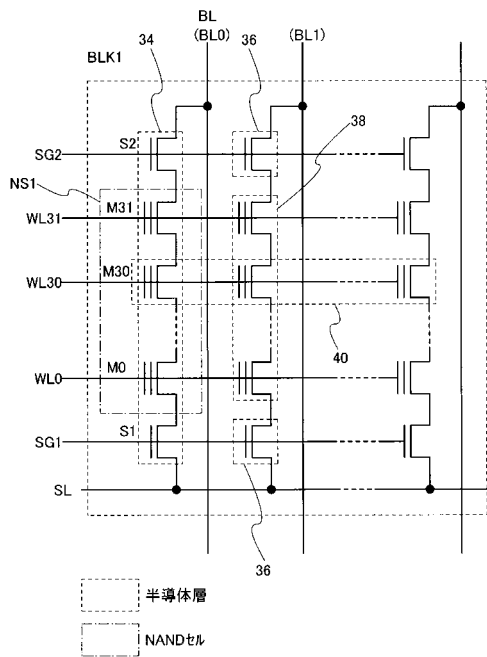
【図8】



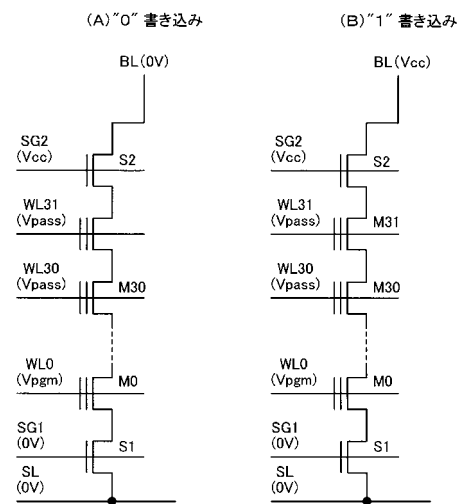
【図9】



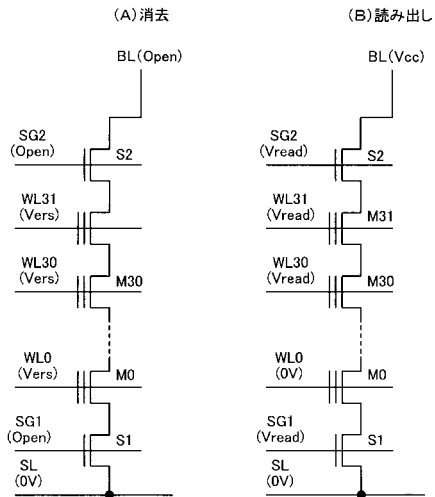
【図10】



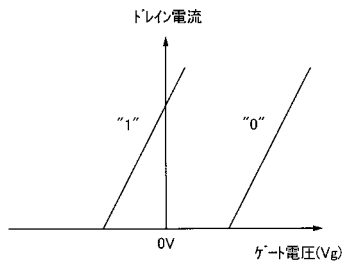
【図11】



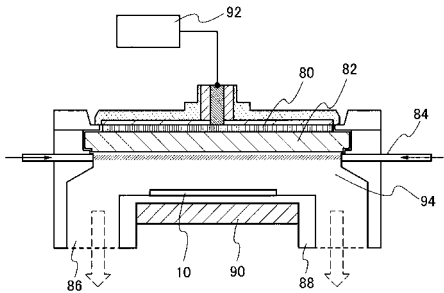
【図12】



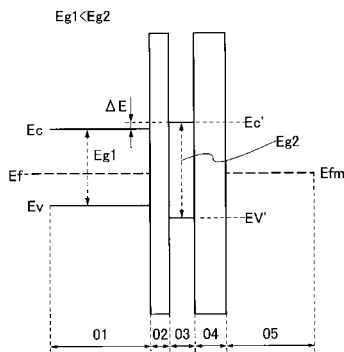
【図13】



【図15】

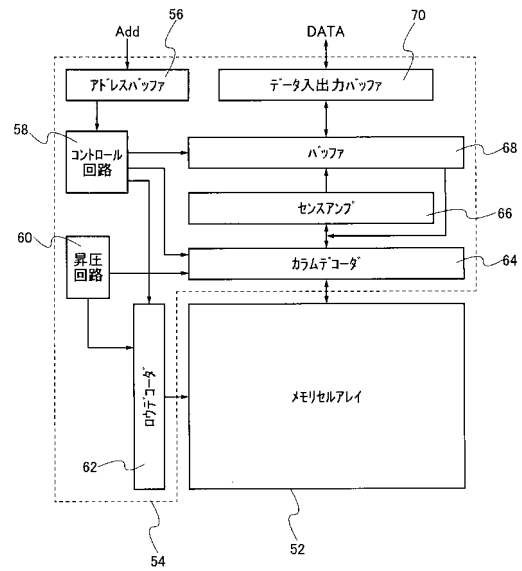


【図16】

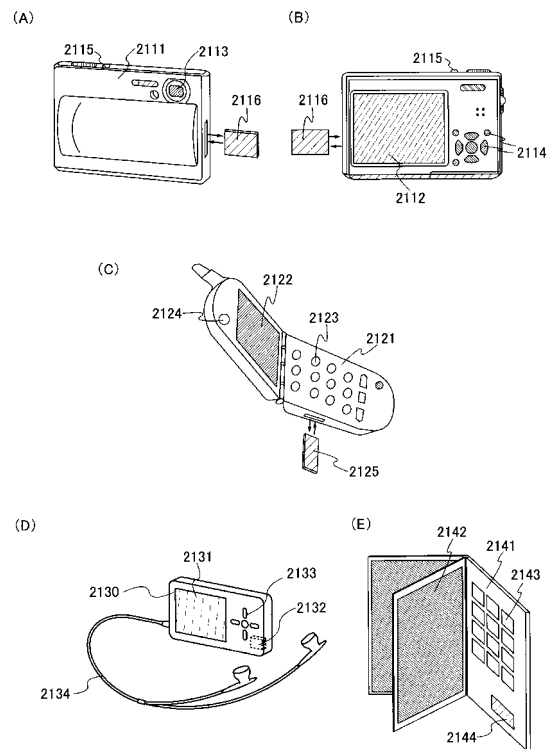


- 01: 半導体層 (Si)
- 02: 第1絶縁層
- 03: 浮遊ゲート (Si)
- 04: 第2絶縁層
- 05: 制御ゲート

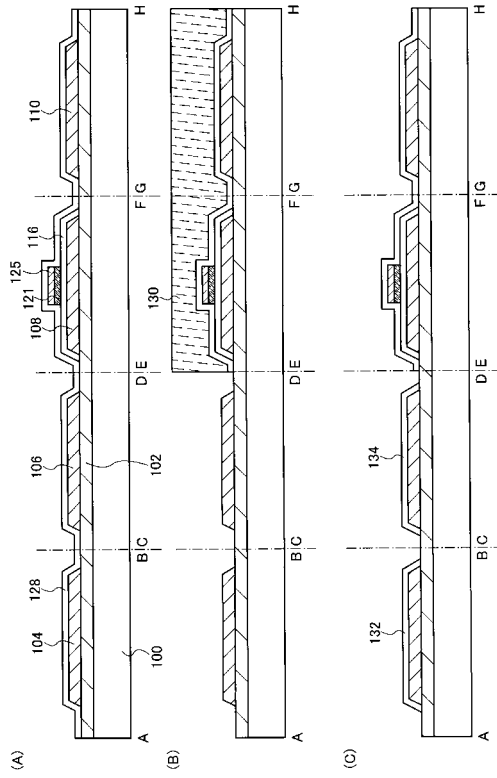
【図14】



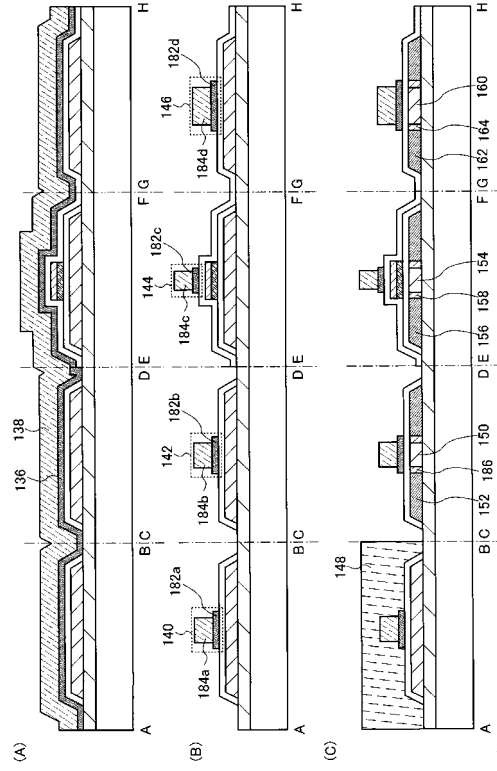
【図17】



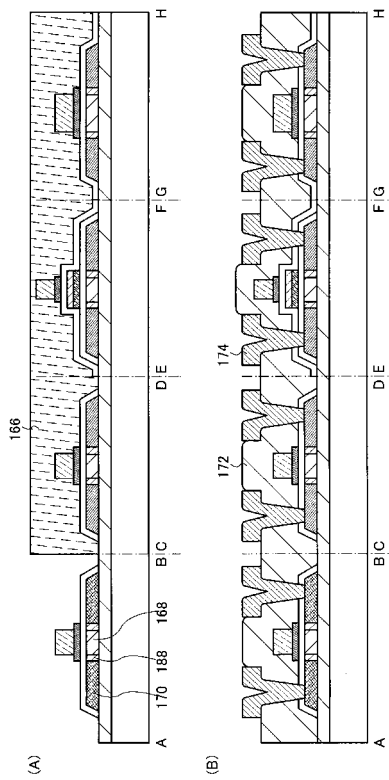
【 2 2 】



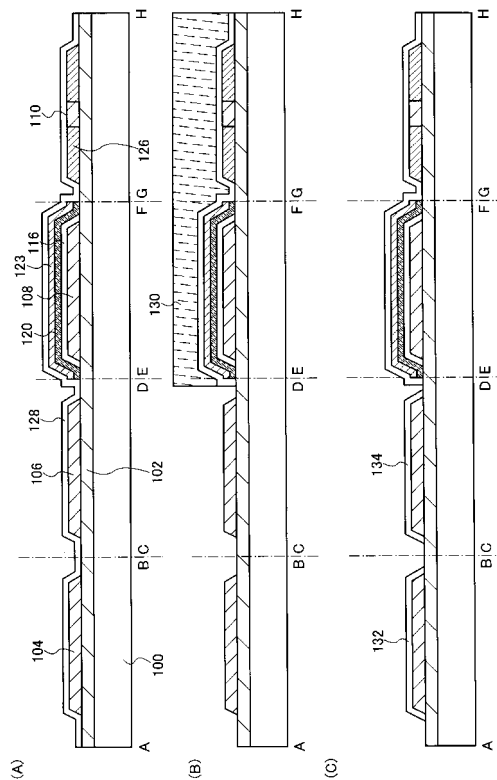
【 2 3 】



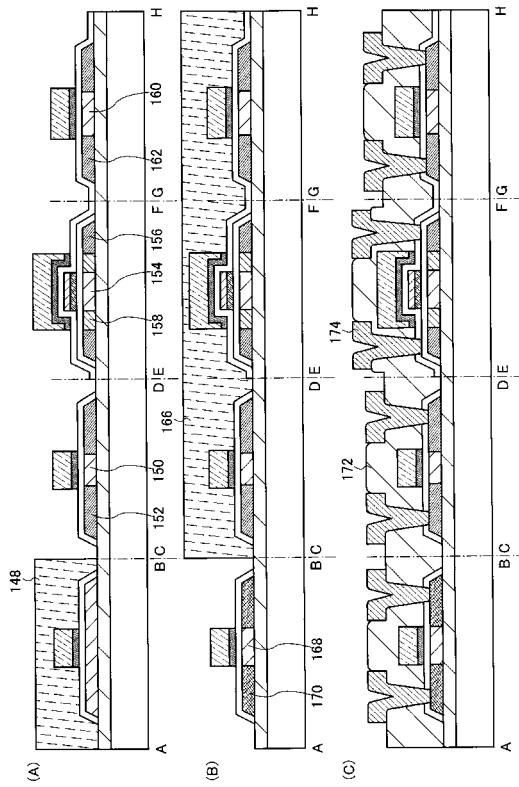
【 2 4 】



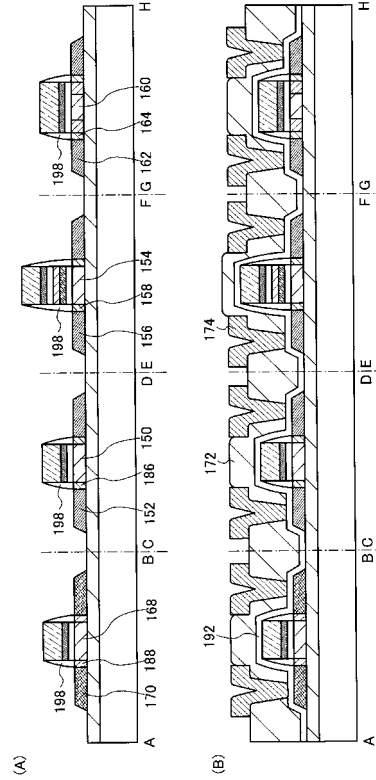
【 2 5 】



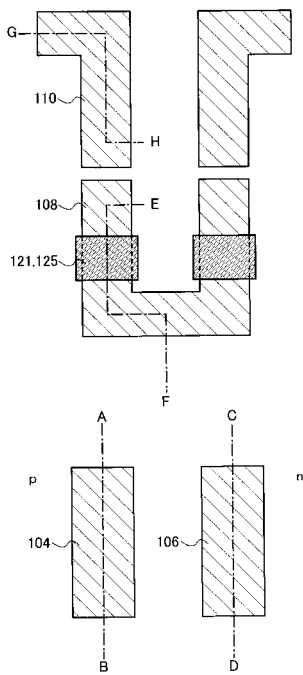
【 30 】



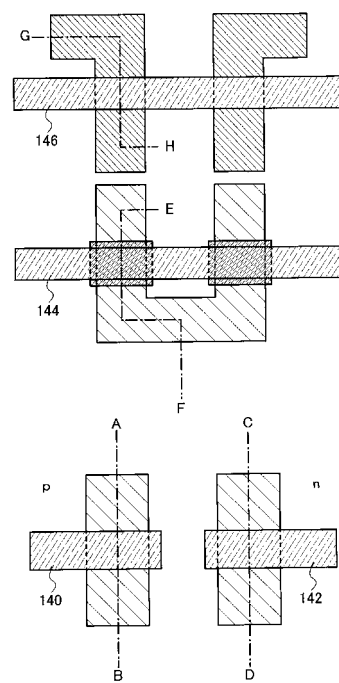
【 31 】



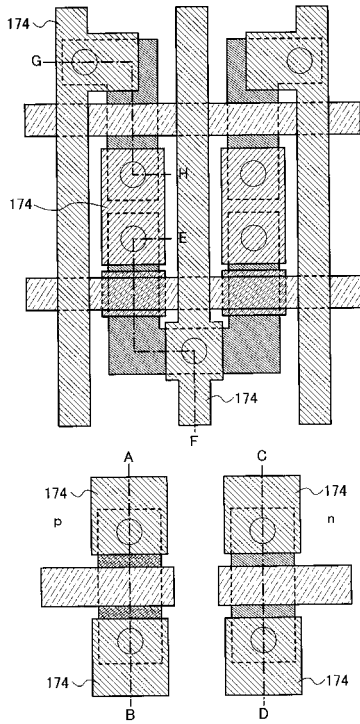
【 32 】



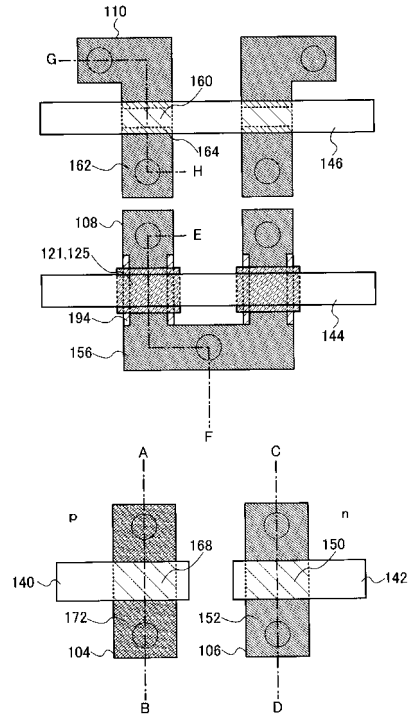
【 33 】



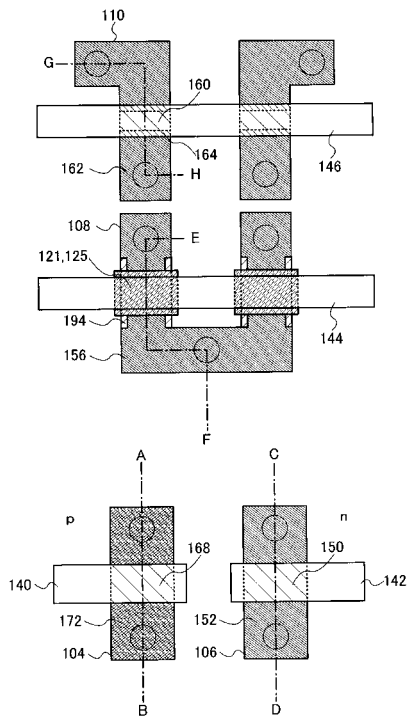
【 図 3 4 】



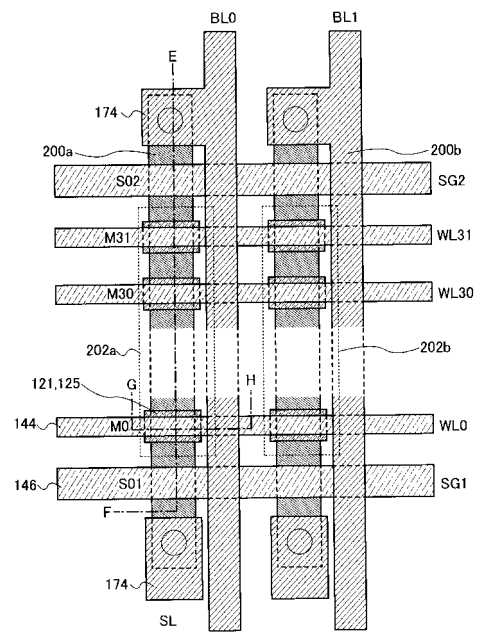
【 図 3 5 】



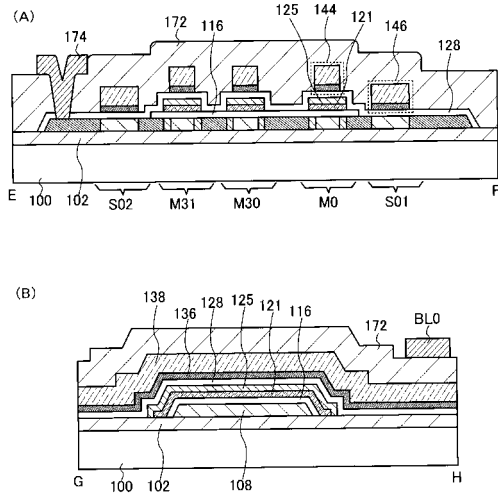
【 図 3 6 】



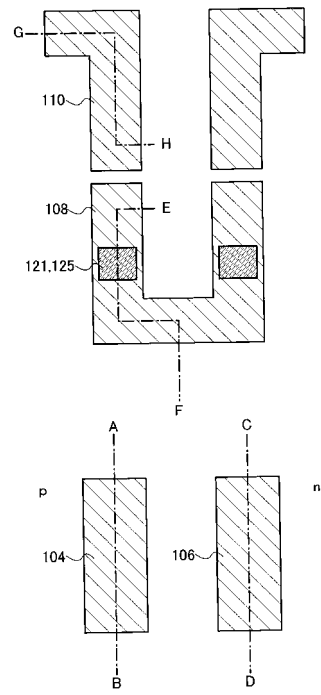
【 図 3 7 】



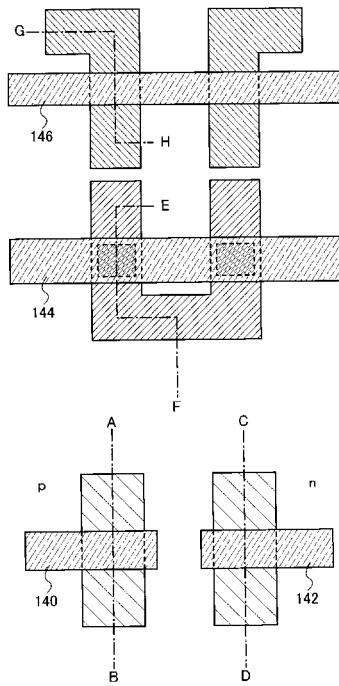
【 図 3 8 】



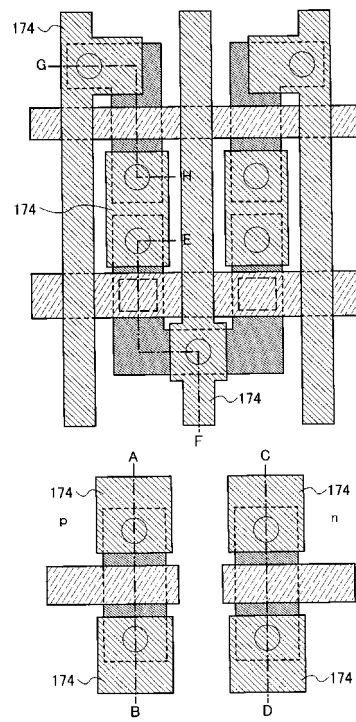
【 図 3 9 】



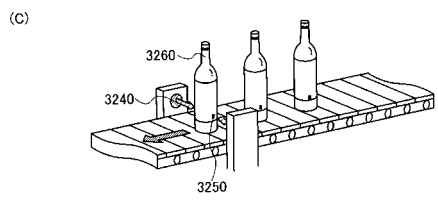
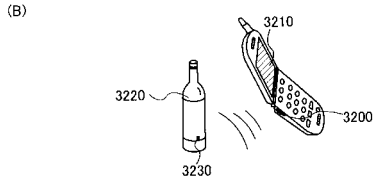
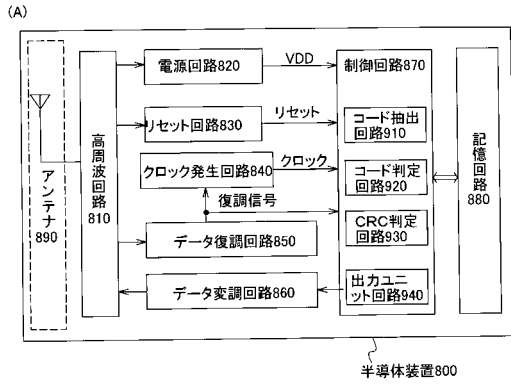
【 図 4 0 】



【 図 4 1 】



【図46】



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 27/10 (2006.01)

審査官 加藤 俊哉

(56)参考文献 特開平03 - 153085 (JP, A)
特開2002 - 198446 (JP, A)
特開2004 - 006658 (JP, A)
特開2005 - 294814 (JP, A)
特開2002 - 164536 (JP, A)
再公表特許第01 / 069665 (JP, A1)
特開平05 - 075136 (JP, A)
特開平07 - 302848 (JP, A)
特開2006 - 114905 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21 / 336
H 0 1 L 21 / 8247
H 0 1 L 27 / 10
H 0 1 L 27 / 115
H 0 1 L 29 / 788
H 0 1 L 29 / 792