



(12) 发明专利

(10) 授权公告号 CN 101076924 B

(45) 授权公告日 2012. 01. 18

(21) 申请号 200580042556. 6

(22) 申请日 2005. 11. 30

(30) 优先权数据

11/028, 811 2005. 01. 03 US

(85) PCT申请进入国家阶段日

2007. 06. 12

(86) PCT申请的申请数据

PCT/US2005/043208 2005. 11. 30

(87) PCT申请的公布数据

W02006/073624 EN 2006. 07. 13

(73) 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

(72) 发明人 翁 - 耶 · 希恩

布莱恩 · J · 古尔斯比 比希 - 安 · 阮

西恩 · T · 阮 塔布 · A · 斯蒂芬斯

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 梁晓广 陆锦华

(51) Int. Cl.

H01L 21/336 (2006. 01)

H01R 13/44 (2006. 01)

H01R 13/28 (2006. 01)

H01R 25/00 (2006. 01)

(56) 对比文件

US 6420218 B1, 2002. 07. 16, 全文.

US 6121659 A, 2000. 09. 19, 说明书第 4 栏第 19 行到第 5 栏第 67 行、附图 4-5.

US 2003/0132504 A1, 2003. 07. 17, 说明书第 4 页第 [0041] 段、附图 8-9.

审查员 段小晋

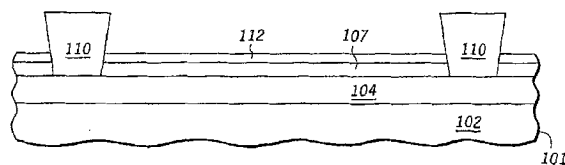
权利要求书 2 页 说明书 4 页 附图 4 页

(54) 发明名称

在 SOI 晶片中包括凹陷的源 / 漏区的半导体制造工艺

(57) 摘要

本发明提供一种在绝缘体上硅 (SOI) 晶片 (101) 中形成具有凹陷的源 / 漏的晶体管的方法, 其包括: 在晶片的有源层中形成隔离结构 (110), 其中该隔离结构优选延伸通过该有源层至晶片的 BOX 层 (104)。移除该有源层的上部以形成晶体管沟道结构。在该沟道结构上 (143, 145) 形成栅介质 (120), 并在该栅介质上形成栅结构 (140)。执行通过栅介质的暴露部分、沟道结构和 BOX 层的刻蚀, 然后从衬底体块 (102) 的暴露部分外延生长源 / 漏结构 (160)。该隔离结构和 BOX 都主要包括氧化硅, 并且该隔离结构的厚度防止部分的 BOX 层被刻蚀。



1. 一种半导体制造工艺,包括:

在绝缘体上硅晶片的有源层中形成隔离沟槽结构;

通过相对于该隔离沟槽选择性地刻蚀该有源层,薄化该有源层以形成沟道结构;

在该沟道结构上形成栅介质;

在该栅介质上形成栅结构;

使用该栅结构作为掩膜,移除该栅介质和下面的沟道结构的暴露部分,以使该绝缘体上硅晶片的埋氧层的部分暴露;

刻蚀穿过该埋氧层的暴露部分至该绝缘体上硅晶片的衬底体块的暴露部分,其中在所述刻蚀期间,在该埋氧层的隔离部分上的该隔离沟槽结构的存在防止了该埋氧层的隔离部分被移除;及

从该衬底体块的暴露部分外延生长半导体源/漏结构,其中相邻的半导体源/漏结构由该埋氧层的隔离部分彼此隔离。

2. 如权利要求1的方法,其中形成栅介质包括热生成氧化硅栅介质。

3. 如权利要求1的方法,其中形成栅介质包括淀积高介电常数的栅介质。

4. 如权利要求1的方法,其中形成栅结构包括通过以下步骤形成栅电极:

在该栅介质上形成导电层;及

在该导电层上形成抗反射涂层(ARC);及

将该导电层和该ARC图形化以形成该栅电极。

5. 如权利要求4的方法,其中该ARC包括氮化硅。

6. 如权利要求5的方法,其中该导电部分包括多晶硅。

7. 如权利要求5的方法,其中该导电部分包括金属。

8. 如权利要求3的方法,进一步包括在该栅电极的侧壁上形成介电间隔壁结构。

9. 如权利要求1的方法,其中外延生长半导体源/漏结构包括外延生长硅源/漏结构。

10. 如权利要求1的方法,其中外延生长半导体源/漏结构包括外延生长硅锗源/漏结构。

11. 一种将绝缘体上硅晶片的埋氧层图形化的方法,包括:

在该绝缘体上硅晶片的有源层中形成介电隔离结构,该介电隔离结构在该埋氧层的隔离部分上;

通过相对于该介电隔离结构选择性地薄化该有源层,在该埋氧层上形成晶体管沟道结构并在该沟道结构上形成栅介质;

在该栅介质上形成栅结构;以及

刻蚀穿过未被该栅结构掩膜的部分该晶体管沟道结构、栅介质和埋氧层,其中在所述刻蚀期间,该介电隔离结构的存在防止了所述刻蚀将该埋氧层的隔离部分移除。

12. 如权利要求11的方法,其中该介电隔离结构的厚度超过该埋氧层的厚度。

13. 如权利要求11的方法,其中形成晶体管沟道结构包括刻蚀大部分的该有源层。

14. 如权利要求11的方法,其中该栅介质选自热生成的二氧化硅和高介电常数材料。

15. 如权利要求11的方法,其中形成该栅结构包括:淀积导电层,在该导电层上淀积介电帽盖层,刻蚀该导电层和该介电帽盖层以形成栅电极,以及在该栅电极的侧壁上形成介电间隔壁。

16. 一种使用绝缘体上硅晶片形成具有凹陷的源 / 漏的晶体管的方法, 该绝缘体上硅晶片包括在衬底体块上的埋氧层上的有源层, 该方法包括:

在该绝缘体上硅晶片的有源层中形成隔离结构, 其中该隔离结构延伸穿过该有源层至该埋氧层;

移除相邻隔离沟槽之间的该有源层的上部, 以形成晶体管沟道结构;

在该沟道结构上形成栅介质;

在该栅介质上形成栅结构; 及

刻蚀穿过未被该栅结构或该隔离沟槽掩膜的部分该栅介质、沟道结构和埋氧层; 以及从通过所述刻蚀而暴露的部分该衬底体块外延生长源 / 漏结构。

17. 如权利要求 16 的方法, 其中该源 / 漏结构具有第一导电类型, 且进一步包括: 使用第二导电类型的杂质进行到该体块衬底的深注入。

18. 如权利要求 16 的方法, 移除该有源层的上部包括刻蚀大部分该有源层。

19. 如权利要求 16 的方法, 其中形成该栅结构包括形成栅电极和在该栅电极的侧壁上形成介电间隔壁。

20. 如权利要求 16 的方法, 其中该隔离结构和该埋氧层都主要包括氧化硅, 并且其中该隔离结构的厚度防止该埋氧层的隔离部分在所述刻蚀期间被刻蚀。

在 SOI 晶片中包括凹陷的源 / 漏区的半导体制造工艺

技术领域

[0001] 本发明属于半导体制造工艺领域,并且更具体地,属于使用绝缘体上硅起始材料(starting material)的制造工艺领域。

背景技术

[0002] 在半导体制造工艺领域中,已经使用绝缘体上硅(SOI)晶片来减小能够影响器件性能的结电容。SOI 晶片包括在底部氧化层上的薄的硅顶层。在薄顶层中形成晶体管导致很浅的源 / 漏区。尽管浅源 / 漏区对于减小结电容是希望的,但是它们也能够显现出以与晶体管串联的外部电阻为特征的不希望的增加的阻抗效应。抬高的源 / 漏区已经用于处理后者的问题,在抬高的源 / 漏区中源 / 漏结构基本上形成在原始晶片表面之上。然而,抬高的源 / 漏区增加了与晶体管栅极的叠加电容,并能产生电流群集(crowding)效应。因此,希望结合相对厚的源 / 漏区来获得 SOI 晶片的优点而不致遇到抬高的源漏区的负面效应且基本不增加工艺复杂性。

附图说明

[0003] 以示例的方式说明本发明,并且本发明不限于附图,在附图中相似的标记表示类似的元件,其中:

[0004] 图 1 是绝缘体上硅晶片的局部截面图;

[0005] 图 2 描述根据本发明实施例在图 1 的晶片上进行的制造工艺,其中隔离结构形成在 SOI 晶片的有源层中;

[0006] 图 3 描述图 2 之后的由有源层形成晶体管沟道结构的工艺;

[0007] 图 4 描述图 3 之后的在晶体管沟道结构上形成牺牲氧化层的工艺;

[0008] 图 5 描述图 4 之后的移除牺牲氧化层的工艺;

[0009] 图 6 描述图 5 之后的在晶体管沟道结构上形成栅介质的工艺;

[0010] 图 7 描述图 6 之后的在栅介质上形成导电层和帽盖层的工艺;

[0011] 图 8 描述图 7 之后的刻蚀导电层和帽盖层以形成栅电极的工艺;

[0012] 图 9 描述图 8 之后的在栅电极侧壁上形成间隔壁(spacer)的工艺;

[0013] 图 10 描述图 9 之后的刻蚀栅介质和晶体管沟道的暴露部分的工艺;

[0014] 图 11 描述图 10 之后的移除埋氧层(buried oxide layer)暴露部分的工艺;

[0015] 图 12 描述图 11 之后的进行 HF 浸入以清洗晶片体和晶体管沟道的暴露部分的工艺;和

[0016] 图 13 描述图 12 之后的使用外延生长工艺形成凹陷的源 / 漏结构的工艺。

[0017] 技术人员可认识到,附图中的元件是出于简化和清楚而说明的,并不必须按比例绘制。例如,附图中一些元件的尺寸可以相对于其它元件被放大,以有助于提高对本发明实施例的理解。

具体实施方式

[0018] 通常来讲,本发明构思一种使用凹陷的源 / 漏结构和 SOI 起始材料的半导体制造工艺。该凹陷的源 / 漏需要移除部分 SOI 埋氧 (BOX) 层。该 BOX 层的剩余部分在相邻器件之间提供隔离。根据本发明,BOX 层的选择性移除不需要专门的光刻 (即,掩膜) 步骤。

[0019] 现在参考附图,图 1 是用作本发明起始材料的 SOI 晶片 101 的局部截面图。晶片 101 包括晶片体块 102、体块 102 上的 BOX 层 104 和有源层 106 (有时称作顶层 106)。晶片体块 102 优选是半导体材料,例如硅。BOX 层 104 优选是厚度大约 50nm 的氧化硅层。有源层 106 优选是半导体,例如硅或硅锗。有源层 106 优选为外延层并且优选具有大约 100nm 的厚度。

[0020] 现在参考图 2,在有源层 106 中形成隔离结构 110。所描述实施例的隔离结构是由例如氧化硅的合适电介质形成的浅沟槽隔离结构。在所描述实施例中,隔离结构 110 延伸整个通过有源层 106 与 BOX 层 104 接触。当作为凹陷的源 / 漏形成工艺的一部分刻蚀 BOX 层 104 的其它部分时,隔离结构 110 掩蔽或保护 BOX 层 104 下面的部分。在隔离结构 110 和 BOX 层 104 由相同材料 (例如氧化硅) 构成的实施例中,隔离结构 110 和 BOX 层 104 的刻蚀速率大体上相当。在这种实施例中,为了确保隔离结构 110 的厚度足以保护 BOX 层 104 下面的部分,隔离结构 110 的厚度优选以相当大的余量超过 BOX 层 104 的厚度。在该优选实施例中,隔离结构 110 至少是 BOX 层 104 两倍厚。

[0021] 现在参考图 3,在一对隔离结构 110 之间的 BOX 层 104 上形成晶体管沟道结构 107。在描述的实施例中,通过刻蚀或其它方式移除大部分顶层 106,由顶层 106 形成晶体管沟道结构 107。用于形成晶体管沟道结构 107 的刻蚀工艺优选对隔离结构 110 具有高选择性,以使在形成晶体管沟道结构 107 之后大部分隔离结构 110 保留。在一实施例中,如图 3 所示的晶体管沟道结构 107 具有大约 50nm 的厚度。

[0022] 现在参考图 4,在晶体管沟道结构 107 上形成牺牲膜 112。在晶体管结构 107 是硅的实施例中,牺牲膜 112 优选是热生成的二氧化硅。在本实施例中,将认识到,牺牲膜 112 在其形成时消耗了部分晶体管沟道结构 107。如半导体制造工艺领域中公知的那样,牺牲膜 112 有利地消耗了在晶体管沟道结构 107 上表面处晶体结构中的缺陷。

[0023] 现在参考图 5,移除牺牲膜 112。在牺牲膜 112 是氧化硅的实施例中,可以使用例如将晶片 101 浸入 HF 溶液中的湿法刻蚀工艺,来实现移除该膜。在本实施例中,将认识到,在牺牲膜移除期间移除部分隔离结构 110,以使所得到的晶体管沟道结构 107 在其末端处不再与隔离结构 110 接触。

[0024] 现在参考图 6,在晶体管沟道结构 107 上形成栅介质 120。在一实施例中,栅介质 120 为具有小于约 30nm 厚度的热生成的氧化硅。在另一实施例中,栅介质 120 是高介电常数电介质,为了公开的目的,该栅介质是介电常数高于氧化硅的介电常数 (大约 3.9) 的任何电介质。备选合适的高介电常数电介质包括金属氧化物,例如 HfO_2 。在高介电常数实施例中,栅介质 120 的有效氧化物厚度 (EOT) 优选小于约 30nm。在某些实施例中,例如图 6 中描述的实施例,栅介质 120 形成在晶体管沟道结构 107 所有的暴露出的表面上,包括越过和沿着晶体管沟道结构 107 的侧壁。

[0025] 现在参考图 7,在栅介质 120 上形成导电层 130 并在该导电层 130 上形成帽盖层 135。根据一实施例,导电层 130 为以常规方式例如硅烷热分解形成的多晶硅。在本实施例

中,导电层 130 可以根据公知工艺以原位或利用之后的离子注入工艺进行重掺杂。在另一实施例中,导电层 130 可由金属材料例如钛、钨、钽和合金及其化合物例如氮化钛、硅化钽和氮硅化钽组成。

[0026] 在一实施例中,帽盖层 135 用于保护下面的导电层 130,并在导电层 130 上提供抗反射涂层 (ARC 层)。(帽盖层 135 也可以称作 ARC 层 135)。ARC 层降低了在随后淀积的光致抗蚀剂 (未示出) 暴露于辐射时出现的驻波图形。在一适用于保护导电层 130 和提供 ARC 层的实施例中,帽盖层 135 为氮化硅膜,其优选具有约 10 到 25nm 的厚度。

[0027] 现在参考图 8,使电层 130 和帽盖层 135 图形化以形成栅电极 140。利用常规的光刻和刻蚀工艺实现导电层 130 和帽盖层 135 的图形化。栅电极 140 的侧壁定义在栅电极 140 下面的晶体管沟道结构 107 中的第一沟道区或绘制出的 (drawn) 沟道区 143 的边界。绘制出的沟道区 143 的横向尺寸 (长度) 优选小于 200nm。

[0028] 现在参考图 9,在栅电极 140 的侧壁上形成间隔壁结构 150。如众所周知的,在晶片 101 上淀积保形膜 (conformal film) 并接着各向异性刻蚀该膜,实现间隔壁结构 150 的形成。在这里栅电极 140 和侧壁间隔壁 150 合起来称作栅电极结构 155,或更简单地,称作栅结构 155。栅结构 155 的横向边界定义比绘制出的沟道区 143 略宽的第二或有效沟道区 145。有效沟道区 145 定义随后形成的源 / 漏结构的边界。栅结构 155 的形成使得位于有效沟道区 145 外部的部分栅介质 120 和晶体管沟道结构 107 露出。在某些实施例中,某些离子注入的形成可以先于形成间隔壁 150 进行。这样的注入包括半导体制造工艺中熟知的扩展区注入、光晕 (halo) 注入等。

[0029] 现在参考图 10,移除栅介质 120 和沟道晶体管沟道结构 107 的暴露部分 (即栅介质 120 和晶体管沟道结构 107 不在栅电极 140 或间隔壁 150 下面的部分)。栅介质 120 和晶体管沟道结构 107 暴露部分的移除使得不在栅结构 155 下面的部分 BOX 层 104 暴露。(本领域技术人员理解移除期间栅介质 120 和晶体管沟道结构 107 的一些凹割 (undercutting)) 使用常规的氟基或氯基的,等离子辅助的干法刻蚀工艺执行图 10 中描述的刻蚀。图 10 和图 9 的比较揭示了图 10 中的刻蚀工艺腐蚀隔离结构 110。在该优选实施例中,隔离结构剩余部分的厚度大于 BOX 层 104 的厚度,以使隔离结构 110 将能够在随后 BOX 层 104 的刻蚀期间为隔离结构 110 下面的部分 BOX 层 104 提供有效掩膜。图 10 也描述了 BOX 层 104 的隔离部分 105。BOX 层 104 的隔离部分 105 包括隔离结构 110 下面的部分 BOX 层 105。隔离部分 105 代表在随后电介质刻蚀 (将在下文说明) 之后将剩余的部分 BOX 层 104。由于遮蔽效应,隔离部分 105 的横向尺寸会有些大于隔离结构 110 的横向尺寸。

[0030] 现在参考图 11,刻蚀 BOX 层 104 的暴露部分以使得下面部分的晶片体块 102 暴露。在图 10 所描述的刻蚀期间隔离结构 110 的剩余部分的存在保护了 BOX 层 104 的隔离部分 105 免被刻蚀。在 BOX 层 104 的暴露部分的刻蚀之后,移除隔离结构 110,但是保留 BOX 层 104 的隔离部分 105。BOX 层 104 的隔离部分 105 将为要随后形成的相邻源 / 漏结构提供物理和电学隔离。通过使用隔离结构 110 来保护 BOX 层 104 的隔离部分 105,所述工艺提供一种将 BOX 层 104 图形化的方法,该方法不需要用于定义要被移除的 BOX 层 104 区域的光刻工艺。尽管形成隔离介质 110 需要掩膜步骤,但是该掩膜步骤先于形成栅电极 140 执行,并因此就其定位 (registration) 需求而言较少苛求。定义晶体管栅和源 / 漏区后形成的掩膜必须精确对准,以防止对晶体管区域不期望的刻蚀。这种定位的问题在以存储阵列代

表的密集间隔的设计中尤为重要。

[0031] 尽管刻蚀栅介质 120 和晶体管沟道结构 107 暴露部分被描述为与 BOX 层 104 暴露部分的刻蚀区别开的工艺步骤,但是这些刻蚀工艺可以合并单个刻蚀工艺中,其中该刻蚀工艺可以有多个阶段,例如移除栅介质 120 的第一阶段、刻蚀晶体管沟道结构 107 的第二阶段和刻蚀 BOX 层 104 的第三阶段。

[0032] 现在参考图 12,进行预备形成凹陷的源 / 漏结构的清洗步骤。在该优选实施例中,该清洗步骤包括 HF 浸入以移除晶片体块 102 上表面上的任何残留氧化物。还显示出该 HF 浸入移除了一小部分的 BOX 层的隔离部分 105。

[0033] 现在参考图 13,形成凹陷的源 / 漏结构 160。凹陷的源 / 漏结构 160 优选为使用晶片体块 102 作为籽晶热生成(生长)的外延结构。凹陷的源 / 漏结构这样命名是因为结构的主要部分垂直地移位(凹陷)在原始 BOX 层 104 的上表面之下。使源 / 漏结构凹陷有利地减少电流群集和与用于某些 SOI 技术中的抬高源 / 漏结构有关的叠加电容。

[0034] 在一实施例中凹陷的源 / 漏结构 160 是硅结构。在另一适合用于形成 PMOS 晶体管的实施例中,凹陷的源 / 漏结构 160 是硅锗、碳化硅、硅锗碳(silicon germanium carbon)、原位掺杂的硅锗、或另一合适的半导体材料。使用一次或多次深注入来实现凹陷的源 / 漏结构 160 和它们下面的晶片体块 102 之间的隔离。在本实施例中,深注入会在晶片体块 102 中产生与源 / 漏结构 160 的导电类型相反的导电类型。在某些实施例中,可能希望使用第一这种深注入来实现用于晶片 PMOS 区的这种结隔离和第二深注入来实现用于晶片 NMOS 区的结隔离。在另外的实施例中,晶片体块 102 相对高的电阻可足以实现有效的电隔离。不管怎样,凹陷的源 / 漏结构 160 的形成使得形成晶体管 100,其在适合连接至形成在晶片 101 中的其他这种晶体管时产生集成电路。

[0035] 在前述的说明中,已经参考具体的实施例对本发明进行了说明。然而,本领域技术人员应当理解,可以进行各种修改和变化而不脱离如下面的权利要求所述的本发明范围。例如,尽管晶片体块 102 被描述为包括硅,但是对于该晶片体块也可使用包括砷化镓和硅锗的其它半导体材料块。类似地,有源层 106 可以包括硅锗等作为硅的替代物。尽管间隔壁结构 150 被描述为氮化硅,但是间隔壁结构 150 也可以包括附加材料,例如氮化硅和栅电极之间的薄氧化物层。相应地,说明书和附图被看作为解释说明而不是限制性的,并且所有这种修改被包括在本发明的范围内。

[0036] 根据具体的实施例上面已经说明了本发明益处、其它优点和问题解决方案。然而,这些益处、优点、问题解决方案以及可以致使任何益处、优点、解决方案发生或变得更加明显的任何要件,都不被认为是任何或所有权利要求的关键的、必要的或基本的特征或要件。正如这里使用的,术语“包括”、“包含”或其任何其它变化意图覆盖非排他性包含,以使得包括一系列要件的工艺、方法、产品或装置不是仅包括这些要件,而是还可以包括对于这种工艺、方法、产品或装置未明确列出的或固有的要件。

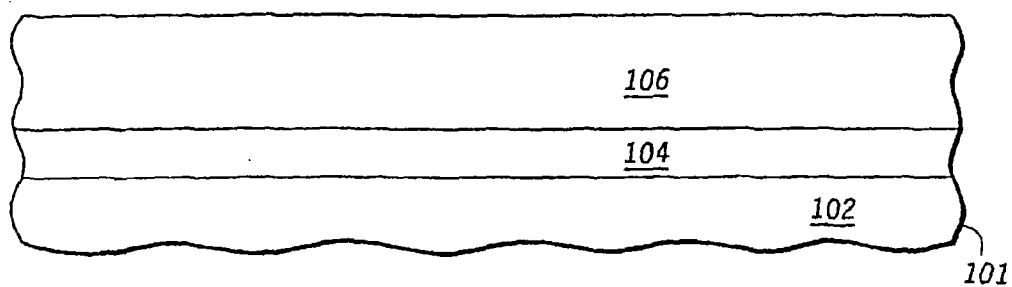


图 1

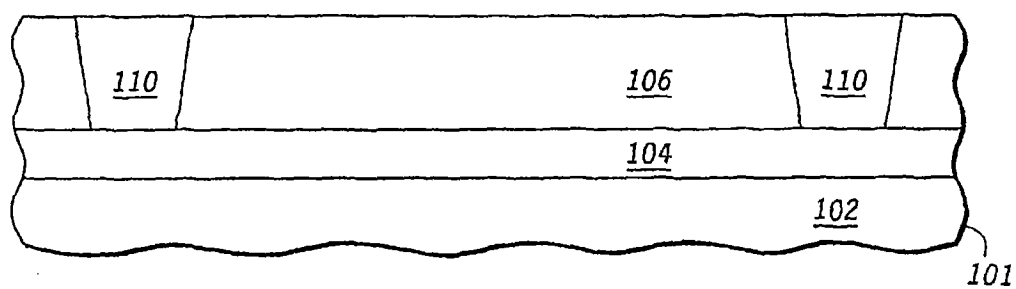


图 2

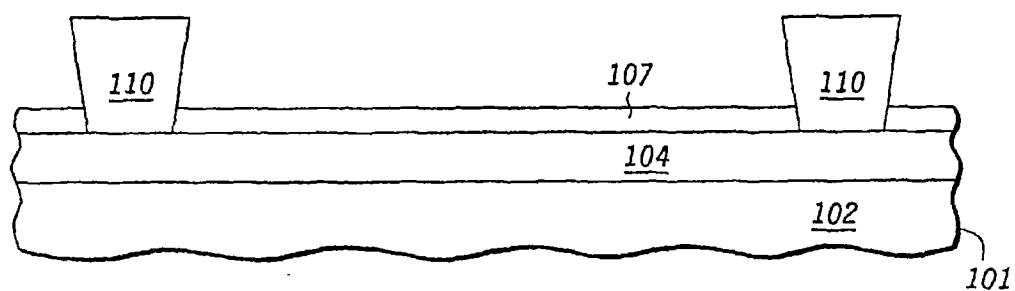


图 3

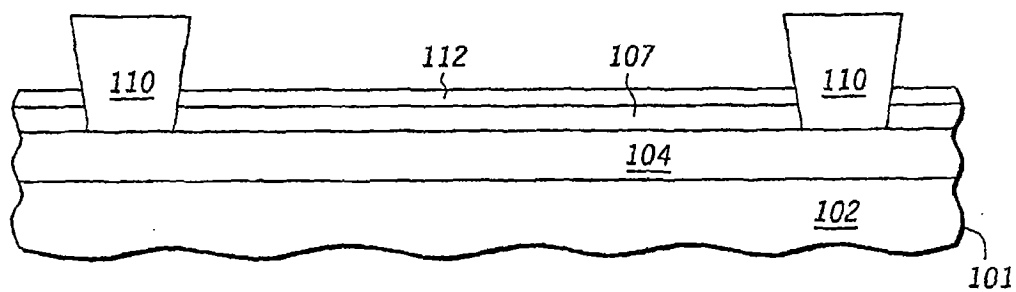


图 4

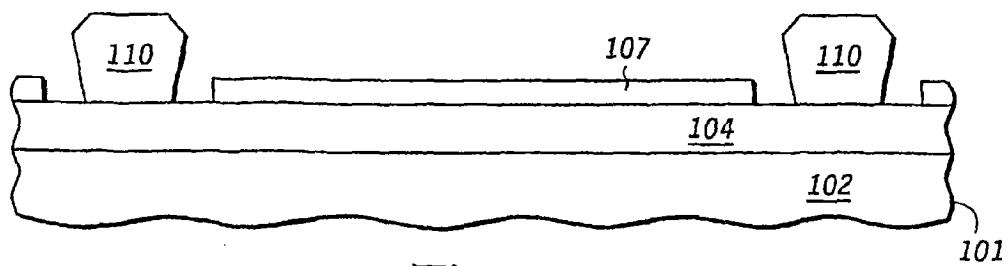


图5

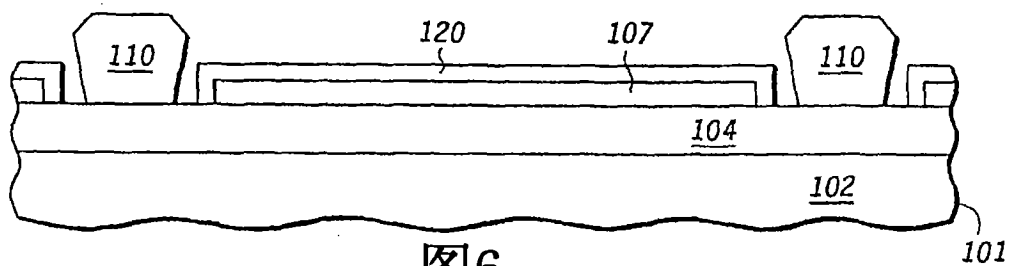


图6

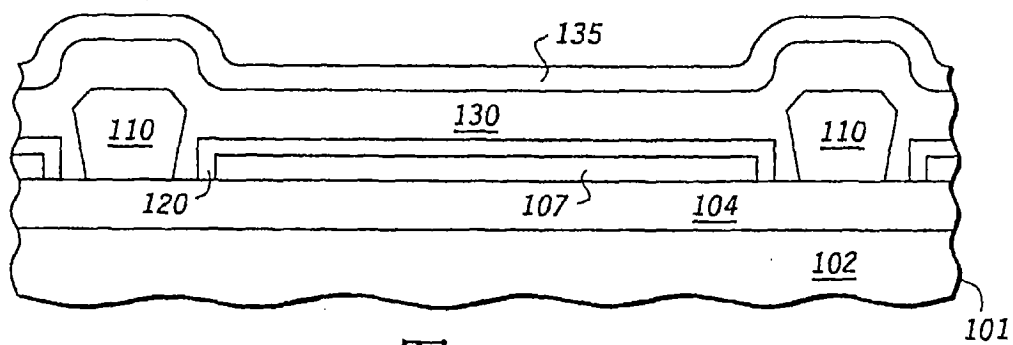


图7

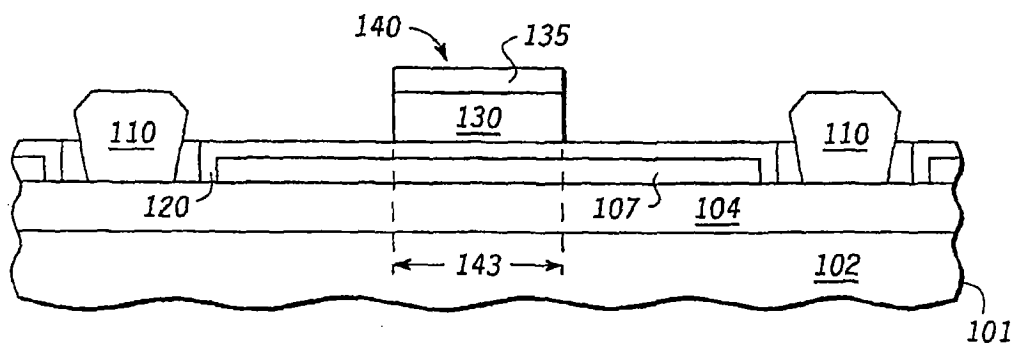


图8

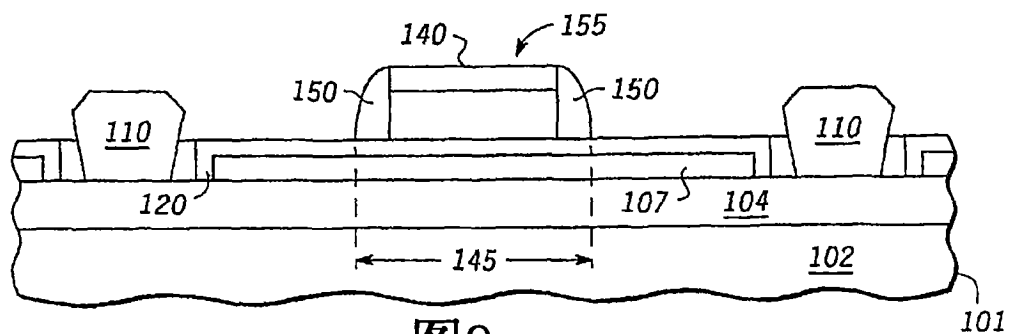


图9

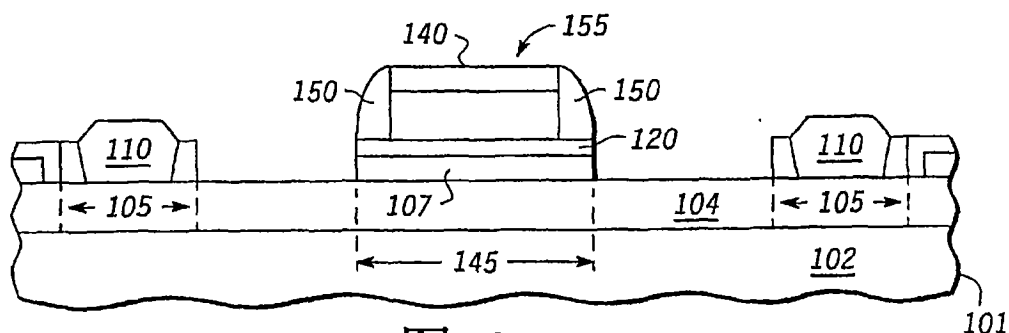


图10

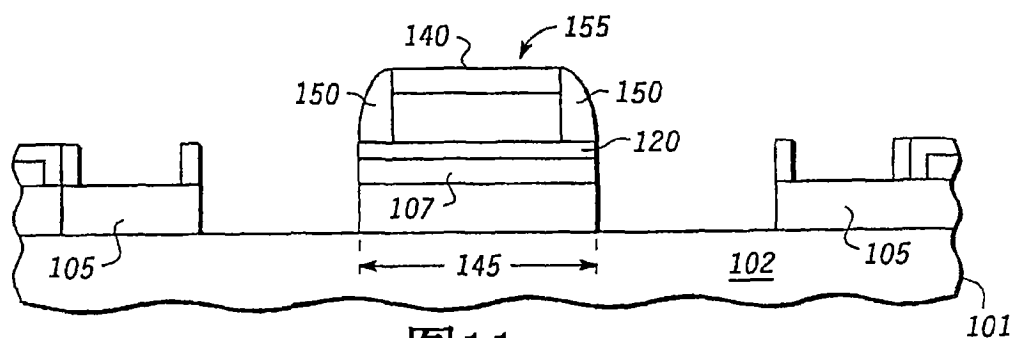


图11

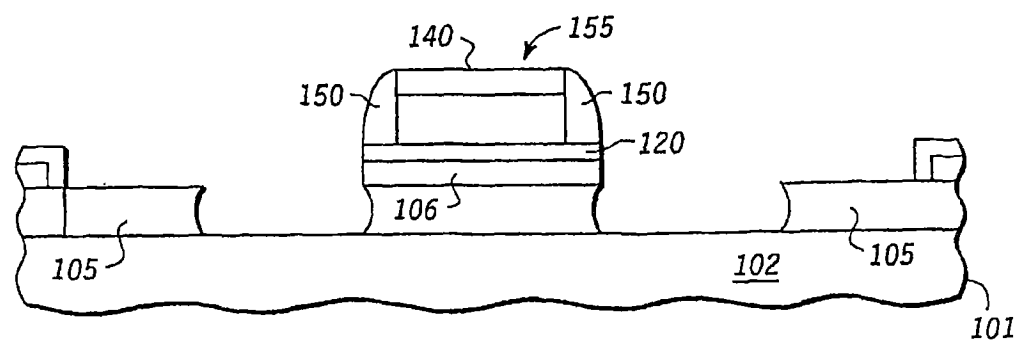


图12

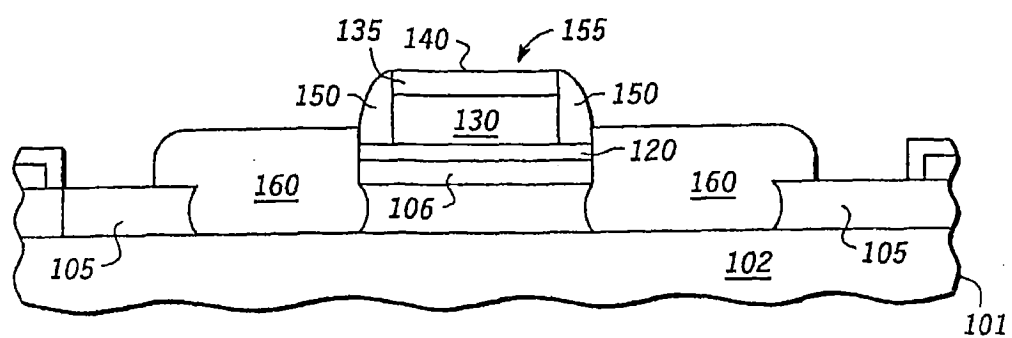


图 13