

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月13日(13.08.2020)



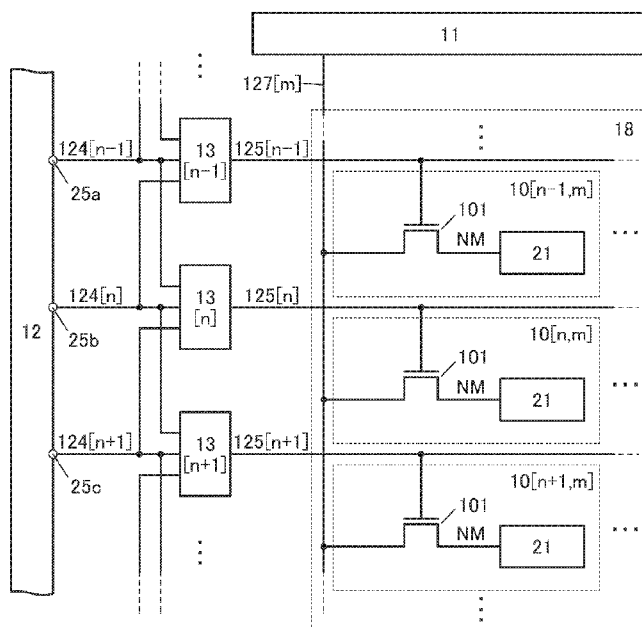
(10) 国際公開番号
WO 2020/161552 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) *H01L 21/8234* (2006.01)
G02F 1/1333 (2006.01) *H01L 27/04* (2006.01)
G02F 1/13357 (2006.01) *H01L 27/06* (2006.01)
G02F 1/1345 (2006.01) *H01L 27/088* (2006.01)
G02F 1/1368 (2006.01) *H01L 27/32* (2006.01)
G09G 3/20 (2006.01) *H01L 29/786* (2006.01)
G09G 3/3225 (2016.01) *H01L 51/50* (2006.01)
G09G 3/3266 (2016.01) *H05B 33/02* (2006.01)
H01L 21/822 (2006.01) *H05B 33/14* (2006.01)
- (21) 国際出願番号: PCT/IB2020/050458
- (22) 国際出願日: 2020年1月22日(22.01.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-018781 2019年2月5日(05.02.2019) JP
- (71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).
- (72) 発明者: 渡邊一徳 (WATANABE, Kazunori); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 楠紘慈 (KUSUNOKI, Koji); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

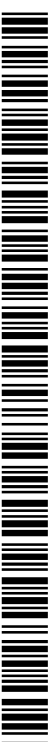
(54) Title: DISPLAY APPARATUS AND ELECTRONIC EQUIPMENT

(54) 発明の名称: 表示装置および電子機器

図1



(57) Abstract: Provided is a display apparatus of low power consumption. This display apparatus has a circuit for boosting a signal voltage outputted from a gate driver. The signal voltage of the gate driver can be boosted and supplied to pixels, and thus driving of a display device having a high threshold voltage can be performed suitably. Further, the power consumption can be suppressed by using a boosting function, and thereby lowering the output of the gate driver. Still further, a display apparatus of lower power consumption can be realized by incorporating pixels having a boosting function for image data.



WO 2020/161552 A1

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

(57) 要約 : 低消費電力の表示装置を提供する。ゲートドライバが出力する信号電圧を昇圧する回路を有する表示装置である。ゲートドライバの信号電圧を昇圧して画素に供給することができるため、しきい値電圧の高い表示デバイスの駆動に適する。また、昇圧機能を利用することで、ゲートドライバの出力を小さくして消費電力を抑えることもできる。また、画像データの昇圧機能を有する画素と組み合わせることで、より低消費電力の表示装置を実現することができる。

明細書

発明の名称

表示装置および電子機器

技術分野

[0001]

本発明の一態様は、表示装置に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの動作方法、または、それらの製造方法、を一例として挙げるができる。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

背景技術

[0004]

表示装置の画素の動作には適切な振幅を有する信号電圧が必要であり、画素のトランジスタを比較的高い電圧で動作させる場合がある。例えば、特許文献1には、ゲートドライバの出力電圧を昇圧する技術が開示されている。

[0005]

また、基板上に形成された金属酸化物を用いてトランジスタを構成する技術が注目されている。例えば、酸化亜鉛またはIn-Ga-Zn系酸化物を用いたトランジスタを表示装置の画素のスイッチング素子などに用いる技術が特許文献2および特許文献3に開示されている。

[0006]

また、オフ電流が極めて低いトランジスタをメモリセルに用いる構成の記憶装置が特許文献4に開示されている。

[先行技術文献]

[特許文献]

[0007]

[特許文献1] 特開平5-281517号公報

[特許文献2] 特開2007-123861号公報

[特許文献3] 特開2007-96055号公報

[特許文献4] 特開2011-119674号公報

発明の概要

発明が解決しようとする課題

[0008]

表示装置は、様々な電子機器に用いられている。電子機器を低消費電力化するには、表示装置の低

電圧動作が一つの手段となる。

[0009]

一方で、画素に設けられる表示デバイス（表示素子とも言う）の種類や駆動方法によっては、高い電圧を必要とする場合がある。画像データの電圧が高い場合は、当該画像データの書き込みを制御するトランジスタのゲートにも高い信号電圧を供給する必要がある。このような場合でも、低消費電力化は望まれる。

[0010]

また、画素においては、書き込み時の画像データが比較的低い電圧であっても表示デバイスを適切に動作することが求められる。

[0011]

したがって、本発明の一態様では、低消費電力の表示装置を提供することを目的の一つとする。または、ゲートドライバの出力電圧以上の電圧を画素に供給することができる表示装置を提供することを目的の一つとする。または、低コストのドライバで動作する表示装置を提供することを目的の一つとする。または、表示画像の輝度を高めることができる表示装置を提供することを目的の一つとする。

[0012]

または、信頼性の高い表示装置を提供することを目的の一つとする。または、新規な表示装置などを提供することを目的の一つとする。または、上記表示装置の動作方法を提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

[0013]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0014]

本発明の一態様は、低消費電力の表示装置に関する。

[0015]

シフトレジスタと、昇圧回路と、画素と、を有する表示装置であって、シフトレジスタは、第1の出力端子と、第2の出力端子と、第3の出力端子と、を有し、昇圧回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第1のキャパシタと、を有し、画素は、第5のトランジスタを有し、第1のトランジスタのソースまたはドレインの一方は、第1のキャパシタの一方の電極と電気的に接続され、第1のキャパシタの一方の電極は、第3のトランジスタのソースまたはドレインの一方と電気的に接続され、第3のトランジスタのソースまたはドレインの一方は、第5のトランジスタのゲートと電気的に接続され、第1のキャパシタの他方の電極は、第2のトランジスタのソースまたはドレインの一方および前記第4のトランジスタのソースまたはドレインの一方と電気的に接続され、第1のトランジスタのゲートおよび前記第4のトランジスタのゲートは、第1の出力端子と電気的に接続され、第2のトランジスタのゲートは、第2の出力端子と電気的に接続され、第3のトランジスタのゲートは、第3の出力端子と電気的に接続される表示装置である。

[0016]

シフトレジスタは、第1の出力端子と、第2の出力端子と、第3の出力端子の順に信号電圧を出力することができる。

[0017]

昇圧回路は、さらに第6のトランジスタと、第2のキャパシタと、を有し、第6のトランジスタのソースまたはドレインの一方は、第1の出力端子と電氣的に接続され、第6のトランジスタのソースまたはドレインの他方は、第2のキャパシタの一方の電極および第1のトランジスタのゲートと電氣的に接続され、第2のキャパシタの他方の電極は、第1のトランジスタのソースまたはドレインの一方と電氣的に接続することができる。

[0018]

昇圧回路は、さらに第7のトランジスタと、第8のトランジスタと第3のキャパシタと、を有し、第7のトランジスタのゲートは、第3の出力端子と電氣的に接続され、第7のトランジスタのソースまたはドレインの一方は、第3のキャパシタの一方の電極および第8のトランジスタのソースまたはドレインの一方と電氣的に接続され、第8のトランジスタのゲートは、第1の出力端子と電氣的に接続することができる。

[0019]

第3のトランジスタのソースまたはドレインの他方と、第4のトランジスタのソースまたはドレインの他方とは、電氣的に接続することができる。

[0020]

画素は表示素子を有し、第1のデータおよび第2のデータに基づいて第3のデータを生成する機能、および第3のデータに応じて表示素子で表示を行う機能を有することができる。表示素子には、液晶デバイスを用いることができる。

[0021]

昇圧回路および画素が有するトランジスタは、チャンネル形成領域に金属酸化物を有し、金属酸化物は、Inと、Znと、M (MはAl、Ti、Ga、Ge、Sn、Y、Zr、La、Ce、NdまたはHf) と、を有することが好ましい。

発明の効果

[0022]

本発明の一態様を用いることで、低消費電力の表示装置を提供することができる。または、ゲートドライバの出力電圧以上の電圧を画素に供給することができる表示装置を提供することができる。または、低コストのドライバで動作する表示装置を提供することができる。または、表示画像の輝度を高めることができる表示装置を提供することができる。

[0023]

または、信頼性の高い表示装置を提供することができる。または、新規な表示装置などを提供することができる。または、上記表示装置の動作方法を提供することができる。または、新規な半導体装置などを提供することができる。

図面の簡単な説明

[0024]

図1は、表示装置を説明する図である。

図2Aは、昇圧回路を説明する図である。図2Bは、昇圧回路の動作を説明するタイミングチャー

トである。

図 3 A、図 3 Bは、昇圧回路を説明する図である。

図 4は、昇圧回路を説明する図である。

図 5は、昇圧回路の動作を説明するタイミングチャートである。

図 6 Aは、昇圧回路を説明する図である。図 6 Bは、昇圧回路の動作を説明するタイミングチャートである。

図 7は、昇圧回路を説明する図である。

図 8 A乃至図 8 Cは、昇圧回路の他の形態および昇圧回路の他の接続形態を説明する図である。

図 9 A、図 9 Bは、画素回路を説明する図である。

図 10 A乃至図 10 Dは、表示デバイスを有する回路を説明する図である。

図 11 A乃至図 11 Dは、表示デバイスを有する回路を説明する図である。

図 12は、トランジスタの他の形態を説明する図である。

図 13は、シミュレーションに用いた回路を説明する図である。

図 14は、シミュレーション結果を説明する図である。

図 15 A乃至図 15 Cは、表示装置を説明する図である。

図 16 A、図 16 Bは、タッチパネルを説明する図である。

図 17 A、図 17 Bは、表示装置を説明する図である。

図 18は、表示装置を説明する図である。

図 19 A、図 19 Bは、表示装置を説明する図である。

図 20 A、図 20 Bは、表示装置を説明する図である。

図 21 A乃至図 21 Eは、表示装置を説明する図である。

図 22 A1乃至図 22 C2は、トランジスタを説明する図である。

図 23 A1乃至図 23 C2は、トランジスタを説明する図である。

図 24 A1乃至図 24 C2は、トランジスタを説明する図である。

図 25 A1乃至図 25 C2は、トランジスタを説明する図である。

図 26 A乃至図 26 Fは、電子機器を説明する図である。

発明を実施するための形態

[0025]

実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングは、異なる図面間で適宜省略または変更する場合もある。

[0026]

また、回路図上では単一の要素として図示されている場合であっても、機能的に不都合がなければ、当該要素が複数で構成されてもよい。例えば、スイッチとして動作するトランジスタは、複数が直列または並列に接続されてもよい場合がある。また、キャパシタを分割して複数の位置に配置する場合もある。

[0027]

また、一つの導電体が、配線、電極および端子などの複数の機能を併せ持っている場合があり、本明細書においては、同一の要素に対して複数の呼称を用いる場合がある。また、回路図上で要素間が直接接続されているように図示されている場合であっても、実際には当該要素間が一つまたは複数の導電体を介して接続されている場合があり、本明細書ではこのような構成でも直接接続の範疇に含める。

[0028]

(実施の形態1)

本実施の形態では、本発明の一態様である表示装置について、図面を参照して説明する。

[0029]

本発明の一態様は、ゲートドライバが出力する信号電圧を昇圧する回路を有する表示装置である。ゲートドライバの信号電圧を昇圧して画素に供給することができるため、しきい値電圧の高い表示デバイスの駆動に適する。また、昇圧機能を利用することで、ゲートドライバの出力を小さくして消費電力を抑えることもできる。

[0030]

また、ゲートドライバが出力する信号電圧を昇圧する回路と、画像データの昇圧機能を有する画素とを組み合すことで、低消費電力の表示装置を実現することができる。当該構成では、画素回路の動作に高い電圧が必要な場合であっても、ソースドライバ、ゲートドライバともに汎用のドライバを用いることができ、低コストの表示装置を実現することができる。

[0031]

<表示装置>

図1は、本発明の一態様の表示装置を説明する図である。表示装置は、複数の画素10と、回路13と、ソースドライバ11と、ゲートドライバ12を有する。ソースドライバ11は、画素10と電氣的に接続される。ゲートドライバ12は、回路13と電氣的に接続される。回路13は、画素10と電氣的に接続される。

[0032]

画素10は、トランジスタ101および回路21を有する。回路21は、表示デバイスを有する。また、回路21は、必要に応じて、トランジスタ、容量素子なども有することができる。トランジスタ101のゲートは、配線125と電氣的に接続される。トランジスタ101と回路21とを接続する配線をノードNMとする。なお、画素10は、他の構成であってもよい。また、画素10は複数設けられ、画素アレイ18を構成する。

[0033]

回路13は、例えば行毎に設けることができ、同じ行に配置される画素10と電氣的に接続することができる。図1では、第n行およびその前後の行において、第m列に配置される画素10（画素10[n-1, m]、画素10[n, m]、画素10[n+1, m]（m, nは1以上の自然数））および行毎に配置される回路13（回路13[n-1]、回路13[n]、回路13[n+1]）を示している。

[0034]

回路13は昇圧回路であり、ゲートドライバ12から供給される画素駆動用の信号電圧を昇圧する機能を有する。回路13は、配線125を介して画素10と電氣的に接続される。

[0035]

ソースドライバ11およびゲートドライバ12には、シフトレジスタなどの順序回路を用いることができる。なお、ソースドライバ11およびゲートドライバ12の一方または両方を2つ以上設けて画素10を駆動させてもよい。ソースドライバ11は、配線127を介して画素10と電氣的に接続される。

[0036]

ゲートドライバ12の出力端子25aは配線124[n-1]に接続され、出力端子25bは配線124[n]に接続され、出力端子25cは配線124[n+1]に接続される。ゲートドライバ12は、出力端子25a、出力端子25bおよび出力端子25cを有し、出力端子25a、出力端子25b、出力端子25cの順で信号電圧を出力することができる。なお、出力端子25a、出力端子25b、出力端子25cは、信号電圧を出力するタイミングが重ならない出力端子であればよい。例えば、信号電圧が順次出力される3個の出力端子のほか、一つ置き、二つ置きの出力端子などであってもよい。

[0037]

回路13[n]には、配線124[n]のほか、配線124[n-1]および配線124[n+1]が電氣的に接続される。回路13[n-1]および回路13[n+1]も同様に、ゲートドライバ12が信号電圧を出力する3個の出力端子と電氣的に接続される。なお、回路13は、ゲートドライバ12が有する4個以上の出力端子と電氣的に接続する構成とすることもできる。

[0038]

<昇圧回路>

図2Aに、回路13の構成の一例を示す。回路13は、トランジスタ102と、トランジスタ103と、トランジスタ104と、トランジスタ105と、キャパシタ106を有する構成とすることができる。図2では、第n行の画素10と電氣的に接続する回路13[n]を示している。

[0039]

トランジスタ102のソースまたはドレインの一方は、キャパシタ106の一方の電極と電氣的に接続される。キャパシタ106の一方の電極は、トランジスタ104のソースまたはドレインの一方と電氣的に接続される。キャパシタ106の他方の電極は、トランジスタ103のソースまたはドレインの一方、およびトランジスタ105のソースまたはドレインの一方と電氣的に接続される。

[0040]

トランジスタ102のゲートは、配線124[n-1]と電氣的に接続される。トランジスタ103のゲートは、配線124[n]と電氣的に接続される。トランジスタ104のゲートは、配線124[n+1]と電氣的に接続される。トランジスタ105のゲートは、配線124[n-1]と電氣的に接続される。トランジスタ102のソースまたはドレインの他方は、配線121と電氣的に接続される。トランジスタ103のソースまたはドレインの他方は、配線121と電氣的に接続される。トランジスタ104のソースまたはドレインの他方は、配線122と電氣的に接続される。トランジスタ105のソースまたはドレインの他方は、配線122と電氣的に接続される。

[0041]

配線121、122は、電源線としての機能を有することができる。例えば、配線121は高電位電源線、配線122は低電位電源線とすることができる。

[0042]

ここで、トランジスタ102のソースまたはドレインの一方、キャパシタ106の一方の電極およびトランジスタ104のソースまたはドレインの一方が接続する配線をノードAとする。また、キャパシタ106の他方の電極、トランジスタ103のソースまたはドレインの一方およびトランジスタ105のソースまたはドレインの一方が接続する配線をノードBとする。ノードAは出力端子として機能し、配線125[n]が電氣的に接続される。また、配線124[n-1]が接続するトランジスタ102のゲートおよびトランジスタ105のゲートは、第1の入力端子として機能する。配線124[n]が接続するトランジスタ103のゲートは、第2の入力端子として機能する。配線124[n+1]が接続するトランジスタ104のゲートは、第3の入力端子として機能する。

[0043]

<昇圧動作の説明>

回路13では、まず、第1の入力端子（トランジスタ102のゲートおよびトランジスタ105のゲート）に“V1”（高電位）を入力し、ノードAの電位を“V1”、ノードBの電位を“V0”（低電位）とする。このとき、キャパシタ106には“V1-V0”が保持される。

[0044]

次に、第1の入力端子に“V0”、第2の入力端子（トランジスタ103のゲート）に“V1”を入力し、ノードAをフローティングとしてノードBに“V1”を入力する。

[0045]

このとき、キャパシタ106の容量値を C_{106} 、ノードAの容量値を C_A とすると、ノードAの電位は“ $V1 + (C_{106} / (C_{106} + C_A)) \times (V1 - V0)$ ”となる。ここで、 C_{106} の値が C_A の値より十分に大きければ、 $C_{106} / (C_{106} + C_A)$ は1に近づき、ノードAの電位は“ $2V1 - V0$ ”となる。

[0046]

このとき、“V0”=0であれば、ノードAの電位は“ $2V1$ ”と近似する。したがって、回路13は、入力された電位の約2倍の電位を出力することができるといえる。

[0047]

以上により、回路13は昇圧した電位を出力し、画素のトランジスタをオンすることができる。また、回路13は、次のタイミングで画素のトランジスタをオフする電位を出力する。当該電位は、第3の入力端子（トランジスタ104のゲート）に“V1”を入力することでトランジスタ104を介して配線122からノードAに供給することができる。

[0048]

なお、ノードAまたはノードBにおける“V1”の入力はトランジスタを介するため、実際にはゲートに入力された電位よりもトランジスタのしきい値電圧(V_{th})分だけ低い電位となる。本実施の形態では、説明の明瞭化のため、 V_{th} の絶対値は十分に小さい値（概略0V）と仮定し、その説明は省略する。

[0049]

ノードA、ノードBは、保持ノードとして作用する。各ノードに接続するトランジスタを導通させることで、データを各ノードに書き込むことができる。また、当該トランジスタを非導通とすることで、当該データを各ノードに保持することができる。当該トランジスタに極めてオフ電流の低いトランジスタを用いることでリーク電流を抑えることができ、各ノードの電位を長時間保持することが可能となる。当該トランジスタには、例えば、金属酸化物をチャネル形成領域に用いたトラン

$n : M : Z n = 5 : 1 : 8$ 、 $I n : M : Z n = 10 : 1 : 3$ 等が好ましい。また、半導体層を構成する酸化物半導体が $I n - Z n$ 酸化物の場合、 $I n - Z n$ 酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、 $I n \geq Z n$ を満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、 $I n : Z n = 1 : 1$ 、 $I n : Z n = 2 : 1$ 、 $I n : Z n = 5 : 1$ 、 $I n : Z n = 5 : 3$ 、 $I n : Z n = 10 : 1$ 、 $I n : Z n = 10 : 3$ 等が好ましい。

[0055]

半導体層としては、キャリア濃度の低い酸化物半導体を用いる。例えば、半導体層は、キャリア濃度が $1 \times 10^{17} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{11} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上の酸化物半導体を用いることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。当該酸化物半導体は、欠陥準位密度が低く、安定な特性を有する酸化物半導体であるといえる。

[0056]

なお、これらに限られず、必要とするトランジスタの半導体特性および電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

[0057]

半導体層を構成する酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸素欠損が増加し、n型化してしまう。このため、半導体層におけるシリコンや炭素の濃度（二次イオン質量分析法により得られる濃度）を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

[0058]

また、アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流が増大してしまうことがある。このため、半導体層におけるアルカリ金属またはアルカリ土類金属の濃度（二次イオン質量分析法により得られる濃度）を、 $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以下にする。

[0059]

また、半導体層を構成する酸化物半導体に窒素が含まれていると、キャリアである電子が生じてキャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため半導体層における窒素濃度（二次イオン質量分析法により得られる濃度）は、 $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下にすることが好ましい。

[0060]

また、半導体層を構成する酸化物半導体に水素が含まれていると、金属原子と結合する酸素と反応して水になるため、酸化物半導体中に酸素欠損を形成する場合がある。酸化物半導体中のチャンネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。したがって、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマ

リーオン特性となりやすい。

[0061]

酸素欠損に水素が入った欠陥は、酸化物半導体のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、酸化物半導体においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、酸化物半導体のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0062]

よって、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された酸化物半導体をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

[0063]

また、酸化物半導体 (金属酸化物) は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、および非晶質酸化物半導体などがある。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

[0064]

非晶質構造の酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質構造の酸化物膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

[0065]

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域のうち、二種以上を有する混合膜であってもよい。混合膜は、例えば上述した領域のうち、いずれか二種以上の領域を含む単層構造、または積層構造を有する場合がある。

[0066]

以下では、非単結晶の半導体層の一態様であるCAC (Cloud-Aligned Composite)-OSの構成について説明する。

[0067]

CAC-OSとは、例えば、酸化物半導体を構成する元素が、0.5 nm以上10 nm以下、好ましくは、1 nm以上2 nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、酸化物半導体において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上2 nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

[0068]

なお、酸化物半導体は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0069]

例えば、 $In-Ga-Zn$ 酸化物におけるCAC-OS（CAC-OSの中でも $In-Ga-Zn$ 酸化物を、特にCAC-IGZOと呼称してもよい。）とは、インジウム酸化物（以下、 InO_{x1} （ $x1$ は0よりも大きい実数）とする。）、またはインジウム亜鉛酸化物（以下、 $In_{x2}Zn_{y2}O_{z2}$ （ $x2$ 、 $y2$ 、および $z2$ は0よりも大きい実数）とする。）と、ガリウム酸化物（以下、 GaO_{x3} （ $x3$ は0よりも大きい実数）とする。）、またはガリウム亜鉛酸化物（以下、 $Ga_{x4}Zn_{y4}O_{z4}$ （ $x4$ 、 $y4$ 、および $z4$ は0よりも大きい実数）とする。）などと、に材料が分離することでモザイク状となり、モザイク状の InO_{x1} 、または $In_{x2}Zn_{y2}O_{z2}$ が、膜中に均一に分布した構成（以下、クラウド状ともいう。）である。

[0070]

つまり、CAC-OSは、 GaO_{x3} が主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域とが、混合している構成を有する複合酸化物半導体である。なお、本明細書において、例えば、第1の領域の元素Mに対する In の原子数比が、第2の領域の元素Mに対する In の原子数比よりも大きいことを、第1の領域は、第2の領域と比較して、 In の濃度が高いとする。

[0071]

なお、IGZOは通称であり、 In 、 Ga 、 Zn 、および O による1つの化合物をいう場合がある。代表例として、 $InGaO_3(ZnO)_{m1}$ （ $m1$ は自然数）、または $In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_{m0}$ （ $-1 \leq x0 \leq 1$ 、 $m0$ は任意数）で表される結晶性の化合物が挙げられる。

[0072]

上記結晶性の化合物は、単結晶構造、多結晶構造、またはCAAC構造を有する。なお、CAAC構造とは、複数のIGZOのナノ結晶が c 軸配向を有し、かつ $a-b$ 面においては配向せずに連結した結晶構造である。

[0073]

一方、CAC-OSは、酸化物半導体の材料構成に関する。CAC-OSとは、 In 、 Ga 、 Zn 、および O を含む材料構成において、一部に Ga を主成分とするナノ粒子状に観察される領域と、一部に In を主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。したがって、CAC-OSにおいて、結晶構造は副次的な要素である。

[0074]

なお、CAC-OSは、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、 In を主成分とする膜と、 Ga を主成分とする膜との2層からなる構造は、含まない。

[0075]

なお、 GaO_{x3} が主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、または InO_{x1} が主成分である領域とは、明確な境界が観察できない場合がある。

[0076]

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、CAC-OSは、一部に該金属元素を主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

[0077]

CAC-OSは、例えば基板を意図的に加熱しない条件で、スパッタリング法により形成することができる。また、CAC-OSをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス（代表的にはアルゴン）、酸素ガス、および窒素ガスの中から選ばれたいずれか一つまたは複数を用いればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を0%以上30%未満、好ましくは0%以上10%以下とすることが好ましい。

[0078]

CAC-OSは、X線回折（XRD：X-ray diffraction）測定法のひとつであるOut-of-plane法による $\theta/2\theta$ スキャンを用いて測定したときに、明確なピークが観察されないという特徴を有する。すなわち、X線回折測定から、測定領域のa-b面方向、およびc軸方向の配向は見られないことが分かる。

[0079]

また、CAC-OSは、プローブ径が1nmの電子線（ナノビーム電子線ともいう。）を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域（リング領域）と、該リング領域に複数の輝点が観測される。したがって、電子線回折パターンから、CAC-OSの結晶構造が、平面方向、および断面方向において、配向性を有さないnc（nanocrystal）構造を有することがわかる。

[0080]

また、例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX：Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、GaO₃が主成分である領域と、In_x2Zn_y2O_z2、またはInO_{x1}が主成分である領域とが、偏在し、混合している構造を有することが確認できる。

[0081]

CAC-OSは、金属元素が均一に分布したIGZO化合物とは異なる構造であり、IGZO化合物と異なる性質を有する。つまり、CAC-OSは、GaO₃などが主成分である領域と、In_x2Zn_y2O_z2、またはInO_{x1}が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

[0082]

ここで、In_x2Zn_y2O_z2、またはInO_{x1}が主成分である領域は、GaO₃などが主成分である領域と比較して、導電性が高い領域である。つまり、In_x2Zn_y2O_z2、またはInO_{x1}が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。したがって、In_x2Zn_y2O_z2、またはInO_{x1}が主成分である領域が、酸化物半導体中にクラウド

状に分布することで、高い電界効果移動度 (μ) が実現できる。

[0083]

一方、 GaO_{x3} などが主成分である領域は、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、または InO_{x1} が主成分である領域と比較して、絶縁性が高い領域である。つまり、 GaO_{x3} などが主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なスイッチング動作を実現できる。

[0084]

したがって、CAC-OSを半導体素子に用いた場合、 GaO_{x3} などに起因する絶縁性と、 $\text{In}_{x2}\text{Zn}_{y2}\text{O}_{z2}$ 、または InO_{x1} に起因する導電性とが、相補的に作用することにより、高いオン電流 (I_{on})、および高い電界効果移動度 (μ) を実現することができる。

[0085]

また、CAC-OSを用いた半導体素子は、信頼性が高い。したがって、CAC-OSは、様々な半導体装置の構成材料として適している。

[0086]

<昇圧回路の動作例>

図2Bのタイミングチャートを用いて、図2Aに示す回路13の動作の一例を説明する。なお、以下の説明またはタイミングチャートにおいて、低電位を“L”、低電位の2倍値を“2L”、低電位の3倍値を“3L”、高電位を“H”、高電位の2倍値を“2H”、高電位の3倍値を“3H”で表す。また、配線121には“H”、配線122には“L”、配線124には“H”または“L”が供給される条件とする。

[0087]

なお、ここでは電位の分配、結合または損失において、回路の構成や動作タイミングなどに起因する詳細な変化は勘案しない。また、キャパシタを用いた容量結合による電位の変化は、当該キャパシタと、接続される要素との容量比に依存するが、説明を明瞭にするため、当該要素の容量値は十分に小さい値に仮定する。

[0088]

時刻T1に配線124[n-1]の電位が“H”（配線124[n]の電位および配線124[n+1]の電位は“L”）となると、トランジスタ102が導通し、ノードAの電位が“H”となる。また、トランジスタ105が導通し、ノードBの電位が“L”となる。

[0089]

時刻T2に配線124[n-1]の電位が“L”（配線124[n]の電位および配線124[n+1]の電位は“L”）となると、トランジスタ102が非導通となり、ノードAの電位は“H”に保持される。また、トランジスタ105が非導通となり、ノードBの電位は“L”に保持される。

[0090]

時刻T3に配線124[n]の電位が“H”（配線124[n-1]の電位および配線124[n+1]の電位は“L”）となると、トランジスタ103が導通し、ノードBの電位は“L”から“H”に変化する。その変化分がキャパシタ106とノードAの容量比に応じてノードAの電位に加算され、ノードAの電位は“H+(H-L)”となる。すなわち、“L”=0であれば、ノードAの電位は“2H”となる。

[0091]

時刻T4に配線124[n]の電位が“L”（配線124[n-1]の電位および配線124[n

+1]の電位は“L”)となると、トランジスタ103が非導通となり、ノードAの電位は“2H”に保持される。

[0092]

時刻T5に配線124[n+1]の電位が“H”(配線124[n-1]の電位および配線124[n]の電位は“L”)となると、トランジスタ104が導通し、ノードAの電位が“L”となる。

[0093]

時刻T6に配線124[n+1]の電位が“L”(配線124[n-1]の電位および配線124[n]の電位は“L”)となると、トランジスタ104が非導通となり、ノードAの電位は“L”に保持される。

[0094]

画素10の書き込み動作は、ノードA(配線125[n])に電位“2A”が供給されている期間(時刻T3以降であって時刻T5より前)に行うことができる。また、T5以降では、ノードAの電位が“L”に保持されるため、画素10に書き込まれた画像信号は、次のフレーム(次の動作)まで保持することができる。

[0095]

<昇圧回路の変形例1>

図3Aに、回路13の変形例を示す。図3Aに示す回路13は、回路14を有する点、およびトランジスタ102のソースまたはドレインの他方が配線123と電氣的に接続する点が図2Aに示す回路13と異なる。回路14は、回路13が出力する電圧を高める機能を有する回路である。

[0096]

回路14は、トランジスタ107と、キャパシタ108を有する構成とすることができる。トランジスタ107のソースまたはドレインの一方は、配線124[n-1]と電氣的に接続される。トランジスタ107のソースまたはドレインの他方は、キャパシタ108の一方の電極およびトランジスタ102のゲートと電氣的に接続される。キャパシタ108の他方の電極は、ノードAと電氣的に接続される。当該構成では、トランジスタ107のソースまたはドレインの一方が第1の入力端子となる。

[0097]

トランジスタ107のゲートは、配線121と電氣的に接続される。トランジスタ102のソースまたはドレインの他方は、配線123と電氣的に接続される。ここで、配線123は、配線121の電位以上の電位を供給する電源線である。なお、トランジスタ102のソースまたはドレインの他方は、配線121と電氣的に接続されていてもよい。

[0098]

本発明の一態様の回路13では、回路14を組み込むことで、ブートストラップの効果を付与することができる。ブートストラップの効果により、入力される信号電圧よりも高い信号電圧を出力することができる。

[0099]

ブートストラップ動作は、以下のとおりである。まず、ノードC(トランジスタ107のソースまたはドレインの他方、キャパシタ108の一方の電極、トランジスタ102のゲートおよびトランジスタ105のゲートが接続される配線)にトランジスタ107を介して電位“H”が入力されると、ノードAの電位が“L”から“H”に上昇するまでトランジスタ102に電流が流れる。この

とき、キャパシタ108の容量結合によりノードCの電位が“H”以上に上昇するため、トランジスタ102がさらに電流を流すことからノードAの電位をさらに上昇させることができる。

[0100]

なお、トランジスタ107のソースまたはドレインの一方およびゲートには、電位“H”が供給されており、トランジスタ107のソースまたはドレインの他方（ノードC）の電位が“H”より高くなると、トランジスタ107に電流が流れなくなる。つまり、トランジスタ107は、ダイオードの役割をしている。回路14を有する構成は、本実施の形態に示す他の回路にも適用できる。

[0101]

図3Aに示す回路13は、図2Bに示すタイミングチャートに従って動作させることができる。なお、時刻T1乃至T5では、上記の説明のとおり、ノードAの電位は図2Bの回路13よりも高めることができる。

[0102]

<昇圧回路の変形例2>

図3Bに、回路13の別の変形例を示す。図3Bに示す回路13は、回路15を有する点が図2Aに示す回路13と異なる。回路15は、配線125への低電位の供給を制御する回路である。

[0103]

回路15は、トランジスタ109と、トランジスタ110と、キャパシタ111を有する構成とすることができる。トランジスタ109のソースまたはドレインの一方は、配線121と電氣的に接続される。トランジスタ109のソースまたはドレインの他方は、トランジスタ110のソースまたはドレインの一方、キャパシタ111の一方の電極およびトランジスタ104のゲートと電氣的に接続される。トランジスタ110のソースまたはドレインの他方は、配線122と電氣的に接続される。キャパシタ111の他方の電極は、配線122と電氣的に接続される。トランジスタ109のゲートは、配線124[n+1]と電氣的に接続される。トランジスタ110のゲートは、配線124[n-1]と電氣的に接続される。当該構成では、トランジスタ102、トランジスタ105およびトランジスタ110のゲートが第1の入力端子、トランジスタ109のゲートが第3の入力端子となる。

[0104]

図2Aに示す回路13では、図2Bに示すタイミングチャートの時刻T6にトランジスタ104が非導通となるため、配線125がフローティング状態となる。このとき、トランジスタ102のリーク電流が比較的高いと、配線125の電位が上昇し、画素10を誤動作させることがある。

[0105]

回路15は、ノードD（トランジスタ104のゲート、キャパシタ111の一方の電極、トランジスタ109のソースまたはドレインの他方およびトランジスタ110のソースまたはドレインの一方を接続する配線）の電位を保持する回路であり、トランジスタ104を導通状態または非導通状態に保持することができる。

[0106]

回路15の動作は以下のとおりである。まず、第1の入力端子に信号電圧“H”が入力されると、トランジスタ110が導通し、ノードDに電位“L”が供給される。このとき、トランジスタ104は非導通である。

[0107]

次に、第1の入力端子に信号電圧“L”が入力されると、トランジスタ110は非導通となり、ノードDに電位“L”が保持される。続いて、第2の入力端子に入力される信号電圧で昇圧動作が行われる間もノードDに電位“L”が保持される。

[0108]

次に、第3の入力端子に信号電圧“H”が入力されると、トランジスタ109が導通し、ノードDの電位は“H”となる。このとき、トランジスタ104は導通し、ノードAの電位は“L”となる。

[0109]

そして、第3の入力端子に信号電圧“L”が入力されると、トランジスタ109が非導通となり、ノードDの電位は“H”に保持される。当該状態は次のフレームまで保持され、その間、トランジスタ104は導通状態であり、ノードAには配線122の電位“L”が供給され続ける。したがって、ノードA（配線125）は、一定の電位“L”に保つことができる。

[0110]

なお、トランジスタ102にOSトランジスタを用いた場合は、オフ電流が極めて小さいため、配線125の電位上昇は軽微である。回路15を有する構成は、本実施の形態に示す他の回路にも適用できる。

[0111]

<変形例2の動作例>

図3Bに示す回路13は、図2Bに示すタイミングチャートに従って動作させることができる。なお、トランジスタ102のリーク電流が比較的高かったとしても、時刻T6以降もノードAの電位は一定に保つことができる。

[0112]

<昇圧回路の変形例3>

図4に、回路13の別の変形例を示す。なお、上述した回路13は、入力端子を3個有する例であるが、図4に示す回路13は、入力端子を4個有する例である。当該構成では、前述した回路13よりも昇圧機能を高めることができる。

[0113]

図4に示す回路13は、図2Aに示す回路13に、トランジスタ112と、トランジスタ113と、キャパシタ114を加えた構成である。

[0114]

トランジスタ102のソースまたはドレインの一方は、キャパシタ106の一方の電極と電氣的に接続される。キャパシタ106の一方の電極は、トランジスタ104のソースまたはドレインの一方と電氣的に接続される。キャパシタ106の他方の電極は、トランジスタ105のソースまたはドレインの一方、トランジスタ112のソースまたはドレインの一方およびキャパシタ114の一方の電極と電氣的に接続される。キャパシタ114の他方の電極は、トランジスタ103のソースまたはドレインの一方およびトランジスタ113のソースまたはドレインの一方と電氣的に接続される。

[0115]

トランジスタ102のゲートは、配線124[n-2]と電氣的に接続される。トランジスタ112のゲートは、配線124[n-1]と電氣的に接続される。トランジスタ113のゲートは、配線124[n-1]と電氣的に接続される。トランジスタ103のゲートは、配線124[n]と

電氣的に接続される。トランジスタ104のゲートは、配線124 [n+1] と電氣的に接続される。トランジスタ102のソースまたはドレインの他方は、配線121 と電氣的に接続される。トランジスタ103のソースまたはドレインの他方は、配線121 と電氣的に接続される。トランジスタ104のソースまたはドレインの他方は、配線122 と電氣的に接続される。トランジスタ105のソースまたはドレインの他方は、配線122 と電氣的に接続される。トランジスタ112のソースまたはドレインの他方は、配線121 と電氣的に接続される。トランジスタ113のソースまたはドレインの他方は、配線122 と電氣的に接続される。

[0116]

ここで、キャパシタ106の他方の電極、トランジスタ112のソースまたはドレインの一方、キャパシタ114の一方の電極およびトランジスタ105のソースまたはドレインの一方が接続する配線をノードEとする。また、キャパシタ114の他方の電極、トランジスタ103のソースまたはドレインの一方およびトランジスタ113のソースまたはドレインの一方が接続する配線をノードFとする。

[0117]

図4に示す回路13では、配線124 [n-2] が接続するトランジスタ102のゲートおよびトランジスタ105のゲートが、第1の入力端子として機能する。配線124 [n-1] が接続するトランジスタ112のゲートおよびトランジスタ113のゲートが、第2の入力端子として機能する。配線124 [n] が接続するトランジスタ103のゲートが、第3の入力端子として機能する。配線124 [n+1] が接続するトランジスタ104のゲートが、第4の入力端子として機能する。

[0118]

<変形例3の動作例>

昇圧に関する基本的な動作は、図2Aに示す回路13と同じである。図5のタイミングチャートを用いて、図4に示す回路13の動作の一例を説明する。なお、配線121には“H”、配線122には“L”、配線124には“H”または“L”が供給される条件とする。

[0119]

時刻T1に配線124 [n-2] の電位が“H”（配線124 [n-1] の電位、配線124 [n] の電位および配線124 [n+1] の電位は“L”）となると、トランジスタ102が導通し、ノードAの電位が“H”となる。また、トランジスタ105が導通し、ノードEの電位が“L”となる。

[0120]

時刻T2に配線124 [n-2] の電位が“L”（配線124 [n-1] の電位、配線124 [n] の電位および配線124 [n+1] の電位は“L”）となると、トランジスタ102が非導通となり、ノードAの電位は“H”に保持される。また、トランジスタ105が非導通となり、ノードEの電位は“L”に保持される。

[0121]

時刻T3に配線124 [n-1] の電位が“H”（配線124 [n-2] の電位、配線124 [n] の電位および配線124 [n+1] の電位は“L”）となると、トランジスタ112が導通し、ノードEの電位は“L”から“H”に変化する。その変化分がキャパシタ106とノードAの容量比に応じてノードAの電位に加算され、ノードAの電位は“H+ (H-L)”となる。すなわち、“L”=0であれば、ノードAの電位は“2H”となる。また、トランジスタ113が導通し、ノ

ードFの電位が“L”となる。

[0122]

時刻T4に配線124[n-1]の電位が“L”（配線124[n-2]の電位、配線124[n]の電位および配線124[n+1]の電位は“L”）となると、トランジスタ112が非導通となり、ノードEの電位は“H”に保持される。また、トランジスタ113が非導通となり、ノードFの電位は“L”に保持される。

[0123]

時刻T5に配線124[n]の電位が“H”（配線124[n-2]の電位、配線124[n-1]の電位および配線124[n+1]の電位は“L”）となると、トランジスタ103が導通し、ノードFの電位は“L”から“H”に変化する。その変化分がキャパシタ114とノードEおよびノードAとの容量比に応じてノードAの電位に加算され、ノードAの電位は“2H+(H-L)”となる。すなわち、“L”=0であれば、ノードAの電位は“3H”となる。

[0124]

時刻T6に配線124[n]の電位が“L”（配線124[n-2]の電位、配線124[n-1]の電位および配線124[n+1]の電位は“L”）となると、トランジスタ103が非導通となり、ノードAの電位は“3H”に保持される。

[0125]

時刻T7に配線124[n+1]の電位が“H”（配線124[n-2]の電位、配線124[n-1]の電位および配線124[n]の電位は“L”）となると、トランジスタ104が導通し、ノードAの電位が“L”となる。

[0126]

時刻T8に配線124[n+1]の電位が“L”（配線124[n-2]の電位、配線124[n-1]の電位および配線124[n]の電位は“L”）となると、トランジスタ104が非導通となり、ノードAの電位は“L”に保持される。

[0127]

画素10の書き込み動作は、ノードA（配線125[n]）に電位“3H”が供給される期間（時刻T5以降であって時刻T7より前）に行うことができる。また、T7以降では、ノードAの電位が“L”に保持されるため、画素10に書き込まれた画像信号は、次のフレーム（次の動作）まで保持することができる。

[0128]

上述したとおり、図2Aの回路13に、2つのトランジスタおよび一つのキャパシタの構成を加えることで、昇圧機能を高めることができる。当該構成をさらに加えることで、より昇圧機能を高めることもできる。

[0129]

<昇圧回路の変形例4>

図6Aに、回路13の別の変形例を示す。図6に示す回路13は、簡略化した構成であり、図2Aに示す回路13からトランジスタ103およびトランジスタ105を省いた構成である。当該構成では、キャパシタ106の他方の電極に配線124[n]が電氣的に接続される。つまり、キャパシタ106の他方の電極が第2の入力端子として機能する。

[0130]

<変形例4の動作例>

昇圧に関する基本的な動作は、図2Aに示す回路13と同じである。トランジスタ103を省いているため、昇圧動作は、第2の入力端子に“H”の信号電圧が入力される期間に依存する。

[0131]

図6Bのタイミングチャートを用いて、図6Aに示す回路13の動作の一例を説明する。なお、以下の説明またはタイミングチャートにおいて、低電位を“L”、高電位を“H”で表す。また、配線121には“H”、配線122には“L”、配線124には“H”または“L”が供給される条件とする。

[0132]

時刻T1に配線124[n-1]の電位が“H”（配線124[n]の電位および配線124[n+1]の電位は“L”）となると、トランジスタ102が導通し、ノードAの電位が“H”となる。このとき、キャパシタ106の他方の電極には、電位“L”が供給されている。

[0133]

時刻T2に配線124[n-1]の電位が“L”（配線124[n]の電位および配線124[n+1]の電位は“L”）となると、トランジスタ102が非導通となり、ノードAの電位は“H”に保持される。このとき、キャパシタ106の他方の電極には、電位“L”が供給されている。

[0134]

時刻T3に配線124[n]の電位が“H”（配線124[n-1]の電位および配線124[n+1]の電位は“L”）となると、キャパシタ106の他方の電極の電位は“L”から“H”に変化する。その変化分がキャパシタ106とノードAの容量比に応じてノードAの電位に加算され、ノードAの電位は“ $H + (H - L)$ ”となる。すなわち、“L”=0であれば、ノードAの電位は“2H”となる。

[0135]

時刻T4に配線124[n]の電位が“L”（配線124[n-1]の電位および配線124[n+1]の電位は“L”）となると、キャパシタ106の他方の電極の電位は“H”から“L”に変化する。その変化分がキャパシタ106とノードAの容量比に応じてノードAの電位に加算され、ノードAの電位は“ $2H + (L - H)$ ”となる。すなわち、“L”=0であれば、ノードAの電位は“H”となる。

[0136]

時刻T5に配線124[n+1]の電位が“H”（配線124[n-1]の電位および配線124[n]の電位は“L”）となると、トランジスタ104が導通し、ノードAの電位が“L”となる。

[0137]

時刻T6に配線124[n+1]の電位が“L”（配線124[n-1]の電位および配線124[n]の電位は“L”）となると、トランジスタ104が非導通となり、ノードAの電位は“L”に保持される。

[0138]

上述したように、時刻T3以後にノードAの電位は“2H”となるが、時刻T4で“H”に戻る。つまり、高い電位を維持できる期間が図2乃至図6で説明した回路13よりも短くなる。図6Aに示す回路13は、このような動作でも画素の書き込み時間が十分にとることができる表示装置に用いることが好ましい。

[0139]

なお、同様の構成は、さらに高い電圧に昇圧する回路13に適用することもできる。図7は、図4に示す回路13の構成に、さらに入力端子を一つ増やした構成であり、最大で電位“4H”を出力することができる。図4に示す回路13との違いは、キャパシタ115がノードFに電氣的に接続されている点である。キャパシタ115は、昇圧動作を行う最終段の入力端子と電氣的に接続することができる。

[0140]

<昇圧回路の他の形態、昇圧回路の他の接続形態>

図1乃至図7では、ゲートドライバ12の出力端子に回路13が接続される構成として説明したが、図8Aに示すように、回路13は、ゲートドライバ12の構成要素であってもよい。当該構成では、ゲートドライバ12の内部で昇圧が行われるということになる。また、ゲートドライバ12が有するシフトレジスタなどの回路と、回路13は積層してもよい。これらを積層することで、表示装置を狭額縁化することができる。

[0141]

また、図8Bに示すように、回路13内に選択回路16を設けた構成としてもよい。選択回路16は、回路13内で昇圧した出力電位を選択した配線125に出力することができる。当該構成とすることで、表示装置に設ける回路13の数を少なくすることができ、表示装置を狭額縁化することができる。なお、選択回路16を回路13の外側に設け、回路13の出力端子に選択回路16が電氣的に接続する構成としてもよい。

[0142]

また、図8Cに示すように、ゲートドライバ12と回路13との間に選択回路17を設ける構成としてもよい。選択回路17は、ゲートドライバ12が出力した信号電圧を回路13に出力する第1の経路と、回路13をバイパスして画素10に出力する第2の経路とを選択することができる。当該構成とすることで、画素に昇圧しない信号電圧を供給することができ、表示の輝度を抑えるなど、省電力動作に切り替えることができる。

[0143]

<画素回路>

画素10は、図2に示す構成のほか、図9Aに示す構成としてもよい。図9Aに示す画素10は、入力されたデータ電圧を昇圧する機能を有する。図9Aに示す画素10は、トランジスタ116、トランジスタ117、キャパシタ118および回路21を有し、2本のゲート線（配線125、配線126）、および2本のソース線（配線127、配線128）と電氣的に接続される。配線125および配線126には、それぞれ異なる回路13が電氣的に接続される。

[0144]

トランジスタ116は、ゲートが配線126と電氣的に接続し、ソースまたはドレインの一方が配線127と電氣的に接続し、ソースまたはドレインの他方がキャパシタ118の一方の電極および回路21と電氣的に接続する。トランジスタ117は、ゲートが配線125と電氣的に接続し、ソースまたはドレインの一方が配線128と電氣的に接続し、ソースまたはドレインの他方が、キャパシタ118の他方の電極と電氣的に接続する。

[0145]

トランジスタ116は、配線126に供給される信号により制御され、トランジスタ117は、配

線125に供給される信号により制御される。

[0146]

図9Aに示す画素10は、回路21が有する表示デバイスに高い電圧を供給する場合に有効である。以下に、当該画素10が有する昇圧機能を説明する。なお、図9Aに示す画素10では、トランジスタ116のソースまたはドレインの他方、キャパシタ118の一方の電極および回路21を接続する配線をノードNMとする。

[0147]

まず、ノードNMにトランジスタ116を介して配線127の電位“D1”を供給し、これと重なるタイミングで、キャパシタ118の他方の電極にトランジスタ117を介して配線128から基準電位“ V_{ref} ”を供給する。このとき、キャパシタ118には“ $D1 - V_{ref}$ ”が保持される。次に、ノードNMをフローティングとし、トランジスタ117を介してキャパシタ118の他方の電極に配線128の電位“D2”を供給する。ここで、電位“D2”は加算用の電位である。

[0148]

このとき、キャパシタ118の容量値を C_{118} 、ノードNMの容量値を C_{NM} とすると、ノードNMの電位は、 $D1 + (C_{118} / (C_{118} + C_{NM})) \times (D2 - V_{ref})$ となる。ここで、 C_{118} の値が C_{NM} の値より十分に大きい場合を想定すると、 $C_{118} / (C_{118} + C_{NM})$ は1に近似する。したがって、ノードNMの電位は“ $D1 + (D2 - V_{ref})$ ”に近似するといえる。そして、 $D1 = D2$ であって、 $V_{ref} = 0$ であれば、“ $D1 + (D2 - V_{ref})$ ” = “ $2D1$ ”となる。

[0149]

つまり、回路を適切に設計すれば、配線125または配線126から入力できる電位の約2倍の電位をノードNMに供給できることになる。

[0150]

当該作用により、高い電圧を表示デバイスに供給することができる。したがって、汎用のドライバICを用いても、しきい値電圧の高い表示デバイスを動作させることができる。または、ドライバICの消費電力を抑えることができる。

[0151]

また、画素10は、図9Bに示す構成であってもよい。図9Bに示す画素10は、トランジスタ119を有する点が図9Aに示す画素10と異なる。トランジスタ119のゲートは配線126と電氣的に接続され、ソースまたはドレインの一方はトランジスタ117のソースまたはドレインの他方およびキャパシタ118の他方の電極と電氣的に接続され、ソースまたはドレインの他方は配線128と電氣的に接続される。また、トランジスタ117のソースまたはドレインの一方は、配線127と接続される。

[0152]

図9Aに示す画素10では、上述したようにトランジスタ117を介して基準電位および加算用の電位をキャパシタ118の他方の電極に供給する動作が行われる。この場合、配線125、126の2本が必要であること、および配線128では基準電位と加算用の電位を交互に書き換える必要があるため、高速動作および消費電力に問題を生じる場合がある。

[0153]

図9Bに示す画素10では、トランジスタ119は増えるが、トランジスタ119のゲートは配線126と接続することができるため、配線数は増加しない。また、配線128を基準電位が供給さ

れる専用の配線とすることができ、一つの配線で基準電位と加算用の電位を交互に書き換えることがないため、高速動作および低消費電力に適しているといえる。また、配線128としては、回路21と接続される低電位線などを用いることができるため、実質的には配線数を減らすことができる。

[0154]

なお、図9A、図9Bでは、“ V_{ref} ”として“D1”の反転電位“D1B”を用いてもよい。この場合は、配線125または配線126から入力できる電位の約3倍の電位をノードNMに供給できることになる。なお、反転電位とは、ある基準電位との差の絶対値が同じ（または概略同じ）であって、元の電位とは異なる電位を意味する。元の電位を“D1”、反転電位を“D1B”、基準電位を V_{ref} とすると、 $V_{ref} = (D1 + D1B) / 2$ の関係であればよい。

[0155]

<回路21>

図10A乃至図10Dは、回路21に適用でき、表示デバイスとして液晶デバイスを含む構成の例である。

[0156]

図10Aに示す構成は、キャパシタ141および液晶デバイス142を有する。液晶デバイス142の一方の電極は、キャパシタ141の一方の電極と電氣的に接続される。キャパシタ141の一方の電極は、ノードNMに電氣的に接続される。

[0157]

キャパシタ141の他方の電極は、配線151と電氣的に接続される。液晶デバイス142の他方の電極は、配線152と電氣的に接続される。配線151、152は電源を供給する機能を有する。例えば、配線151、152は、GNDや0Vなどの基準電位や任意の電位を供給することができる。

[0158]

なお、図10Bに示すようにキャパシタ141を省いた構成としてもよい。前述したように、ノードNMと接続するトランジスタにOSトランジスタを用いることができる。OSトランジスタはリーク電流が極めて小さいため、保持容量として機能するキャパシタ141を省いても表示を比較的長時間維持することができる。また、トランジスタの構成に限らず、フィールドシーケンシャル駆動のように、高速動作で表示期間を短くできる場合にもキャパシタ141を省くことは有効である。キャパシタ141を省くことで開口率を向上させることができる。または、画素の透過率を向上させることができる。

[0159]

図10A、図10Bの構成では、ノードNMの電位が液晶デバイス142の動作しきい値以上になったときに液晶デバイス142の動作が開始される。したがって、ノードNMの電位が確定される前に表示動作が始まる場合がある。ただし、透過型液晶表示装置の場合は、ノードNMの電位が確定されるまでバックライトを消灯するなどの動作を併用することで、不必要な表示動作が行われても視認を抑制することができる。

[0160]

図10Cは、図10Aの構成にトランジスタ143を付加した構成である。トランジスタ143のソースまたはドレインの一方は、キャパシタ141の一方の電極と電氣的に接続される。トランジ

スタ 1 4 3 のソースまたはドレインの他方は、ノードNMと電氣的に接続される。

[0 1 6 1]

当該構成では、トランジスタ 1 4 3 の導通に伴って液晶デバイス 1 4 2 にノードNMの電位が印加される。したがって、ノードNMの電位確定後の任意のタイミングに液晶デバイス 1 4 2 の動作を開始することができる。

[0 1 6 2]

図 1 0 D は、図 1 0 C の構成にトランジスタ 1 4 4 を付加した構成である。トランジスタ 1 4 4 のソースまたはドレインの一方は、液晶デバイス 1 4 2 の一方の電極と電氣的に接続される。トランジスタ 1 4 4 のソースまたはドレインの他方は、配線 1 5 3 と電氣的に接続される。

[0 1 6 3]

配線 1 5 3 と電氣的に接続される回路 1 7 0 は、キャパシタ 1 4 1 および液晶デバイス 1 4 2 に供給された電位をリセットする機能を有することができる。

[0 1 6 4]

図 1 1 A 乃至図 1 1 D は、回路 2 1 に適用でき、表示デバイスとして発光デバイスを含む構成の例である。

[0 1 6 5]

図 1 1 A に示す構成は、トランジスタ 1 4 5 と、キャパシタ 1 4 6 と、発光デバイス 1 4 7 を有する。トランジスタ 1 4 5 のソースまたはドレインの一方は、発光デバイス 1 4 7 の一方の電極と電氣的に接続される。発光デバイス 1 4 7 の一方の電極は、キャパシタ 1 4 6 の一方の電極と電氣的に接続される。キャパシタ 1 4 6 の他方の電極は、トランジスタ 1 4 5 のゲートと電氣的に接続される。トランジスタ 1 4 5 のゲートは、ノードNMに電氣的に接続される。

[0 1 6 6]

トランジスタ 1 4 5 のソースまたはドレインの他方は、配線 1 5 4 と電氣的に接続される。発光デバイス 1 4 7 の他方の電極は、配線 1 5 5 と電氣的に接続される。配線 1 5 4、1 5 5 は電源を供給する機能を有する。例えば、配線 1 5 4 は、高電位電源を供給することができる。また、配線 1 5 5 は、低電位電源を供給することができる。

[0 1 6 7]

図 1 1 A に示す構成では、ノードNMの電位がトランジスタ 1 4 5 のしきい値電圧以上となったときに発光デバイス 1 4 7 に電流が流れる。

[0 1 6 8]

または、図 1 1 B に示すように、発光デバイス 1 4 7 の一方の電極を配線 1 5 4 と電氣的に接続し、発光デバイス 1 4 7 の他方の電極をトランジスタ 1 4 5 のソースまたはドレインの他方と電氣的に接続してもよい。当該構成は、発光デバイス 1 4 7 を有する他の回路 2 1 にも適用することができる。

[0 1 6 9]

図 1 1 C は、図 1 5 A の構成にトランジスタ 1 4 8 を付加した構成である。トランジスタ 1 4 8 のソースまたはドレインの一方は、トランジスタ 1 4 5 のソースまたはドレインの一方と電氣的に接続される。トランジスタ 1 4 8 のソースまたはドレインの他方は、発光デバイス 1 4 7 と電氣的に接続される。

[0 1 7 0]

当該構成では、ノードNMの電位がトランジスタ145のしきい値電圧以上であって、トランジスタ148が導通したときに発光デバイス147に電流が流れる。したがって、ノードNMの電位確定後の任意のタイミングに発光デバイス147の発光を開始することができる。

[0171]

図11Dは、図11Aの構成にトランジスタ149を付加した構成である。トランジスタ149のソースまたはドレインの一方は、トランジスタ145のソースまたはドレインの一方と電氣的に接続される。トランジスタ149のソースまたはドレインの他方は、配線156と電氣的に接続される。

[0172]

配線156は、基準電位などの特定の電位の供給源と電氣的に接続することができる。配線156からトランジスタ145のソースまたはドレインの一方に特定の電位を供給することで、画像データの書き込みを安定化させることもできる。また、発光デバイス147の発光のタイミングを制御することもできる。

[0173]

また、配線156は、回路171と接続することができ、モニタ線としての機能を有することもできる。回路171は、上記特定の電位の供給源としての機能、トランジスタ145の電気特性を取得する機能、および補正データを生成する機能の一つ以上を有することができる。

[0174]

<トランジスタの変形例>

また、図12に例示するように、本発明の一態様の回路では、バックゲートを設けたトランジスタを用いてもよい。図12では、バックゲートがフロントゲートと電氣的に接続された構成を示しており、オン電流を高める効果を有する。または、バックゲートが定電位を供給できる配線と電氣的に接続された構成であってもよい。当該構成では、トランジスタのしきい値電圧を制御することができる。なお、回路21が有するトランジスタにもバックゲートを設けてもよい。

[0175]

<シミュレーション結果>

次に、画素の動作に関するシミュレーション結果を説明する。図13にシミュレーションに用いた画素10の構成を示す。シミュレーションは、図6Aに示した回路構成を用い、図6Bに示すタイミングチャートの動作を対象とした。

[0176]

シミュレーションに用いたパラメータは以下の通りである。トランジスタサイズは $L/W = 3\mu\text{m} / 1600\mu\text{m}$ (トランジスタ T_{r1} 、 T_{r2})、キャパシタ $C1$ の容量値は 149pF 、ノードAに接続される負荷の容量値および抵抗は、対角9インチ程度の縦型パネルを想定し、それぞれ 149pF 、 $1.9\text{k}\Omega$ とした。回路13に入力する電源電圧は、 $GVDD = +1.1\text{V}$ 、 $GVSS = -2.1\text{V}$ とした。また、ゲートドライバからの入力電圧($GOUT$)は、“L”として -2.1V 、“H”として $+1.1\text{V}$ とした。なお、回路シミュレーションソフトウェアにはSPICEを用いた。

[0177]

図14は、シミュレーション結果であり、横軸を時間(μs)、縦軸を画素10のノードAの電圧(V)で表している。なお、 $GOUT[i-1]$ は、トランジスタ T_{r1} のゲートに入る信号電圧、 $GOUT[i]$ は、キャパシタ $C1$ に入る信号電圧、 $GOUT[i+1]$ は、トランジスタ T_{r2}

のゲートに入る信号電圧である。

[0178]

図14に示すように、ノードAの電位は、GVSSが入力される初期状態の -2.1V からGOUT [i-1]の入力で約 8.4V に上昇し、GOUT [i]の入力で約 27.6V に上昇し、GOUT [i+1]の入力で 2.1V に戻ることが確かめられた。初期状態を基準にすると、GOUT [i]の入力時の出力電圧は、GOUT [i-1]の入力時の出力電圧の約 1.65 倍に昇圧できることが確認できた。より適切な設計を行うことで、さらに昇圧特性を向上させることができる。

[0179]

以上のシミュレーション結果により、本発明の一態様の効果を確認することができた。

[0180]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0181]

(実施の形態2)

本実施の形態では、液晶デバイスを用いた表示装置の構成例と、発光デバイスを用いた表示装置の構成例について説明する。なお、本実施の形態においては、実施の形態1で説明した表示装置の要素、動作および機能の説明は省略する。

[0182]

本実施の形態で説明する表示装置には、実施の形態1で説明した画素を用いることができる。なお、以下に説明する走査線駆動回路はゲートドライバ、信号線駆動回路はソースドライバに相当する。

[0183]

図15A乃至図15Cは、本発明の一態様を用いることのできる表示装置の構成を示す図である。

[0184]

図15Aにおいて、第1の基板4001上に設けられた表示部215を囲むようにして、シール材4005が設けられ、表示部215がシール材4005および第2の基板4006によって封止されている。

[0185]

図15Aでは、走査線駆動回路221a、信号線駆動回路231a、信号線駆動回路232a、および共通線駆動回路241aは、それぞれがプリント基板4041上に設けられた集積回路4042を複数有する。集積回路4042は、単結晶半導体または多結晶半導体で形成されている。共通線駆動回路241aは、実施の形態1に示した配線151、152、154、155などに規定の電位を供給する機能を有する。

[0186]

走査線駆動回路221a、共通線駆動回路241a、信号線駆動回路231a、および信号線駆動回路232aに与えられる各種信号および電位は、FPC (Flexible printed circuit) 4018を介して供給される。

[0187]

走査線駆動回路221aおよび共通線駆動回路241aが有する集積回路4042は、表示部215に選択信号を供給する機能を有する。信号線駆動回路231aおよび信号線駆動回路232aが有する集積回路4042は、表示部215に画像データを供給する機能を有する。集積回路404

2は、第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に実装されている。

[0188]

なお、集積回路4042の接続方法は、特に限定されるものではなく、ワイヤボンディング法、COF (Chip On Film) 法、COG (Chip On Glass) 法、TCP (Tape Carrier Package) 法などを用いることができる。

[0189]

図15Bは、信号線駆動回路231aおよび信号線駆動回路232aに含まれる集積回路4042をCOG法により実装する例を示している。また、駆動回路の一部または全体を表示部215と同じ基板上に一体形成して、システムオンパネルを形成することができる。

[0190]

図15Bでは、走査線駆動回路221aおよび共通線駆動回路241aを、表示部215と同じ基板上に形成する例を示している。駆動回路を表示部215内の画素回路と同時に形成することで、部品点数を削減することができる。よって、生産性を高めることができる。

[0191]

また、図15Bでは、第1の基板4001上に設けられた表示部215と、走査線駆動回路221aおよび共通線駆動回路241aと、を囲むようにして、シール材4005が設けられている。また表示部215、走査線駆動回路221a、および共通線駆動回路241aの上に第2の基板4006が設けられている。よって、表示部215、走査線駆動回路221a、および共通線駆動回路241aは、第1の基板4001とシール材4005と第2の基板4006とによって、表示デバイスと共に封止されている。

[0192]

また、図15Bでは、信号線駆動回路231aおよび信号線駆動回路232aを別途形成し、第1の基板4001に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部を別途形成して実装しても良い。また、図15Cに示すように、信号線駆動回路231aおよび信号線駆動回路232aを表示部215と同じ基板上に形成してもよい。

[0193]

また、表示装置は、表示デバイスが封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む場合がある。

[0194]

また、第1の基板上に設けられた表示部および走査線駆動回路は、トランジスタを複数有している。当該トランジスタとして、実施の形態1で示したSiトランジスタまたはOSトランジスタを適用することができる。

[0195]

周辺駆動回路が有するトランジスタと、表示部の画素回路が有するトランジスタの構造は同じであってもよく、異なってもよい。周辺駆動回路が有するトランジスタは、全て同じ構造のトランジスタであってもよく、2種類以上の構造のトランジスタを有してもよい。同様に、画素回路が有するトランジスタは、全て同じ構造のトランジスタであってもよく、2種類以上の構造のトランジスタを有してもよい。

[0196]

また、第2の基板4006上には入力装置4200を設けることができる。図15A乃至図15Cに示す表示装置に入力装置4200を設けた構成は、タッチパネルとして機能させることができる。

[0197]

本発明の一態様のタッチパネルが有する検知デバイス（センサ素子ともいう）に限定は無い。指やスタイラスなどの被検知体の近接または接触を検知することのできる様々なセンサを、検知デバイスとして適用することができる。

[0198]

センサの方式としては、例えば、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、感圧方式など様々な方式を用いることができる。

[0199]

本実施の形態では、静電容量方式の検知デバイスを有するタッチパネルを例に挙げて説明する。

[0200]

静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。また、投影型静電容量方式としては、自己容量方式、相互容量方式等がある。相互容量方式を用いると、同時多点検知が可能となるため好ましい。

[0201]

本発明の一態様のタッチパネルは、別々に作製された表示装置と検知デバイスとを貼り合わせる構成、表示デバイスを支持する基板および対向基板の一方または双方に検知デバイスを構成する電極等を設ける構成等、様々な構成を適用することができる。

[0202]

図16A、図16Bに、タッチパネルの一例を示す。図16Aは、タッチパネル4210の斜視図である。図16Bは、入力装置4200の斜視概略図である。なお、明瞭化のため、代表的な構成要素のみを示している。

[0203]

タッチパネル4210は、別々に作製された表示装置と検知デバイスとを貼り合わせた構成である。

[0204]

タッチパネル4210は、入力装置4200と、表示装置とを有し、これらが重ねて設けられている。

[0205]

入力装置4200は、基板4263、電極4227、電極4228、複数の配線4237、複数の配線4238および複数の配線4239を有する。例えば、電極4227は配線4237または配線4239と電気的に接続することができる。また、電極4228は配線4239と電気的に接続することができる。FPC4272bは、複数の配線4237および複数の配線4238の各々と電気的に接続する。FPC4272bにはIC4273bを設けることができる。

[0206]

または、表示装置の第1の基板4001と第2の基板4006との間にタッチセンサを設けてもよい。第1の基板4001と第2の基板4006との間にタッチセンサを設ける場合は、静電容量方式のタッチセンサのほか、光電変換素子を用いた光学式のタッチセンサを適用してもよい。

[0207]

図17A、図17Bは、図15B中でN1-N2の鎖線で示した部位の断面図である。図17A、図17Bに示す表示装置は電極4015を有しており、電極4015はFPC4018が有する端子と異方性導電層4019を介して、電氣的に接続されている。また、図17A、図17Bでは、電極4015は、絶縁層4112、絶縁層4111、および絶縁層4110に形成された開口において配線4014と電氣的に接続されている。

[0208]

電極4015は、第1の電極層4030と同じ導電層から形成され、配線4014は、トランジスタ4010、およびトランジスタ4011のソース電極およびドレイン電極と同じ導電層で形成されている。

[0209]

また、第1の基板4001上に設けられた表示部215と走査線駆動回路221aは、トランジスタを複数有しており、図17A、図17Bでは、表示部215に含まれるトランジスタ4010、および走査線駆動回路221aに含まれるトランジスタ4011を例示している。なお、図17A、図17Bでは、トランジスタ4010およびトランジスタ4011としてボトムゲート型のトランジスタを例示しているが、トップゲート型のトランジスタであってもよい。

[0210]

図17A、図17Bでは、トランジスタ4010およびトランジスタ4011上に絶縁層4112が設けられている。また、図17Bでは、絶縁層4112上に隔壁4510が形成されている。

[0211]

また、トランジスタ4010およびトランジスタ4011は、絶縁層4102上に設けられている。また、トランジスタ4010およびトランジスタ4011は、絶縁層4111上に形成された電極4017を有する。電極4017はバックゲート電極として機能することができる。

[0212]

また、図17A、図17Bに示す表示装置は、キャパシタ4020を有する。キャパシタ4020は、トランジスタ4010のゲート電極と同じ工程で形成された電極4021と、絶縁層4103と、ソース電極およびドレイン電極と同じ工程で形成された電極を有する例を示している。キャパシタ4020の構成はこれに限定されず、その他の導電層および絶縁層で形成されていてもよい。

[0213]

表示部215に設けられたトランジスタ4010は表示デバイスと電氣的に接続する。図17Aは、表示デバイスとして液晶デバイスを用いた液晶表示装置の一例である。図17Aにおいて、表示デバイスである液晶デバイス4013は、第1の電極層4030、第2の電極層4031、および液晶層4008を含む。なお、液晶層4008を挟持するように配向膜として機能する絶縁層4032、絶縁層4033が設けられている。第2の電極層4031は第2の基板4006側に設けられ、第1の電極層4030と第2の電極層4031は液晶層4008を介して重畳する。

[0214]

液晶デバイス4013として、様々なモードが適用された液晶デバイスを用いることができる。例えば、VA (Vertical Alignment) モード、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Bend) モード、FLC (Ferroelectric

Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、ECB (Electrically Controlled Birefringence) モード、VA-IPSモード、ゲストホストモード等が適用された液晶デバイスを用いることができる。

[0215]

また、本実施の形態に示す液晶表示装置にノーマリーブラック型の液晶表示装置、例えば垂直配向 (VA) モードを採用した透過型の液晶表示装置を適用してもよい。垂直配向モードとしては、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV (Advanced Super View) モードなどを用いることができる。

[0216]

なお、液晶デバイスは、液晶の光学変調作用によって光の透過または非透過を制御するデバイスである。液晶の光学的変調作用は、液晶にかかる電界 (横方向の電界、縦方向の電界または斜め方向の電界を含む) によって制御される。液晶デバイスに用いる液晶としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶 (PDLC: Polymer Dispersed Liquid Crystal)、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

[0217]

図17Aでは、縦電界方式の液晶デバイスを有する液晶表示装置の例を示したが、本発明の一態様には、横電界方式の液晶デバイスを有する液晶表示装置を適用することができる。横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性を示す。また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良または破損を軽減することができる。

[0218]

また、スペーサ4035は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、第1の電極層4030と第2の電極層4031との間隔 (セルギャップ) を制御するために設けられている。なお球状のスペーサを用いても良い。

[0219]

また、必要に応じて、ブラックマトリクス (遮光層)、着色層 (カラーフィルタ)、偏光部材、位相差部材、反射防止部材などの光学部材 (光学基板) などを適宜設けてもよい。例えば、偏光基板および位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。また、上記バックライトおよびサイドライトとして、マイクロLEDなどを用いても良い。

[0220]

図17Aに示す表示装置では、第2の基板4006と第2の電極層4031の間に、遮光層4132、着色層4131、絶縁層4133が設けられている。

[0221]

遮光層として用いることのできる材料としては、カーボンブラック、チタンブラック、金属、金属酸化物、複数の金属酸化物の固溶体を含む複合酸化物等が挙げられる。遮光層は、樹脂材料を含む膜であってもよいし、金属などの無機材料の薄膜であってもよい。また、遮光層に、着色層の材料を含む膜の積層膜を用いることもできる。例えば、ある色の光を透過する着色層に用いる材料を含む膜と、他の色の光を透過する着色層に用いる材料を含む膜との積層構造を用いることができる。着色層と遮光層の材料を共通化することで、装置を共通化できるほか工程を簡略化できるため好ましい。

[0222]

着色層に用いることのできる材料としては、金属材料、樹脂材料、顔料または染料が含まれた樹脂材料などが挙げられる。遮光層および着色層は、例えば、インクジェット法などを用いて形成することができる。

[0223]

また、図17A、図17Bに示す表示装置は、絶縁層4111と絶縁層4104を有する。絶縁層4111と絶縁層4104として、不純物元素を透過しにくい絶縁層を用いる。絶縁層4111と絶縁層4104でトランジスタの半導体層を挟むことで、外部からの不純物の浸入を防ぐことができる。

[0224]

また、表示装置に含まれる表示デバイスとして発光デバイスを用いることができる。発光デバイスとしては、例えば、エレクトロルミネッセンスを利用するELデバイスを用いることができる。ELデバイスは、一对の電極の間に発光性の化合物を含む層（「EL層」ともいう。）を有する。一对の電極間に、ELデバイスのしきい値電圧よりも大きい電位差を生じさせると、EL層に陽極側から正孔が注入され、陰極側から電子が注入される。注入された電子と正孔はEL層において再結合し、EL層に含まれる発光性の化合物が発光する。

[0225]

ELデバイスとしては、例えば、有機ELデバイスまたは無機ELデバイスを用いることができる。なお、発光材料に化合物半導体を用いるLED（マイクロLEDを含む）を用いることもできる。

[0226]

なお、EL層は、発光性の化合物以外に、正孔注入性の高い物質、正孔輸送性の高い物質、正孔ブロック材料、電子輸送性の高い物質、電子注入性の高い物質、またはバイポーラ性の物質（電子輸送性および正孔輸送性が高い物質）などを有していてもよい。

[0227]

EL層は、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、塗布法などの方法で形成することができる。

[0228]

無機ELデバイスは、その素子構成により、分散型無機ELデバイスと薄膜型無機ELデバイスとに分類される。分散型無機ELデバイスは、発光材料の粒子をバインダ中に分散させた発光層を有

するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機ELデバイスは、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光デバイスとして有機ELデバイスを用いて説明する。

[0229]

発光デバイスは発光を取り出すために少なくとも一对の電極の一方が透明であればよい。そして、基板上にトランジスタおよび発光デバイスを形成し、当該基板とは逆側の面から発光を取り出す上面射出（トップエミッション）構造や、基板側の面から発光を取り出す下面射出（ボトムエミッション）構造や、両面から発光を取り出す両面射出（デュアルエミッション）構造の発光デバイスがあり、どの射出構造の発光デバイスも適用することができる。

[0230]

図17Bは、表示デバイスとして発光デバイスを用いた発光表示装置（「EL表示装置」ともいう。）の一例である。表示デバイスである発光デバイス4513は、表示部215に設けられたトランジスタ4010と電氣的に接続している。なお発光デバイス4513の構成は、第1の電極層4030、発光層4511、第2の電極層4031の積層構造であるが、この構成に限定されない。発光デバイス4513から取り出す光の方向などに合わせて、発光デバイス4513の構成は適宜変えることができる。

[0231]

隔壁4510は、有機絶縁材料、または無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第1の電極層4030上に開口部を形成し、その開口部の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

[0232]

発光層4511は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

[0233]

発光デバイス4513の発光色は、発光層4511を構成する材料によって、白、赤、緑、青、シアン、マゼンタ、または黄などとすることができる。

[0234]

カラー表示を実現する方法としては、発光色が白色の発光デバイス4513と着色層を組み合わせで行う方法と、画素毎に発光色の異なる発光デバイス4513を設ける方法がある。前者の方法は後者の方法よりも生産性が高い。一方、後者の方法では画素毎に発光層4511を作り分ける必要があるため、前者の方法よりも生産性が劣る。ただし、後者の方法では、前者の方法よりも色純度の高い発光色を得ることができる。後者の方法に加えて、発光デバイス4513にマイクロキャビティ構造を付与することにより色純度をさらに高めることができる。

[0235]

なお、発光層4511は、量子ドットなどの無機化合物を有していてもよい。例えば、量子ドットを発光層に用いることで、発光材料として機能させることもできる。

[0236]

発光デバイス4513に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4031および隔壁4510上に保護層を形成してもよい。保護層としては、窒化シリコン、窒化酸化

シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、DLC (Diamond Like Carbon)などを形成することができる。また、第1の基板4001、第2の基板4006、およびシール材4005によって封止された空間には充填材4514が設けられ密封されている。このように、外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

[0237]

充填材4514としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル系樹脂、ポリイミド、エポキシ系樹脂、シリコーン系樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）などを用いることができる。また、充填材4514に乾燥剤が含まれていてもよい。

[0238]

シール材4005には、ガラスフリットなどのガラス材料や、二液混合型の樹脂などの常温で硬化する硬化樹脂、光硬化性の樹脂、熱硬化性の樹脂などの樹脂材料を用いることができる。また、シール材4005に乾燥剤が含まれていてもよい。

[0239]

また、必要であれば、発光デバイスの射出面に偏光板、または円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板または円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

[0240]

また、発光デバイスをマイクロキャビティ構造とすることで、色純度の高い光を取り出すことができる。また、マイクロキャビティ構造とカラーフィルタを組み合わせることで、映り込みが低減し、表示画像の視認性を高めることができる。

[0241]

表示デバイスに電圧を印加する第1の電極層および第2の電極層（画素電極層、共通電極層、対向電極層などともいう）においては、取り出す光の方向、電極層が設けられる場所、および電極層のパターン構造によって透光性、反射性を選択すればよい。

[0242]

第1の電極層4030、第2の電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、インジウム錫酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

[0243]

また、第1の電極層4030、第2の電極層4031はタングステン (W)、モリブデン (Mo)、ジルコニウム (Zr)、ハフニウム (Hf)、バナジウム (V)、ニオブ (Nb)、タンタル (Ta)、クロム (Cr)、コバルト (Co)、ニッケル (Ni)、チタン (Ti)、白金 (Pt)、アルミニウム (Al)、銅 (Cu)、銀 (Ag)などの金属、またはその合金、もしくはその金属窒化物から一種以上を用いて形成することができる。

[0244]

また、第1の電極層4030、第2の電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性高分子としては、いわゆる π 電子共役系導電性高分子を用いることができる。例えば、ポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、または、アニリン、ピロールおよびチオフェンの2種以上からなる共重合体若しくはその誘導体などがあげられる。

[0245]

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

[0246]

なお、図18に示すように、トランジスタやキャパシタが高さ方向に重なる領域を有するようなスタック構造としてもよい。例えば、駆動回路を構成するトランジスタ4011およびトランジスタ4022を重ねて配置すれば、狭額縁の表示装置とすることができる。また、画素回路を構成するトランジスタ4010、トランジスタ4023、キャパシタ4020などが一部でも重なる領域を有するように配置すれば開口率や解像度を向上させることができる。なお、図18では図17Aに示す液晶表示装置にスタック構造を応用した例を示しているが、図17Bに示すEL表示装置に適用してもよい。

[0247]

また、画素回路において、電極や配線に可視光に対して透光性の高い透光性導電膜を用いることで、画素内の光の透過率を高めることができ、実質的に開口率を向上させることができる。なお、OSトランジスタを用いる場合は半導体層も透光性を有するため、さらに開口率を高めることができる。これらは、トランジスタ等をスタック構造としない場合においても有効である。

[0248]

また、液晶表示装置と発光装置を組み合わせて表示装置を構成としてもよい。

[0249]

発光装置は表示面の逆側、または表示面の端部に配置される。発光装置は表示デバイスに光を供給する機能を有する。発光装置は、バックライトとも呼ぶことができる。

[0250]

ここで、発光装置は、板状またはシート状の導光部（導光板ともいう）と、異なる色の光を呈する複数の発光デバイスを有することができる。当該発光デバイスを導光部の側面近傍に配置すると、導光部側面から内部へ光を発することができる。導光部は光路を変更する機構（光取り出し機構ともいう）を有しており、これにより、発光装置は表示パネルの画素部に光を均一に照射することができる。または、導光部を設けず、画素の直下に発光装置を配置する構成としてもよい。

[0251]

発光装置は、赤色（R）、緑色（G）、青色（B）の3色の発光デバイスを有することが好ましい。さらに白色（W）の発光デバイスを有していてもよい。これら発光デバイスとして発光ダイオード（LED: Light Emitting Diode）を用いることが好ましい。

[0252]

さらに、発光デバイスは、その発光スペクトルの半値全幅（FWHM: Full Width at Half Maximum）が、50nm以下、好ましくは40nm以下、より好ましくは30nm以下、さらに好ましくは20nm以下である、極めて色純度の高い発光デバイスであること

が好ましい。なお、発光スペクトルの半値全幅は、小さければ小さいほどよいが、例えば1 nm以上とすることができる。これにより、カラー表示を行う際に、色再現性が高い鮮やかな表示を行うことができる。

[0253]

また、赤色の発光デバイスは、発光スペクトルのピーク波長が、625 nm以上650 nm以下の範囲内に位置する素子を用いることが好ましい。また、緑色の発光デバイスは、発光スペクトルのピーク波長が、515 nm以上540 nm以下の範囲内に位置する素子を用いることが好ましい。青色の発光デバイスは、発光スペクトルのピーク波長が、445 nm以上470 nm以下の範囲内に位置する素子を用いることが好ましい。

[0254]

表示装置は、3色の発光デバイスを順次点滅させるとともに、これと同期させて画素を駆動し、継時加法混色法に基づいてカラー表示を行うことができる。当該駆動方法は、フィールドシーケンシャル駆動とも呼ぶことができる。

[0255]

フィールドシーケンシャル駆動では、鮮やかなカラー画像を表示することができる。また、滑らかな動画像を表示することができる。また上記駆動方法を用いることで、1つの画素を複数の異なる色の副画素で構成する必要がなく、1つの画素の有効反射面積（有効表示面積、開口率ともいう）を大きくできるため、明るい表示を行うことができる。さらに、画素にカラーフィルタを設ける必要がないため、画素の透過率も向上させることもでき、さらに明るい表示を行うことができる。また、作製工程を簡略化でき、作製コストを低減することができる。

[0256]

図19A、図19Bは、フィールドシーケンシャル駆動が可能な表示装置の断面概略図の一例である。当該表示装置の第1の基板4001側にはRGB各色の発光が可能なバックライトユニットが設けられる。なお、フィールドシーケンシャル駆動では、RGB各色の時分割発光で色を表現するため、カラーフィルタは不要となる。

[0257]

図19Aに示すバックライトユニット4340aは、画素の直下に拡散板4352を介して発光デバイス4342が複数設けられた構成である。拡散板4352は、発光デバイス4342から第1の基板4001側に射出された光を拡散し、表示部内での輝度を均一化する機能を有する。発光デバイス4342と拡散板4352との間には、必要に応じて偏光板を設けてもよい。また、拡散板4352は不要であれば設けなくてもよい。また、遮光層4132を省いた構成としてもよい。

[0258]

バックライトユニット4340aは、発光デバイス4342を多く搭載することができるため、明るい表示が可能となる。また、導光板は不要であり、発光デバイス4342の光の効率を損ないにくい利点がある。なお、必要に応じて発光デバイス4342に光拡散用のレンズ4344を設けてもよい。

[0259]

図19Bに示すバックライトユニット4340bは、画素の直下に拡散板4352を介して導光板4341が設けられた構成である。導光板4341の端部には発光デバイス4342が複数設けられる。導光板4341は、拡散板4352とは逆側に凹凸形状を有し、導波した光を当該凹凸形状

で散乱して拡散板4352の方向に射出することができる。

[0260]

発光デバイス4342は、プリント基板4347に固定することができる。なお、図19Bでは、RGB各色の発光デバイス4342が重なるように図示しているが、奥行方向にRGB各色の発光デバイス4342が並ぶように配置することもできる。また、導光板4341において、発光デバイス4342とは反対側の側面には、可視光を反射する反射層4348を設けてもよい。

[0261]

バックライトユニット4340bは、発光デバイス4342を少なくすることができるため、低コストかつ薄型とすることができる。

[0262]

また、液晶デバイスには、光散乱型液晶デバイスを用いてもよい。光散乱型液晶デバイスとしては、液晶と高分子の複合材料を有する素子を用いることが好ましい。例えば、高分子分散型液晶デバイスを用いることができる。または、高分子ネットワーク型液晶（PNLC（Polymer Network Liquid Crystal））素子を用いてもよい。

[0263]

光散乱型液晶デバイスは、一对の電極で挟まれる樹脂部の3次元ネットワーク構造中に液晶部が設けられた構造である。液晶部に用いる材料としては、例えばネマティック液晶を用いることができる。また、樹脂部としては光硬化樹脂を用いることができる。光硬化樹脂は、例えば、アクリレート、メタクリレートなどの単官能モノマー、ジアクリレート、トリアクリレート、ジメタクリレート、トリメタクリレートなどの多官能モノマー、または、これらを混合させた重合性化合物を用いることができる。

[0264]

光散乱型液晶デバイスは液晶材料の屈折率の異方性を利用し、光を透過または散乱させることにより表示を行う。また、樹脂部も屈折率の異方性を有していてもよい。光散乱型液晶デバイスに印加される電圧に従って液晶分子が一定方向に配列するとき、液晶部と樹脂部の屈折率の差が小さくなる方向が発生し、当該方向に沿って入射する光は液晶部で散乱されることなく透過する。したがって、光散乱型液晶デバイスは当該方向からは透明な状態に視認される。一方で、印加される電圧に従って液晶分子の配列がランダムとなる時、液晶部と樹脂部の屈折率の差に大きな変化が生じないため、入射する光は液晶部で散乱される。したがって、光散乱型液晶デバイスは視認の方向を問わず不透明の状態となる。

[0265]

図20Aは、図19Aの表示装置の液晶デバイス4013を光散乱型液晶デバイス4016に置き換えた構成である。光散乱型液晶デバイス4016は、液晶部および樹脂部を有する複合層4009、ならびに第1の電極層4030および第2の電極層4031を有する。フィールドシーケンシャル駆動に関する要素は、図19Aと同じであるが、光散乱型液晶デバイス4016を用いる場合は、配向膜および偏光板が不要となる。なお、スペーサ4035は球状の形態で図示しているが、柱状であってもよい。

[0266]

図20Bは、図19Bの表示装置の液晶デバイス4013を光散乱型液晶デバイス4016に置き換えた構成である。図19Bの構成では、光散乱型液晶デバイス4016に電圧を印加しないとき

に光を透過し、電圧を印加したときに光を散乱させるモードで動作する構成とすることが好ましい。当該構成とすることで、ノーマル状態（表示をさせない状態）で透明な表示装置とすることができる。この場合は、光を散乱させる動作を行ったときにカラー表示を行うことができる。

[0267]

図20Bに示す表示装置の変形例を図21A乃至図21Eに示す。なお、図21A乃至図21Eにおいては、明瞭化のため、図20Bの一部要素を用い、他の要素を省いて図示している。

[0268]

図21Aは、第1の基板4001が導光板としての機能を有する構成である。第1の基板4001の外側の面には、凹凸形状を設けてもよい。当該構成では、導光板を別途設ける必要がなくなるため、製造コストを低減することができる。また、当該導光板による光の減衰もなくなるため、発光デバイス4342が射出する光を効率良く利用することができる。

[0269]

図21Bは、複合層4009の端部近傍から光を入射する構成である。複合層4009と第2の基板4006との界面、および複合層4009と第1の基板4001との界面での全反射を利用し、光散乱型液晶デバイスから外部に光を射出することができる。複合層4009の樹脂部には、第1の基板4001および第2の基板4006よりも屈折率が高い材料を用いる。

[0270]

なお、発光デバイス4342は表示装置の一辺に設けるだけでなく、図21Cに示すように対向する二辺に設けてもよい。さらに、三辺または四辺に設けてもよい。発光デバイス4342を複数の辺に設けることで、光の減衰を補うことができ、大面積の表示デバイスにも対応することができる。

[0271]

図21Dは、発光デバイス4342から射出される光がミラー4345を介して表示装置に導光される構成である。当該構成により表示装置に一定の角度からの導光を行いやすくなるため、効率良く全反射光を得ることができる。

[0272]

図21Eは、複合層4009上に層4003および層4004の積層を有する構成である。層4003および層4004の一方はガラス基板などの支持体であり、他方は無機膜、有機樹脂のコーティング膜またはフィルムなどで形成することができる。複合層4009の樹脂部には、層4004よりも屈折率が高い材料を用いる。また、層4004には層4003よりも屈折率が高い材料を用いる。

[0273]

複合層4009と層4004との間には一つ目の界面が形成され、層4004と層4003との間には二つ目の界面が形成される。当該構成により、一つ目の界面で全反射されず通り抜けた光を二つ目の界面で全反射させ、複合層4009に戻すことができる。したがって、発光デバイス4342が射出する光を効率良く利用することができる。

[0274]

なお、図20Bおよび図21A乃至図21Eにおける構成は、互いに組み合わせることができる。

[0275]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0276]

(実施の形態3)

本実施の形態では、上記実施の形態に示した各トランジスタに置き換えて用いることのできるトランジスタの一例について、図面を用いて説明する。

[0277]

本発明の一態様の表示装置は、ボトムゲート型のトランジスタや、トップゲート型トランジスタなどの様々な形態のトランジスタを用いて作製することができる。よって、既存の製造ラインに合わせて、使用する半導体層の材料やトランジスタ構造を容易に置き換えることができる。

[0278]

[ボトムゲート型トランジスタ]

図22A1は、ボトムゲート型のトランジスタの一種であるチャネル保護型のトランジスタ810のチャネル長方向の断面図である。図22A1において、トランジスタ810は基板771上に形成されている。また、トランジスタ810は、基板771上に絶縁層772を介して電極746を有する。また、電極746上に絶縁層726を介して半導体層742を有する。電極746はゲート電極として機能できる。絶縁層726はゲート絶縁層として機能できる。

[0279]

また、半導体層742のチャネル形成領域上に絶縁層741を有する。また、半導体層742の一部と接して、絶縁層726上に電極744aおよび電極744bを有する。電極744aは、ソース電極またはドレイン電極の一方として機能できる。電極744bは、ソース電極またはドレイン電極の他方として機能できる。電極744aの一部、および電極744bの一部は、絶縁層741上に形成される。

[0280]

絶縁層741は、チャネル保護層として機能できる。チャネル形成領域上に絶縁層741を設けることで、電極744aおよび電極744bの形成時に生じる半導体層742の露出を防ぐことができる。よって、電極744aおよび電極744bの形成時に、半導体層742のチャネル形成領域がエッチングされることを防ぐことができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。

[0281]

また、トランジスタ810は、電極744a、電極744bおよび絶縁層741上に絶縁層728を有し、絶縁層728の上に絶縁層729を有する。

[0282]

半導体層742に酸化物半導体を用いる場合、電極744aおよび電極744bの、少なくとも半導体層742と接する部分に、半導体層742の一部から酸素を奪い、酸素欠損を生じさせることが可能な材料を用いることが好ましい。半導体層742中の酸素欠損が生じた領域はキャリア濃度が増加し、当該領域はn型化し、n型領域(n⁺領域)となる。したがって、当該領域はソース領域またはドレイン領域として機能することができる。半導体層742に酸化物半導体を用いる場合、半導体層742から酸素を奪い、酸素欠損を生じさせることが可能な材料の一例として、タングステン、チタン等を挙げることができる。

[0283]

半導体層742にソース領域およびドレイン領域が形成されることにより、電極744aおよび電

極744bと半導体層742の接触抵抗を低減することができる。よって、電界効果移動度や、しきい値電圧などの、トランジスタの電気特性を良好なものとすることができる。

[0284]

半導体層742にシリコンなどの半導体を用いる場合は、半導体層742と電極744aの間、および半導体層742と電極744bの間に、n型半導体またはp型半導体として機能する層を設けることが好ましい。n型半導体またはp型半導体として機能する層は、トランジスタのソース領域またはドレイン領域として機能することができる。

[0285]

絶縁層729は、外部からのトランジスタへの不純物の拡散を防ぐ、または低減する機能を有する材料を用いて形成することが好ましい。なお、必要に応じて絶縁層729を省略することもできる。

[0286]

図22A2に示すトランジスタ811は、絶縁層729上にバックゲート電極として機能できる電極723を有する点が、トランジスタ810と異なる。電極723は、電極746と同様の材料および方法で形成することができる。

[0287]

一般に、バックゲート電極は導電層で形成され、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。よって、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位は、ゲート電極と同電位としてもよいし、接地電位（GND電位）や、任意の電位としてもよい。また、バックゲート電極の電位をゲート電極と連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

[0288]

電極746および電極723は、どちらもゲート電極として機能することができる。よって、絶縁層726、絶縁層728、および絶縁層729は、それぞれがゲート絶縁層として機能することができる。なお、電極723は、絶縁層728と絶縁層729の間に設けてもよい。

[0289]

なお、電極746または電極723の一方を、「ゲート電極」という場合、他方を「バックゲート電極」という。例えば、トランジスタ811において、電極723を「ゲート電極」と言う場合、電極746を「バックゲート電極」と言う。また、電極723を「ゲート電極」として用いる場合は、トランジスタ811をトップゲート型のトランジスタの一種と考えることができる。また、電極746および電極723のどちらか一方を、「第1のゲート電極」といい、他方を「第2のゲート電極」という場合がある。

[0290]

半導体層742を挟んで電極746および電極723を設けることで、更には、電極746および電極723を同電位とすることで、半導体層742においてキャリアの流れる領域が膜厚方向においてより大きくなるため、キャリアの移動量が増加する。この結果、トランジスタ811のオン電流が大きくなると共に、電界効果移動度が高くなる。

[0291]

したがって、トランジスタ811は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ811の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、

本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

[0292]

また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電界が、チャンネルが形成される半導体層に作用しないようにする機能（特に静電気などに対する電界遮蔽機能）を有する。なお、バックゲート電極を半導体層よりも大きく形成し、バックゲート電極で半導体層を覆うことで、電界遮蔽機能を高めることができる。

[0293]

また、バックゲート電極を、遮光性を有する導電膜で形成することで、バックゲート電極側から半導体層に光が入射することを防ぐことができる。よって、半導体層の光劣化を防ぎ、トランジスタのしきい値電圧がシフトするなどの電気特性の劣化を防ぐことができる。

[0294]

本発明の一態様によれば、信頼性の良好なトランジスタを実現することができる。また、信頼性の良好な半導体装置を実現することができる。

[0295]

図22B1は、図22A1とは異なる構成のチャンネル保護型のトランジスタ820のチャンネル長方向の断面図である。トランジスタ820は、トランジスタ810とほぼ同様の構造を有しているが、絶縁層741が半導体層742の端部を覆っている点が異なる。また、半導体層742と重なる絶縁層741の一部を選択的に除去して形成した開口部において、半導体層742と電極744aが電氣的に接続している。また、半導体層742と重なる絶縁層741の一部を選択的に除去して形成した他の開口部において、半導体層742と電極744bが電氣的に接続している。絶縁層741の、チャンネル形成領域と重なる領域は、チャンネル保護層として機能できる。

[0296]

図22B2に示すトランジスタ821は、絶縁層729上にバックゲート電極として機能できる電極723を有する点が、トランジスタ820と異なる。

[0297]

絶縁層741を設けることで、電極744aおよび電極744bの形成時に生じる半導体層742の露出を防ぐことができる。よって、電極744aおよび電極744bの形成時に半導体層742の薄膜化を防ぐことができる。

[0298]

また、トランジスタ820およびトランジスタ821は、トランジスタ810およびトランジスタ811よりも、電極744aと電極746の間の距離と、電極744bと電極746の間の距離が長くなる。よって、電極744aと電極746の間に生じる寄生容量を小さくすることができる。また、電極744bと電極746の間に生じる寄生容量を小さくすることができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現できる。

[0299]

図22C1は、ボトムゲート型のトランジスタの1つであるチャンネルエッチング型のトランジスタ825のチャンネル長方向の断面図である。トランジスタ825は、絶縁層741を用いずに電極744aおよび電極744bを形成する。このため、電極744aおよび電極744bの形成時に露出する半導体層742の一部がエッチングされる場合がある。一方、絶縁層741を設けないため、トランジスタの生産性を高めることができる。

[0300]

図22C2に示すトランジスタ826は、絶縁層729上にバックゲート電極として機能できる電極723を有する点が、トランジスタ825と異なる。

[0301]

図23A1乃至図23C2にトランジスタ810、811、820、821、825、826のチャンネル幅方向の断面図をそれぞれ示す。

[0302]

図23B2、図23C2に示す構造では、ゲート電極とバックゲート電極とが接続され、ゲート電極とバックゲート電極との電位が同電位となる。また、半導体層742は、ゲート電極とバックゲート電極と挟まれている。

[0303]

ゲート電極およびバックゲート電極のそれぞれのチャンネル幅方向の長さは、半導体層742のチャンネル幅方向の長さよりも長く、半導体層742のチャンネル幅方向全体は、絶縁層726、741、728、729を間に挟んでゲート電極およびバックゲート電極に覆われた構成である。

[0304]

当該構成とすることで、トランジスタに含まれる半導体層742を、ゲート電極およびバックゲート電極の電界によって電氣的に取り囲むことができる。

[0305]

トランジスタ821またはトランジスタ826のように、ゲート電極およびバックゲート電極の電界によって、チャンネル形成領域が形成される半導体層742を電氣的に取り囲むトランジスタのデバイス構造を *Surrounded channel* (*S-channel*) 構造と呼ぶことができる。

[0306]

S-channel 構造とすることで、ゲート電極およびバックゲート電極の一方または双方によってチャンネルを誘起させるための電界を効果的に半導体層742に印加することができるため、トランジスタの電流駆動能力が向上し、高いオン電流特性を得ることが可能となる。また、オン電流を高くすることが可能であるため、トランジスタを微細化することが可能となる。また、*S-channel* 構造とすることで、トランジスタの機械的強度を高めることができる。

[0307]

[トップゲート型トランジスタ]

図24A1に例示するトランジスタ842は、トップゲート型のトランジスタの1つである。電極744aおよび電極744bは、絶縁層728および絶縁層729に形成した開口部において半導体層742と電氣的に接続する。

[0308]

また、電極746と重ならない絶縁層726の一部を除去し、電極746と残りの絶縁層726をマスクとして用いて不純物を半導体層742に導入することで、半導体層742中に自己整合（セルフアライメント）的に不純物領域を形成することができる。トランジスタ842は、絶縁層726が電極746の端部を越えて延伸する領域を有する。半導体層742の絶縁層726を介して不純物が導入された領域の不純物濃度は、絶縁層726を介さずに不純物が導入された領域よりも小さくなる。よって、半導体層742は、絶縁層726と重なる領域であって、電極746と重なら

ない領域にLDD (Lightly Doped Drain) 領域が形成される。

[0309]

図24A2に示すトランジスタ843は、電極723を有する点がトランジスタ842と異なる。トランジスタ843は、基板771の上に形成された電極723を有する。電極723は、絶縁層772を介して半導体層742と重なる領域を有する。電極723は、バックゲート電極として機能することができる。

[0310]

また、図24B1に示すトランジスタ844および図24B2に示すトランジスタ845のように、電極746と重ならない領域の絶縁層726を全て除去してもよい。また、図24C1に示すトランジスタ846および図24C2に示すトランジスタ847のように、絶縁層726を残してもよい。

[0311]

トランジスタ842乃至トランジスタ847も、電極746を形成した後に、電極746をマスクとして用いて不純物を半導体層742に導入することで、半導体層742中に自己整合的に不純物領域を形成することができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。また、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

[0312]

図25A1乃至図25C2にトランジスタ842、843、844、845、846、847のチャンネル幅方向の断面図をそれぞれ示す。

[0313]

トランジスタ843、トランジスタ845、およびトランジスタ847は、それぞれ先に説明したS-channel構造である。ただし、これに限定されず、トランジスタ843、トランジスタ845、およびトランジスタ847をS-channel構造としなくてもよい。

[0314]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0315]

(実施の形態4)

本発明の一態様に係る表示装置を用いることができる電子機器として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像記憶装置または画像再生装置、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機 (ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図26に示す。

[0316]

図26Aはデジタルカメラであり、筐体961、シャッターボタン962、マイク963、スピーカ967、表示部965、操作キー966、ズームレバー968、レンズ969等を有する。表示部965に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

[0317]

図26Bは携帯データ端末であり、筐体911、表示部912、スピーカ913、操作ボタン914、カメラ919等を有する。表示部912が有するタッチパネル機能により情報の入出力を行うことができる。表示部912に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

[0318]

図26Cは携帯電話機であり、筐体951、表示部952、操作ボタン953、外部接続ポート954、スピーカ955、マイク956、カメラ957等を有する。当該携帯電話機は、表示部952にタッチセンサを備える。電話を掛ける、或いは文字を入力するなどのあらゆる操作は、指やスタイラスなどで表示部952に触れることで行うことができる。また、筐体901および表示部952は可撓性を有し、図示するように折り曲げて使用することができる。表示部952に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

[0319]

図26Dはビデオカメラであり、第1筐体901、第2筐体902、表示部903、操作キー904、レンズ905、接続部906、スピーカ907等を有する。操作キー904およびレンズ905は第1筐体901に設けられており、表示部903は第2筐体902に設けられている。表示部903に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

[0320]

図26Eはテレビであり、筐体971、表示部973、操作ボタン974、スピーカ975、通信用接続端子976、光センサ977等を有する。表示部973にはタッチセンサが設けられ、入力操作を行うこともできる。表示部973に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

[0321]

図26Fはデジタルサイネージであり、大型の表示部922を有する。デジタルサイネージは、例えば、柱921の側面に大型の表示部922が取り付けられる。表示部922に本発明の一態様の表示装置を用いることで、表示品位の高い表示を行うことができる。

[0322]

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

[符号の説明]

[0323]

10：画素、11：ソースドライバ、12：ゲートドライバ、13：回路、14：回路、15：回路、16：選択回路、17：選択回路、18：画素アレイ、21：回路、25a：出力端子、25b：出力端子、25c：出力端子、101：トランジスタ、102：トランジスタ、103：トランジスタ、104：トランジスタ、105：トランジスタ、106：キャパシタ、107：トランジスタ、108：キャパシタ、109：トランジスタ、110：トランジスタ、111：キャパシタ、112：トランジスタ、113：トランジスタ、114：キャパシタ、115：キャパシタ、116：トランジスタ、117：トランジスタ、118：キャパシタ、119：トランジスタ、121：配線、122：配線、123：配線、124：配線、125：配線、126：配線、127：配線、128：配線、141：キャパシタ、142：液晶デバイス、143：トランジスタ、144：トランジスタ、145：トランジスタ、146：キャパシタ、147：発光デバイス、1

48 : トランジスタ、149 : トランジスタ、151 : 配線、152 : 配線、153 : 配線、154 : 配線、155 : 配線、156 : 配線、170 : 回路、171 : 回路、215 : 表示部、221a : 走査線駆動回路、231a : 信号線駆動回路、232a : 信号線駆動回路、241a : 共通線駆動回路、723 : 電極、726 : 絶縁層、728 : 絶縁層、729 : 絶縁層、741 : 絶縁層、742 : 半導体層、744a : 電極、744b : 電極、746 : 電極、771 : 基板、772 : 絶縁層、810 : トランジスタ、811 : トランジスタ、820 : トランジスタ、821 : トランジスタ、825 : トランジスタ、826 : トランジスタ、842 : トランジスタ、843 : トランジスタ、844 : トランジスタ、845 : トランジスタ、846 : トランジスタ、847 : トランジスタ、901 : 筐体、902 : 筐体、903 : 表示部、904 : 操作キー、905 : レンズ、906 : 接続部、907 : スピーカ、911 : 筐体、912 : 表示部、913 : スピーカ、914 : 操作ボタン、919 : カメラ、921 : 柱、922 : 表示部、951 : 筐体、952 : 表示部、953 : 操作ボタン、954 : 外部接続ポート、955 : スピーカ、956 : マイク、957 : カメラ、961 : 筐体、962 : シャッターボタン、963 : マイク、965 : 表示部、966 : 操作キー、967 : スピーカ、968 : ズームレバー、969 : レンズ、971 : 筐体、973 : 表示部、974 : 操作ボタン、975 : スピーカ、976 : 通信用接続端子、977 : 光センサ、4001 : 基板、4003 : 層、4004 : 層、4005 : シール材、4006 : 基板、4008 : 液晶層、4009 : 複合層、4010 : トランジスタ、4011 : トランジスタ、4013 : 液晶デバイス、4014 : 配線、4015 : 電極、4016 : 光散乱型液晶デバイス、4017 : 電極、4018 : FPC、4019 : 異方性導電層、4020 : キャパシタ、4021 : 電極、4022 : トランジスタ、4023 : トランジスタ、4030 : 電極層、4031 : 電極層、4032 : 絶縁層、4033 : 絶縁層、4035 : スペーサ、4041 : プリント基板、4042 : 集積回路、4102 : 絶縁層、4103 : 絶縁層、4104 : 絶縁層、4110 : 絶縁層、4111 : 絶縁層、4112 : 絶縁層、4131 : 着色層、4132 : 遮光層、4133 : 絶縁層、4200 : 入力装置、4210 : タッチパネル、4227 : 電極、4228 : 電極、4237 : 配線、4238 : 配線、4239 : 配線、4263 : 基板、4272b : FPC、4273b : IC、4340a : バックライトユニット、4340b : バックライトユニット、4341 : 導光板、4342 : 発光デバイス、4344 : レンズ、4345 : ミラー、4347 : プリント基板、4348 : 反射層、4352 : 拡散板、4510 : 隔壁、4511 : 発光層、4513 : 発光デバイス、4514 : 充填材

請求の範囲

[請求項1]

シフトレジスタと、昇圧回路と、画素と、を有する表示装置であって、
前記シフトレジスタは、第1の出力端子と、第2の出力端子と、第3の出力端子と、を有し、
前記昇圧回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第1のキャパシタと、を有し、
前記画素は、第5のトランジスタを有し、
前記第1のトランジスタのソースまたはドレインの一方は、前記第1のキャパシタの一方の電極と電気的に接続され、
前記第1のキャパシタの一方の電極は、前記第3のトランジスタのソースまたはドレインの一方と電気的に接続され、
前記第3のトランジスタのソースまたはドレインの一方は、前記第5のトランジスタのゲートと電気的に接続され、
前記第1のキャパシタの他方の電極は、前記第2のトランジスタのソースまたはドレインの一方および前記第4のトランジスタのソースまたはドレインの一方と電気的に接続され、
前記第1のトランジスタのゲートおよび前記第4のトランジスタのゲートは、前記第1の出力端子と電気的に接続され、
前記第2のトランジスタのゲートは、前記第2の出力端子と電気的に接続され、
前記第3のトランジスタのゲートは、前記第3の出力端子と電気的に接続される表示装置。

[請求項2]

請求項1において、
前記シフトレジスタは、前記第1の出力端子、前記第2の出力端子、前記第3の出力端子の順に信号電圧を出力する表示装置。

[請求項3]

請求項1または2において、
前記昇圧回路は、さらに第6のトランジスタと、第2のキャパシタと、を有し、
前記第6のトランジスタのソースまたはドレインの一方は、前記第1の出力端子と電気的に接続され、
前記第6のトランジスタのソースまたはドレインの他方は、前記第2のキャパシタの一方の電極および前記第1のトランジスタのゲートと電気的に接続され、
前記第2のキャパシタの他方の電極は、前記第1のトランジスタのソースまたはドレインの一方と電気的に接続されている表示装置。

[請求項4]

請求項1または2において、
前記昇圧回路は、さらに第7のトランジスタと、第8のトランジスタと、第3のキャパシタと、を有し、
前記第7のトランジスタのゲートは、前記第3の出力端子と電気的に接続され、
前記第7のトランジスタのソースまたはドレインの一方は、前記第3のキャパシタの一方の電極、第3のトランジスタのゲートおよび前記第8のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第8のトランジスタのゲートは、前記第1の出力端子と電氣的に接続される表示装置。

[請求項5]

請求項1乃至4のいずれか一項において、

前記第3のトランジスタのソースまたはドレインの他方と、前記第4のトランジスタのソースまたはドレインの他方とは電氣的に接続されている表示装置。

[請求項6]

請求項1乃至5のいずれか一項において、

前記画素は、表示素子を有し、

前記画素は、第1のデータおよび第2のデータに基づいて第3のデータを生成する機能、および前記第3のデータに応じて前記表示素子で表示を行う機能を有する表示装置。

[請求項7]

請求項6において、

前記表示素子は、液晶デバイスである表示装置。

[請求項8]

請求項1乃至7のいずれか一項において、

前記昇圧回路および前記画素が有するトランジスタは、チャネル形成領域に金属酸化物を有し、前記金属酸化物は、Inと、Znと、M(MはAl、Ti、Ga、Ge、Sn、Y、Zr、La、Ce、NdまたはHf)と、を有する表示装置。

[請求項9]

請求項1乃至8のいずれか一項に記載の表示装置と、カメラと、を有する電子機器。

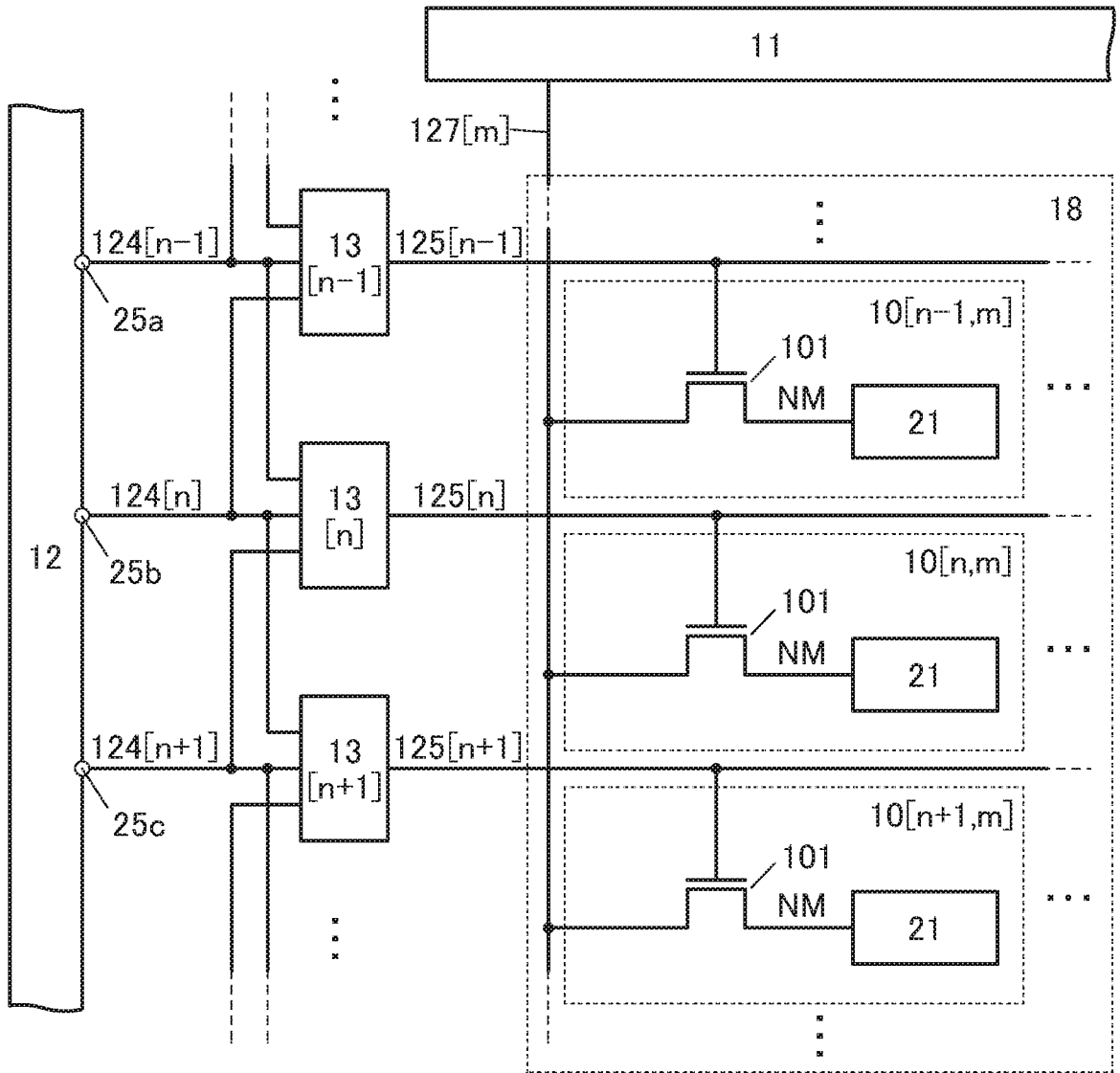


図2A

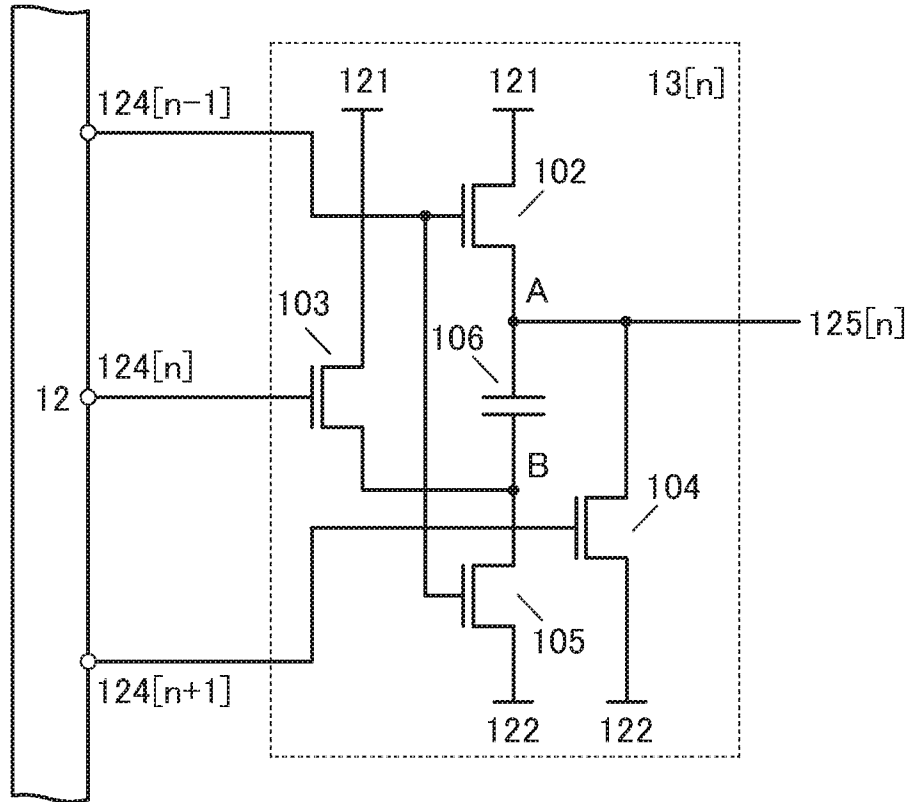
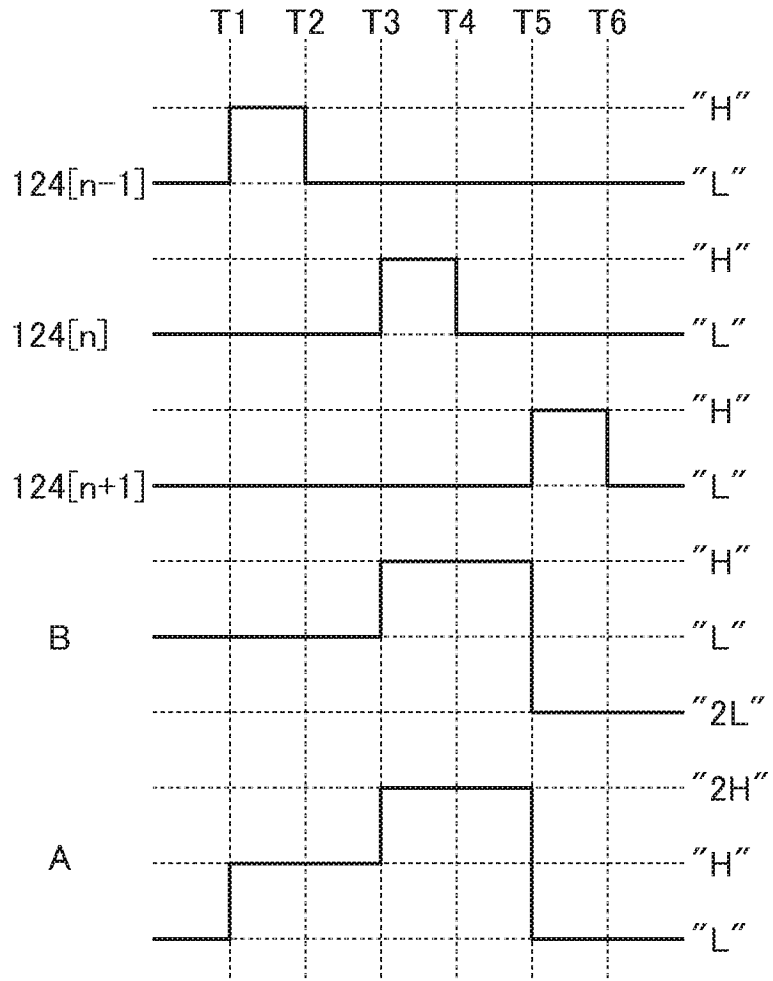
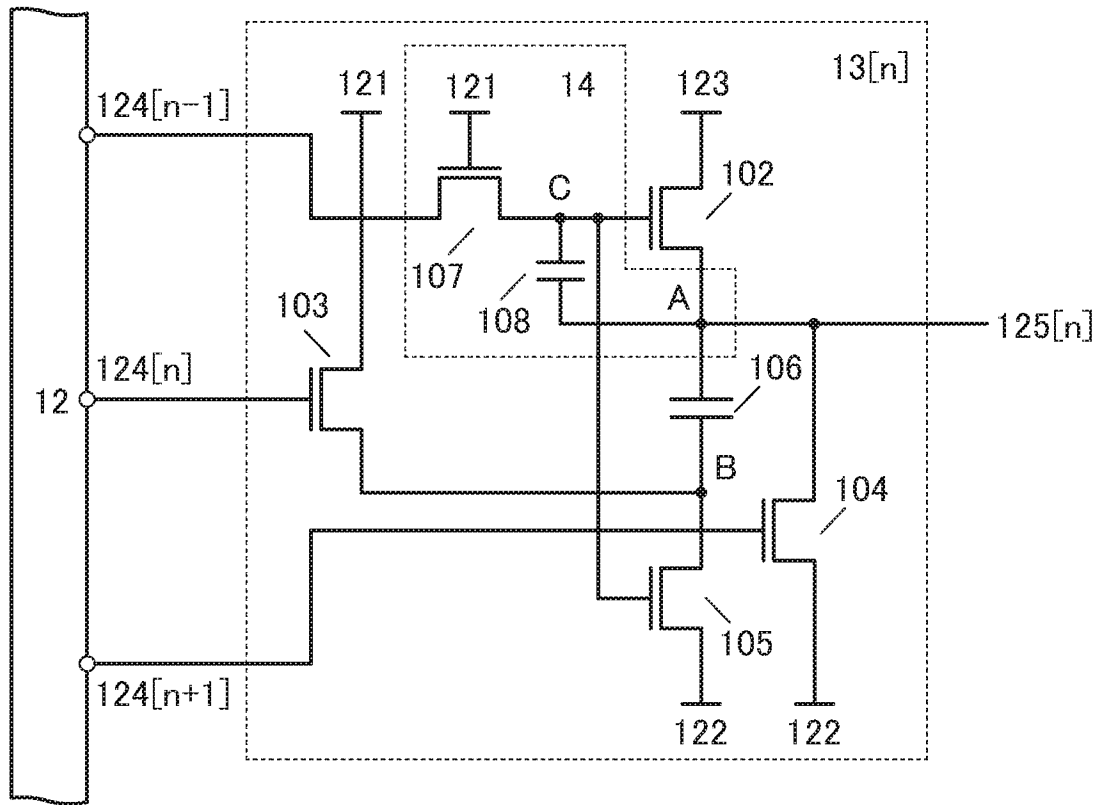


図2B



3A



3B

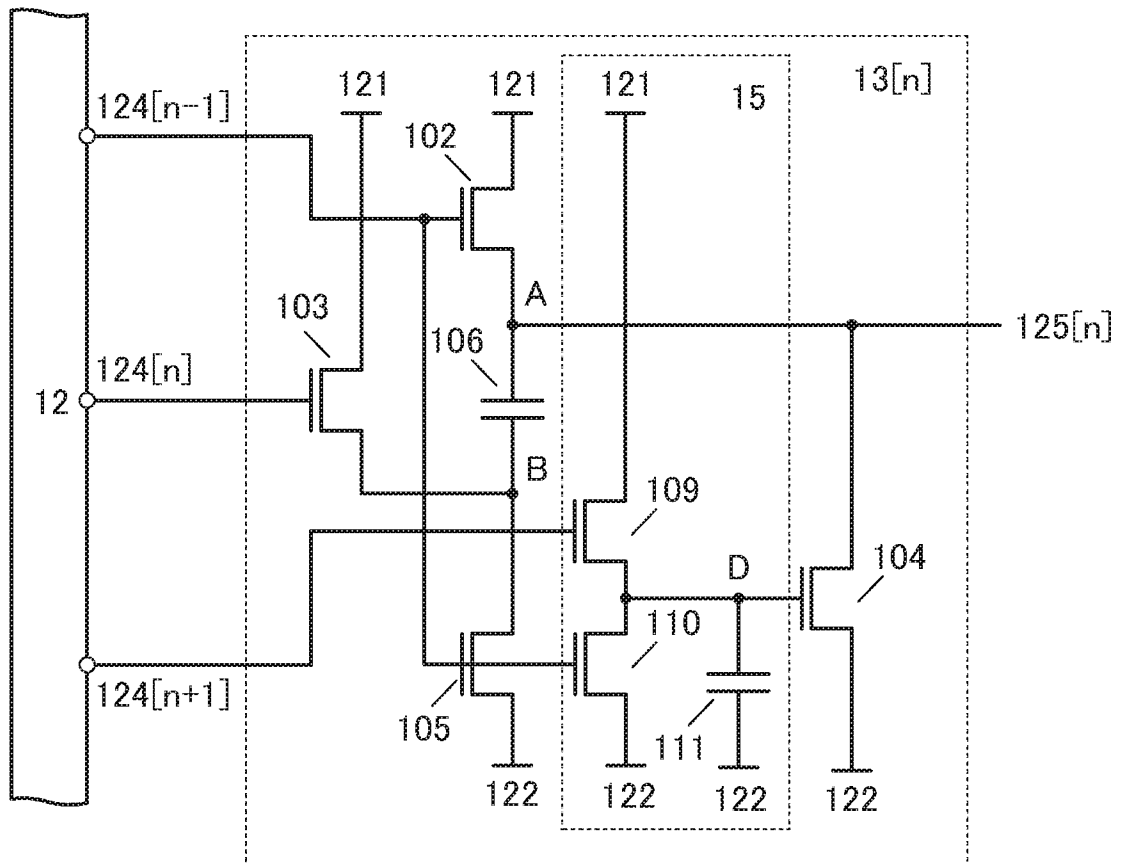


図5

5/26

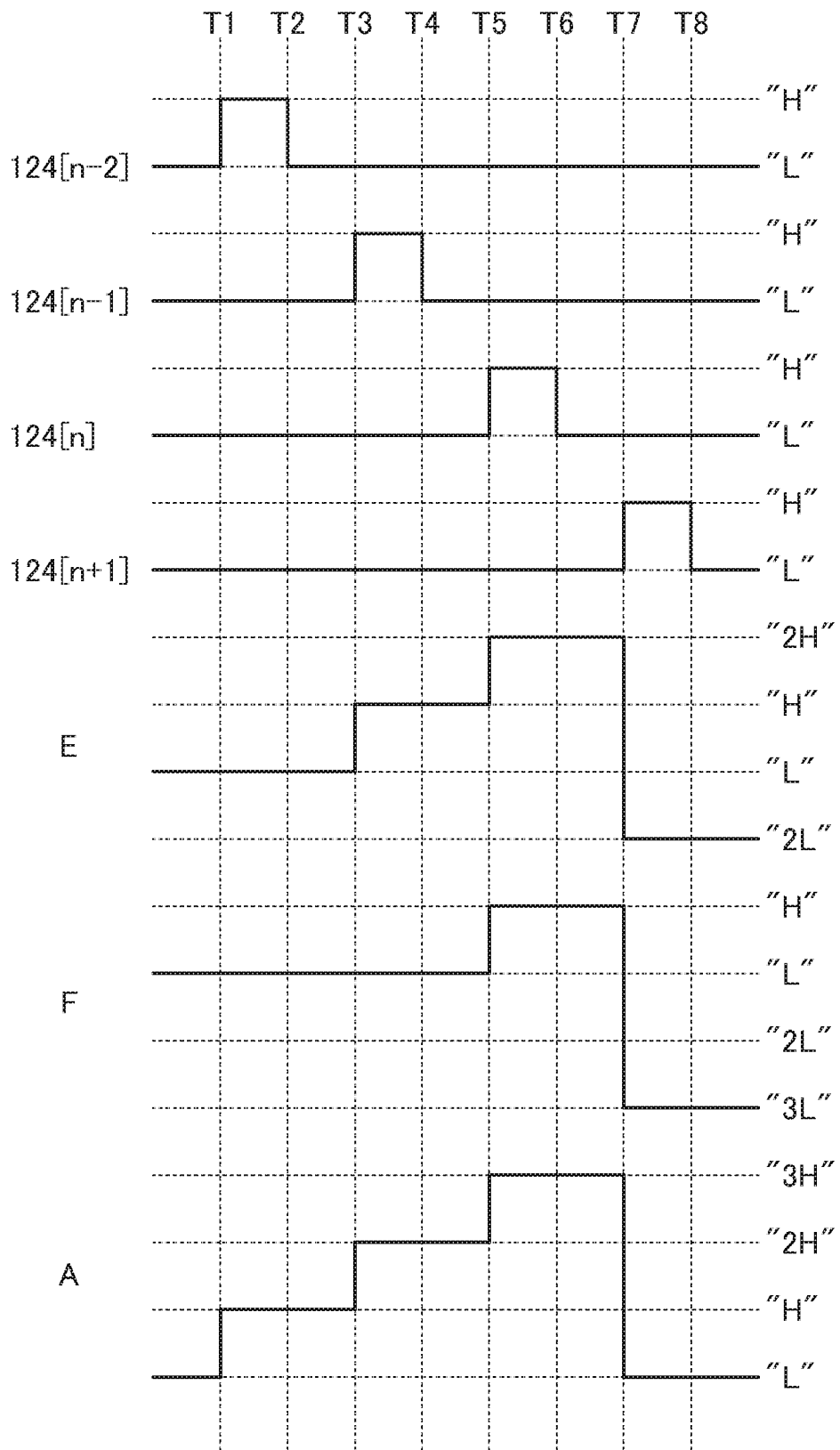


図6A

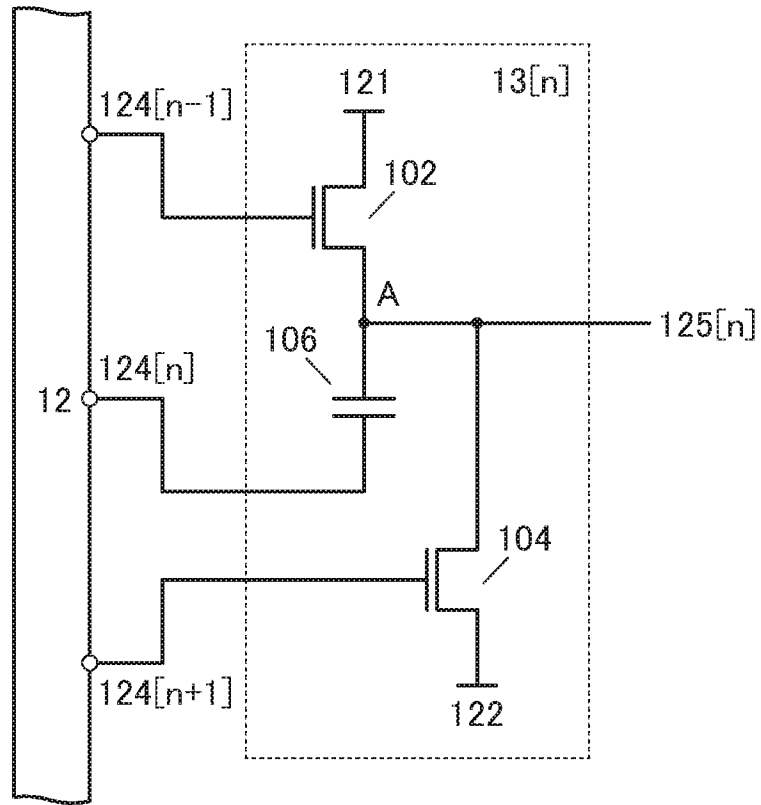


図6B

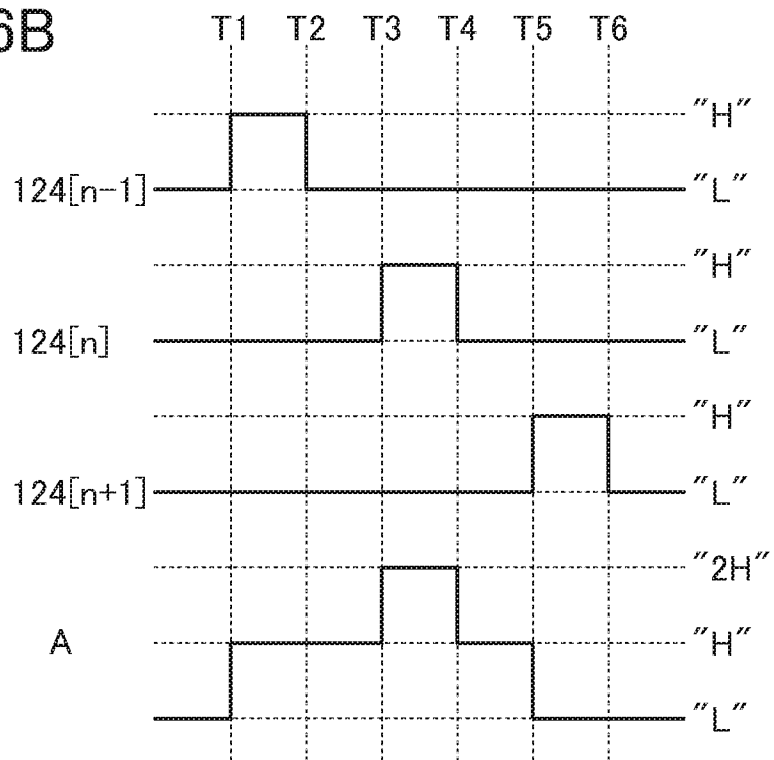


図8A

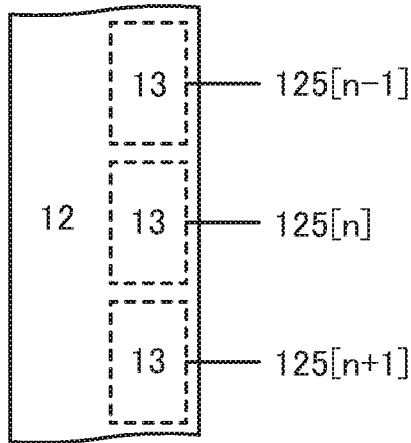


図8B

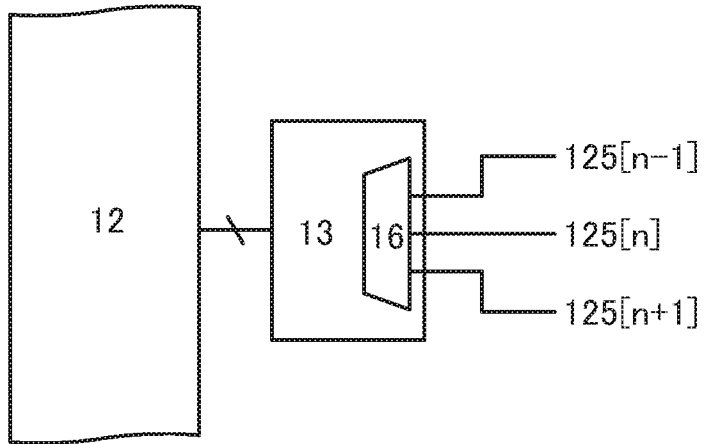
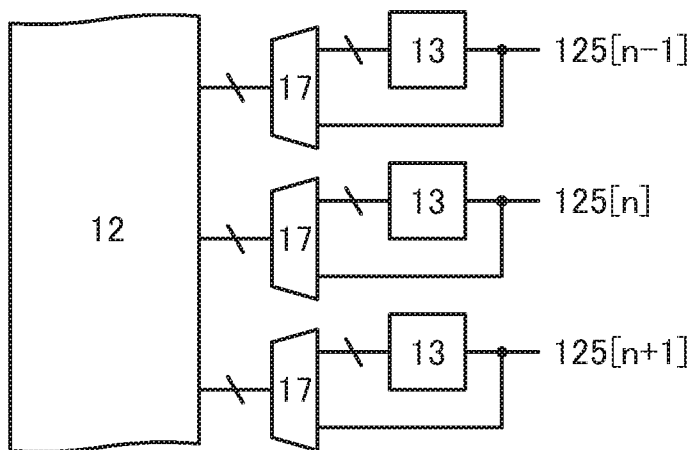
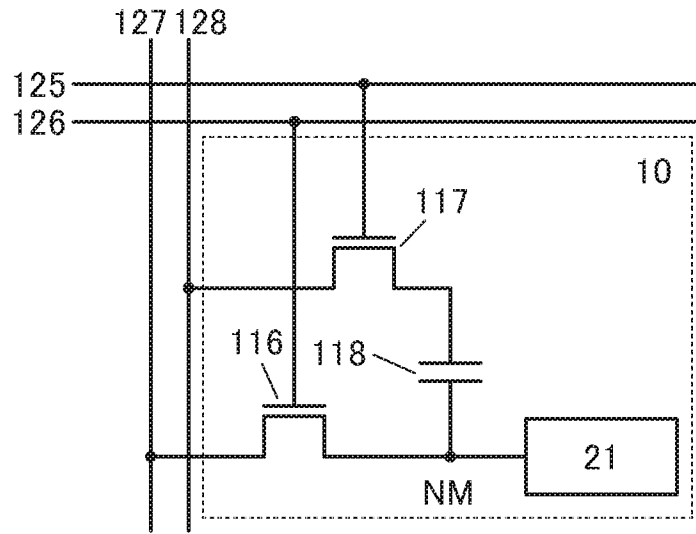


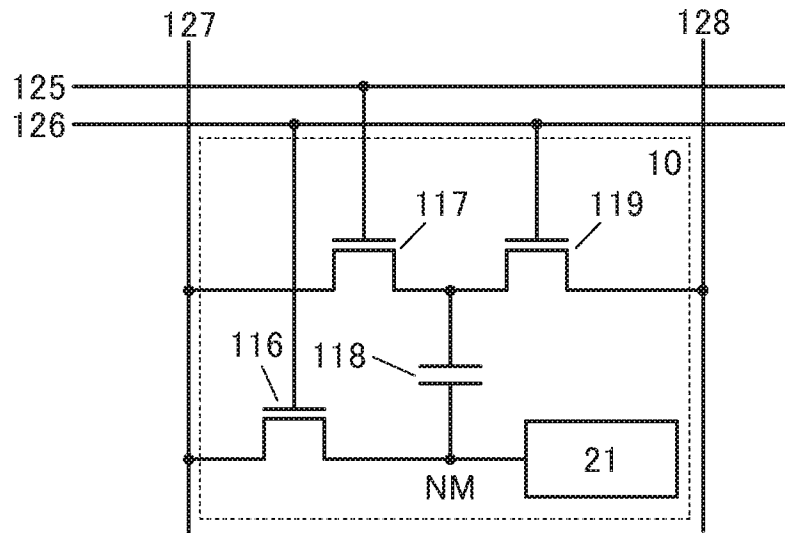
図8C



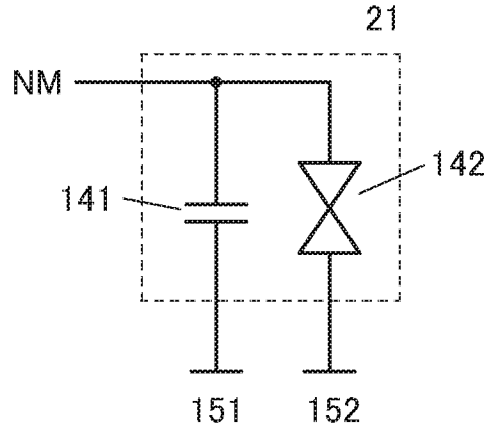
9A



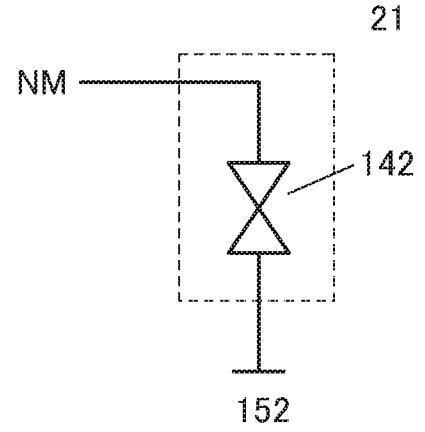
9B



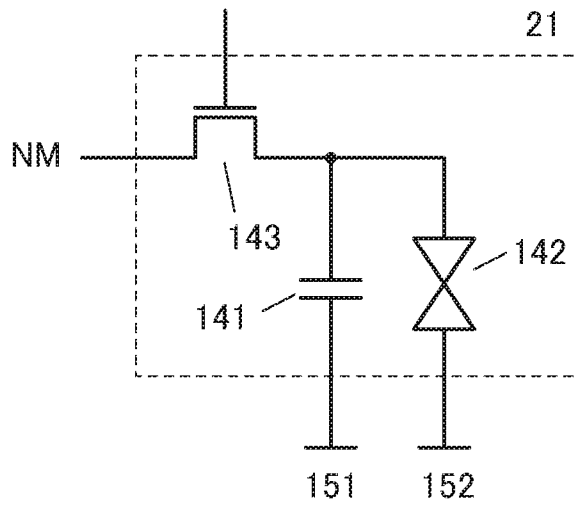
10A



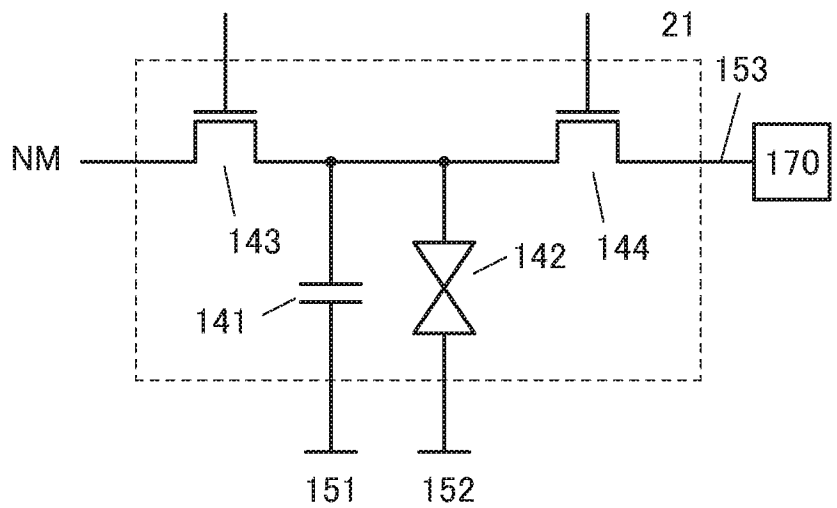
10B



10C



10D



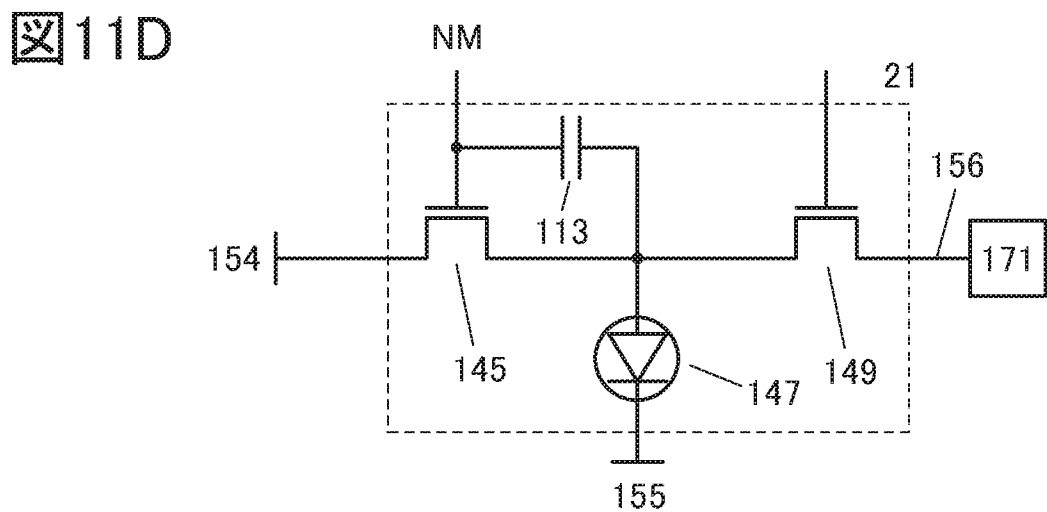
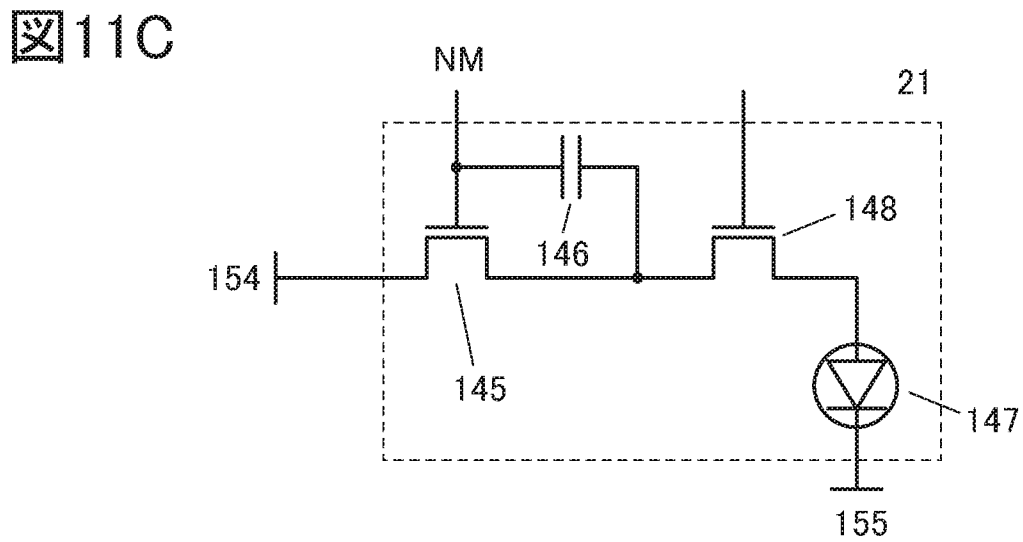
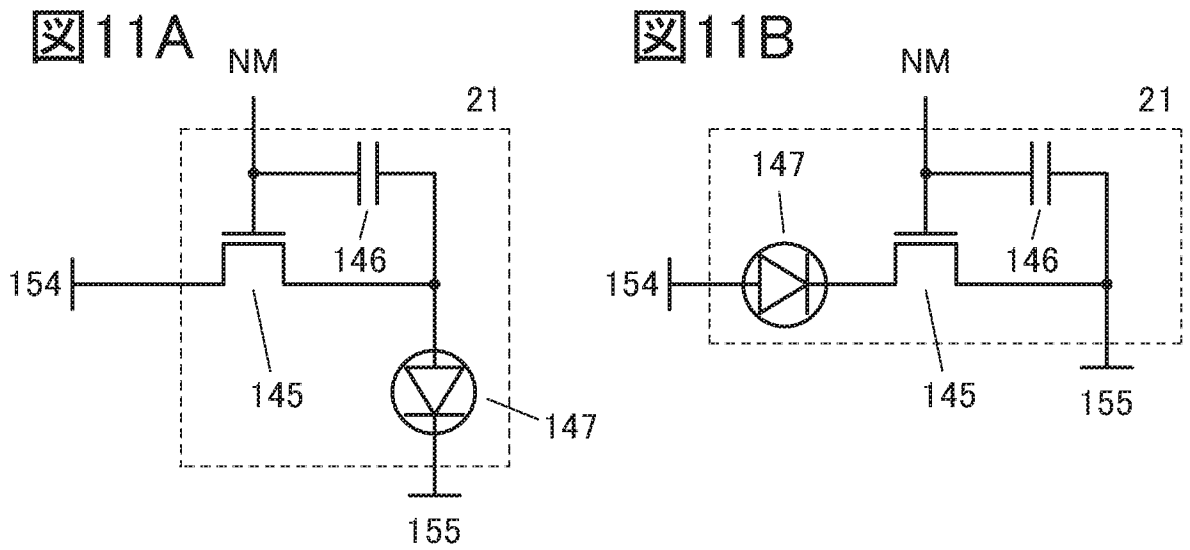


图 12

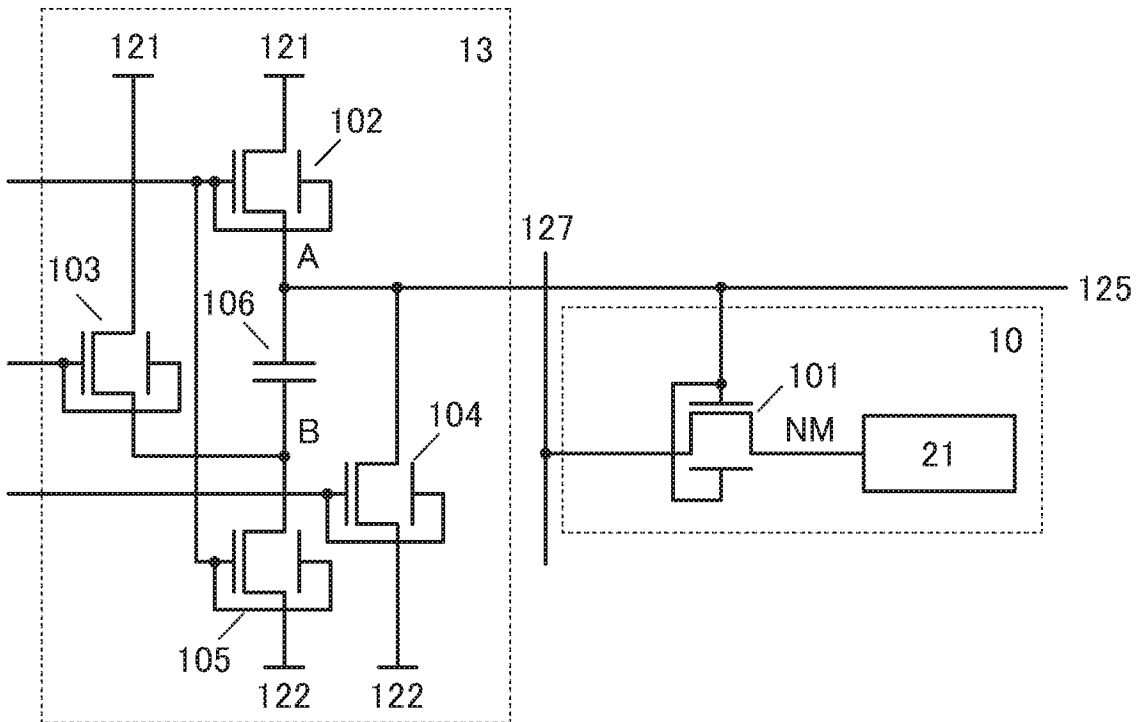


図 13

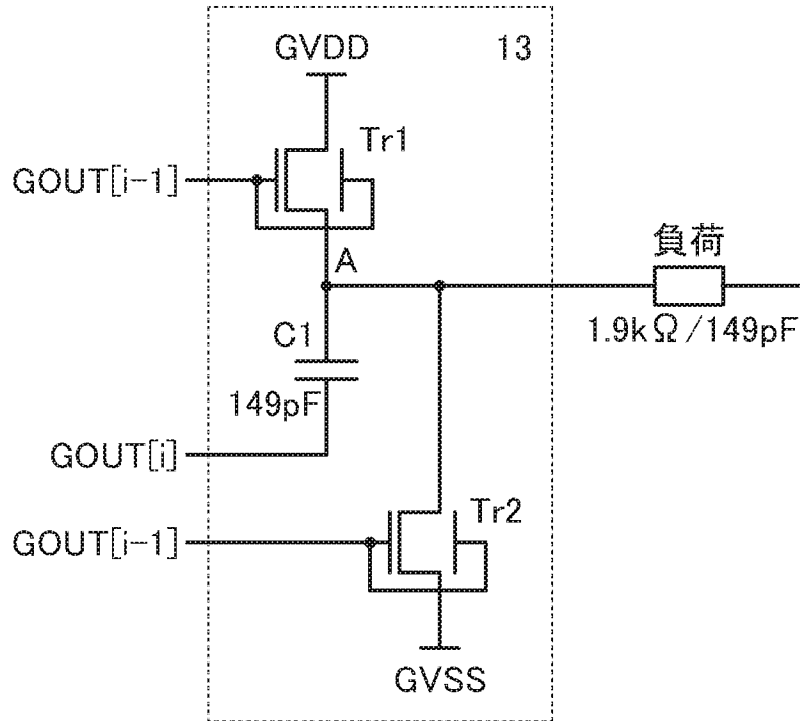


図 14

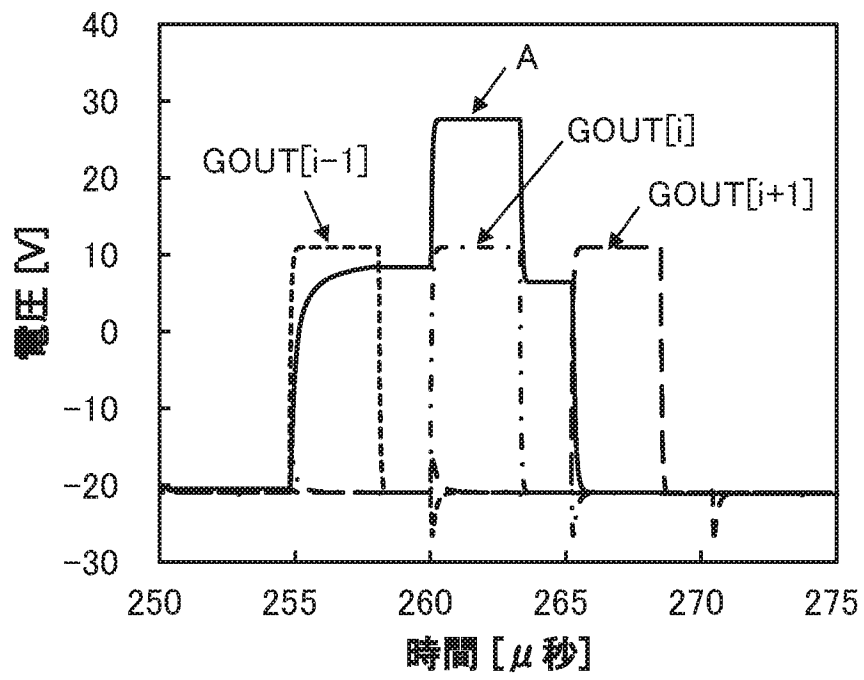


図 15A

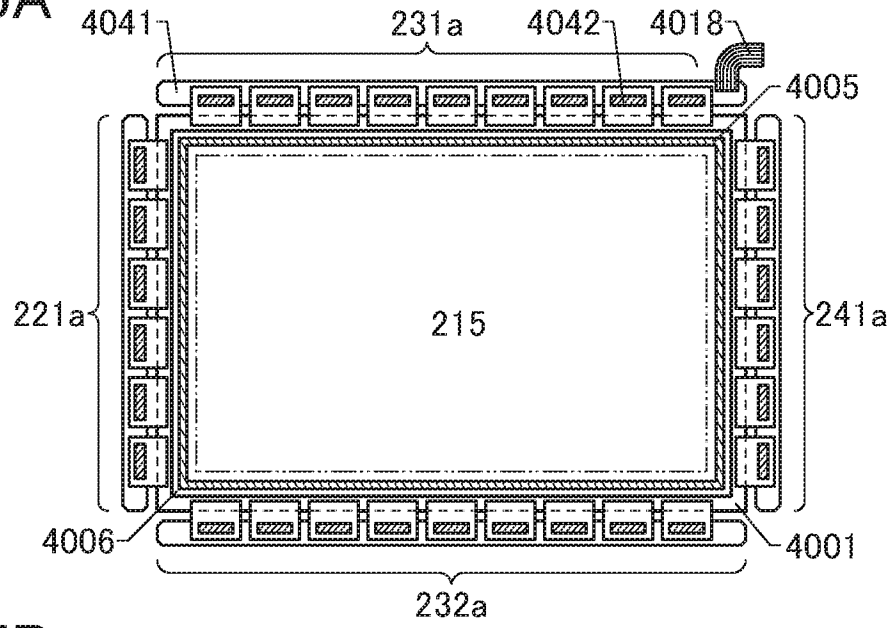


図 15B

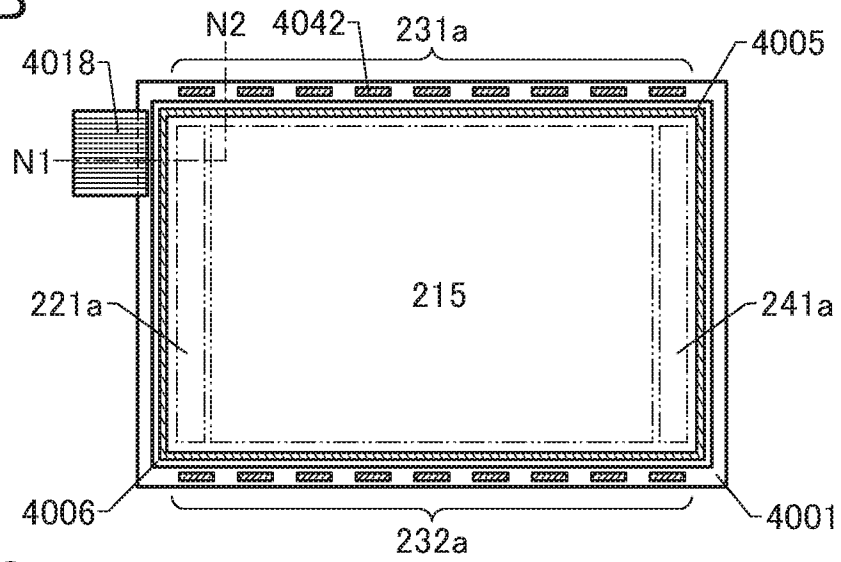
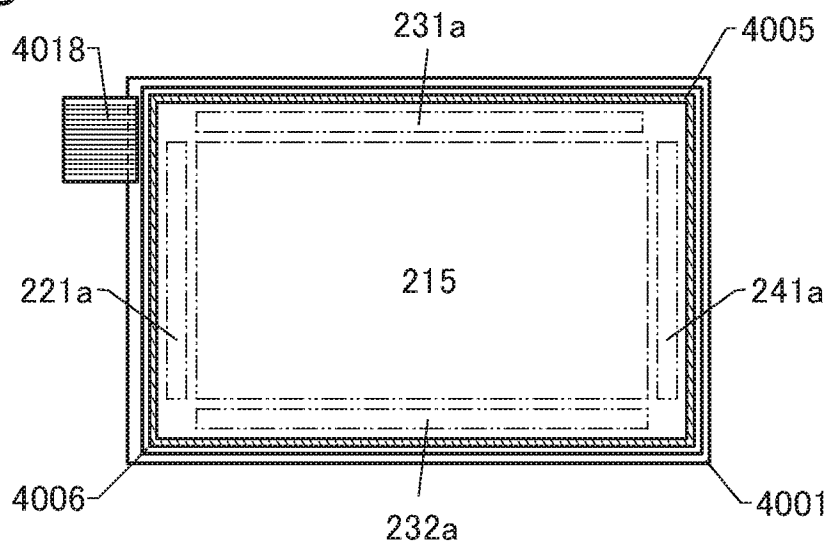
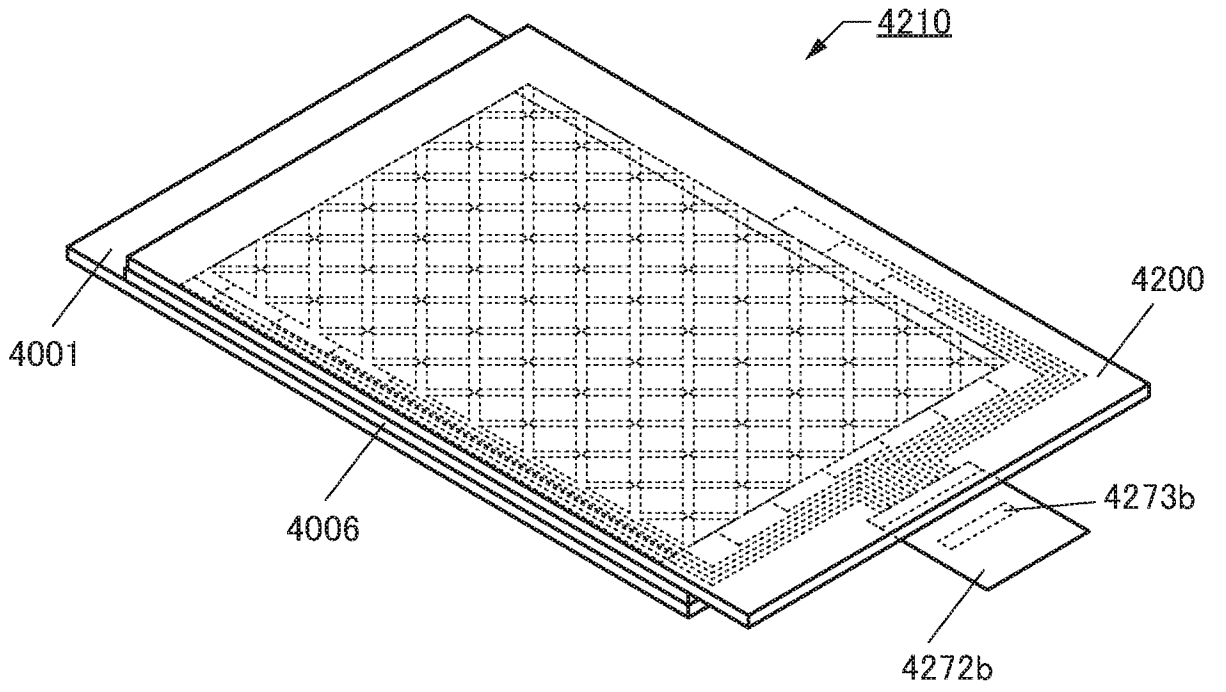


図 15C



16A



16B

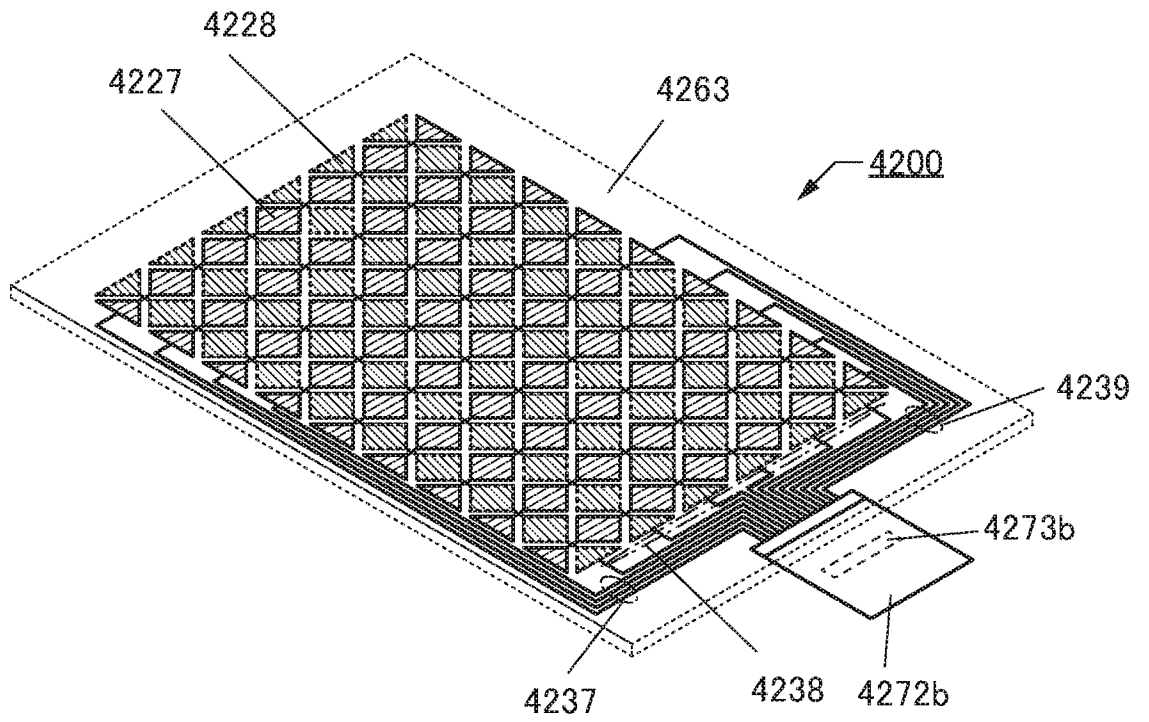


图17A

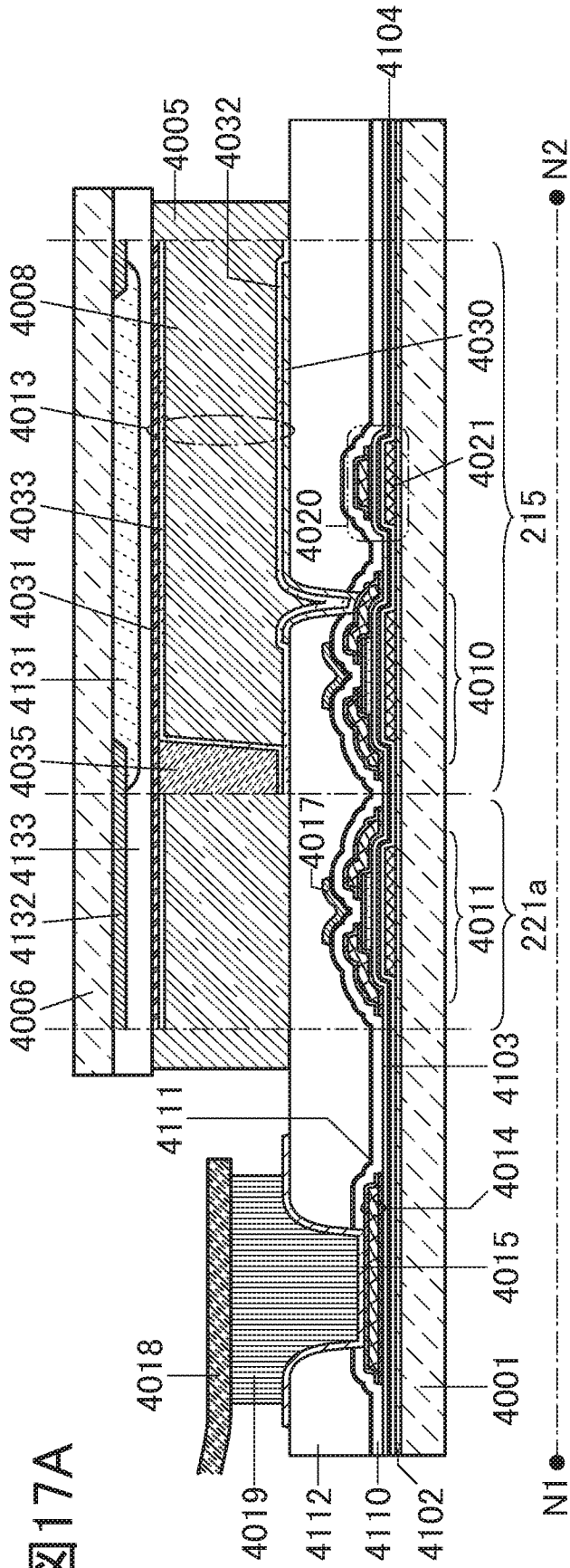


图17B

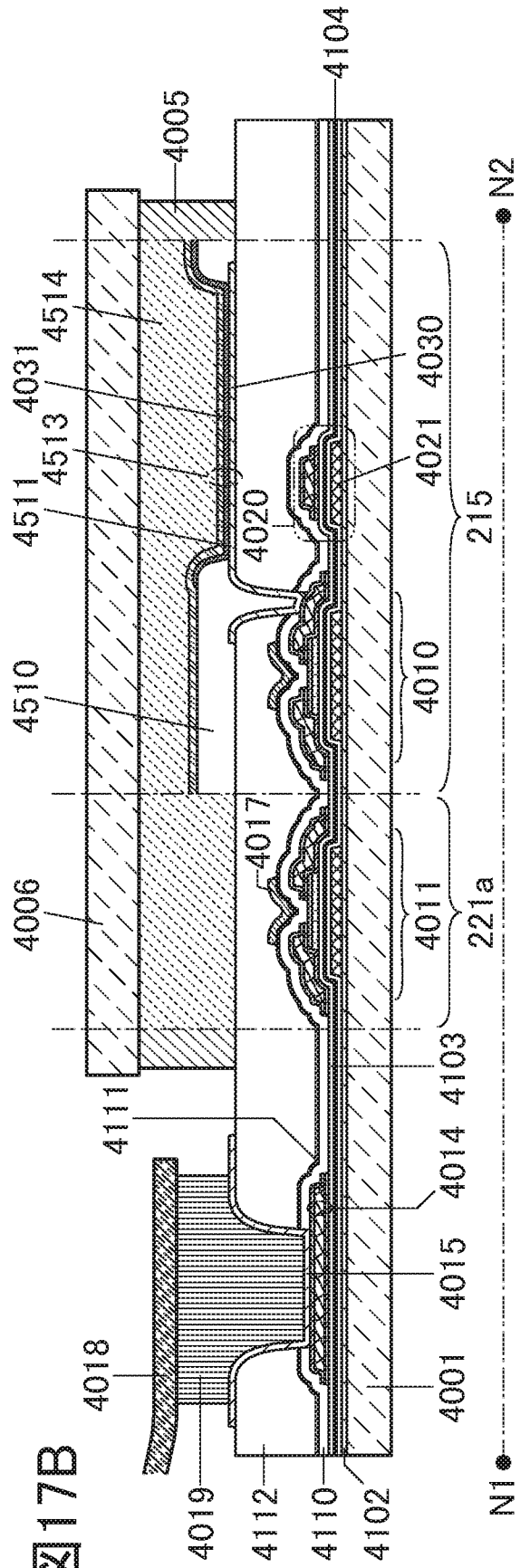
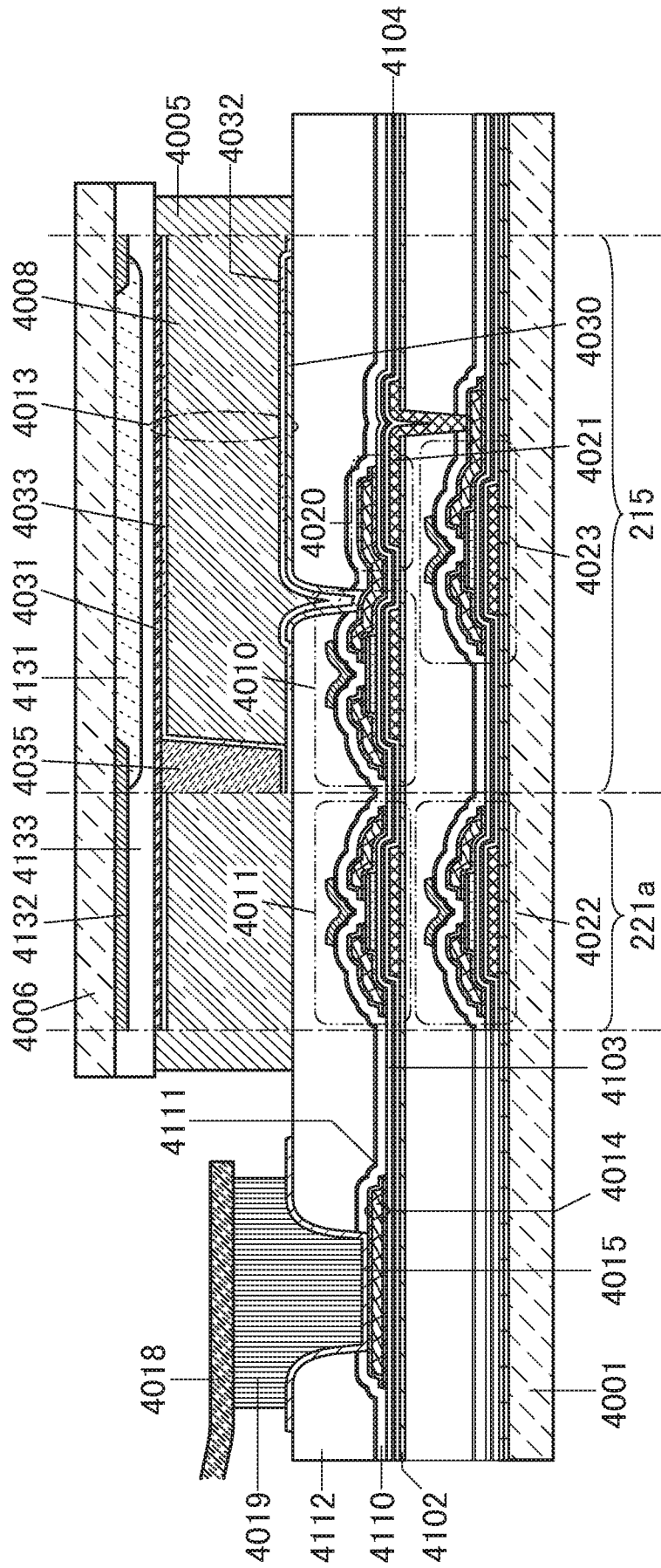


图18



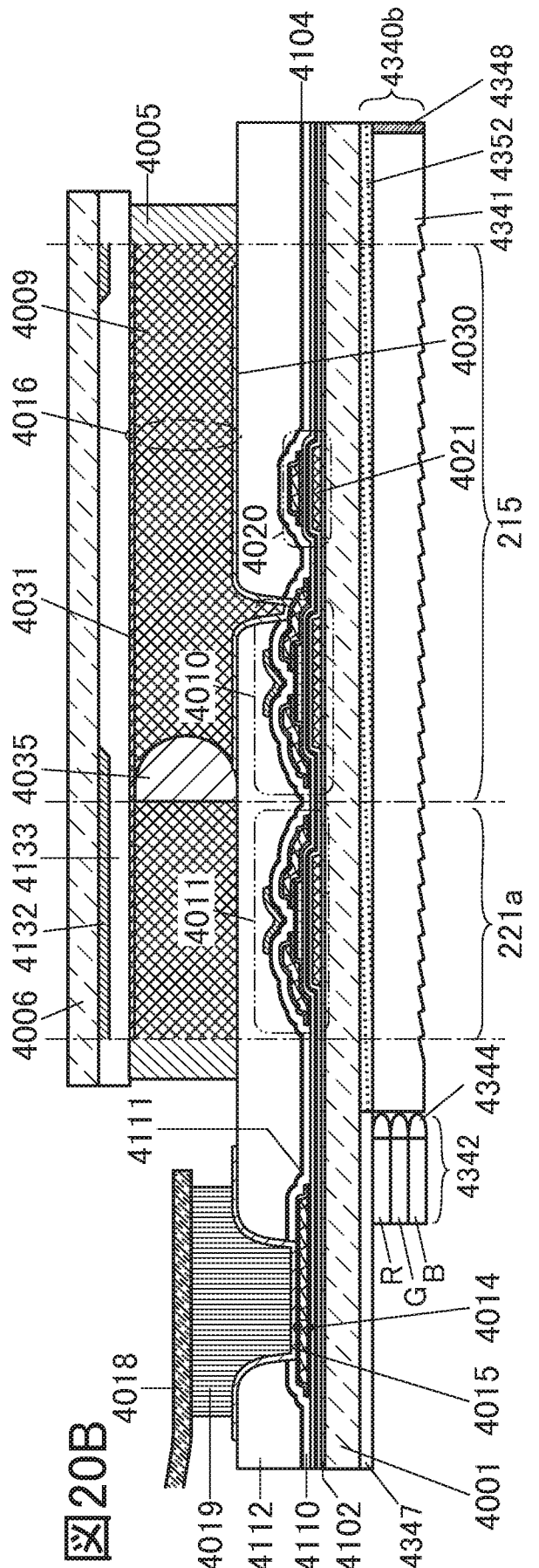
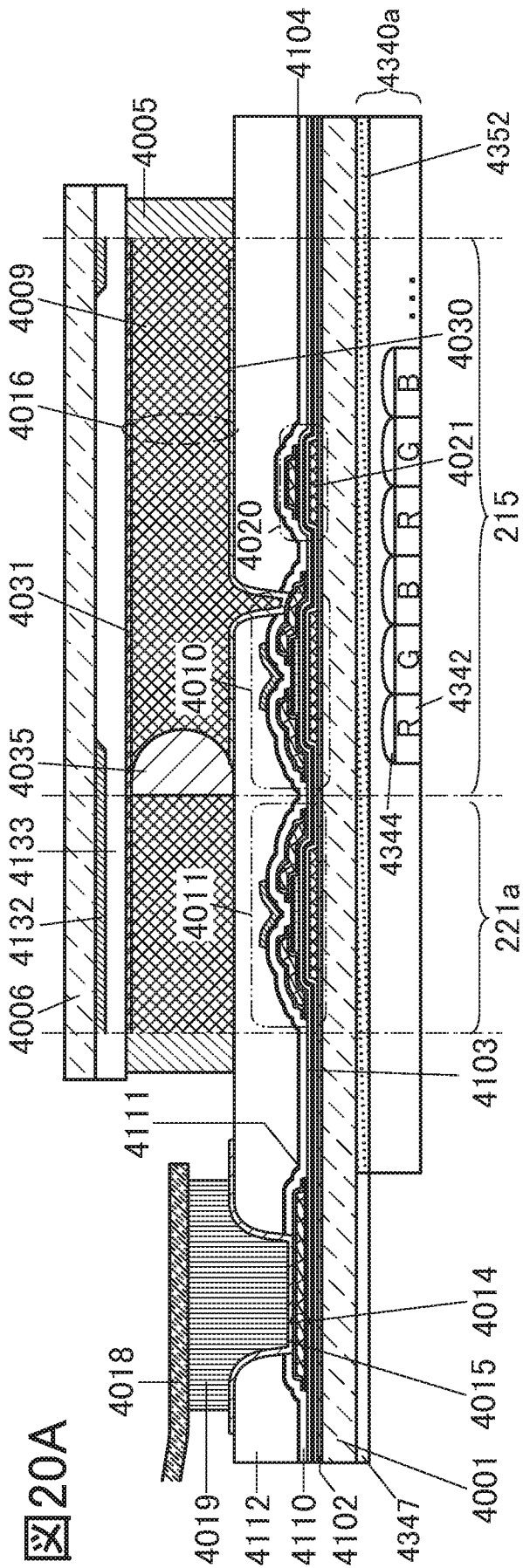


图 21A

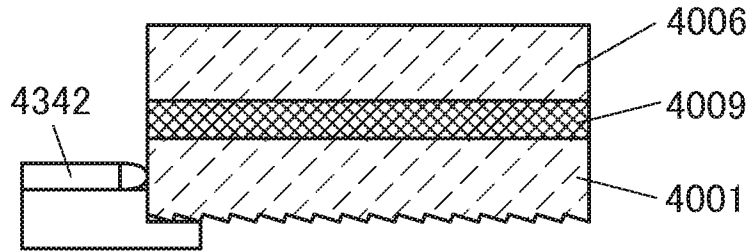


图 21B

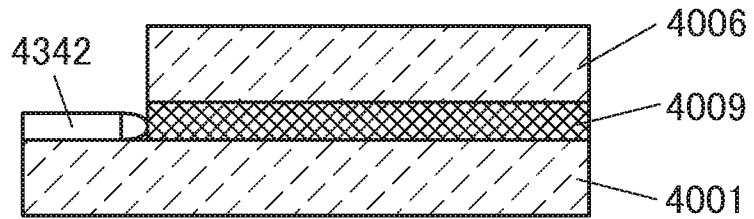


图 21C

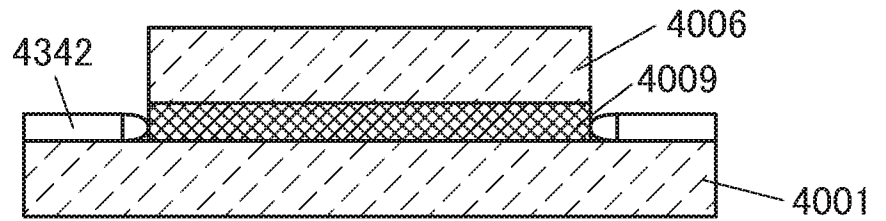


图 21D

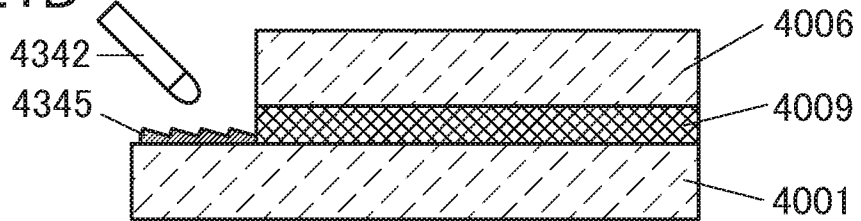
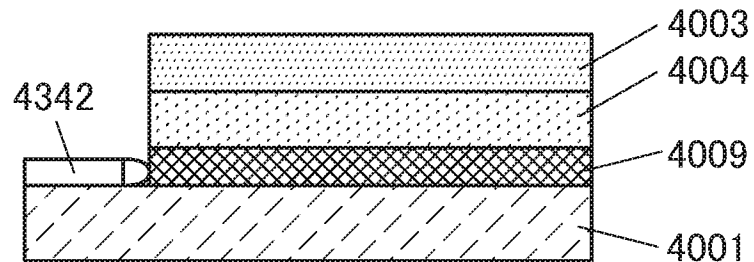
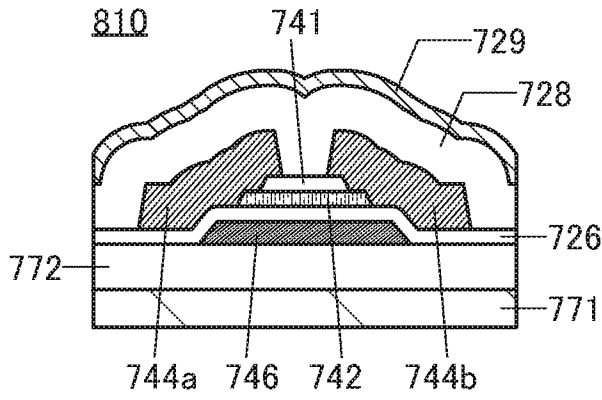


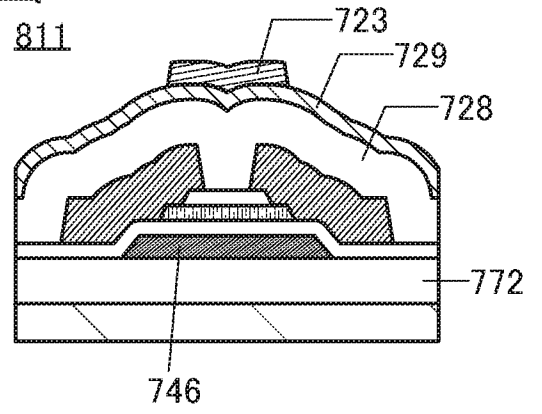
图 21E



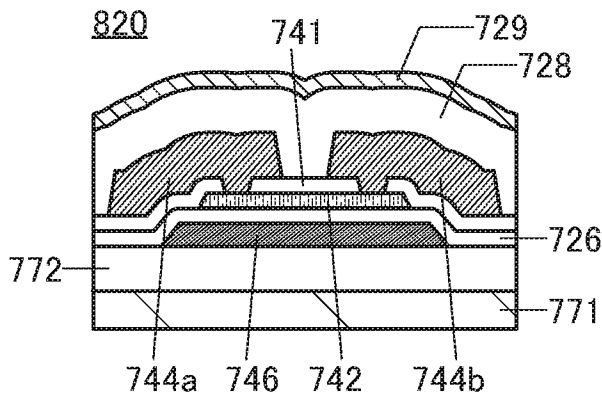
22A1



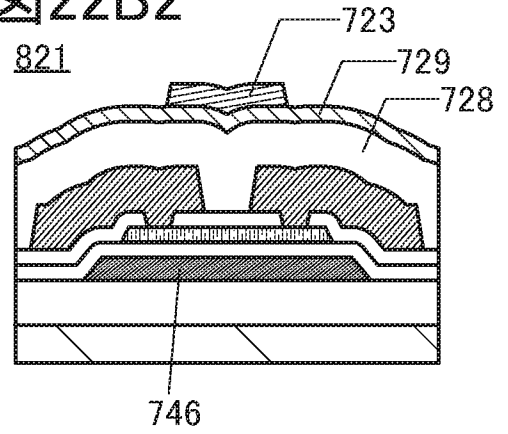
22A2



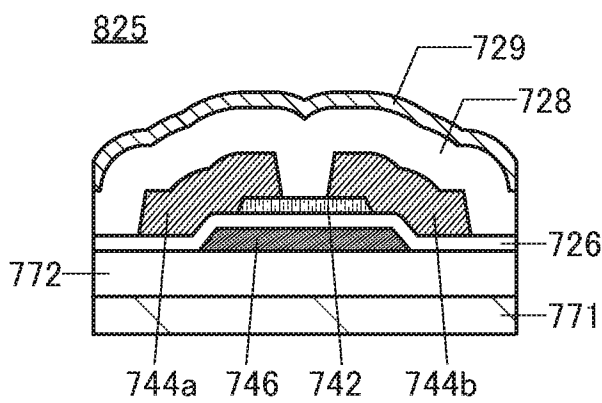
22B1



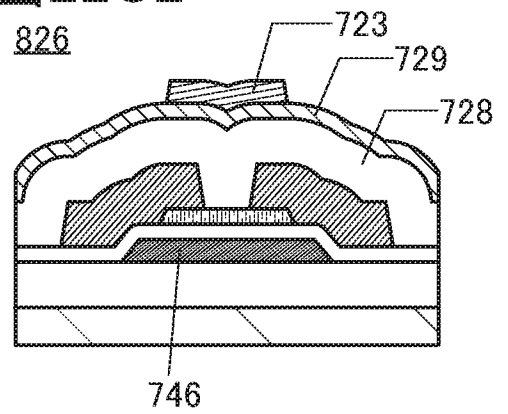
22B2



22C1



22C2



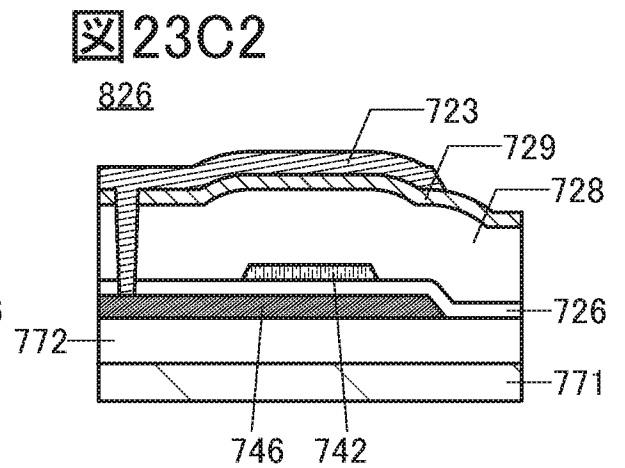
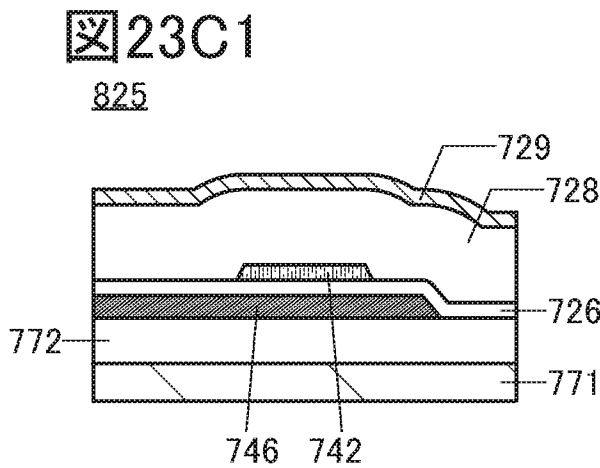
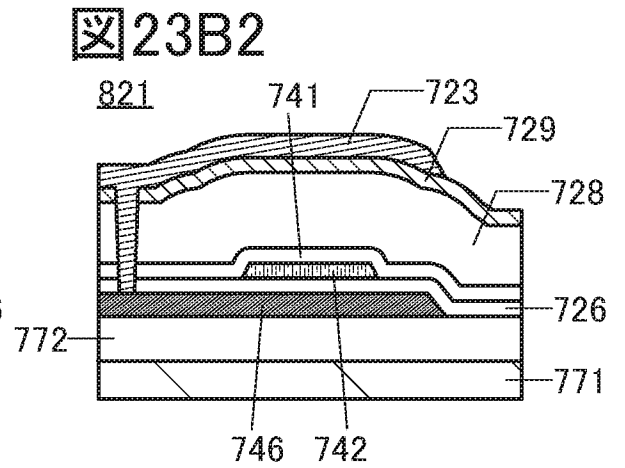
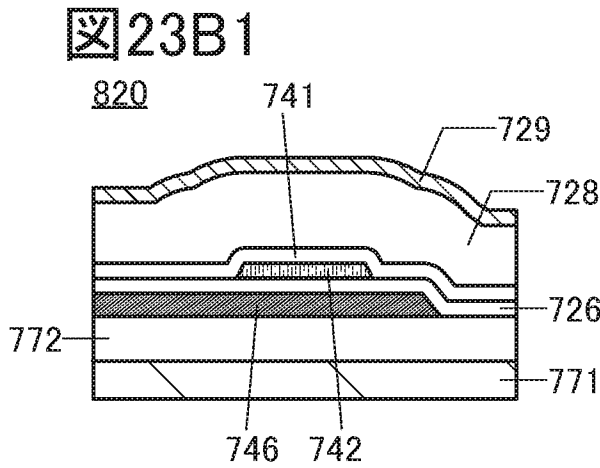
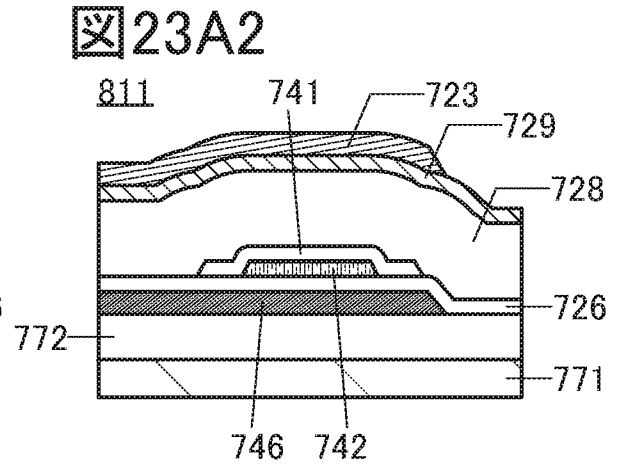
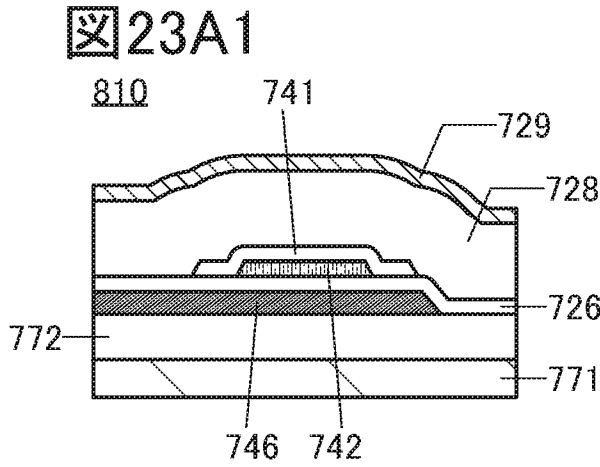


図24A1

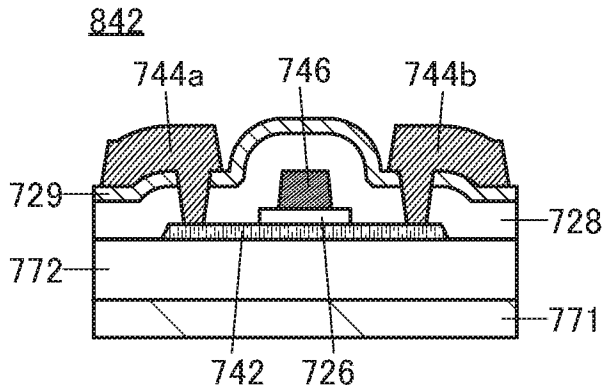


図24A2

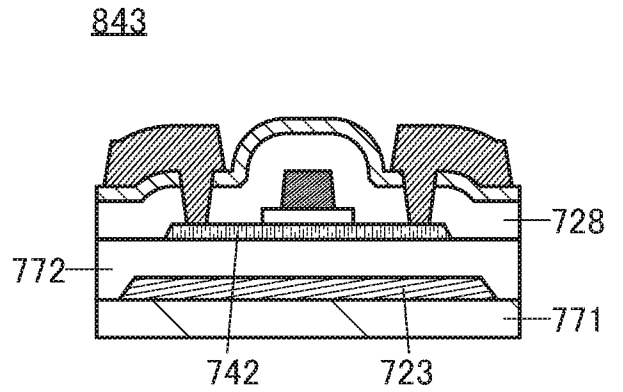


図24B1

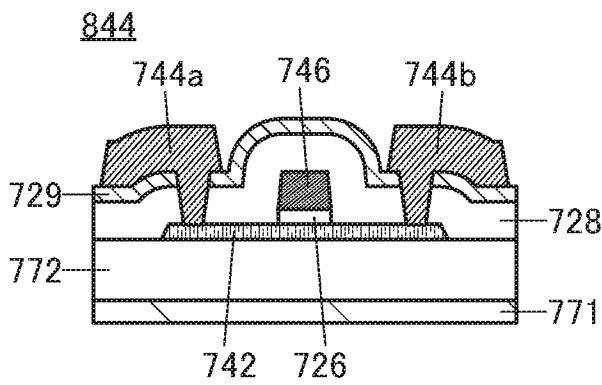


図24B2

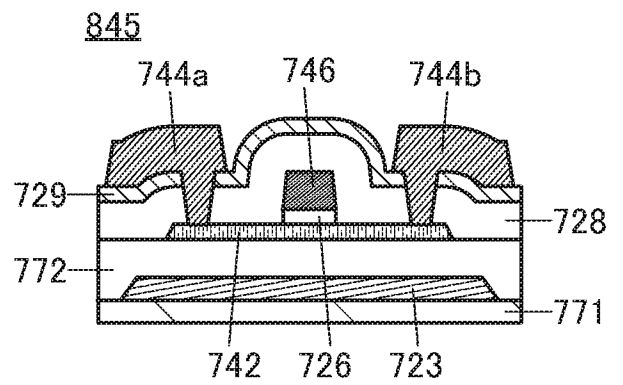


図24C1

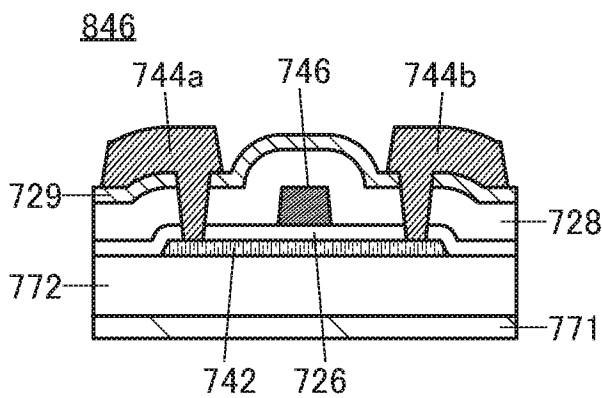
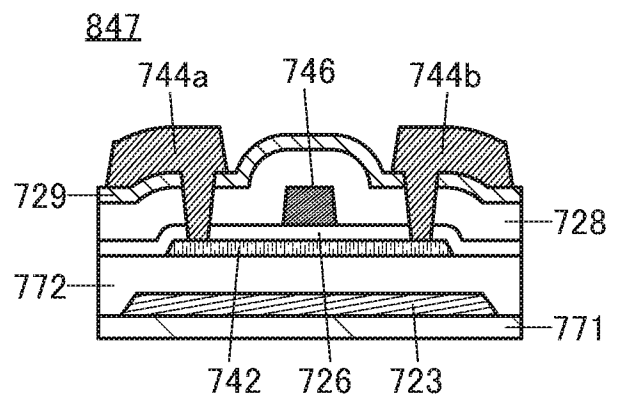
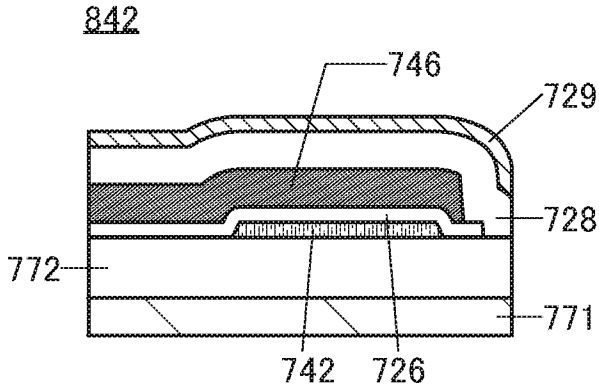


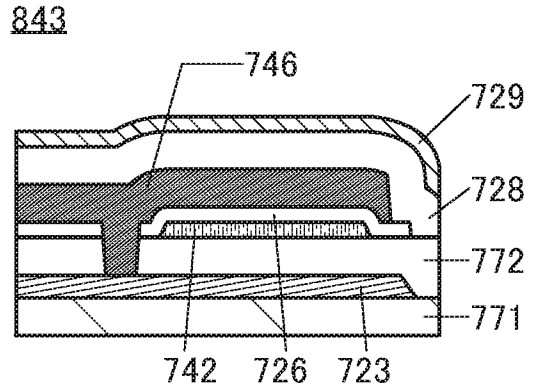
図24C2



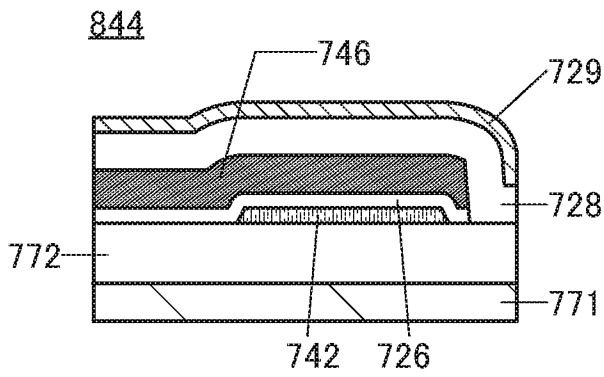
25A1



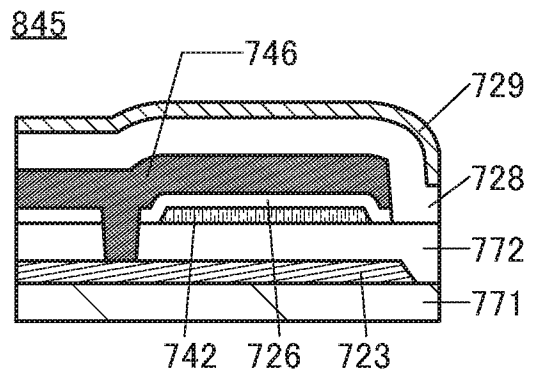
25A2



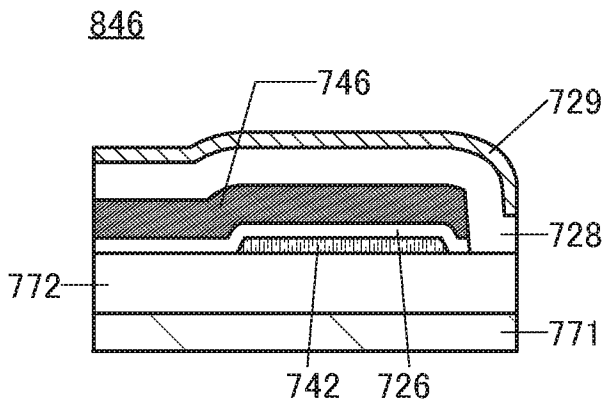
25B1



25B2



25C1



25C2

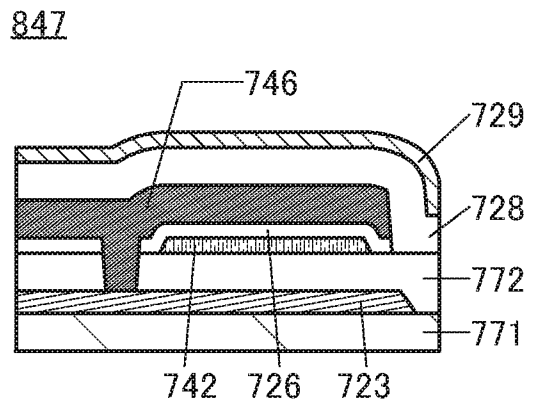


図26A

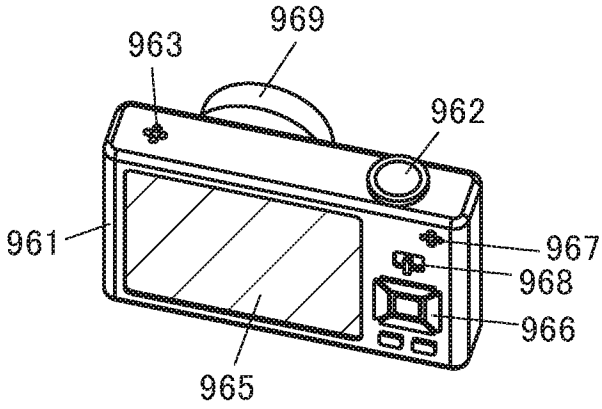


図26B

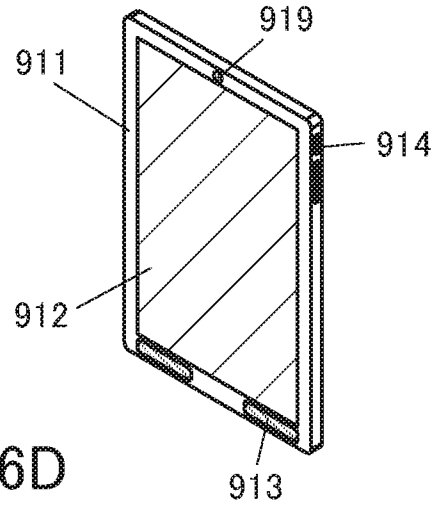


図26C

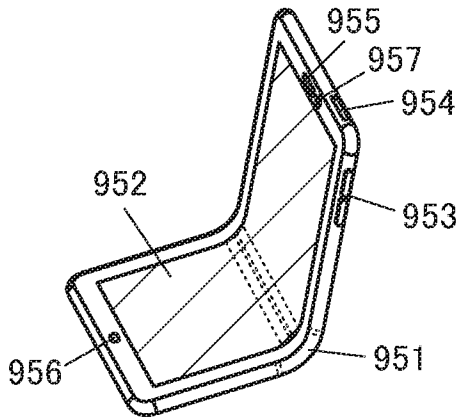


図26D

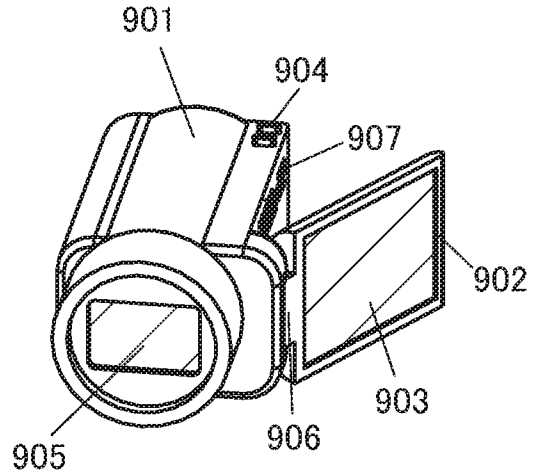


図26E

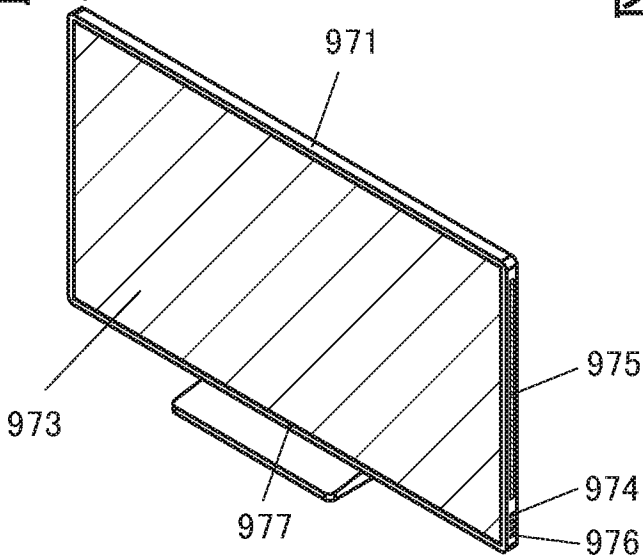
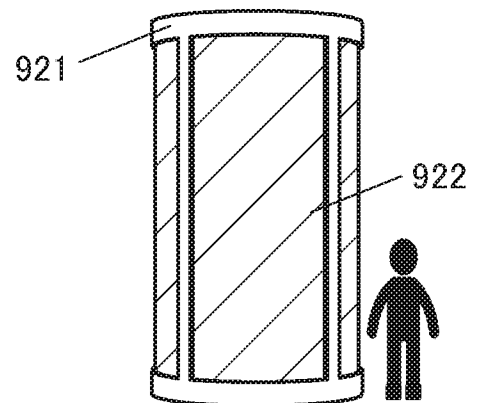


図26F



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/050458

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36(2006.01)i; G02F 1/1333(2006.01)i; G02F 1/13357(2006.01)i; G02F 1/1345(2006.01)i; G02F 1/1368(2006.01)i; G09G 3/20(2006.01)i; G09G 3/3225(2016.01)i; G09G 3/3266(2016.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 27/32(2006.01)i; H01L 29/786(2006.01)i; H01L 51/50(2006.01)i; H05B 33/02(2006.01)i; H05B 33/14(2006.01)i

FI: G09G3/36; H01L29/78 618B; H01L29/78 612B; H01L27/06 102A; H01L27/088 331E; H01L27/04 C; G02F1/1368; G02F1/1345; G02F1/1333; G02F1/13357; H05B33/14 A; H05B33/14 Z; H01L27/32; H05B33/02; G09G3/20 611A; G09G3/20 621H; G09G3/20 612D; G09G3/20 622B; G09G3/20 622G; G09G3/20 621L; G09G3/3225; G09G3/3266

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36; G02F1/1333; G02F1/13357; G02F1/1345; G02F1/1368; G09G3/20; G09G3/3225; G09G3/3266; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H01L27/32; H01L29/786; H01L51/50; H05B33/02; H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-281517 A (CANON INC.) 29.10.1993 (1993-10-29) fig. 1-17	1-9
A	JP 2006-113516 A (SAMSUNG ELECTRONICS CO., LTD.) 27.04.2006 (2006-04-27) fig. 1-21	1-9

 Further documents are listed in the continuation of Box C.

 See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02 April 2020 (02.04.2020)Date of mailing of the international search report
14 April 2020 (14.04.2020)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2020/050458

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 5-281517 A	29 Oct. 1993	US 6133897 A fig. 1-17	
JP 2006-113516 A	27 Apr. 2006	EP 559321 A2 US 2006/0083033 A1 fig. 1-3 CN 1764051 A TW 200627775 A KR 10-2006-0034025 A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>G09G 3/36(2006.01)i; G02F 1/1333(2006.01)i; G02F 1/13357(2006.01)i; G02F 1/1345(2006.01)i; G02F 1/1368(2006.01)i; G09G 3/20(2006.01)i; G09G 3/3225(2016.01)i; G09G 3/3266(2016.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 27/32(2006.01)i; H01L 29/786(2006.01)i; H01L 51/50(2006.01)i; H05B 33/02(2006.01)i; H05B 33/14(2006.01)i</p> <p>FI: G09G3/36; H01L29/78 618B; H01L29/78 612B; H01L27/06 102A; H01L27/088 331E; H01L27/04 C; G02F1/1368; G02F1/1345; G02F1/1333; G02F1/13357; H05B33/14 A; H05B33/14 Z; H01L27/32; H05B33/02; G09G3/20 611A; G09G3/20 621H; G09G3/20 612D; G09G3/20 622B; G09G3/20 622G; G09G3/20 621L; G09G3/3225; G09G3/3266</p>											
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>G09G3/36; G02F1/1333; G02F1/13357; G02F1/1345; G02F1/1368; G09G3/20; G09G3/3225; G09G3/3266; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H01L27/32; H01L29/786; H01L51/50; H05B33/02; H05B33/14</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年	
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2020年										
日本国実用新案登録公報	1996-2020年										
日本国登録実用新案公報	1994-2020年										
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 5-281517 A (キヤノン株式会社) 29.10.1993 (1993-10-29) 図1-図17</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>JP 2006-113516 A (三星電子株式会社) 27.04.2006 (2006-04-27) 図1-図21</td> <td>1-9</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 5-281517 A (キヤノン株式会社) 29.10.1993 (1993-10-29) 図1-図17	1-9	A	JP 2006-113516 A (三星電子株式会社) 27.04.2006 (2006-04-27) 図1-図21	1-9
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	JP 5-281517 A (キヤノン株式会社) 29.10.1993 (1993-10-29) 図1-図17	1-9									
A	JP 2006-113516 A (三星電子株式会社) 27.04.2006 (2006-04-27) 図1-図21	1-9									
<p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>											
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>											
<p>国際調査を完了した日</p> <p>02.04.2020</p>	<p>国際調査報告の発送日</p> <p>14.04.2020</p>										
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>越川 康弘 21 9605</p> <p>電話番号 03-3581-1101 内線 3273</p>										

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/IB2020/050458

引用文献	公表日	パテントファミリー文献	公表日
JP 5-281517 A	29.10.1993	US 6133897 A 図1-図17 EP 559321 A2	
JP 2006-113516 A	27.04.2006	US 2006/0083033 A1 図1-図13 CN 1764051 A TW 200627775 A KR 10-2006-0034025 A	