

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97119472

※申請日期：97.5.27

※IPC分類：H01L23/495(2006.01)  
H01L23/60(2006.01)  
H01L25/03(2006.01)

一、發明名稱：(中文/英文)

多基板區塊式封裝件及其製法

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

聯測科技股份有限公司

代表人：(中文/英文) 陳致遠 / CHEN, CHARLES

住居所或營業所地址：(中文/英文)

新竹市科學工業園區力行三路2號

國籍：(中文/英文) 中華民國/R.O.C.

三、發明人：(共 1 人)

姓名：(中文/英文)

蔡憲聰 / TSAI, SHIANN-TSONG

國籍：(中文/英文) 中華民國

四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

申請日：中華民國 96 年 8 月 17 日 申請案號：96130445

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種封裝晶片結構，更詳言之，係有關於一種多基板區塊式封裝件及其製法。

### 【先前技術】

傳統之導線架式半導體封裝件，例如四方扁平式半導體封裝件(Quad Flat Package, QFP)，其製作方式係提供一具有晶片座及複數導腳(Lead)之導線架，以於該晶片座上黏置一晶片，復藉由複數鉚線(Wire)電性連接該晶片上表面之鉚墊(Pad)與其對應之複數導腳，並以一封裝膠體包覆該晶片及鉚線而形成一導線架型式半導體封裝件。

此種傳統之導線架式半導體封裝件之缺失為作為電性輸入/輸出端(I/O)之導腳僅能排列於封裝膠體之周邊，故其能提供之I/O將受制於封裝膠體之大小，而無法滿足業界電子產品多I/O之需求。為解決上述之問題遂有球柵陣列式(BGA)半導體封裝件之產生。

如第1圖所示，傳統之球柵陣列式(BGA)半導體封裝件係使用一上、下表面設有複數線路之基板(substrate)111，以於該基板111上表面上黏置一晶片112，再藉由鉚線113電性連該晶片112上表面之鉚墊(Pad)112a與該基板111上表面之線路，復透過基板111內部之導電線路及貫孔(via)(未圖示)而電性連接至基板111下表面之線路，復於該基板111上形成包覆晶片112

及鐳線 113 之封裝膠體 114，並在形成於該基板 111 下表面線路終端之鐳球墊(ball pad)111a 上植設鐳球 115，以供晶片 112 電性連接至外部裝置，俾利用整個基板 111 面積佈局線路及鐳球墊，從而得到更多 I/O。

然而，由於電子產品競爭激烈，不論在外型上朝向輕薄短小發展，功能上更是日新月異，使得各種消費電子產品的生命週期越來越短，傳統之球柵陣列式半導體封裝件已不符使用。因此，整合型的系統封裝技術因能達成快速推出市場，同時有效地微縮體積，故已成為各大電子廠商急於發展的趨勢與方向。

電子工程的發展趨勢，是由一個「元件」的開發，進入到集結「多個元件」(如多個 IC 組合成系統)的階段，再隨著產品效能與輕薄短小的需求帶動下，邁向「整合」的階段，為此業界遂發展出系統單晶片(System on Chip; SoC)、系統級封裝(System in a Package; SiP)、及多晶片封裝(Multi-Chip-Package, MCP)等技術。

惟前述各系統封裝技術皆有其相對之優、缺點，其中 SoC 是將處理器單元、記憶體、類比訊號單元全部整合在單一晶片中，而如果建構 SoC 在某應用領域上不可行，另一選擇是 SiP，即是將兩個或更多個晶片整合在一個封裝之中；不過，一般而言 SoC 較具成本效益，不僅能增加產量，且封裝亦不像 SiP 錯綜複雜，但相對地，SiP 可將不同技術、材料製作的晶片封裝形成一個系統而仍有很好的相容性。

另外，MCP 與 SiP 之差異為 MCP 比較著重在高密度記憶體在垂直(Z)方向的堆積，強調封裝面積小；SiP 比較著重在高效能的多功能晶片在水平(X-Y)方向封裝，強調散熱性與可靠度。

因此，如何整合上述各系統封裝技術之優點，同時摒除相對之缺點，實為當今業界所亟待思考之課題。

**【發明內容】**

鑒於以上所述習知技術之缺點，本發明之一目的在於提供一種應用系統封裝技術之多基板區塊式封裝件及其製法。

本發明之又一目的為提供一種於單一晶片整合複數功能區塊的多基板區塊式封裝件及其製法。

本發明之另一目的為提供一種具成本效益、增加產量、及避免封裝錯綜複雜的多基板區塊式封裝件及其製法。

本發明之再一目的為提供一種具良好相容性的多基板區塊式封裝件及其製法。

本發明之復一目的為提供一種具封裝面積小、高散熱性與可靠度的多基板區塊式封裝件及其製法。

為達上揭目的，本發明提供一種多基板區塊式封裝件，係包括：晶片，係具有主動面與非主動面，該主動面區分為複數個功能區塊，各該功能區塊均具有獨立之第一電性連接部；複數個基板，係分別設置於該主動面的對應功能區塊上，且該基板係具有複數個錫墊與相對於該第一電

性連接部之第二電性連接部；複數鐳線，分別電性連接相對之第一及第二電性連接部；以及封裝膠層，係覆蓋該主動面、該基板與各該鐳線，並具有對應外露各該鐳墊之開孔。

本發明復提供一種多基板區塊式封裝件之製法，係包括：提供晶片與複數基板，該晶片具有主動面與非主動面，該主動面區分為複數個功能區塊，各該功能區塊形成有第一電性連接部，該基板表面具有複數個鐳墊，於該表面之至少一側邊形成有第二電性連接部；將各基板貼設於與其相對應的該晶片的各該功能區塊上；以鐳線電性連接該第一及第二電性連接部；以及於該晶片上形成包覆該基板各鐳線之封裝膠層，且令該封裝膠層形成有外露出該鐳墊之開孔。

本發明復包括有：於該鐳墊上形成導電材料，該導電材料經回鐳成為導電元件。另外，本發明之複數基板係可整合於基板條上，該基板條形成有複數個開孔，該開孔中設有複數個連接至該基板條之基板，並於形成封裝膠層後，將貼附有該基板的晶片與該基板條相互分離。

本發明的另一實施例復包括：該基板與該晶片之間具有次晶片，該次晶片係電性連接至該基板，該次晶片具有主動面與非主動面，主動面具有第三電性連接部，該第三電性連接部與該基板的第二電性連接部之間連接有鐳線，該次晶片非主動面具有貼附於該晶片的主動面之黏著層；以及該基板具有黏著面，該黏著面具有將該基板貼附於該次晶片的主動面之黏著層。

該第一電性連接部係位於各該功能區塊之一側邊、兩相對側邊與三側邊之其中一者，當然若空間足夠，亦可設於該功能區塊之四側邊；以及該基板的面積係大於或小於該該功能區塊。

因此，本發明之多基板區塊式封裝件及其製法乃利用系統封裝技術，於晶片的主動面設有複數個功能區塊，各該功能區塊分別具有第一電性連接部及與其電性連接的基板，藉以在單一晶片整合複數功能區塊以增加產量及避免傳統 SiP 錯綜複雜封裝技術；另外透過在該晶片不同功能區塊上結合複數基板以提供良好相容性、可靠度及縮小封裝面積，同時由於該晶片的非主動面係顯露於外部，故可充分提升封裝件散熱性。

再者，本發明係利用將晶片分為複數個功能區塊，並且各該功能區塊分別具有與其相對應的基板，如此可使系統設計者於各該功能區塊分別進行系統整合及線路設計，進而使得該封裝件可朝向小與薄的方向設計，並且該設計可避免各該功能區塊於熱膨脹產生時，發生扯線現象，進而維持該鐳線的完整性。

### 【實施方式】

以下係藉由特定的具體實施例說明本發明之實施方式，所屬技術領域中具有通常知識者可由本說明書所揭示之內容輕易地瞭解本發明之其他優點與功效。

#### [第一實施例]

請參閱第 2A 至 2G 圖，係為本發明多基板區塊式封裝

件及其製法之第一實施例之示意圖。

如第 2A 圖所示，提供晶片 40，該晶片 40 具有主動面 400 與非主動面 401，請配合參閱第 2B 圖，該主動面 400 區分為複數個功能區塊 4001，各該功能區塊 4001 形成有獨立之第一電性連接部 4002，該第一電性連接部 4002 係位於各該功能區塊 4001 之一側邊、兩相對側邊與三側邊之其中一者，當然若空間足夠，該第一電性連接部 4002 亦可設於該功能區塊 4001 之四側邊。

如第 2C 圖所示，復提供基板條 30，該基板條 30 形成有複數個開孔 300，該開孔 300 中設有複數個連接至該基板條 30 之基板 31，請進一步配合第 2D 圖所示，係為該基板 31 之剖面示意圖，該基板 31 具有植球面 310 與黏著面 311，該植球面 310 具有複數個錫墊 312，於該植球面 310 相對於該晶片 40 之第一電性連接部 4002 形成有第二電性連接部 313，該黏著面 311 形成有黏著層 314。

如第 2E 圖所示，將該黏著層 314 貼附於該晶片 40 的主動面，俾以將各基板 31 貼設於與其相對應的該晶片 40 的各該功能區塊 4001 上。另外，亦可未透過基板條型式而直接將複數之基板貼附於晶片之主動面之功能區塊上。

如第 2F 圖所示，對該基板 31 及該晶片 40 之第一及第二電性連接部 313、402 進行打線 (Wire bonding)，俾以使該第一及第二電性連接部 313、402 得以用錫線 41 相互電性連接，再進行封裝模壓 (Molding) 作業，以於該

基板 31 的植球面 310 與該晶片 40 的主動面 400 上形成有封裝膠層 42，該封裝膠層 42 形成有開孔 420，俾以露出該鐳墊 312 的表面。

如第 2G 圖所示，於該鐳墊 312 上及開孔 420 中設置例如為鐳錫之導電材料 43，並可經回鐳作業形成導電元件。並進行切單(singulation)作業，以將貼附有該基板 31 的晶片 40 與基板條相互分離。

本發明復提供一種多基板區塊式封裝件，係包括：晶片 40，其具有主動面 400 與非主動面 401，該主動面 400 區分為複數個功能區塊 4001，各該功能區塊 4001 均具有第一電性連接部 4002；複數個基板 31，分別設置於該主動面 400 的對應功能區塊 4001 上，且該基板 30 具有植球面 310 與黏著面 311，該植球面 310 具有複數個鐳墊 312 及對應於該第一電性連接部 4002 之第二電性連接部 313；複數鐳線 41，分別電性連接該第一及第二電性連接部 4002、313；封裝膠層 42，係設於該基板 31 的植球面 310 與該晶片 40 的主動面 400 上，該封裝膠層 42 具有開孔 420，俾以露出該鐳墊 312 的表面；以及導電材料 43，係設於該鐳墊 312 上。

該導電材料 43 例如為鐳錫材料。該黏著面 311 具有黏著層 314，俾以使該基板 31 得以貼附於該晶片 40 的主動面 400 處。

因此，本發明之多基板區塊式封裝件及其製法乃利用系統封裝技術，於晶片 40 的主動面 400 設有複數個功能

區塊 4001，各該功能區塊 4001 分別具有第一電性連接部 4002 及與其電性連接的基板 31，藉以在單一晶片整合複數功能區塊以增加產量及避免傳統 SiP 錯綜複雜封裝技術；另外透過在該晶片 40 不同功能區塊 4001 上結合複數基板 31 以提供良好相容性、可靠度及縮小封裝面積，同時由於該晶片 40 的非主動面係顯露於外部，故可充分提升封裝件散熱性。

再者，於晶片 40 之各該功能區塊 4001 因運作而產生有溫差不同的工作溫度，而產生有不同程度的熱膨脹時，由於該基板 31 為複數個且彼此之間係不相互連接，因此各基板 31 彼此之間不會相互影響，故位於各該功能區塊 4001 的鐸線 41 就不會因熱膨脹的差異及基板 31 的影響，而產生有拉扯斷裂的情況，如此可保持該鐸線 41 的完整性。

#### [第二實施例]

請參閱第 3A 至 3C 圖，係為本發明多基板區塊式封裝件及其製法第二實施例之示意圖，與前述之實施例之不同處在於封裝件中所設置之晶片係為複數個，且呈堆疊狀。

如第 3A 圖所示，提供晶片 50，該晶片 50 具有主動面 500 與非主動面 501（請配合參考第 3B 圖所示），該主動面 500 區分為複數個功能區塊 5001，各該功能區塊 5001 形成有第一電性連接部 5002。

如第 3B 圖所示，復提供複數個次晶片 51，該次晶片具有主動面 510 與非主動面 511，該主動面 510 形成有第

三電性連接部 513，該非主動面 511 形成有黏著層 512，俾以貼附於前述之晶片 50 的主動面 500。

如第 3C 圖所示，其後的製程係如同前述實施例，提供複數個基板 52，以疊設於與其相對應的該次晶片 51 上，該基板 52 具有植球面 520 與黏著面 521，該植球面 520 具有複數個錫墊 524，於該植球面 520 相對於該第一及第三電性連接部 5002、513 具有第二電性連接部 523，再利用複數錫線 53 電性連接該第二、第三及第一電性連接部 523、513、5002，接著形成封裝膠層 54，以覆蓋該基板 52、該主動面 500、510 與該錫線 53，該封裝膠層 54 具有開孔 540，俾以露出該錫墊 524 的表面，並於該錫墊 524 上形成導電材料 55。

本發明復提供一種多基板區塊式封裝件，係包括：晶片 50，其具有主動面 500 與非主動面 501，該主動面 500 區分為複數個功能區塊 5001，各該功能區塊 5001 具有第一電性連接部 5002；複數個次晶片 51，係疊設於該晶片 50 的主動面 500 之各功能區塊 5001 上，該次晶片具有主動面 510 與非主動面 511，該主動面 510 具有第三電性連接部 513；複數個基板 52，係疊設於與其相對應的該次晶片 51 上，該基板 52 具有植球面 520 與黏著面 521，該植球面 520 具有複數個錫墊 524，於該植球面 520 相對於該第一及第三電性連接部 5002、513 具有第二電性連接部 523；複數錫線 53，分別電性連接該第二、第三及第一電性連接部 523、513、5002；封裝膠層 54，係覆蓋於該基

板 52、該主動面 500、510 與各該鐳線 53，該封裝膠層 54 具有開孔 540，俾以露出該鐳墊 524 的表面；以及導電材料 55，係設於該鐳墊 524 上及開孔 540 中。

該次晶片 51 的非主動面 511 具有黏著層 512，俾以將該次晶片 51 貼附於該晶片 50 的主動面 500 上；以及該基板 52 的黏著面 521 具有黏著層 522，俾以將該基板 52 貼附於該次晶片 51 的主動面 510 上。

### [第三實施例]

請參閱第 4 圖，係為本發明多基板區塊式封裝件第三實施例之示意圖，與前述之實施例之不同處在於上述之第一及第二實施例，其所揭露之基板面積皆小於各該功能區塊，而本實施例所使用之基板尺寸係可選擇大於晶片功能區塊尺寸。

如圖所示，該基板 61 的面積大於該晶片 60 之主動面 600 的功能區塊 6000 的面積，且各該功能區塊 6000 之第一電性連接部 6001 電性連接至該基板 61 植球面 610 之第二電性連接部 6101，並於該基板鐳墊 6100 上設置導電材料；相對之製程方式與結構，如上述之第一及第二實施例，故不再贅述。

綜合以上所述，由於該晶片 40、50、60 的主動面 400、500、600 具有複數個功能區塊 4001、5001、6000，而各該功能區塊 4001、5001、6000 分別具有與其相對應的基板 31、52、61，該基板 31、52、61 的面積係小於或大於該功能區塊 4001、5001、6000，因此該晶片 40、50、60

的電路設計就不受到該基板 31、52、61 的尺寸、位置等限制，所以該晶片 40、50、60 的功能區塊 4001、5001、6000 之設計可使系統設計者進行整合的設計，並且該設計可使得該晶片 40、50、60 朝向小與薄的方向設計，進而使得該封裝件亦朝向小與薄，而且複數個基板 31、52、61 與各該功能區塊 4001、5001、6000 可避免發生扯線現象，進而維持該鐳線 41、53 的完整性。

惟以上所述之具體實施例，僅係用以例釋本發明之特點及功效，而非用以限定本發明之可實施範疇，在未脫離本發明上揭之精神與技術範疇下，任何運用本發明所揭示內容而完成之等效改變及修飾，均仍應為下述之申請專利範圍所涵蓋。

#### 【圖式簡單說明】

第 1 圖係顯示習知球柵陣列半導體封裝件之示意圖；

第 2A 至 2G 圖係顯示本發明多基板區塊式封裝件之第一實施例之示意圖；

第 3A 至 3C 圖係顯示本發明多基板區塊式封裝件之第二實施例之示意圖；以及

第 4 圖係顯示本發明多基板區塊式封裝件之第三實施例之示意圖。

#### 【主要元件符號說明】

10、40、50、60	晶片
100、400、500、600	主動面
101、401、501	非主動面

# 200910564

102、4002、6001	第一電性連接部
20、30	基板條
21、31、52	基板
210、310、520	植球面
211、311、521	黏著面
212、313、523、6101	第二電性連接部
213、312、524、6100	錫墊
214、314、522	黏著層
22、41、53	錫線
23、42、54	封裝膠層
230、420、540	開孔
24	導電元件
300	開孔
4001、5001、6000	功能區塊
43、55	導電材料
51	次晶片
5002	第三電性連接部
510	主動面
511	非主動面

**五、中文發明摘要：**

一種多基板區塊式封裝件，係藉由將晶片的主動面分割為複數個功能區塊，各該功能區塊以鐳線電性連接相對應的基板，且各該功能區塊具有其獨自的系統，故系統設計者可於各該功能區塊設計其獨自的線路佈局，而不受限於該基板或其他的系統以易於佈線，且使該封裝件朝向小與薄設計，並且各該功能區塊與相對的該基板係各自獨立，故各該基板之間不會相互影響，以提供良好相容性、可靠度及縮小封裝面積，本發明復提供一種前述之多基板區塊式封裝件之製法。

**六、英文發明摘要：無。**

十、申請專利範圍：

1. 一種多基板區塊式封裝件，係包括：

晶片，係具有主動面與非主動面，該主動面區分為複數個功能區塊，各該功能區塊均具有獨立之第一電性連接部；

複數個基板，係分別設置於該主動面的對應功能區塊上，且該基板係具有複數個鐳墊與相對於該第一電性連接部之第二電性連接部；

複數鐳線，分別電性連接相對之第一及第二電性連接部；以及

封裝膠層，係覆蓋該主動面、該基板與該鐳線，並具有對應外露各該鐳墊之開孔。

2. 如申請專利範圍第 1 項之多基板區塊式封裝件，復包括有形成於該鐳墊上之導電材料。
3. 如申請專利範圍第 2 項之多基板區塊式封裝件，其中，該導電材料經回鐳成為導電元件。
4. 如申請專利範圍第 1 項之多基板區塊式封裝件，復包括有貼附於該基板與該晶片的主動面的黏著層。
5. 如申請專利範圍第 1 項之多基板區塊式封裝件，其中，該基板具有鐳墊及第二電性連接部之表面為植球面。
6. 如申請專利範圍第 1 項之多基板區塊式封裝件，其中，該基板與該晶片之間具有次晶片，該次晶片係電性連接至該基板。

7. 如申請專利範圍第 6 項之多基板區塊式封裝件，其中，該次晶片具有主動面，該主動面具有第三電性連接部，該第三電性連接部與該基板的第二電性連接部之間連接有鐳線。
8. 如申請專利範圍第 7 項之多基板區塊式封裝件，其中，該次晶片具有非主動面，該非主動面具有貼附於該晶片的主動面之黏著層；而該基板具有黏著面，該黏著面具有將該基板貼附於該次晶片的主動面之黏著層。
9. 如申請專利範圍第 1 項之多基板區塊式封裝件，其中，該基板的面積係小於該功能區塊。
10. 如申請專利範圍第 1 項之多基板區塊式封裝件，其中，該基板的面積係大於該功能區塊。
11. 如申請專利範圍第 1 項之多基板區塊式封裝件，其中，該第一電性連接部係位於各該功能區塊之一側邊、兩相對側邊、三側邊與四側邊之其中一者。
12. 一種多基板區塊式封裝件之製法，係包括：

提供晶片與複數基板，該晶片具有主動面與非主動面，該主動面區分為複數個功能區塊，各該功能區塊形成有第一電性連接部，該基板表面具有複數個鐳墊，於該表面之至少一側邊形成有第二電性連接部；

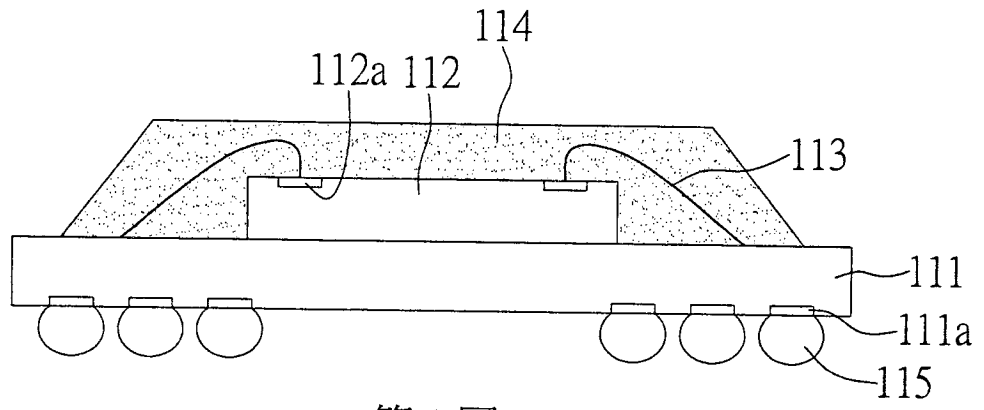
將各基板貼設於與其相對應的該晶片的各該功能區塊上；

以鐳線電性連接該第一及第二電性連接部；以及

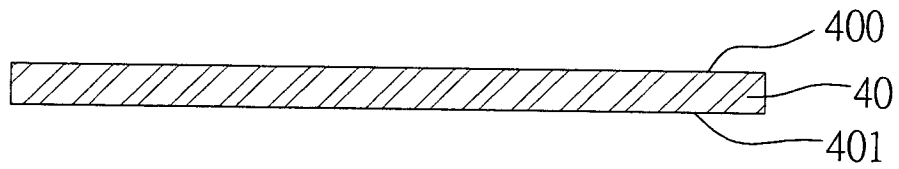
於該晶片上形成包覆該基板及該鐳線之封裝膠層，且令該封裝膠層形成有露出該鐳墊之開孔。

13. 如申請專利範圍第 12 項之多基板區塊式封裝件之製法，復包括於該鐳墊上形成導電材料。
14. 如申請專利範圍第 13 項之多基板區塊式封裝件之製法，其中，該導電材料經回鐳使其形成為導電元件。
15. 如申請專利範圍第 12 項之多基板區塊式封裝件之製法，其中，該些基板係整合於基板條上，該基板條形成有複數個開孔，以供複數基板設於該開孔中且連接至該基板條。
16. 如申請專利範圍第 15 項之多基板區塊式封裝件之製法，復包括將貼附有該基板的晶片與該基板條相互分離。
17. 如申請專利範圍第 12 項之多基板區塊式封裝件之製法，復包括有貼附於該基板與該晶片的主動面的黏著層。
18. 如申請專利範圍第 12 項之多基板區塊式封裝件之製法，其中，該晶片與該基板之間設有次晶片，並將該次晶片電性連接至該基板。
19. 如申請專利範圍第 12 項之多基板區塊式封裝件之製法，其中，該基板的面積係小於該功能區塊。
20. 如申請專利範圍第 12 項之多基板區塊式封裝件之製法，其中，該基板的面積係大於該功能區塊。
21. 如申請專利範圍第 12 項之多基板區塊式封裝件之製

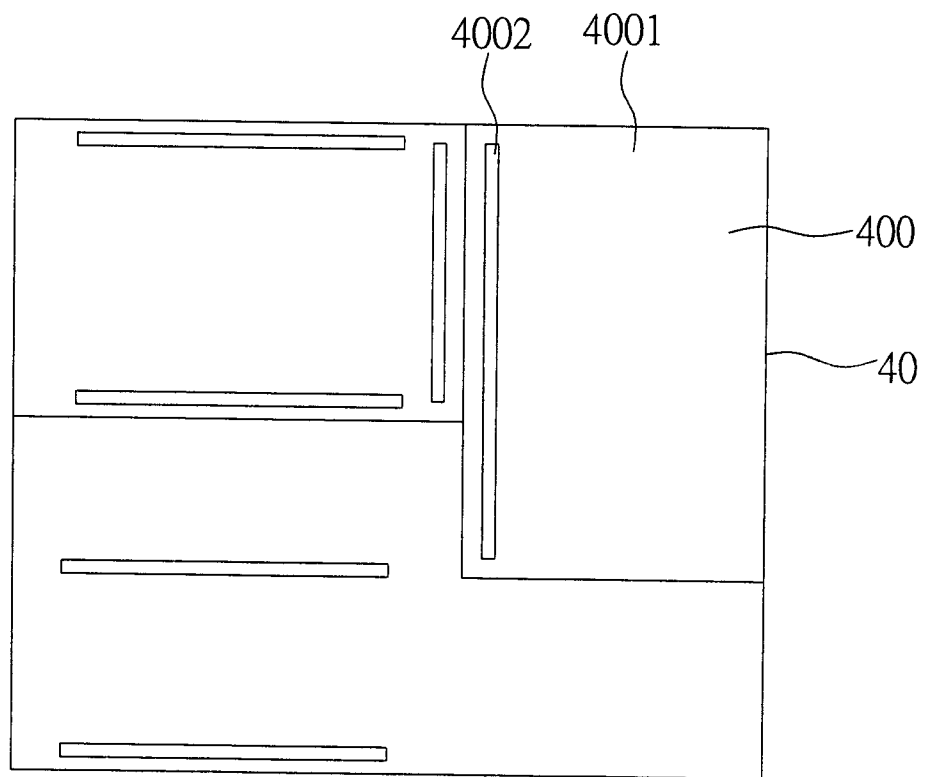
法，其中，該第一電性連接部係設於各該功能區塊之一側邊、兩相對側邊、三側邊與四側邊之其中一者。



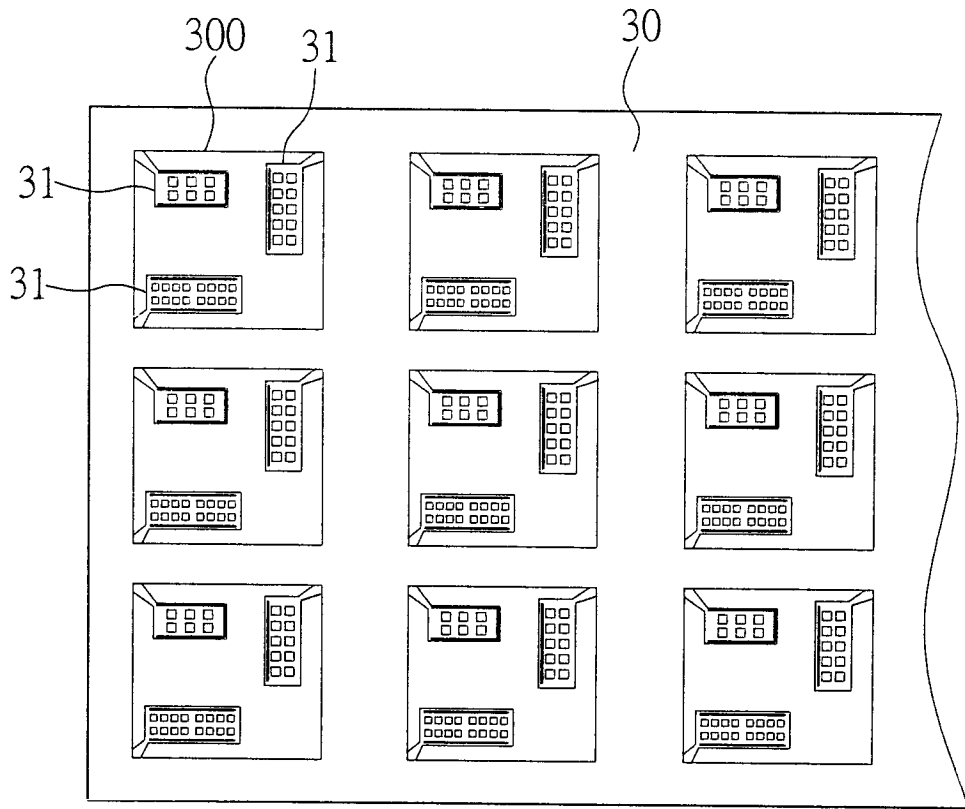
第 1 圖



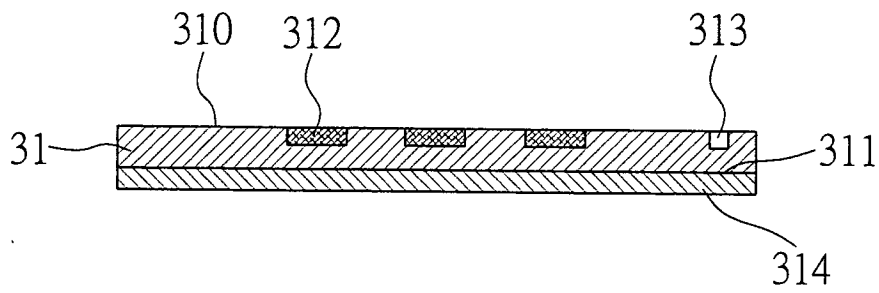
第 2 A 圖



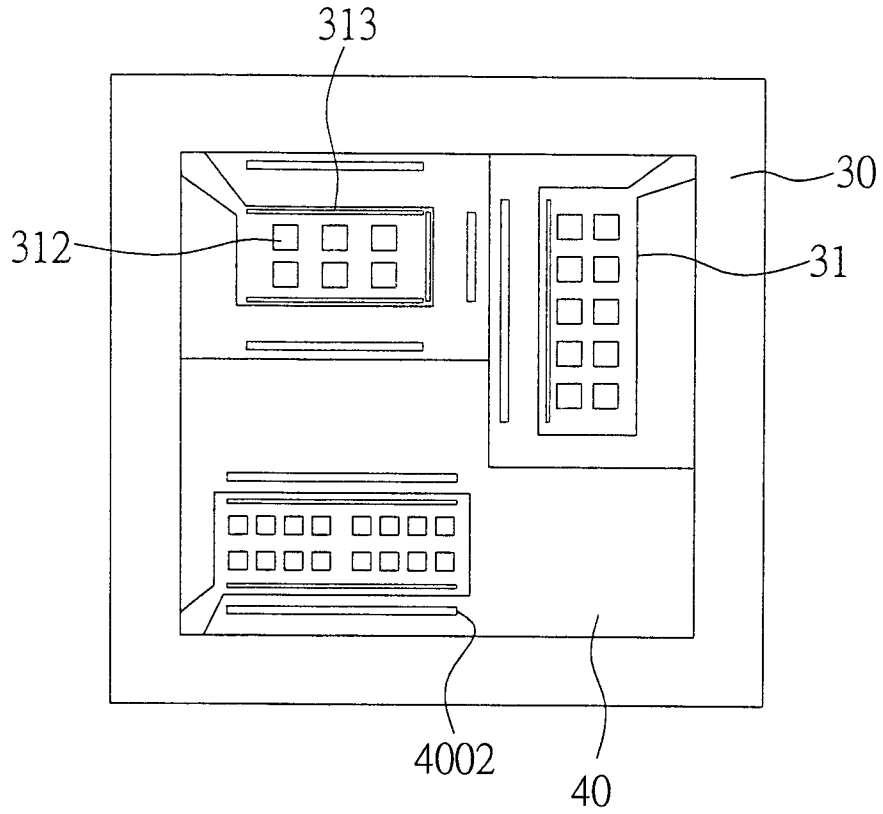
第 2 B 圖



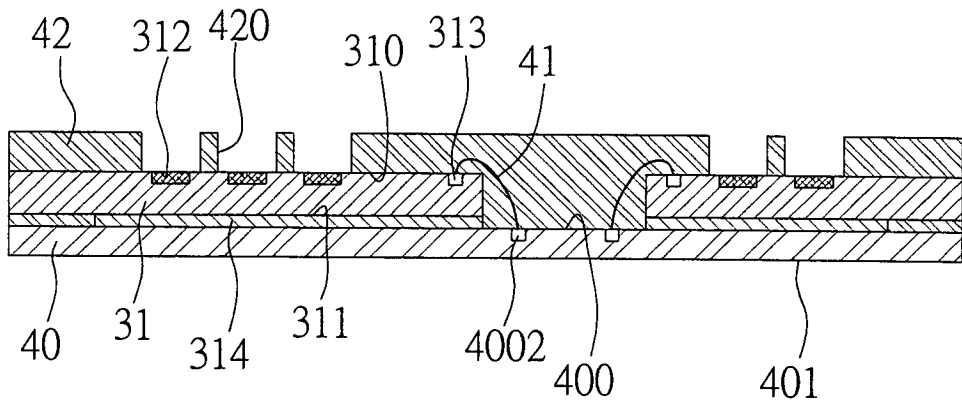
第 2 C 圖



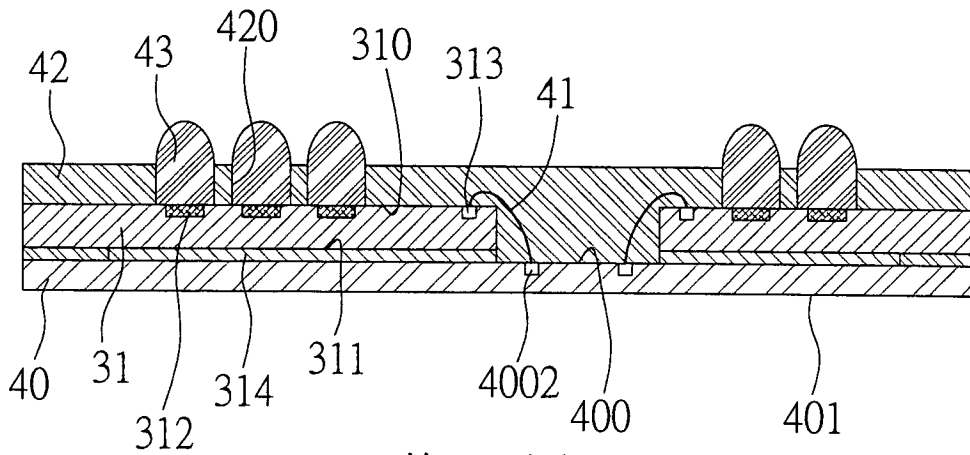
第 2 D 圖



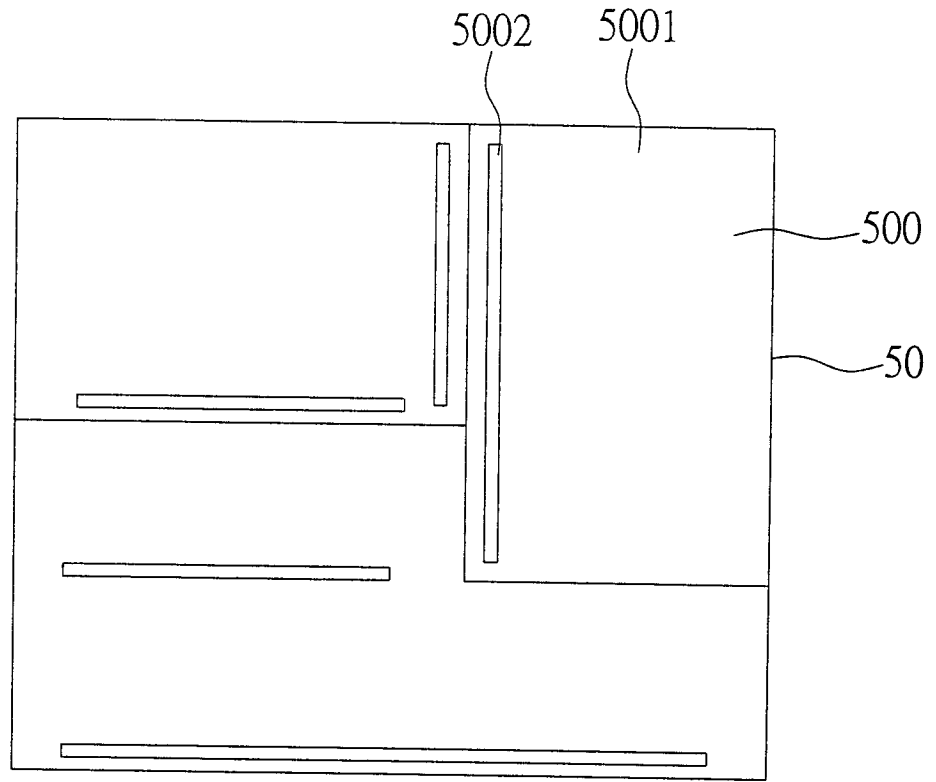
第 2 E 圖



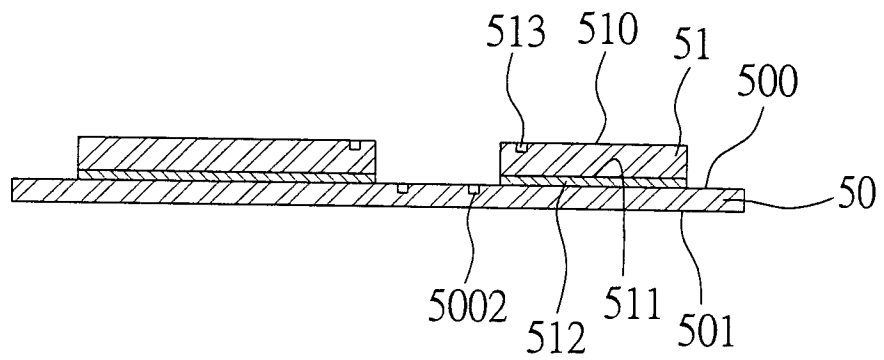
第 2 F 圖



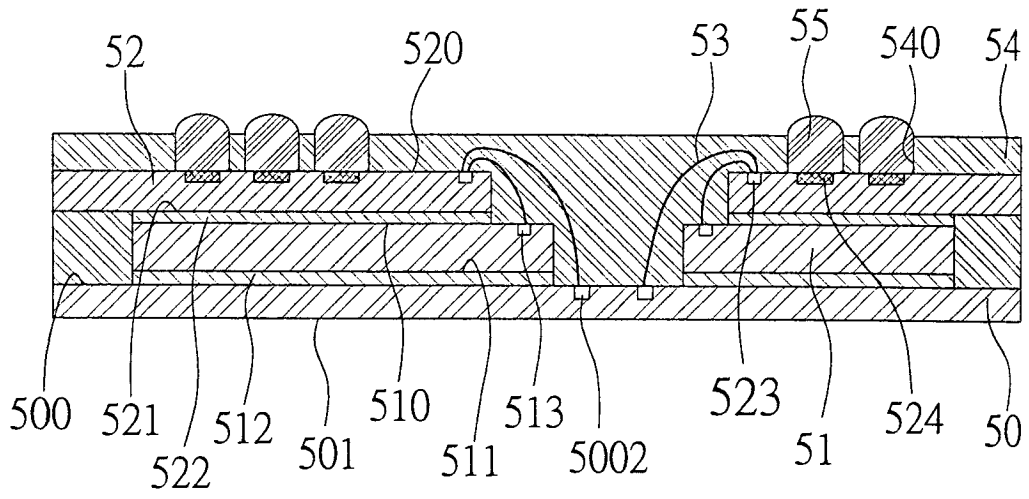
第 2 G 圖



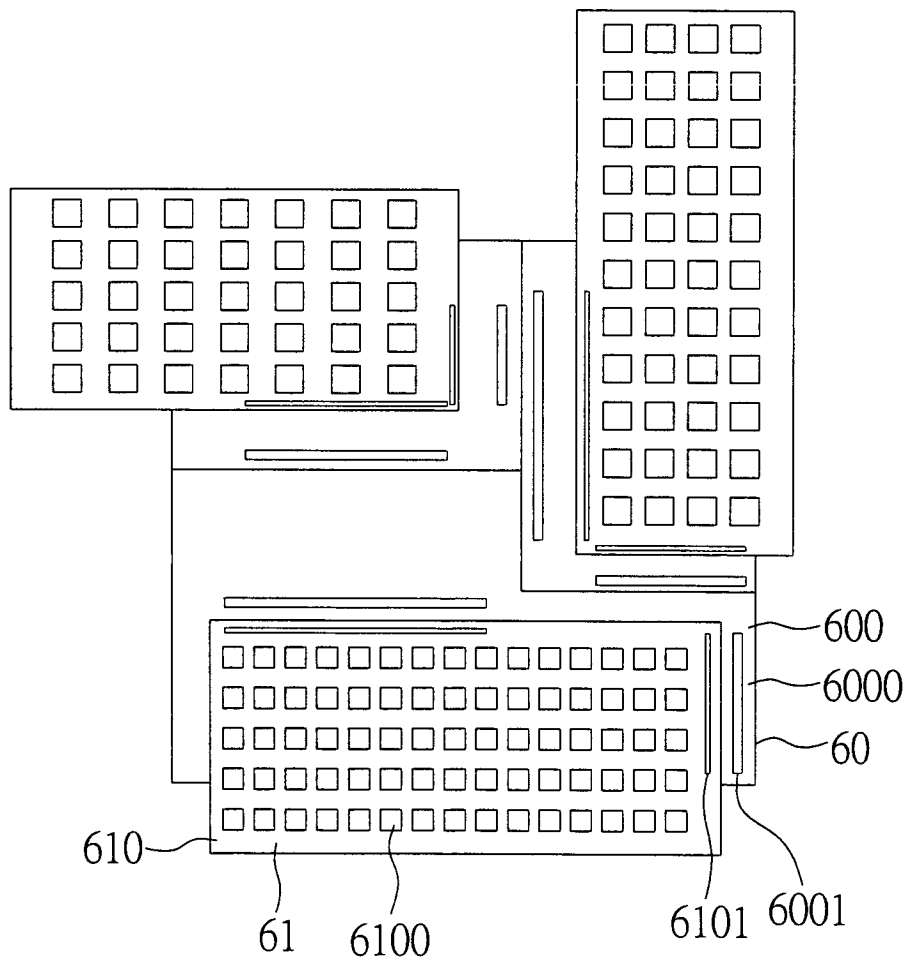
第 3 A 圖



第 3 B 圖



第 3 C 圖



第 4 圖

七、指定代表圖：

(一)本案指定代表圖為：第 ( 2G ) 圖。

(二)本代表圖之元件代表符號簡單說明：

- 31 基板
- 310 植球面
- 311 黏著面
- 312 錫墊
- 313 第二電性連接部
- 314 黏著層
- 40 晶片
- 400 主動面
- 401 非主動面
- 4002 第一電性連接部
- 41 錫線
- 42 封裝膠層
- 420 開孔
- 43 導電材料

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無。