

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-187032

(P2016-187032A)

(43) 公開日 平成28年10月27日(2016.10.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 3 Z	5 C 0 9 4
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 0 4 8
HO 1 L 27/06 (2006.01)	HO 1 L 27/06 1 0 2 A	5 F 0 8 3
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 1 0 2 E	5 F 1 1 0
HO 1 L 27/08 (2006.01)	HO 1 L 27/08 3 3 1 E	

審査請求 未請求 請求項の数 9 O L (全 98 頁) 最終頁に続く

(21) 出願番号 特願2016-51876 (P2016-51876)
 (22) 出願日 平成28年3月16日 (2016. 3. 16)
 (31) 優先権主張番号 特願2015-55720 (P2015-55720)
 (32) 優先日 平成27年3月19日 (2015. 3. 19)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2015-83272 (P2015-83272)
 (32) 優先日 平成27年4月15日 (2015. 4. 15)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 官入 秀和
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 佐藤 優一
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 浅野 裕治
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 丸山 哲紀
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

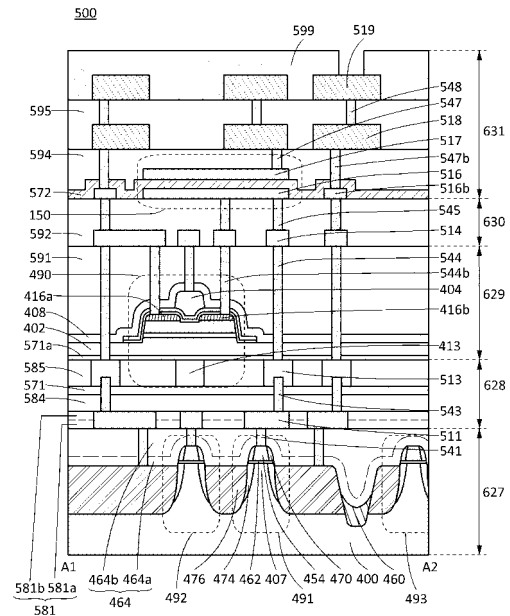
(54) 【発明の名称】 半導体装置および電子機器

(57) 【要約】

【課題】優れた電気特性を有する半導体装置を提供する。または安定した電気特性を有する半導体装置を提供する。

【解決手段】第1のトランジスタと、第2のトランジスタと、第1の絶縁体と、第2の絶縁体と、第1の配線と、第1のプラグと、を有し、第1のトランジスタは、シリコンを有し、第2のトランジスタは、酸化物半導体を有し、第1の絶縁体は、第1のトランジスタ上に位置し、第2の絶縁体は、第1の絶縁体上に位置し、第2のトランジスタは、第2の絶縁体上に位置し、第1の配線は、第2の絶縁体上および第1のプラグ上に位置し、第1のトランジスタと第2のトランジスタは、第1の配線および第1のプラグを介して電氣的に接続し、第1の配線は、水素透過性が低く、第2の絶縁体は、第1の絶縁体と比較して水素の透過性が低い半導体装置である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと、第 2 のトランジスタと、第 1 の絶縁体と、第 2 の絶縁体と、第 1 の配線と、第 1 のプラグと、を有し、

前記第 1 のトランジスタは、シリコンを有し、

前記第 2 のトランジスタは、酸化物半導体を有し、

前記第 1 の絶縁体は、前記第 1 のトランジスタ上に位置し、

前記第 2 の絶縁体は、前記第 1 の絶縁体上に位置し、

前記第 2 のトランジスタは、前記第 2 の絶縁体上に位置し、

前記第 1 の配線は、前記第 2 の絶縁体上および前記第 1 のプラグ上に位置し、

前記第 1 のトランジスタと前記第 2 のトランジスタは、前記第 1 の配線および前記第 1 のプラグを介して電氣的に接続し、

前記第 1 の配線は、水素透過性が低く、

前記第 2 の絶縁体は、前記第 1 の絶縁体と比較して水素の透過性が低い半導体装置。

【請求項 2】

第 1 のトランジスタと、第 2 のトランジスタと、第 1 の絶縁体と、第 2 の絶縁体と、第 1 の配線と、第 1 のプラグと、を有し、

前記第 1 のトランジスタは、シリコンを有し、

前記第 2 のトランジスタは、酸化物半導体を有し、

前記第 1 の絶縁体は、前記第 1 のトランジスタ上に位置し、

前記第 2 の絶縁体は、前記第 1 の絶縁体上に位置し、

前記第 2 のトランジスタは、前記第 2 の絶縁体上に位置し、

前記第 1 の配線は、前記第 2 の絶縁体上および前記第 1 のプラグ上に位置し、

前記第 1 のトランジスタと前記第 2 のトランジスタは、前記第 1 の配線および前記第 1 のプラグを介して電氣的に接続し、

前記第 1 の配線および前記第 1 のプラグは、水素透過性が低く、

前記第 2 の絶縁体は、前記第 1 の絶縁体と比較して水素の透過性が低い半導体装置。

【請求項 3】

請求項 1 または請求項 2 のいずれか一において、

前記第 1 の配線は、窒化タンタルを有する半導体装置。

【請求項 4】

請求項 2 において、

前記第 1 の配線および前記第 1 のプラグは、窒化タンタルを有する半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、

前記第 1 の配線または前記第 1 のプラグの少なくとも一方は、

銅の透過性が低い半導体装置。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか一において、

前記第 1 の配線または前記第 1 のプラグの少なくとも一方は、

窒化タンタルと、タンタルとが積層された構造を有する半導体装置。

【請求項 7】

請求項 1 乃至請求項 5 のいずれか一において、

前記第 1 の配線または前記第 1 のプラグの少なくとも一方は、

窒化チタンと、タンタルとが積層された構造を有する半導体装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一において、

前記第 2 の絶縁体は、酸化アルミニウムおよび酸化ハフニウムのうち、少なくとも一方を有する半導体装置。

【請求項 9】

10

20

30

40

50

請求項 1 乃至請求項 8 に記載のいずれか一の半導体装置が搭載された電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニファクチャ、または組成物（コンポジション・オブ・マター）に関する。特に、本発明は、例えば、電極、装置、半導体、半導体装置、表示装置、発光装置、照明装置、蓄電装置、鏡像装置、記憶装置またはプロセッサに関する。または、電極、半導体、半導体装置、表示装置、発光装置、照明装置、蓄電装置、鏡像装置、記憶装置またはプロセッサの製造方法に関する。または、電極、半導体装置、表示装置、発光装置、照明装置、蓄電装置、鏡像装置、記憶装置またはプロセッサの駆動方法に関する。

10

【0002】

なお、本明細書などにおいて半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、発光装置、照明装置、電気光学装置、半導体回路および電子機器は、半導体装置を有する場合がある。

【背景技術】

【0003】

半導体材料を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体材料としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

20

【0004】

また、近年では電子機器の高性能化、小型化、または軽量化に伴い、微細化されたトランジスタなどの半導体素子を高密度に集積した集積回路の要求が高まっている。

【0005】

ここで、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタの、リーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）。

【先行技術文献】

30

【特許文献】

【0006】

【特許文献1】特開2012-257187号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明の一態様は、優れた電気特性を有する半導体装置を提供することを課題の一とする。または、本発明の一態様は、安定した電気特性を有する半導体装置を提供することを課題の一とする。または、本発明の一態様は、絶縁体への導電体の埋め込み方法を提供することを課題の一とする。または、本発明の一態様は、微細化された半導体装置を提供することを課題の一とする。または、本発明の一態様は、信頼性の高い半導体装置を提供することを課題の一とする。または、本発明の一態様は、歩留まりの高い半導体装置を提供することを課題の一とする。

40

【0008】

または、本発明の一態様は、微細化された半導体装置の作製方法を提供することを課題の一とする。または、本発明の一態様は、信頼性の高い装置の作製方法を提供することを課題の一とする。または、本発明の一態様は、歩留まりの高い装置の作製方法を提供することを課題の一とする。

【0009】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の

50

一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0010】

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、第1の絶縁体と、第2の絶縁体と、第1の配線と、第1のプラグと、を有し、第1のトランジスタは、シリコンを有し、第2のトランジスタは、酸化物半導体を有し、第1の絶縁体は、第1のトランジスタ上に位置し、第2の絶縁体は、第1の絶縁体上に位置し、第2のトランジスタは、第2の絶縁体上に位置し、第1の配線は、第2の絶縁体上および第1のプラグ上に位置し、第1のトランジスタと第2のトランジスタは、第1の配線および第1のプラグを介して電氣的に接続し、第1の配線は、水素透過性が低く、第2の絶縁体は、第1の絶縁体と比較して水素の透過性が低い半導体装置である。

10

【0011】

または、本発明の一態様は、第1のトランジスタと、第2のトランジスタと、第1の絶縁体と、第2の絶縁体と、第1の配線と、第1のプラグと、を有し、第1のトランジスタは、シリコンを有し、第2のトランジスタは、酸化物半導体を有し、第1の絶縁体は、第1のトランジスタ上に位置し、第2の絶縁体は、第1の絶縁体上に位置し、第2のトランジスタは、第2の絶縁体上に位置し、第1の配線は、第2の絶縁体上および第1のプラグ上に位置し、第1のトランジスタと第2のトランジスタは、第1の配線および第1のプラグを介して電氣的に接続し、第1の配線および第1のプラグは、水素透過性が低く、第2の絶縁体は、第1の絶縁体と比較して水素の透過性が低い半導体装置である。

20

【0012】

また、上記構成において、第1の配線は、窒化タンタルを有することが好ましい。また、上記構成において、第1のプラグは、窒化タンタルを有することが好ましい。また、上記構成において、第1の配線または第1のプラグの少なくとも一方は、銅の透過性が低いことが好ましい。

【0013】

また、上記構成において、第1の配線または第1のプラグの少なくとも一方は、窒化タンタルと、タンタルとが積層された構造を有することが好ましい。または、窒化チタンと、タンタルとが積層された構造を有することが好ましい。

30

【0014】

また、上記構成において、第2の絶縁体は、酸化アルミニウムおよび酸化ハフニウムのうち、少なくとも一方を有することが好ましい。

【0015】

または、本発明の一態様は、上記に記載のいずれか一の半導体装置が搭載された電子機器である。

【発明の効果】

【0016】

本発明の一態様により、優れた電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、安定した電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、絶縁体への導電体の埋め込み方法を提供することができる。また、本発明の一態様により、微細化された半導体装置を提供することができる。また、本発明の一態様により、信頼性の高い半導体装置を提供することができる。また、本発明の一態様により、歩留まりの高い半導体装置を提供することができる。

40

【0017】

また、本発明の一態様により、微細化された半導体装置の作製方法を提供することができる。また、本発明の一態様により、信頼性の高い装置の作製方法を提供することができる。また、本発明の一態様により、歩留まりの高い装置の作製方法を提供することができる。

50

【 0 0 1 8 】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【 図面の簡単な説明 】

【 0 0 1 9 】

- 【 図 1 】 本発明の一態様に係る半導体装置の一例を示す断面図。
- 【 図 2 】 本発明の一態様に係る半導体装置の一例を示す断面図。
- 【 図 3 】 本発明の一態様に係る半導体装置の一例を示す断面図。 10
- 【 図 4 】 本発明の一態様に係る半導体装置の一例を示す断面図。
- 【 図 5 】 本発明の一態様に係るトランジスタの一例を示す上面図および断面図。
- 【 図 6 】 本発明の一態様に係るトランジスタの一例を示す上面図および断面図。
- 【 図 7 】 本発明の一態様に係るトランジスタの一例を示す上面図および断面図。
- 【 図 8 】 本発明の一態様に係る半導体装置の一例を示す断面図。
- 【 図 9 】 本発明の一態様に係る半導体装置の一例を示す断面図。
- 【 図 1 0 】 本発明の一態様に係る半導体装置の一例を示す断面図。
- 【 図 1 1 】 本発明の一態様に係る半導体装置の一例を示す断面図。
- 【 図 1 2 】 本発明の一態様に係る半導体装置の一例を示す断面図。
- 【 図 1 3 】 本発明の一態様に係る半導体装置の一例を示す断面図。 20
- 【 図 1 4 】 本発明の一態様に係る半導体装置の一例を示す断面図。
- 【 図 1 5 】 本発明の一態様に係る容量素子の一例を示す断面図。
- 【 図 1 6 】 本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。
- 【 図 1 7 】 本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。
- 【 図 1 8 】 本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。
- 【 図 1 9 】 本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。
- 【 図 2 0 】 本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。
- 【 図 2 1 】 本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。
- 【 図 2 2 】 本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。
- 【 図 2 3 】 本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。 30
- 【 図 2 4 】 本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。
- 【 図 2 5 】 本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。
- 【 図 2 6 】 本発明の一態様に係る半導体装置の作製方法の一例を示す断面図。
- 【 図 2 7 】 本発明の一態様に係る回路図。
- 【 図 2 8 】 本発明の一態様に係る回路図。
- 【 図 2 9 】 本発明の一態様に係る半導体装置の一例を示す断面図。
- 【 図 3 0 】 本発明の一態様に係る半導体装置の一例を示す上面図。
- 【 図 3 1 】 本発明の一態様に係る半導体装置の一例を示す上面図。
- 【 図 3 2 】 本発明の一態様に係る半導体装置の一例を示す斜視図。
- 【 図 3 3 】 本発明の一態様に係る半導体装置の一例を示す上面図。 40
- 【 図 3 4 】 本発明の一態様に係るトランジスタの一例を示す断面図。
- 【 図 3 5 】 本発明の一態様に係る半導体装置の一例を示す断面図。
- 【 図 3 6 】 本発明の一態様に係る半導体装置の一例を示す断面図。
- 【 図 3 7 】 本発明の一態様に係る酸化物半導体を有する領域のバンド図。
- 【 図 3 8 】 本発明の一態様に係るトランジスタの一例を示す上面図および断面図。
- 【 図 3 9 】 本発明の一態様に係るトランジスタの一例を示す上面図および断面図。
- 【 図 4 0 】 本発明の一態様に係るトランジスタの一例を示す断面図。
- 【 図 4 1 】 本発明の一態様に係るトランジスタの一例を示す上面図および断面図。
- 【 図 4 2 】 本発明の一態様に係るトランジスタの一例を示す上面図および断面図。
- 【 図 4 3 】 本発明の一態様に係るトランジスタの一例を示す上面図および断面図。 50

- 【図44】本発明の一態様に係るトランジスタの一例を示す断面図。
- 【図45】C A A C - O Sの断面におけるCs補正高分解能TEM像、およびC A A C - O Sの断面模式図。
- 【図46】C A A C - O Sの平面におけるCs補正高分解能TEM像。
- 【図47】C A A C - O Sおよび単結晶酸化物半導体のXRDによる構造解析を説明する図。
- 【図48】C A A C - O Sの電子回折パターンを示す図。
- 【図49】In - Ga - Zn酸化物の電子照射による結晶部の変化を示す図。
- 【図50】実施の形態に係る、CPUの構成例。
- 【図51】実施の形態に係る、記憶素子の回路図。 10
- 【図52】実施の形態に係る、RFタグの構成例。
- 【図53】実施の形態に係る、RFタグの使用例。
- 【図54】実施の形態に係る、表示装置の上面図及び回路図。
- 【図55】電子機器の一例を説明する図。
- 【図56】撮像装置の一例を説明する図。
- 【図57】撮像装置の一例を説明する図。
- 【図58】撮像装置の一例を説明する図。
- 【図59】画素の構成例を説明する図。
- 【図60】画素の構成例を説明する図。
- 【図61】撮像装置の一例を示す回路図。 20
- 【図62】撮像装置の構成例を示す断面図。
- 【図63】撮像装置の構成例を示す断面図。
- 【図64】TDS分析結果。
- 【図65】SIMS分析結果。
- 【図66】SIMS分析結果。
- 【図67】CPUのレイアウトの一例。
- 【図68】記憶装置のレイアウトの一例。
- 【図69】撮像装置のレイアウトの一例。
- 【発明を実施するための形態】
- 【0020】 30
- 本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。なお、異なる符号の構成要素の記載を参照する場合、参照された構成要素の厚さ、組成、構造または形状などについての記載を適宜用いることができる。
- 【0021】 40
- なお、図において、大きさ、膜(層)の厚さ、または領域は、明瞭化のために誇張されている場合がある。
- 【0022】
- また、電圧は、ある電位と、基準の電位(例えば接地電位(GND)またはソース電位)との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。一般的に、電位(電圧)は、相対的なものであり、基準の電位からの相対的な大きさによって決定される。したがって、「接地電位」などと記載されている場合であっても、電位が0Vであるとは限らない。例えば、回路で最も低い電位が、「接地電位」となる場合もある。または、回路で中間くらいの電位が、「接地電位」となる場合もある。その場合には、その電位を基準として、正の電位と負の電位が規定される。
- 【0023】 50

なお、第1、第2として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書などに記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0024】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS (Density of States) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素(水にも含まれる)、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

10

【0025】

なお、本明細書において、AがBより迫り出した形状を有すると記載する場合、上面図または断面図において、Aの少なくとも一端が、Bの少なくとも一端よりも外側にある形状を有することを示す場合がある。したがって、AがBより迫り出した形状を有すると記載されている場合、例えば上面図において、Aの一端が、Bの一端よりも外側にある形状を有すると読み替えることができる。

20

【0026】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0027】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

30

【0028】

なお、明細書において、半導体と記載する場合、酸化物半導体と読み替えることができる。半導体としては、ほかにもシリコン、ゲルマニウムなどの第14族半導体、炭化シリコン、ケイ化ゲルマニウム、ヒ化ガリウム、リン化インジウム、セレン化亜鉛、硫化カドミウムなどの化合物半導体、および有機半導体を用いることができる。

【0029】

なお、本明細書において、装置とは例えば、半導体装置、表示装置、発光装置、照明装置、蓄電装置、鏡像装置、記憶装置、電気光学装置などの装置を指す場合がある。

40

【0030】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置の一例を示す。

【0031】

[半導体装置]

図1は、半導体装置500の断面図の一例を示す。図2は、図1に示すA1-A2方向と概略垂直な断面の一例を示す。図1に示す半導体装置500は、層627乃至層631の5つの層を有する。層627はトランジスタ491乃至トランジスタ493を有する。層629はトランジスタ490を有する。

【0032】

50

< 層 6 2 7 >

層 6 2 7 は、基板 4 0 0 と、基板 4 0 0 上のトランジスタ 4 9 1 乃至トランジスタ 4 9 3 と、トランジスタ 4 9 1 等の上の絶縁体 4 6 4 と、プラグ 5 4 1 等のプラグを有する。プラグ 5 4 1 等は例えばトランジスタ 4 9 1 等のゲート電極、ソース電極またはドレイン電極等に接続する。プラグ 5 4 1 は、絶縁体 4 6 4 に埋め込まれるように形成されることが好ましい。

【 0 0 3 3 】

トランジスタ 4 9 1 乃至トランジスタ 4 9 3 の詳細については、後述する。

【 0 0 3 4 】

絶縁体 4 6 4 として例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

10

【 0 0 3 5 】

絶縁体 4 6 4 はスパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法、またはPLD法などにより形成することができる。特に、当該絶縁体をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【 0 0 3 6 】

また、絶縁体 4 6 4 として、炭化窒化シリコン(silicon carbonitride)、酸化炭化シリコン(silicon oxycarbide)などを用いることができる。また、USG(Undoped Silicate Glass)、BPSG(Boron Phosphorus Silicate Glass)、BSG(Borosilicate Glass)等を用いることができる。USG、BPSG等は、常圧CVD法を用いて形成すればよい。また、例えば、HSQ(水素シルセスキオキサン)等を塗布法を用いて形成してもよい。

20

【 0 0 3 7 】

絶縁体 4 6 4 は単層でもよく、複数の材料を積層して用いてもよい。

【 0 0 3 8 】

ここで、図 1 には絶縁体 4 6 4 を絶縁体 4 6 4 a と、絶縁体 4 6 4 a 上の絶縁体 4 6 4 b との 2 層とする例を示す。

30

【 0 0 3 9 】

絶縁体 4 6 4 a は、トランジスタ 4 9 1 の領域 4 7 6、導電体 4 5 4 等との密着性や、被覆性がよいことが好ましい。

【 0 0 4 0 】

絶縁体 4 6 4 a の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで絶縁体 4 6 4 a は水素を有すると好ましい場合がある。絶縁体 4 6 4 a が水素を有することにより、基板 4 0 0 が有する欠陥等を低減し、トランジスタ 4 9 1 等の特性を向上させる場合がある。例えば基板 4 0 0 としてシリコンを有する材料を用いた場合には、水素によりシリコンのダングリングボンド等の欠陥を終端することができる。

40

【 0 0 4 1 】

ここで導電体 4 5 4 等の絶縁体 4 6 4 a の下の導電体と、導電体 5 1 1 等の絶縁体 4 6 4 b 上に形成される導電体との間に形成される寄生容量は小さいことが好ましい。よって、絶縁体 4 6 4 b は誘電率が低いことが好ましい。絶縁体 4 6 4 b は、絶縁体 4 6 2 よりも誘電率が低いことが好ましい。また、絶縁体 4 6 4 b は、絶縁体 4 6 4 a よりも誘電率が低いことが好ましい。例えば、絶縁体 4 6 4 b の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁体 4 6 4 b の比誘電率は、絶縁体 4 6 4 a の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。

【 0 0 4 2 】

ここで一例として、絶縁体 4 6 4 a に窒化シリコンを、絶縁体 4 6 4 b にUSGを用い

50

ることができる。

【0043】

ここで、絶縁体464aおよび絶縁体581a等に窒化シリコンや、炭化窒化シリコンなどの銅の透過性の低い材料を用いることにより、導電体511等に銅を用いた場合に、絶縁体464aおよび絶縁体581a等の上下の層への銅の拡散を抑制できる場合がある。

【0044】

また、図3等に示すように導電体511が導電体511aと導電体511bの積層である場合に、例えば導電体511aに覆われていない導電体511bの上面から、絶縁体584等を介して上層に銅などの不純物が拡散する可能性がある。よって、導電体511b上の絶縁体584は、銅などの不純物の透過性が低い材料を用いることが好ましい。例えば、絶縁体584を、後述する図3に示すように、絶縁体584aと、絶縁体584a上の絶縁体584bとの積層構造とし、絶縁体584aおよび絶縁体584bとして、絶縁体581aおよび絶縁体581bを参照すればよい。

10

【0045】

<層628>

層628は、絶縁体581と、絶縁体581上の絶縁体584と、絶縁体584上の絶縁体571と、絶縁体571上の絶縁体585と、を有する。また、絶縁体464上の導電体511等と、導電体511等に接続するプラグ543等と、絶縁体571上の導電体513と、を有する。導電体511は絶縁体581に埋め込まれるように形成されることが好ましい。プラグ543等は絶縁体584および絶縁体571に埋め込まれるように形成されることが好ましい。導電体513は、絶縁体585に埋め込まれるように形成されることが好ましい。

20

【0046】

また、層628は、導電体413を有してもよい。導電体413は、絶縁体585に埋め込まれるように形成されることが好ましい。

【0047】

絶縁体584および絶縁体585として例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

30

【0048】

絶縁体584および絶縁体585は、スパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法、またはPLD法などにより形成することができる。特に、当該絶縁体をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0049】

また、584および絶縁体585として、炭化シリコン、炭化窒化シリコン(silicon carbonitride)、酸化炭化シリコン(silicon oxycarbide)などを用いることができる。また、USG(Undoped Silicate Glass)、BPSG(Boron Phosphorus Silicate Glass)、BSG(Borosilicate Glass)等を用いることができる。USG、BPSG等は、常圧CVD法を用いて形成すればよい。また、例えば、HSQ(水素シルセスキオキサン)等を塗布法を用いて形成してもよい。

40

【0050】

絶縁体584および絶縁体585は単層でもよく、複数の材料を積層して用いてもよい。

【0051】

絶縁体581は複数の層を積層して形成してもよい。例えば図1に示すように、絶縁体

50

5 8 1 は絶縁体 5 8 1 a と、絶縁体 5 8 1 a 上の絶縁体 5 8 1 b の 2 層としてもよい。

【0052】

またプラグ 5 4 3 は、絶縁体 5 7 1 上に凸部を有する。

【0053】

導電体 5 1 1、導電体 5 1 3、導電体 4 1 3、プラグ 5 4 3 等として、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。例えば、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、ニオブ、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を単層構造または積層構造として用いることができる。また、窒化タングステン、窒化モリブデン、窒化チタンなどの金属窒化物を用いることができる。

10

【0054】

ここで、導電体 5 1 1、導電体 5 1 3 等の導電体は半導体装置 5 0 0 の配線として機能することが好ましい。よって、これらの導電体を、配線、あるいは配線層と呼ぶ場合がある。また、これらの導電体間は、プラグ 5 4 3 等のプラグで接続されることが好ましい。

【0055】

ここで本発明の一態様の半導体装置において、層 6 2 8 が有する導電体 5 1 1、導電体 5 1 3、導電体 4 1 3、プラグ 5 4 3 等は 2 層以上の積層構造としてもよい。一例を図 3 (A) に示す。図 3 (A) に示す半導体装置 5 0 0 は、層 6 2 7 乃至層 6 3 1 を有する。図 3 (A) において、層 6 2 7、層 6 3 0 および層 6 3 1 の詳細な記載は省くが、例えば図 1 等の記載を参照することができる。

20

【0056】

図 3 (A) において、一点鎖線で囲まれる領域を図 3 (B) に示す。図 3 (A) が有する層 6 2 8 において、導電体 5 1 1 は、導電体 5 1 1 a と、導電体 5 1 1 a 上に形成される導電体 5 1 1 b と、を有する。同様に、導電体 5 1 3 は、導電体 5 1 3 a と、導電体 5 1 3 a 上に形成される導電体 5 1 3 b とを有し、導電体 4 1 3 は、導電体 4 1 3 a と、導電体 4 1 3 a 上に形成される導電体 4 1 3 b とを有し、プラグ 5 4 3 は、プラグ 5 4 3 a と、プラグ 5 4 3 a 上に形成されるプラグ 5 4 3 b とを有する。

【0057】

導電体 5 1 1 a は絶縁体 5 8 1 に形成される開口部の側面に沿って形成され、導電体 5 1 1 b は導電体 5 1 1 a に覆われる開口部を埋めるように形成されることが好ましい。

30

【0058】

ここで、導電体 5 1 1 a、導電体 4 1 3 a、および導電体 5 1 3 a、およびプラグ 5 4 3 a 等の下層の導電体は、導電体 5 1 1 b 等の上層の導電体が有する元素の透過性が低いことが好ましい。例えば導電体 5 1 3 a は、導電体 5 1 3 b が有する元素が絶縁体 5 8 5 等へ拡散することを抑制することが好ましい。

【0059】

また導電体 5 1 1 a、導電体 4 1 3 a、および導電体 5 1 3 a 等の下層の導電体は、絶縁体 5 8 1 等の、導電体が形成される絶縁体との密着性が高いことが好ましい。

【0060】

一例として、導電体 5 1 1 b 等の上層の導電体が銅を有する場合を考える。銅は抵抗が小さく、プラグや配線等の導電体として用いることが好ましい。一方、銅は拡散しやすく、半導体素子へ拡散することにより半導体素子の特性を低下させる場合がある。導電体 5 1 1 a 等の下層の導電体には、銅の透過性が低い材料としてタンタル、窒化タンタル、窒化チタン等を用いればよく、特にタンタルを用いることがより好ましい。

40

【0061】

また、導電体 5 1 1 a、導電体 4 1 3 a、導電体 5 1 3 a、およびプラグ 5 4 3 a 等の下層の導電体や、プラグは、水素や水の透過性が低いことが好ましく、層 6 2 7 等が有する水素や水が、層 6 2 9 より上層に拡散することを抑制することができる。すなわち、層 6 2 7 等が有する水素や水が、プラグや導電体を介して、層 6 2 9 より上層に拡散することを抑制することができる。よって、例えばトランジスタ 4 9 0 の特性の低下を抑制し、

50

安定した特性を得ることができる。水素の透過性が低い材料として例えば金属窒化物を用いればよく、特に窒化タンタルを用いることがより好ましい。

【0062】

導電体511a、導電体413a、導電体513a、およびプラグ543a等の下層の導電体の膜厚は、好ましくは5nm以上100nm以下、より好ましくは10nm以上70nm以下、さらに好ましくは20nm以上70nm以下である。

【0063】

ここで、導電体511a、導電体413a、導電体513a、およびプラグ543a等の下層の導電体は、例えば水素の透過性が低い材料と、銅の透過性が低い材料と、を積層して形成することが好ましい。例えば、窒化タンタルと、タンタルと、を積層して用いることが好ましい。あるいは、窒化チタンと、タンタルと、を積層して用いることが好ましい。

10

【0064】

また、導電体511a、導電体413a、導電体513a、およびプラグ543a等の下層の導電体として、水素の透過性が低い材料を用いた第1の導電層と、銅の透過性が低い材料を用いた第2の導電層と、の積層で形成する場合を考える。この場合には、第1の導電層の膜厚は、好ましくは5nm以上50nm以下、より好ましくは10nm以上50nm以下、さらに好ましくは10nm以上30nm以下であり、第2の導電層の膜厚は、好ましくは5nm以上50nm以下、より好ましくは10nm以上50nm以下、さらに好ましくは10nm以上40nm以下である。ここで例えば第2の導電層は第1の導電層の上に位置することが好ましい。また、第1の導電層および第2の導電層の上に、第3の導電層を有してもよい。

20

【0065】

ここで、導電体511a、導電体413a、導電体513a、およびプラグ543a等の下層の導電体は、側壁の膜厚と底部の膜厚とが異なってもよい。ここで例えば、側壁の膜厚と底部の膜厚のうち、厚い方の膜厚、またはもっとも膜厚の厚い領域が5nm以上であればよい。例えば、コリメートスパッタリング法を用いて成膜することにより、導電体の被覆性が向上する場合があります。また、コリメートスパッタリング法を用いた場合には、側壁の膜厚と比較して、底部の膜厚が厚くなる場合がある。例えば、底部の膜厚は、側壁の膜厚の1.5倍以上、あるいは2倍以上となる場合がある。

30

【0066】

また、導電体511a、導電体413a、導電体513a、およびプラグ543a等の下層の導電体の膜厚は、5nm未満であってもよい。例えば1nm以上5nm未満が好ましく、2nm以上5nm未満がより好ましい。また、導電体511a、導電体413a、導電体513a、およびプラグ543a等の下層の導電体として、水素の透過性が低い材料を用いた第1の導電層と、銅の透過性が低い材料を用いた第2の導電層と、の積層で形成する場合において、第1の導電層と第2の導電層はそれぞれ5nm未満であってもよく、例えば1nm以上5nm未満が好ましく、2nm以上5nm未満がより好ましい。

【0067】

また、窒化チタン、窒化タンタル、チタン、タンタル等の材料を導電体511a、導電体413a、およびプラグ543a等の下層の導電体として用いることにより、該導電体を設ける絶縁体の開口部への密着性を向上できる場合がある。

40

【0068】

ここで、導電体511a、導電体413a、およびプラグ543a等の下層の導電体を積層膜とする場合に、表面側の層に例えば銅を有する層を形成してもよい。例えば、窒化タンタルと、窒化タンタル上のタンタルと、タンタル上の銅と、の3層の積層としてもよい。導電体511aの表面側の層として銅を有する層を形成することにより、例えば導電体511bとして銅を用いる場合に、導電体511bと導電体511aとの密着性が向上する場合がある。

【0069】

50

絶縁体 5 8 1 は、絶縁体 4 6 4 の記載を参照すればよい。また、絶縁体 5 8 1 は単層でもよく、複数の材料を積層して用いてもよい。ここで、図 1 には絶縁体 5 8 1 を絶縁体 5 8 1 a と、絶縁体 5 8 1 a 上の絶縁体 5 8 1 b との 2 層とする例を示す。絶縁体 5 8 1 a および絶縁体 5 8 1 b に用いることのできる材料や、形成方法についてはそれぞれ、絶縁体 4 6 4 a および絶縁体 4 6 4 b に用いることのできる材料や形成方法の記載を参照することができる。

【 0 0 7 0 】

絶縁体 5 8 1 a の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、半導体装置 5 0 0 が有する半導体素子、例えばトランジスタ 4 9 0 等において、水素が該半導体素子に拡散することにより該半導体素子の特性が低下する場合がある。よって絶縁体 5 8 1 a として水素の脱離量が少ない膜を用いることが好ましい。水素の脱離量は、例えば昇温脱離ガス分析法 (TDS (Thermal Desorption Spectroscopy)) などを用いて分析することができる。絶縁体 5 8 1 a の水素の脱離量は、TDS分析において、50 から 500 の範囲において、水素原子に換算した脱離量が例えば 5×10^{20} atoms/cm³ 以下、好ましくは 1×10^{20} atoms/cm³ 以下である。または、絶縁体 5 8 1 a は、水素原子に換算した脱離量は、絶縁膜の面積あたりで例えば 5×10^{15} atoms/cm² 以下、好ましくは 1×10^{15} atoms/cm² 以下であればよい。

10

【 0 0 7 1 】

また絶縁体 5 8 1 b は、絶縁体 5 8 1 a よりも誘電率が低いことが好ましい。例えば、絶縁体 5 8 1 b の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁体 5 8 1 b の比誘電率は、絶縁体 5 8 1 a の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。

20

【 0 0 7 2 】

絶縁体 5 7 1 は不純物の透過性が低い絶縁性材料を用いて形成することが好ましい。例えば、絶縁体 5 7 1 は酸素の透過性が低いことが好ましい。また例えば、絶縁体 5 7 1 は水素の透過性が低いことが好ましい。また例えば、絶縁体 5 7 1 は水の透過性が低いことが好ましい。

【 0 0 7 3 】

絶縁体 5 7 1 として例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO₃) または (Ba, Sr)TiO₃ (BST)、窒化シリコン等を単層または積層で用いることができる。またはこれらの絶縁体に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タンゲステン、酸化イットリウム、酸化ジルコニウム、酸化ガリウムを添加してもよい。またはこれらの絶縁体を窒化処理して酸化窒化物としてもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。特に、酸化アルミニウムは水や水素に対するバリア性に優れているため好ましい。

30

【 0 0 7 4 】

また、絶縁体 5 7 1 として例えば、炭化シリコン、炭化窒化シリコン、酸化炭化シリコンなどを用いてもよい。

40

【 0 0 7 5 】

絶縁体 5 7 1 は水や水素の透過性が低い材料の層のほかに、他の絶縁材料を含む層を積層させて用いてもよい。例えば、酸化シリコンまたは酸化窒化シリコンを含む層、金属酸化物を含む層などを積層させて用いてもよい。

【 0 0 7 6 】

ここで例えば、半導体装置 5 0 0 が絶縁体 5 7 1 を有することにより、導電体 5 1 3、導電体 4 1 3 等が有する元素が、絶縁体 5 7 1 およびその下層 (絶縁体 5 8 4、絶縁体 5 8 1、層 6 2 7 等) へ拡散することを抑制できる。

【 0 0 7 7 】

50

ここで絶縁体 571 の誘電率が絶縁体 584 よりも高い場合には、絶縁体 571 の膜厚は絶縁体 584 の膜厚よりも小さいことが好ましい。ここで絶縁体 584 の比誘電率は例えば、絶縁体 571 の比誘電率の好ましくは 0.7 倍以下、より好ましくは 0.6 倍以下である。また例えば、絶縁体 571 の膜厚は好ましくは 5 nm 以上 200 nm 以下、より好ましくは 5 nm 以上 60 nm 以下であり、絶縁体 584 の膜厚は好ましくは 30 nm 以上 800 nm 以下、より好ましくは 50 nm 以上 500 nm 以下である。また、例えば絶縁体 571 の膜厚は絶縁体 584 の膜厚の 3 分の 1 以下であることが好ましい。

【0078】

図 4 は半導体装置 500 の構成要素の一部を示す断面図である。図 4 には、絶縁体 464b と、絶縁体 464b に埋め込まれるように形成されるプラグ 541 と、絶縁体 464b 上の絶縁体 581 と、プラグ 541 および絶縁体 464b 上の導電体 511 と、絶縁体 581 上の絶縁体 584 と、絶縁体 584 上の絶縁体 571 と、絶縁体 584 および絶縁体 571 に埋め込まれるように形成され、導電体 511 上に位置するプラグ 543 と、絶縁体 571 上の絶縁体 585 と、プラグ 543 および絶縁体 571 上の導電体 513 と、を示す。ここで図 4 に示す断面において、プラグ 543 の上面のうち、最も高い領域の高さ 641 は、絶縁体 571 の上面のうち、最も高い領域の高さ 642 よりも高いことが好ましい。

10

【0079】

ここで、図 4 に示すように導電体 511、導電体 513 およびプラグ 543 の角は丸みを帯びていてもよい。また、導電体 513 を形成するための開口部は、絶縁体 571 の一部を除去する場合がある。その場合には、図 4 に示す断面において、導電体 513 の底面のうち、最も低い領域の高さ 643 は、高さ 642 よりも低いことが好ましい。

20

【0080】

ここで一例として、絶縁体 464a として窒化シリコン、絶縁体 581a として炭化窒化シリコンを用いる。ここで絶縁体 571a または絶縁体 571 の少なくとも一方に、水素の透過性の低い材料を用いる。この時、導電体 513b として例えば窒化チタンを用いることにより、窒化シリコンや炭化窒化シリコンが有する水素がトランジスタ 490 へ拡散することを抑制できる。

【0081】

<層 629>

層 629 は、トランジスタ 490 と、プラグ 544 およびプラグ 544b 等のプラグと、を有する。プラグ 544 およびプラグ 544b 等のプラグは、層 628 が有する導電体 513 や、トランジスタ 490 が有するゲート電極、ソース電極またはドレイン電極と接続する。

30

【0082】

トランジスタ 490 は、半導体層 406 を有する。半導体層 406 は、半導体材料を有する。半導体材料として例えば、酸化物半導体材料、シリコンやゲルマニウムやガリウムやヒ素などの半導体材料、シリコンやゲルマニウムやガリウムやヒ素やアルミニウムなどを有する化合物半導体材料、または有機半導体材料などが挙げられる。特に、半導体層 406 は酸化物半導体を有することが好ましい。

40

【0083】

図 1 に示すトランジスタ 490 の上面図を図 5(A) に示す。また図 5(A) に示す一点鎖線 E1 - E2 と、一点鎖線 E3 - E4 に対応する断面図を図 5(B) に示す。ここで層 625 は基板であってもよいし、基板上に絶縁体や導電体が形成される構成であってもよい。

【0084】

ここでトランジスタ 490 は、図 1 に示すように導電体 413 と、導電体 413 上の絶縁体 571a と、を有することが好ましい。

【0085】

図 1 に示すトランジスタ 490 において、半導体層 406 は酸化物層 406a、酸化物

50

層 406b、および酸化物層 406c の 3 層で形成されている。トランジスタ 490 は、絶縁体 571a と、絶縁体 571a 上の絶縁体 402 と、絶縁体 402 上の酸化物層 406a と、酸化物層 406a 上の酸化物層 406b と、酸化物層 406b 上の導電体 416a および導電体 416b と、酸化物層 406b の上面および側面と、導電体 416a の上面と、導電体 416b の上面とに接する酸化物層 406c と、酸化物層 406c 上の絶縁体 412 と、絶縁体 412 上の絶縁体 408 と、絶縁体 408 上の絶縁体 591 と、を有する。また、導電体 404 は、導電体 416a と導電体 416b との間の領域（離間する領域）上に、絶縁体 412 を介して形成されることが好ましい。

【0086】

導電体 416a および導電体 416b は、トランジスタ 490 のソース電極またはドレイン電極として機能することが好ましい。導電体 404 は、トランジスタ 490 のゲート電極として機能することが好ましい。また層 628 が有する導電体 413 は、トランジスタ 490 のゲート電極として機能してもよい。また例えば、導電体 404 が第 1 のゲート電極、導電体 413 が第 2 のゲート電極として機能してもよい。

10

【0087】

絶縁体 571a として例えば、絶縁体 571 に示す材料を単層または積層で用いることができる。ここで、トランジスタ 490 が半導体層 406 と導電体 413 との間に電荷捕獲層を有することにより、電荷捕獲層に電荷を捕獲することによりトランジスタ 490 のしきい値を制御することができるため好ましい。よって、絶縁体 571a は電荷捕獲層を有することが好ましい。ここで、本明細書中においてしきい値とは例えば、チャンネルが形成されたときのゲート電圧をいう。しきい値は例えば、ゲート電圧 (V_g) を横軸に、ドレイン電流 I_d の平方根を縦軸にプロットした曲線 ($V_g - I_d$ 特性) において、最大傾きである接線を外挿したときの直線とドレイン電流 I_d の平方根が 0 (I_d が 0 A) との交点におけるゲート電圧 (V_g) として算出することができる。

20

【0088】

電荷捕獲層としては絶縁体 571 に示す材料を用いることができる。また電荷捕獲層として例えば、酸化ハフニウムや窒化シリコンを用いることが好ましい。または、電荷捕獲層として、金属クラスタを有する絶縁膜を用いてもよい。電荷捕獲層に電子を捕獲することによりトランジスタ 490 のしきい値をプラス側にシフトさせることができる場合がある。

30

【0089】

また、絶縁体 571a を、電荷を捕獲しやすい層と、不純物を透過しにくい層と、を積層して用いてもよい。例えば、電荷を捕獲しやすい層として酸化ハフニウムを形成し、その上に不純物を透過しにくい層として酸化アルミニウムを積層してもよい。あるいは、酸化アルミニウム上に酸化ハフニウムを形成してもよい。

【0090】

あるいは、酸化ハフニウム、酸化アルミニウムに加えて、酸化シリコンを用いて 3 層の積層としてもよい。ここで 3 つの層の積層の順番は問わない。

【0091】

また、絶縁体 571a は下層に酸化シリコンを用いることにより、トランジスタ 490 の特性および信頼性が向上する場合があります、好ましい。絶縁体 571a として、例えば下層に酸化シリコンを用い、上層に酸化ハフニウムを用いてもよい。あるいは、下層に酸化シリコンを用い、酸化シリコン上に酸化ハフニウムを用い、酸化ハフニウム上に酸化アルミニウムを用いる 3 層の構成としてもよい。ここで絶縁体 571a および絶縁体 402 として用いる材料の一例を述べる。例えば、絶縁体 571a として酸化シリコンと、酸化シリコン上の酸化ハフニウムとの 2 層を用い、絶縁体 402 として酸化シリコンを用いる構成とすることができる。

40

【0092】

ここで、半導体装置 500 が絶縁体 571 や絶縁体 571a を有することにより、層 627 が有する水素や水等がトランジスタ 490 へ拡散することを抑制できる。また、導電

50

体 5 1 1、導電体 5 1 3、および導電体 4 1 3 等の導電体やプラグ 5 4 3 等のプラグが有する元素が、トランジスタ 4 9 0 へ拡散することを抑制できる。また、導電体 5 1 3 等有する元素が層 6 2 7 へ拡散することを抑制できる。また、半導体装置 5 0 0 が絶縁体 4 0 8 を有することにより、絶縁体 4 0 8 より上方からの不純物、例えば水素や水の拡散を抑制することができる。

【 0 0 9 3 】

例えば、トランジスタ 4 9 0 が酸化物半導体を有する場合、該酸化物半導体への水素の拡散を抑制することによりトランジスタの特性低下を抑制できる場合がある。

【 0 0 9 4 】

ここで、半導体装置 5 0 0 は絶縁体 5 7 1 a を有さない場合があるが、絶縁体 5 7 1 a を有することがより好ましい。

10

【 0 0 9 5 】

導電体 4 1 6 a および導電体 4 1 6 b として例えば、導電体 5 1 1 等に示す材料を用いることができる。

【 0 0 9 6 】

また導電体 4 1 6 a および導電体 4 1 6 b として、例えばタンゲステンやチタンなどの酸素と結合しやすい材料で形成すると、該材料の酸化物が形成されることにより、導電体 4 1 6 a および導電体 4 1 6 b と半導体層 4 0 6 とが接する領域およびその近傍において半導体層 4 0 6 中の酸素欠損が増加する場合がある。なお、酸素欠損に水素が結合すると当該領域のキャリア密度が増加し、抵抗率が小さくなる。

20

【 0 0 9 7 】

また、導電体 4 1 6 a および導電体 4 1 6 b は、その上面に接して形成されるプラグ 5 4 4 b が有する元素の透過性が低い材料を有することが好ましい。

【 0 0 9 8 】

また、導電体 4 1 6 a および導電体 4 1 6 b を積層膜としてもよい。ここで一例として、導電体 4 1 6 a および導電体 4 1 6 b を第 1 の層および第 2 の層の積層とする。ここで酸化物層 4 0 6 b 上に第 1 の層を形成し、第 1 の層上に第 2 の層を形成する。第 1 の層として例えばタンゲスを用い、第 2 の層として例えば窒化タンタルを用いる。ここでプラグ 5 4 4 b 等として例えば銅を用いる。銅は抵抗が小さく、プラグや配線等の導電体として用いることが好ましい。一方、銅は拡散しやすく、トランジスタの半導体層やゲート絶縁膜等へ拡散することによりトランジスタ特性を低下させる場合がある。ここで導電体 4 1 6 a および導電体 4 1 6 b が窒化タンタルを有することにより、プラグ 5 4 4 b 等有する銅が酸化物層 4 0 6 b へ拡散することを抑制できる場合がある。

30

【 0 0 9 9 】

本発明の一態様の半導体装置 5 0 0 は、プラグや配線等が半導体素子の特性低下を招く元素および化合物を有する場合に、該元素や化合物が半導体素子へ拡散することを抑制する構造を有することが好ましい。

【 0 1 0 0 】

絶縁体 4 0 8 として、絶縁体 5 7 1 に示す材料を用いることができる。また後述するように、絶縁体 4 0 8 の成膜時に、絶縁体 4 0 8 と下層の膜との界面、およびその近傍に過剰酸素が供給されることが好ましい。

40

【 0 1 0 1 】

また、絶縁体 5 7 1、絶縁体 5 7 1 a および絶縁体 4 0 8 として酸素の透過性が低い材料を用いることにより、トランジスタ 4 9 0 から酸素が外方へ拡散すること（例えば絶縁体 5 7 1 より下層や絶縁体 4 0 8 より上層へ拡散すること）を抑制することができる。よって、トランジスタ 4 9 0 へ効率的に酸素を供給できる場合がある。例えば、トランジスタ 4 9 0 が酸化物半導体を有する場合、該酸化物半導体に酸素を供給しやすくすることによりトランジスタの特性を向上できる場合がある。

【 0 1 0 2 】

< 層 6 3 0 >

50

層 6 3 0 は、絶縁体 5 9 2 と、導電体 5 1 4 等の導電体と、プラグ 5 4 5 等のプラグと、を有する。プラグ 5 4 5 等は、導電体 5 1 4 等の導電体と接続する。

【 0 1 0 3 】

< 層 6 3 1 >

層 6 3 1 は、容量素子 1 5 0 と、を有する。容量素子 1 5 0 は、導電体 5 1 6 と、導電体 5 1 7 と、絶縁体 5 7 2 と、を有する。絶縁体 5 7 2 は、導電体 5 1 6 と導電体 5 1 7 で挟まれる領域を有する。また、層 6 3 1 は、絶縁体 5 9 4 と、導電体 5 1 7 上のプラグ 5 4 7 を有することが好ましい。プラグ 5 4 7 は絶縁体 5 9 4 に埋め込まれるように形成されることが好ましい。また、層 6 3 1 は、層 6 3 0 が有するプラグに接続する導電体 5 1 6 b と、導電体 5 1 6 b 上のプラグ 5 4 7 b を有することが好ましい。

10

【 0 1 0 4 】

また層 6 3 1 は、プラグ 5 4 7 やプラグ 5 4 7 b に接続する、配線層を有してもよい。図 1 に示す例では、配線層はプラグ 5 4 7 やプラグ 5 4 7 b に接続する導電体 5 1 8 等と、導電体 5 1 8 上のプラグ 5 4 8 と、絶縁体 5 9 5 と、プラグ 5 4 8 上の導電体 5 1 9 と、導電体 5 1 9 上の絶縁体 5 9 9 とを有する。プラグ 5 4 8 は絶縁体 5 9 5 に埋め込まれるように形成されることが好ましい。また、絶縁体 5 9 9 は、導電体 5 1 9 上に開口部を有する。

【 0 1 0 5 】

< トランジスタ 4 9 0 >

図 1 に示すトランジスタ 4 9 0 の上面図を図 5 (A) に示す。また図 5 (A) に示す一点鎖線 E 1 - E 2 と、一点鎖線 E 3 - E 4 に対応する断面図を図 5 (B) に示す。

20

【 0 1 0 6 】

図 5 (B) に示すように、導電体 4 0 4 の電界によって、酸化物層 4 0 6 b を電気的に取り囲むことができる (導電体の電界によって、半導体を電気的に取り囲むトランジスタの構造を、surrounded channel (s - channel) 構造とよぶ。) 。そのため、酸化物層 4 0 6 b の全体 (バルク) にチャンネルが形成される場合がある。s - channel 構造では、トランジスタのソース - ドレイン間に大電流を流すことができ、導通時の電流 (オン電流) を高くすることができる。

【 0 1 0 7 】

高いオン電流が得られるため、s - channel 構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する装置は、集積度の高い、高密度化された装置とすることが可能となる。例えば、トランジスタは、チャンネル長が好ましくは 4 0 nm 以下、より好ましくは 3 0 nm 以下、さらに好ましくは 2 0 nm 以下の領域を有し、かつ、トランジスタは、チャンネル幅が好ましくは 4 0 nm 以下、より好ましくは 3 0 nm 以下、さらに好ましくは 2 0 nm 以下の領域を有する。

30

【 0 1 0 8 】

ここで、トランジスタ 4 9 0 として図 5 に示す構成に代えて、図 6 乃至図 7 に示す構成を用いてもよい。

【 0 1 0 9 】

図 6 に示すトランジスタ 4 9 0 は、酸化物層 4 0 6 c、絶縁体 4 1 2 および導電体 4 0 4、絶縁体 4 0 8 の構造が図 5 と異なる。図 6 (A) はトランジスタ 4 9 0 の上面図を示す。また図 6 (A) に示す一点鎖線 E 1 - E 2 と、一点鎖線 E 3 - E 4 に対応する断面図を図 6 (B) に示す。図 6 (B) に示すトランジスタ 4 9 0 は、層 6 2 5 と、層 6 2 5 上の絶縁体 4 0 2 と、絶縁体 4 0 2 上の酸化物層 4 0 6 a と、酸化物層 4 0 6 a 上の酸化物層 4 0 6 b と、酸化物層 4 0 6 b 上の導電体 4 1 6 a および導電体 4 1 6 b と、酸化物層 4 0 6 b の上面に接する酸化物層 4 0 6 c と、酸化物層 4 0 6 c 上の絶縁体 4 1 2 と、絶縁体 4 1 2 上の導電体 4 0 4 と、導電体 4 1 6 a および導電体 4 1 6 b 上の絶縁体 5 9 1 と、絶縁体 5 9 1 および導電体 4 0 4 上の絶縁体 4 0 8 と、を有する。

40

【 0 1 1 0 】

図 6 (B) に示すように、絶縁体 4 1 2 は酸化物層 4 0 6 c 上に積層されることが好ま

50

しく、酸化物層 406c および絶縁体 412 は絶縁体 591 の開口部の側面に形成されることが好ましい。また、導電体 404 は、酸化物層 406c および絶縁体 412 に覆われた開口部を埋めるように形成されることが好ましい。また、導電体 404 は、導電体 416a と導電体 416b との間の領域（離間する領域）上に、絶縁体 412 を介して形成されることが好ましい。

【0111】

図 7 に示すトランジスタ 490 は、酸化物層 406c、絶縁体 412 および導電体 404 の構造が図 6 と異なる。図 7 (A) はトランジスタ 490 の上面図を示す。また図 7 (A) に示す一点鎖線 E1 - E2 と、一点鎖線 E3 - E4 に対応する断面図を図 7 (B) に示す。図 7 (B) に示すトランジスタ 490 において、絶縁体 412 は酸化物層 406c 上に積層される。また、酸化物層 406c は絶縁体 591 の開口部の側面と、絶縁体 591 の上面と、に接して形成される。絶縁体 412 は酸化物層 406c 上に形成される。導電体 404 は、酸化物層 406c および絶縁体 412 に覆われた開口部を埋めるように形成される。また、導電体 404 は、酸化物層 406c および絶縁体 412 を介して絶縁体 591 の上面の上に形成される。絶縁体 408 は、導電体 404 の上面に接して設けられる。また絶縁体 408 は、導電体 404 の側面の少なくとも一部に接することが好ましい。

10

【0112】

<トランジスタ 490 の変形例>

図 38 (A) はトランジスタ 490 の上面図である。図 38 (B) には、図 38 (A) に示す一点鎖線 C1 - C2 と、一点鎖線 C3 - C4 とにそれぞれ対応する断面を示す。

20

【0113】

図 38 (B) に示すトランジスタ 490 は、絶縁体 402 と、絶縁体 402 上の酸化物層 406a と、酸化物層 406a 上の酸化物層 406b と、酸化物層 406a の側面、ならびに酸化物層 406b の上面および側面と接する、導電体 416a および導電体 416b と、酸化物層 406a の側面、酸化物層 406b の上面および側面、導電体 416a の上面および側面、ならびに導電体 416b の上面および側面と接する酸化物層 406c と、酸化物層 406c 上の絶縁体 412 と、絶縁体 412 上の導電体 404 と、を有する。

【0114】

図 39 (A) はトランジスタ 490 の上面図である。図 39 (B) は、図 39 (A) に示す一点鎖線 G1 - G2、および一点鎖線 G3 - G4 に対応する断面図である。

30

【0115】

図 39 (A) および図 39 (B) に示すトランジスタ 490 は、絶縁体 402 と、絶縁体 402 の凸部上の酸化物層 406a と、酸化物層 406a 上の酸化物層 406b と、酸化物層 406b 上の酸化物層 406c と、酸化物層 406a、酸化物層 406b および酸化物層 406c と接し、間隔を開けて配置された導電体 416a および導電体 416b と、酸化物層 406c 上、導電体 416a 上および導電体 416b 上の絶縁体 412 と、絶縁体 412 上の導電体 404 と、導電体 416a 上、導電体 416b 上、絶縁体 412 上および導電体 404 上の絶縁体 408 と、を有する。

【0116】

なお、絶縁体 412 は、G3 - G4 断面において、少なくとも酸化物層 406b の側面と接する。また、導電体 404 は、G3 - G4 断面において、少なくとも絶縁体 412 を介して酸化物層 406b の上面および側面と面する。

40

【0117】

また、図 40 (A) に示すように、酸化物層 406c の端部と絶縁体 412 の端部とが揃わない構成としてもよい。また、図 40 (B) に示すように、導電体 404 の端部と、酸化物層 406c の端部および絶縁体 412 の端部とが概略揃う構成としてもよい。

【0118】

図 41 (A) は、トランジスタ 490 の上面図の一例である。図 41 (A) の一点鎖線 F1 - F2 および一点鎖線 F3 - F4 に対応する断面図の一例を図 41 (B) に示す。な

50

お、図 4 1 (A) では、理解を容易にするため、絶縁体などの一部を省略して示す。

【 0 1 1 9 】

図 4 1 に示すトランジスタ 4 9 0 は、導電体 4 1 6 a および導電体 4 1 6 b を有さず、導電体 4 2 6 a および導電体 4 2 6 b と、酸化物層 4 0 6 b とが接する。この場合、酸化物層 4 0 6 b または / および酸化物層 4 0 6 a の、少なくとも導電体 4 2 6 a および導電体 4 2 6 b と接する領域に低抵抗領域 4 2 3 a (低抵抗領域 4 2 3 b) を設けると好ましい。低抵抗領域 4 2 3 a および低抵抗領域 4 2 3 b は、例えば、導電体 4 0 4 などをマスクとし、酸化物層 4 0 6 b または / および酸化物層 4 0 6 a に不純物を添加することで形成すればよい。なお、導電体 4 2 6 a および導電体 4 2 6 b が、酸化物層 4 0 6 b の孔 (貫通しているもの) または窪み (貫通していないもの) に設けられていても構わない。導電体 4 2 6 a および導電体 4 2 6 b が、酸化物層 4 0 6 b の孔または窪みに設けられることで、導電体 4 2 6 a および導電体 4 2 6 b と、酸化物層 4 0 6 b との接触面積が大きくなるため、接触抵抗の影響を小さくすることができる。即ち、トランジスタのオン電流を大きくすることができる。

10

【 0 1 2 0 】

図 4 2 (A) および図 4 2 (B) は、本発明の一態様のトランジスタ 4 9 0 の上面図および断面図である。図 4 2 (A) は上面図であり、図 4 2 (B) は、図 4 2 (A) に示す一点鎖線 I 1 - I 2、および一点鎖線 I 3 - I 4 に対応する断面図である。なお、図 4 2 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【 0 1 2 1 】

図 4 2 (A) および図 4 2 (B) に示すトランジスタ 4 9 0 は、層 6 2 5 上の導電体 6 1 4 と、導電体 6 1 4 上の絶縁体 6 1 2 と、絶縁体 6 1 2 上の酸化物層 6 0 6 a と、酸化物層 6 0 6 a 上の酸化物層 6 0 6 b と、酸化物層 6 0 6 b 上の酸化物層 6 0 6 c と、酸化物層 6 0 6 a、酸化物層 6 0 6 b および酸化物層 6 0 6 c と接し、間隔を開けて配置された導電体 6 1 6 a および導電体 6 1 6 b と、酸化物層 6 0 6 c 上、導電体 6 1 6 a 上および導電体 6 1 6 b 上の絶縁体 6 1 8 と、を有する。なお、導電体 6 1 4 は、絶縁体 6 1 2 を介して酸化物層 6 0 6 b の下面と面する。また、絶縁体 6 1 2 が凸部を有しても構わない。なお、酸化物層 6 0 6 a を有さなくても構わない。また、絶縁体 6 1 8 を有さなくても構わない。

20

【 0 1 2 2 】

なお、酸化物層 6 0 6 b は、トランジスタ 4 9 0 のチャネル形成領域としての機能を有する。また、導電体 6 1 4 は、トランジスタ 4 9 0 の第 1 のゲート電極 (フロントゲート電極ともいう。) としての機能を有する。また、導電体 6 1 6 a および導電体 6 1 6 b は、トランジスタ 4 9 0 のソース電極およびドレイン電極としての機能を有する。

30

【 0 1 2 3 】

なお、絶縁体 6 1 8 は過剰酸素を含む絶縁体であると好ましい。

【 0 1 2 4 】

なお、導電体 6 1 4 は、導電体 4 0 4 についての記載を参照する。また、絶縁体 6 1 2 は、絶縁体 4 1 2 についての記載を参照する。また、酸化物層 6 0 6 a は、酸化物層 4 0 6 a についての記載を参照する。また、酸化物層 6 0 6 b は、酸化物層 4 0 6 b についての記載を参照する。また、酸化物層 6 0 6 c は、酸化物層 4 0 6 c についての記載を参照する。また、導電体 6 1 6 a および導電体 6 1 6 b は、導電体 4 1 6 a および導電体 4 1 6 b についての記載を参照する。また、絶縁体 6 1 8 は、絶縁体 4 0 2 についての記載を参照する。

40

【 0 1 2 5 】

したがって、図 4 2 に示すトランジスタ 4 9 0 は、図 5 に示したトランジスタ 4 9 0 と一部の構造が異なるのみとみなせる場合がある。具体的には、図 5 に示したトランジスタ 4 9 0 の導電体 4 0 4 を有さない構造と類似する。したがって、図 4 2 に示すトランジスタ 4 9 0 は、図 5 に示したトランジスタ 4 9 0 についての説明を適宜参照することができる。

50

【0126】

なお、トランジスタ490は、絶縁体618を介して酸化物層606bと重なる導電体を有してもよい。該導電体は、トランジスタ490の第2のゲート電極として機能する。該導電体は、導電体413についての記載を参照する。また、該第2のゲート電極によってs-channel構造を形成していても構わない。

【0127】

なお、絶縁体618上には、表示素子が設けられていてもよい。例えば、画素電極、液晶層、共通電極、発光層、有機EL層、陽極、陰極などが設けられていてもよい。表示素子は、例えば、導電体616aなどと接続されている。

【0128】

なお、酸化物層の上に、チャンネル保護膜として機能させることができる絶縁体を配置してもよい。または、図43に示すように、導電体616aおよび導電体616bと、酸化物層606cとの間に、絶縁体619を配置してもよい。その場合、導電体616a(導電体616b)と酸化物層606cとは、絶縁体619中の開口部を介して接続される。絶縁体619は、絶縁体618についての記載を参照すればよい。

10

【0129】

なお、図42(B)や図43(B)において、絶縁体618の上に、導電体613を配置してもよい。その場合の例を図44(A)および図44(B)に示す。なお、導電体613については、導電体413についての記載を参照する。また、導電体613には、導電体614と同じ電位や同じ信号が供給されてもよいし、異なる電位や信号が供給されてもよい。例えば、導電体613に、一定の電位を供給して、トランジスタ490のしきい値電圧を制御してもよい。つまり、導電体613は、第2のゲート電極としての機能を有することができる。

20

【0130】

<トランジスタ491>

次に、トランジスタ491乃至トランジスタ493について説明する。

【0131】

トランジスタ491は、チャンネル形成領域407と、基板400上の絶縁体462と、絶縁体462上の導電体454と、導電体454の側面に接する絶縁膜470と、基板400中に位置し、導電体454および絶縁膜470と重ならない領域である領域476と、絶縁膜470と重なる領域である領域474と、を有する。領域476は低抵抗層であり、トランジスタ491のソース領域またはドレイン領域として機能することが好ましい。また、領域474はLDD(ライトドープドレイン)領域として機能することが好ましい。

30

【0132】

トランジスタ491は、pチャンネル型、nチャンネル型のいずれでもよいが、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0133】

基板400は、例えばシリコン系半導体などの半導体を有することが好ましく、単結晶シリコンを有することが好ましい。または、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ素)、GaAlAs(ガリウムアルミニウムヒ素)などを有してもよい。また、結晶格子に歪みを有するシリコンを用いた構成としてもよい。またはGaAsとAlGaAs等を用いることで、トランジスタ491をHEMT(High Electron Mobility Transistor)としてもよい。

40

【0134】

領域476は、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含むことが好ましい。

【0135】

導電体454は、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の

50

導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンをを用いることが好ましい。

【0136】

図1及び図2に示すトランジスタ491は、トレンチ分離法(STI法: Shallow Trench Isolation)等を用いて素子分離する例を示す。具体的に、図1では、エッチング等により基板400に形成されたトレンチに、酸化珪素などが含まれる絶縁物を埋め込んだ後、当該絶縁物をエッチング等により部分的に除去することで形成される素子分離領域460により、トランジスタ491を素子分離させる場合を例示している。

10

【0137】

また、トレンチ以外の領域に存在する基板400の凸部には、トランジスタ491の領域476及び領域474と、チャンネル形成領域407とが設けられている。さらに、トランジスタ491は、チャンネル形成領域407を覆う絶縁体462と、絶縁体462を間に挟んでチャンネル形成領域407と重なる導電体454とを有する。

【0138】

トランジスタ491では、チャンネル形成領域407における凸部の側部及び上部と、導電体454とが絶縁体462を間に挟んで重なることで、チャンネル形成領域407の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、トランジスタ491の基板上における専有面積を小さく抑えつつ、トランジスタ491におけるキャリアの移動量を増加させることができる。その結果、トランジスタ491は、オン電流が大きくなると共に、電界効果移動度が高められる。特に、チャンネル形成領域407における凸部のチャンネル幅方向の長さ(チャンネル幅)をW、チャンネル形成領域407における凸部の膜厚をTとすると、チャンネル幅Wに対する膜厚Tの比(T/W)に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ491のオン電流をより大きくすることができ、電界効果移動度もより高められる。

20

【0139】

なお、バルクの半導体基板を用いたトランジスタ491の場合、アスペクト比は0.5以上であることが望ましく、1以上であることがより望ましい。

30

【0140】

また、トランジスタ491は図34(A)に示すように、基板400に凸部を設けなくともよい。また、トランジスタ491は図34(B)に示すように、SOI(Silicon On Insulator)基板を用いて形成してもよい。

【0141】

トランジスタ492およびトランジスタ493については、トランジスタ491の記載を参照すればよい。

【0142】

[半導体装置の変形例]

次に、半導体装置500の図1と異なる構造の例を示す。

40

【0143】

図8は半導体装置500の断面を示す。図8に示す半導体装置500は層627乃至層631を有する。ここで簡略化のため、層630および層631の詳細は省略する。ここで図1に示す半導体装置500と比較して、図8では層628の構造が異なる。

【0144】

図1に示す層628は、プラグ543上に導電体513を有する。導電体513は例えば配線等として機能する。一方、図8に示す導電体613は、プラグ543と導電体513とを兼ねる役割を有する。あるいは導電体613は、プラグ543と導電体513が一体化した構造を有する。ここで半導体装置500が有する導電体511は、図4や図8に例示する通り、導電体511の下面の高さは、絶縁体464bの上面の高さよりも低くて

50

もよい。

【0145】

また導電体613等の導電体は複数の導電体の積層でもよい。例えば、導電体613aおよび導電体613bの積層としてもよい。図9(A)は、図8において導電体613を導電体613aおよび導電体613bの積層とする例を示す。図9(A)において、一点鎖線で囲まれる領域を図9(B)に示す。

【0146】

導電体613、導電体613aおよび導電体613bとして用いることのできる材料はそれぞれ、導電体513、導電体513aおよび導電体513bを参照することができる。

10

【0147】

また導電体513、プラグ543、導電体613等の導電体やプラグは、丸みを帯びた形状を有してもよい。図10は、図9(B)に示す断面において導電体613等の角が丸みを帯びる例を示す。

【0148】

また、図11に示すように、半導体装置500は絶縁体581上に絶縁体571を有し、絶縁体571上に絶縁体584を有する構成としてもよい。

【0149】

また、図12に示すように、半導体装置500は絶縁体581上に絶縁体571bを有し、絶縁体571b上に絶縁体584を有し、絶縁体584上に絶縁体571を有してもよい。ここで絶縁体571bについては、絶縁体571の記載を参照する。

20

【0150】

絶縁体571bの誘電率が絶縁体584よりも高い場合には、絶縁体571bの膜厚は絶縁体584の膜厚よりも小さいことが好ましい。例えば、絶縁体571bの膜厚は好ましくは5nm以上200nm以下、より好ましくは5nm以上60nm以下であり、絶縁体584の膜厚は好ましくは30nm以上800nm以下、より好ましくは50nm以上500nm以下である。また、例えば絶縁体571bの膜厚は絶縁体584の膜厚の3分の1以下であることが好ましい。

【0151】

次に、半導体装置500が有するトランジスタ490として図6に示す構成を用いる例を、図13に示す。

30

【0152】

図13に示す半導体装置500は、層627乃至層631を有する。ここで層627および層631の詳細は省略する。また層628については、図9等の記載を参照することができる。

【0153】

図1等に示す例では層629において、トランジスタ490上に絶縁体408を有し、絶縁体408上に絶縁体591を有する。また絶縁体591の上面は平坦化されている。一方、図13においてはトランジスタ490の少なくとも一部を覆う絶縁体591を有し、上面が平坦化された絶縁体591上に絶縁体408を有する。

40

【0154】

また図13に示す半導体装置500は、絶縁体408上に層630を有する。層630は絶縁体408上に絶縁体592を有する。絶縁体592は絶縁体592aと、絶縁体592a上の絶縁体592bと、絶縁体592b上の絶縁体592cと、を有する。また図13において、プラグ544およびプラグ544bは、絶縁体408上に凸部を有し、導電体514等は、該凸部の上部や側部に位置することが好ましい。また導電体514等は、プラグ544およびプラグ544bを埋めるように形成されることが好ましい。導電体514等の上には、プラグ544cを埋めるように層631の導電体等に接続するプラグが形成されている。

【0155】

50

ここで図13に示す半導体装置500は、トランジスタ490が有する導電体404上に接してプラグ544cを有する。またプラグ544cは絶縁体408上に凸部を有し、該凸部の上部や側部に導電体を有する。

【0156】

ここで、絶縁体408を平坦化された被形成面上に形成することにより、例えば、絶縁体408の被覆性が向上し、水素透過性をより低くできる場合があるため好ましい。また、絶縁体408のブロック能力が向上するため絶縁体408を薄くできる場合がある。

【0157】

<容量素子>

図14は、図13に示すトランジスタ490に隣接して容量素子150を設け、絶縁体591の開口部に形成する導電体404bを容量素子150の一方の電極に用い、絶縁体408を容量素子150の誘電体に、絶縁体408上の導電体を容量素子150の他方の電極に用いる例を示す。ここで導電体404bは、導電体404と同じ工程で作製することができる。

10

【0158】

また、図1に示す容量素子150に置き換えて、図15(A)乃至(C)に示す構造を用いることができる。

【0159】

図15(A)に示す容量素子150は、絶縁体592と、導電体514と、プラグ545と、また、絶縁体592およびプラグ545上の導電体516と、導電体516上の絶縁体572と、絶縁体572上の導電体517と、を有する。絶縁体592、導電体514、およびプラグ545については図1の説明を参照すればよい。また、導電体517は、図15に示すように導電体517aおよび導電体517bの2層で成膜してもよい。導電体517aおよび導電体517bは、例えば導電体511aおよび導電体511bを参照すればよい。

20

【0160】

図15(A)に示す容量素子150において、導電体516は、絶縁体593の凹部内に形成される。導電体516上および絶縁体593上に絶縁体572および導電体517aとなる膜を成膜し、その後凹部を埋めるように導電体517bとなる膜を成膜し、その後、マスクを用いて導電体517b、導電体517a、および絶縁体572を形成する。

30

【0161】

図15(B)は、図15(A)に示す容量素子150と比較して、導電体516とプラグ545との間に、導電体515を有する点異なる。

【0162】

また、図15(C)に示すように、導電体516等は、絶縁体592の凹部に形成されてもよい。図15(C)において絶縁体592は、導電体516の底部と、側部の一部に接する。また、絶縁体593は、導電体516の側部に接する。また図15(C)に示すように絶縁体592と絶縁体593との間に、絶縁体581cを有してもよい。絶縁体581cは、例えば絶縁体581a等を参照すればよい。

【0163】

40

[半導体装置の作製方法]

次に、本発明の一態様の半導体装置の作製方法について、図16乃至図26を用いて説明する。

【0164】

図1に示す半導体装置500の作製方法について、図16乃至図19を用いて説明する。ここでは層628乃至層630の作製方法について説明する。

【0165】

層627上に絶縁体581を成膜する。その後、絶縁体581上にマスク207を形成する(図16(A)参照)。マスク207は、例えばレジストを用いてリソグラフィ法により作製してもよい。また、無機膜または金属膜からなるハードマスクを形成してもよい

50

。

【0166】

次に、マスク207を用いて絶縁体581の一部をエッチングし、開口部を形成する(図16(B)参照)。次に、マスク207を除去し、その後、該開口部内および絶縁体581上に導電体511dを成膜する(図16(C)参照)。

【0167】

次に、導電体511dの表面を平坦化して除去することにより、絶縁体581を露出し、導電体511等の導電体を形成する(図16(D)参照)。導電体511dの除去には、例えば化学的機械研磨(Chemical Mechanical Polishing: CMP)法などの研磨法を用いることが好ましい。あるいは、ドライエッチングを用いてもよい。例えば、エッチバックなどの手法を用いればよい。CMP法などの研磨法を用いる場合には、導電体511dの研磨速度は、試料の面内で分布を有する場合がある。この場合に、研磨速度が速い箇所においては、絶縁体581の露出時間が長くなる場合がある。導電体511dの研磨速度と比較して絶縁体581の研磨速度は遅いことが好ましい。絶縁体581の研磨速度が遅いことにより、導電体511dの研磨工程において、絶縁体581は、研磨のストッパー膜としての役割を果たすことができる。また、絶縁体581の表面の平坦性を高めることができる。

10

【0168】

ここで、CMP法とは、被加工物の表面を化学的・機械的な複合作用により、平坦化する手法である。一般的に研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー(研磨剤)を供給しながら研磨ステージと被加工物とを各々回転または揺動させて、スラリーと被加工物表面との間での化学反応と、研磨布と被加工物との機械的研磨の作用により、被加工物の表面を研磨する方法である。

20

【0169】

CMP法において、研磨布としては、例えば発砲ポリウレタン、不織布、スウェード等を用いることができる。また、砥粒としては、例えばシリカ(酸化シリコン)や、酸化セリウム、酸化マンガ、酸化アルミニウム等を用いることができる。また、シリカとして例えばフュームドシリカや、コロイダルシリカを用いることができる。

【0170】

CMP法に用いるスラリーは、被加工物の除去しやすさや、スラリー溶液の安定性の観点で、pHの調整を行う場合がある。例えば、酸性のスラリーを用いる場合には、ストッパー膜となる絶縁体581は酸に対する耐性が高いことが好ましい。また、アルカリ性スラリーを用いる場合には、絶縁体581はアルカリに対する耐性が高いことが好ましい。

30

【0171】

また、スラリーに酸化剤として、例えば過酸化水素などを用いてもよい。

【0172】

ここで一例として、導電体511dがタングステンを有し、絶縁体581が酸化シリコンを有する場合について説明する。スラリーとしては、例えば砥粒にフュームドシリカや、コロイダルシリカを用いることが好ましい。また、例えば酸性のスラリーを用いることが好ましく、例えば酸化剤として過酸化水素水を用いることが好ましい。

40

【0173】

次に、絶縁体581および導電体511上に絶縁体584を成膜し、絶縁体584上に絶縁体571を成膜し、絶縁体571上に絶縁体585aを成膜する(図16(E)参照)。なお、図16乃至図19に示す例では、絶縁体585を絶縁体585aと絶縁体585bの積層とする。ここで、絶縁体585aおよび絶縁体585bとして、同じ材料を用いてもよいし、異なる材料を用いてもよい。

【0174】

絶縁体571は、スパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法、またはPLD法などにより形成することができる

50

。ここでは一例として、絶縁体 571 としてスパッタリング法を用いて酸化アルミニウムを形成する。

【0175】

次に、絶縁体 585 a 上にマスクを形成し、絶縁体 585 a、絶縁体 571 および絶縁体 584 に開口部を形成する（図 17 (A) 参照。）。その後、マスクを除去した後、該開口部と絶縁体 585 a 上に導電体を成膜し、該導電体の表面を平坦化するように除去し、プラグ 543 等のプラグを形成する（図 17 (B) 参照。）。ここで一例として、プラグ 543 等としてタングステンを有する層を用い、絶縁体 585 a として酸化シリコンを有する層を用いることにより、CMP 法を用いてプラグ 543 となる導電体を除去する際に、絶縁体 585 a のエッチング速度を小さく抑えることができる場合がある。よって、絶縁体 585 a の表面の平坦性を向上できる場合がある。また、プラグ 543 等のプラグの高さのばらつきを小さくすることができる場合がある。

10

【0176】

次に、絶縁体 585 a およびプラグ 543 上に絶縁体 585 b を成膜し、絶縁体 585 を形成する（図 17 (C) 参照。）。その後、絶縁体 585 上にマスクを形成し、該マスクを用いて絶縁体 585 に開口部を形成する（図 17 (D) 参照。）。ここで例えば絶縁体 585 に開口部を形成する際に、ドライエッチングやウェットエッチング等を用いることができる。ここで開口部の形成の際に、絶縁体 585 のエッチング速度と比較してプラグ 543 のエッチング速度が遅い場合には、図 17 (D) に示すように、プラグ 543 等のプラグは、開口部内に凸部を形成する。

20

【0177】

次に、マスクを除去した後、絶縁体 585 の開口部内および絶縁体 585 上に導電体を成膜し、該導電体の表面を平坦化するように除去し、導電体 513 や導電体 413 等の導電体を形成する。その後、絶縁体 571 a を成膜する（図 18 (A) 参照。）。絶縁体 571 a の成膜方法は絶縁体 571 を参照すればよい。

【0178】

次に、絶縁体 571 a 上にトランジスタ 490 を形成する。まず、絶縁体 402 を成膜する。次に、酸化物層 406 a となる第 1 の酸化物を成膜し、第 1 の酸化物上に酸化物層 406 b となる第 2 の酸化物を成膜し、その後、導電体 416 a 等となる第 1 の導電体を成膜する。その後、第 1 の導電体をハードマスクとして用いて第 1 の酸化物および第 2 の酸化物を加工し、酸化物層 406 a および酸化物層 406 b を形成する。加工には例えばドライエッチング等を用いればよい。

30

【0179】

次に、第 1 の導電体を加工し、導電体 416 a および導電体 416 b を形成する。その後、酸化物層 406 c および絶縁体 412 を形成する。その後、導電体 404 を形成し、トランジスタ 490 を作製する。

【0180】

ここで絶縁体 402 は、過剰酸素を含ませるように成膜すればよい。または、絶縁体 402 の成膜後に酸素を添加しても構わない。酸素の添加は、例えば、イオン注入法により、加速電圧を 2 kV 以上 100 kV 以下とし、ドーズ量を 5×10^{14} ions/cm² 以上 5×10^{16} ions/cm² 以下として行えばよい。

40

【0181】

また、酸化物層 406 a となる第 1 の酸化物を成膜後に酸素を添加してもよい。

【0182】

ここで、酸化物層 406 b となる第 2 の酸化物を成膜後に加熱処理を行ってもよい。加熱処理は、250 以上 650 以下、好ましくは 300 以上 500 以下、より好ましくは 350 以上 450 以下で行えばよい。加熱処理は、不活性ガス雰囲気、または酸化性ガスを 10 ppm 以上、1% 以上もしくは 10% 以上含む雰囲気で行う。加熱処理は減圧状態で行ってもよい。または、加熱処理は、不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上、1% 以上または 10% 以上含

50

む雰囲気加熱処理を行ってもよい。加熱処理によって、酸化物層406a、および酸化物層406bの結晶性を高めることや、水素や水などの不純物を除去することなどができる。ここで加熱処理の際に、絶縁体402より下層の材料から水素や水が脱離し、酸化物層406bまで拡散する場合がある。

【0183】

酸化物層406a、酸化物層406bおよび酸化物層406cとなる膜の成膜には例えばスパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いることができる。なお、酸化物層406a、酸化物層406bおよび酸化物層406cとなる膜として、In-Ga-Zn酸化物層をMOCVD法によって成膜する場合、原料ガスとしてトリメチルインジウム、トリメチルガリウムおよびジメチル亜鉛などを用いればよい。なお、上記原料ガスの組み合わせに限定されず、トリメチルインジウムに代えてトリエチルインジウムなどを用いてもよい。また、トリメチルガリウムに代えてトリエチルガリウムなどを用いてもよい。また、ジメチル亜鉛に代えてジエチル亜鉛などを用いてもよい。また酸化物層406a、酸化物層406bおよび酸化物層406cのドライエッチングのガスとして、例えばメタン(CH₄)とアルゴン(Ar)の混合ガス等をもちいることができる。

10

【0184】

次に、トランジスタ490上に絶縁体408を成膜する(図18(B)参照。)。絶縁体408の作製方法は、絶縁体571を参照することができる。ここで図18(B)において一点鎖線で囲んだ領域の拡大図を図18(C)に示す。

20

【0185】

ここで例えばスパッタリング法により絶縁体408を形成すると、絶縁体408と絶縁体408の被形成面の界面およびその近傍に、両者が混ざり合う混合層が形成されるため好ましい。具体的には、絶縁体408と絶縁体402や、絶縁体408と絶縁体412の界面およびその近傍に、混合層145が形成される。

【0186】

ここで本実施の形態では、絶縁体408として、スパッタリング法により酸化アルミニウムを形成する。また、スパッタリングガスとして酸素を含むガスを用いる。

【0187】

混合層145には、スパッタリングガスの一部が含まれる。本実施の形態ではスパッタリングガスとして酸素を含むガスを用いるため、混合層145に酸素が含まれる。よって、混合層145は、過剰酸素を有する。

30

【0188】

次に、加熱処理を行う。加熱処理は、好ましくは200 以上500 以下、より好ましくは300 以上450 以下、さらに好ましくは350 以上400 以下で行えばよい。

【0189】

加熱処理により、混合層145に含まれる酸素が拡散する。ここで混合層145に含まれる過剰酸素は、絶縁体402および絶縁体412等を介して酸化物層406a、酸化物層406b、および酸化物層406cに拡散する。絶縁体408、絶縁体571および絶縁体571aとして酸素を透過しにくい材料を用いることで、混合層145に含まれる過剰酸素を、絶縁体402および絶縁体412等を介して酸化物層406a、酸化物層406b、および酸化物層406cに効果的に拡散させることができる。混合層145に含まれる過剰酸素が拡散する様子を図19(A)に矢印で示す。過剰酸素が酸化物層406b等まで移動することにより、酸化物層406b等の欠陥(酸素欠損)を低減することができる。

40

【0190】

次に、絶縁体408上に絶縁体591を成膜する。その後、絶縁体591、絶縁体408、絶縁体402、および絶縁体571aに開口部を設け、該開口部にプラグ544やプラグ544b等のプラグを形成する(図19(B)参照。)。その後、層630および層

50

631を形成し、図1に示す半導体装置500を作製することができる。

【0191】

次に、図8や図9等に示すように半導体装置500が導電体613を有する場合において、層628の作製方法を図20および図21を用いて説明する。ここでは一例として、図9の半導体装置500の作製方法を説明する。

【0192】

まず、層627上に絶縁体581、導電体511等を形成する。その後、絶縁体581上に絶縁体584を成膜し、絶縁体584上に絶縁体571を成膜し、絶縁体571上に絶縁体585を成膜する。その後、絶縁体585上にマスクを形成し、該マスクを用いて絶縁体585に開口部を形成する(図20(A)参照。)。ここで絶縁体585に開口部を形成する際に、絶縁体585のエッチング速度と比較して絶縁体571のエッチング速度が小さい場合には、絶縁体571の膜減りを小さくすることができ、絶縁体571および絶縁体584に開口部を設ける際エッチング時間を制御しやすくなる場合があり、導電体511が露出する時間を小さくできる場合があるため好ましい。その後、該マスクを除去する。

10

【0193】

次に、絶縁体585上、および絶縁体585の開口部内の絶縁体571上に、マスク208を形成する(図20(B)参照。)。ここで、絶縁体584と比較して絶縁体571のエッチング速度が小さい場合には、絶縁体571は、絶縁体584をエッチングするためのハードマスクとして機能する場合がある。

20

【0194】

次に、マスク208を用いて絶縁体571および絶縁体584をエッチングし、開口部を設ける(図20(C)参照。)。

【0195】

次に、マスク208を除去した後、絶縁体585の開口部内、絶縁体571と絶縁体584の開口部内、および絶縁体585上に、導電体613aや導電体413aとなる、導電体613dを成膜する(図21(A)参照。)。

【0196】

次に、導電体613d上に、導電体613bや導電体413bとなる、導電体613eを成膜する(図21(B)参照。)。

30

【0197】

ここで一例として、導電体613dとして、窒化タンタルと、窒化タンタル上にタンタルと、タンタル上に銅とを積層する構造を用いる。ここで導電体613dの上層として用いる銅を、「銅シード層」と呼ぶ場合がある。窒化タンタルは例えばスパッタリング法を用いて形成すればよい。また、銅は例えば、CVD法やスパッタリング法を用いて形成すればよい。ここで導電体613dに、銅マンガン合金層を用いてもよい。また、銅マンガン合金層上に、銅の層を形成してもよい。

【0198】

また導電体613eの一例として、ここでは銅を用いる。銅は例えばめっき法などを用いて形成することができる。

40

【0199】

次に、導電体613eの表面を平坦化するように導電体613eおよび導電体613dを除去し、絶縁体585の表面を露出させ、導電体613、導電体413等の導電体を形成することにより、図9に示す層628を作製することができる(図21(C)参照。)

【0200】

次に、図11に示す層628の作製方法を、図22に示す。

【0201】

まず、層627上に絶縁体581および導電体511等の導電体を形成する。その後、絶縁体581上に絶縁体571を成膜し、絶縁体571上に絶縁体584を成膜する。そ

50

の後、マスクを用いて絶縁体 584 に開口部を形成する（図 22（A）参照。）。ここで、絶縁体 584 に開口部を形成する際に、例えば絶縁体 584 のエッチング速度と比較して絶縁体 571 のエッチング速度が小さい場合には導電体 511 等を保護する役割を有する場合がある。

【0202】

次に、絶縁体 584 上にマスク 209 を形成する（図 22（B）参照。）。その後、マスク 209 を用いて絶縁体 584 をエッチングし、図 22（A）において形成した絶縁体 584 の開口部を用いて絶縁体 571 をエッチングする（図 22（C）参照。）

【0203】

次に、マスク 209 を除去した後、絶縁体 584 および絶縁体 571 の開口部に、導電体 613 および導電体 413 等の導電体を形成することにより、図 11 に示す層 628 を形成することができる（図 22（D）参照。）。

10

【0204】

次に、図 13 に示す層 629 および層 630 の作製方法を、図 23 乃至図 26 を用いて説明する。

【0205】

まず、層 627 上に層 628 を形成する。次に、層 628 上に絶縁体 571 a、絶縁体 402 を形成する。次に、絶縁体 402 上に酸化層 406 a となる第 1 の酸化物を成膜し、第 1 の酸化物上に酸化層 406 b となる第 2 の酸化物を成膜し、その後、導電体 416 a 等となる第 1 の導電体を成膜する。その後、第 1 の導電体をハードマスクとして用いて第 1 の酸化物および第 2 の酸化物を加工し、酸化層 406 a および酸化層 406 b を形成する。加工には例えばドライエッチング等を用いればよい。

20

【0206】

次に、絶縁体 591 を成膜する。その後、絶縁体 591 上にマスクを形成し、該マスクを用いて絶縁体 591 に開口部を形成し、さらに第 1 の導電体を加工し、導電体 416 a および導電体 416 b を形成する（図 23（A）参照。）。

【0207】

その後、マスクを除去した後、酸化層 406 c となる酸化層 406 f と、絶縁体 412 となる絶縁体 412 d と、導電体 404 となる導電体 404 d と、を成膜する（図 23（B）参照。）。

30

【0208】

次に、導電体 404 d の表面を平坦化するように導電体 404 d、絶縁体 412 d、酸化層 406 f を除去し、導電体 404、絶縁体 412 および酸化層 406 c を形成する（図 23（C）参照。）。以上の工程により、トランジスタ 490 を作製する。

【0209】

次に、絶縁体 591、導電体 404、絶縁体 412 および酸化層 406 c 上に絶縁体 408 を成膜する（図 24（A）参照。）。

【0210】

ここで例えばスパッタリング法により絶縁体 408 を形成すると、絶縁体 408 と絶縁体 408 の被形成面の界面およびその近傍に、両者が混ざり合う混合層 145 が形成されるため好ましい。

40

【0211】

ここで本実施の形態では、絶縁体 408 として、スパッタリング法により酸化アルミニウムを形成する。また、スパッタリングガスとして酸素を含むガスを用いる。混合層 145 は、過剰酸素を有することが好ましい。

【0212】

次に、加熱処理を行うことにより、混合層 145 に含まれる酸素が拡散する。ここで混合層 145 に含まれる過剰酸素は、絶縁体 591、絶縁体 412 等を介して酸化層 406 a、酸化層 406 b、および酸化層 406 c に拡散する。絶縁体 408、絶縁体 571 および絶縁体 571 a として酸素を透過しにくい材料を用いることで、混合層 145

50

に含まれる過剰酸素を、絶縁体 402 および絶縁体 412 等を介して酸化物層 406 a、酸化物層 406 b、および酸化物層 406 c に効果的に拡散させることができる。混合層 145 に含まれる過剰酸素が拡散する様子を図 24 (B) に矢印で示す。ここで図 24 (B) には層 629 を拡大して示す。

【0213】

ここで、図をみやすくするため、混合層 145 を表記しない場合がある。

【0214】

次に、絶縁体 408 上に絶縁体 592 a を成膜する。その後、絶縁体 592 a、絶縁体 408、絶縁体 591、絶縁体 402、および絶縁体 571 a に開口部を形成する (図 25 (A) 参照。)。

10

【0215】

次に、絶縁体 592 a、絶縁体 408、絶縁体 591、絶縁体 402、および絶縁体 571 a に形成した開口部にプラグ 544、プラグ 544 b 等のプラグを形成する (図 25 (B) 参照。)。

【0216】

次に、絶縁体 592 a 上に絶縁体 592 b を成膜する。その後、絶縁体 592 b 上にマスク 210 を形成する (図 25 (C) 参照。)。

【0217】

次に、マスク 210 を用いて絶縁体 592 b および絶縁体 592 a に開口部を形成する (図 26 (A) 参照。)。ここでプラグ 544 およびプラグ 544 b は、絶縁体 592 b および絶縁体 592 a に形成された開口部内において、絶縁体 408 上に凸部を有する場合があります。

20

【0218】

次にマスクを除去後、形成した開口部内に導電体 514 等の導電体を形成する。その後、絶縁体 592 b および導電体 514 上に絶縁体 592 c を成膜する。その後、絶縁体 592 c に開口部を形成する (図 26 (B) 参照。)。その後、開口部内に導電体を形成し、図 13 に示す層 629 および層 630 を作製することができる。

【0219】

導電体 511、導電体 513、導電体 413、導電体 613、導電体 514 等の導電体や、プラグ 541、プラグ 543、プラグ 544、プラグ 545 等のプラグは、スパッタリング法、CVD 法 (熱 CVD 法、MOCVD 法、PECVD 法等を含む)、MBE 法、ALD 法、PLD 法、またはめっき法などにより形成することができる。ここでスパッタリング法において例えば、コリメータ方式や、ターゲットと基板間の距離を長くするロングスロー方式や、これらを組み合わせることで、埋め込み性を向上することができる。

30

【0220】

[回路の一例]

次に、本発明の一態様である装置を適用することができる回路の一例を示す。

【0221】

図 27 (A) は、3つのトランジスタと、容量素子とを有する回路の一例を示す。ここで、3つのトランジスタとして図 1 等において説明したトランジスタ 490、トランジスタ 491 およびトランジスタ 492 を用い、容量素子として容量素子 150 を用いる場合を考える。

40

【0222】

ここで、図 27 (A) の回路に用いられるトランジスタは、例えば図 1 に示すような半導体装置の断面において、層 627 または層 629 のいずれかに設けられることが好ましい。特に、トランジスタ 491 およびトランジスタ 492 を層 627 に、トランジスタ 490 を層 629 に設け、間に層 628 を設けることにより、トランジスタ 490 乃至トランジスタ 492 において、優れた特性を得ることができる。また、容量素子 150 は、層 628 乃至層 631 のいずれの層に設けられてもよい。

【0223】

50

図 27 (A) に示す回路を有する装置の一例として、図 1 の構造を用いることができる。図 1 において、トランジスタ 491 およびトランジスタ 492 は層 627 に形成され、トランジスタ 490 は層 629 に形成され、容量素子は層 631 に形成される。

【0224】

図 27 (A) において、トランジスタ 490 のソースまたはドレインの一方はフローティングノード (FN) を介してトランジスタ 491 のゲート電極および容量素子 150 の一方の電極に接続する。また、トランジスタ 490 のソースまたはドレインの他方は、トランジスタ 492 のソースまたはドレインの一方に接続する。これらの接続は、層 628 に設けられる導電体を介して接続することが好ましい。また、トランジスタ 491 のソース電極またはドレイン電極の一方は、層 628 に設けられる導電体等を介して、例えば層 631 に接続する端子 SL へ接続する。トランジスタ 491 のソースまたはドレインの他方は、トランジスタ 492 のソースまたはドレインの他方と接続する。

10

【0225】

図 1 においてトランジスタ 491 のゲート電極である導電体 454 は、層 628 に設けられるプラグ 543、導電体 513 等の導電体を介して、層 631 が有する容量素子 150 の電極である導電体 516 と接続する。導電体 516 は、層 629 および層 630 に設けられる導電体およびプラグを介してトランジスタ 490 のソース電極またはドレイン電極の一方である導電体 416b と接続する。トランジスタ 492 のソースまたはドレインの一方は、層 628 乃至層 630 の導電体およびプラグを介して、トランジスタ 490 のソース電極またはドレイン電極の一方である導電体 416a と接続する。

20

【0226】

ここで図 1 においてトランジスタ 493 のように層 627 に設けられるトランジスタは、例えば図 27 等に示す回路に接続する周辺回路、例えばドライバー回路や、コンバータ等に用いてもよい。

【0227】

図 27 (B) は、図 27 (A) と比較して、トランジスタ 492 を有さない点が異なる。トランジスタ 492 を有さないことにより、回路の集積度を高めることができる場合がある。

【0228】

図 27 (B) に示す回路を有する半導体装置 500 の一例として、図 29 に示す半導体装置 500 を示す。

30

【0229】

図 29 は、図 1 と比較して、プラグ 544 が導電体 513 および導電体 416b に接する点が異なる。図 1 ではプラグ 544 およびプラグ 544b を有するのに対して、図 29 ではプラグ 544b が不要なため、回路の集積度を高めることができる。

【0230】

ここで、図 29 において、絶縁体 571a および絶縁体 402 に第 1 の開口部として開口部 632 を形成し、その後、絶縁体 591、絶縁体 408、絶縁体 412 および酸化物層 406c に第 2 の開口部を形成し、プラグ 544 は、開口部 632 および第 2 の開口部を埋めこむように形成することが好ましい。例えば、絶縁体 571a が酸化アルミニウムおよび酸化ハフニウムを有する場合を考える。これらの材料は、例えば酸化シリコンなどの材料と比較して、ドライエッチング等においてエッチング速度が小さい場合がある。よって、あらかじめ開口部 632 を設けた後、第 2 の開口部を設けることにより、例えば導電体 416b のドライエッチング雰囲気への露出時間を小さくすることができ、導電体 416b の膜減りをより小さくすることができる場合があり好ましい。

40

【0231】

図 29 は、図 1 と比較して、絶縁体 581 と絶縁体 584 との間に、絶縁体 581 上の絶縁体 582 と、絶縁体 582 上の絶縁体 583 とを有する。絶縁体 583 の上面は絶縁体 584 と接する。プラグ 542 と、導電体 512 とは、それぞれ絶縁体 582 と、絶縁体 583 とに埋め込まれるように形成される。プラグ 542 は、導電体 511 の上面と接

50

することが好ましい。導電体 5 1 2 は、プラグ 5 4 2 の上面と接することが好ましい。

【 0 2 3 2 】

また、図 2 9 は、図 1 と比較して、絶縁体 5 9 2 上に絶縁体 5 9 3 と、絶縁体 5 9 3 に埋め込まれるように形成される導電体 5 1 5 およびプラグ 5 4 6 を有する。導電体 5 1 5 はプラグ 5 4 5 の上面に接することが好ましく、プラグ 5 4 6 は導電体 5 1 5 の上面に接することが好ましい。また、プラグ 5 4 6 は、導電体 5 1 6 の下面に接することが好ましい。

【 0 2 3 3 】

図 2 7 (B) に用いることができるレイアウトの上面図を図 3 0 および図 3 1 に示す。なお、図 3 0 および図 3 1 に二点鎖線で囲む領域は、図 2 7 (B) に示す回路 (またはセルと呼ぶ場合もある) の一単位を構成する面積の例を示す。

10

【 0 2 3 4 】

図 3 0 (A) はトランジスタ 4 9 1 のチャネル領域およびソースドレイン領域等 (斜線で示す領域) と、ゲート電極として機能する導電体 4 5 4 と、該ソースドレイン領域や導電体 4 5 4 が上層の導電体と接続するプラグ 5 4 1 等を形成する領域 (点線) を示す。

【 0 2 3 5 】

図 3 0 (B) は、導電体 5 1 1 等の導電体と、該導電体と上層の導電体とを接続するプラグ 5 4 2 等を形成する領域 (一点鎖線) を示す。

【 0 2 3 6 】

図 3 0 (C) は、導電体 5 1 2 等の導電体と、該導電体と上層の導電体とを接続するプラグ 5 4 3 等を形成する領域 (点線) を示す。

20

【 0 2 3 7 】

図 3 0 (D) は、導電体 4 1 3 およびプラグ 5 4 3 と、開口部 6 3 2 を示す。

【 0 2 3 8 】

図 3 0 (E) は、トランジスタ 4 9 0 が有する半導体層 4 0 6 および導電体 4 0 4 と、開口部 6 3 2 と、上層の導電体と接続するプラグ 5 4 4 を形成する領域を示す。

【 0 2 3 9 】

図 3 0 (F) は、導電体 5 1 4 等の導電体と、該導電体と上層の導電体とを接続するプラグ 5 4 5 等を形成する領域 (一点鎖線) と、を示す。

30

【 0 2 4 0 】

図 3 1 (A) は、導電体 5 1 5 と、導電体 5 1 5 と上層の導電体 5 1 6 とを接続するプラグ 5 4 6 が形成される領域を示す。

【 0 2 4 1 】

図 3 1 (B) は、導電体 5 1 6 と、導電体 5 1 7 と、導電体 5 1 7 と上層の導電体とを接続するプラグ 5 4 7 が形成される領域を示す。

【 0 2 4 2 】

図 3 1 (C) は、導電体 5 1 8 b を示す。

【 0 2 4 3 】

また、図 3 0 および図 3 1 に示す上面図を順に積層した斜視図を図 3 2 に示す。なお、見やすくするため各層の間の距離を実際よりも大きくして示している。

40

【 0 2 4 4 】

また、図 3 3 は図 3 0 乃至図 3 2 に示すレイアウトとは別の一例を示す。図 3 3 に示す上面図と比較して、図 3 0 (E) では回路に要する面積をより小さくすることができる。また図 3 3 では、導電体 4 1 6 b に接するプラグ 5 4 4 b と、導電体 5 1 3 に接するプラグ 5 4 4 を有するのに対し、図 3 0 (E) ではプラグ 5 4 4 b が必要ないため、回路の集積度を高めることができる。

【 0 2 4 5 】

次に、図 2 7 (C) に示す回路を有する半導体装置 5 0 0 の断面の一例を図 3 5 に示す。図 2 7 (C) に示す回路は例えば、記憶装置として機能する一つのセルである。図 3 5

50

は、隣接する2つのセルが接続する例を示す。隣接するセルは、端子BLへ接続するプラグ544bを共有する。よって、回路の集積度を高めることができる。プラグ544bは隣接する2つのトランジスタ490が有するそれぞれの導電体416aの、両方と接する。プラグ544bは導電体513およびプラグ543を介して導電体512に接続する。導電体512は端子BLとして機能することが好ましい。

【0246】

図35において、容量素子150はトランジスタ490上に重なる。トランジスタ490が有する導電体416aは、プラグ544、導電体514等を介して容量素子150が有する導電体516と接続する。

【0247】

また図35に示すように、半導体装置500は層627にトランジスタ494を有してもよい。ここで例えばトランジスタ494をp型チャネル、トランジスタ491をn型チャネルとしてもよい。

【0248】

図36は、図27(C)に示す回路を有する半導体装置500の断面の一例を示す。図35においては、トランジスタ490から端子BLへ、層628の導電体を介して接続するのに対し、図36は、トランジスタ490から端子BLへ、層631の導電体を介して接続する点異なる。

【0249】

図36において、隣接する2つのトランジスタ490は、導電体416bを共有する。よって、回路の集積度を高めることができる。導電体416bは、プラグ544b、層630および層631に形成される導電体およびプラグ等を介して導電体518に接続する。導電体518は端子BLとして機能することが好ましい。

【0250】

<回路動作>

図27(A)、(B)、(C)および図28(A)に示す回路は、記憶装置として機能することができる。

【0251】

図27(B)に示す回路の動作について説明する。

【0252】

図27(B)に示す回路は、トランジスタ491のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

【0253】

情報の書き込みおよび保持について説明する。まず、端子WWLの電位を、トランジスタ490が導通状態となる電位にして、トランジスタ490を導通状態とする。これにより、端子BLの電位が、トランジスタ491のゲート、および容量素子150の電極の一方と電氣的に接続するノードFNに与えられる。すなわち、トランジスタ491のゲートには、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位レベルを与える電荷(以下Lowレベル電荷、Highレベル電荷という。)のどちらかが与えられるものとする。その後、端子WWLの電位を、トランジスタ490が非導通状態となる電位

【0254】

トランジスタ490の半導体層として酸化物半導体を用いることにより、オフ電流を極めて小さくすることができるため、ノードFNの電荷は長期間にわたって保持される。

【0255】

次に情報の読み出しについて説明する。端子BLに所定の電位(定電位)を与えた状態で、端子CLに適切な電位(読み出し電位)を与えると、端子SLは、ノードFNに保持された電荷量に応じた電位をとる。これは、トランジスタ491をnチャネル型とすると、トランジスタ491のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ491のゲートにLowレベル電荷が与えられ

10

20

30

40

50

ている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ 491 を「導通状態」とするために必要な端子 CL の電位をいうものとする。したがって、端子 CL の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノード FN に与えられた電荷を判別できる。例えば、書き込みにおいて、ノード FN に High レベル電荷が与えられていた場合には、端子 CL の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ 491 は「導通状態」となる。一方、ノード FN に Low レベル電荷が与えられていた場合には、端子 CL の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ 491 は「非導通状態」のままである。このため、端子 SL の電位を判別することで、ノード FN に保持されている情報を読み出すことができる。

10

【0256】

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。情報を読み出さないメモリセルにおいては、ノード FN に与えられた電荷によらずトランジスタ 491 が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を端子 CL に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。または、情報を読み出さないメモリセルにおいては、ノード FN に与えられた電荷によらずトランジスタ 491 が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を端子 CL に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。

20

【0257】

次に、図 27 (A) に示す回路においても、図 27 (B) と同様に情報の書き込み、保持および読み出しができる。ここで図 27 (A) ではトランジスタ 492 を有するため、例えばほかのメモリセルの情報を読み出さないためにはトランジスタ 492 を非導通状態とすることにより、端子 BL から端子 SL への漏れ電流を抑制することができる場合がある。また、読み出しにおいて、ほかのメモリセルの情報を読み出さないためには、トランジスタ 492 が「非導通状態」となるような電位を端子 RWL に入力すればよく、高い電位を端子 CL に与えなくてもよい場合がある。

【0258】

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合（ただし、電位は固定されていることが好ましい）であっても、長期にわたって記憶内容を保持することが可能である。

30

【0259】

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁体の劣化といった問題が生じない。すなわち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。

40

【0260】

図 27 (C) に示す半導体装置は、トランジスタ 491 を有さない点で図 27 (B) に示した半導体装置と異なる。この場合も図 27 (B) に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

【0261】

図 27 (C) に示す半導体装置における、情報の読み出しについて説明する。トランジスタ 490 が導通状態になると、浮遊状態である端子 BL と容量素子 150 とが導通し、端子 BL と容量素子 150 の間で電荷が再分配される。その結果、端子 BL の電位が変化

50

する。端子 B L の電位の変化量は、容量素子 1 5 0 の電極の一方の電位（または容量素子 1 5 0 に蓄積された電荷）によって、異なる値をとる。

【 0 2 6 2 】

例えば、容量素子 1 5 0 の電極の一方の電位を V 、容量素子 1 5 0 の容量を C 、端子 B L が有する容量成分を C_B 、電荷が再分配される前の端子 B L の電位を V_{B0} とすると、電荷が再分配された後の端子 B L の電位は、 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ となる。したがって、メモリセルの状態として、容量素子 1 5 0 の一方の電位 V が V_1 と V_0 ($V_1 > V_0$) の 2 つの状態をとるとすると、電位 V_1 を保持している場合の端子 B L の電位 ($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$) は、電位 V_0 を保持している場合の端子 B L の電位 ($= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$) よりも高くなること
10

【 0 2 6 3 】

そして、端子 B L の電位を所定の電位と比較することで、情報を読み出すことができる。

【 0 2 6 4 】

この場合、メモリセルを駆動させるための周辺回路は、例えば層 6 2 7 が有するトランジスタ 4 9 3 等を用いた構成とすればよい。

【 0 2 6 5 】

図 2 8 (B) に示す回路図は、p チャネル型のトランジスタ 2 2 0 0 と n チャネル型のトランジスタ 2 1 0 0 を直列に接続し、且つそれぞれのゲートを接続した、いわゆる C M O S 回路の構成を示している。図 1 乃至図 4 に示す半導体装置 5 0 0 は、図 2 8 (B) に示す回路を有してもよい。その場合には、例えばトランジスタ 2 2 0 0 を層 6 2 9 に設け、トランジスタ 2 1 0 0 を層 6 2 7 に設け、トランジスタのソース電極またはドレイン電極や、ゲート電極の接続に、層 6 2 8 等に設けられる導電体を用いることが好ましい。
20

【 0 2 6 6 】

また図 2 8 (C) に示す回路図は、トランジスタ 2 1 0 0 とトランジスタ 2 2 0 0 のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるアナログスイッチとして機能させることができる。図 1 乃至図 4 に示す半導体装置 5 0 0 は、図 2 8 (C) に示す回路を有してもよい。その場合には、例えばトランジスタ 2 2 0 0 を層 6 2 9 に設け、トランジスタ 2 1 0 0 を層 6 2 7 に設け、トランジスタのソース電極またはドレイン電極や、ゲート電極の接続に、層 6 2 8 等に設けられる導電体
30

【 0 2 6 7 】

図 2 8 (A) には、本発明の一態様である装置に適用することができる回路の一例を示す。

【 0 2 6 8 】

図 2 8 (A) に示す回路は、容量素子 6 6 0 a と、容量素子 6 6 0 b と、トランジスタ 6 6 1 a と、トランジスタ 6 6 1 b と、トランジスタ 6 6 2 a と、トランジスタ 6 6 2 b と、インバータ 6 6 3 a と、インバータ 6 6 3 b と、配線 B L と、配線 B L B と、配線 W L と、配線 C L と、配線 G L と、を有する。
40

【 0 2 6 9 】

図 2 8 (A) に示す回路は、インバータ 6 6 3 a 及びインバータ 6 6 3 b がリング接続することでフリップフロップが構成されるメモリセルである。インバータ 6 6 3 b の出力信号が出力されるノードをノード V N 1 とし、インバータ 6 6 3 a の出力信号が出力されるノードをノード V N 2 とする。なお、該メモリセルをマトリクス状に配置することで、記憶装置（メモリセルアレイ）を構成することができる。

【 0 2 7 0 】

トランジスタ 6 6 2 a のソース、ドレインの一方は配線 B L と電氣的に接続し、ソース、ドレインの他方はノード V N 1 と電氣的に接続し、ゲートは配線 W L と電氣的に接続する。トランジスタ 6 6 2 b のソース、ドレインの一方はノード V N 2 と電氣的に接続し、
50

ソース、ドレインの他方は配線 B L B と電氣的に接続し、ゲートは配線 W L と電氣的に接続する。

【 0 2 7 1 】

トランジスタ 6 6 1 a のソース、ドレインの一方はノード V N 1 と電氣的に接続し、ソース、ドレインの他方は容量素子 6 6 0 a の一方の電極と電氣的に接続し、ゲートは配線 G L と電氣的に接続する。ここで、トランジスタ 6 6 1 a のソース、ドレインの他方と、容量素子 6 6 0 a の一方の電極と、の間のノードをノード N V N 1 とする。トランジスタ 6 6 1 b のソース、ドレインの一方はノード V N 2 と電氣的に接続し、ソース、ドレインの他方は容量素子 6 6 0 b の一方の電極と電氣的に接続し、ゲートは配線 G L と電氣的に接続する。ここで、トランジスタ 6 6 1 b のソース、ドレインの他方と、容量素子 6 6 0 b の一方の電極と、の間のノードをノード N V N 2 とする。

10

【 0 2 7 2 】

容量素子 6 6 0 a の他方の電極は配線 C L と電氣的に接続する。容量素子 6 6 0 b の他方の電極は配線 C L と電氣的に接続する。

【 0 2 7 3 】

トランジスタ 6 6 2 a 及びトランジスタ 6 6 2 b の導通状態、非導通状態の選択は、配線 W L に与える電位によって制御することができる。トランジスタ 6 6 1 a 及びトランジスタ 6 6 1 b の導通状態、非導通状態の選択は、配線 G L に与える電位によって制御することができる。

20

【 0 2 7 4 】

図 2 8 (A) に示したメモリセルの書き込み、保持及び読み出しについて以下に説明する。

【 0 2 7 5 】

書き込み時は、まず配線 B L 及び配線 B L B にデータ 0 またはデータ 1 に対応する電位を印加する。

【 0 2 7 6 】

例えば、データ 1 を書き込みたい場合、配線 B L をハイレベルの電源電位 (V D D)、配線 B L B を接地電位とする。次に、配線 W L にトランジスタ 6 6 2 a、トランジスタ 6 6 2 b のしきい値電圧に V D D を加えた電位以上の電位 (V H) を印加する。

30

【 0 2 7 7 】

次に、配線 W L の電位をトランジスタ 6 6 2 a、トランジスタ 6 6 2 b のしきい値電圧未満とすることで、フリップフロップに書き込んだデータ 1 が保持される。

【 0 2 7 8 】

読み出し時は、あらかじめ配線 B L 及び配線 B L B を V D D とする。次に、配線 W L に V H を印加することで、配線 B L は V D D のまま変化しないが、配線 B L B はトランジスタ 6 6 2 a 及びインバータ 6 6 3 a を介して放電し、接地電位となる。この配線 B L と配線 B L B との電位差をセンスアンプ (図示せず) にて増幅することにより保持されたデータ 1 を読み出すことができる。

【 0 2 7 9 】

なお、データ 0 を書き込みたい場合は、配線 B L を接地電位、配線 B L B を V D D とし、その後配線 W L に V H を印加すればよい。次に、配線 W L の電位をトランジスタ 6 6 2 a、トランジスタ 6 6 2 b のしきい値電圧未満とすることで、フリップフロップに書き込んだデータ 0 が保持される。読み出し時は、あらかじめ配線 B L 及び配線 B L B を V D D とし、配線 W L に V H を印加することで、配線 B L B は V D D のまま変化しないが、配線 B L はトランジスタ 6 6 2 b 及びインバータ 6 6 3 b を介して放電し、接地電位となる。この配線 B L と配線 B L B との電位差をセンスアンプにて増幅することにより保持されたデータ 0 を読み出すことができる。

40

【 0 2 8 0 】

したがって、図 2 8 (A) に示す半導体装置はいわゆる S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) として機能する。S R A M はフリップフロップ

50

を用いてデータを保持するため、リフレッシュ動作が不要である。そのため、データの保持時の消費電力を抑えることができる。また、フリップフロップにおいて容量素子を用いないため、高速動作の求められる用途に好適である。

【0281】

また、図28(A)に示す半導体装置は、トランジスタ661aを介して、ノードVN1からノードNVN1にデータを書き込むことが可能である。同様に、トランジスタ661bを介して、ノードVN2からノードNVN2にデータを書き込むことが可能である。書き込まれたデータは、トランジスタ661aまたはトランジスタ661bを非導通状態とすることによって保持される。例えば、電源電位の供給を止めた場合でも、ノードVN1及びノードVN2のデータを保持できる場合がある。

10

【0282】

電源電位の供給を止めると、直ちにデータが消失する従来のSRAMと異なり、図28(A)に示す半導体装置は、電源電位の供給を止めた後でもデータを保持できる。そのため、適宜電源電位をオンまたはオフすることによって、消費電力の小さい半導体装置を実現することができる。例えば、CPUの記憶領域に図28(A)に示す半導体装置を用いることで、CPUの消費電力を小さくすることもできる。

【0283】

なお、ノードNVN1及びノードNVN2にデータを保持する期間は、トランジスタ661a及びトランジスタ661bのオフ電流によって変化することがわかる。したがって、データの保持期間を長くするためには、トランジスタ661a及びトランジスタ661bには、オフ電流の低いトランジスタを用いればよいことになる。または、容量素子660a及び容量素子660bの容量を大きくすればよいことになる。

20

【0284】

例えば、トランジスタ661a及び容量素子660aとしてトランジスタ490及び容量素子150を用いることにより、ノードNVN1に長期間に渡ってデータを保持することが可能となる。同様に、トランジスタ490及び容量素子150を、トランジスタ661b及び容量素子660bとして用いれば、ノードNVN2に長期間に渡ってデータを保持することが可能となる。したがって、トランジスタ661a及びトランジスタ661bについては、トランジスタ490についての記載を参照すればよい。また、容量素子660a及び容量素子660bについては、容量素子150についての記載を参照すればよい。

30

【0285】

図28(A)に示すトランジスタ662a、トランジスタ662b、インバータ663aに含まれるトランジスタ及びインバータ663bに含まれるトランジスタは、トランジスタ661a、トランジスタ661b、容量素子660a及び容量素子660bと少なくとも一部を重ねて作製することができる。したがって、図28(A)に示す半導体装置は、従来のSRAMと比べて占有面積を大きく増大させることなく、作製することができる場合がある。トランジスタ662a、トランジスタ662b、インバータ663aに含まれるトランジスタ及びインバータ663bに含まれるトランジスタについては、トランジスタ491についての記載を参照すればよい。

40

【0286】

また、図1乃至図14、図21、図22、および図24に示す構造において、トランジスタ490のソース電極またはドレイン電極の一方と容量素子150との接続を、図28(A)の回路のトランジスタ661aのソース電極またはドレイン電極の一方と容量素子660aとの接続に適用してもよい。また、トランジスタ490のソース電極またはドレイン電極の他方とトランジスタ491のソース電極またはドレイン電極の一方との接続を、図28(A)の回路におけるトランジスタ661aのソース電極またはドレイン電極の他方とトランジスタ662aのソース電極またはドレイン電極の一方との接続に適用してもよい。

【0287】

50

[半導体層406]

半導体層406は、酸化物層406a、酸化物層406b、および酸化物層406cを積層した構成を有することが好ましい。

【0288】

半導体層406として、例えば、インジウム(In)を含む酸化物半導体を用いることが好ましい。酸化物半導体は、例えば、インジウムを含むと、キャリア移動度(電子移動度)が高くなる。また、酸化物半導体は、元素Mを含むと好ましい。

【0289】

元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはズズなどである。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。元素Mは、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、酸化物半導体は、亜鉛を含むと好ましい。酸化物半導体は亜鉛を含むと結晶化しやすくなる場合がある。

10

【0290】

ただし、半導体層406は、インジウムを含む酸化物に限定されない。半導体層406は、例えば、亜鉛ズズ酸化物、ガリウムズズ酸化物、酸化ガリウムなどの、インジウムを含まず、亜鉛を含む酸化物、ガリウムを含む酸化物、ズズを含む酸化物などであっても構わない。

20

【0291】

半導体層406は、例えば、エネルギーギャップが大きい酸化物半導体を用いる。半導体層406に用いる酸化物半導体のエネルギーギャップは、例えば、2.5eV以上4.2eV以下、好ましくは2.8eV以上3.8eV以下、さらに好ましくは3eV以上3.5eV以下である。

【0292】

酸化物半導体は、スパッタリング法、CVD(Chemical Vapor Deposition)法(MOCVD(Metal Organic Chemical Vapor Deposition)法、ALD(Atomic Layer Deposition)法、熱CVD法またはPECVD(Plasma Enhanced Chemical Vapor Deposition)法を含むがこれに限定されない)、MBE(Molecular Beam Epitaxy)法またはPLD(Pulsed Laser Deposition)法を用いて成膜すればよい。プラズマCVD法は、比較的低温で高品質の膜が得られる。MOCVD法、ALD法、または熱CVD法などの、成膜時にプラズマを用いない成膜方法を用いると、被形成面にダメージが生じにくく、また、欠陥の少ない膜が得られる。

30

【0293】

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

40

【0294】

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜

50

することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、トランジスタや半導体装置の生産性を高めることができる場合がある。

【0295】

例えば、半導体層406として、熱CVD法で InGaZnO_x ($x > 0$)膜を成膜する場合には、トリメチルインジウム ($\text{In}(\text{CH}_3)_3$)、トリメチルガリウム ($\text{Ga}(\text{CH}_3)_3$)、およびジメチル亜鉛 ($\text{Zn}(\text{CH}_3)_2$)を用いる。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム ($\text{Ga}(\text{C}_2\text{H}_5)_3$)を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛 ($\text{Zn}(\text{C}_2\text{H}_5)_2$)を用いることもできる。

10

【0296】

例えば、半導体層406として、ALD法で、 InGaZnO_x ($x > 0$)膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入して InO_2 層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入して GaO 層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ ガスと O_3 ガスを順次繰り返し導入して ZnO 層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを用いて InGaO_2 層や InZnO_2 層、 GaInO 層、 ZnInO 層、 GaZnO 層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えてAr等の不活性ガスでパブリングした H_2O ガスを用いても良いが、Hを含まない O_3 ガスを用いる方が好ましい。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスやトリス(アセチルアセトナト)インジウムを用いても良い。なお、トリス(アセチルアセトナト)インジウムは、 $\text{In}(\text{acac})_3$ とも呼ぶ。また、 $\text{Ga}(\text{CH}_3)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスやトリス(アセチルアセトナト)ガリウムを用いても良い。なお、トリス(アセチルアセトナト)ガリウムは、 $\text{Ga}(\text{acac})_3$ とも呼ぶ。また、 $\text{Zn}(\text{CH}_3)_2$ ガスや、酢酸亜鉛を用いても良い。これらのガス種には限定されない。

20

【0297】

酸化物半導体をスパッタリング法で成膜する場合、パーティクル数低減のため、インジウムを含むターゲットを用いると好ましい。また、元素Mの原子数比が高い酸化物ターゲットを用いた場合、ターゲットの導電性が低くなる場合がある。インジウムを含むターゲットを用いる場合、ターゲットの導電率を高めることができ、DC放電、AC放電が容易となるため、大面積の基板へ対応しやすくなる。したがって、半導体装置の生産性を高めることができる。

30

【0298】

また、酸化物半導体をスパッタリング法で成膜する場合、ターゲットの原子数比は、 $\text{In} : \text{M} : \text{Zn}$ が3 : 1 : 1、3 : 1 : 2、3 : 1 : 4、1 : 1 : 0.5、1 : 1 : 1、1 : 1 : 2、1 : 4 : 4、4 : 2 : 4.1などとすればよい。

【0299】

なお、酸化物半導体をスパッタリング法で成膜すると、ターゲットの原子数比からずれた原子数比の酸化物半導体が成膜される場合がある。特に、亜鉛は、ターゲットの原子数比よりも成膜された酸化物半導体の原子数比が小さくなる場合がある。具体的には、ターゲットに含まれる亜鉛の原子数比の40 atomic %以上90 atomic %程度以下となる場合がある。

40

【0300】

酸化物層406aおよび酸化物層406cは、酸化物層406bを構成する酸素以外の元素のうち、1種類以上の同じ金属元素を含む材料により形成されることが好ましい。このような材料を用いると、酸化物層406aおよび酸化物層406bとの界面、ならびに酸化物層406cおよび酸化物層406bとの界面に界面準位を生じにくくすることができる。よって、界面におけるキャリアの散乱や捕獲が生じにくく、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧のばらつき

50

を低減することが可能となる。よって、良好な電気特性を有する半導体装置を実現することが可能となる。

【0301】

酸化物層406aおよび酸化物層406cの厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、酸化物層406bの厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下、さらに好ましくは3nm以上50nm以下とする。

【0302】

また、酸化物層406bがIn-M-Zn酸化物(Inと元素MとZnを含む酸化物)であり、酸化物層406aおよび酸化物層406cもIn-M-Zn酸化物であるとき、酸化物層406aおよび酸化物層406cを $In:M:Zn = x_1:y_1:z_1$ [原子数比]、酸化物層406bを $In:M:Zn = x_2:y_2:z_2$ [原子数比]とすると、 y_1/x_1 が y_2/x_2 よりも大きくなる酸化物層406a、酸化物層406c、および酸化物層406bを選択する。好ましくは、 y_1/x_1 が y_2/x_2 よりも1.5倍以上大きくなる酸化物層406a、酸化物層406c、および酸化物層406bを選択する。さらに好ましくは、 y_1/x_1 が y_2/x_2 よりも2倍以上大きくなる酸化物層406a、酸化物層406c、および酸化物層406bを選択する。より好ましくは、 y_1/x_1 が y_2/x_2 よりも3倍以上大きくなる酸化物層406a、酸化物層406cおよび酸化物層406bを選択する。このとき、酸化物層406bにおいて、 y_2 が x_2 以上であるとトランジスタに安定した電気特性を付与できるため好ましい。ただし、 y_2 が x_2 の3倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は x_2 の3倍未満であると好ましい。酸化物層406aおよび酸化物層406cを上記構成とすることにより、酸化物層406aおよび酸化物層406cを、酸化物層406bよりも酸素欠損が生じにくい層とすることができる。

【0303】

なお、酸化物層406aがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%より高く、さらに好ましくはInが25atomic%未満、Mが75atomic%より高くする。また、酸化物層406bがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが25atomic%より高く、Mが75atomic%未満、さらに好ましくはInが34atomic%より高く、Mが66atomic%未満とする。また、酸化物層406cがIn-M-Zn酸化物のとき、InおよびMの和を100atomic%としたとき、好ましくはInが50atomic%未満、Mが50atomic%より高く、さらに好ましくはInが25atomic%未満、Mが75atomic%より高くする。なお、酸化物層406cは、酸化物層406aと同種の酸化物を用いても構わない。

【0304】

例えば、InまたはGaを含む酸化物層406a、およびInまたはGaを含む酸化物層406cとして、 $In:Ga:Zn = 1:3:2$ 、 $1:3:4$ 、 $1:3:6$ 、 $1:6:4$ 、または $1:9:6$ などの原子数比のターゲットを用いて形成したIn-Ga-Zn酸化物や、 $In:Ga = 1:9$ 、または $7:93$ などの原子数比のターゲットを用いて形成したIn-Ga酸化物を用いることができる。また、酸化物層406bとして、例えば、 $In:Ga:Zn = 1:1:1$ または $3:1:2$ などの原子数比のターゲットを用いて形成したIn-Ga-Zn酸化物を用いることができる。なお、酸化物層406aおよび酸化物層406bの原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス20%の変動を含む。

【0305】

酸化物層406bは、酸化物層406aおよび酸化物層406cよりも電子親和力の大きい酸化物を用いる。例えば、酸化物層406bとして、酸化物層406aおよび酸化物層406cよりも電子親和力が0.07eV以上1.3eV以下、好ましくは0.1eV

以上 0.7 eV 以下、さらに好ましくは 0.15 eV 以上 0.4 eV 以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0306】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、酸化物層 406c がインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga / (In + Ga)]$ は、例えば、70% 以上、好ましくは 80% 以上、さらに好ましくは 90% 以上とする。

【0307】

ただし、酸化物層 406a または / および酸化物層 406c が、酸化ガリウムであっても構わない。例えば、酸化物層 406c として、酸化ガリウムを用いると導電体 416a または導電体 416b と導電体 404 との間に生じるリーク電流を低減することができる。即ち、トランジスタ 490 のオフ電流を小さくすることができる。

10

【0308】

酸化物層 406a および酸化物層 406c は、例えば酸化物層 406b よりも電子親和力が小さいため、酸化物層 406b よりも絶縁体に近い。よって、ゲート電圧を印加すると、酸化物層 406a、酸化物層 406b、酸化物層 406c のうち、酸化物層 406b にチャネルが形成されやすい。

【0309】

また、チャネルが形成される半導体層に酸化物半導体を用いたトランジスタ（「OSトランジスタ」ともいう。）に安定した電気特性を付与するためには、酸化物半導体中の不純物及び酸素欠損を低減して高純度真性化し、酸化物層 406b を真性または実質的に真性に見なせる酸化物半導体とすることが好ましい。例えば、酸化物層 406b に過剰酸素を供給することにより、酸素欠損を低減できる場合がある。また、少なくとも酸化物層 406b 中のチャネル形成領域が真性または実質的に真性に見なせる酸化物半導体とすることが好ましい。

20

【0310】

また、半導体層 406 のうち、少なくとも酸化物層 406b に CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) を用いることが好ましい。なお、CAAC-OS については、後の実施の形態で詳細に説明する。

30

【0311】

CAAC-OS は誘電率異方性を有する。具体的には、CAAC-OS は a 軸方向および b 軸方向の誘電率よりも、c 軸方向の誘電率が大きい。チャネルが形成される半導体膜に CAAC-OS を用いて、ゲート電極を c 軸方向に配置したトランジスタは、c 軸方向の誘電率が大きいため、ゲート電極から生じる電界が CAAC-OS 全体に届きやすい。よって、サブスレッショルドスイング値 (S 値) を小さくすることができる。また、半導体膜に CAAC-OS を用いたトランジスタは、微細化による S 値の増大が生じにくい。

【0312】

また、CAAC-OS は a 軸方向および b 軸方向の誘電率が小さいため、ソースとドレイン間に生じる電界の影響が緩和される。よって、チャネル長変調効果や、短チャネル効果、などが生じにくく、トランジスタの信頼性を高めることができる。

40

【0313】

ここで、チャネル長変調効果とは、ドレイン電圧がしきい値電圧よりも高い場合に、ドレイン側から空乏層が広がり、実効上のチャネル長が短くなる現象を言う。また、短チャネル効果とは、チャネル長が短くなることにより、しきい値電圧の低下などの電気特性の悪化が生じる現象を言う。微細なトランジスタほど、これらの現象による電気特性の劣化が生じやすい。

【0314】

[酸化物半導体膜のエネルギーバンド構造]

ここで、酸化物層 406a、酸化物層 406b、および酸化物層 406c の積層により

50

構成される半導体層406の機能およびその効果について、図37に示すエネルギーバンド構造図を用いて説明する。図37は、トランジスタ490のチャネル形成領域のエネルギーバンド構造を示している。

【0315】

図37中、Ec382、Ec383a、Ec383b、Ec383c、Ec386は、それぞれ、絶縁体402、酸化物層406a、酸化物層406b、酸化物層406c、絶縁体412の伝導帯下端のエネルギーを示している。

【0316】

ここで、電子親和力は、真空準位と価電子帯上端のエネルギーとの差（「イオン化ポテンシャル」ともいう。）からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリブソメータ（HORIBA JOBIN YVON社 UT-300）を用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析（UPS：Ultraviolet Photoelectron Spectroscopy）装置（PHI社 VersaProbe）を用いて測定できる。

10

【0317】

なお、原子数比がIn：Ga：Zn=1：3：2のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.5eV、電子親和力は約4.5eVである。また、原子数比がIn：Ga：Zn=1：3：4のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.4eV、電子親和力は約4.5eVである。また、原子数比がIn：Ga：Zn=1：3：6のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.3eV、電子親和力は約4.5eVである。また、原子数比がIn：Ga：Zn=1：6：2のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.9eV、電子親和力は約4.3eVである。また、原子数比がIn：Ga：Zn=1：6：8のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.5eV、電子親和力は約4.4eVである。また、原子数比がIn：Ga：Zn=1：6：10のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.5eV、電子親和力は約4.5eVである。また、原子数比がIn：Ga：Zn=1：1：1のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約3.2eV、電子親和力は約4.7eVである。また、原子数比がIn：Ga：Zn=3：1：2のターゲットを用いて形成したIn-Ga-Zn酸化物のエネルギーギャップは約2.8eV、電子親和力は約5.0eVである。

20

30

【0318】

絶縁体402と絶縁体412は絶縁物であるため、Ec382とEc386は、Ec383a、Ec383b、およびEc383cよりも真空準位に近い（電子親和力が小さい）。

【0319】

また、Ec383aは、Ec383bよりも真空準位に近い。具体的には、Ec383aは、Ec383bよりも0.07eV以上1.3eV以下、好ましくは0.1eV以上0.7eV以下、さらに好ましくは0.15eV以上0.4eV以下真空準位に近いことが好ましい。

40

【0320】

また、Ec383cは、Ec383bよりも真空準位に近い。具体的には、Ec383cは、Ec383bよりも0.07eV以上1.3eV以下、好ましくは0.1eV以上0.7eV以下、さらに好ましくは0.15eV以上0.4eV以下真空準位に近いことが好ましい。

【0321】

ここで、酸化物層406aと酸化物層406bの間には、酸化物層406aと酸化物層406bとの混合領域を有する場合がある。また、酸化物層406bと酸化物層406cの間には、酸化物層406bと酸化物層406cとの混合領域を有する場合がある。

50

混合領域は、界面準位密度が低くなる。そのため、酸化物層406a、酸化物層406bおよび酸化物層406cの積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる。

【0322】

このとき、電子は、酸化物層406a中および酸化物層406c中ではなく、酸化物層406b中を主として移動する。したがって、酸化物層406aおよび酸化物層406bの界面における界面準位密度、酸化物層406bと酸化物層406cとの界面における界面準位密度を低くすることによって、酸化物層406b中で電子の移動が阻害されることが少なく、トランジスタ490のオン電流を高くすることができる。

【0323】

また、酸化物層406aと絶縁体402の界面、および酸化物層406cと絶縁体412の界面近傍には、不純物や欠陥に起因したトラップ準位390が形成され得るものの、酸化物層406a、および酸化物層406cがあることにより、酸化物層406bと当該トラップ準位とを遠ざけることができる。

【0324】

なお、トランジスタ490がs-channel構造を有する場合、酸化物層406bの全体にチャンネルが形成される。したがって、酸化物層406bが厚いほどチャンネル領域は大きくなる。即ち、酸化物層406bが厚いほど、トランジスタ490のオン電流を高くすることができる。例えば、20nm以上、好ましくは40nm以上、さらに好ましくは60nm以上、より好ましくは100nm以上の厚さの領域を有する酸化物層406bとすればよい。ただし、トランジスタ490を有する半導体装置の生産性が低下する場合がありますため、例えば、300nm以下、好ましくは200nm以下、さらに好ましくは150nm以下の厚さの領域を有する酸化物層406bとすればよい。

【0325】

また、トランジスタ490のオン電流を高くするためには、酸化物層406cの厚さは小さいほど好ましい。例えば、10nm未満、好ましくは5nm以下、さらに好ましくは3nm以下の領域を有する酸化物層406cとすればよい。一方、酸化物層406cは、チャンネルの形成される酸化物層406bへ、隣接する絶縁体を構成する酸素以外の元素（水素、シリコンなど）が入り込まないようにブロックする機能を有する。そのため、酸化物層406cは、ある程度の厚さを有することが好ましい。例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を有する酸化物層406cとすればよい。

【0326】

また、信頼性を高くするためには、酸化物層406aは厚く、酸化物層406cは薄いことが好ましい。例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上の厚さの領域を有する酸化物層406aとすればよい。酸化物層406aの厚さを、厚くすることで、隣接する絶縁体と酸化物層406aとの界面からチャンネルの形成される酸化物層406bまでの距離を離すことができる。ただし、トランジスタ490を有する半導体装置の生産性が低下する場合がありますため、例えば、200nm以下、好ましくは120nm以下、さらに好ましくは80nm以下の厚さの領域を有する酸化物層406aとすればよい。

【0327】

なお、酸化物半導体中のシリコンは、キャリアトラップやキャリア発生源となる場合がある。したがって、酸化物層406bのシリコン濃度は低いほど好ましい。例えば、酸化物層406bと酸化物層406aとの間に、例えば、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）において、 1×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³未満、さらに好ましくは 2×10^{18} atoms/cm³未満のシリコン濃度となる領域を有する。また、酸化物層406bと酸化物層406cとの間に、SIMSにおいて、 1×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³未満、さらに好ま

10

20

30

40

50

しくは $2 \times 10^{18} \text{ atoms/cm}^3$ 未満のシリコン濃度となる領域を有する。

【0328】

また、酸化物層406bの水素濃度を低減するために、酸化物層406aおよび酸化物層406cの水素濃度を低減すると好ましい。酸化物層406aおよび酸化物層406cは、SIMSにおいて、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の水素濃度となる領域を有する。また、酸化物層406bの窒素濃度を低減するために、酸化物層406aおよび酸化物層406cの窒素濃度を低減すると好ましい。酸化物層406aおよび酸化物層406cは、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下の窒素濃度となる領域を有する。

10

【0329】

なお、酸化物半導体に銅が混入すると、電子トラップを生成する場合がある。電子トラップは、トランジスタのしきい値電圧がプラス方向へ変動させる場合がある。したがって、酸化物層406bの表面または内部における銅濃度は低いほど好ましい。例えば、酸化物層406b、銅濃度が $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、または $1 \times 10^{18} \text{ atoms/cm}^3$ 以下となる領域を有すると好ましい。

【0330】

上述の3層構造は一例である。例えば、酸化物層406aまたは酸化物層406cのない2層構造としても構わない。または、酸化物層406aの上もしくは下、または酸化物層406c上もしくは下に、酸化物層406a、酸化物層406bおよび酸化物層406cとして例示した半導体のいずれか一を有する4層構造としても構わない。または、酸化物層406aの上、酸化物層406aの下、酸化物層406cの上、酸化物層406cの下のいずれか二箇所以上に、酸化物層406a、酸化物層406bおよび酸化物層406cとして例示した半導体のいずれか一を有するn層構造(nは5以上の整数)としても構わない。

20

【0331】

特に、本実施の形態に例示するトランジスタ490は、チャンネル幅方向において、酸化物層406bの上面と側面が酸化物層406cと接し、酸化物層406bの下面が酸化物層406aと接して形成されている(図5(B)参照)。このように、酸化物層406bを酸化物層406aと酸化物層406cで覆う構成とすることで、上記トラップ準位の影響をさらに低減することができる。

30

【0332】

また、酸化物層406a、および酸化物層406cのバンドギャップは、酸化物層406bのバンドギャップよりも広いほうが好ましい。

【0333】

本発明の一態様によれば、電気特性のばらつきが少ないトランジスタを実現することができる。よって、電気特性のばらつきが少ない半導体装置を実現することができる。本発明の一態様によれば、信頼性の良好なトランジスタを実現することができる。よって、信頼性の良好な半導体装置を実現することができる。

40

【0334】

また、酸化物半導体のバンドギャップは2eV以上あるため、チャンネルが形成される半導体膜に酸化物半導体を用いたトランジスタは、オフ電流を極めて小さくすることができる。具体的には、ソースとドレイン間の電圧が3.5V、室温(25℃)下において、チャンネル幅1μm当たりのオフ電流を $1 \times 10^{-20} \text{ A}$ 未満、 $1 \times 10^{-22} \text{ A}$ 未満、あるいは $1 \times 10^{-24} \text{ A}$ 未満とすることができる。すなわち、オンオフ比を20桁以上150桁以下とすることができる。

【0335】

50

本発明の一態様によれば、消費電力が少ないトランジスタを実現することができる。よって、消費電力が少ない半導体装置を実現することができる。

【0336】

(実施の形態2)

本実施の形態では、酸化物半導体の構造について説明する。

【0337】

<酸化物半導体の構造>

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体とに分けられる。非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline Oxide Semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous like Oxide Semiconductor)、非晶質酸化物半導体などがある。

10

【0338】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体とに分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、nc-OSなどがある。

【0339】

非晶質構造の定義としては、一般に、準安定状態で固定化していないこと、等方的であって不均質構造を持たないことなどが知られている。また、結合角度が柔軟であり、短距離秩序性は有するが、長距離秩序性を有さない構造と言い換えることもできる。

20

【0340】

逆の見方をすると、本質的に安定な酸化物半導体の場合、完全な非晶質 (completely amorphous) 酸化物半導体と呼ぶことはできない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体と呼ぶことはできない。ただし、a-like OSは、微小な領域において周期構造を有するものの、鬆 (ポイドともいう。) を有し、不安定な構造である。そのため、物性的には非晶質酸化物半導体に近いといえる。

【0341】

<CAAC-OS>

まずは、CAAC-OSについて説明する。

【0342】

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一つである。

30

【0343】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OSの明視野像と回折パターンとの複合解析像 (高分解能TEM像ともいう。) を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像ではペレット同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を明確に確認することができない。そのため、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

40

【0344】

以下では、TEMによって観察したCAAC-OSについて説明する。図45(A)に、試料面と略平行な方向から観察したCAAC-OSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正 (Spherical Aberration Corrector) 機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像の取得は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって行うことができる。

【0345】

50

図45(A)の領域(1)を拡大したCs補正高分解能TEM像を図45(B)に示す。図45(B)より、ペレットにおいて、金属原子が層状に配列していることを確認できる。金属原子の各層の配列は、CAAC-Osの膜を形成する面(被形成面ともいう。)または上面の凹凸を反映しており、CAAC-Osの被形成面または上面と平行となる。

【0346】

図45(B)に示すように、CAAC-Osは特徴的な原子配列を有する。図45(C)は、特徴的な原子配列を、補助線で示したものである。図45(B)および図45(C)より、ペレット一つの大きさは1nm以上のものや、3nm以上のものがあり、ペレットとペレットとの傾きにより生じる隙間の大きさは0.8nm程度であることがわかる。したがって、ペレットを、ナノ結晶(nc:nanocrystal)と呼ぶこともできる。また、CAAC-Osを、CAN(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

10

【0347】

ここで、Cs補正高分解能TEM像をもとに、基板5120上のCAAC-Osのペレット5100の配置を模式的に示すと、レンガまたはブロックが積み重なったような構造となる(図45(D)参照。)。図45(C)で観察されたペレットとペレットとの間で傾きが生じている箇所は、図45(D)に示す領域5161に相当する。

【0348】

また、図46(A)に、試料面と略垂直な方向から観察したCAAC-Osの平面のCs補正高分解能TEM像を示す。図46(A)の領域(1)、領域(2)および領域(3)を拡大したCs補正高分解能TEM像を、それぞれ図46(B)、図46(C)および図46(D)に示す。図46(B)、図46(C)および図46(D)より、ペレットは、金属原子が三角形状、四角形状または六角形状に配列していることを確認できる。しかしながら、異なるペレット間で、金属原子の配列に規則性は見られない。

20

【0349】

次に、X線回折(XRD:X-Ray Diffraction)によって解析したCAAC-Osについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-Osに対し、out-of-plane法による構造解析を行うと、図47(A)に示すように回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-Osの結晶がc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

30

【0350】

なお、CAAC-Osのout-of-plane法による構造解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-Os中の一部に、c軸配向性を有さない結晶が含まれることを示している。より好ましいCAAC-Osは、out-of-plane法による構造解析では、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さない。

【0351】

一方、CAAC-Osに対し、c軸に略垂直な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(110)面に帰属される。CAAC-Osの場合は、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行っても、図47(B)に示すように明瞭なピークは現れない。これに対し、InGaZnO₄の単結晶酸化物半導体であれば、2θを56°近傍に固定してスキャンした場合、図47(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-Osは、a軸およびb軸の配向が不規則であることが確認できる。

40

【0352】

次に、電子回折によって解析したCAAC-Osについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-Osに対し、試料面に平行にプローブ径が300nm

50

の電子線を入射させると、図48(A)に示すような回折パターン(制限視野透過電子回折パターンともいう。)が現れる場合がある。この回折パターンには、 InGaZnO_4 の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-Osに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図48(B)に示す。図48(B)より、リング状の回折パターンが確認される。したがって、電子回折によっても、CAAC-Osに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図48(B)における第1リングは、 InGaZnO_4 の結晶の(010)面および(100)面などに起因すると考えられる。また、図48(B)における第2リングは(110)面などに起因すると考えられる。

10

【0353】

上述したように、CAAC-Osは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、逆の見方をするとCAAC-Osは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。

【0354】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

20

【0355】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。また、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

【0356】

不純物および酸素欠損の少ないCAAC-Osは、キャリア密度の低い酸化物半導体である。具体的には、 $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-Osは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

30

【0357】

<nc-Os>

次に、nc-Osについて説明する。

【0358】

nc-Osは、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-Osに含まれる結晶部は、1nm以上10nm以下、または1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体と呼ぶことがある。nc-Osは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-Osにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-Osの結晶部をペレットと呼ぶ場合がある。

40

【0359】

nc-Osは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-Osは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。し

50

たがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OSに対し、ペレットよりも大きい径のX線を用いた場合、out-of-plane法による解析では、結晶面を示すピークは検出されない。また、nc-OSに対し、ペレットよりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子回折を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OSに対し、ペレットの大きさと近いかペレットより小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OSに対しナノビーム電子回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。さらに、リング状の領域内に複数のスポットが観測される場合がある。

10

【0360】

このように、ペレット（ナノ結晶）間では結晶方位が規則性を有さないことから、nc-OSを、RANC（Random Aligned nanocrystals）を有する酸化物半導体、またはNANC（Non-Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

【0361】

nc-OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-OSは、a-like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-OSは、CAAC-OSと比べて欠陥準位密度が高くなる。

20

【0362】

<a-like OS>

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0363】

a-like OSは、高分解能TEM像において鬆が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。

【0364】

鬆を有するため、a-like OSは、不安定な構造である。以下では、a-like OSが、CAAC-OSおよびnc-OSと比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

30

【0365】

電子照射を行う試料として、a-like OS（試料Aと表記する。）、nc-OS（試料Bと表記する。）およびCAAC-OS（試料Cと表記する。）を準備する。いずれの試料もIn-Ga-Zn酸化物である。

【0366】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有することがわかる。

【0367】

なお、どの部分を一つの結晶部と見なすかの判定は、以下のように行えばよい。例えば、InGaZnO₄の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、InGaZnO₄の結晶部と見なすことができる。なお、格子縞は、InGaZnO₄の結晶のa-b面に対応する。

40

【0368】

図49は、各試料の結晶部（22箇所から45箇所）の平均の大きさを調査した例である。ただし、上述した格子縞の長さを結晶部の大きさとしている。図49より、a-li

50

ke OSは、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、図49中に(1)で示すように、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^- / \text{nm}^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。具体的には、図49中の(2)および(3)で示すように、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.4nm程度および2.1nm程度であることがわかる。

【0369】

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られないことがわかる。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

【0370】

また、鬆を有するため、a-like OSは、nc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満となる。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満となる。単結晶の密度の78%未満となる酸化物半導体は、成膜すること自体が困難である。

【0371】

例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶InGaZnO₄の密度は 6.357 g/cm^3 となる。よって、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、a-like OSの密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、In:Ga:Zn=1:1:1[原子数比]を満たす酸化物半導体において、nc-OSの密度およびCAAC-OSの密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

【0372】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0373】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有する積層膜であってもよい。

【0374】

(実施の形態3)

本実施の形態では、少なくとも実施の形態で説明したトランジスタを用いることができ、先の実施の形態で説明した記憶装置を含むCPUについて説明する。

【0375】

図50は、先の実施の形態で説明した記憶装置を少なくとも一部に用いたCPUの一例の構成を示すブロック図である。

【0376】

図50に示すCPUは、基板1190上に、ALU1191(ALU:Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース

10

20

30

40

50

1198 (Bus I/F)、書き換え可能なROM 1199、及びROMインターフェース1189 (ROM I/F)を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM 1199及びROMインターフェース1189は、別チップに設けてもよい。もちろん、図50に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図50に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

【0377】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0378】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU 1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

【0379】

また、タイミングコントローラ1195は、ALU 1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、及びレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK 1を元に、内部クロック信号CLK 2を生成する内部クロック生成部を備えており、内部クロック信号CLK 2を上記各種回路に供給する。

【0380】

図50に示すCPUでは、レジスタ1196に、メモリセルが設けられている。

【0381】

図50に示すCPUにおいて、レジスタコントローラ1197は、ALU 1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

【0382】

図51は、レジスタ1196として用いることのできる記憶装置の回路図の一例である。記憶装置1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶装置1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。トランジスタ1209は酸化物半導体層にチャンネルが形成されるトランジスタであることが好ましい。トランジスタ1209

10

20

30

40

50

として、先の実施の形態で説明したトランジスタ490を参照することができる。

【0383】

ここで、回路1202には、先の実施の形態で説明した記憶装置を用いることができる。記憶装置1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートには接地電位(0V)、またはトランジスタ1209がオフする電位が入力され続ける構成とする。例えば、トランジスタ1209のゲートが抵抗等の負荷を介して接地される構成とする。

【0384】

ここで、例えば、図1等に示す構造におけるトランジスタ490のソース電極またはドレイン電極の一方と容量素子150との接続を、図51の回路のトランジスタ1209のソース電極またはドレイン電極の一方と容量素子1208との接続に適用してもよい。また、トランジスタ490のソース電極またはドレイン電極の他方とトランジスタ491のゲート電極との接続を、図51の回路におけるトランジスタ1209のソース電極またはドレイン電極の一方とトランジスタ1210のゲート電極との接続に適用してもよい。

【0385】

スイッチ1203は、一導電型(例えば、nチャネル型)のトランジスタ1213を用いて構成され、スイッチ1204は、一導電型とは逆の導電型(例えば、pチャネル型)のトランジスタ1214を用いて構成した例を示す。ここで、スイッチ1203の第1の端子はトランジスタ1213のソースとドレインの一方に対応し、スイッチ1203の第2の端子はトランジスタ1213のソースとドレインの他方に対応し、スイッチ1203はトランジスタ1213のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ1213のオン状態またはオフ状態)が選択される。スイッチ1204の第1の端子はトランジスタ1214のソースとドレインの一方に対応し、スイッチ1204の第2の端子はトランジスタ1214のソースとドレインの他方に対応し、スイッチ1204はトランジスタ1214のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通(つまり、トランジスタ1214のオン状態またはオフ状態)が選択される。

【0386】

トランジスタ1209のソースとドレインの一方は、容量素子1208の一对の電極のうち的一方、及びトランジスタ1210のゲートと電氣的に接続される。ここで、接続部分をノードM2とする。トランジスタ1210のソースとドレインの一方は、低電源電位を供給することのできる配線(例えばGND線)に電氣的に接続され、他方は、スイッチ1203の第1の端子(トランジスタ1213のソースとドレインの一方)と電氣的に接続される。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)はスイッチ1204の第1の端子(トランジスタ1214のソースとドレインの一方)と電氣的に接続される。スイッチ1204の第2の端子(トランジスタ1214のソースとドレインの他方)は電源電位VDDを供給することのできる配線と電氣的に接続される。スイッチ1203の第2の端子(トランジスタ1213のソースとドレインの他方)と、スイッチ1204の第1の端子(トランジスタ1214のソースとドレインの一方)と、論理素子1206の入力端子と、容量素子1207の一对の電極のうち的一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子1207の一对の電極のうち他方は、低電源電位を供給することのできる配線(例えばGND線)と電氣的に接続される。容量素子1208の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(GND等)または高電源電位(VDD等)が入力される構成とすることができる。容量素子1208の一对の電極のうち他方は、低電源電位を供給することのできる配線(例えばGND線)と電氣的に接続される。

【0387】

なお、容量素子 1207 及び容量素子 1208 は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0388】

トランジスタ 1209 の第 1 ゲート (第 1 のゲート電極) には、制御信号 WE が入力される。スイッチ 1203 及びスイッチ 1204 は、制御信号 WE とは異なる制御信号 RD によって第 1 の端子と第 2 の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第 1 の端子と第 2 の端子の間が導通状態のとき他方のスイッチの第 1 の端子と第 2 の端子の間は非導通状態となる。

【0389】

トランジスタ 1209 のソースとドレインの他方には、回路 1201 に保持されたデータに対応する信号が入力される。図 51 では、回路 1201 から出力された信号が、トランジスタ 1209 のソースとドレインの他方に入力される例を示した。スイッチ 1203 の第 2 の端子 (トランジスタ 1213 のソースとドレインの他方) から出力される信号は、論理素子 1206 によってその論理値が反転された反転信号となり、回路 1220 を介して回路 1201 に入力される。

10

【0390】

なお、図 51 では、スイッチ 1203 の第 2 の端子 (トランジスタ 1213 のソースとドレインの他方) から出力される信号は、論理素子 1206 及び回路 1220 を介して回路 1201 に入力する例を示したがこれに限定されない。スイッチ 1203 の第 2 の端子 (トランジスタ 1213 のソースとドレインの他方) から出力される信号が、論理値を反転させられることなく、回路 1201 に入力されてもよい。例えば、回路 1201 内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ 1203 の第 2 の端子 (トランジスタ 1213 のソースとドレインの他方) から出力される信号を当該ノードに入力することができる。

20

【0391】

また、図 51 において、記憶装置 1200 に用いられるトランジスタのうち、トランジスタ 1209 以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板 1190 にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶装置 1200 に用いられるトランジスタ全てを、チャンネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶装置 1200 は、トランジスタ 1209 以外にも、チャンネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板 1190 にチャンネルが形成されるトランジスタとすることもできる。

30

【0392】

図 51 における回路 1201 には、例えばフリップフロップ回路を用いることができる。また、論理素子 1206 としては、例えばインバータやクロックドインバータ等を用いることができる。

【0393】

本発明の一態様における半導体装置では、記憶装置 1200 に電源電圧が供給されない間は、回路 1201 に記憶されていたデータを、回路 1202 に設けられた容量素子 1208 によって保持することができる。

40

【0394】

また、酸化物半導体層にチャンネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャンネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャンネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ 1209 として用いることによって、記憶装置 1200 に電源電圧が供給されない間も容量素子 1208 に保持された信号は長期間にわたり保たれる。こうして、記憶装置 1200 は電源電圧の供給が停止した間も記憶内容 (データ) を保持することが可能である。

50

【0395】

また、スイッチ1203及びスイッチ1204を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路1201が元のデータを保持しなおすまでの時間を短くすることができる。

【0396】

また、回路1202において、容量素子1208によって保持された信号はトランジスタ1210のゲートに入力される。そのため、記憶装置1200への電源電圧の供給が再開された後、容量素子1208によって保持された信号を、トランジスタ1210の状態（オン状態、またはオフ状態）に変換して、回路1202から読み出すことができる。それ故、容量素子1208に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

10

【0397】

このような記憶装置1200を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0398】

本実施の形態では、記憶装置1200をCPUに用いる例として説明したが、記憶装置1200は、DSP(Digital Signal Processor)、カスタムLSI、PLD(Programmable Logic Device)等のLSI、RF-ID(Radio Frequency Identification)にも応用可能である。

20

【0399】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0400】

(実施の形態4)

本実施の形態では、上記実施の形態で例示した記憶装置を含むRFタグについて、図52を用いて説明する。

30

【0401】

本実施の形態におけるRFタグは、内部に記憶回路を有し、記憶回路に必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには極めて高い信頼性が要求される。

【0402】

RFタグの構成について図52を用いて説明する。図52はRFタグの構成例を示すブロック図である。

40

【0403】

図52に示すようにRFタグ800は、通信器801(質問器、リーダ/ライタなどともいう)に接続されたアンテナ802から送信される無線信号803を受信するアンテナ804を有する。またRFタグ800は、整流回路805、定電圧回路806、復調回路807、変調回路808、論理回路809、記憶回路810、ROM811を有している。なお、復調回路807に含まれる整流作用を示すトランジスタに逆方向電流を十分に抑制することが可能な材料、例えば、酸化物質半導体、が用いられた構成としてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一对のコイルを対向配置して相互誘導によって交信

50

を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別される。本実施の形態に示すRFタグ800は、そのいずれの方式に用いることも可能である。

【0404】

次に各回路の構成について説明する。アンテナ804は、通信器801に接続されたアンテナ802との間で無線信号803の送受信を行うためのものである。また、整流回路805は、アンテナ804で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路805の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

10

【0405】

定電圧回路806は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路806は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路809のリセット信号を生成するための回路である。

【0406】

復調回路807は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路808は、アンテナ804より出力するデータに応じて変調をおこなうための回路である。

20

【0407】

論理回路809は復調信号を解析し、処理を行うための回路である。記憶回路810は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM811は、固有番号(ID)などを格納し、処理に応じて出力を行うための回路である。

【0408】

なお、上述の各回路は、必要に応じて、適宜、取捨することができる。

【0409】

ここで、記憶回路810として、先の実施の形態で示した記憶装置を用いることができる。記憶回路810として、先の実施の形態で示した記憶装置を用いることにより、電源が遮断された状態であっても情報を保持できるため、RFタグに好適に用いることができる。さらに本発明の一態様の記憶装置は、データの書き込みに必要な電力(電圧)が従来の不揮発性メモリに比べて著しく小さいため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

30

【0410】

また、本発明の一態様の記憶装置は、不揮発性のメモリとして用いることが可能であるため、ROM811に適用することもできる。その場合には、生産者がROM811にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書込んだのちに製品を出荷することで、作製したRFタグすべてについて固有番号を付与するのではなく、出荷する良品のみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることなく出荷後の製品に対応した顧客管理が容易となる。

40

【0411】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0412】

(実施の形態5)

本実施の形態では、本発明の一態様に係るRFタグの使用例について図53を用いなが

50

ら説明する。RFタグの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、図53（A）参照）、記録媒体（DVDやビデオテープ等、図53（B）参照）、包装用容器類（包装紙やボトル等、図53（C）参照）、乗り物類（自転車等、図53（D）参照）、身の回り品（鞆や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器（液晶表示装置、EL表示装置、テレビジョン装置、または携帯電話）等の物品、若しくは各物品に取り付ける荷札（図53（E）、図53（F）参照）等に設けて使用することができる。

【0413】

本発明の一態様に係るRFタグ4000は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係るRFタグ4000は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等に本発明の一態様に係るRFタグ4000を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係るRFタグを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係るRFタグを取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

10

20

【0414】

以上のように、本発明の一態様に係わるRFタグを本実施の形態に挙げた各用途に用いることにより、情報の書込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くとることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

【0415】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0416】

（実施の形態6）

本発明の一態様の半導体装置は、表示パネルを有してもよい。また、表示パネルの表示部を駆動する回路に、本発明の一態様の半導体装置を用いてもよい。また、本発明の一態様は、表示パネルと、他の実施の形態に示す半導体装置と、を有してもよい。本実施の形態では、表示パネルの構成例について説明する。

30

40

【0417】

[構成例]

図54（A）は、本発明の一態様の表示パネルの上面図であり、図54（B）は、本発明の一態様の表示パネルの画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図54（C）は、本発明の一態様の表示パネルの画素に有機EL素子を適用する場合に用いることができる画素回路を説明するための回路図である。

【0418】

画素部に配置するトランジスタは、上記実施の形態に従って形成することができる。例えば、上記実施の形態に示すトランジスタ490を参照することができる。また、当該トランジスタはnチャネル型とすることが容易なので、駆動回路のうち、nチャネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成する。このように、画素部や駆動回路に上記実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

【0419】

50

ここで、表示パネルの画素部に配置するトランジスタと、駆動回路のうちnチャンネル型トランジスタで構成することができる駆動回路の一部を上記実施の形態に示す層629に設けることが好ましい。またその場合、例えば駆動回路のうち一部のトランジスタは、上記実施の形態に示す層627に設けてもよい。また、駆動回路部と画素部とは、例えば上記実施の形態に示す層628に設けられる配線を介して電氣的に接続してもよい。

【0420】

アクティブマトリクス型表示装置のブロック図の一例を図54(A)に示す。表示装置の基板700上には、画素部701、第1の走査線駆動回路702、第2の走査線駆動回路703、信号線駆動回路704を有する。画素部701には、複数の信号線が信号線駆動回路704から延伸して配置され、複数の走査線が第1の走査線駆動回路702、及び第2の走査線駆動回路703から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板700はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路(コントローラ、制御ICともいう)に接続されている。

10

【0421】

図54(A)では、第1の走査線駆動回路702、第2の走査線駆動回路703、信号線駆動回路704は、画素部701と同じ基板700上に形成される。そのため、外部に設ける駆動回路等の部品数が減るので、コストの低減を図ることができる。また、基板700外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板700上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

20

【0422】

〔液晶パネル〕

また、画素の回路構成の一例を図54(B)に示す。ここでは、VA型液晶表示パネルの画素に適用することができる画素回路を示す。

【0423】

この画素回路は、一つの画素に複数の画素電極層を有する構成に適用できる。それぞれの画素電極層は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極層に印加する信号を、独立して制御できる。

30

【0424】

トランジスタ716のゲート配線712と、トランジスタ717のゲート配線713には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能するソース電極層又はドレイン電極層714は、トランジスタ716とトランジスタ717で共通に用いられている。トランジスタ716とトランジスタ717は上記実施の形態で説明するトランジスタ490を適宜用いることができる。これにより、信頼性の高い液晶表示パネルを提供することができる。

【0425】

トランジスタ716には第1の画素電極層が電氣的に接続され、トランジスタ717には第2の画素電極層が電氣的に接続される。第1の画素電極層と第2の画素電極層とは、それぞれ分離されている。なお、第1の画素電極層および第2の画素電極層の形状としては、特に限定はない。第1の画素電極層は、例えばV字状とすればよい。

40

【0426】

トランジスタ716のゲート電極はゲート配線712と接続され、トランジスタ717のゲート電極はゲート配線713と接続されている。ゲート配線712とゲート配線713に異なるゲート信号を与えてトランジスタ716とトランジスタ717の動作タイミングを異ならせ、液晶の配向を制御できる。

【0427】

また、容量配線710と、誘電体として機能するゲート絶縁膜と、第1の画素電極層ま

50

たは第2の画素電極層と電氣的に接続する容量電極とで保持容量を形成してもよい。

【0428】

マルチドメイン構造は、一画素に第1の液晶素子718と第2の液晶素子719を備える。第1の液晶素子718は第1の画素電極層と対向電極層とその間の液晶層とで構成され、第2の液晶素子719は第2の画素電極層と対向電極層とその間の液晶層とで構成される。

【0429】

なお、図54(B)に示す画素回路は、これに限定されない。例えば、図54(B)に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、又は論理回路などを追加してもよい。

【0430】

〔有機ELパネル〕

画素の回路構成の他の一例を図54(C)に示す。ここでは、有機EL素子を用いた表示パネルの画素構造を示す。

【0431】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子及び正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0432】

図54(C)は、適用可能な画素回路の一例を示す図である。ここではnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。なお、本発明の一態様の半導体層は、nチャネル型のトランジスタのチャネル形成領域に用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【0433】

適用可能な画素回路の構成及びデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【0434】

画素720は、スイッチング用トランジスタ721、駆動用トランジスタ722、発光素子724及び容量素子723を有している。スイッチング用トランジスタ721は、ゲート電極層が走査線726に接続され、第1電極(ソース電極層及びドレイン電極層の一方)が信号線725に接続され、第2電極(ソース電極層及びドレイン電極層の他方)が駆動用トランジスタ722のゲート電極層に接続されている。駆動用トランジスタ722は、ゲート電極層が容量素子723を介して電源線727に接続され、第1電極が電源線727に接続され、第2電極が発光素子724の第1電極(画素電極)に接続されている。発光素子724の第2電極は共通電極728に相当する。共通電極728は、同一基板上に形成される共通電位線と電氣的に接続される。

【0435】

スイッチング用トランジスタ721及び駆動用トランジスタ722は上記実施の形態で説明するトランジスタ490を適宜用いることができる。これにより、信頼性の高い有機EL表示パネルを提供することができる。

【0436】

発光素子724の第2電極(共通電極728)の電位は低電源電位に設定する。なお、低電源電位とは、電源線727に供給される高電源電位より低い電位であり、例えばGND、0Vなどを低電源電位として設定することができる。発光素子724の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子724に印加することにより、発光素子724に電流を流して発光させる。なお、発光素子724の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

10

20

30

40

50

【0437】

なお、容量素子723は駆動用トランジスタ722のゲート容量を代用することにより省略できる。駆動用トランジスタ722のゲート容量については、チャンネル形成領域とゲート電極層との間で容量が形成されていてもよい。

【0438】

次に、駆動用トランジスタ722に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ722が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を、駆動用トランジスタ722に入力する。なお、駆動用トランジスタ722を線形領域で動作させるために、電源線727の電圧よりも高い電圧を駆動用トランジスタ722のゲート電極層にかける。また、信号線725には、電源線電圧に駆動用トランジスタ722の閾値電圧 V_{th} を加えた値以上の電圧をかける。

10

【0439】

アナログ階調駆動を行う場合、駆動用トランジスタ722のゲート電極層に発光素子724の順方向電圧に駆動用トランジスタ722の閾値電圧 V_{th} を加えた値以上の電圧をかける。なお、駆動用トランジスタ722が飽和領域で動作するようにビデオ信号を入力し、発光素子724に電流を流す。また、駆動用トランジスタ722を飽和領域で動作させるために、電源線727の電位を、駆動用トランジスタ722のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子724にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0440】

なお、画素回路の構成は、図54(C)に示す画素構成に限定されない。例えば、図54(C)に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタ又は論理回路などを追加してもよい。

20

【0441】

図54で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極(第1の電極)、高電位側にドレイン電極(第2の電極)がそれぞれ電氣的に接続される構成とする。さらに、制御回路等により第1のゲート電極の電位を制御し、第2のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

【0442】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、及び発光素子を有する装置である発光装置は、様々な形態を用いること、又は様々な素子を有することが出来る。表示素子、表示装置、発光素子又は発光装置は、例えば、EL(エレクトロルミネッセンス)素子(有機物及び無機物を含むEL素子、有機EL素子、無機EL素子)、LEDチップ(白色LEDチップ、赤色LEDチップ、緑色LEDチップ、青色LEDチップなど)、トランジスタ(電流に応じて発光するトランジスタ)、電子放出素子、液晶素子、電子インク、電気泳動素子、プラズマディスプレイ(PDP)、MEMS(マイクロ・エレクトロ・メカニカル・システム)を用いた表示素子(例えば、グレーティングライトバルブ(GLV)、デジタルマイクロミラーデバイス(DMD)、DMS(デジタル・マイクロ・シャッター)、IMOD(インターフェアレンス・モジュレーション)素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、圧電セラミックディスプレイ、など)、エレクトロウエッチング素子、量子ドット、または、カーボンナノチューブを用いた表示素子の少なくとも一つを有している。これらの他にも、電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していても良い。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ(FED)又はSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)などがある。量子ドットを各画素に用いた表示装置の一例としては、量子ドットディスプレイなどがある。なお、量子ドットは、表示素子としてではなく、バックライトの

30

40

50

一部に設けてもよい。量子ドットを用いることにより、色純度の高い表示を行うことができる。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インク、又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、または、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。なお、LEDチップを用いる場合、LEDチップの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型GaN半導体層などを容易に成膜することができる。さらに、その上に、結晶を有するp型GaN半導体層などを設けて、LEDチップを構成することができる。なお、グラフェンやグラファイトと、結晶を有するn型GaN半導体層との間に、AlN層を設けてもよい。なお、LEDチップが有するGaN半導体層は、MOCVDで成膜してもよい。ただし、グラフェンを設けることにより、LEDチップが有するGaN半導体層は、スパッタ法で成膜することも可能である。また、MEMSを用いた表示素子においては、表示素子が封止されている空間（例えば、表示素子が配置されている素子基板と、素子基板に対向して配置されている対向基板との間）に、乾燥剤を配置してもよい。乾燥剤を配置することにより、MEMSなどが水分によって動きにくくなることや、劣化しやすくなることを防止することができる。

10

20

30

40

【0443】

例えば、本明細書等において、様々な基板を用いて、トランジスタを形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板の一例としては、半導体基板（例えば単結晶基板又はシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又はSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようにトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【0444】

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタを形成してもよい。または、基板とトランジスタの間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタは耐熱性の劣る基板や可撓性の基板にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構造の構成や、基板上にポリイミド等の有機樹脂膜が形成された構成等を用いることができる。

50

【0445】

つまり、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

10

【0446】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0447】

（実施の形態7）

本発明の一態様に係る半導体装置を用いた電子機器として、テレビ、モニタ等の表示装置、照明装置、デスクトップ型或いはノート型のパーソナルコンピュータ、ワードプロセッサ、DVD（Digital Versatile Disc）などの記録媒体に記憶された静止画又は動画を再生する画像再生装置、ポータブルCDプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、置き時計、壁掛け時計、コードレス電話子機、トランシーバ、自動車電話、携帯電話、携帯情報端末、タブレット型端末、携帯型ゲーム機、パチンコ機などの固定式ゲーム機、電卓、電子手帳、電子書籍端末、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電気シェーバ、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、電気掃除機、温水器、扇風機、毛髪乾燥機、エアコンディショナー、加湿器、除湿器などの空調設備、食器洗い器、食器乾燥器、衣類乾燥器、布団乾燥器、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、DNA保存用冷凍庫、懐中電灯、チェーンソー等の工具、煙感知器、透析装置等の医療機器などが挙げられる。さらに、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム、電力の平準化やスマートグリッドのための蓄電装置等の産業機器が挙げられる。また、蓄電体からの電力を用いた電動機や、燃料を用いたエンジンにより推進する移動体なども、電子機器の範疇に含まれる場合がある。上記移動体として、例えば、電気自動車（EV）、内燃機関と電動機を併せ持ったハイブリッド車（HEV）、プラグインハイブリッド車（PHEV）、これらのタイヤ車輪を無限軌道に変えた装軌車両、電動アシスト自転車を含む原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、小型又は大型船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船などが挙げられる。

20

30

【0448】

図55（A）に示す携帯型ゲーム機2900は、筐体2901、筐体2902、表示部2903、表示部2904、マイクロホン2905、スピーカ2906、操作キー2907等を有する。なお、図55（A）に示した携帯型ゲーム機は、2つの表示部2903と表示部2904とを有しているが、表示部の数は、これに限定されない。表示部2903は、入力装置としてタッチスクリーンが設けられており、スタイラス2908等により操作可能となっている。

40

【0449】

図55（B）に示す情報端末2910は、筐体2911に、表示部2912、マイク2917、スピーカ部2914、カメラ2913、外部接続部2916、および操作用のボタン2915等を有する。表示部2912には、可撓性基板が用いられた表示パネルおよびタッチスクリーンを備える。情報端末2910は、例えば、スマートフォン、携帯電話、タブレット型情報端末、タブレット型パーソナルコンピュータ、電子書籍端末等として用いることができる。

50

【0450】

図55(C)に示すノート型パーソナルコンピュータ2920は、筐体2921、表示部2922、キーボード2923、およびポインティングデバイス2924等を有する。

【0451】

図55(D)に示すビデオカメラ2940は、筐体2941、筐体2942、表示部2943、操作キー2944、レンズ2945、および接続部2946等を有する。操作キー2944およびレンズ2945は筐体2941に設けられており、表示部2943は筐体2942に設けられている。そして、筐体2941と筐体2942は、接続部2946により接続されており、筐体2941と筐体2942の間の角度は、接続部2946により変えることが可能な構造となっている。筐体2941に対する筐体2942の角度によって、表示部2943に表示される画像の向きの変更や、画像の表示/非表示の切り換えを行うことができる。

10

【0452】

図55(E)にバングル型の情報端末の一例を示す。情報端末2950は、筐体2951、および表示部2952等を有する。表示部2952は、曲面を有する筐体2951に支持されている。表示部2952には、可撓性基板を用いた表示パネルを備えているため、フレキシブルかつ軽くて使い勝手の良い情報端末2950を提供することができる。

【0453】

図55(F)に腕時計型の情報端末の一例を示す。情報端末2960は、筐体2961、表示部2962、バンド2963、バックル2964、操作ボタン2965、入出力端子2966などを備える。情報端末2960は、携帯電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。

20

【0454】

表示部2962の表示面は湾曲しており、湾曲した表示面に沿って表示を行うことができる。また、表示部2962はタッチセンサを備え、指やスタイラスなどで画面に触れることで操作することができる。例えば、表示部2962に表示されたアイコン2967に触れることで、アプリケーションを起動することができる。操作ボタン2965は、時刻設定のほか、電源のオン、オフ動作、無線通信のオン、オフ動作、マナーモードの実行及び解除、省電力モードの実行及び解除など、様々な機能を持たせることができる。例えば、情報端末2960に組み込まれたオペレーティングシステムにより、操作ボタン2965の機能を設定することもできる。

30

【0455】

また、情報端末2960は、通信規格された近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、情報端末2960は入出力端子2966を備え、他の情報端末とコネクタを介して直接データのやりとりを行うことができる。また入出力端子2966を介して充電を行うこともできる。なお、充電動作は入出力端子2966を介さずに無線給電により行ってもよい。

【0456】

図55(G)に家庭用電気製品の一例として電気冷蔵庫を示す。電気冷蔵庫2970は、筐体2971、冷蔵室用扉2972、および冷凍室用扉2973等を有する。

40

【0457】

図55(H)は、自動車の一例を示す外観図である。自動車2980は、車体2981、車輪2982、ダッシュボード2983、およびライト2984等を有する。

【0458】

本実施の形態に示す電子機器には、上述したトランジスタまたは上述した半導体装置などが搭載されている。

【0459】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組

50

み合わせて実施することができる。また例えば、本実施の形態に示す電子機器に、他の実施の形態に示す半導体装置を搭載することにより、電子機器の性能を向上させることができる場合がある。または、電子機器の消費電力を小さくすることができる場合がある。

【0460】

(実施の形態8)

【0461】

[撮像装置]

本実施の形態では、本発明の一態様を用いた撮像装置について説明する。

【0462】

<撮像装置600の構成例>

図56(A)は、撮像装置600の構成例を示す平面図である。撮像装置600は、画素部621と、第1の回路260、第2の回路270、第3の回路280、および第4の回路290を有する。なお、本明細書等において、第1の回路260乃至第4の回路290などを「周辺回路」もしくは「駆動回路」と呼ぶ場合がある。例えば、第1の回路260は周辺回路の一部と言える。

10

【0463】

図56(B)は、画素部621の構成例を示す図である。画素部621は、 p 列 q 行(p および q は2以上の自然数)のマトリクス状に配置された複数の画素622(撮像素子)を有する。なお、図56(B)中の n は1以上 p 以下の自然数であり、 m は1以上 q 以下の自然数である。

20

【0464】

例えば、画素622を 1920×1080 のマトリクス状に配置すると、いわゆるフルハイビジョン(「2K解像度」、「2K1K」、「2K」などとも言われる。)の解像度で撮像可能な撮像装置600を実現することができる。また、例えば、画素622を 4096×2160 のマトリクス状に配置すると、いわゆるウルトラハイビジョン(「4K解像度」、「4K2K」、「4K」などとも言われる。)の解像度で撮像可能な撮像装置600を実現することができる。また、例えば、画素622を 8192×4320 のマトリクス状に配置すると、いわゆるスーパーハイビジョン(「8K解像度」、「8K4K」、「8K」などとも言われる。)の解像度で撮像可能な撮像装置600を実現することができる。表示素子を増やすことで、16Kや32Kの解像度で撮像可能な撮像装置600を実現することも可能である。

30

【0465】

第1の回路260および第2の回路270は、複数の画素622に接続し、複数の画素622を駆動するための信号を供給する機能を有する。また、第1の回路260は、画素622から出力されたアナログ信号を処理する機能を有していてもよい。また、第3の回路280は、周辺回路の動作タイミングを制御する機能を有していてもよい。例えば、クロック信号を生成する機能を有していてもよい。また、外部から供給されたクロック信号の周波数を変換する機能を有していてもよい。また、第3の回路280は、参照用電位信号(例えば、ランプ波信号など)を供給する機能を有していてもよい。

40

【0466】

周辺回路は、少なくとも、論理回路、スイッチ、バッファ、増幅回路、または変換回路の1つを有する。また、周辺回路に用いるトランジスタなどは、後述する画素駆動回路610を作製するために形成する半導体の一部を用いて形成してもよい。また、周辺回路の一部または全部にICチップ等の半導体装置を用いてもよい。

【0467】

なお、周辺回路は、第1の回路260乃至第4の回路290のうち、少なくとも1つを省略してもよい。例えば、第1の回路260または第4の回路290の一方の機能を、第1の回路260または第4の回路290の他方に付加して、第1の回路260または第4の回路290の一方を省略してもよい。また、例えば、第2の回路270または第3の回路280の一方の機能を、第2の回路270または第3の回路280の他方に付加して、

50

第2の回路270または第3の回路280の一方を省略してもよい。また、例えば、第1の回路260乃至第4の回路290のいずれか1つに、他の周辺回路の機能を付加することで、他の周辺回路を省略してもよい。

【0468】

また、図57に示すように、画素部621の外周に沿って第1の回路260乃至第4の回路290を設けてもよい。また、撮像装置600が有する画素部621において画素622を傾けて配置してもよい。画素622を傾けて配置することにより、行方向および列方向の画素間隔(ピッチ)を短くすることができる。これにより、撮像装置600で撮像された画像の品質をより高めることができる。

【0469】

また、図58に示すように、第1の回路260乃至第4の回路290の上方に重ねて画素部621を設けてもよい。図58(A)は第1の回路260乃至第4の回路290の上方に重ねて画素部621を形成した撮像装置600の上面図である。また、図58(B)は、図58(A)に示した撮像装置600の構成を説明するための斜視図である。

【0470】

第1の回路260乃至第4の回路290の上方に重ねて画素部621を設けることで、撮像装置600の大きさに対する画素部621の占有面積を大きくすることができる。よって、撮像装置600の受光感度を向上することができる。また、撮像装置600のダイナミックレンジを向上することができる。また、撮像装置600の解像度を向上することができる。また、撮像装置600で撮影した画像の再現性を向上することができる。また、撮像装置600の集積度を向上することができる。

【0471】

[カラーフィルタ等]

撮像装置600が有する画素622を副画素として用いて、複数の画素622それぞれに異なる波長域の光を透過するフィルタ(カラーフィルタ)を設けることで、カラー画像表示を実現するための情報を取得することができる。

【0472】

図59(A)は、カラー画像を取得するための画素623の一例を示す平面図である。図59(A)は、赤(R)の波長域の光を透過するカラーフィルタが設けられた画素622(以下、「画素622R」ともいう)、緑(G)の波長域の光を透過するカラーフィルタが設けられた画素622(以下、「画素622G」ともいう)および青(B)の波長域の光を透過するカラーフィルタが設けられた画素622(以下、「画素622B」ともいう)を有する。画素622R、画素622G、画素622Bをまとめて一つの画素623として機能させる。

【0473】

なお、画素623に用いるカラーフィルタは、赤(R)、緑(G)、青(B)に限定されず、シアン(C)、黄(Y)およびマゼンダ(M)の光を透過するカラーフィルタを用いてもよい。1つの画素623に少なくとも3種類の異なる波長域の光を検出する画素622を設けることで、フルカラー画像を取得することができる。

【0474】

図59(B)は、それぞれ赤(R)、緑(G)および青(B)の光を透過するカラーフィルタが設けられた画素622に加えて、黄(Y)の光を透過するカラーフィルタが設けられた画素622を有する画素623を例示している。図59(C)は、それぞれシアン(C)、黄(Y)およびマゼンダ(M)の光を透過するカラーフィルタが設けられた画素622に加えて、青(B)の光を透過するカラーフィルタが設けられた画素622を有する画素623を例示している。1つの画素623に4種類以上の異なる波長域の光を検出する画素622を設けることで、取得した画像の色の再現性をさらに高めることができる。

【0475】

また、画素622R、画素622G、および画素622Bの画素数比(または受光面積

10

20

30

40

50

比)は、必ずしも1:1:1である必要は無い。図59(D)に示すように、画素数比(受光面積比)を赤:緑:青=1:2:1とするBayer配列としてもよい。また、画素数比(受光面積比)を赤:緑:青=1:6:1としてもよい。

【0476】

なお、画素623に用いる画素622は1つでもよいが、2つ以上が好ましい。例えば、同じ波長域の光を検出する画素622を2つ以上設けることで、冗長性を高め、撮像装置600の信頼性を高めることができる。

【0477】

また、フィルタとして可視光の波長以下の波長を有する光を吸収または反射して、赤外光を透過するIR(IR:Infrared)フィルタを用いることで、赤外光を検出する撮像装置600を実現することができる。また、フィルタとして可視光の波長以上の波長を有する光を吸収または反射して、紫外光を透過するUV(UV:Ultra Violet)フィルタを用いることで、紫外光を検出する撮像装置600を実現することができる。また、フィルタとして、放射線を紫外光や可視光に変換するシンチレータを用いることで、撮像装置600をX線やγ線などを検出する放射線検出器として機能させることもできる。

10

【0478】

また、フィルタとしてND(ND:Neutral Density)フィルター(減光フィルター)を用いると、光電変換素子(受光素子)に多大な光量の光が入射した時に生じる、出力が飽和する現象(以下、「出力飽和」ともいう。)を防ぐことができる。減光量の異なるNDフィルタを組み合わせることで、撮像装置のダイナミックレンジを大きくすることができる。

20

【0479】

また、前述したフィルタ以外に、画素622にレンズを設けてもよい。ここで、図60の断面図を用いて、画素622、フィルタ624、レンズ635の配置例を説明する。レンズ635を設けることで、入射光を光電変換素子に効率よく受光させることができる。具体的には、図60(A)に示すように、画素622に形成したレンズ635、フィルタ624(フィルタ624R、フィルタ624G、フィルタ624B)、および画素駆動回路610等を通して光660を光電変換素子601に入射させる構造とすることができる。

30

【0480】

ただし、二点鎖線で囲んだ領域に示すように、矢印で示す光660の一部が配線群626の一部、トランジスタ、および/または容量素子などによって遮光されてしまうことがある。したがって、図60(B)に示すように光電変換素子601側にレンズ635およびフィルタ624を形成して、入射光を光電変換素子601に効率良く受光させる構造としてもよい。光電変換素子601側から光660を入射させることで、受光感度の高い撮像装置600を提供することができる。

【0481】

図61(A)乃至図61(C)に、画素部621に用いることができる画素駆動回路610の一例を示す。図61(A)に示す画素駆動回路610は、トランジスタ602、トランジスタ604、および容量素子606を有し、光電変換素子601に接続されている。トランジスタ602のソースまたはドレインの一方は光電変換素子601と電気的に接続され、トランジスタ602のソースまたはドレインの他方はノード607(電荷蓄積部)を介してトランジスタ604のゲートと電気的に接続されている。

40

【0482】

トランジスタ602にはOSトランジスタを用いることが好ましい。OSトランジスタは、オフ電流を極めて小さくすることができるため、容量素子606を小さくすることができる。または、図61(B)に示すように、容量素子606を省略することができる。また、トランジスタ602としてOSトランジスタを用いると、ノード607の電位が変動しにくい。よって、ノイズの影響を受けにくい撮像装置を実現することができる。なお

50

、トランジスタ 604 に OS トランジスタを用いてもよい。

【0483】

光電変換素子 601 には、シリコン基板において p n 型や p i n 型の接合が形成されたダイオード素子を用いることができる。または非晶質シリコン膜や微結晶シリコン膜などを用いた p i n 型のダイオード素子などを用いてもよい。または、ダイオード接続のトランジスタを用いてもよい。また、光電効果を利用した可変抵抗などをシリコン、ゲルマニウム、セレンなど用いて形成してもよい。

【0484】

また、光電変換素子として、放射線を吸収して電荷を発生させることが可能な材料を用いて形成してもよい。放射線を吸収して電荷を発生させることが可能な材料としては、ヨウ化鉛、ヨウ化水銀、ガリウムヒ素、C d T e、C d Z n などがある。

10

【0485】

図 6 1 (C) に示す画素駆動回路 610 は、トランジスタ 602、トランジスタ 603、トランジスタ 604、トランジスタ 605、および容量素子 606 を有し、光電変換素子 601 に接続されている。なお、図 6 1 (C) に示す画素駆動回路 610 は、光電変換素子 601 としてフォトダイオードを用いる場合を示している。トランジスタ 602 のソースまたはドレインの一方は光電変換素子 601 のカソードと電氣的に接続され、他方はノード 607 と電氣的に接続されている。光電変換素子 601 のアノードは、配線 611 と電氣的に接続されている。トランジスタ 603 のソースまたはドレインの一方はノード 607 と電氣的に接続され、他方は配線 608 と電氣的に接続されている。トランジスタ 604 のゲートはノード 607 と電氣的に接続され、ソースまたはドレインの一方は配線 609 と電氣的に接続され、他方はトランジスタ 605 のソースまたはドレインの一方と電氣的に接続されている。トランジスタ 605 のソースまたはドレインの他方は配線 608 と電氣的に接続されている。容量素子 606 の一方の電極はノード 607 と電氣的に接続され、他方の電極は配線 611 と電氣的に接続される。

20

【0486】

トランジスタ 602 は転送トランジスタとして機能できる。トランジスタ 602 のゲートには、転送信号 T X が供給される。トランジスタ 603 はリセットトランジスタとして機能できる。トランジスタ 603 のゲートには、リセット信号 R S T が供給される。トランジスタ 604 は増幅トランジスタとして機能できる。トランジスタ 605 は選択トランジスタとして機能できる。トランジスタ 605 のゲートには、選択信号 S E L が供給される。また、配線 608 に V D D が供給され、配線 611 には V S S が供給される。

30

【0487】

次に、図 6 1 (C) に示す画素駆動回路 610 の動作について説明する。まず、トランジスタ 603 をオン状態にして、ノード 607 に V D D を供給する (リセット動作)。その後、トランジスタ 603 をオフ状態にすると、ノード 607 に V D D が保持される。次に、トランジスタ 602 をオン状態とすると、光電変換素子 601 の受光量に応じて、ノード 607 の電位が変化する (蓄積動作)。その後、トランジスタ 602 をオフ状態にすると、ノード 607 の電位が保持される。次に、トランジスタ 605 をオン状態とすると、ノード 607 の電位に応じた電位が配線 609 から出力される (選択動作)。配線 609 の電位を検出することで、光電変換素子 601 の受光量を知ることができる。

40

【0488】

トランジスタ 602 およびトランジスタ 603 には、OS トランジスタを用いることが好ましい。前述した通り、OS トランジスタはオフ電流を極めて小さくすることができるため、容量素子 606 を小さくすることができる。または、容量素子 606 を省略することができる。また、トランジスタ 602 およびトランジスタ 603 として OS トランジスタを用いると、ノード 607 の電位が変動しにくい。よって、ノイズの影響を受けにくい撮像装置を実現することができる。

【0489】

図 6 1 (A) 乃至図 6 1 (C) に示したいずれかの画素駆動回路 610 を用いた画素 6

50

2 2 をマトリクス状に配置することで、解像度の高い撮像装置が実現できる。

【0490】

例えば、画素駆動回路 6 1 0 を 1 9 2 0 × 1 0 8 0 のマトリクス状に配置すると、いわゆるフルハイビジョン（「2 K 解像度」、「2 K 1 K」、「2 K」などとも言われる。）の解像度で撮像可能な撮像装置を実現することができる。また、例えば、画素駆動回路 6 1 0 を 4 0 9 6 × 2 1 6 0 のマトリクス状に配置すると、いわゆるウルトラハイビジョン（「4 K 解像度」、「4 K 2 K」、「4 K」などとも言われる。）の解像度で撮像可能な撮像装置を実現することができる。また、例えば、画素駆動回路 6 1 0 を 8 1 9 2 × 4 3 2 0 のマトリクス状に配置すると、いわゆるスーパーハイビジョン（「8 K 解像度」、「8 K 4 K」、「8 K」などとも言われる。）の解像度で撮像可能な撮像装置を実現することができる。表示素子を増やすことで、1 6 K や 3 2 K の解像度で撮像可能な撮像装置を実現することも可能である。

10

【0491】

上述したトランジスタを用いた画素 6 2 2 の構造例を図 6 2 に示す。図 6 2 は画素 6 2 2 の一部の断面図である。

【0492】

図 6 2 に示す画素 6 2 2 は、基板 4 0 0 として n 型半導体を用いている。また、基板 4 0 0 中に光電変換素子 6 0 1 の p 型半導体 2 2 1 が設けられている。また、基板 4 0 0 の一部が、光電変換素子 6 0 1 の n 型半導体 2 2 3 として機能する。

【0493】

また、トランジスタ 6 0 4 は基板 4 0 0 上に設けられている。トランジスタ 6 0 4 は n チャンネル型のトランジスタとして機能できる。また、基板 4 0 0 の一部に p 型半導体のウェル 2 2 0 が設けられている。ウェル 2 2 0 は p 型半導体 2 2 1 の形成と同様の方法で設けることができる。また、ウェル 2 2 0 と p 型半導体 2 2 1 は同時に形成することができる。なお、トランジスタ 6 0 4 として、例えば上述したトランジスタ 4 9 1 を用いることができる。

20

【0494】

また、光電変換素子 6 0 1、およびトランジスタ 6 0 4 上に絶縁体 4 6 4 a および絶縁体 4 6 4 b が形成されている。絶縁体 4 6 4 a および絶縁体 4 6 4 b の基板 4 0 0 (n 型半導体 2 2 3) と重なる領域に開口 2 2 4 が形成され、絶縁体 4 6 4 a および絶縁体 4 6 4 b の p 型半導体 2 2 1 と重なる領域に開口 2 2 5 が形成されている。また、開口 2 2 4 および開口 2 2 5 に、プラグ 5 4 1 b が形成されている。プラグ 5 4 1 b は上述したプラグ 5 4 1 と同様に設けることができる。なお、開口 2 2 4 および開口 2 2 5 は、その数や配置に特段の制約は無い。よって、レイアウトの自由度が高い撮像装置を実現できる。

30

【0495】

また、絶縁体 4 6 4 b の上に、導電体 4 2 1、導電体 4 2 2、および導電体 4 2 9 が形成されている。導電体 4 2 1 は、開口 2 2 4 に設けられたプラグ 5 4 1 b を介して n 型半導体 2 2 3 (基板 4 0 0) と電気的に接続されている。また、導電体 4 2 9 は、開口 2 2 5 に設けられたプラグ 5 4 1 b を介して p 型半導体 2 2 1 と電気的に接続されている。導電体 4 2 2 は容量素子 6 0 6 の一方の電極として機能できる。

40

【0496】

また、導電体 4 2 1、導電体 4 2 9、および導電体 4 2 2 を覆って絶縁体 5 8 1 が形成されている。導電体 4 2 1、導電体 4 2 2、および導電体 4 2 9 は、上述した導電体 5 1 1 等と同様の材料および方法により形成することができる。

【0497】

また、絶縁体 5 8 1 の上に絶縁体 5 7 1 が形成され、絶縁体 5 7 1 の上に導電体 5 1 3、導電体 4 1 3、および電極 2 7 3 が形成されている。導電体 5 1 3 はプラグ 5 4 3 を介して導電体 4 2 9 と電気的に接続されている。導電体 4 1 3 は、トランジスタ 6 0 2 のバックゲートとして機能できる。電極 2 7 3 は、容量素子 6 0 6 の他方の電極として機能できる。トランジスタ 6 0 2 は、例えば、上述したトランジスタ 4 9 0 を用いることができ

50

る。

【0498】

また、トランジスタ602が有する導電体416aは、プラグ544を介して導電体513と電氣的に接続している。ここで図62に示すプラグ544bについては、図35のプラグ544bを参照することができる。

【0499】

<変形例1>

図62とは異なる画素622の構成例を図63に示す。図63は画素622の一部の断面図である。

【0500】

図63に示す画素622は、基板400上にトランジスタ604とトランジスタ605が設けられている。トランジスタ604はnチャネル型のトランジスタとして機能できる。トランジスタ605はpチャネル型のトランジスタとして機能できる。なお、トランジスタ604として、例えば上述したトランジスタ491を用いることができる。トランジスタ605として、例えば上述したトランジスタ494を用いることができる。

【0501】

絶縁体464bの上に導電体413a乃至導電体413dが形成されている。導電体413aはトランジスタ604のソースまたはドレインの一方と電氣的に接続され、導電体413bはトランジスタ604のソースまたはドレインの他方と電氣的に接続されている。導電体413cは、トランジスタ604のゲートと電氣的に接続されている。導電体413dはトランジスタ605のソースまたはドレインの一方と電氣的に接続され、導電体413eはトランジスタ605のソースまたはドレインの他方と電氣的に接続されている。

【0502】

絶縁体464bの上に絶縁体581が形成されている。絶縁体581の上に絶縁体571が形成されている。絶縁体571の上に絶縁体585と、導電体413と、導電体513とが形成されている。導電体513はプラグ543を介して導電体413cと接続する。ここでプラグ543は、絶縁体571上に凸部を有する。

【0503】

また、導電体513、導電体413、および絶縁体585上に絶縁体571aが形成されている。絶縁体571a上にはトランジスタ602が形成されている。トランジスタ602上には絶縁体408と、絶縁体408上の絶縁体591とが形成されている。絶縁体591上には導電体514と、絶縁体592とが形成されている。

【0504】

また、図63に示す画素622は、絶縁体592上に光電変換素子601が設けられている。また、光電変換素子601上に絶縁体442が設けられ、絶縁体442上に導電体488が設けられている。絶縁体442は、絶縁体591と同様の材料および方法で形成することができる。

【0505】

図63に示す光電変換素子601は、金属材料などで形成された導電体686と透光性導電層682との間に光電変換層681を有する。図63では、セレン系材料を光電変換層681に用いた形態を示している。セレン系材料を用いた光電変換素子601は、可視光に対する外部量子効率が高い特性を有する。当該光電変換素子では、アバランシェ現象により入射される光量に対する電子の増幅が大きい高感度のセンサとすることができる。また、セレン系材料は光吸収係数が高いため、光電変換層681を薄くしやすい利点を有する。

【0506】

セレン系材料としては、非晶質セレンまたは結晶セレンを用いることができる。結晶セレンは、一例として、非晶質セレンを成膜後、熱処理することで得ることができる。なお、結晶セレンの結晶粒径を画素ピッチより小さくすることで、画素ごとの特性ばらつきを

10

20

30

40

50

低減させることができる。また、結晶セレンは、非晶質セレンよりも可視光に対する分光感度や光吸収係数が高い特性を有する。

【0507】

なお、光電変換層681は単層として図示しているが、セレン系材料の受光面側に正孔注入阻止層として酸化ガリウムまたは酸化セリウムなどを設け、導電体686側に電子注入阻止層として酸化ニッケルまたは硫化アンチモンなどを設ける構成とすることもできる。

【0508】

また、光電変換層681は、銅、インジウム、セレンの化合物(CIS)を含む層であってもよい。または、銅、インジウム、ガリウム、セレンの化合物(CIGS)を含む層であってもよい。CISおよびCIGSでは、セレンの単層と同様にアバランシェ現象が利用できる光電変換素子を形成することができる。

10

【0509】

また、CISおよびCIGSはp型半導体であり、接合を形成するためにn型半導体の硫化カドミウムや硫化亜鉛等を接して設けてもよい。

【0510】

アバランシェ現象を発生させるためには、光電変換素子に比較的高い電圧(例えば、10V以上)を印加することが好ましい。OSTランジスタは、Siトランジスタよりもドレイン耐圧の高い特性を有するため、光電変換素子に比較的高い電圧を印加することが容易である。したがって、ドレイン耐圧の高いOSTランジスタと、セレン系材料を光電変換層とした光電変換素子とを組み合わせることで、高感度、かつ信頼性の高い撮像装置とすることができる。

20

【0511】

透光性導電層682には、例えば、インジウム錫酸化物、シリコンを含むインジウム錫酸化物、亜鉛を含む酸化インジウム、酸化亜鉛、ガリウムを含む酸化亜鉛、アルミニウムを含む酸化亜鉛、酸化錫、フッ素を含む酸化錫、アンチモンを含む酸化錫、またはグラフェン等を用いることができる。また、透光性導電層682は単層に限らず、異なる膜の積層であっても良い。また、図63では、透光性導電層682と配線487が、導電体488およびプラグ489を介して電氣的に接続する構成を図示しているが、透光性導電層682と配線487が直接接してもよい。

30

【0512】

また、導電体686および配線487などは、複数の導電層を積層した構成であってもよい。例えば、導電体686を二層とし、配線487を二層とすることができる。また、例えば、導電体686および導電体487の下層を低抵抗の金属等を選択して形成し、導電体686および導電体487の上層を光電変換層681とコンタクト特性の良い金属等を選択して形成するとよい。このような構成とすることで、光電変換素子の電気特性を向上させることができる。また、一部の金属は透光性導電層682と接触することにより電蝕を起こすことがある。そのような金属を導電体487aに用いた場合でも導電体487bを介することによって電蝕を防止することができる。

40

【0513】

導電体686および導電体487の上層には、例えば、モリブデンやタングステンなどを用いることができる。また、導電体686および導電体487の下層には、例えば、アルミニウム、チタン、またはアルミニウムをチタンで挟むような積層を用いることができる。

【0514】

また、絶縁体442が多層である構成であってもよい。隔壁477は、無機絶縁体や絶縁有機樹脂などを用いて形成することができる。また、隔壁477は、トランジスタ等に対する遮光のため、および/または1画素あたりの受光部の面積を確定するために黒色等に着色されていてもよい。

【0515】

50

また、光電変換素子601には、非晶質シリコン膜や微結晶シリコン膜などを用いたpin型のダイオード素子などを用いてもよい。当該フォトダイオードは、n型の半導体層、i型の半導体層、およびp型の半導体層が順に積層された構成を有している。i型の半導体層には非晶質シリコンを用いることが好ましい。また、p型の半導体層およびn型の半導体層には、それぞれの導電性を付与するドーパントを含む非晶質シリコンまたは微結晶シリコンなどを用いることができる。非晶質シリコンを光電変換層とするフォトダイオードは可視光の波長領域における感度が高く、微弱な可視光を検知しやすい。

【0516】

なお、pn型やpin型のダイオード素子は、p型の半導体層が受光面となるように設けることが好ましい。p型の半導体層を受光面とすることで、光電変換素子601の出力電流を高めることができる。

10

【0517】

上述したセレン系材料や非晶質シリコンなどを用いて形成した光電変換素子601は、成膜工程、リソグラフィ工程、エッチング工程などの一般的な半導体作製工程を用いて作製することができる。

【0518】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【0519】

(本明細書等の記載に関する付記)

20

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

【0520】

<実施の形態で述べた本発明の一態様に関する付記>

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互い構成例を適宜組み合わせることが可能である。

【0521】

なお、ある一つの実施の形態の中で述べる内容(一部の内容でもよい)は、その実施の形態で述べる別の内容(一部の内容でもよい)、及び/又は、一つ若しくは複数の別の実施の形態で述べる内容(一部の内容でもよい)に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

30

【0522】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0523】

なお、ある一つの実施の形態において述べる図(一部でもよい)は、その図の別の部分、その実施の形態において述べる別の図(一部でもよい)、及び/又は、一つ若しくは複数の別の実施の形態において述べる図(一部でもよい)に対して、組み合わせることにより、さらに多くの図を構成させることができる。

【0524】

40

また、各実施の形態において本発明の一態様を説明したが、本発明の一態様はこれらに限定されない。例えば、本発明の一態様として実施の形態1では、オフ電流が低いトランジスタとしてOSTランジスタを用いる構成について説明したが、本発明の一態様は、オフ電流が低いトランジスタであればよいので、OSTランジスタに限定されない。したがって、状況に応じて、例えばOSTランジスタを用いない構成を本発明の一態様としてもよい。

【0525】

<図面を説明する記載に関する付記>

本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。構成同士的位置関係は、各構

50

成を描写する方向に応じて適宜変化する。そのため、配置を示す語句は、明細書で説明した記載に限定されず、状況に応じて適切に言い換えることができる。

【0526】

また、「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層 A 上の電極 B」の表現であれば、絶縁層 A の上に電極 B が直接接して形成されている必要はなく、絶縁層 A と電極 B との間に他の構成要素を含むものを除外しない。

【0527】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

10

【0528】

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0529】

また、図面において、上面図（平面図、レイアウト図ともいう）や斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

20

【0530】

< 言い換え可能な記載に関する付記 >

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソース又はドレインの一方」（又は第 1 電極、又は第 1 端子）と表記し、ソースとドレインとの他方を「ソース又はドレインの他方」（又は第 2 電極、又は第 2 端子）と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

30

【0531】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0532】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧とすると、電圧を電位に言い換えることができる。グラウンド電圧は必ずしも 0 V を意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

40

【0533】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電膜」という用語を、「導電層」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0534】

< 語句の定義に関する付記 >

以下では、上記実施の形態中で言及しなかった語句の定義について説明する。

50

【0535】

<<スイッチについて>>

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

【0536】

一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

【0537】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。

10

【0538】

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソースとドレインが電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソースとドレインが電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

20

【0539】

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0540】

<<チャンネル長について>>

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

30

【0541】

なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0542】

<<チャンネル幅について>>

本明細書等において、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

40

【0543】

なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0544】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャ

50

ネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

【0545】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

10

【0546】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW：Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

20

【0547】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0548】

<<接続について>>

本明細書等において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間で、何らかの電氣的な作用を有する対象物が存在するとき、AとBとの電気信号の授受を可能とするものをいう。

30

【0549】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合は、以下のように表現することが出来る。

40

【0550】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されてい

50

る」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

【0551】

または、別の表現方法として、例えば、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（又は第1の端子など）とトランジスタのドレイン（又は第2の端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース（又は第1の端子など）からトランジスタのドレイン（又は第2の端子など）への電氣的パスであり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン（又は第2の端子など）からトランジスタのソース（又は第1の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

【0552】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電層、層、など）であるとする。

【実施例1】

【0553】

本実施例では、導電膜の水素の透過性についてTDSを用いて調査した結果について説明する。

【0554】

試料は、シリコン基板に厚さが100nmの酸化シリコンを熱酸化法によって形成し、その後、厚さが280nmの窒化酸化シリコン膜を、PECVD装置を用いて形成した。窒化酸化シリコン膜の成膜は、シランガス40sccm、アンモニアガス300sccm、一酸化二窒素ガス30sccmおよび窒素ガス900sccmを含む雰囲気にて圧力を160Paに制御し、基板温度325℃、電源出力250W（周波数27.12MHz）、電極基板間距離20mmで行った。該窒化酸化シリコン膜には、多量の水素が含まれており、水素放出膜として機能する。

【0555】

10

20

30

40

50

次に、窒化酸化シリコン膜上にバリア膜として窒化タンタルまたは窒化チタンを、スパッタリング装置を用いて成膜した。

【0556】

窒化タンタル膜の成膜は、アルゴンガス50 s c c mおよび窒素ガス10 s c c mを含む雰囲気にて圧力を0.6 Paに制御し、基板温度は室温(25 程度)、電源出力1 kW(DC電源)、ターゲット 基板間距離60 mmで行った。窒化タンタル膜の膜厚は、10 nm、20 nmおよび30 nmとした。また比較のため、窒化タンタル膜を成膜しない試料も準備した。

【0557】

窒化チタン膜の成膜は、窒素ガス50 s c c mを含む雰囲気にて圧力を0.2 Paに制御し、基板温度は室温、電源出力1.2 kW(DC電源)、ターゲット 基板間距離400 mmで行った。窒化チタンの膜厚は10 nmとした。

【0558】

以上のようにして作製した試料に対し、TDS分析を行った結果を図64に示す。図64のTDS結果は、質量電荷比である m/z が2(H_2 など)の結果を示す。図64(A)にはバリア膜として窒化タンタル膜を成膜した試料と、バリア膜が形成されていない試料の分析結果を、図64(B)には窒化チタン膜を成膜した試料の分析結果を、それぞれ示す。

【0559】

図64(A)および(B)より、窒化酸化シリコン膜の上にバリア膜が形成されていない試料と比べて、窒化タンタル膜を形成した試料および窒化チタン膜を形成した試料は、 m/z が2の脱ガスの始まる温度が高温側にシフトし、さらに窒化タンタル膜の膜厚が大きいほど m/z が2の脱ガスが始まる温度が高温側にシフトしていることがわかった。このことから、窒化タンタル膜および窒化チタン膜は水素の透過性が低く、水素のブロッキング性を有することがわかった。また、窒化タンタルの膜厚が20 nm以上の場合において、400 近傍の温度においても水素の放出量は低く抑えられることがわかった。

【実施例2】

【0560】

本実施例では、導電膜の銅のブロッキング性について、SIMS(Secondary Ion Mass Spectrometry)分析を用いて調査した結果について説明する。ここで、SIMS分析は基板側から行った。

【0561】

試料は、シリコン基板に厚さ400 nmの酸化シリコンを熱酸化法によって形成し、その後、厚さが200 nmの窒化チタン膜を、スパッタリング装置を用いて成膜した。次に、バリア膜をスパッタリング装置を用いて成膜した。次に、厚さ200 nmの銅の膜を、スパッタリング装置を用いて成膜した。その後、窒化タンタルを50 nmスパッタリング装置を用いて成膜した後、窒化シリコンを100 nm成膜した。その後、窒素雰囲気中で500、1時間の加熱処理を行った。上記バリア膜の条件として、条件1乃至4の4条件を用いた。

【0562】

条件1として、タンタル膜を40 nm成膜した。条件2として、窒化タンタルを40 nm成膜した。条件3として、タンタルを20 nm成膜した後、窒化タンタルを20 nm成膜した。条件4として、窒化タンタルを20 nm成膜した後、タンタルを20 nm成膜した。タンタルの成膜条件として、スパッタリング法を用い、アルゴンガス100 s c c mを含む雰囲気にて圧力を1.4 Paに制御し、基板温度は室温(25 程度)、電源出力2 kW(DC電源)、ターゲット 基板間距離60 mmで行った。また、窒化タンタルの成膜条件として、スパッタリング法を用い、アルゴンガス50 s c c mおよび窒素ガス10 s c c mを含む雰囲気にて圧力を0.6 Paに制御し、基板温度は室温、電源出力1 kW(DC電源)、ターゲット 基板間距離60 mmで行った。

【0563】

次に、以上のようにして作製した試料に対し、SIMS分析を行った結果を図65および図66に示す。なお、図65および図66は、窒化チタン膜中の銅の濃度を示す。

【0564】

図65および図66に示す結果より、バリア膜に窒化タンタル膜を用いた試料(条件2)は、窒化チタン膜中の銅の濃度は $8 \times 10^{19} \text{ atoms/cm}^3$ 程度を示した。また、バリア膜にタンタル膜を用いた試料(条件1)は、窒化チタン膜中の銅濃度は $2 \times 10^{17} \text{ atoms/cm}^3$ 程度を示した。また、バリア膜としてタンタルと窒化タンタルを積層した試料(条件3および4)においても窒化チタン膜中の銅濃度を低く抑えることができた。以上の結果より、タンタル膜は、優れた銅のブロッキング性を有していることがわかった。

10

【実施例3】

【0565】

本実施例では、本発明の一態様の記憶装置を有するCPUの設計例について説明する。

【0566】

図67(A)および(B)は、CPUのレイアウトを示す。図67(A)および(B)に示すCPUは、CPUコア領域(Core area)と、組み込み型の記憶装置が設けられるメモリ領域(Memory area)とを有する。図67(A)、(B)ともに、CPUコア領域の面積は $467 \mu\text{m} \times 444 \mu\text{m}$ 、メモリ領域の面積は $900 \mu\text{m} \times 636 \mu\text{m}$ であった。図67(A)は、メモリ領域として図27(C)に示した回路を用いる例を示す。図67(B)は、メモリ領域として図27(B)に示した回路を用いる例を示す。

20

【0567】

図67(A)および(B)のCPUの仕様を以下に示す。

【0568】

チップサイズは $2.99 \text{ mm} \times 2.45 \text{ mm}$ であった。供給電圧として、 3.3 V と 1.2 V の2系統を有する。記憶装置が有するトランジスタ490へのゲート電圧の入力部への供給電圧は 3.3 V とし、論理回路等を含むその他の周辺回路への供給電圧は 1.2 V とした。

【0569】

クロック周波数は 50 MHz とした。ゲート最小寸法を 65 nm とした。コア領域において、スタンバイ時の消費電力は、27において $16.78 \mu\text{W}$ 、85において $123.13 \mu\text{W}$ と見積もられ、動作時における周波数あたりの消費電力は、27において $22.07 \mu\text{W/MHz}$ と見積もられた。

30

【0570】

また保持用の記憶装置として、上述の図27(C)または図27(B)の記憶装置の他に、フリップフロップに酸化物半導体を有するトランジスタと容量とを接続した記憶装置を有する。フリップフロップに酸化物半導体を有するトランジスタと容量とを接続することにより、電源をオフしてもデータを保持する構成とすることができる。フリップフロップへデータを保持するまでの時間は 50 MHz 動作において、 20 ns と見積もられ、フリップフロップへ保持されたデータのリカバリー時間は 50 MHz 動作において、 40 ns と見積もられた。また、フリップフロップは、85において1時間より長くデータを保持できる。

40

【0571】

次に、図67(A)のメモリ領域に適用可能な記憶装置のレイアウト例を、図68(A)に示す。容量は 2 kbyte で、1ブロックは、8本のワード線と256本の折り返されたデジット線を有し、計16のブロックを有する。最大周波数は 100 MHz 、スタンバイ時の消費電力は $0.539 \mu\text{W}$ 、書き込み電力は 50 MHz 動作において 0.646 mW (0.40 pJ/bit)、読み出し電力は 50 MHz 動作において 0.521 mW (0.33 pJ/bit)、とそれぞれ見積もられた。データ保持時間は、85において1時間より長い。1ビットの面積は $2.9 \mu\text{m}^2$ ($5.01 \mu\text{m} \times 0.58 \mu\text{m}$)であ

50

った。チップ面積は 0.083 mm^2 ($0.375 \text{ mm} \times 0.22 \text{ mm}$) であった。ここで有効面積とは、チップ全体に占めるメモリセルアレイの領域を指す。

【0572】

次に、図67(B)のメモリ領域に適用可能な記憶装置のレイアウト例を、図68(B)に示す。メモリ容量は 8 kbyte であり、 $128 \text{ 行} \times 128 \text{ 列}$ の容量1ビットのメモリセルを1ブロックとし、計4のブロックを有する。最大周波数は 67 MHz 、スタンバイ時の消費電力は $1.1 \mu\text{W}$ 、書き込み電力は 50 MHz 動作において 2.0 mW (41 pJ)、読み出し電力は 50 MHz 動作において 1.7 mW (34 pJ) とそれぞれ見積もられた。データ保持時間は、 85 において1時間より長い。1ビットの面積は $1.12 \mu\text{m}^2$ ($1.4 \mu\text{m} \times 0.8 \mu\text{m}$) であった。チップ面積は 0.184 mm^2 ($0.549 \text{ mm} \times 0.336 \text{ mm}$) であった。

10

【実施例4】

【0573】

本実施例では、本発明の一態様を用いた撮像装置の設計例について説明する。

【0574】

図69は、撮像装置のレイアウトの一例を示す。図69に示す撮像装置は、画素部にOSトランジスタを用いている。OSトランジスタを用いた撮像装置の例としては、例えば実施の形態8を参照することができる。

【0575】

図69に示す撮像装置の仕様を記載する。画素領域の面積は縦 5.2 mm \times 横 2.8 mm であった。画素数は 1920×1080 個であった。1画素のサイズは、縦 $2.7 \mu\text{m}$ \times 横 $2.6 \mu\text{m}$ であった。光電変換素子としてフォトダイオードを用い、画素部に4つのOSトランジスタを用いた。周辺回路としてRow driver回路を有する。また、読み出し回路は12ビットの、Single-slope counter方式のアナログデジタル変換回路と、CDS (Correlated Double Sampling) 回路と、を有する。

20

【符号の説明】

【0576】

145	混合層	
150	容量素子	30
207	マスク	
208	マスク	
209	マスク	
210	マスク	
220	ウェル	
221	p型半導体	
223	n型半導体	
224	開口	
225	開口	
260	第1の回路	40
270	第2の回路	
273	電極	
280	第3の回路	
290	第4の回路	
390	トラップ準位	
400	基板	
402	絶縁体	
404	導電体	
404b	導電体	
404d	導電体	50

4 0 6	半 導 体 層	
4 0 6 a	酸 化 物 層	
4 0 6 b	酸 化 物 層	
4 0 6 c	酸 化 物 層	
4 0 6 f	酸 化 物 層	
4 0 7	チ ャ ネ ル 形 成 領 域	
4 0 8	絶 縁 体	
4 1 2	絶 縁 体	
4 1 2 d	絶 縁 体	
4 1 3	導 電 体	10
4 1 3 a	導 電 体	
4 1 3 b	導 電 体	
4 1 3 c	導 電 体	
4 1 3 d	導 電 体	
4 1 6 a	導 電 体	
4 1 6 b	導 電 体	
4 2 1	導 電 体	
4 2 2	導 電 体	
4 2 3 a	低 抵 抗 領 域	
4 2 3 b	低 抵 抗 領 域	20
4 2 6 a	導 電 体	
4 2 6 b	導 電 体	
4 2 9	導 電 体	
4 4 2	絶 縁 体	
4 5 4	導 電 体	
4 6 0	素 子 分 離 領 域	
4 6 2	絶 縁 体	
4 6 4	絶 縁 体	
4 6 4 a	絶 縁 体	
4 6 4 b	絶 縁 体	30
4 7 0	絶 縁 膜	
4 7 4	領 域	
4 7 6	領 域	
4 7 7	隔 壁	
4 8 7	配 線	
4 8 8	導 電 体	
4 8 9	プ ラ グ	
4 9 0	ト ラ ン ジ ス タ	
4 9 1	ト ラ ン ジ ス タ	
4 9 2	ト ラ ン ジ ス タ	40
4 9 3	ト ラ ン ジ ス タ	
4 9 4	ト ラ ン ジ ス タ	
5 0 0	半 導 体 装 置	
5 1 1	導 電 体	
5 1 1 a	導 電 体	
5 1 1 b	導 電 体	
5 1 1 d	導 電 体	
5 1 2	導 電 体	
5 1 3	導 電 体	
5 1 3 a	導 電 体	50

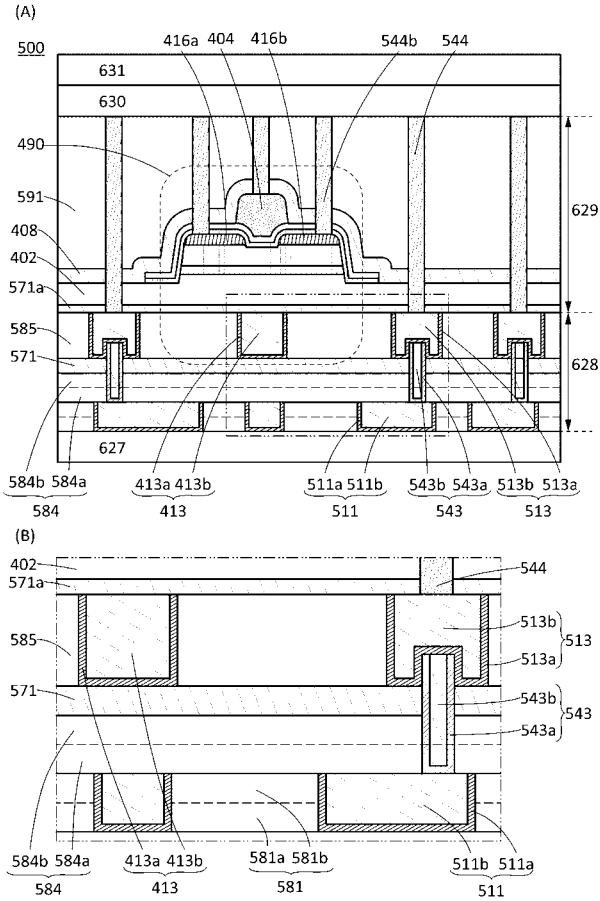
5 1 3 b	導電体	
5 1 4	導電体	
5 1 5	導電体	
5 1 6	導電体	
5 1 6 b	導電体	
5 1 7	導電体	
5 1 7 a	導電体	
5 1 7 b	導電体	
5 1 8	導電体	
5 1 8 b	導電体	10
5 1 9	導電体	
5 4 1	プラグ	
5 4 1 b	プラグ	
5 4 2	プラグ	
5 4 3	プラグ	
5 4 3 a	プラグ	
5 4 3 b	プラグ	
5 4 4	プラグ	
5 4 4 b	プラグ	
5 4 4 c	プラグ	20
5 4 5	プラグ	
5 4 6	プラグ	
5 4 7	プラグ	
5 4 7 b	プラグ	
5 4 8	プラグ	
5 7 1	絶縁体	
5 7 1 a	絶縁体	
5 7 1 b	絶縁体	
5 7 2	絶縁体	
5 8 1	絶縁体	30
5 8 1 a	絶縁体	
5 8 1 b	絶縁体	
5 8 1 c	絶縁体	
5 8 2	絶縁体	
5 8 3	絶縁体	
5 8 4	絶縁体	
5 8 4 a	絶縁体	
5 8 4 b	絶縁体	
5 8 5	絶縁体	
5 8 5 a	絶縁体	40
5 8 5 b	絶縁体	
5 9 1	絶縁体	
5 9 2	絶縁体	
5 9 2 a	絶縁体	
5 9 2 b	絶縁体	
5 9 2 c	絶縁体	
5 9 3	絶縁体	
5 9 4	絶縁体	
5 9 5	絶縁体	
5 9 9	絶縁体	50

6 0 0	撮像装置	
6 0 1	光電変換素子	
6 0 2	トランジスタ	
6 0 3	トランジスタ	
6 0 4	トランジスタ	
6 0 5	トランジスタ	
6 0 6	容量素子	
6 0 6 a	酸化物層	
6 0 6 b	酸化物層	
6 0 6 c	酸化物層	10
6 0 7	ノード	
6 0 8	配線	
6 0 9	配線	
6 1 0	画素駆動回路	
6 1 1	配線	
6 1 2	絶縁体	
6 1 3	導電体	
6 1 3 a	導電体	
6 1 3 b	導電体	
6 1 3 d	導電体	20
6 1 3 e	導電体	
6 1 4	導電体	
6 1 6 a	導電体	
6 1 6 b	導電体	
6 1 8	絶縁体	
6 1 9	絶縁体	
6 2 1	画素部	
6 2 2	画素	
6 2 2 B	画素	
6 2 2 G	画素	30
6 2 2 R	画素	
6 2 3	画素	
6 2 4	フィルタ	
6 2 4 B	フィルタ	
6 2 4 G	フィルタ	
6 2 4 R	フィルタ	
6 2 5	層	
6 2 6	配線群	
6 2 7	層	
6 2 8	層	40
6 2 9	層	
6 3 0	層	
6 3 1	層	
6 3 2	開口部	
6 3 5	レンズ	
6 4 1	高さ	
6 4 2	高さ	
6 4 3	高さ	
6 6 0	光	
6 6 0 a	容量素子	50

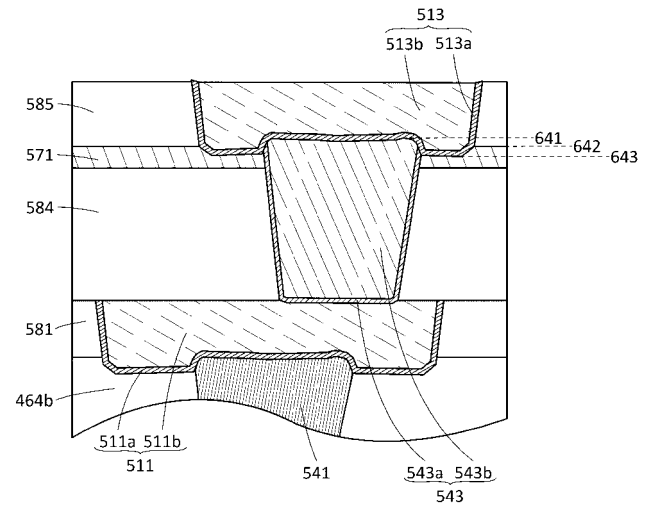
6 6 0 b	容量素子	
6 6 1 a	トランジスタ	
6 6 1 b	トランジスタ	
6 6 2 a	トランジスタ	
6 6 2 b	トランジスタ	
6 6 3 a	インバータ	
6 6 3 b	インバータ	
6 8 1	光電変換層	
6 8 2	透光性導電層	
6 8 6	導電体	10
7 0 0	基板	
7 0 1	画素部	
7 0 2	第 1 の走査線駆動回路	
7 0 3	第 2 の走査線駆動回路	
7 0 4	信号線駆動回路	
7 1 0	容量配線	
7 1 2	ゲート配線	
7 1 3	ゲート配線	
7 1 4	ドレイン電極層	
7 1 6	トランジスタ	20
7 1 7	トランジスタ	
7 1 8	液晶素子	
7 1 9	液晶素子	
7 2 0	画素	
7 2 1	スイッチング用トランジスタ	
7 2 2	駆動用トランジスタ	
7 2 3	容量素子	
7 2 4	発光素子	
7 2 5	信号線	
7 2 6	走査線	30
7 2 7	電源線	
7 2 8	共通電極	
8 0 0	R F タグ	
8 0 1	通信器	
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	
8 0 6	定電圧回路	
8 0 7	復調回路	40
8 0 8	変調回路	
8 0 9	論理回路	
8 1 0	記憶回路	
8 1 1	R O M	
1 1 8 9	R O M インターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L U コントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	50

1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	
1 1 9 8	バスインターフェース	
1 1 9 9	R O M	
1 2 0 0	記憶装置	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	10
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	20
2 9 0 0	携帯型ゲーム機	
2 9 0 1	筐体	
2 9 0 2	筐体	
2 9 0 3	表示部	
2 9 0 4	表示部	
2 9 0 5	マイクロホン	
2 9 0 6	スピーカ	
2 9 0 7	操作キー	
2 9 0 8	スタイラス	
2 9 1 0	情報端末	30
2 9 1 1	筐体	
2 9 1 2	表示部	
2 9 1 3	カメラ	
2 9 1 4	スピーカ部	
2 9 1 5	ボタン	
2 9 1 6	外部接続部	
2 9 1 7	マイク	
2 9 2 0	ノート型パーソナルコンピュータ	
2 9 2 1	筐体	
2 9 2 2	表示部	40
2 9 2 3	キーボード	
2 9 2 4	ポインティングデバイス	
2 9 4 0	ビデオカメラ	
2 9 4 1	筐体	
2 9 4 2	筐体	
2 9 4 3	表示部	
2 9 4 4	操作キー	
2 9 4 5	レンズ	
2 9 4 6	接続部	
2 9 5 0	情報端末	50

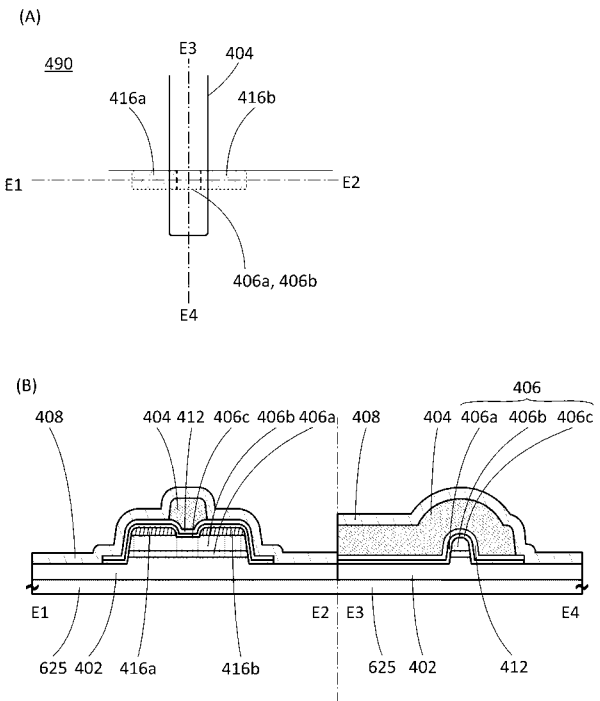
【 図 3 】



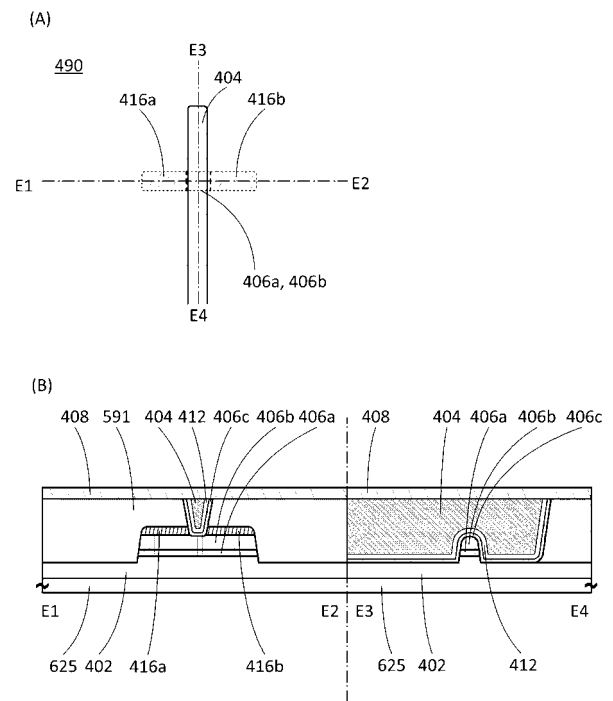
【 図 4 】



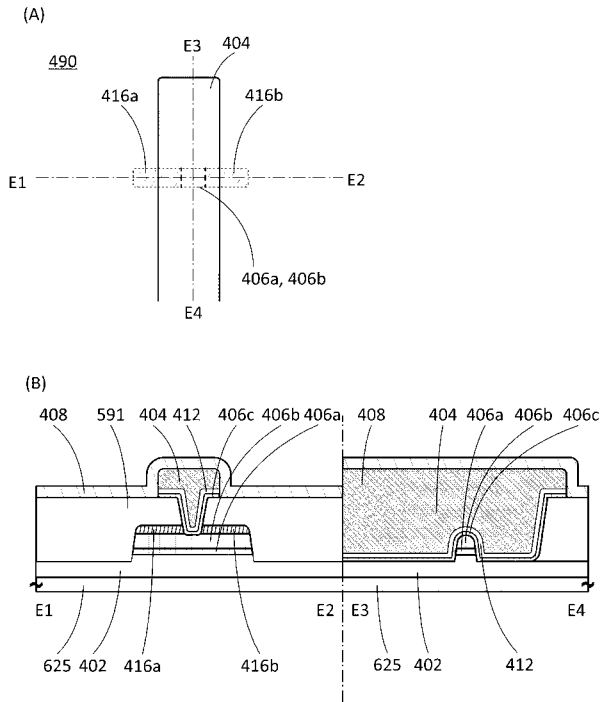
【 図 5 】



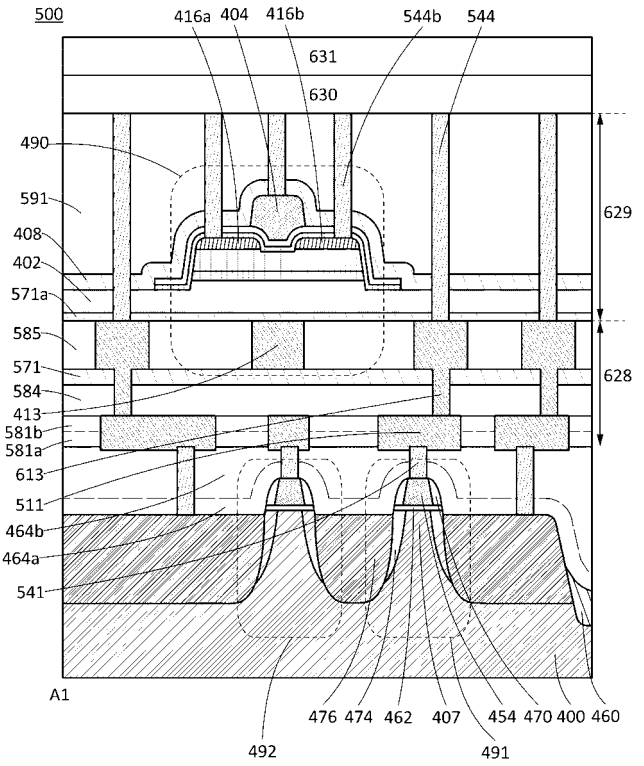
【 図 6 】



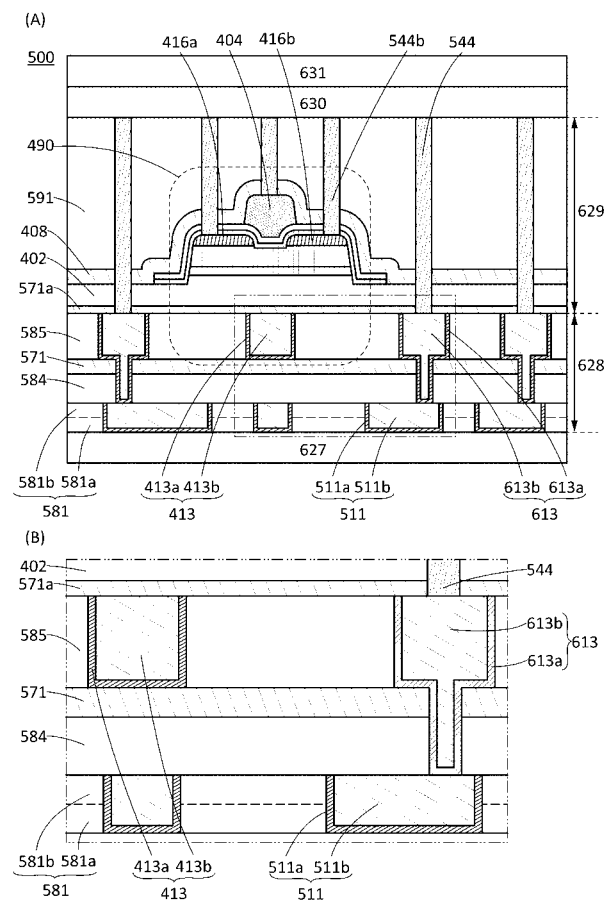
【 図 7 】



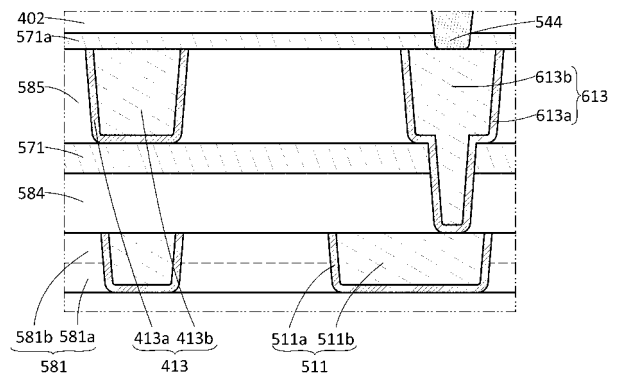
【 図 8 】



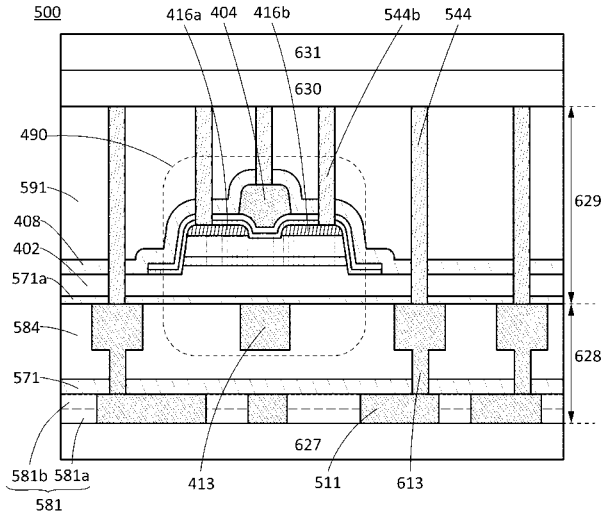
【 図 9 】



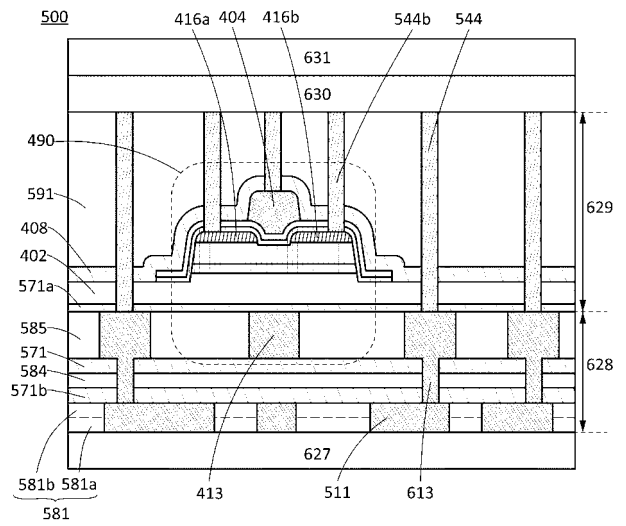
【 図 10 】



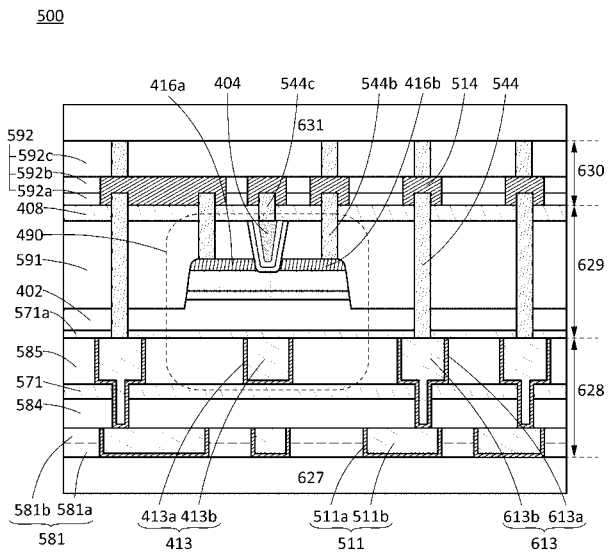
【 図 1 1 】



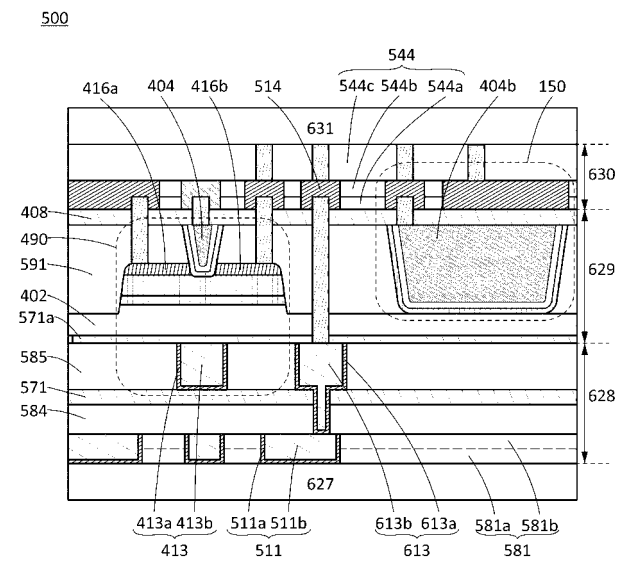
【 図 1 2 】



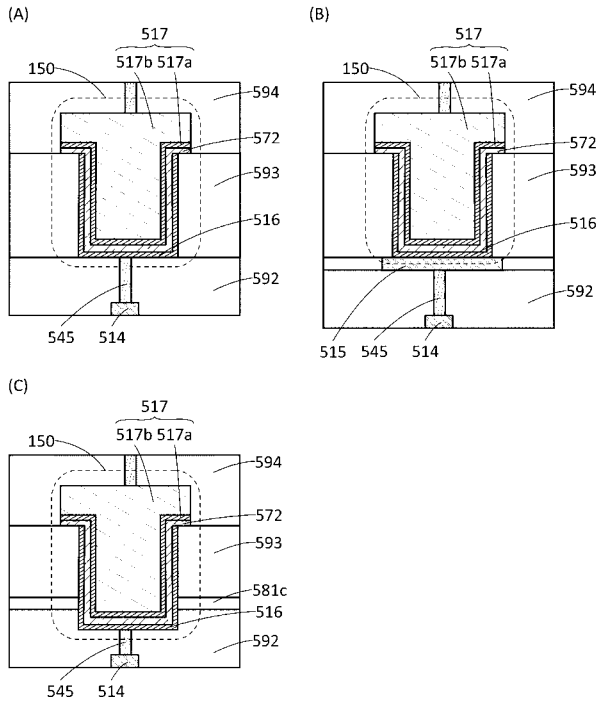
【 図 1 3 】



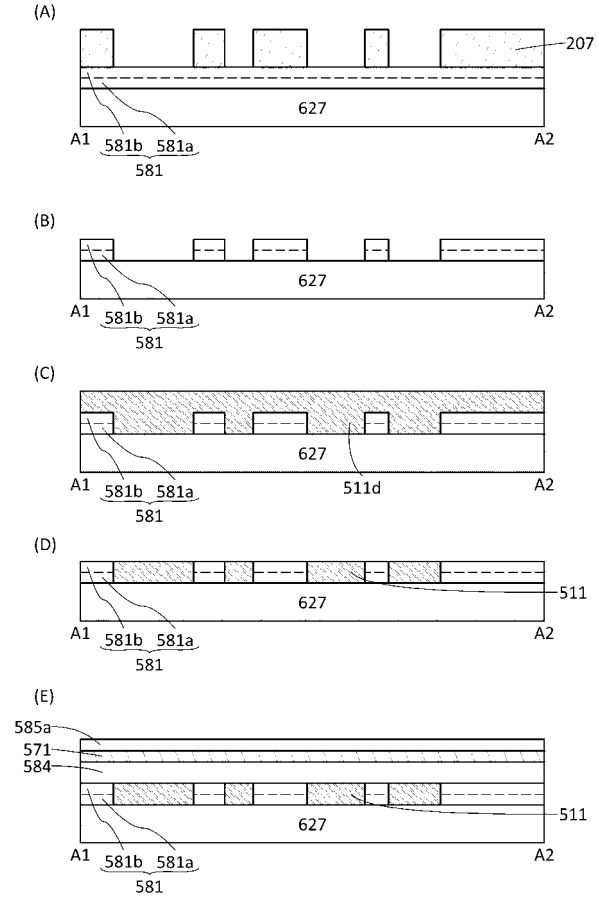
【 図 1 4 】



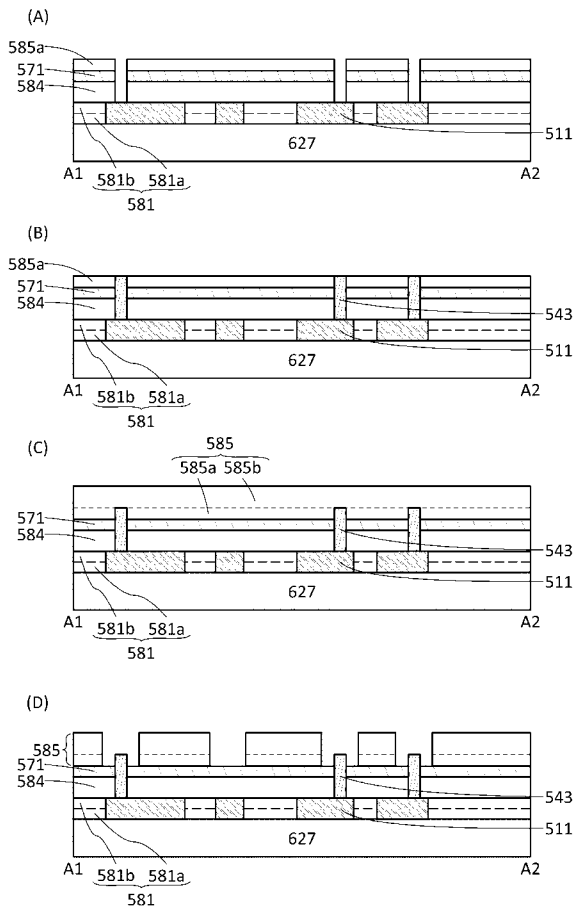
【図 15】



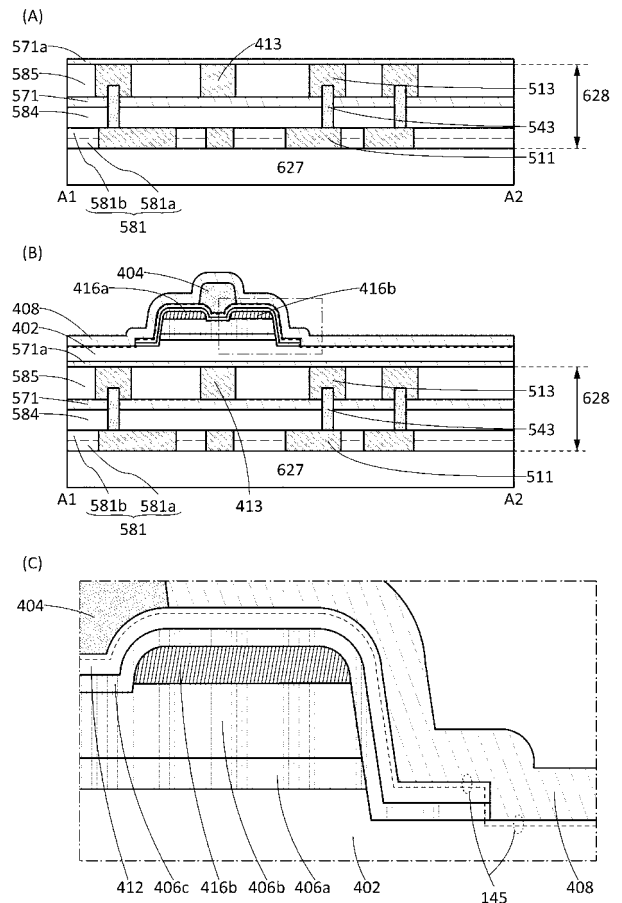
【図 16】



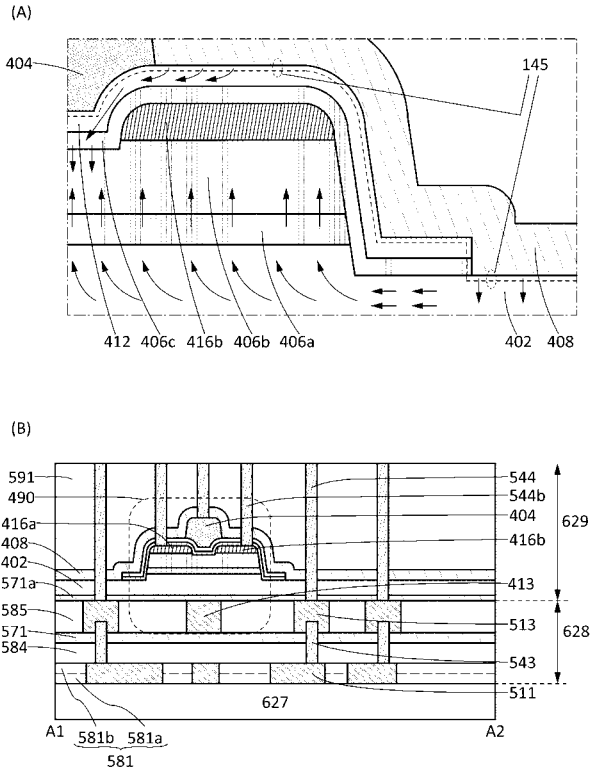
【図 17】



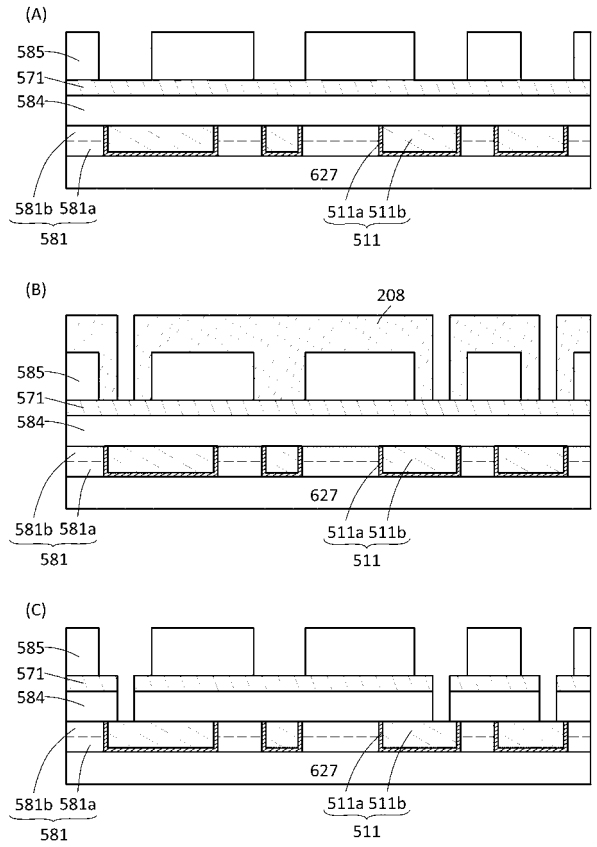
【図 18】



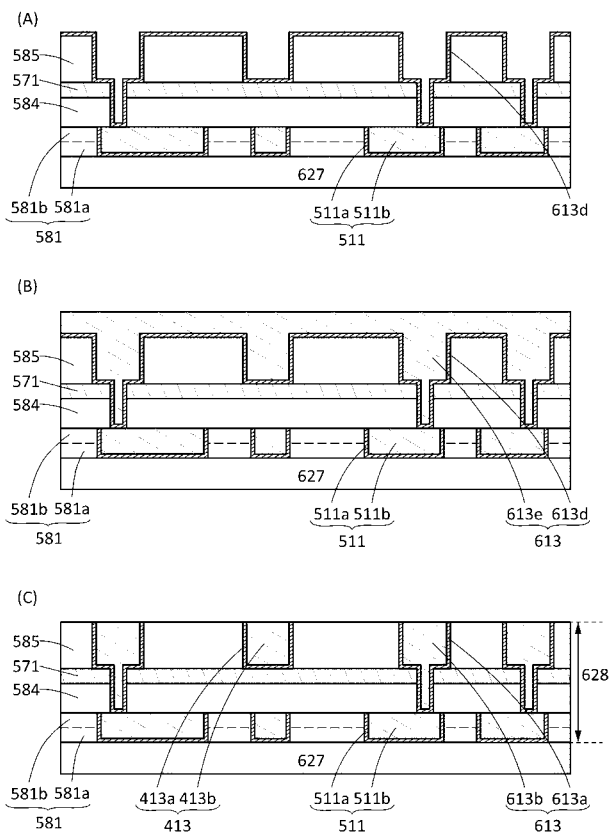
【図 19】



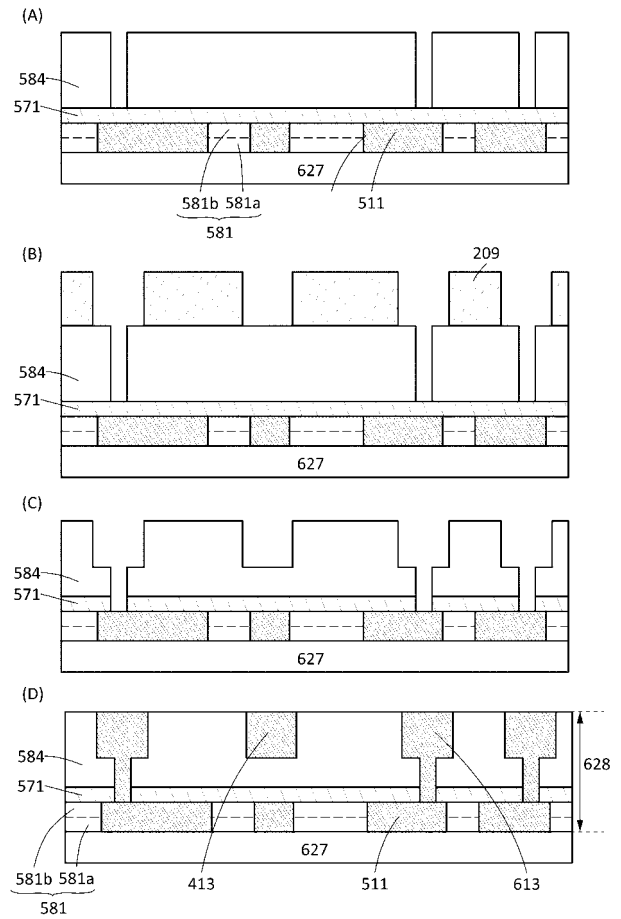
【図 20】



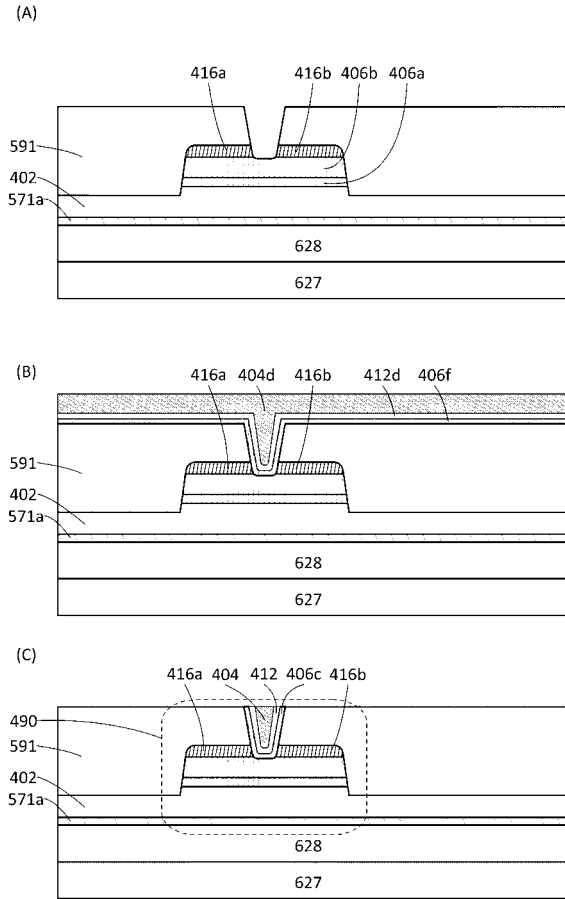
【図 21】



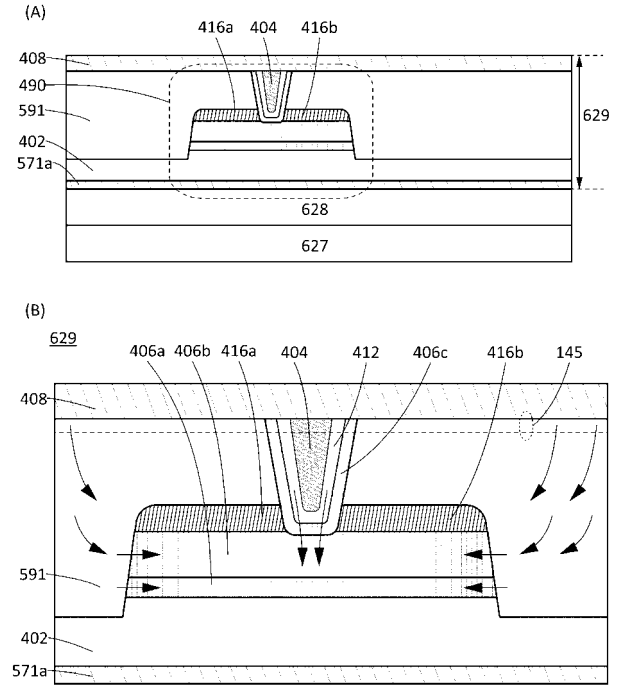
【図 22】



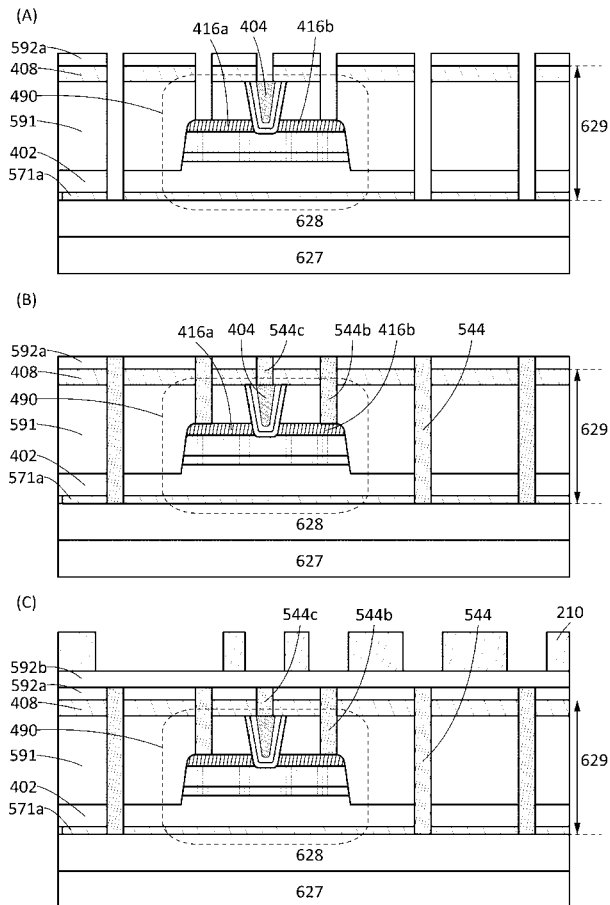
【 図 2 3 】



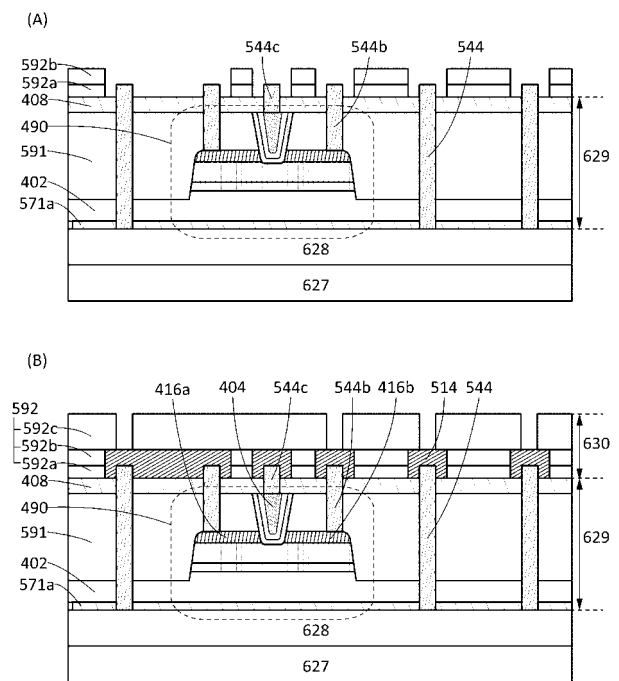
【 図 2 4 】



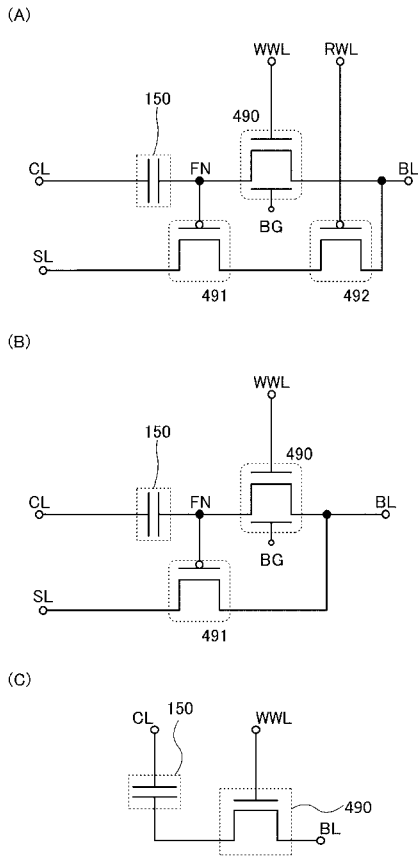
【 図 2 5 】



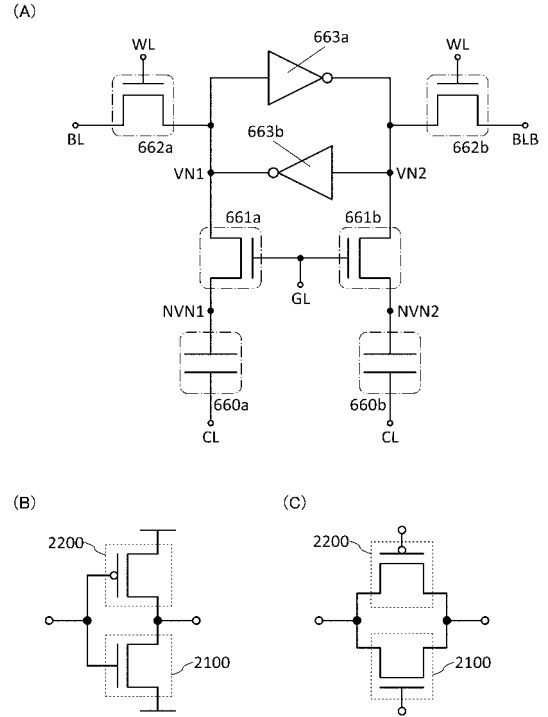
【 図 2 6 】



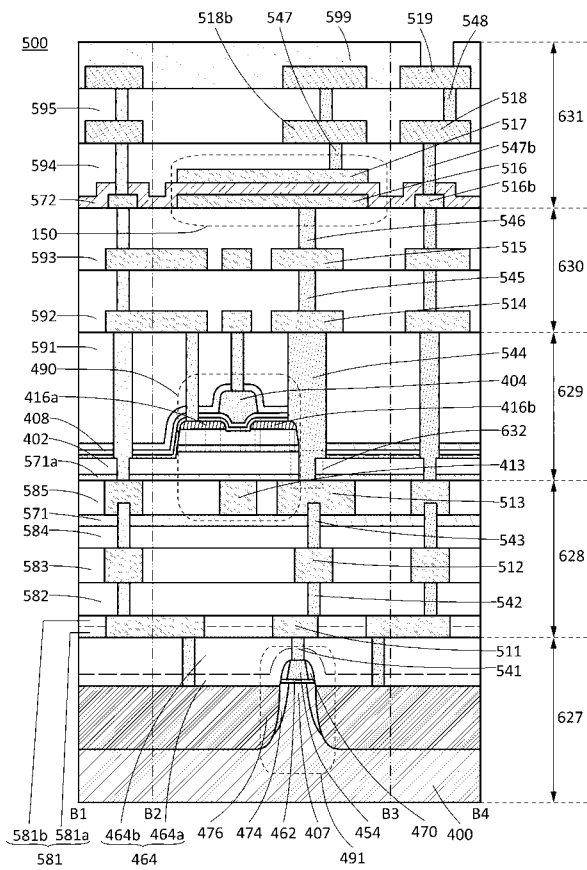
【 図 2 7 】



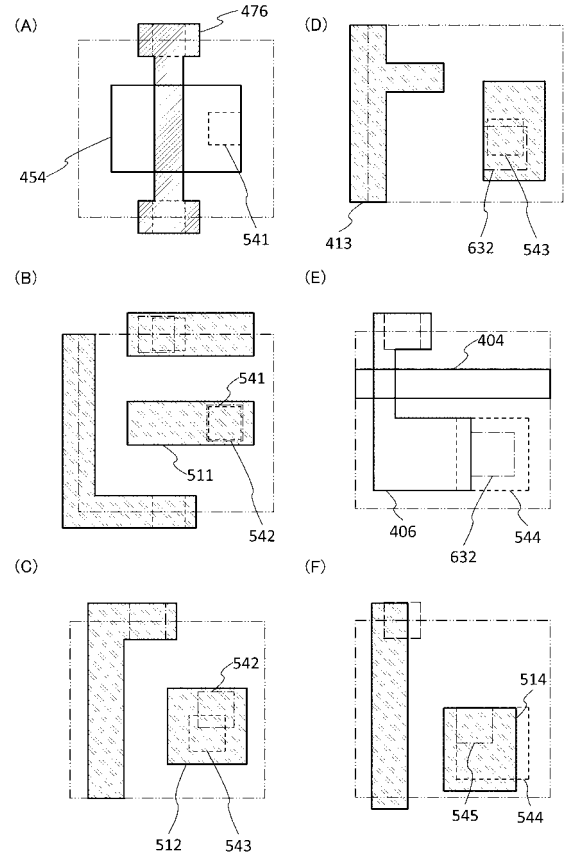
【 図 2 8 】



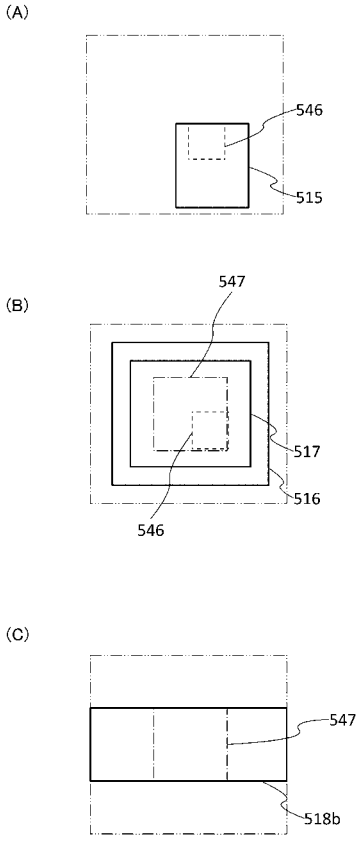
【 図 2 9 】



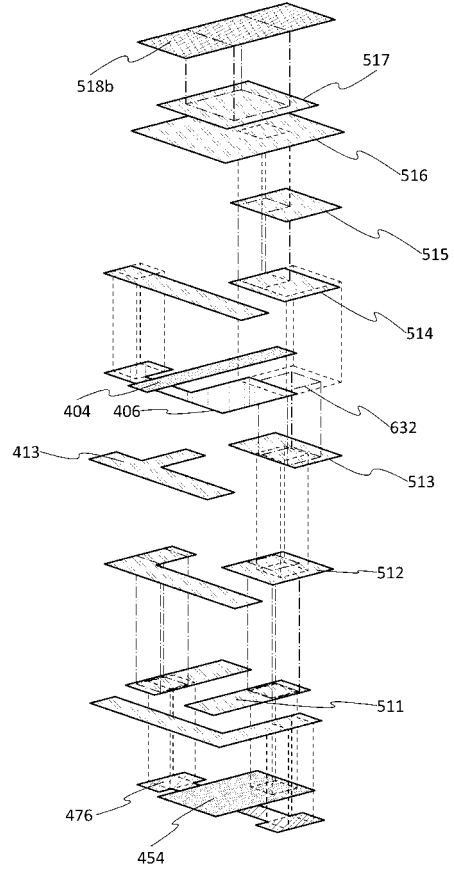
【 図 3 0 】



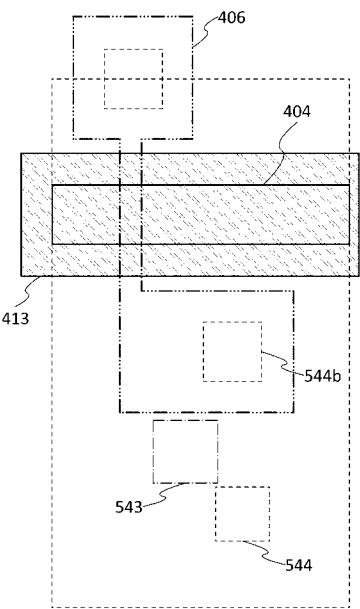
【 図 3 1 】



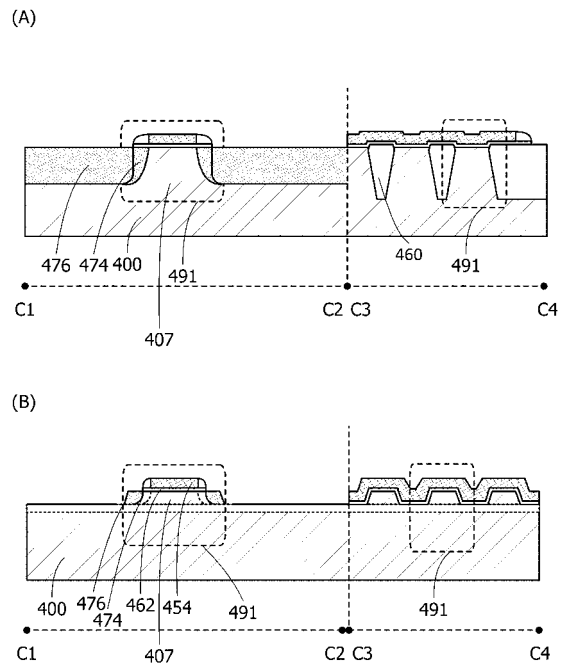
【 図 3 2 】



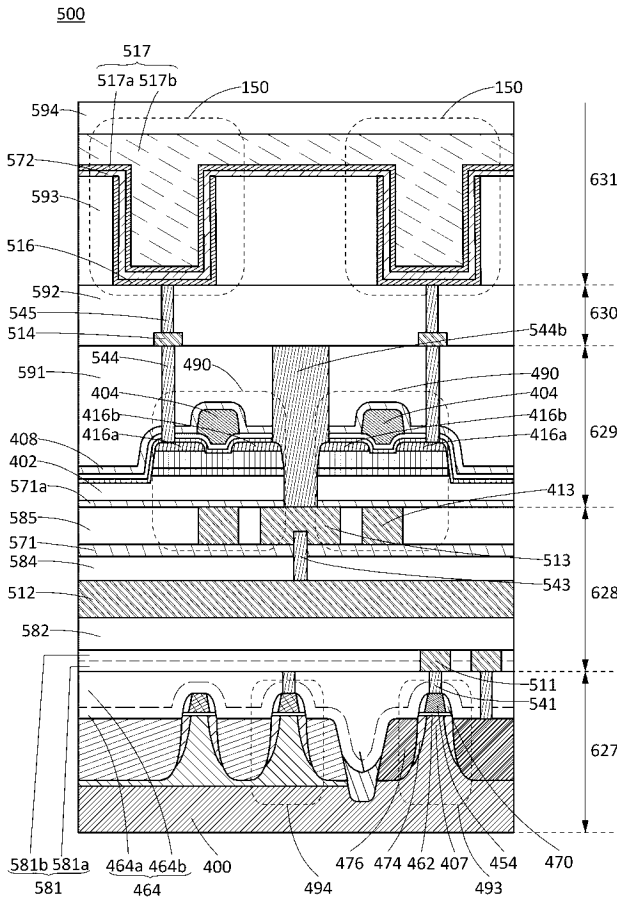
【 図 3 3 】



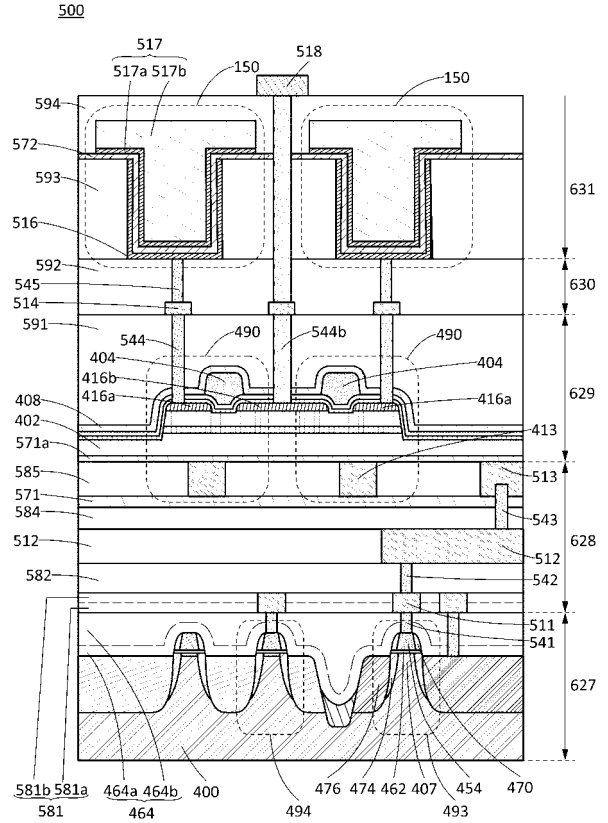
【 図 3 4 】



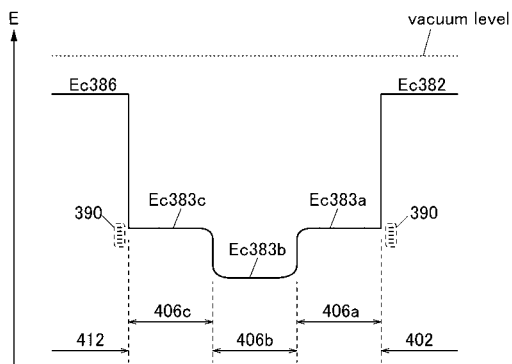
【 図 3 5 】



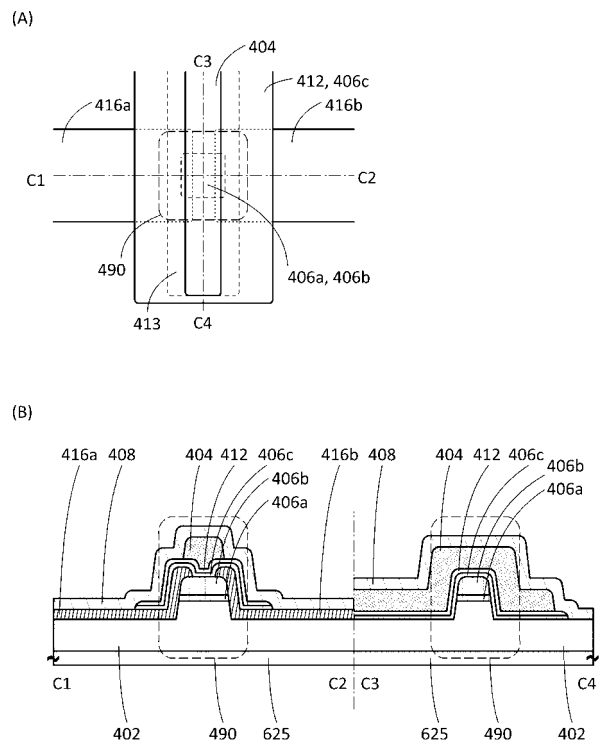
【 図 3 6 】



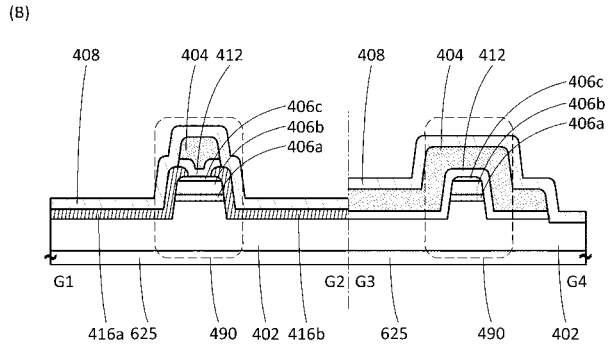
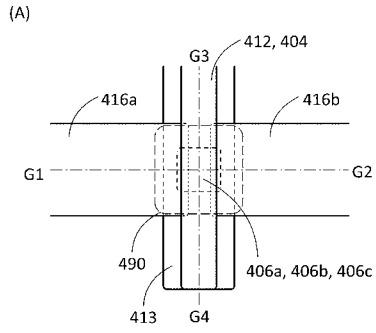
【 図 3 7 】



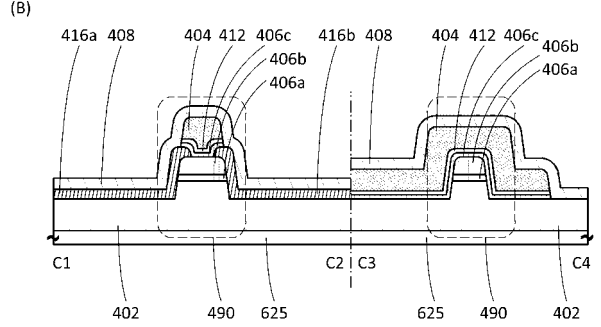
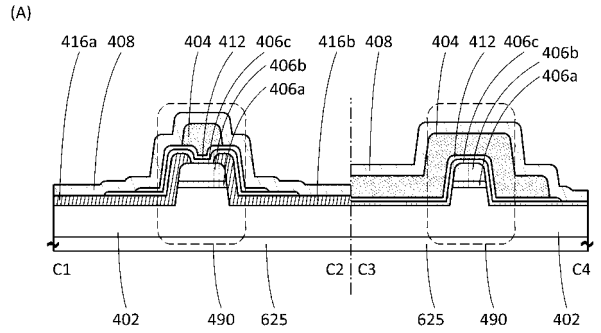
【 図 3 8 】



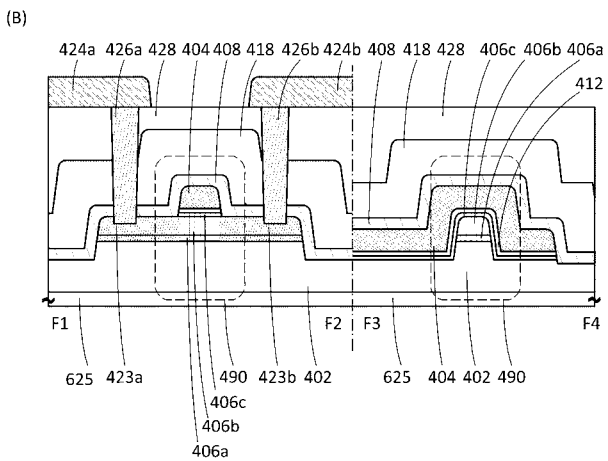
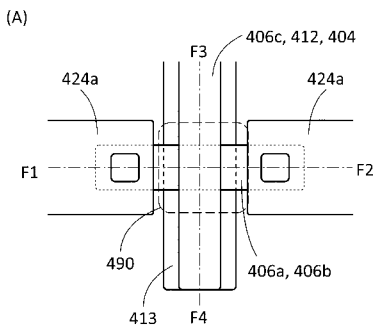
【 図 3 9 】



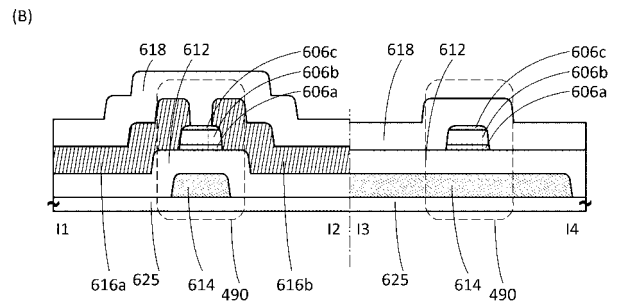
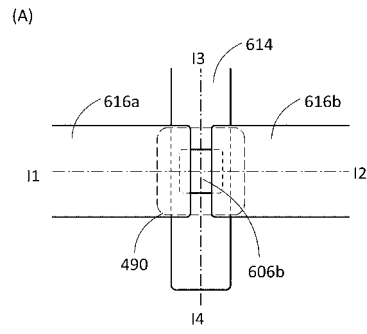
【 図 4 0 】



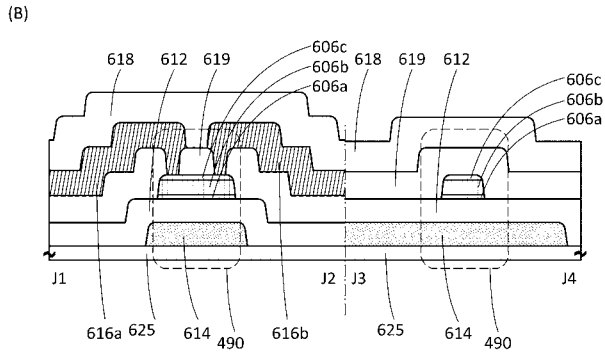
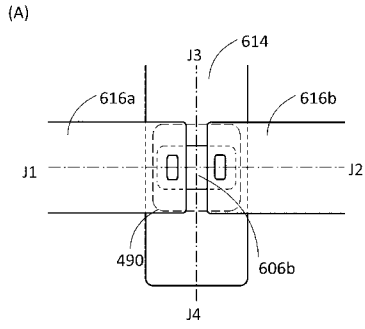
【 図 4 1 】



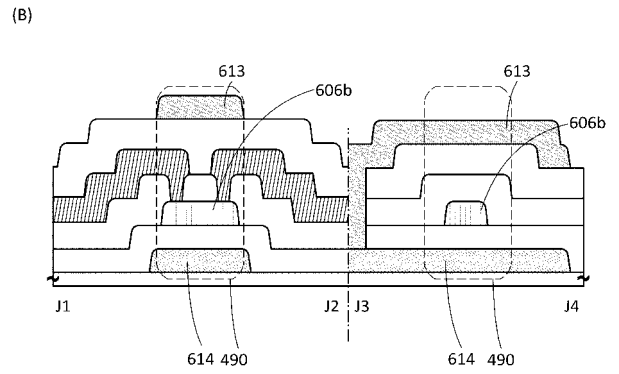
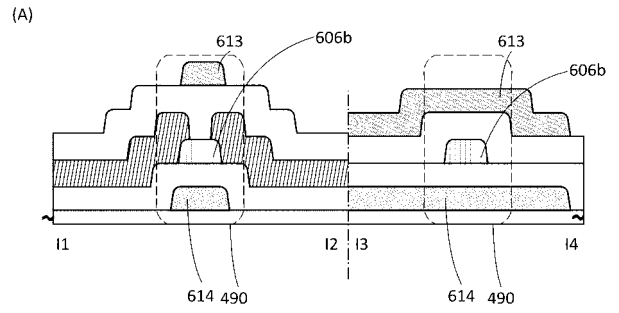
【 図 4 2 】



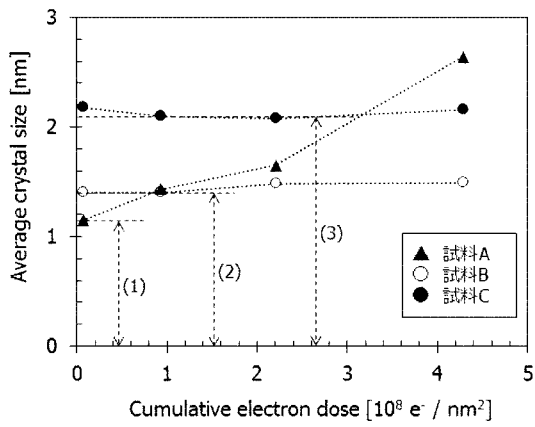
【 図 4 3 】



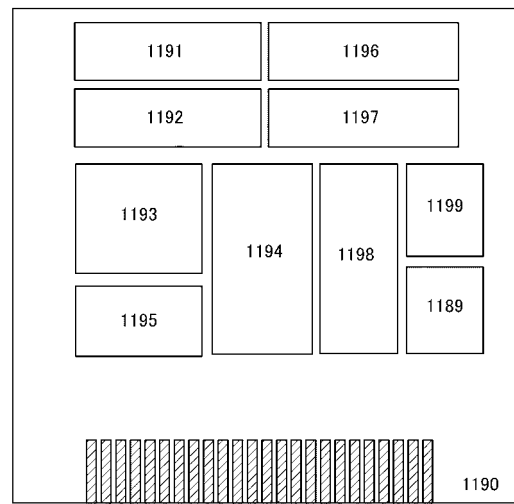
【 図 4 4 】



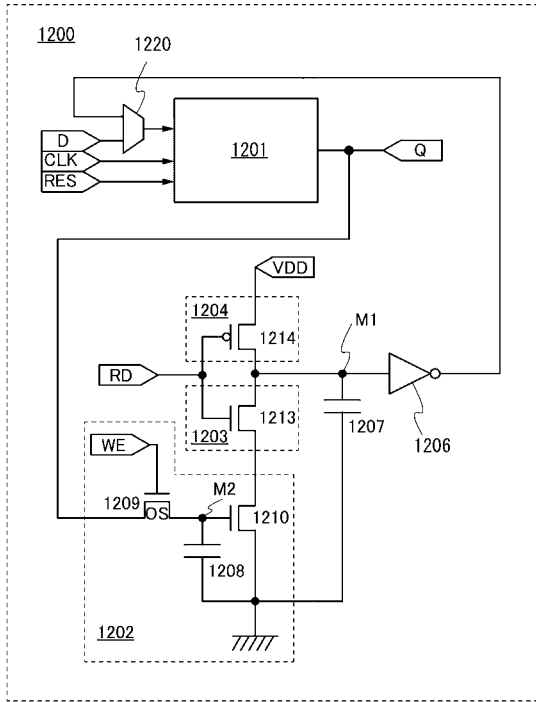
【 図 4 9 】



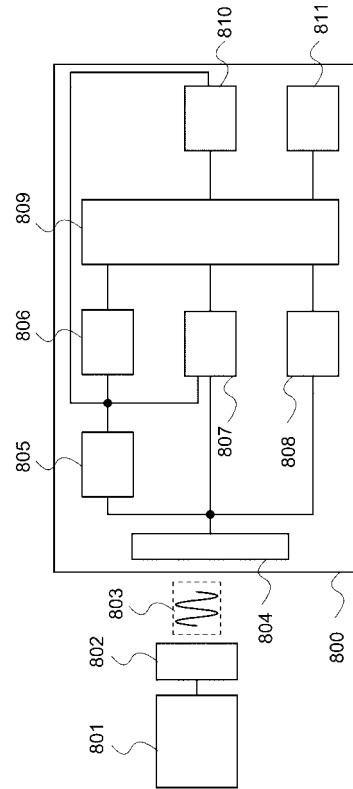
【 図 5 0 】



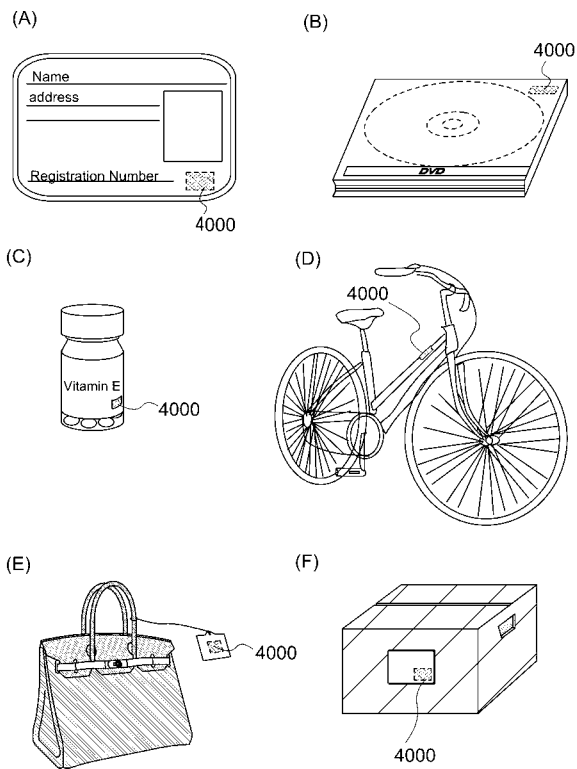
【 図 5 1 】



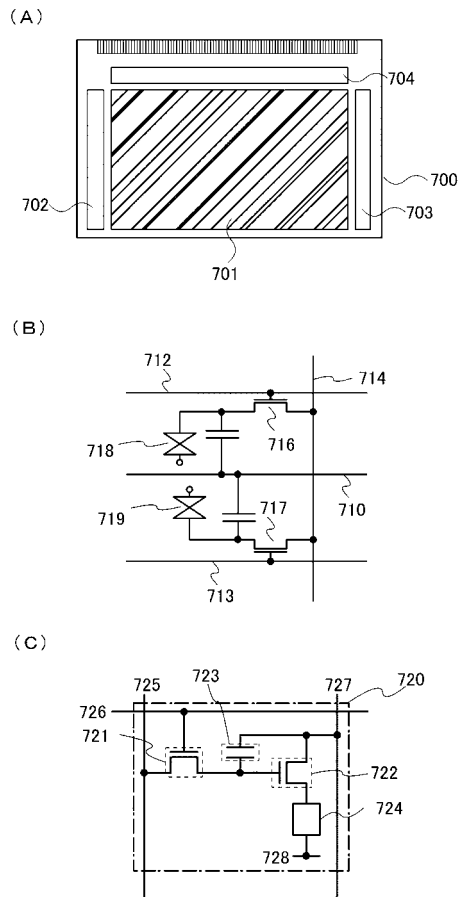
【 図 5 2 】



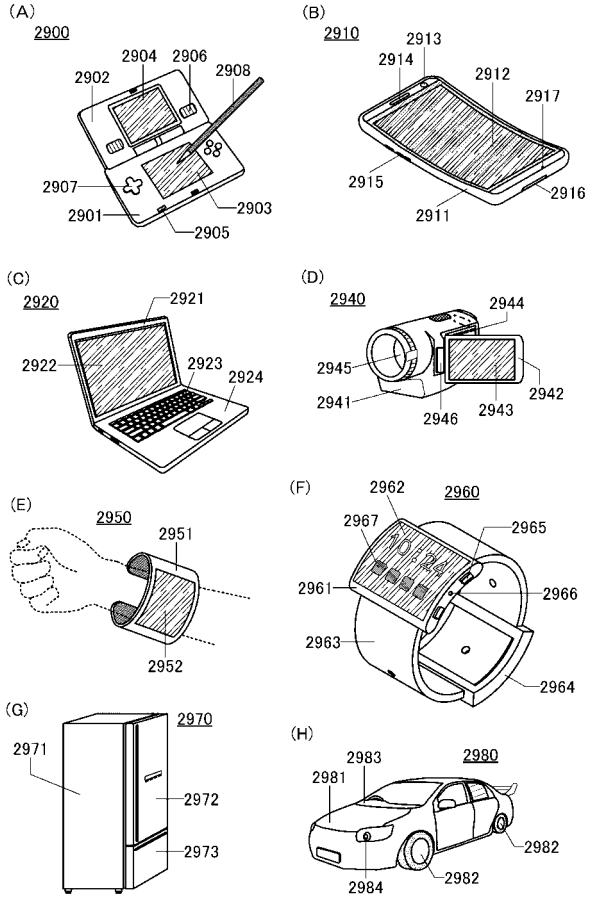
【 図 5 3 】



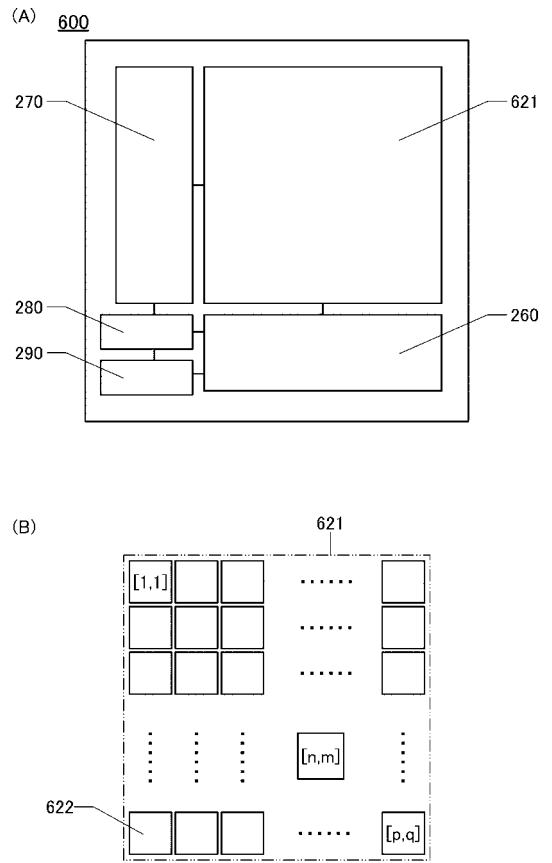
【 図 5 4 】



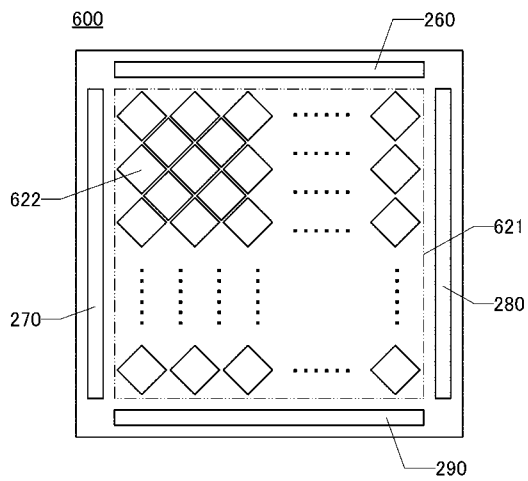
【 図 5 5 】



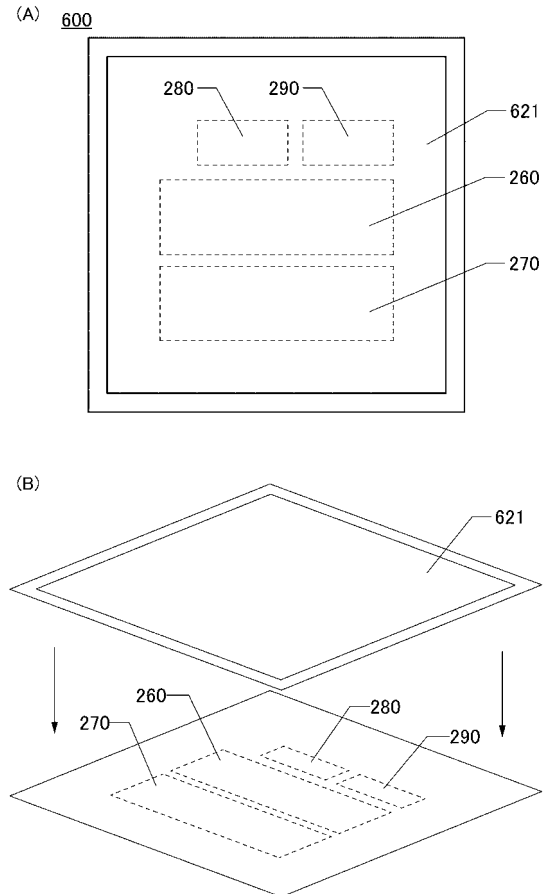
【 図 5 6 】



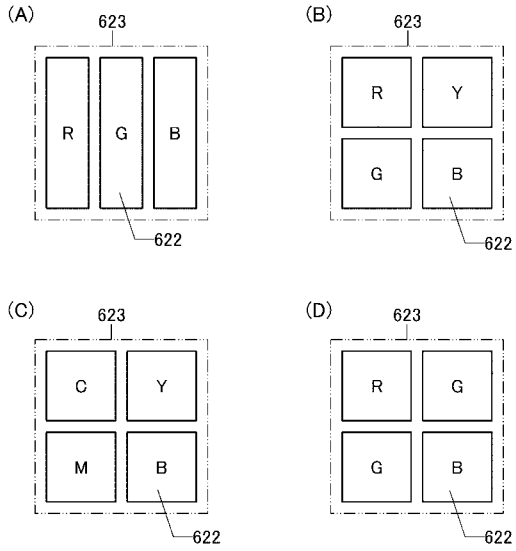
【 図 5 7 】



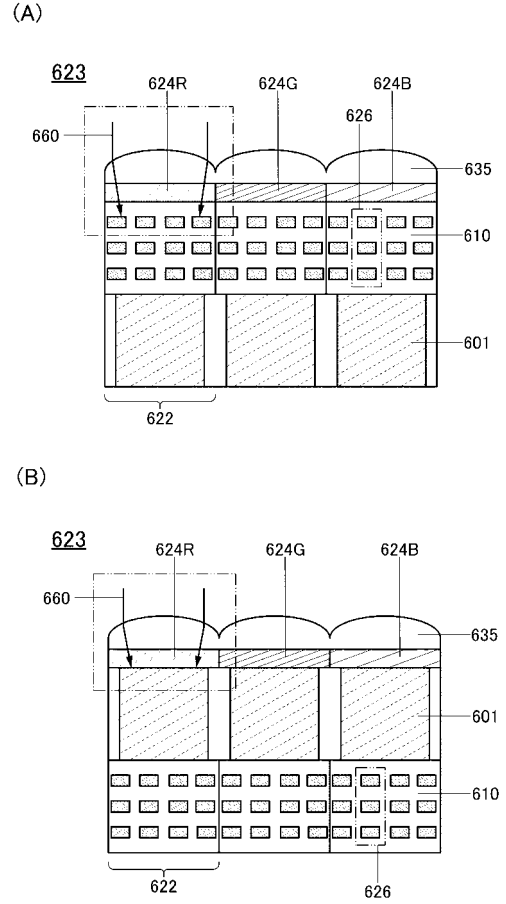
【 図 5 8 】



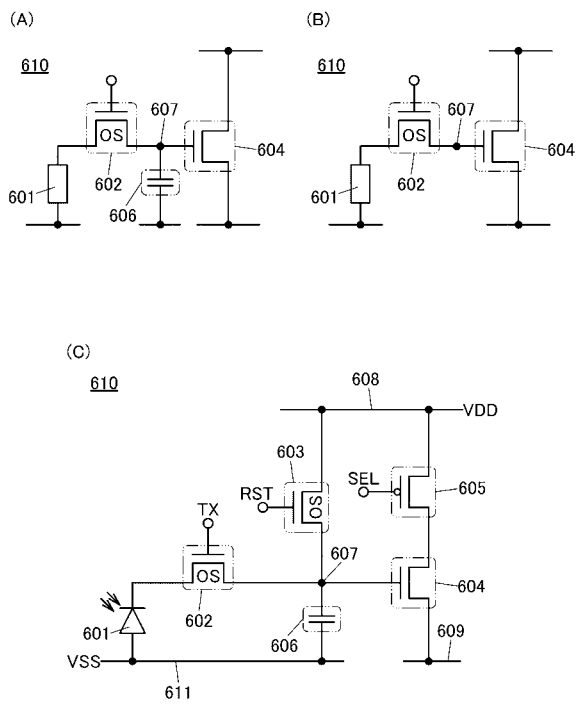
【 図 5 9 】



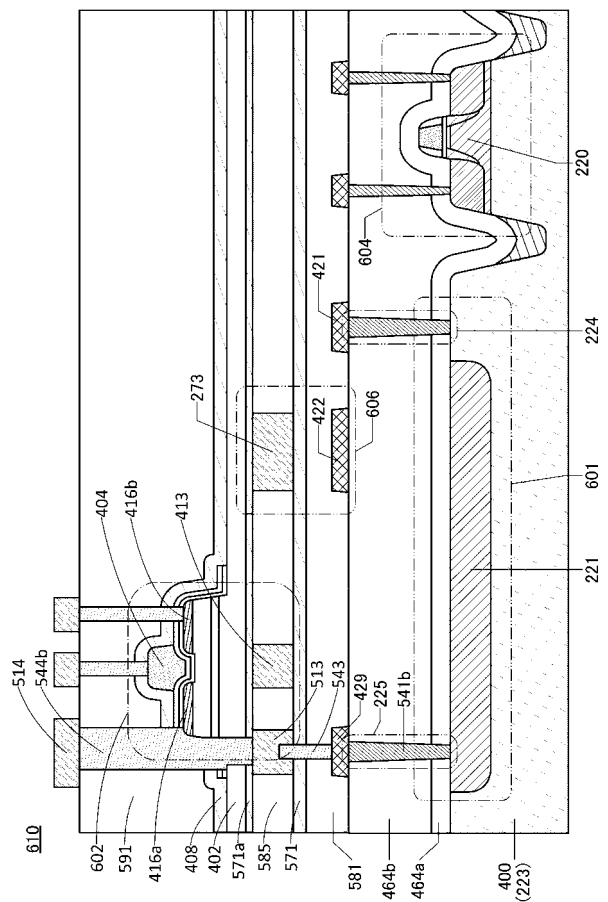
【 図 6 0 】



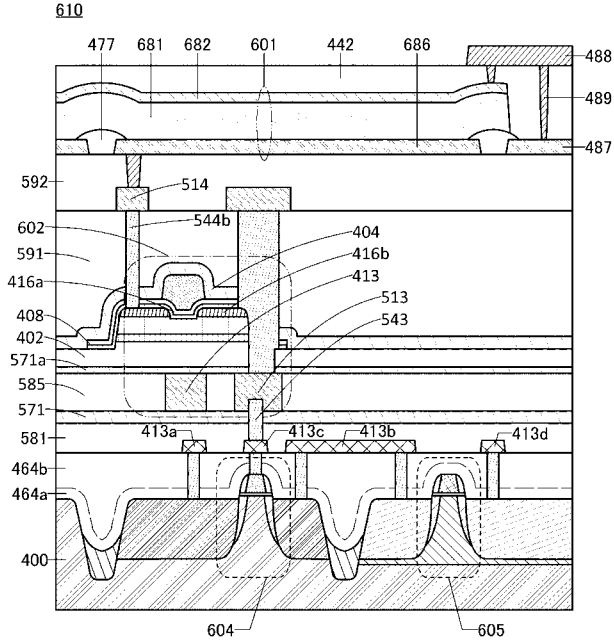
【 図 6 1 】



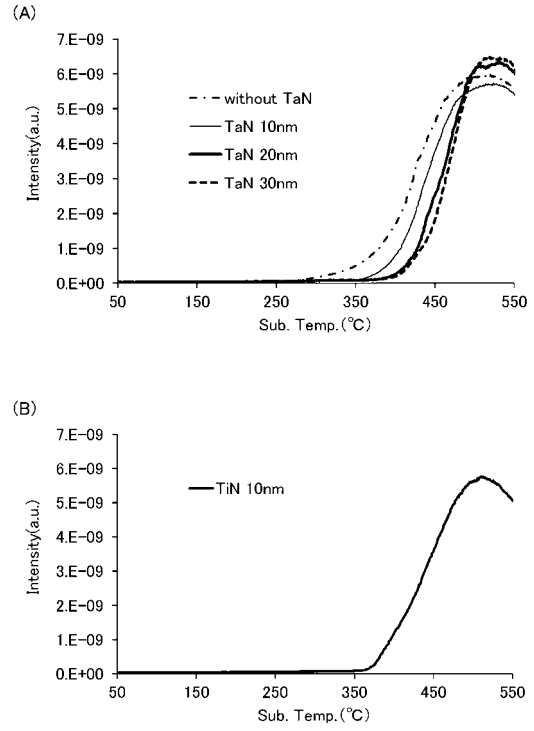
【 図 6 2 】



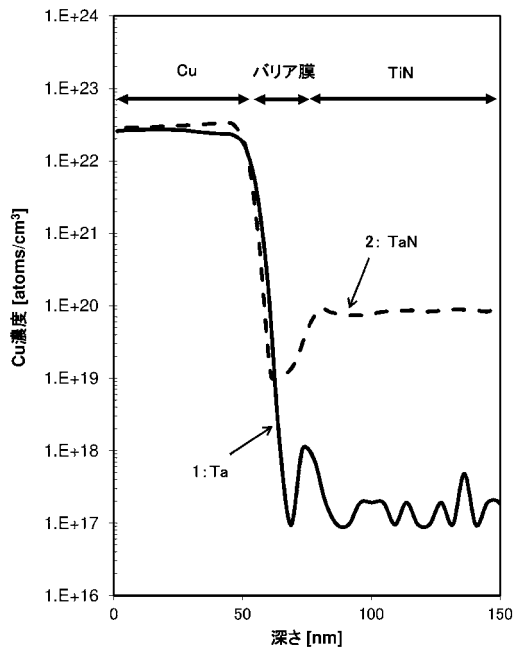
【 図 6 3 】



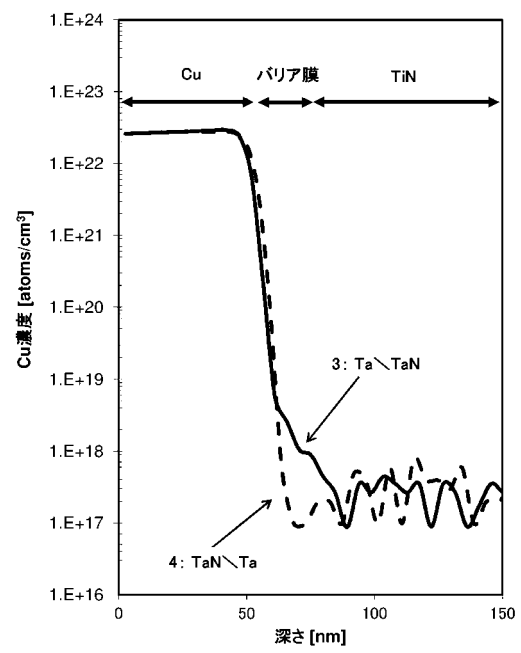
【 図 6 4 】



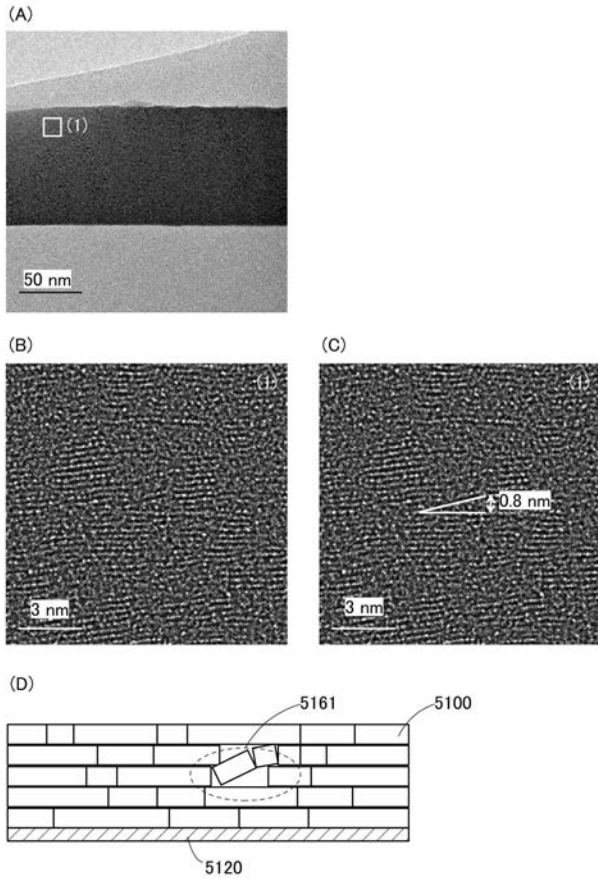
【 図 6 5 】



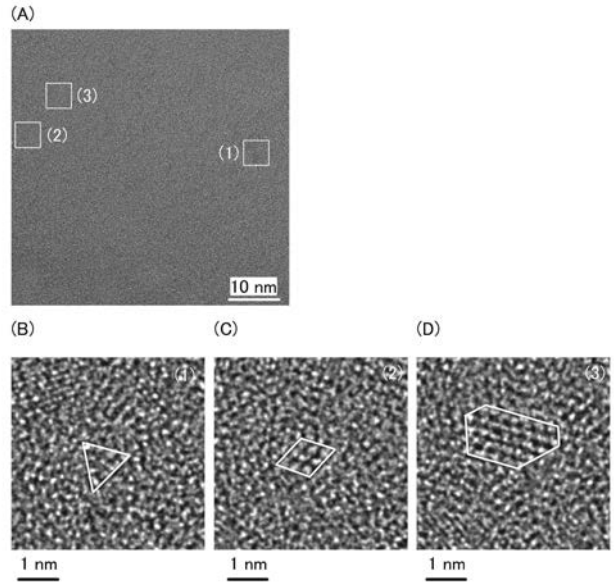
【 図 6 6 】



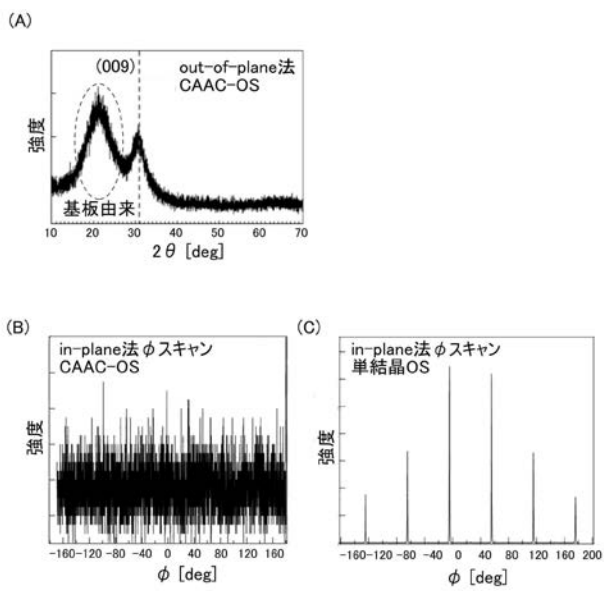
【 図 4 5 】



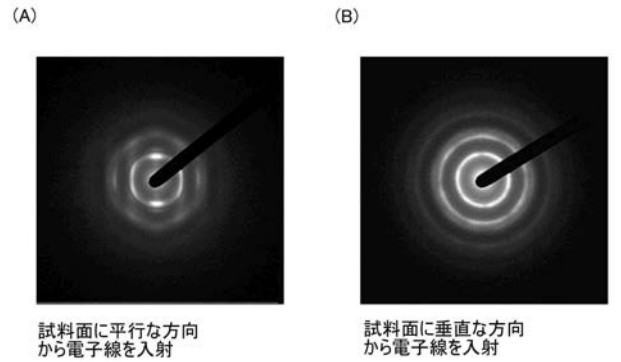
【 図 4 6 】



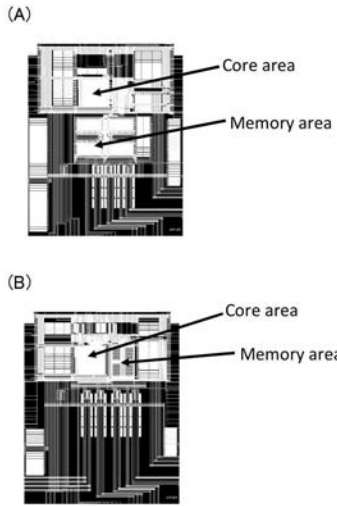
【 図 4 7 】



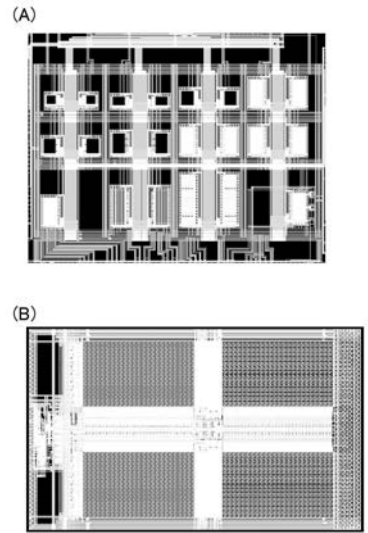
【 図 4 8 】



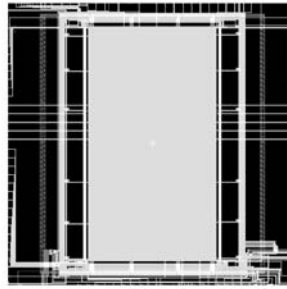
【 図 6 7 】



【 図 6 8 】



【 図 6 9 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 21/8244 (2006.01)	H 0 1 L 27/08	1 0 2 H
H 0 1 L 27/11 (2006.01)	H 0 1 L 27/10	3 8 1
H 0 1 L 21/8242 (2006.01)	H 0 1 L 27/10	6 7 1 C
H 0 1 L 27/108 (2006.01)	H 0 1 L 27/10	6 2 1 Z
H 0 1 L 27/105 (2006.01)	H 0 1 L 27/10	3 2 1
G 0 9 F 9/30 (2006.01)	H 0 1 L 27/10	4 4 1
	G 0 9 F 9/30	3 3 8

(72)発明者 大貫 達也

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 長塚 修平

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

F ターム(参考) 5C094 AA21 BA23 BA27 BA43 BA52 BA62 BA75 CA19 DA13 DB04
 FA02 FB12 FB14 FB15 HA03 HA05 HA08 HA10
 5F048 AB01 AC01 AC10 BA01 BA14 BA15 BA16 BA19 BA20 BB02
 BB09 BB11 BB14 BC06 BC18 BD06 BF02 BF07 BF12 BF15
 BF16 BG13 CB01 CB03 CB04 CB10 DA24
 5F083 AD02 AD21 AD69 BS27 BS49 GA06 HA02 HA06 JA36 JA37
 JA38 JA39 JA40 JA56 JA60 MA06 MA16 MA18 MA19 NA01
 PR22 PR33
 5F110 AA06 AA07 AA08 AA13 AA14 BB02 BB06 BB10 BB11 CC01
 CC10 DD12 DD13 DD14 DD15 DD17 DD24 DD25 EE01 EE02
 EE03 EE04 EE06 EE14 EE30 FF01 FF02 FF03 FF04 FF09
 FF10 GG01 GG02 GG03 GG04 GG05 GG06 GG13 GG14 GG15
 GG16 GG17 GG19 GG24 GG25 GG28 GG29 GG33 GG34 GG35
 GG42 GG43 GG44 GG58 HJ12 HK01 HK02 HK04 HK21 HL01
 HL02 HL03 HL04 HL06 HL11 HL22 HL23 HL24 NN03 NN04
 NN05 NN22 NN23 NN24 NN34 NN40