



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201633719 A

(43) 公開日：中華民國 105 (2016) 年 09 月 16 日

(21) 申請案號：104141755

(22) 申請日：中華民國 104 (2015) 年 12 月 11 日

(51) Int. Cl. : H03L7/18 (2006.01)

(30) 優先權：2014/12/16 英國 1422351.5

(71) 申請人：諾迪克半導體股份有限公司 (挪威) NORDIC SEMICONDUCTOR ASA (NO)  
挪威(72) 發明人：威柏格 史登 E WEBERG, STEINERIK (NO)；桑斯博 英吉爾 SUNDSBO, INGIL  
(NO)

(74) 代理人：惲軼群

申請實體審查：無 申請專利範圍項數：15 項 圖式數：1 共 14 頁

(54) 名稱

振盪器校準技術

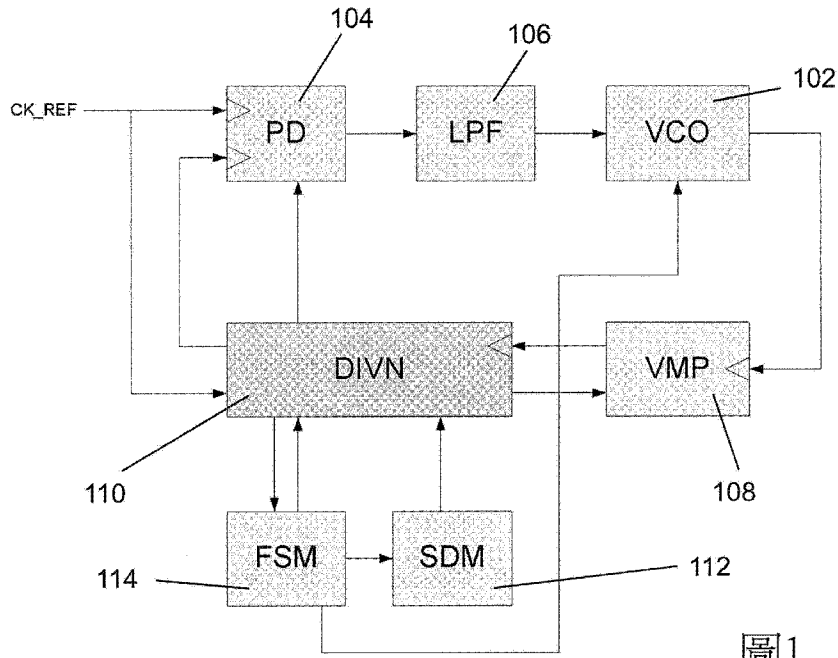
OSCILLATOR CALIBRATION

(57) 摘要

一種鎖相迴路其包含有：一可控制振盪器；一可變分頻器裝置，其從該可控制振盪器接受一信號並把它除以一可變數量以提供一較低頻率信號；一  $\Sigma$ - $\Delta$  調變器，被配置來提供一控制輸入給該可變分頻器裝置；以及一相位檢測器，其由該較低頻率信號和一參考時脈來觸發；其中該鎖相迴路被配置來操作在一正常模式中，其中該可控制振盪器係由來自該相位檢測器的一電壓來控制；和操作在一校準模式中，其中該可控制振盪器係由來自一校準模組的一信號被數位地控制，該校準模組從該可變分頻器裝置接收一輸入。

A phase locked loop comprises: a controllable oscillator; a variable divider arrangement which takes a signal from the controllable oscillator and divides it by a variable amount to provide a lower frequency signal; a sigma-delta modulator arranged to provide a control input to said variable divider arrangement; and a phase detector triggered by said lower frequency signal and a reference clock; wherein said phase locked loop is arranged to be operable in a normal mode in which the controllable oscillator is controlled by a voltage from said phase detector and a calibration mode in which the controllable oscillator is controlled digitally by a signal from a calibration module which receives an input from said variable divider arrangement.

指定代表圖：



符號簡單說明：

102 . . . VCO

104 . . . PD

106 . . . LPF

108 . . . VMP

110 . . . DIVN

112 . . . SDM

114 . . . FSM

圖1

# 發明摘要

※ 申請案號：104141755

※ 申請日：104.12.11

※IPC 分類：H03L 7/18 (2006.01)

## 【發明名稱】(中文/英文)

振盪器校準技術

OSCILLATOR CALIBRATION

### 【中文】

一種鎖相迴路其包含有：一可控制振盪器；一可變分頻器裝置，其從該可控制振盪器接受一信號並把它除以一可變數量以提供一較低頻率信號；一 $\Sigma$ - $\Delta$ 調變器，被配置來提供一控制輸入給該可變分頻器裝置；以及一相位檢測器，其由該較低頻率信號和一參考時脈來觸發；其中該鎖相迴路被配置來操作在一正常模式中，其中該可控制振盪器係由來自該相位檢測器的一電壓來控制；和操作在一校準模式中，其中該可控制振盪器係由來自一校準模組的一信號被數位地控制，該校準模組從該可變分頻器裝置接收一輸入。

### 【英文】

A phase locked loop comprises: a controllable oscillator; a variable divider arrangement which takes a signal from the controllable oscillator and divides it by a variable amount to provide a lower frequency signal; a sigma-delta modulator arranged to provide a control input to said variable divider arrangement; and a phase detector triggered by said lower frequency signal and a reference clock; wherein said phase locked loop is arranged to be operable in a normal mode in which the controllable oscillator is controlled by a voltage from said phase detector and a calibration mode in which the controllable oscillator is controlled digitally by a signal from a calibration module which receives an input from said variable divider arrangement.

**【代表圖】**

**【本案指定代表圖】**：第(1)圖。

**【本代表圖之符號簡單說明】**：

102...VCO

104...PD

106...LPF

108...VMP

110...DIVN

112...SDM

114...FSM

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

(無)

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

振盪器校準技術

OSCILLATOR CALIBRATION

## 【技術領域】

[0001]本發明係涉及振盪器校準，特別的是儘管不完全是調諧使用在一頻率合成器中一鎖相迴路的壓控振盪器，例如用於在數位無線電發射機和接收機中的調諧應用。

## 【先前技術】

發明背景

[0002]壓控振盪器(VCO)常被使用於鎖相迴路(PLL)中。已經由本申請人所體會到之一VCO的問題係當它們被使用於PLL中形成用於數位無線電應用之頻率合成器的一部分時，它們被要求工作在一相對大的頻率範圍-例如幾百MHz的量級。該頻率調諧範圍可能需要被內含在只有0.6V的電壓擺動，這意味著該VCO需要具有非常高的增益，因此會敏感於迴路濾波器雜訊。

[0003]這一靈敏度相應的需要一大的濾波器，這意味著需要一大電容，從積體電路的面積來看這是昂貴的。典型的VCO還表現出許多種變化：例如它們的電容變化可多達15%，這導致在該中心頻率上的一種變化。

## 【發明內容】

[0004]本發明的目的是提供一種不同的方法。

[0005]從一第一方面來看，本發明提供了一種鎖相迴

路，其包含有：

一可控制振盪器；

一可變分頻器裝置，其從該可控制振盪器接受一信號並把它除以一可變數量以提供一較低頻率信號；

一 $\Sigma$ - $\Delta$ 調變器，其被配置成提供一控制輸入給該可變分頻器裝置；以及

一相位檢測器，其由該較低頻率信號和一參考時脈來觸發；

其中該鎖相迴路被配置來操作在一正常模式中，其中該可控制振盪器係由來自該相位檢測器的一電壓來控制；和操作在一校準模式中，其中該可控制振盪器係由來自一校準模組的一信號被數位地控制，該校準模組從該可變分頻器裝置接收一輸入。

[0006]因此，將被本領域的習知技藝者可看到的是根據本發明該可控制振盪器可在該校準模式中由該校準模組數位式地控制。這允許一種粗調諧的實現，使得該輸出頻率的電壓控制僅需要被使用來在該總頻率範圍之一小部分內做微調。這相應的又意味著該可控制振盪器的該靈敏度可被顯著的降低，其降低了該雜訊的問題。

[0007]使該 $\Sigma$ - $\Delta$ 調變器在該校準模式期間中操作可確保在該控制中會有適當的分辨率，其可在該可控制振盪器上被斷言，但在一組實施例中，該 $\Sigma$ - $\Delta$ 調變器被配置來在該校準模式中和在該正常模式中係以不同的模式中進行操作。在這種實施例的一示例性集合中，在該校準模式中該 $\Sigma$ - $\Delta$ 調

變器被配置以二階多級雜訊整形(MASH)，例如MASH 1-1來操作，而在該正常模式中係以三階多級雜訊整形，例如：MASH 1-1-1來操作。這反映了本申請人的體認，雖然三階整形給出低的頻帶內雜訊，但它有非常高的頻帶外量化雜訊，其將顯著地干擾校準。

[0008]該校準模組可被配置來判定在校準期間該可控制振盪器是否在一給定點上運行得過快或過慢，並因此是否需要來自該校準模組之一數位校準信號輸出來增加或減少該可控制振盪器的頻率。然而，本申請人已經體認到，這一種安排會需要一資料匯流排延伸在該分頻器裝置和該校準模組之間，因此，這將需要在這兩者之間擴展出不同的時脈制度。在一組實施例中，本申請人已經處理這一點，係藉由安排該分頻器裝置計數來自該可控制振盪器的脈衝並輸出一信號給該校準模組指出是否該振盪器運行得過快或過慢。這避免了任何須跨越時脈領域的需要，因為它允許一單一線路介面而不是一資料匯流排。在一組實施例中，該分頻器裝置被配置成當下一個過渡邊緣被接收自該參考時脈時，判定包含在其中之一計數器的狀態，並在該計數器狀態的基礎上判定該可控制振盪器頻率是否太高或太低。

[0009]在一組實施例中，該PLL係一分數N PLL -也就是說，該施加的除數因子可被變化以給出一確切的期望頻率。在這種實施例的一示例性集合中，該分頻器裝置包括一可變模除頻器(VMP)。該分頻器裝置可以只依賴該

VMP，但在一組實施例中，還提供了另一個分頻器。該另一分頻器可以是固定的，但在一組實施例中它可以被改變以變成一不同的迴路頻率。

[0010]在一組實施例中，該PLL被配置成在每當需要一重置時要進入該校準模式。例如，它可被配置成每當一個新的資料封包被發送或接收時、當該發射器或接收器被配置成操作在一不同的頻率通道時、或當一系統改變操作模式從接收改成發送或從發送改成接收時，會進入該校準模式。

[0011]在一組實施例中，該校準模組被配置成執行一種二進制搜尋用於一數位式最佳化校準。這意味著例如降低有效位的數個位元，會被建立。在一組示例性實施例中，一種5位的元字被使用。這意味著有32種可能的數位調諧校準用於該PLL使得該頻率的該電壓控制僅需要改變該頻率在整個範圍的1/32上，使得在該可控制振盪器的該靈敏度上大大的降低(雖然在實務上中該等頻帶通常會重疊)。

[0012]該校準模組包括一有限狀態機係合意的。

[0013]在一組實施例中，該鎖相迴路被使用在一數位無線電發射器或接收器的一頻率合成器中。

### **【圖式簡單說明】**

[0014]本發明的一實施例現在將被描述，僅透過舉例的方式，並參考所附圖示，其中圖1係具體實現本發明之鎖相迴路的一示意圖。

### **【實施方式】**

較佳實施例之詳細說明

[0015]一具體實現本發明之一分數N鎖相迴路(PLL)被圖示於圖1中。正如同任何基於一壓控振盪器(VCO)102的鎖相迴路，該壓控振盪器係由一相位檢測器104經由一低通濾波器106來控制。在正常使用期間，該相位檢測器104會對該VCO 102頻率產生小調整，以使得該反饋信號的該相位(因而頻率)對準該參考時脈CK\_REF。

[0016]一可變模除頻器(VMP)電路108被使用來把該頻率除以P或P+1，取決於它接收自另一DIVN分頻模組110的控制信號，其在饋入該相位檢測器104之前會把該頻率除以另一個整數N。因此該VCO 102的頻率被控制成爲 $F_{ref} * N * (nP + m(P+1))$ 其中 $F_{ref}$ 係該參考晶體頻率而n和m是在一給定時段中該等各自計數P和P+1發生的該等相對比例值。

[0017]該分頻器模組110係由一 $\Sigma$ - $\Delta$ 調變器(SDM)112控制來決定該上述的N以及P和P+1計數的相對比例，以決定該精確的頻率。

[0018]該精確的經除平均頻率信號被饋送到該相位檢測器104，其產生一輸出信號以根據在來自該分頻器110之該信號與該參考時脈輸入信號CK\_REF之間任何的不匹配來控制該VCO 102。

[0019]在圖1中也被圖示出的是一有限狀態機(FSM)114。其需要從該DIVN分頻器模組110取得一輸入並提供輸出信號給該可控制振盪器102、相位檢測器104、SDM 112和DIVN模組110。

[0020]在正常使用中，該VCO 102的頻率係由來自該相位檢測器104經由該低通濾波器106之一電壓信號中的變化來控制的。這相應地係由來自該 $\Sigma$ - $\Delta$ 調變器112的輸出來控制，其施加影響力在該可變模除頻器108和該DIVN模組110。該整個分頻因此在兩個模組之間分開。該除頻器108具有一可變模量，使得它可以除以P或P+1取決於來自該DIVN 110的控制信號其允許該全範圍的分數計數。該除頻器108可以是一種非同步或漣波計數器但這不是必要的。該DIVN模組110係一計數器，它可以是一種同步計數器，其操作在該經除的時脈上並除以由其控制輸入來決定的一個量N。該所得的頻率分割因此可被表示為 $N \cdot P + A$ ，其中A代表在一輸出週期中該VMP 108已經除以P+1多少次。

[0021]用於該VMP 108的該輸入時脈係由該VCO 102的該輸出來提供。該 VMP 108產生被傳遞給該DIVN模組110的一中間時脈。來自該DIVN模組110的該輸出係被傳遞給該相位檢測器104的一時脈信號CK\_O1。

[0022]然而，根據本發明，該VCO不是在該PLL能夠產生之整個頻率範圍中被控制。代替的是，它的頻率只能在一相對窄的頻帶內藉由施加到其之該電壓做變化。

[0023]爲了判定該VCO 102操作於其中的該頻帶，一數位調諧被施加在一校準模式期間。在這種模式下，由該FSM啓動該FSM發出控制信號，該控制信號會致使該VCO 102的頻率不再由該相位檢測器103的該輸出信號電壓來控制，藉由固定它的輸出信號電壓。反而，在這種模式下，

該可控制振盪器102係直接由可產生適當二進制控制字來設置該VCO 102頻率之該FSM 114來控制。該等控制字信號被使用來把電容器切換進入該VCO 102的電路中或切換到該電路之外以改變其基線頻率。

[0024]在一示例性實施例中，該FSM 114產生一個5位元的控制字給該VCO 102，並從事一5週期的二進制搜尋找出最緊密匹配該期望頻率的該控制字，從最高有效位元到最低有效位元。在每一個週期中，該調諧字的一個位元係由該DIVN模組110決定，該DIVN模組監控其計數器的該狀態為當一過渡邊緣在該參考時脈輸入CK\_REF上被接收到時比較一預定期望的狀態。如果該計數太高，該VCO的被判定為運行得過快；如果它太低，則該VCO被判定為運行得太慢。該DIVN模組110發出一單一位元輸出給該FSM 114，其使用此來適當地設定該控制字位元以設置該VCO 102的該頻帶。

[0025]因為該計數判定係由該分頻器模組110本身來執行，而不是由該FSM 114執行，所以沒有必要提供一種橫跨該等各自時脈領域的一資料匯流排，故大量地簡化了該電路。

[0026]在校準過程中，該 $\Sigma$ - $\Delta$ 調變器112必須繼續被操作以確保由該分頻器裝置108、110所施加的該除數因子(即在該上述說明中N和A的該等值)可被改變其給出一適當的頻率分辨率。如果沒有這個，該校準目標會被限制在該參考時脈頻率的整數倍。在一典型的例子中，該參考時脈頻率

可以是32 MHz而用於該校準過程之該目標精確度大約為5 MHz。在校準期間該SDM 112被運行在一種不同的分數N模式中，以避免高階量化雜訊並加快該校準過程。具體的說，該分數模式從MASH 1-1-1被改為MASH 1-1。這消除了「極端」的計數值並因此意味著該分頻器110不需要運行許多次週期就可達到一可靠的結果(即決定該VCO 102是否太快或太慢)。例如，它可能從-1運行至+2，而不是在正常模式下從-3到+4。

[0027]一旦適當的頻帶已為該VCO 102設置，該系統可被返回到在其中該二進制控制字係固定的正常模式，該VCO 102係由在該相位檢測器104輸出中的變化來控制而該SDM被回復為MASH 1-1-1。在這種模式中，該VCO 102的該頻率因此由一電壓控制，但只跨越一個窄頻帶(例如，70 MHz的數量級，而不是該合成器的完整的範圍，其可以是數百MHz)。這意味著該VCO 102僅需要有一低得多的增益，比起如果需要該電壓擺動來改變其頻率在整個範圍內的話。這顯著地降低其在使用中對雜訊的敏感性。

[0028]該校準可被重複，例如每當一新的封包將被發送或被接收時。

### 【符號說明】

102...VCO	110...DIVN
104...PD	112...SDM
106...LPF	114...FSM
108...VMP	

## 申請專利範圍

1. 一種鎖相迴路，其包含有：
  - 一可控制振盪器；
  - 一可變分頻器裝置，其從該可控制振盪器接受一信號並把它除以一可變數量以提供一較低頻率信號；
  - 一 $\Sigma$ - $\Delta$ 調變器，其被配置成提供一控制輸入給該可變分頻器裝置；以及
  - 一相位檢測器，其由該較低頻率信號和一參考時脈來觸發；其中該鎖相迴路被配置來操作在一種正常模式中，其中該可控制振盪器係由一來自該相位檢測器的電壓來控制；和操作在一種校準模式中，其中該可控制振盪器係由來自一校準模組的一信號被數位地控制，該校準模組從該可變分頻器裝置接收一輸入。
2. 如請求項1之鎖相迴路，其中該 $\Sigma$ - $\Delta$ 調變器被配置成在該校準模式中和在該正常模式中係以不同的模式中進行操作。
3. 如請求項2之鎖相迴路，其中該 $\Sigma$ - $\Delta$ 調變器被配置成在該校準模式中以二階多級雜訊整形來操作，而在該正常模式中以三階多級雜訊整形來操作。
4. 如請求項1、2或3之鎖相迴路，其中該分頻器裝置被配置來計數來自該可控制振盪器的脈衝並輸出一信號給該校準模組指出是否該振盪器運行得過快或過慢。

5. 如請求項4之鎖相迴路，其中該分頻器裝置被配置成當下一個過渡邊緣被接收自該參考時脈時，判定包含在其中之一計數器的狀態，並在該計數器狀態的基礎上判定該可控制振盪器頻率是否太高或太低。
6. 如任一前述請求項之鎖相迴路，其中其係一種分數N鎖相迴路。
7. 如任一前述請求項之鎖相迴路，其中該分頻器裝置包含有一可變模除頻器(VMP)。
8. 如請求項7之鎖相迴路，其中該分頻器裝置包含有另一個分頻器。
9. 如請求項8之鎖相迴路，其中該另一個分頻器可以被改變以變成一不同的迴路頻率。
10. 如任一前述請求項之鎖相迴路，其被配置成每當需要重置時會進入該校準模式。
11. 如請求項10之鎖相迴路，其中被配置成每當一個新的資料封包被發送或接收時、當該發射器或接收器被配置成操作在一不同的頻率通道上或當一系統改變操作模式從接收改成發送或從發送改成接收時，會進入該校準模式。
12. 如任一前述請求項之鎖相迴路，其中該校準模組被配置成執行一種二進制搜尋用於一經數位最佳化的校準。
13. 如任一前述請求項之鎖相迴路，其中該校準模組包含有一有限狀態機。
14. 一種頻率合成器，其包含有如任一前述請求項之鎖相迴

路。

15. 一種數位無線電發射器或接收器，其包含有如請求項14之頻率合成器。

圖式

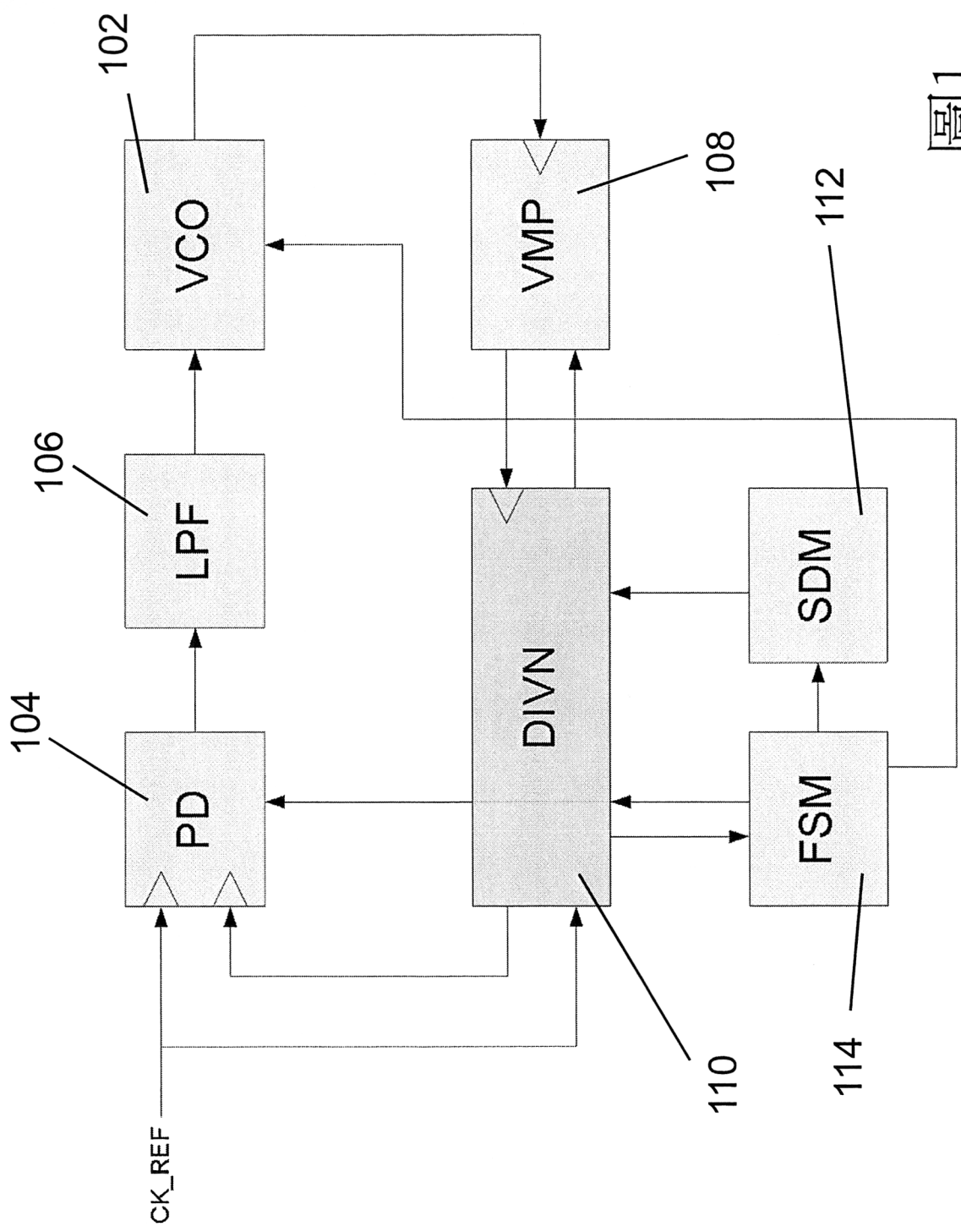


圖1