(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G02F 1/136 (2006.01)
G02F 1/1343 (2006.01)

(45) 공고일자 2007년03월02일
(11) 등록번호 10-0643960
(24) 등록일자 2006년11월01일

(21) 출원번호 10-1998-0021843
(22) 출원일자 1998년06월12일
심사청구일자 2003년05월30일

(65) 공개번호 10-1999-0006908
(43) 공개일자 1999년01월25일

(30) 우선권주장 97-155238 1997년06월12일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 카네코 토시키
일본국 치바켄 치바시 미도리쿠 아스미가오카 4-39-9-303

하시모토 유우이치
일본국 치바켄 모바라시 시모나가요시 460

오노 키쿠오
일본국 치바켄 모바라시 마치보 130

오오하라 카즈히로
일본국 치바켄 모바라시 도우베다이 4쵸메 1990-92

오치아이 타카히로
일본국 치바켄 모바라시 시모나가요시 460

타카바타케 마세루
일본국 치바켄 모바라시 하야노 3550

오니세와 켄이치
일본국 이바라키켄 히타찌나카시 소토노 2-8-18

챠하라 켄이치
일본국 이바라키켄 히타찌시 미즈키마치 2-2-1

(74) 대리인 이종일
이종일

심사관 : 임동재

전체 청구항 수 : 총 7 항

(54) 액정표시장치와 그 제조방법

(57) 요약

본 발명은 박막 트랜지스터 (TFT) 방식 등의 액티브 매트릭스형 액정 표시장치에 있어서, 배선 적층 부분의 단선을 없애고 수율을 향상시킨 액정 표시장치와 그 제조 방법에 관한 것이다. 일반적으로 기판상의 최하층에 배선 (하층배선)을 형성한 경우, 상기 수직한 에칭단부 때문에 상기 하층배선의 상부에 형성되는 절연막 등에 의한 상기 에칭 단부 수직벽에서 스텝 커버리지가 악화되고, 절연 내압의 열화나 상부에 형성되는 다른 배선 (상부 배선)의 상기 하층배선 교차 부분에서 단선이 발생한다는 문제가 있다. 본 발명은 절연성 기판상에 제 1의 금속층으로 이루어진 제 1 층과, 제 1의 금속층과는 다른 제 2의 금속층으로 이루어진 제 2 층을 적층구조의 배선으로 하고 제 1 층의 측단면이 순테이퍼 형상을 가지고, 제 2 층의 측단면이 기판면에 수직한 형상 또는 역테이퍼 형상의 어느 하나로 형성하여 상기 문제점을 해결한 액정표시장치가 제시되어 있다.

대표도

도 1

특허청구의 범위

청구항 1.

주사신호선, 영상신호선, 화소전극을 포함하는 복수의 배선, 및 상기 주사신호선과 영상 신호선에 접속해서 화소를 제어하는 액티브 소자를 구비한 절연성기판을 구비하는 액정표시장치에 있어서,

상기 주사신호선, 영상신호선, 화소전극을 포함하는 복수의 배선 또는 전극의 적어도 하나가 제 1의 금속층과, 상기 제 1의 금속층과는 부식전위가 다른 제 2의 금속층을 상기 제 1의 금속층 상에 형성해서 이루어지는 적층구조의 배선 또는 전극으로서,

상기 제 1의 금속층과 제 2의 금속층의 부식전위의 차이가 10 mV 이상 300 mV이하가 되도록 상기 제 1의 금속층 및 상기 제 2의 금속층의 재료가 선택되는 것을 특징으로 하는 액정 표시장치.

청구항 2.

청구항 1에 있어서,

상기 주사신호선이 상기 제 1의 금속층과 제 2의 금속층의 적층구조를 가지는 것을 특징으로 하는 액정표시장치.

청구항 3.

청구항 1에 있어서,

상기 영상신호선이 상기 제 1의 금속층과 제 2의 금속층의 적층구조를 가지는 것을 특징으로 하는 액정표시장치.

청구항 4.

청구항 1에 있어서,

상기 화소전극이 상기 제 1의 금속층과 제 2의 금속층의 적층구조를 가지는 것을 특징으로 하는 액정표시장치.

청구항 5.

청구항 1에 있어서,

상기 제 1의 금속층과 제 2의 금속층의 막두께 비를 0.3 이하로 한 것을 특징으로 하는 액정표시장치.

청구항 6.

청구항 1에 있어서,

상기 제 2의 금속층의 상층에 절연막을 CAD법으로 형성한 것을 특징으로 하는 액정 표시장치.

청구항 7.

청구항 1 에 있어서,

상기 제 1의 금속층이 순수 크롬, 상기 제 2의 금속층이 크롬과 몰리브덴을 주성분으로 하는 합금으로 이루어지는 것을 특징으로 하는 액정 표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시장치에 관한 것으로, 특히 박막 트랜지스터 (TFT) 방식 등의 액티브 매트릭스형 액정 표시장치에 있어서 배선 적층 부분의 단선을 없애고 수율을 향상시킨 액정표시장치와 그 제조방법(Liquid crystal device display and manufacture method)에 관한 것이다.

정지화면이나 동화면을 포함한 각종 화상을 표시하는 디스플레이로서 액정 표시장치가 광범위하게 사용되고 있다.

액정 표시장치는 기본적으로 적어도 일방이 투명한 유리로 이루어지는 2 장의 기판 사이에 액정층을 끼우고, 상기 기판에 형성한 화소 형성용 각종 전극에 선택적으로 전압을 인가해서 소정 화소의 점등과 소등을 행하는 형식 (소위, 단순 매트릭스형)과, 상기 각종전극과 화소 선택용 스위칭 소자를 형성해서 이 스위칭 소자를 선택함으로써 소정화소의 점등과 소등을 행하는 형식(소위, 박막트랜지스터(TFT)를 스위칭 소자로서 사용하는 액티브 매트릭스형)으로 분류된다.

특히, 후자의 액티브 매트릭스형 액정 표시장치는 콘트래스트 성능, 고속표시 성능등으로 액정 표시장치의 주류로 되고 있다.

이 액티브 매트릭스형 액정 표시장치는 일방의 기판에 형성한 전극과 타방의 기판에 형성한 전극사이에 액정층의 배향방향을 변경하기 위한 전계를 인가하는 종전계방식이 일반적이었지만, 최근에는 액정에 인가하는 전계 방향을 기판면과 거의 평행한 방향으로 한 횡전계방식(In-Plane Switching Mode : IPS 방식)의 액정 표시장치가 실용화 되고 있다.

제 10 도는 본 발명에 의한 배향막을 사용한 액티브 매트릭스형 액정 표시장치의 전체구성을 설명하는 전개 사시도이다.

상기 제 10 도는 본 발명에 의한 액정 표시장치(이하, 액정 표시패널, 회로 기판, 백라이트, 그외 구성부재를 일체화한 모듈 : MDL이라 한다)의 구체적인 구조를 설명한 것이다.

SHD는 금속판으로 이루어진 실드케이스 (메탈프레임이라고도 한다), WD는 표시창, INS (1)~(3)은 절연시이트, PCB (1)~(3)은 회로 기판 (PCB (1)은 드레인측 회로 기판 : 영상신호선 구동용 회로기판, PCB (2)는 게이트측 회로기판, PCB (3)은 인터페이스 회로기판), JN (1)~(3)은 회로기판 PCB (1)~(3) 끼리를 전기적으로 접속하는 죠이너, TCP (1), TCP (2)는 테이프 캐리어 패키지, PNL은 액정표시 패널, GC는 고무쿠션, ILS는 차광 스페이서, PRS는 프리즘 시이트, SPS는 확산 시이트, GLB는 도광판, RFS는 반사시이트, MCA는 일체화 성형에 의해 형성된 하측 케이스 (모듈 프레임), MO는 MCA의 개구, LP는 형광관, LPC는 램프 케이블, GB는 형광관 LP를 지지하는 고무부쉬, BAT는 양면 점착 테이프, BL은 형광관이나 도광판등으로 이루어진 백라이트를 나타내고, 도시의 배치 관계로 확산판부재를 겹쳐 쌓아서 액정표시 모듈 MDL을 조립할 수있다.

액정 표시모듈 (MDL)은 하측 케이스 (MCA)와 실드케이스 (SHD)의 2 종의 수납 보지부재를 가지고, 절연 시이트 (INS (1)~(3)), 회로기판 (PCB (1)~(3)), 액정 표시패널 (PNL)을 수납 고정한 금속재 실드케이스 (SHD)와 형관관 (LP), 도광판 (GLB), 프리즘시이트 (PRS)등으로 이루어진 백라이트 (BL)을 수납한 하측케이스 (MCA)를 합체해서 이루어진다.

영상신호선 구동용 회로기판 (PCB (1))에는 액정 표시패널 (PNL)의 각 화소를 구동하기 위한 집적회로 칩이 탑재되고, 또 인터페이스 회로기판 (PCB (3))에는 외부 호스트로 부터의 영상신호 받아들임, 타이밍 신호등의 제어 신호를 받아들이는 집적회로 칩, 및 타이밍을 가공해서 클럭 신호를 생성하는 타이밍콘버터 (TCON)등이 탑재된다.

상기 타이밍 콘버터에서 생성된 클럭 신호는 인터페이스 회로기판 (PCB (3)) 및 영상신호선 구동용 회로기판 (PCB (1))에 부설한 클럭 신호 라인 (CLL)을 매개로 해서 영상신호선 구동용 회로기판 (PCB (1))에 탑재된 집적회로 칩으로 공급된다.

인터페이스 회로기판 (PCB (3)) 및 영상신호선 구동용 회로기판 (PCB (1))은 다층 배선 기판이고, 상기 클럭 신호 라인 (CLL)은 인터페이스 회로기판 (PCB (3)) 및 영상신호선 구동용 회로기판 (PCB (1))의 내층 배선으로서 형성된다.

또한, 액정 표시패널 (PNL)은 TFT 및 각종 배선/전극을 형성한 TFT 기판과, 컬러필터를 형성한 필터 기판 2 매의 기판을 합착시키고, 그 간격에 액정을 봉지해 이루어지고, TFT를 구동하기 위한 드레인측 회로기판 (PCB (1)), 게이트측 회로기판 (PCB (2)), 및 인터페이스 회로기판 (PCB (3))가 테이프 캐리어 패키지 TCP (1), TCP (2)로 접속되고, 각 회로기판 간은 죠이너 JN (1), (2), (3)으로 접속된다.

제 11 도는 제 10 도에 도시한 액정 표시장치를 구성하는 TFT 기판의 1 화소부근의 배선구조의 설명도에서 (1)은 기판, (2)는 주사신호선 (게이트선), (2')는 인접 주사 신호선 (인접 게이트선), (3)은 영상신호선 (드레인 선), (4)는 소오스 전극, (5)는 화소전극, (TFT)는 박막 트랜지스터, (Cadd)는 부가용량 소자를 도시한다.

상기 제 11 도에 있어서, 기판 (1)은 주변을 제외한 중앙부는 표시영역으로 되어 있고, 이 표시영역에는 타방의 기판인 필터 기판과 합착 간격에 액정이 봉지되어 있다.

그리고, 이 표시영역에는 도면중 X 방향으로 연재하는 주사신호선 (2) (게이트 선)과 Y 방향으로 병설된 영상신호선 (3) (드레인 선)이 형성되어 있다. 또한, 이 주사신호선 (2)와 절연되어 Y 방향으로 연재하고, 동시에 X 방향으로 병설되는 소오스 전극 (4)가 형성되어 있다.

이들 주사 신호선 (2) 및 영상 신호선 (3)으로 둘러싸여진 영역이 각각 1 화소의 영역을 구성하고 있다.

즉, 상기 표시영역은 매트릭스 형으로 배치된 다수의 화소 영역의 집합체로 형성되는 것이다.

각 화소 영역은 주사 신호선 (2) 및 영상 신호선 (3)으로부터의 주사신호의 공급에 의해 온으로 되는 박막 트랜지스터 (TFT)와 온 으로 된 박막 트랜지스터 (TFT)를 매개해서 영상 신호선 (3)으로부터의 영상신호가 공급된 화소 전극 (5)가 형성되어 있다. 또한, 이러한 박막 트랜지스터 (TFT) 및 화소전극 (5)이외에, 박막 트랜지스터 (TFT)를 구동하는 주사신호선 (2)과 다른 타방의 인접주사선 (2')과 상기 화소전극 (5) 사이에 부가 용량소자 (Cadd)가 형성되어 있다.

이 부가 용량소자 (Cadd)는 박막 트랜지스터 (TFT)가 오프될지라도 화소 전극 (5)에 영상신호를 길게 축적시켜두기 위해 구비되어 있다.

이러한 종류의 액정 표시장치에서는 화소를 선택하기 위한 상기한 각종 배선이 기판 (1)상에 각종 성막 수단과 패턴닝 수단을 사용해서 형성되어 있다.

박막 트랜지스터 형등의 액티브 매트릭스형 액정 표시장치의 배선에는 힐록의 발생이 적은 고융점 금속이 사용되고 있다. 그 배선 재료로서는 순수 금속으로는 크롬 (Cr)이나 몰리브덴 (Mo)를 예시할 수 있다. 또한, 합금재료로서는 상기 크롬 (Cr)과 몰리브덴 (Mo)의 합금, 또는 몰리브덴 (Mo)과 텅스텐 (W)등이 사용되고 있다.

특히, 순수 금속중 크롬은 기판 및 레지스트와의 밀착성이 양호하고, 동시에 배선을 에칭처리한 경우에 에칭 단부가 기판면과 수직으로 가공된다는 특성을 가진다.

이와 같은 특성의 재료를 사용해서 기판상의 최하층에 배선 (하층배선)을 형성한 경우, 상기 수직한 에칭 단부 때문에 상기 하층배선의 상부에 형성되는 절연막 등에 의한 상기 에칭 단부 수직벽에서의 소위 스텝 커버리지가 악화되고, 절연 내압의 열화나 상부에 형성되는 다른 배선 (상부 배선)의 상기 하층배선 교차 부분에서의 단선이 발생한다는 문제가 있다.

제 12 도는 종래기술에 의한 액정 표시장치의 구성예를 설명하는 TFT 부근 의 구조를 설명하는 부분 단면도에서, 제 11 도와 같이 (1)은 TFT 기판, (1')은 필터 기판, (2)는 주사신호선 (게이트 전극), (3)은 영상신호선 (드레인 전극), (4)는 소오스 전극, (5)는 화소 전극, (6)은 절연막, (7)은 반도체층, (7A)는 콘택층, (8)은 보호막, (8A)는 콘택홀, (9)는 컬러필터, (10)은 블랙매트릭스, (11)은 평활층, (12)는 공통전극, (TFT)는 박막 트랜지스터, (Cadd)는 부가용량 소자, (LC)는 액정을 도시한다.

제 12 도에 있어서 일방의 기판인 TFT 기판 (1)상의 TFT 부분에는 게이트 전극 (2), 절연막 (6), 반도체층 (7), 콘택층 (7A), 드레인 전극 (3), 소오스 전극 (4), 보호막 (8), 화소전극 (5)등이 성막 및 에칭처리에 의한 패턴닝으로 다층구조로 축적되고, 또한 부가용량에는 인접 게이트 전극 (2'), 절연막 (6), 보호막 (8), 및 화소 전극 (5)가 동일하게 적층되어 있다.

상기한 바와 같이, 기판 (1)의 최하층에 형성된 게이트 전극 (2)는 순수 크롬 (Cr)과 몰리브덴 (Mo)의 합금재료 이루어지고, 그 에칭처리로 단부 (측단면)이 기판 (1) 면과 수직으로 가공되어 있다. 이 때문에 그 상층에 성막된 절연막 (6)이 이 수직벽면 때문에 그 에지부에 도시한 대로 커버리지 불충분으로 되는 부분이 생긴다.

절연막 (6) 상에는 드레인 전극 (3)이나 소오스 전극 (4)가 형성되지만, 이러한 드레인 전극 (3)이나 소오스 전극 (4)가 게이트 전극 (2)를 교차 부분에 도시한 대로 절연 간격의 감소 또는 막 두께 부족이 생겨, 내압 저하 또는 단락이 발생하고, 또는 단선이 발생한다는 문제가 있다.

또한, 순수 크롬을 사용한 배선에서는 그 상면이 드라이 에칭 분위기로 쬐어지는 불화물이 생성하고, 상부에 형성한 막과의 콘택특성이 열화한다는 문제가 있고, 크롬 (Cr)과 몰리브덴 (Mo), 또는 몰리브덴 (Mo)과 텅스텐 (W)의 합금재료를 배선으로한 경우는, 하지 또는 기판에 대한 접착력이 약하고, 성막한 후의 열이력으로 박리하기 쉽게 된다는 문제도 있다.

또한, 이러한 종류의 배선 형성에 있어서 스텝 커버리지의 문제를 해결하는 것으로서 특개평7-301822호 공보에 기재의 기술이다. 이 공보에 개시의 기술은 배선재료로서 스퍼터링등으로 크롬 (Cr)과 몰리브덴 (Mo)의 성분비율을 다르게 한 2층의 합금층을 형성하고, 단순히 하층과 상층의 에칭속도의 차이를 이용해서 에칭 단부에 정의 테이퍼를 가지게 하는 것이다.

발명이 이루고자 하는 기술적 과제

상기 종래 기술에서는 기판과의 접착성은 종래의 크롬 (Cr)과 몰리브덴 (Mo)의 합금재료를 사용한 것과 같고, 스텝 커버리지 문제는 해소될 수 있고, 배선이 배선으로부터 박리한다는 문제는 여전히 남고, 신뢰성 면에서 충분할 수 없다.

본 발명의 목적은 상기 문제점을 해결하기 위한 것으로서, 하층배선과 상부 도체막과의 콘택 특성의 양호로, 절연막 등 상부막의 스텝 커버리지가 충분하고, 동시에 기판과의 접착성을 만족시키고 상층 배선의 절단이나 하층배선과의 단락 발생을 방지해서 신뢰성을 향상시킨 액정표시장치를 제공하는 데 있다.

상기 목적을 달성하기 위해, 본 발명은 이종 금속간의 부식전위차에 의한 부식 속도 차이를 이용한 것이고, 하기 (1) ~ (7)에 기재의 수단을 채용한 것을 특징으로 한다.

(1) 절연성 기판 상에 제 1의 금속층으로 이루어진 제 1 층과, 상기 제 1의 금속층과 주성분은 동일하고 첨가원소와 또는 조성이 다른 제 2의 금속층으로 이루어진 제 2 층을 상기 제 1 층 상에 형성해서 이루어진 적층구조의 배선을 구비하고, 상기 제 1 층의 측단면이 순테이퍼 형상을 가지고, 상기 제 2 층의 측단면이 기판면에 수직한 형상 또는 역테이퍼 형상의 어느 하나로 한다.

(2) 주사신호선, 영상신호선, 화소전극을 포함하는 복수의 배선, 및 상기 주사신호선과 영상신호선에 접속해서 화소의 온/오프를 제어하는 액티브 소자를 구비한 일방의 기판과, 적어도 컬러필터를 구비해서 상기 일방의 기판과 미소 간격을 가지고 합착한 타방의 기판과, 상기 일방의 기판과 타방의 기판 간격에 액정을 봉입해 이루어진 액정표시장치에 있어서,

적어도 상기 주사전극의 배선이 상기 일방의 기판측에 형성된 제 1의 금속층으로 이루어진 제 1 층과, 상기 제 1의 금속층과 주성분은 동일하고 첨가원소와 또는 조성이 다른 제 2의 금속층으로 이루어진 제 2 층을 상기 제 1 층상에 형성해서 이루어지는 적층구조의 배선을 구비하고, 상기 제 1 층의 측단면이 순테이퍼 형상을 가지고, 상기 제 2 층의 측단면이 기판면에 수직한 형상 또는 역테이퍼 형상의 어느 하나로 한다.

(3) (2)에 있어서, 상기 제 1 층이 순수 크롬층으로 하고, 상기 제 2 층을 크롬과 몰리브덴을 주성분으로하는 합금층으로 한다.

(4) 주사신호선, 영상신호선, 화소전극을 포함하는 복수의 배선, 및 상기 주사신호선과 영상신호선에 접속해서 화소의 온/오프를 제어하는 액티브 소자를 구비한 일방의 기판과, 적어도 컬러필터를 구비해서 상기 일방의 기판과 미소 간격을 가지고 합착한 타방의 기판과, 상기 일방의 기판과 타방의 기판 간격에 액정을 봉입해 이루어진 액정표시장치에 있어서,

적어도 상기 주사전극의 배선이 상기 일방의 기판측에 형성된 크롬과 텅스텐을 주성분으로 하는 제 1 층과, 상기 제 1 층상에 형성된 크롬과 몰리브덴을 주성분으로 하는 합금층으로 이루어진 제 2 층과 적층구조를 가지고, 상기 제 1 층의 측단면이 순테이퍼 형상을 가지고, 상기 제 2 층의 측단면이 기판면에 수직한 형상 또는 역테이퍼 형상의 어느 하나로 한다.

(5) 주사신호선, 영상신호선, 화소전극을 포함하는 복수의 배선, 및 상기 주사신호선과 영상신호선에 접속해서 화소의 온/오프를 제어하는 액티브 소자를 구비한 일방의 기판과, 적어도 컬러필터를 구비해서 상기 일방의 기판과 미소 간격을 가지고 합착한 타방의 기판과, 상기 일방의 기판과 타방의 기판 간격에 액정을 봉입해 이루어진 액정표시장치에 있어서,

적어도 상기 주사신호선의 배선이 상기 일방의 기판측에 형성된 3 층구조를 가지고, 제 1 층과 제 3 층의 어느 하나에 각각의 주성분은 동일하고 첨가원소와 또는 조성이 다른 2 종류의 금속을 가지고, 제 2 층에 상기 제 1 층 및 제 3 층과 선택 에칭할 수 있는 주성분이 다른 별도의 금속으로 이루어진 제 2 층을 가지고, 상기 제 1 층과 제 3 층의 어느 하나는 일방이 타방에 비교해서 크게 에칭해서 후퇴시킨다.

(6) (5)에 있어서, 3 층으로 이루어진 적층구조를, 크롬, 알루미늄 합금, Cr-Mo 합금으로 구성한다.

(7) (1) 내지 (6)에 있어서, 상기 적층구조의 최상층과 그 하층의 막두께 비를 0.3 이하로 한 것을 특징으로 하는 청구항 (1) 내지(6)중 어느 하나인 액정 표시장치.

또, 상기의 배선 구조로 하기 위한 방법으로서 하기 (8) 내지 (13)의 것을 채용할 수 있다.

(8) 유리등의 절연성 기판 (이하, 기판이라 한다) 상에 기판측의 제 1 층을 순수 크롬 (Cr)으로 하고 그 상층인 제 2 층은 크롬 (Cr)과 몰리브덴 (Mo)의 합금(Cr-Mo)로 한 2 층의 적층 구조로 이루어진 배선을 형성한다.

(9) 기판 또는 이 기판의 표면에 형성한 SiO등의 하지층 상에 순수 크롬 (Cr)층을 개재시켜서 크롬과 몰리브덴의 합금층으로 이루어진 배선을 형성한다.

(10) 기판상에 게이트 배선과 드레인 배선을 가지고, 게이트 배선으로서 상기한 순수 크롬층과 Cr-Mo 합금층으로 이루어진 적층구조를 사용하고, 드레인 배선에는 게이트 배선과 동일의 적층배선 또는 Cr-Mo 합금층로 이루어진 단층구조를 사용한다.

(11) 게이트 배선으로서 상기 순수 크롬층과 Cr-Mo 합금층으로 이루어진 적층 구조를 사용하고, 화소전극으로서 인듐 틴 옥사이드 (ITO) 막을 사용하고, 이 양자로 절연층을 샌드위치함으로써 부가용량을 형성한다.

(12) 기판상에 상기한 2 층의 적층구조의 배선을 형성하고, 그 하층의 측단면에는 순테이퍼 형상을 가지게 하고, 상층의 측단면에는 기판면에 수직한 형상 또는 역테이퍼 형상를 가지게 한다.

(13) 2 종류의 다른 조성의 배선재료를 적층한 적층구조 막을 에칭 약액 중에 침적시켜, 약액중에서의 상기 적층구조 막의 제 2 층 (상층)의 부식 전위를 제 1층 (하층)의 그것보다도 낮게 설정하고, 전지반응에 의해 제 2 층의 에칭 속도를 제 1 층보다 빠르게 함으로써 배선의 측단면에는 순테이퍼 형상을 가지게 한다.

상기 2층의 적층구조로 이루어진 배선중, 하층의 순수 크롬 (Cr)은 기판 또는 하지층과 접착성이 양호한 특성을 가진다. 한편, Cr-Mo 합금층으로 이루어진 상층은 비저항이 작은 크롬과 몰리브덴을 합금화 함으로써 재료의 비저항을 낮게 억제함과 동시에 상층과의 콘택 저항을 순수 크롬층과 비교해서 억제 할 수 있다.

또한, 몰리브덴과 합금화 하고, 스퍼터링 조건을 최적화 함으로써 막응력을 순수 크롬층과 비교해서 대폭적으로 저감할 수 있다는 장점이 있다.

그리고, 상층과 하층에서의 그 부식전위에 차를 생기게 하고, 상층의 부식전위를 하층의 그것보다 낮게 설정함으로써, 양자를 동일의 에칭 약액에 침적시킨 경우에, 부식 전위차에 의해, 즉, 양자의 전지 반응에 의해 상층은 하층보다도 상대적으로 빠르게 에칭이 진행한다. 그 결과, 상층에서 사이드에칭이 진행하고, 하층의 상부에서도 그 하부보다도 사이드 에칭이 빠르게 진행한다.

제 5 도는 상층과 하층의 부식 전위에 차를 가지게 한 때의 전지 반응에 의한 에칭의 진행상태의 설명도이다.

기판 (1)상에 형성한 제 1 층 (2A)과 제 2 층 (2B)로 이루어진 2 층의 적층구조의 배선층의 하층인 상기 제 1 층 (2A)를 순수 크롬 (Cr), 상층인 상기 제 2층을 크롬 (Cr)과 몰리브덴 (Mo)의 합금층 (Cr-Mo)으로 한 때, 에칭액중에서의 제 1 층 (2A)의 부식 전위를 높게 (H) 하고, 제 2 층 (2B)의 부식 전위를 낮게 (L) 하는 함으로써, 에칭 약액에 침적한 때에, 양자간에 전지 반응이 생긴다. 이 전지 반응에 의해 에칭은 도면중 화살표 (E)에 도시한 대로 진행한다.

전지반응의 영향으로 상하층의 계면이 가장 에칭속도가 크게 되고, 하층 (2A) 전체의 측단면은 순 테이퍼 형상으로 가공되고, 상층 (2B)의 측단면은 기판 (1)의 면과 수직한 형상 또는 약간 역테이퍼 형상으로 가공된다.

이와 같이, 2 종류가 다른 조성의 상하층 간에 전지 반응에 의해, 상대적으로 상층의 에칭 속도를 가속시킨 경우, 상층보다도 하층의 부식 전위를 높게 설정하는 것이 불가결하다. 또한, 측단면을 순테이퍼 형상으로 가공하기 위해서는 하층의 에칭시에도 상층의 사이드에칭이 진행할 필요가 있다. 따라서, 상하층은 동일의 에칭 약액으로 에칭이 진행하도록 동일의 합금계이거나, 또는 별도의 금속이라도 동일의 에칭 약액으로 에칭되는 재료로 할 필요가 있다.

그리고, 양자의 부식전위차가 상당히 크면 상층만이 급격히 에칭되어 하층의 에칭이 진행하지 않거나, 에칭이 이루어질지라도 테이퍼각이 작게 되버린다. 그 때문에, 상하층의 부식전위차는 3㎷ 이상 300㎷ 이하로 하는 것이 바람직하다고 실험적으로 알려져 있다.

그 중에서도 5㎷ 이상 200㎷ 이하로 소망의 테이퍼각을 얻을 수 있다.

이 조건을 만족시키면 단독으로 하층 조성의 에칭 속도가 상층의 에칭속도보다 클 지라도, 양자를 적층구조로 함으로써 소망하는 테이퍼 형상을 가진 배선의 형성이 가능해진다. 제 1 층 과 제 2 층의 조합은 순수 크롬과 Cr-Mo 합금이외라도 좋다. Mo 대신에 W을 첨가하고, Cr-W 합금과 순수 크롬의 적층 배선이라도 동일 효과가 있다. 또한, 각각에, 다른 제 2 원소를 첨가하고, 양자의 부식 전위차를 제어해도 좋다. 예를 들어, 제 1 층은 Cr-W 합금을 사용하고, 제 2 층은 Cr-Mo를 사용한 경우, 적층막간의 부식 전위차를 생기게 함과 동시에 각각의 층에 부식 전위이외의 기능을 부여시킬 수 있다. 예를 들어, 이 조합의 경우, 제 1 층에서는 막 응력이 저감하고, 제 2 층에서는 상층과 콘택저항의 저감을 꾀할 수 있다.

이와같이 기판상에 형성하는 배선의 측단면에 테이퍼 형상을 가지게 함으로써, 그 위에 형성하는 절연막의 스텝 커버리지가 양호해지고, 절연 내압의 열화나 상부에 형성된 다른 배선(상부배선)의 상기 하층배선 교차 부분에서의 CVD절연막등의 박막 (CVD막)에 크랙이 생겨, 이것이 그 상층에 성막하는 드레인 배선이나 소오스 배선의 단선을 초래한다는 문제가 해소된다.

또, 상기의 전지반응을 이용한 에칭에 있어서, 상층의 층 두께를 작게 하면, 그 측단면의 형상이 기판면에 수직 또는 역테이퍼계 형상일지라도 그 후에 상부에 형성되는 막의 스텝 커버리지의 불량은 회피할 수 있다.

제 6 도는 상층과 하층의 막 두께비를 변화시킨 때의 게이트 배선부에 형성한 CVD 막에 생기는 크랙의 길이 변화의 설명도이고, 횡축에 하층의 막두께 (a)와 상층의 막 두께 (b)의 비 (a/b)를, 종측에 크랙 길이 (㎚)를 취해 도시한다. 또한, 상기 제 6 도의 막 단면도에 있어서, CL은 크랙을 도시한다.

또, 절연막 (6)으로서 CVD에 의해 형성된 막 두께는 통상 300 ~ 400㎚이다.

상기 제 6 도에 도시한 대로, 상층의 막 (a)가 하층의 막 (b)보다 두꺼운 경우, 즉 a/b가 1 이상의 경우에는 CVD 막의 게이트 배선 (2)에로의 절연막 (6)의 커버리지가 나쁘고, 긴 크랙이 생긴다.

이것에 대해, a/b가 감소함에 따라 크랙이 생기기 어렵게 되고, 게이트/드레인 간의 내압은 향상한다.

상기 제 6 도에서는 a/b가 0.1 이상에서 크랙길이는 300㎚를 초과하고, 1.0 이상에서는 400㎚를 초과해 버리는 것이 도시되어 있다.

그리고, a/b가 0.3이하로 되도록 상층 (2B)의 막두께를 얇게 형성함으로써, 전무 또는 실용상 문제가 없는 상태로 할 수 있다. 예를 들어, 하층 (2A)의 막두께를 200㎚로 한 때, 상층 (2B)의 막두께는 60㎚이하로 크랙은 거의 생기지 않는 우수한 커버리지를 실현할 수 있다.

상층 (2B)의 막두께가 얇을수록, 그 상에 성막되는 절연막의 크랙발생의 영향을 저감할 수 있지만, 박막을 기판 전면에 형성하기 위한 불가결의 막두께는 10 ㎚이기 때문에 상층 (2B)의 막두께는 10 ㎚ 이상 60㎚ 이하로 한 것이 바람직하다.

제 7 도는 순수 크롬 (Cr)과 Cr-Mo 합금의 초산 제 2 세륨 수용액에서의 부식전위의 변화를 몰리브덴(Mo) 농도를 변경해서 측정한 결과의 설명도이다.

순수 크롬 (Cr), 즉 몰리브덴 (Mo)농도가 제로의 경우의 부식전위는 1150㎷, Cr-50 wt.% Mo 합금의 경우는 1100㎷이다. 이 양자의 전위차를 이용함으로써 제 6도에 도시한 테이퍼 에칭이 가능해진다. 또, 순수 몰리브덴 (Mo)의 부식 전위는 360㎷로 낮기 때문에, 몰리브덴 (Mo) 농도가 높게 될수록 Cr-Mo 합금의 부식 전위는 저하한다.

제 8 도는 순수 크롬 (Cr)과 조합시킨 Cr-Mo 합금의 조성을 변화시킨 때의 테이퍼각 변화의 설명도이다.

도시된 바와 같이, 몰리브덴 농도가 제로의 경우, 즉, 순수 크롬 (Cr)의 경우는 크롬 (Cr) 단독 배선으로 되고, 이 때의 테이퍼 각은 90도 (기판면과 수직)으로 된다. 이것에 Mo를 첨가한 Cr-Mo로 하면 테이퍼각은 저하하고, 10%～65%의 Mo 첨가로 40°～60°의 테이퍼각을 얻을 수 있다. Cr-50 wt.% Mo의 경우에는 55도로 된다. 상층의 몰리브덴 (Mo) 농도가 높아지고 양층에서의 부식 전위차가 증대하면, 하층의 테이퍼 각의 변화는 적지만, 상층의 역테이퍼 경향이 강해지고, 전체 형상은 악화된다. 따라서, Mo 농도는 10wt%～50wt%의 범위로 선택하는 것이 좋다.

상기한 기술사항에 기초한 본 발명에 의하면, 기판면 내의 테이퍼 각 분포를 대폭적으로 개선할 수 있다.

또한, 포토레지스트와 금속 박막과의 사이에로의 에칭액의 침입을 이용하는 테이퍼 가공의 경우, 포토레지스트와 금속 박막과의 밀착성이 면내 편차를 반영해서 테이퍼 각이 크게 흐트러지고, 중앙부와 주변부에서 테이퍼각이 2배정도 차이가 있다. 이것에 대해, 본 발명의 경우, 상기 부식 전위차가 사용하는 재료에 따라서 결정되어 있기 때문에, 상층막과 하층막의 전위차를 이용한 본 발명에 의하면 에칭한 테이퍼 각의 면내 편차가 극히 작고, ±9% 이내로 제어할 수 있다.

본 발명을 역스태거형 TFT에서의 게이트 배선의 형성에 적용한 경우, 그 상부에 형성된 SiN등으로 이루어진 절연막 (게이트 절연막), a-Si 반도체막, 드레인 배선 등의 스텝커버리지가 양호해지고, 그 경과, 절연 내압의 향상이나 드레인 배선의 단선 불량율이 저감된다.

또한, 몰리브덴 (Mo)을 첨가한 상층은 불소계 가스로 드라이 에칭해서도, 불화물이 형성되기 어렵고, 산화 분위기중에서도 산화되기 어렵기 때문에, 상기 전극상에 형성한 다른 전극과의 콘택이 양호하게 보존된다.

적층막간의 부식전위차를 생기게 하는 2층은 반드시 직접 접할 필요는 없고, 도전층을 매개해서 접촉해 있으면, 동일한 효과가 있다. 따라서 Cr 층과 Cr-Mo층 사이에 예를 들어, Al등의 Cr과 선택에칭할 수 있는 도체층을 끼우고, 3층구조로 할 수 있다. 이때, 최하층의 Cr 또는 Cr-Mo층의 에칭시, 최상부의 Cr층도 에칭될 때에, 양자간의 전지 반응이 생겨, 일방을 우선적으로 에칭해서 후퇴시킬 수 있다. 제 8 도에 도시한 바와 같이, Cr과 Cr-Mo의 어느 것을 최상층으로 사용하는가에 따라서 얻어지는 형상이 다르다.

제 9 도는 2 층 또는 3 층 구조의 에칭 형상의 설명도이고, 부식전위가 낮은 막을 최상층으로서 사용하는 경우, 제 9a 도에 도시한 바와 같이, 최상층은 Al보다 후퇴하고, 최하층의 후퇴를 억제할 수 있고, 하층 Cr로부터의 Al의 오버행 량을 저감할 수있기 때문에, 배선 전체의 형상을 전체적으로 매끄럽게 되도록 가공할 수 있다.

이것에 대해, 부식전위가 낮은 막을 최하층으로서 사용하는 경우, 제 9b 도에 도시한 바와 같이, 최하층의 후퇴는 촉진되는 한편, 최상층의 후퇴는 억제된다. 이것에 의해, 단부이외의 Al 표면을 Cr으로 피복하도록 가공할 수 있기 때문에, 단부로부터의 Al 힐록 성장을 억제할 수 있다.

배선 전체의 단면 형상을 매끄럽게 가공하고 싶은 경우에는, 제 9a 도에 도시한 바와 같은 막구성으로 하면 좋고, 한편 Al 막으로부터의 힐록을 방지하고 싶은 경우에는 제 9b 도에 도시한 바와 같은 막구성으로 하면 좋다. 또, 제 9c 도는 종래 실시예지만, Al층만이 돌출하고, 전체형상 및, 내 힐록성에 문제가 있다.

발명의 구성

이하에서는, 본 발명의 목적을 달성하기 위한 실시예의 구성과 작용에 대하여 첨부된 도면을 참조하여 설명하고자 한다.

제 1 도는 본 발명에 의한 액정 표시장치의 주요부 구조를 설명하는 부분단면도, 제 2 도는 주요부 구조를 설명하는 부분 평면도이고, 상기 제 11 도와 같이 (1)은 TFT 기판, (1')은 필터 기판, (2)는 게이트 전극, (3)은 드레인 전극, (4)는 소오스 전극, (5)는 화소전극, (6)은 절연막, (7)은 반도체층, (7A)는 콘택층, (8)은 보호막, (8A)는 콘택홀, (9)는 컬러필터, (10)은 블랙매트릭스, (11)은 평활층, (12)는 공통전극, (TFT)는 박막 트랜지스터, (Cadd)는 부가용량 소자, (LC)는 액정을 도시한다. 그리고 (3A), (3B)는 드레인 전극 (3), (4A), (4B)는 소오스 전극 (4)를 각각 구성하는 Cr-Mo의 합금층과 순수 크롬 (Cr)과의 적층부, (2A)는 게이트 전극 (2)를 구성하는 제 1 층 (하층), (2B)는 제 2 층 (상층)이다.

상기 게이트 전극 (2)의 하층 (2A)는 순수 크롬(Cr)층이고, 상층 (2B)는 Cr-Mo의 합금층이다. 그리고, 하층 (2A)의 두께는 150㎚, 상층 (2B)의 두께는 50㎚로서 상기 배선의 측단면의 대부분에 양호한 순테이퍼를 하고 있다. 또, 상층 (2B)의 측단면은 제 1 도에 도시한 바와 같이 기판면에 수직한 형상이지만, 그 층 두께가 작기 때문에 배선 전체로서 순테이퍼 형상에 별로 영향이 없다.

이와 같이 게이트 전극 (2)를 적층구조로 해서 제 1 층의 순수 크롬 (Cr)에 양호한 순테이퍼를 형성함으로써, 그 상부에 형성되는 드레인 전극 (3)이나 소오스 전극 (4)의 단선이 방지되고, 또한, 절연막 (6)에 크랙 또는 핀홀이 발생하는 상태를 회피할 수 있다. 또한 기판과 접하는 하층을 순수 크롬층으로 함으로써 게이트 전극 (2)와 기판의 밀착성이 높아지고, 열응력 등에 의한 배선의 박리를 방지할 수 있다.

상기와 같이 게이트 전극 (2)를 형성한 기판 (1)의 표면의 전역에는, 게이트 전극 (2)와, 후술하는 바와 같이 드레인 전극 (3) 및 소오스 전극 (4)와의 층간 절연을 꾀하기 위한 절연막 (6)으로서 질화실리콘 (SiN) 막이 형성된다.

그리고, 게이트 전극 (2)와 드레인 전극 (3) 및 소오스 전극 (4)로 둘러싸여진 화소 영역의 일각에 있어서 절연막 (6)의 상부에는 박막 트랜지스터 (TFT)가 형성된다. 이 박막트랜지스터 (TFT)의 형성영역에 있어서는 게이트 절연막으로서 기능하는 상기 절연막 (6)의 상층에서 상기 게이트 전극 (2)의 상부에 위치하는 절연막 (6)의 표면에는 게이트 전극 (2)에 걸치도록 해서 아몰퍼스 실리콘 (a-Si)으로 이루어진 반도체층 (7)이 형성되어 있다.

그리고, 이 반도체층 (7)은 소오스 전극 (4)의 형성영역의 하층으로 되도록 형성되고 있다. 소오스 전극 (4)를 반도체층 (7)과 적층구조로 하는 것은 단절 방지와 교차하는 게이트 전극 (2)사이의 용량을 저감시키기 위함이다.

박막트랜지스터 (TFT)의 형성영역에서의 반도체층 (7)의 표면에는 드레인 전극 (3) 및 소오스 전극 (4)가 형성되고, 이들 각 전극 (3), (4)는 그것을 평면적으로 본 경우에 상기 게이트 전극 (2)를 사이로 해서 서로 대향 배치된다.

또, 반도체층 (7)의 표면의 드레인 전극 (3) 및 소오스 전극 (4)와의 계면에는 상기 반도체층 (7)에 고농도의 불순물이 도프된 콘택층 (7A)가 형성되어 있다. 이 고농도 불순물층은 반도체층 (7)을 형성한 시점에서 그 전면에 형성해 있고, 그 후에 형성한 각 전극 (3), (4)를 마스크로서 상기 각 전극 (3), (4)로부터 노출해 있는 불순물층을 에칭함으로써 형성된다.

그리고, 드레인 전극 (3) 및 소오스 전극 (4)는 동일 공정으로 동시에 동일 재료로 형성되도록 이루어져 있다. 이 재료의 예로서는 게이트 전극 (2)와 동일한 적층 배선을 사용하고 있다. 또한, 크롬 (Cr)과 몰리브덴 (Mo)의 단층 합금층을 사용해도 좋다.

또한, 제 2 도에 도시한 바와 같이 소오스 전극 (4)는 화소 전극 (5)의 형성영역까지 연재해 형성되고, 이 연재부에 있어서 상기 화소 영역 (5)와의 콘택을 하도록 구성되어 있다.

여기서, 소오스 전극 (4)는 드레인 전극 (3)와 동일 재료로 형성되고, 크롬 (Cr)과 몰리브덴 (Mo)의 합금층 (3B), (4B)와 순수 크롬층 (3AM4A)의 적층구조에 의해 형성되어 있다.

이와같이 가공된 기판 (1)의 표면의 전역에는 상기 박막트랜지스터 (TFT)에로의 액정 직접 접촉을 회피하기 위해, 예를 들어 실리콘 질화막 (SiN)으로 이루어지는 보호막 (8)이 형성되어 있다. 이 보호막 (8)에는 상기 소오스 전극 (4)의 연재부의 일부를 노출시키는 콘택홀 (8A)가 형성되어 있다.

그리고, 이 보호막 (8)의 상면에 있어서 화소 영역내에는, 예를 들어 ITO막으로 이루어지는 화소 전극 (5)가 형성되어 있다. 이 화소 전극 (5)는 콘택홀 (8A)를 통해서 소오스 전극 (4)와 전기적 접속이 가능해지도록 되어 있다.

이 경우, 화소 전극 (5)의 일부는 박막트랜지스터 (TFT)를 구동하기 위한 게이트 전극 (2)와는 다른 타 인접 게이트 전극 (2')상까지 연재하도록 형성되고, 이 것에 의해 화소전극 (5)와 인접 게이트 전극 (2')과의 사이에 개재되는 절연막 (6) 및 보호막 (8)의 적층체를 유전체막으로 하는 부가용량 (Cadd)가 구성된다.

또, 제 1 도에 도시한 바와 대로, 상기와 같이 각종 성막이 만들어진 기판 (1)은 액정 (LC)를 끼운채 타방의 기판 (투명 기판) (1')과 합착된다. 이 타방의 기판 (1')의 액정 (LC)측에는 블랙 매트릭스 (10)로 구획된 복수의 컬러 필터 (9)와, 이 컬러 필터 (9)를 덮는 평활층 (11)을 매개해서 각 화소영역에 공통인 공통전극 (12)가 예를 들어 ITO로 형성되어 있다.

이상 설명한 구성으로 함으로써, 드레인 전극, 소오스 전극의 단선이나 단락이 저감되고, 고신뢰성의 액정표시장치를 얻을 수 있다.

다음으로, 본 발명에 의한 액정 표시장치의 제조방법의 실시예를 제 1 도 ~ 제 4 도를 참조해서 설명한다.

제 3도 및 제 4도는 본 발명에 의한 액정 표시장치의 제조방법의 실시예를 설명하는 개략 공정도이고, 제 1 도 및 제 2 도의 동일 부호는 동일 부분에 대응한다.

우선, 글래스 기판 (1)의 주표면 전역에 스퍼터링 법등을 사용해서 순수 크롬층의 제 1 층 (하층) (2A)를 150㎚ 두께로 구성한다. (제 3a 도)

다음으로, 제 1 층의 상층을 덮어서 스퍼터링법 등을 사용해서 Cr-50wt.%Mo의 합금층을 막 두께 50㎚로 성막해서 제 2 층 (상층) (2B)를 형성하여 주로 크롬 (Cr) 배선으로 이루어진 적층 구조체를 형성한다. (제 3b 도) 이 적층구조체는 게이트 전극 (2)로 이루어진 것이다.

상기 적층구조체의 상면 전역에 포토레지스트 (20)을 도포하고(제 3c 도), 게이트 전극 (2)와 일체로 형성된 박막 트랜지스터 (TFT)의 게이트 전극 단자 (2C)등의 패턴을 가지는 포토마스크 (20a)를 매개해서 포토레지스트 (20)을 선택적으로 노광한다.

그 후, 포토레지스트 (20)을 현상하고, 게이트 전극 (2)와, 게이트 전극 단자 (2C)등의 형성 영역이외의 영역에 상당하는 포토레지스트 부분을 제거해서, 상기 제거부분의 상기 적층구조체를 노출시킨다. (제 4d 도)

잔존한 포토레지스트 (20)을 마스크로 해서, 노출된 적층 구조체를 에칭 약액중에 침적해서 에칭처리를 행한다. 이 에칭 약액으로서는 초산 제2 세륨 암모니아 수용액을 사용한다. 이 에칭처리시, 적층구조체를 구성하는 상하층의 각각 의 부식

전위는 상기 제 7 도에 설명한 바와같이, 상층의 Cr-50wt.%Mo의 합금층이 1100㎷, 하층의 순수 크롬(Cr)이 1150㎷이고, 양자 사이에 50㎷의 전위차가 생긴다. 상층의 부식전위를 하층의 그것보다 낮게 함으로써 부식전위가 낮은 상층을 전지반응으로 하층보다도 빠르게 에칭시키고, 게이트 전극 (2)의 양측의 측단면에 양호한 순테이퍼 각을 가질 수 있다. (제 4e 도) 이 때, 상층의 측단면은 기판면에 수직 형태 또는 역테이퍼로 이루어지기 때문에, 상층의 층 두께를 하층의 그것보다 얇게 형성하는 것이 바람직하다. 예를 들어, 상층을 50㎚ 두께로, 하층을 150㎚로 한다.

에칭처리가 종료한 후, 포토레지스트 (20)을 제거해서, 에칭처리로 잔존한 적층막에 의해 게이트 전극 (2), 게이트 전극 단자 (2C)등이 형성된다. (제 4f 도)

이하, 상기 공정으로 게이트 전극 (2), 게이트 전극 단자 (2C)등이 형성된 기판 (1)에 대해서, 하층의 공정으로 TFT 기판을 가공한다.

우선, 상기 각 공정에 의해 게이트 전극 (2), 게이트 전극 단자 (2C)등이 형성된 기판 (1)의 주표면의 전역에 실리콘 질화물로 이루어지는 절연막 (6), i 형 아몰퍼스 Si으로 이루어진 반도체층 (7), 및 n형의 불순물이 도핑된 아몰퍼스 Si 반도체 콘택층 (7A)를, 예를 들어 CVD 법을 사용해서 순차 형성한다.

이 경우, 동일 CVD 장치를 사용해서, 연속적으로 절연층 (6), 반도체층 (7), 및 n형의 불순물이 도핑된 반도체 콘택층 (7A)를 순차형성하는 것에 의해 제조공정을 간략화 할 수 있다. 이 때, 제 1 도에 도시한 게이트 전극 (1C)를 전체적으로 순테이퍼로 함으로써, 이 게이트 전극 (1C)의 상층에 성막하는 CVD에 의한 게이트 절연막의 커버리지가 양호해지고, 게이트 절연막의 결함이나, 또는 그 상층에 실어 올려 형성되는 드레인선이나 소오스 전극 등과 게이트 전극간의 단락 또는 이들의 단선이 회피된다.

그리고, 상기 n형의 불순물이 도핑된 반도체 콘택트 층(7A)의 상면의 전역에 포토레지스트 막을 도포해서, 박막 트랜지스터 (TFT)의 패턴이 형성된 포토마스크를 매개해서 선택적으로 노광을 행한다.

그후, 상기 포토레지스트 막을 현상해서 박막 트랜지스터 (TFT)의 형성영역이외의 영역의 포토레지스트 막을 제거하고, 이 제거된 부분으로부터 상기 n형의 불순물이 도핑된 반도체 콘택트 층 (7A)의 상면을 노출시킨다.

잔존한 포토레지스트막을 마스크로해서, 이 마스크로부터 노출한 상기 반도체 콘택층 (7A) 및 그 하층의 반도체층 (7)을 선택적으로 에칭한다.

이 경우, 반도체 (7)의 하층에 위치하는 절연막 (6)은 에칭하지 않고 잔존시킨다.

이것에 의해, 박막트랜지스터 (TFT)의 형성영역에 있어서, 게이트 절연막으로 이루어진 실리콘질화막, i 형 아몰퍼스 Si 반도체층, 및 콘택층으로 이루어진 n형 불순물이 도핑된 아몰퍼스 Si 반도체 콘택층이 순차 형성되는 것으로 이루어진다.

또한, 이 후에 형성된 소오스 전극 (4)의 하층에는 n형의 불순물이 도핑된 반도체 콘택층 (7A) 및 반도체층 (7)의 적층구조가 형성된다.

또한, 상기와 같이 해서 가공된 기판 (1)의 주표면의 전역에, 예를 들어 스퍼터링 법을 사용해서 크롬 (Cr)과 몰리브덴 (Mo)의 합금층과 크롬 (Cr)층의 적층구조를 형성한다. 이 적층구조는 소오스 전극 (4) 및 드레인 전극 (3), 드레인 전극 (3B)등의 패턴이 형성된 포토마스크를 매개해서 상기 포토레지스트를 선택노광한다.

그후, 상기 포토레지스트막을 현상함으로서, 소오스 전극 (4) 및 드레인 전극 (3), 드레인 전극 단자 (3B)등의 형성영역이외의 영역에 상당하는 포토레지스트 막을 제거하고, 이 제거된 부분으로부터 상기 합금막을 노출시킨다.

그리고 잔존한 포토레지스트막을 마스크로 해서 이 마스크로부터 노출한 상기 합금층을 선택에칭한다.

이것에 의해 잔존한 합금층에 의해 소오스 전극 (4) 및 드레인 전극 (3), 드레인 전극 단자 (3B)등이 형성된다.

또한, 상기 박막 트랜지스터 (TFT)의 형성영역에 형성된 반도체층 (7)의 상층에 n형의 불순물이 도핑된 반도체콘택층 (7A)를 상기 소오스 전극 (4) 및 드레인 전극 (3)을 마스크로 해서 선택 에칭한다. 이것에 의해 잔존한 상기 n형 불순물이 도핑된 반도체콘택층 (7A)는 반도체층 (7)에 대한 소오스 전극 (4) 및 드레인 전극 (3)과의 계면에만 형성되고, 콘택층 (7A)로 해서 기능하도록 이루어진다.

다음으로, 상기 각 공정에서 가공된 기판 (1)의 주표면 전역에 실리콘질화막으로 이루어진 보호막 (8)을, 예를 들어 플라즈마 CVD법에 의해 성막한다. 이 때, 소오스 전극 (4), 드레인 전극 (3)의 측단 테두리가 하층의 게이트 전극 (2)의 형상으로 모방해서 전체적으로 순테이퍼 형상으로 형성되어 있기 때문에, 보호막 (8)에 의한 스텝 커버리지가 양호해지고, 게이트 전극 및 드레인 전극의 교차부에서의 핀홀등의 막결함이 적은 보호막 (8)을 얻을 수 있다. 또한, 게이트 전극 및 드레인 전극이 순테이퍼 형상으로 가공됨으로써 박막트랜지스터 (TFT)형성 부분의 표면의 단차는 완만해진다.

그리고, 상기 보호막 (8)에 콘택홀 (8A)를 형성한다. 이 때, 동시에 드레인 전극단자 (3B) 상의 상면에 형성되어 있는 보호막 (8) 및 게이트 전극 단자 (2C) 상의 상면에 형성되어 있는 보호막 (8)에 개구를 형성한다.

상기 보호막 (8)의 가공에 사용한 마스크를 그대로 사용해서 드라이 에칭을 실시한다. 이것에 의해 절연층 (6)에 스루우홀 구멍이 만들어지고, 게이트 전극단자 (2C), 드레인 전극단자 (3B) 및 소망의 영역에서는 기판 (1)의 표면이 노출하기 까지 개구가 형성되도록 이루어진다. 드라이 에칭 가스로 스루우홀을 형성할 때, 오버 에칭 시간에 전극표면이 가스로 쬐어진다. 이 소오스 전극 표면을 Cr-Mo 합금층으로함으로써, 순수 크롬 (Cr)층으로 한 경우에 비교해서 불화물이나 염화물의 형성이 적고, 따라서 상부의 ITO 막과의 콘택특성을 대폭적으로 향상시킬 수 있다.

이와같이 가공된 기판 (1)의 표면의 전영역에 ITO막을 형성한다. 이 ITO막의 두께로서는 70~300㎚가 적당하고, 본 실시예에서는 그것을 140㎚로 했다.

상기 ITO막의 표면의 전역에 포토레지스트 막을 형성하고, 화소전극 (5)나 게이트 전극, 드레인 전극 단자등의 패턴을 가지는 포토마스크를 매개해서 포토레지스트막의 선택노광을 행한다. 그리고, 포토레지스트 막을 현상하고, 화소전극 (5)나 각 게이트 전극, 드레인 전극단자등의 형성영역이외의 포토레지스트 막을 제거한다.

잔존한 포토레지스트 막을 마스크로 해서, 이 마스크로부터 노출한 상기 ITO막을 선택 에칭한다. 이것에 의해 잔존한 ITO막에 의해 상기화소 전극 (5)등이 형성된다.

상기한 각 공정에서 소망의 배선, 전극 등을 형성한 TFT기판 (1)에 제 1 도에 도시한 필터 기판 (1')을 합착하고, 양자의 간격에 액정 (LC)를 봉입해서 액정패널을 얻을 수 있다. 도, 도시하지 않았지만, 액티브 필터 기판의 액정 (LC)와 접하는 면에는 액정 (LC)의 분자를 초기배향시키기 위한 배향막이 성막되어 있다.

이와같이 해서 제조한 액정패널을 강기 제 10도에서 설명한 바와 같은 각종의 구성재와 함께 조립해 액정표시장치를 얻는다.

또, 상기 실시예에서는 게이트 전극(2)의 재료로서 기판측의 층(제1층; 하층에 순수 크롬 (Cr)을, 상층 (제 2층)에 Cr-Mo의 단층 합금층을 사용하고, 드레인 잔극 (3)과 소오스 전극 (4)로서 Cr-Mo의 단층 합금층을 사용하고 있지만, 본 발명은 이것에 한하는 것이 아니고, 드레인 전극도 게이트 전극과 동일의 적층구조로 해도 좋고, 그 경우의 제조방법은 게이트전극과 동일하다.

상층부에 비교해서 하층부의 부식전위가 높게 되도록 한 조합이 있으면, 순수 크롬과 Cr-Mo 합금의 조합이외라도 좋다. 예를 들어, 상층에 Cr-W 합금을 사용하고, 하층에 순수 Cr을 사용할 지라도, 상기조건을 만족할 수있고, 테이퍼 에칭할 수 있다. 또한,상층에 Cr-Mo 합금을 사용하고, 하층에 Cr-W 합금을 사용할 지라도, 상기 조건을 만족할 수 있고, 테이퍼 에칭할 수 있다. 상층부로서 Cr-50wt%Mo 합금을 사용한 경우, 하층부로서 W 농도가 40wt% 이상의 Cr-W 합금의 경우에 순테이퍼 에칭을 할 수있다.

또한, 상기 크롬 (Cr)에 대신해서 알루미늄 (Al), 티탄 (Ti), 텅스텐 (W), 모리브덴 (Mo) 그외 본 발명이 착안한 가공특성을 가지는 전극재료로서의 금속재료를 단체 또는 합금의 형태로 사용할 수 있다. 즉, 각각의 금속에 제 2 원소를 첨가하고, 각각의 에칭액 중에서 부식전위를 제어한 조성과 적층시킴으로써, 각 재료로 동일한 메카니즘을 사용한 테이퍼 에칭이 가능하다.

발명의 효과

이상의 설명에서 알 수 있는 바와 같이, 본 발명은 박막 트랜지스터 (TFT) 기판에 형성하는, 특히 주사신호선의 측단면에 양호한 순테이퍼 형상을 부여하는 것이 가능해지고, 그 상부에 위치하는 각종 박막의 균열, 핀홀, 또는 단선등의 막 결함, 상하층 간의 단락등을 방지할 수 있다.

또한, 특히 주사신호선의 재료로서 크롬층을 하층으로 Cr-Mo 합금층을 상층으로 한 적층구조를 채용함으로써 그 상부에 형성된 다른 주사신호선이나 전극등의 금속박막과의 콘택이 양호해진다. 또한, 기판측의 층에 순수 크롬 (Cr)을 사용함으로써 기판과 밀착성이 높아지고 그후의 가공공정에서의 열이력이나 열응력 등에 의한 막 박리가 방지된다.

그리고, 하층배선의 측단면에 순테이퍼 형상을 부여함으로써, 박막 트랜지스터 기판의 표면의 요철이 완화되고, 액정의 배향 불량등이 저감하고, 콘트래스트가 양호한 액정표시장치를 제공할 수 있다.

또, 본 발명은 상기 실시예로 설명한 소위 종전계형의 액정 표시장치에 한하는 지 않고, 공통전극도 액티브 매트릭스 기판측에 형성한, 소위 횡전계형 액정표시장치, 또는 전극배선등이 서로 교차하는 교차부를 가지는 다른 형식의 액정 표시당치 및 유사의 각종 반도체 장치에도 동일하게 적용할 수 있는 효과가 있다.

도면의 간단한 설명

제 1 도는 본 발명에 의한 액정 표시소자의 주요부 구조를 설명하는 부분 단면도이다.

제 2 도는 본 발명에 의한 액정 표시소자의 주요부 구조를 설명하는 부분 평면도이다.

제 3 도는 본 발명에 의한 액정 표시장치의 제조방법 실시예를 설명하는 개략 공정도이다.

제 4 도는 본 발명에 의한 액정 표시장치의 제조방법 실시예를 설명하는 제 3도에 계속하는 개략 공정도이다.

제 5 도는 상층과 하층의 부식전위에 차를 가지게 한 때의 전지 반응에 의한 에칭의 진행상태의 설명도이다.

제 6 도는 상층과 하층의 막 두께비를 변화시킨 때의 게이트 배선부에 형성한 CVD 막에 생기는 크랙 길이 변화의 설명도이다.

제 7 도는 순수 크롬 (Cr)과 Cr-Mo 합금의 초산 제 2 세륨 수용액에서의 부식전위의 변화를 몰리브덴(Mo) 농도를 변경해서 측정한 결과의 설명도이다.

제 8 도는 순수 크롬 (Cr)과 조합한 Cr-Mo 합금의 조성을 변화시킨 때의 테이퍼 각 변화의 설명도이다.

제 9 도는 2층 또는 3층 구조의 에칭형상의 설명도이다.

제 10 도는 본 발명에 의한 배향막을 사용한 액티브 매트릭스형 액정 표시 장치의 전체 구성을 설명한 전개 사시도이다.

제 11 도는 제 10 도에 도시한 액정 표시장치를 구성하는 TFT 기판의 1 화소부근의 배선구조의 설명도이다.

제 12 도는 종래기술에 의한 액정 표시장치의 구성예를 설명하는 TFT 부근의 구조를 설명하는 부분 단면도이다.

<도면의 주요부분에 대한 부호의 설명>

1 : TFT 기판 1' : 필터 기판

2 : 주사신호선 (게이트 전극)

2A : 주사신호선 (게이트 전극)을 구성하는 제 1 층 (하층)

2B : 제 2 층 (상층)

3 : 드레인 전극 4 : 소오스 전극

5 : 화소 전극 6 : 절연막

7 : 반도체층 7A : 콘택층

8 : 보호막 8A : 콘택홀

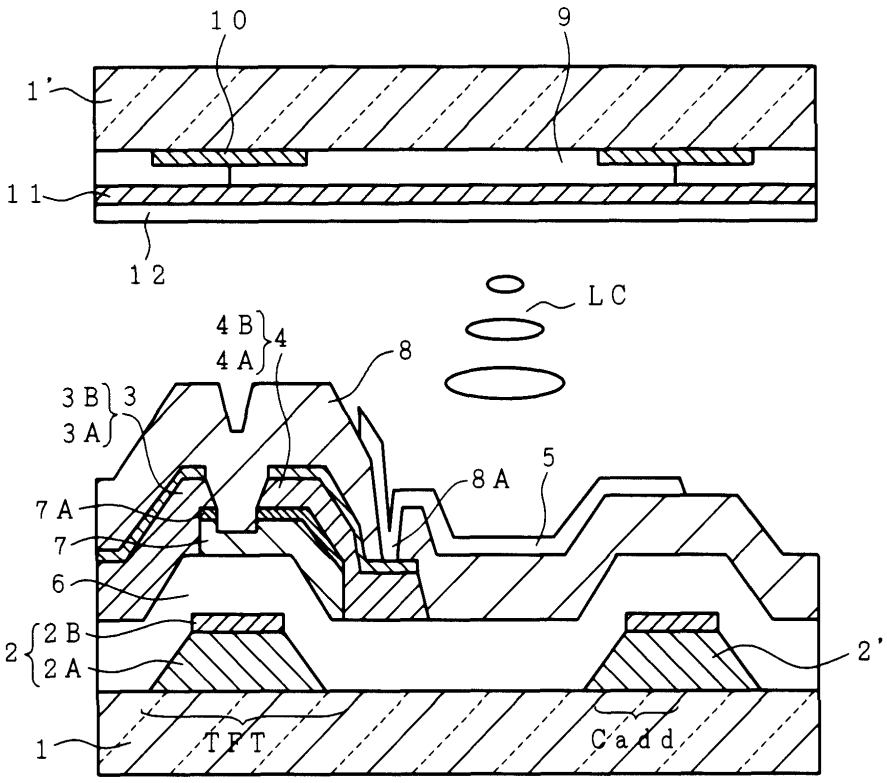
9 : 컬러필터 10 : 블랙매트릭스

11 : 평활층 12 : 공통 전극

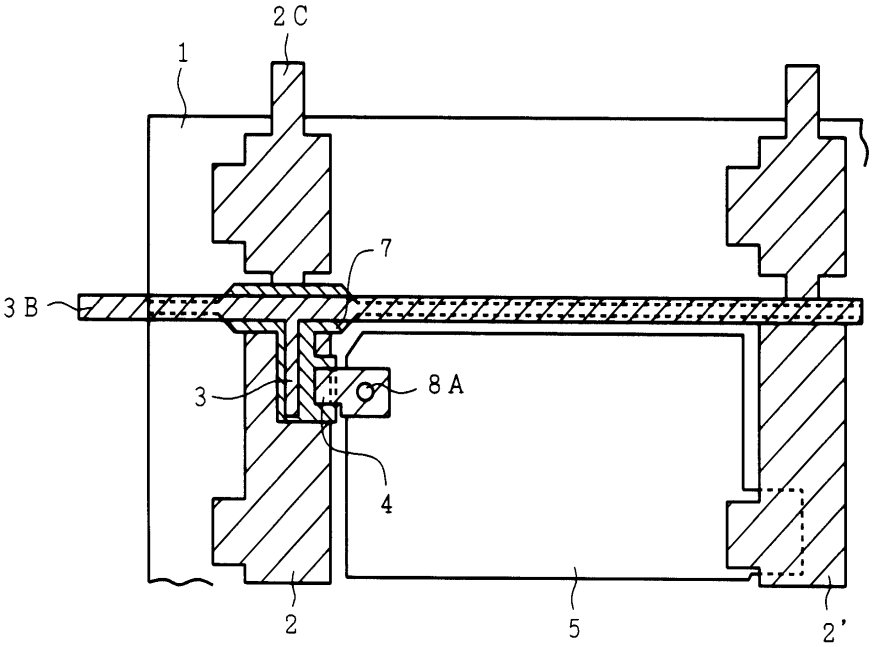
TFT : 박막 트랜지스터 Cadd : 부가용량 소자

도면

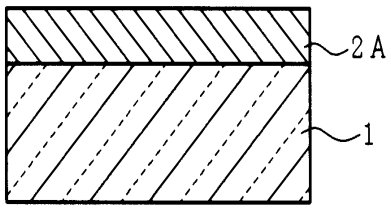
도면1



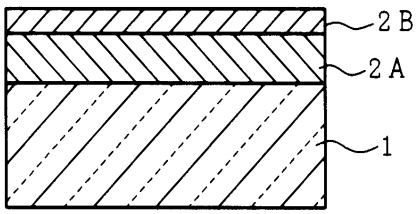
도면2



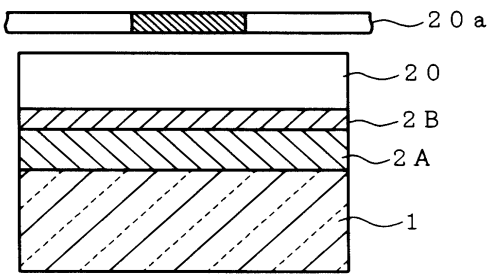
도면3a



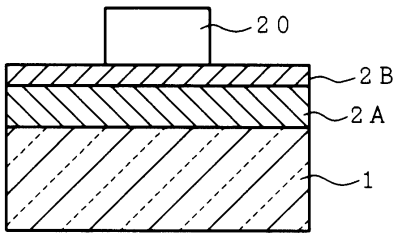
도면3b



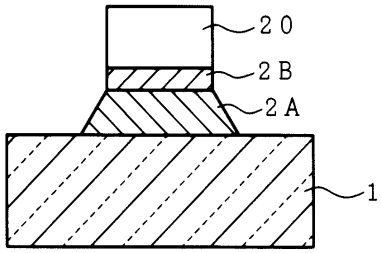
도면3c



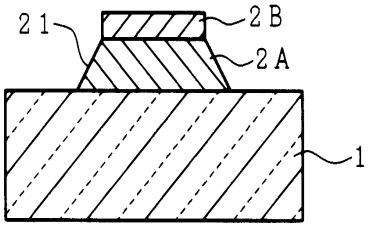
도면4a



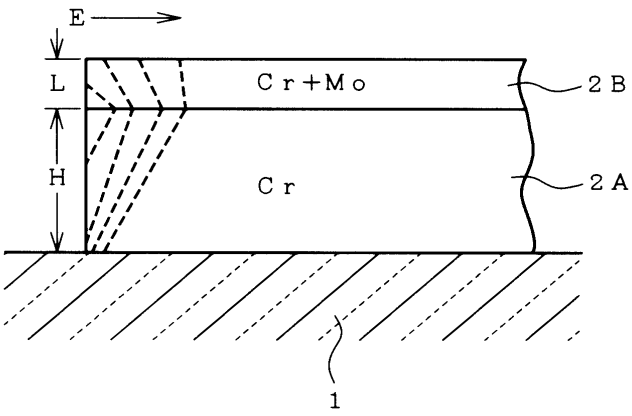
도면4b



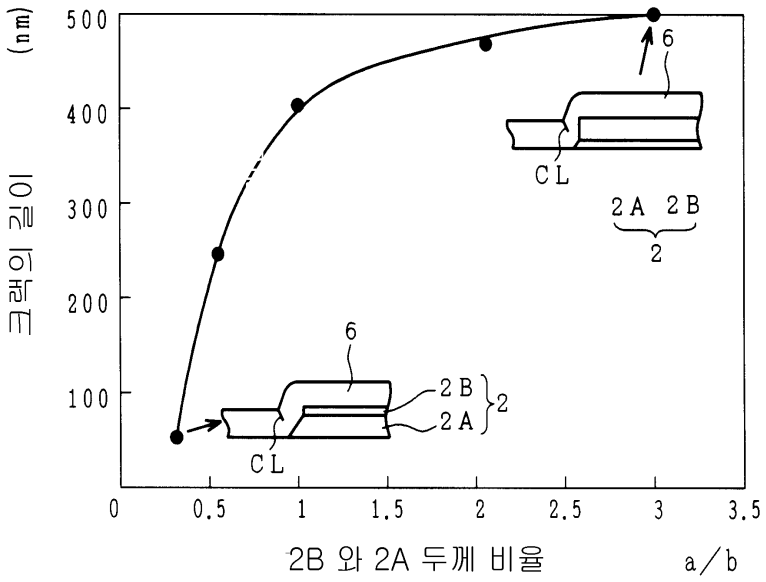
도면4c



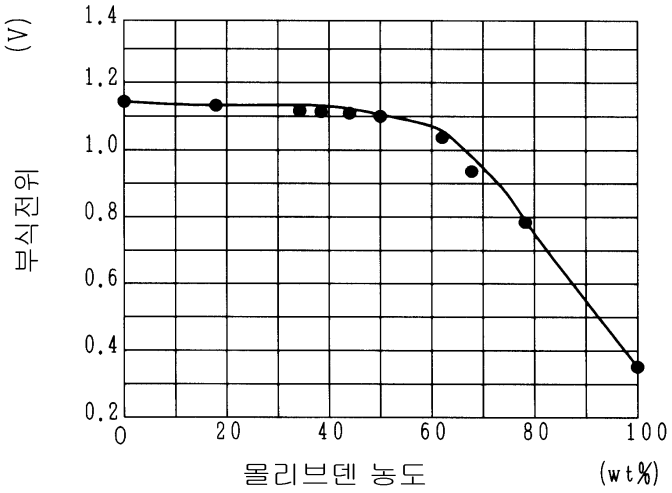
도면5



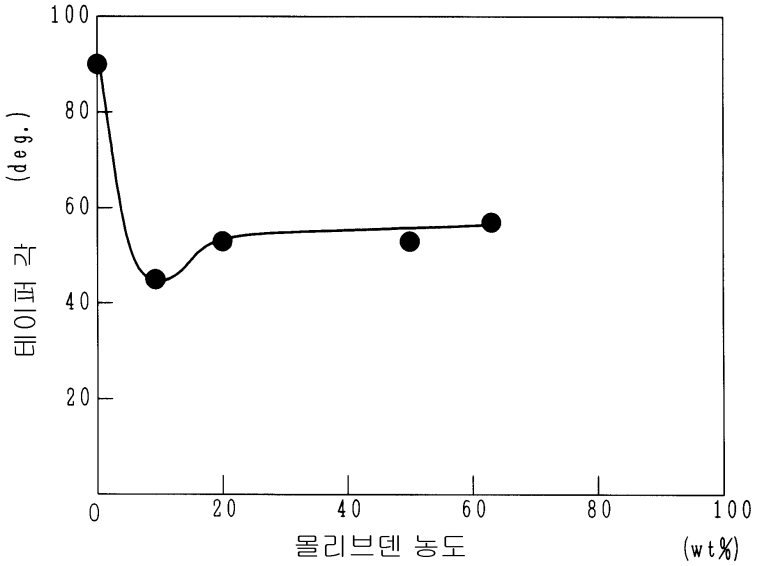
도면6


크랙의 길이 (nm)
500
400
300
200
100
0
0.5
1
1.5
2
2.5
3
3.5
2B 와 2A 두께 비율
a/b
6
CL
2A 2B
2
6
2B
2A
2
CL

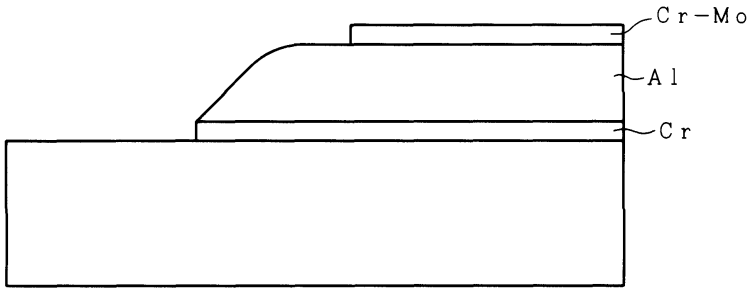
도면7


부식전위 (V)
1.4
1.2
1.0
0.8
0.6
0.4
0.2
0
20
40
60
80
100
몰리브덴 농도
(wt%)

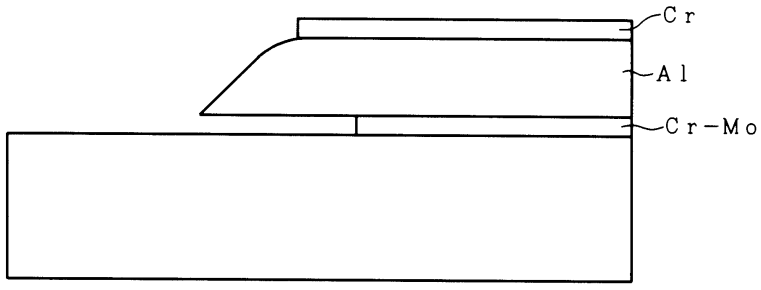
도면8



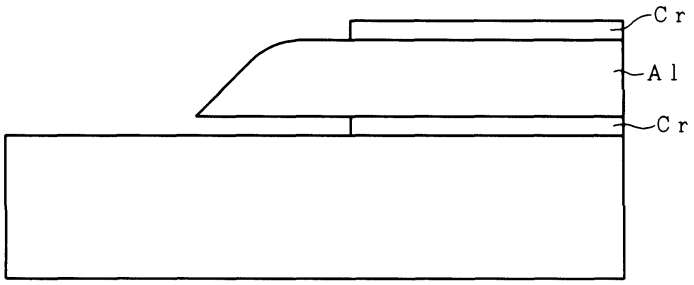
도면9a



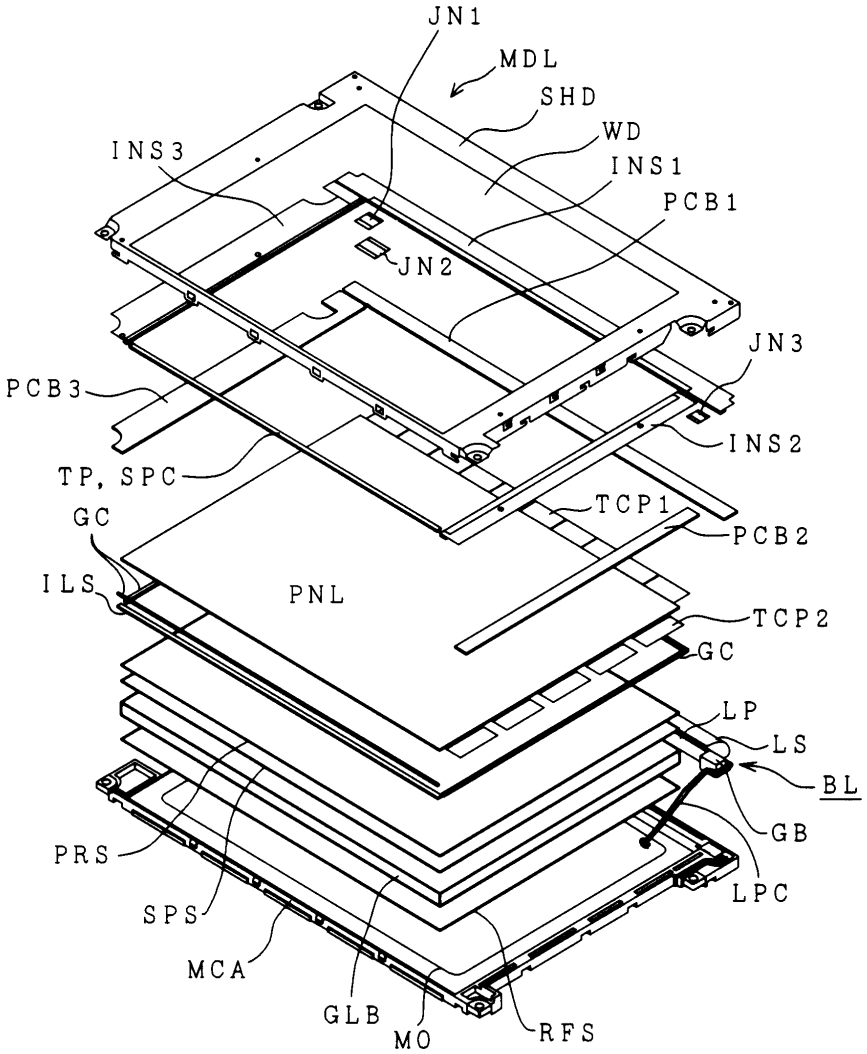
도면9b



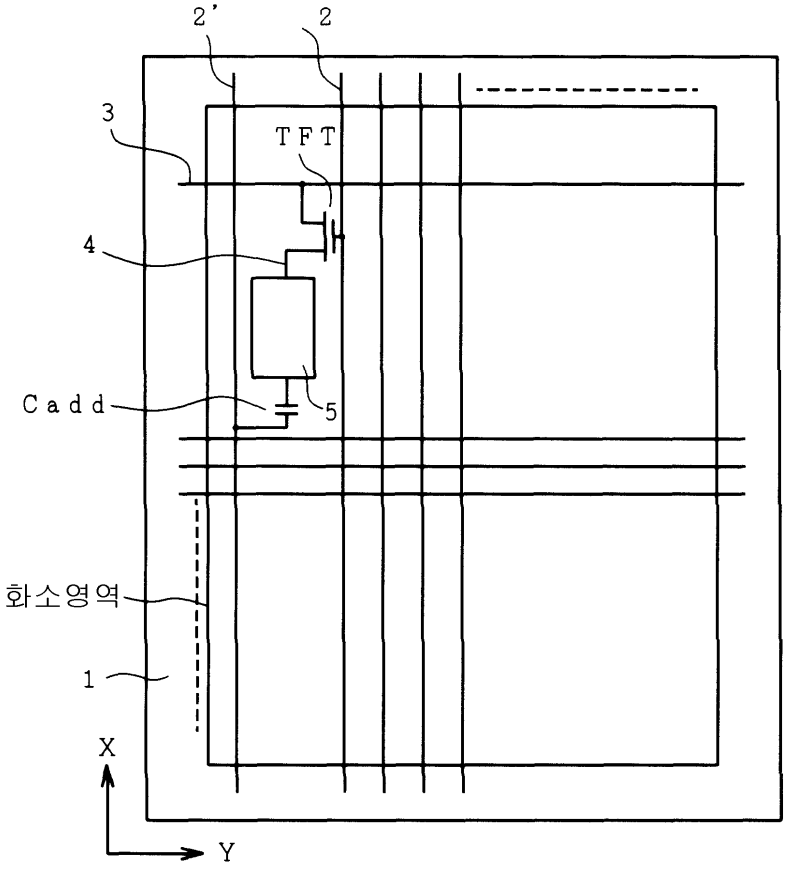
도면9c


Cr
Al
Cr

도면10


JN1
MDL
SHD
WD
INS3
INS1
PCB1
JN2
JN3
PCB3
INS2
TP, SPC
TCP1
PCB2
GC
ILS
PNL
TCP2
GC
LP
LS
BL
GB
PRS
LPC
SPS
MCA
GLB
MO
RFS

도면11



도면12

