

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6065721号
(P6065721)

(45) 発行日 平成29年1月25日 (2017. 1. 25)

(24) 登録日 平成29年1月6日 (2017. 1. 6)

(51) Int. Cl.	F I
H03K 17/08 (2006.01)	H03K 17/08 C
H03K 17/695 (2006.01)	H03K 17/695

請求項の数 5 (全 19 頁)

(21) 出願番号	特願2013-80261 (P2013-80261)	(73) 特許権者	514315159
(22) 出願日	平成25年4月8日 (2013. 4. 8)		株式会社ソシオネクスト
(65) 公開番号	特開2014-204354 (P2014-204354A)		神奈川県横浜市港北区新横浜 2 丁目 1 〇 番
(43) 公開日	平成26年10月27日 (2014. 10. 27)		2 3
審査請求日	平成28年1月5日 (2016. 1. 5)	(74) 代理人	110001519
			特許業務法人太陽国際特許事務所
		(72) 発明者	椎名 美臣
			神奈川県横浜市港北区新横浜二丁目 1 〇 番
			2 3 富士通マイクロソリューションズ株
			式会社内
		審査官	白井 亮

最終頁に続く

(54) 【発明の名称】 駆動回路、半導体集積回路、及び駆動回路の制御方法

(57) 【特許請求の範囲】

【請求項 1】

第 1 のスイッチング素子のソースに直列に接続され、前記第 1 のスイッチング素子がオンされるときにオンされ、前記第 1 のスイッチング素子がオフされるときにオフされる第 2 のスイッチング素子と、

前記第 2 のスイッチング素子のドレインと電源ラインとの間に設けられ、前記第 2 のスイッチング素子をオフさせる信号に応じて、前記第 2 のスイッチング素子のドレインを前記電源ラインに接続する第 3 のスイッチング素子と、

前記第 1 のスイッチング素子の駆動信号に応じ、前記第 1 のスイッチング素子、前記第 2 のスイッチング素子、及び前記第 3 のスイッチング素子のオン・オフの制御を行う制御部と、

を含む駆動回路。

【請求項 2】

前記制御部は、前記第 2 のスイッチング素子をオフさせる前記駆動信号に応じて前記第 3 のスイッチング素子をオンさせる、請求項 1 記載の駆動回路。

【請求項 3】

第 1 のスイッチング素子のソースに直列に接続され、前記第 1 のスイッチング素子がオンされるときにオンされ、前記第 1 のスイッチング素子がオフされるときにオフされる第 2 のスイッチング素子と、

前記第 2 のスイッチング素子のドレインと電源ラインとの間に設けられ、前記第 2 のス

10

20

スイッチング素子をオフさせる制御信号に応じて、前記第2のスイッチング素子のドレインを前記電源ラインに接続する第3のスイッチング素子と、

前記第1のスイッチング素子の駆動信号に応じ、第1のスイッチング素子、前記第2のスイッチング素子、及び前記第3のスイッチング素子のオン・オフ制御を行う制御部と、
を備えた駆動回路を含む半導体集積回路。

【請求項4】

前記制御部は、前記第2のスイッチング素子をオフさせる前記駆動信号に応じて前記第3のスイッチング素子をオンさせる、請求項3記載の半導体集積回路。

【請求項5】

制御部が、第1のスイッチング素子をオンする際に、前記第1のスイッチング素子のソースに直列に接続された第2のスイッチング素子をオンし、前記第2のスイッチング素子のドレインと電源ラインとの間に設けた第3のスイッチング素子をオフし、

前記制御部が、前記第1のスイッチング素子をオフする際に、前記第2のスイッチング素子をオフし、前記第3のスイッチング素子をオンすることにより前記第2のスイッチング素子のドレインを前記電源ラインに接続し、

前記制御部は、前記第1のスイッチング素子の駆動信号に応じ、前記第1のスイッチング素子、前記第2のスイッチング素子、及び前記第3のスイッチング素子のオン・オフの制御を行う、

ことを含む駆動回路の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

開示する技術は、駆動回路、半導体集積回路、及び駆動回路の制御方法に関する。

【背景技術】

【0002】

化合物半導体には、窒化ガリウム（GaN）などIII-V族化合物半導体、及び炭化珪素（SiC）などIV-IV族化合物半導体等がある。化合物半導体を用いたスイッチング素子には、負のゲート電圧が印加されていない場合にドレイン電流が流れ、負のゲート電圧が印加されることでドレイン電流が遮断されるノーモリーオン形がある。

【0003】

しきい値電圧が負のFET（Field Effect Transistor）を用いた反転増幅器には、しきい値電圧が負のFETとしきい値電圧が正のFETとにより直列回路を形成した反転増幅回路がある。この反転増幅回路では、しきい値電圧が負のFETの低圧側にしきい値電圧が正のFETを接続し、各々のFETのゲートの入力電圧を上昇させることで、各々のFETをオンする。また、入力電圧を0Vとすることで、しきい値が正のFETがオフする。これにより、均圧用抵抗によりしきい値電圧が負のFETのソース電位が上昇し、しきい値電圧が負のFETがオフするようにしている。

【0004】

ノーモリーオン形スイッチング素子とノーモリーオフ形スイッチング素子をカスコード接続した複合型半導体装置がある。この複合型半導体装置では、ノーモリーオン形スイッチング素子のゲートをノーモリーオフ形スイッチング素子のソースに接続し、ノーモリーオフ形スイッチング素子のゲート信号により、ノーモリーオフ動作させる。

【0005】

ところで、高電圧電源のスイッチングに用いる所謂パワートランジスタ等のスイッチング素子は、所定のパッケージ内に形成され、パッケージに形成したリードが基板等に接続される。リードなどの配線には、少なからず寄生インダクタンスがある。このため、ノーモリーオン形スイッチング素子の駆動回路では、ノーモリーオフ形スイッチング素子をオフしたとき、ノーモリーオフ形スイッチング素子のドレイン-ソース間に過電圧が生じることがある。

【0006】

ここから、複合型半導体装置では、ノーマリーオフ形スイッチング素子のドレインゲート間、又はドレインソース間に、ツェナーダイオード或いはコンデンサを用いた電圧クランプ手段を設けている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平10-276076号公報

【特許文献2】特開2006-324839号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0008】

しかしながら、電圧クランプ手段として用いるツェナーダイオード等は、過電圧分の電力を消費することで、過電圧を抑制している。

【0009】

開示の技術は、一つの側面として、大容量のスイッチング素子を駆動する際に生じる過電圧の効率的な抑制を図るものである。

【課題を解決するための手段】

【0010】

開示の技術は、第1のスイッチング素子のソースに直列に接続される第2のスイッチング素子を含む。第2のスイッチング素子は、前記第1のスイッチング素子がオンされるときにオンされ、前記第1のスイッチング素子がオフされるときにオフされる。

20

【0011】

通電素子は、前記第2のスイッチング素子のドレインと電源ラインとの間に設けられ、前記第2のスイッチング素子をオフさせる信号に応じて、前記第2のスイッチング素子のドレインを前記電源ラインに接続する。

【発明の効果】

【0012】

開示の技術は、一つの側面として、第2のスイッチング素子のドレインに生じる過電圧の電力を電源ラインに回生することで、電力の使用効率の向上を図る、という効果を有する。

30

【図面の簡単な説明】

【0013】

【図1】第1の実施形態に係る駆動回路の一例を示す回路図である。

【図2】パワートランジスタのパッケージの一例を示す要部斜視図である。

【図3】第1の実施形態に係るコントロール回路の一例を示す機能ブロック図である。

【図4】第1の実施形態に係る駆動回路の動作の一例を示すタイミングチャートである。

【図5】第2の実施形態に係る駆動回路の一例を示す回路図である。

【図6】第2の実施形態に係る駆動回路の動作の一例を示すタイミングチャートである。

【図7】第3の実施形態に係る駆動回路の一例を示す回路図である。

【図8】第3の実施形態に係るコントロール回路の一例を示す機能ブロック図である。

40

【図9】第3の実施形態に係る駆動回路の動作の一例を示すタイミングチャートである。

【図10】駆動回路の他の一例を示す回路図である。

【発明を実施するための形態】

【0014】

以下、図面を参照して開示する技術の実施の形態の一例を詳細に説明する。

〔第1の実施形態〕

【0015】

図1には、第1の実施形態に係る駆動回路10を示している。駆動回路10は、集積回路(integrated circuit)12に形成される。駆動回路10は、パワートランジスタPTrの駆動に用いられる。駆動回路10は、第1の実施形態において駆動回路として機能し

50

、集積回路 12 は、第 1 の実施形態において半導体集積回路の一例として機能する。また、パワートランジスタ P T r は、第 1 の実施形態において第 1 のスイッチング素子の一例として機能する。

【0016】

集積回路 12 は、例えば、基板 14 に取り付けられる。基板 14 には、所定電圧（例えば 5 v、以下、電圧 V C C とする）の直流電力を出力する直流電源部 16 が設けられる。また、基板 14 には、電圧 V C C の電力により動作する各種の機能回路（以下、周辺回路とする）18 が設けられている。周辺回路 18 は、電源配線（以下、電源ラインとする）20 を介して直流電源部 16 に接続され、直流電源部 16 から電圧 V C C の電力が供給されて動作する。

10

【0017】

なお、集積回路 12 は、複数の駆動回路 10 を含んでも良い。また、集積回路 12 は、直流電源部 16 を含み、外部から供給される所定電圧の直流電力を、直流電源 16 により駆動回路 10 の動作電圧（電圧 V C C）に変換しても良い。更に、集積回路 12 は、複数の周辺回路 18 を含んでも良い。

【0018】

直流電源部 16 は、所定の静電容量 C のコンデンサ 22 を含む一般的機構の電源回路が適用される。コンデンサ 22 は、一端が電源ライン 20 に接続され、他端が接地され、直流電源部 16 から電源ライン 20 へ出力する電圧 V C C の平滑化を図る機能を備える。

【0019】

20

集積回路 12 に設けられる駆動回路 10 は、電源端子 24 A、及び接地端子 24 B を備える。駆動回路 10 は、電源端子 24 A が電源ライン 20 に接続され、接地端子 24 B が接地（GND）されている。

【0020】

また、駆動回路 10 は、入力端子 26 A、出力端子 26 B、及び出力端子 26 C を備える。なお、電源端子 24 A、接地端子 24 B、入力端子 26 A、及び出力端子 26 B、26 C は、集積回路 12 の端子としても機能する。

【0021】

第 1 の実施形態では、一例として N 型のパワートランジスタ P T r を用いている。また、第 1 の実施形態では、パワートランジスタ P T r をノーマリーオン形（normally on type）としている。駆動回路 10 には、パワートランジスタ P T r が接続される。パワートランジスタ P T r は、ゲート G が駆動回路 10 の出力端子 26 B に接続され、低圧側電極であるソース S が駆動回路 10 の出力端子 26 C に接続されている。また、駆動回路 10 には、パワートランジスタ P T r をスイッチング駆動するための駆動信号 C in が入力端子 26 A に入力される。

30

【0022】

パワートランジスタ P T r は、高圧側電極であるドレイン D に負荷 28 が接続されている。負荷 28 は、電圧 V C C と比較して高い所定電圧（例えば百数十 v から数百 v の予め設定された電圧、以下、電圧 V I N とする）の電源ライン 30 に接続されている。駆動回路 10 は、パワートランジスタ P T r をスイッチング動作することで、負荷 28 への電力供給を断続する。

40

【0023】

負荷 28 としては、例えば変圧器が用いられる。パワートランジスタ P T r がオンすることにより負荷 28 にはドレイン電流 I D が流れ（オン）、パワートランジスタ P T r がオフすることでドレイン電流 I D が止まる（オフ）。負荷 28 は、ドレイン電流 I D がオン・オフされることで、一次側に供給される電圧 V I N 及び巻線比に応じた電圧を二次側から出力する。従って、負荷 28 として変圧器を用いた場合、駆動回路 10 及びパワートランジスタ P T r は、高電圧電源回路の一部として機能する。

【0024】

なお、パワートランジスタ P T r は、任意の機能の負荷 28 を適用することができる。

50

駆動回路10及びパワートランジスタPT rは、負荷28に応じて例えば高電圧用のインバータ回路、及び大出力信号用の増幅回路等の一部として機能し得る。また、パワートランジスタPT rは、電源VINの電圧に応じた耐電圧となっている。

【0025】

ノーマリーオン形のパワートランジスタPT rとしては、各種の化合物半導体を用いたトランジスタが適用される。例えば、パワートランジスタPT rとしては、III-V族化合物半導体である窒化ガリウム(GaN)を用いた窒化ガリウム高電子移動度トランジスタ(GaN HEMT: GaN High Electron Mobility Transistor)が適用される。また、パワートランジスタPT rは、IV-IV族化合物半導体である炭化珪素(SiC)を用いた炭化珪素接合電界効果トランジスタ(SiC JFET: SiC Junction field effect transistor)等が適用される。なお、パワートランジスタPT rは、化合物半導体に限るものではなく、BJT(Bipolar junction transistor)であっても良い。また、パワートランジスタPT rは、MOSFET(metal oxide silicon field effect transistor)であっても良く、IGBT(Insulated Gate Bipolar Transistor)であっても良い。

10

【0026】

図2には、パワートランジスタPT rの一例を示す。パワートランジスタPT rは、例えば、TO-3Pなどの所定のパッケージ32内に形成されている。パッケージ32には、ドレインD、ソースS、及びゲートGの各々に対応する複数のリード34が形成されている。パワートランジスタPT rは、パッケージ32を基板14等に固定することで取り付けられ、各リード34が基板14上の配線パターンや集積回路12の端子にワイヤボンディング等により接続される。リード34は、第1の実施形態において配線の一部として機能する。なお、パワートランジスタPT rは、TO-3Pのパッケージ32に限らず、任意のパッケージに形成されたものが適用される。

20

【0027】

図1に示すように、駆動回路10は、コントロール回路36を備える。コントロール回路36は、電源端子38A、及び接地端子38Bを備えている。コントロール回路36は、電源端子38Aが駆動回路10の電源端子24Aに接続され、接地端子38Bが、駆動回路10の接地端子24Bに接続され、電源端子24Aに入力される電圧VCCにより動作する。

30

【0028】

コントロール回路36は、入力端子38C、及び出力端子38D、38Eを備える。コントロール回路36は、入力端子38Cが駆動回路10の入力端子26Aに接続されている。また、コントロール回路36は、出力端子38Dが駆動回路10の出力端子26Bに接続されている。

【0029】

コントロール回路36は、入力端子38Cから入力される駆動信号Cinに応じた電圧(以下、制御電圧Vcとする)を出力端子26Bから出力することで、パワートランジスタPT rのゲートGの電位(以下、ゲート電圧VGとする)を制御する。

【0030】

駆動回路10には、トランジスタMaが設けられている。トランジスタMaは、第1の実施形態において第2のスイッチング素子として機能する。トランジスタMaは、N形MOSFETで、かつ、ノーマリーオフ(normally off type)形となっている。

40

【0031】

トランジスタMaは、ソースSが駆動回路10に設けている接地端子24Bに接続されている。また、トランジスタMaは、ドレインDがノード40に接続され、このノード40が駆動回路10の出力端子26Cに接続されている。駆動回路10は、ノーマリーオン形のパワートランジスタPT rの低圧側にノーマリーオフ形のトランジスタMaが所謂カスコード接続されている。

【0032】

50

また、トランジスタM aは、ゲートGがコントロール回路36の出力端子38Eに接続されている。コントロール回路36は、トランジスタM aをオン・オフ駆動する制御信号C sを出力端子38Eから出力する。駆動回路10は、コントロール回路36から出力する制御信号C sによりトランジスタM aを駆動して、パワートランジスタP T rのソースSの電位（以下、ソース電圧V Sとする）を制御する。

【0033】

ノーマリーオン形のパワートランジスタP T rは、ゲートGのしきい値電圧V thが負となっている。以下、負のしきい値電圧を、 $-V_{th}$ と表記する（ $-V_{th} < 0\text{v}$ 、例えば、 $-V_{th} = -1.0\text{v}$ ）。ノーマリーオン形のパワートランジスタP T rは、例えば、ソースSの電圧V Sが0vの場合、ゲートGの電圧V Gが0v以上ではオン状態となる。また、

10

【0034】

すなわち、ノーマリーオン形のパワートランジスタP T rは、ソースSに対するゲートGの電位（以下、対ソース電圧V G Sとする）がしきい値電圧 $-V_{th}$ 以下（ $V_{GS} \leq -V_{th} < 0$ ）となることでオフする。駆動回路10は、パワートランジスタP T rのゲート電圧V G及びソース電圧V Sを制御することで、パワートランジスタP T rの対ソース電圧V G Sを制御し、パワートランジスタP T rをオン・オフ駆動する。

【0035】

ところで、駆動回路10には、トランジスタM bが設けられている。トランジスタM bは、トランジスタM aと同様に集積回路12に形成される。トランジスタM bは、第1の実施形態において通電素子の一例として機能する。また、トランジスタM bは、第1の実施形態において第3のスイッチング素子として機能する。

20

【0036】

トランジスタM bは、ノーマリーオフ形で、かつ、トランジスタM aと相補となるP型M O S F E Tが用いられる。トランジスタM bは、低圧側電極であるドレインDがノード40に接続され、高圧側電極であるソースSが、電源端子24Aに接続されている。

【0037】

また、トランジスタM bは、ゲートGがコントロール回路36の出力端子38Eに接続されている。駆動回路10は、相補のトランジスタM a、M bの各々の各ゲートGがコントロール回路36の出力端子38Eに接続される。駆動回路10は、制御信号C sによりトランジスタM a、M bの一方がオンしたときに、トランジスタM a、M bの他方がオフするように動作する。

30

【0038】

トランジスタM bは、オン状態となることで、電源ライン20とトランジスタM aのドレインDとを導通状態とする。駆動回路10は、トランジスタM bがオンすることで、パワートランジスタP T rのソースSが接続されたノード40の電圧V Nが電圧V C Cに保持（クランプ）される。ノード40の電圧V Nは、パワートランジスタP T rのソース電圧V Cに対応している。従って、駆動回路10は、トランジスタM bをオンさせることにより、パワートランジスタP T rのソース電圧V Sを電圧V C Cにクランプする。

40

【0039】

図3には、コントロール回路36の一例を示す。コントロール回路36は、ゲート電圧制御部42、ゲート電圧検出部44、及び制御信号出力部46を備える。ゲート電圧制御部42は、駆動信号C inが入力されることで、駆動信号C inに応じた制御電圧V cを出力する。例えば、駆動信号C inがパワートランジスタP T rをオンするようにHレベルとなることで、ゲート電圧制御部42は、制御電圧V cを電圧V H（例えば、 $V_H = V_{CC}$ ）に上昇させる。制御電圧V cが電圧V H（ $V_c = V_H$ ）となることで、パワートランジスタP T rのゲート電圧V Gが電圧V Hまで上昇する（ $V_G = V_H$ ）。

【0040】

また、ゲート電圧制御部42は、駆動信号C inがパワートランジスタP T rをオフする

50

ようにLレベルとなることで、制御電圧 V_c を電圧 V_L （例えば、 $V_L = 0\text{ v}$ ）まで下げる（ $V_c = V_L$ ）。制御電圧 V_c が電圧 V_L に下がることでゲートGから電荷が放出され、パワートランジスタPTrのゲート電圧VGが電圧 V_L となるように低下する（ $V_G = V_L$ ）。なお、以下では、一例として電圧 $V_H = V_{CC}$ 、電圧 $V_L = 0\text{ v}$ として説明する。

【0041】

ゲート電圧検出部44は、制御電圧 V_c に応じて変化するゲート電圧VGを検出する。制御信号出力部46は、ゲート電圧検出部44で検出されるゲート電圧VGに基づいて、制御信号Csを出力端子38Eから出力する。例えば、制御信号出力部46は、ゲート電圧検出部44により検出されるゲート電圧VGが電圧 V_L （ 0 v ）に低下することで、トランジスタMaをオフし、トランジスタMbをオンするように制御信号Csを出力（Hレベル）する。また、制御信号出力部46は、ゲート電圧検出部44により検出されるゲート電圧VGが電圧 V_H に上昇することで、トランジスタMaをオンし、トランジスタMbをオフするように制御信号Csを出力（Lレベル）する。

10

【0042】

駆動回路10は、パワートランジスタPTrのゲート電圧VGを上昇させたときにパワートランジスタPTrのソース電圧VSを低下させることで、ゲートGの対ソース電圧VGSを高くし、パワートランジスタPTrをオンさせる。また、駆動回路10は、パワートランジスタPTrのゲート電圧VGを下げたときに、パワートランジスタPTrのソース電圧VSを上昇させることで、ゲートGの対ソース電圧VGSをしきい値電圧 $-V_{th}$ より低くする。パワートランジスタPTrは、ゲートGの対ソース電圧VGSが、しきい値電圧 $-V_{th}$ より低くなることでオフする。

20

【0043】

以下に、第1の実施形態の作用として、図4を参照しながら駆動回路10の動作を説明する。なお、図4では、特に時間軸を拡大して示している。また、図4では、駆動信号Cinに基づいて出力する制御電圧 V_c 、及びノード40の電圧VNに対応するソース電圧VSを括弧書きにより付記している。

【0044】

駆動回路10に設けているコントロール回路36は、駆動信号CinがHレベルになることにより制御電圧 V_c を電圧 V_{CC} に上昇させる。制御電圧 V_c に応じてパワートランジスタPTrのゲート電圧VGが電圧 V_{CC} に上昇する。制御信号出力部46は、ゲート電圧VGが 0 v 以上（例えば、 $V_G = V_{CC}$ ）となることで制御信号CsをHレベルとする。駆動回路10は、制御信号CsがHレベルとなることで、トランジスタMaがオンし、トランジスタMbがオフする。トランジスタMaがオンすることによりパワートランジスタPTrのソースSが接地され、ゲートGの対ソース電圧VGSが電圧 V_{CC} となってパワートランジスタPTrのオン状態が継続される。

30

【0045】

一方、駆動回路10のコントロール回路36は、駆動信号CinがLレベルになることにより、パワートランジスタPTrのゲートGへ出力する制御電圧 V_c を 0 v とする。図4に示すように、制御電圧 V_c が 0 v となることで、パワートランジスタPTrのゲート電圧VGが 0 v となるように下降する。コントロール回路36は、ゲート電圧検出部44により検出するゲート電圧VGが 0 v まで低下する（ $V_G = 0\text{ v}$ ）と、制御信号出力部46が制御信号CsをLレベルにする。

40

【0046】

駆動回路10は、制御信号CsがLレベルになることで、トランジスタMaがオフし、トランジスタMbがオンする。駆動回路10は、トランジスタMbがオンすることによりトランジスタMbを介して、電源ライン20からパワートランジスタPTrのソースSに電流が流れる。電源ライン20からソースSに電流が流れることでパワートランジスタPTrのソース電圧VSが上昇し、更に、パワートランジスタPTrのソース電圧VSが電圧 V_{CC} にクランプされる。

50

【0047】

パワートランジスタPTrのゲート電圧VGが低下し0v ($V_G = 0\text{v}$) となっている状態でソース電圧VSが上昇することで、パワートランジスタPTrのゲートGの対ソース電圧VGSが負となる。また、パワートランジスタPTrは、対ソース電圧VGSがしきい値電圧 $-V_{th}$ より下がる ($V_{GS} \leq -V_{th} < 0$) ことでオフする。すなわち、ノーマリーオン形のパワートランジスタPTrは、ゲート電圧VGが0vの状態でソース電圧VSがしきい値電圧 $-V_{th}$ の絶対値 V_{th} を超えることでオフする。

【0048】

駆動回路10は、パワートランジスタPTrのゲート電圧VG及びソース電圧VSを逆相で制御することにより、ゲートGの対ソース電圧VGSをVCCから $-VCC$ の範囲で制御する ($-VCC \leq V_{GS} \leq VCC$)。パワートランジスタPTrは、ゲートGの対ソース電圧VGSが電圧VCCから電圧 $-VCC$ の範囲で制御されることでの的確にオン・オフ駆動する。

10

【0049】

電圧VCCは、しきい値電圧 $-V_{th}$ の絶対値 V_{th} に対して十分高い電圧となっている。駆動回路10は、パワートランジスタPTrのゲート電圧VGを下げて、ソース電圧VSを高くすることで、対ソース電圧VGSをしきい値電圧 V_{th} より低くする。従って、駆動回路10は、負電圧の電源を用いることなく、ノーマリーオン形のパワートランジスタPTrを的確にオフすることができる。

【0050】

20

更に、駆動回路10は、パワートランジスタPTrをオフする際に、トランジスタMbをオンし、パワートランジスタPTrのソースSに電圧VCCを供給することで、ソース電圧VSを上昇させる。従って、駆動回路10は、パワートランジスタPTrを迅速にオフすることができる。

【0051】

一方、図1に示すように、パワートランジスタPTrのリード34及びワイヤボンディングに用いる配線には、少なからず寄生インダクタンスLpが存在する。図4に示すように、パワートランジスタPTrを例えば数psec～数nsecの立下り信号高速駆動すると、寄生インダクタンスLpは、駆動回路10の出力端子28Cに過電圧（図4において二点鎖線で示す）を生じさせる。なお、以下では、過電圧をスパイク電圧Svとする。また、図4では、駆動回路10の出力端子28Cの電圧を、ノード40の電圧VNとして示している。

30

【0052】

スパイク電圧Svは、特に、パワートランジスタPTrが接続される電源ライン30の電圧VINが高電圧（例えば、百数十v～数百v）であると、寄生インダクタンスLpに流れる電流が増大し、より大きな電圧となる。

【0053】

トランジスタMaをオフしたとき、パワートランジスタPTrがオンしていることにより生じるスパイク電圧Svは、トランジスタMaのドレインDが接続されるノード40に印加される。トランジスタMaは、ノード40の電圧VNがスパイク電圧SvによりトランジスタMaの耐電圧を超えると破損等が生じる。

40

【0054】

駆動回路10は、トランジスタMaのドレインDが接続されるノード40と電源ライン20との間にトランジスタMbを設け、トランジスタMaをオフする際にトランジスタMbをオンする。駆動回路10は、トランジスタMbがオンすることにより、電源ライン20とトランジスタMaのドレインD（ノード40）との間を導通状態とする。駆動回路10は、スパイク電圧Svによりノード40の電圧VNが電圧VCCを超える ($VCC \leq S_v$) と、スパイク電圧Svに応じた電流Io（図1参照）がノード40からトランジスタMbを経て電源ライン20に流れる。従って、駆動回路10は、スパイク電圧Svが発生しても、ノード40に接続されているトランジスタMaのドレインDを電圧VCCにクラ

50

ンプする。

【0055】

また、電源ライン20には、直流電源部16のコンデンサ22が接続されているので、スパイク電圧Svが発生しても、電圧VCCの上昇が抑えられる。従って、駆動回路10は、電圧VCCに基づいて設定した耐電圧のトランジスタMaを用いることができる。

【0056】

駆動回路10は、スパイク電圧Svによる電力（エネルギー）を、電源ライン20に回生する。スパイク電圧Svによる電力は、電源ライン20に回生されることで、周辺回路18等により消費される。従って、駆動回路10は、寄生インダクタンスLp等に起因して生じるスパイク電圧Svに応じた電力を無駄に消費することなく、有効に利用することができる。

10

【0057】

更に、駆動回路10は、スパイク電圧Svの抑制に、ショットキーバリアダイオード（Schottky barrier diode：SBD）やツェナーダイオード（Zenner diode）ではなく、トランジスタMbを用いる。従って、駆動回路10は、トランジスタMbを用いることで、特別なプロセスを用いることなく集積回路12に形成することができる。

【0058】

また、駆動回路は、N型MOSFETのトランジスタMaに対して、P型MOSFETのトランジスタMbを用いている。従って、駆動回路10は、一つの制御信号CsをトランジスタMaのゲートG、及びトランジスタMbのゲートGに入力することで、トランジスタMaのオフ及びトランジスタMbのオフを的確に行うことができる。

20

【0059】

〔第2の実施形態〕

次に、開示の技術における第2の実施形態を説明する。第2の実施形態の基本的構成は、第1の実施形態と同様であり、第2の実施形態において第1の実施形態と同様の機能部品については、第1の実施形態と同様の符号を付与してその説明を省略する。

【0060】

図5には、第2の実施形態に係る駆動回路50を示している。駆動回路50は、各機能部品が第1の実施形態の駆動回路10と同じであるが、パワートランジスタPTsが接続される点で相違する。パワートランジスタPTsは、第1の実施形態のパワートランジスタPTrに替えて用いる。パワートランジスタPTsは、第2の実施形態において第1のスイッチング素子の一例として機能する。

30

【0061】

パワートランジスタPTsは、ノーマリーオフ形のトランジスタが適用されている。ノーマリーオフ形のパワートランジスタPTsは、しきい値電圧Vthが正の電圧（ $0\text{V} < V_{th} < V_{CC}$ ）となっている。従って、パワートランジスタPTsは、ゲート電圧Gが0Vの状態でもオフしている。

【0062】

ノーマリーオフ形のパワートランジスタPTsを駆動する駆動回路50の動作を説明する。なお、以下に示す図6では、駆動信号Cinに基づいて出力する制御電圧Vc、及びノード40の電圧VNに対応するソース電圧VSを括弧書きにより付記している。

40

【0063】

駆動回路50は、駆動信号CinがHレベルになることによりコントロール回路36から出力する制御電圧Vcが電圧VCCに上昇し、パワートランジスタPTsのゲート電圧VGを電圧VCCに上昇させる。制御信号出力部46は、ゲート電圧VGが0V以上（例えば、 $V_G = V_{CC}$ ）となることで制御信号CsをHレベルにし、トランジスタMbをオフさせ、トランジスタMaをオンさせる。パワートランジスタPTsは、ゲートGの対ソース電圧VGSが、しきい値電圧Vthを超えることでオンする。

【0064】

一方、駆動回路50は、駆動信号CinがLレベルになることにより、コントロール回路

50

36からパワートランジスタPTsのゲートGへ出力する制御電圧Vcを0vとする。図6に示すように、制御電圧Vcが0vとなることで、パワートランジスタPTsのゲート電圧VGが0vとなるように下降する。コントロール回路36は、ゲート電圧検出部44により検出するゲート電圧VGが0vまで低下する($VG \leq 0v$)と、制御信号出力部46が制御信号CsをLレベルとする。

【0065】

ここで、ソース電圧VSが0vであると、パワートランジスタPTsのしきい値電圧Vthが正($0v < Vth < VCC$)となっていることで、パワートランジスタPTsは、ゲート電圧VGが0vに達する前にオフする。駆動回路50は、ゲート電圧VGが0vとなると、トランジスタMaがオフし、トランジスタMbがオンする。

10

【0066】

ここで、パワートランジスタPTsがオフし、トランジスタMaがオフすることでスパイク電圧Sv(図6において二点鎖線で示す)が発生することがある。駆動回路50は、ノード40(トランジスタMaのドレインD)の電圧VNが電圧VCCを超えると、トランジスタMbを介して、電源ライン20に電流Ioが流れる。駆動回路50は、電流Ioが流れることにより、トランジスタMaのドレインDの電圧(電圧VN)が電圧VCCより高くなるのが抑えられる。

【0067】

従って、駆動回路50は、ノーマリーオフ形のパワートランジスタPTsをオン・オフ駆動する場合でも、スパイク電圧SvからトランジスタMa等を保護し、更に、スパイク電圧Svの電力を電源ライン20に回生する。

20

【0068】

以上説明した第1及び第2の実施形態では、単一の制御信号CsによりトランジスタMa及びトランジスタMbをオン・オフしたが、トランジスタMaとトランジスタMbのオン・オフは、異なるタイミングであっても良い。

【0069】

〔第3の実施形態〕

次に開示の技術に係る第3の実施形態を説明する。なお、第3の実施形態の基本的構成は、第1の実施形態と同様であり、第3の実施形態において第1の実施形態と同様の機能部品については、第1の実施形態と同様の符号を付与してその説明を省略する。

30

【0070】

図7には、第3の実施形態に係る駆動回路60を示す。駆動回路60は、集積回路62に形成される。駆動回路60は、第3の実施形態において駆動回路の一例として機能し、集積回路62は、第3の実施形態において半導体集積回路の一例として機能する。

【0071】

駆動回路60は、コントロール回路64を備える。コントロール回路64は、第1の実施形態のコントロール回路36に替えて用いる。コントロール回路64は、入力端子38C、出力端子38D、38Eに加え、入力端子38F及び出力端子38Gを備える。コントロール回路64は、入力端子38Fが、駆動回路60のノード40(ノード40と出力端子26Cとの間)に接続されている。コントロール回路64は、入力端子38Fにノード40の電圧VNが入力される。駆動回路60では、通常、ノード40の電圧VNがパワートランジスタPTrのソース電圧VSとなっている。

40

【0072】

コントロール回路64は、出力端子38Eが、トランジスタMaのゲートGに接続され、出力端子38GがトランジスタMbのゲートGに接続されている。コントロール回路64は、パワートランジスタPTrのゲート電圧VGに基づいて、トランジスタMaをオン・オフ制御する制御信号Csaを出力端子38EからトランジスタMaへ出力する。また、コントロール回路64は、パワートランジスタPTrのソース電圧VSとなるノード40の電圧VNに基づいて、トランジスタMbをオン・オフ制御する制御信号Csbを出力端子38GからトランジスタMbへ出力する。

50

【0073】

図8には、コントロール回路64の一例を示す。コントロール回路64は、ソース電圧検出部66及び制御信号出力部68を含む。ソース電圧検出部66は、入力端子38Fに接続されており、入力端子38Fから入力されるパワートランジスタPT_rのソース電圧V_Sを検出する。制御信号出力部68は、パワートランジスタPT_rのソース電圧V_Sに応じて制御信号C_{s b}を出力端子38GからトランジスタM_bのゲートGへ出力する。

【0074】

駆動回路60では、トランジスタM_a、M_bがオフすることで、パワートランジスタPT_rのソース電圧V_Sが上昇する。コントロール回路64の制御信号出力部68は、例えば、パワートランジスタPT_rのソース電圧V_Sが電圧V_{CC}に達するまでに、トランジスタM_bをオンさせる制御信号C_{s b}を出力する。

10

【0075】

駆動回路60は、駆動信号C_{in}がHレベルになることによりコントロール回路64から出力する制御電圧V_cを電圧V_{CC}に上昇させる。また、駆動回路60は、トランジスタM_bをオフし、かつトランジスタM_aをオンすることでパワートランジスタPT_rのソース電圧V_Sを下げる。

【0076】

パワートランジスタPT_rは、ゲート電圧V_Gの上昇及びソース電圧V_Sの下降により、ゲートGの対ソース電圧V_{GS}が上昇することでオンする。

【0077】

20

一方、駆動回路60は、駆動信号C_{in}がLレベルになることにより、コントロール回路36からパワートランジスタPT_rのゲートGへ出力する制御信号V_cを0vとする。図9に示すように、制御電圧V_cが0vとなることで、パワートランジスタPT_rのゲート電圧V_Gが0vとなるように下降する。コントロール回路36は、ゲート電圧検出部44により検出するゲート電圧V_Gが0vまで低下する($V_G \leq 0v$)と、制御信号出力部46が制御信号C_{s a}をLレベルにする。なお、図9では、駆動信号C_{in}に基づいて出力する制御電圧V_c、及びノード40の電圧V_Nに対応するソース電圧V_Sを括弧書きにより付記している。

【0078】

ここで、パワートランジスタPT_rのしきい値電圧V_{th}が負($-V_{th}$ 、 $-V_{CC} < -V_{th} < 0v$)となっていることで、パワートランジスタPT_rは、ゲートGの対ソース電圧V_{GS}が、しきい値電圧 $-V_{th}$ より下がるとオフする。

30

【0079】

また、駆動回路60のコントロール回路64は、パワートランジスタPT_rのソース電圧V_Sが、電圧V_{CC}に達するまでにトランジスタM_bがオンするように制御信号C_{s b}をトランジスタM_bのゲートGへ出力する。

【0080】

ここで、パワートランジスタPT_rがオフし、トランジスタM_aがオフすることでスパイク電圧S_vが発生することがある。駆動回路60は、ソース電圧V_Sに応じたノード40の電圧V_Nが電圧V_{CC}に達すると、トランジスタM_bがオンされる。駆動回路60は、トランジスタM_bがオンすることで、電源ライン20とノード40との間が導通状態となる。

40

【0081】

駆動回路60は、ノード40の電圧V_Nが電圧V_{CC}を超えると、トランジスタM_bを介して、電源ライン20に電流I_oが流れる。駆動回路60は、電流I_oが流れることにより、トランジスタM_aのドレインDの電圧(電圧V_N)が電圧V_{CC}より高くなるのが抑えられる。

【0082】

駆動回路60は、トランジスタM_aをオフした後、ノード40の電圧V_Nが電圧V_{CC}に達するまでにオンすることで、スパイク電圧S_vからトランジスタM_a等を保護するこ

50

とができる。また、駆動回路60は、ノード40の電圧VNが電圧VCCに達するまでにトランジスタMbをオンしていることで、スパイク電圧Svの電力を電源ライン20に回生する。

【0083】

なお、駆動回路60は、ノーマリーオフ形のパワートランジスタPTsに対する駆動にも適用することができる。

【0084】

以上説明した第1から第3の実施形態では、ゲート電圧VGがLレベル(0v)となったタイミングでトランジスタMaをオフしたが、トランジスタMaをオフするタイミングは、これに限るものではない。例えば、トランジスタMaは、制御電圧Vcを0vとするのに同期してオンされても良い。ゲート電圧VGが降下してからゲート電圧VGが0vに達するまでの間でオンされても良い。

10

【0085】

また、トランジスタMbは、トランジスタMaのオフに合わせてオンされ、トランジスタMaのオンに合わせてオフされることが好ましいがこれに限るものではない。トランジスタMbは、トランジスタMaがオンしているときにオンされなければ良く、かつ、トランジスタMaがオフしているときに、トランジスタMaのドレインDの電圧が電圧VCCに達するまでにオンされれば良い。

【0086】

また、トランジスタMa、Mbのオン・オフのタイミングは、駆動信号Cinに基づいて設定しても良い。駆動信号Cinに基づいてトランジスタMa、Mbをオン・オフする場合、制御電圧Vcに同期させてトランジスタMa、Mbをオン・オフしても良い。

20

【0087】

また、駆動信号Cinに基づいてトランジスタMa、Mbをオン・オフする場合、制御電圧Vcのオフに対して所定時間だけ遅延させてトランジスタMaのオフ及びトランジスタMbのオンを行っても良い。なお、制御電圧Vcをオンする際は、トランジスタMaのオン及びトランジスタMbのオフに対して遅延させて制御電圧Vcをオンする。

【0088】

開示の技術においては、通電素子は、一方の電位が他方の電位より高くなった際に通電を許容する機能を備える素子、機能部品を適用することを含む。第1から第3の実施形態では、通電素子の一例としてトランジスタMbを用いたが、通電素子は、これに限るものではなく、例えば、シリコンダイオードを用いても良い。

30

【0089】

図10には、駆動回路70を示す。駆動回路70は、集積回路72に形成される。駆動回路70は、第1の実施形態の駆動回路10についてトランジスタMbに替えてシリコンダイオード(以下、ダイオード74とする)を用いる。

【0090】

ダイオード74は、カソードKが電源端子24Aに接続され、アノードAがノード40に接続されている。駆動回路70は、ノード40の電圧VNが電圧VCCにより低い状態ではダイオード74により電流の流れが阻止される。

40

【0091】

また、駆動回路70は、ノード40の電圧VNが電圧VCCを超える場合において導通状態となり、ノード40から電源ライン20へ向けた電流Ioの流れが許容される。従って、ダイオード74を用いた駆動回路70は、スパイク電圧Svを抑制し、かつ、スパイク電圧Svの電力を電源ライン20へ回生する。

【0092】

開示の技術は、上記実施の形態に記載に限らず、各部分が目的とする機能を含む形態であれば良い。また、本明細書に記載された全ての特許出願及び特許出願に開示される技術文献は、個々の文献、特許出願及び技術規格が参照により取り込まれることが具体的かつ個々に記された場合と同程度に、本明細書中に、参照により取り込まれる。

50

【0093】

開示の技術は以下の付記を含む。

【0094】

(付記1)

第1のスイッチング素子のソースに直列に接続され、前記第1のスイッチング素子がオンされるときにオンされ、前記第1のスイッチング素子がオフされるときにオフされる第2のスイッチング素子と、

前記第2のスイッチング素子のドレインと電源ラインとの間に設けられ、前記第2のスイッチング素子をオフさせる信号に応じて、前記第2のスイッチング素子のドレインを前記電源ラインに接続する通電素子と、

を含む駆動回路。

10

【0095】

(付記2)

前記通電素子は第3のスイッチング素子を有し、

前記第1のスイッチング素子の駆動信号に応じ、前記第1のスイッチング素子、前記第2のスイッチング素子、及び前記第3のスイッチング素子のオン・オフの制御を行う制御部を含む付記1記載の駆動回路。

【0096】

(付記3)

第1のスイッチング素子のソースに直列に接続された第2のスイッチング素子と、

前記第2のスイッチング素子のドレインと電源ラインとの間に接続された第3のスイッチング素子と、

前記第1のスイッチング素子の駆動信号に応じ、前記第1のスイッチング素子のゲートへ出力する電圧を制御し、前記第1のスイッチング素子をオンさせるときに、前記第2のスイッチング素子をオンさせ、かつ前記第3のスイッチング素子をオフさせ、前記第1のスイッチング素子をオフするときに、前記第2のスイッチング素子をオフさせ、かつ前記第3のスイッチング素子をオンさせる制御部と、

を含む駆動回路。

20

【0097】

(付記4)

前記制御部は、前記第2のスイッチング素子をオフさせる前記制御信号に応じて前記第3のスイッチング素子をオンさせる、付記2又は付記3記載の駆動回路。

30

【0098】

(付記5)

前記制御部は、前記第2のスイッチング素子をオフさせた後、前記第3のスイッチング素子をオンさせる、付記2又は付記3記載の駆動回路。

【0099】

(付記6)

前記制御部は、前記第1のスイッチング素子のゲート電圧が所定値に低下することで前記第2のスイッチング素子をオフさせ、前記第3のスイッチング素子をオンさせる、付記4又は付記5記載の駆動回路。

40

【0100】

(付記7)

前記第1のスイッチング素子が、ノーマリーオン形のスイッチング素子である、付記1から付記6のいずれかに記載の駆動回路。

【0101】

(付記8)

第1のスイッチング素子のソースに直列に接続され、前記第1のスイッチング素子がオンされるときにオンされ、前記第1のスイッチング素子がオフされるときにオフされる第2のスイッチング素子と、

50

前記第2のスイッチング素子のドレインと電源ラインとの間に設けられ、前記第2のスイッチング素子をオフさせる制御信号に応じて、前記第2のスイッチング素子のドレインを前記電源ラインに接続する通電素子と、

を備える駆動回路を含む半導体集積回路

【0102】

(付記9)

前記通電素子は第3のスイッチング素子を有し、

前記第1のスイッチング素子の駆動信号に応じ、第1のスイッチング素子、前記第2のスイッチング素子、及び前記第3のスイッチング素子のオン・オフの制御を行う制御部と、

10

を含む付記8記載の半導体集積回路。

【0103】

(付記10)

第1のスイッチング素子のソースに直列に接続された第2のスイッチング素子と、

前記第2のスイッチング素子のドレインと電源ラインとの間に接続された第3のスイッチング素子と、

前記第1のスイッチング素子の駆動信号に応じ、第1のスイッチング素子のゲートへ出力する電圧を制御し、前記第1のスイッチング素子をオンさせるときに、前記第2のスイッチング素子をオンさせ、かつ前記第3のスイッチング素子をオフさせ、前記第1のスイッチング素子をオフするとき、前記第2のスイッチング素子をオフさせ、かつ前記第3

20

のスイッチング素子をオンさせる制御部と、

を備える駆動回路を含む半導体集積回路。

【0104】

(付記11)

前記制御部は、前記第2のスイッチング素子をオフさせる前記制御信号に応じて前記第3のスイッチング素子をオンさせる、付記9又は付記10記載の半導体集積回路。

【0105】

(付記12)

前記制御部は、前記第2のスイッチング素子をオフさせた後、前記第3のスイッチング素子をオンさせる、付記9又は付記10記載の半導体集積回路。

30

【0106】

(付記13)

前記制御部は、前記第1のスイッチング素子のゲート電圧が所定値に低下することで前記第2のスイッチング素子をオフさせ、前記第3のスイッチング素子をオンさせる、付記11又は付記12記載の半導体集積回路。

【0107】

(付記14)

前記第1のスイッチング素子が、ノーマリーオン形のスイッチング素子である、付記8から付記13のいずれかに記載の半導体集積回路。

【0108】

(付記15)

第1のスイッチング素子をオンする際に、前記第1のスイッチング素子のソースに直列に接続された第2のスイッチング素子をオンし、

前記第1のスイッチング素子をオフする際に、前記第2のスイッチング素子をオフし、

前記第2のスイッチング素子のドレインと電源ラインとの間に設けた通電素子により前記第2のスイッチング素子のドレインを前記電源ラインに接続する、

ことを含む駆動回路の制御方法。

【0109】

(付記16)

前記通電素子は第3のスイッチング素子を有し、前記第3のスイッチング素子をオンす

50

ることで、前記第 2 のスイッチング素子のドレインを前記電源ラインに接続する、
ことを含む付記 1 5 記載の駆動回路の制御方法。

【符号の説明】

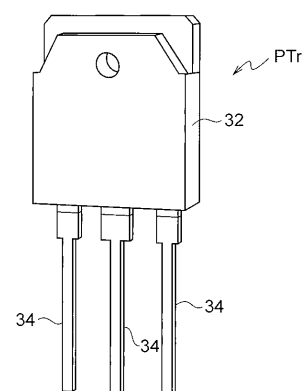
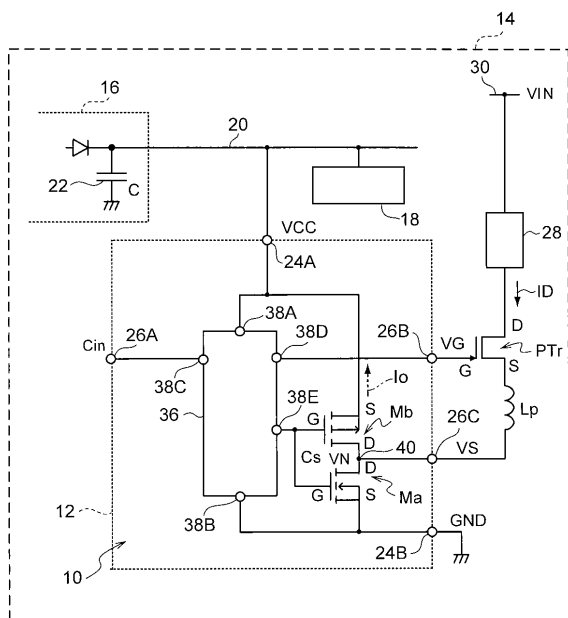
【0 1 1 0】

1 0、5 0、6 0、7 0	駆動回路
1 2、5 2、6 2、7 2	集積回路
1 4	基板
1 6	直流電源部
1 8	周辺回路
2 0	電源ライン
2 2	コンデンサ
2 8	負荷
3 0	電源ライン
3 2	パッケージ
3 4	リード
3 6、7 4	コントロール回路
4 0	ノード
4 2	ゲート電圧制御部
4 4	ゲート電圧検出部
4 6、6 8	制御信号出力部
6 6	ソース電圧検出部
7 4	ダイオード
P T r	パワートランジスタ
P T s	パワートランジスタ
M a	トランジスタ
M b	トランジスタ

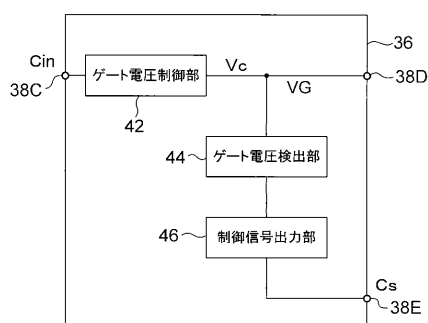
10

20

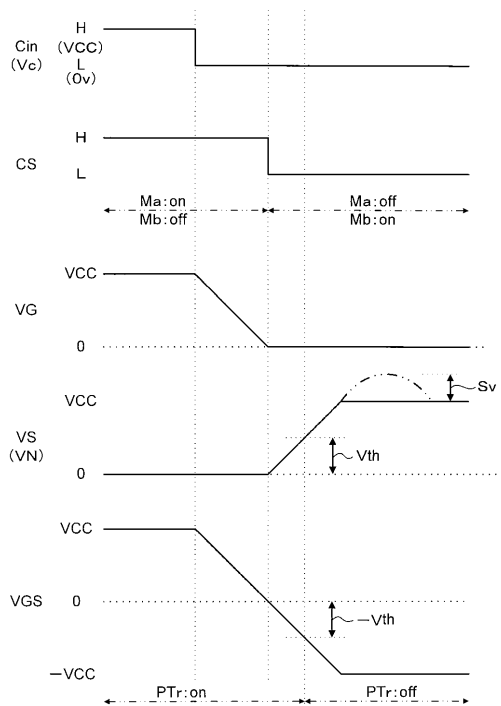
【図 2】



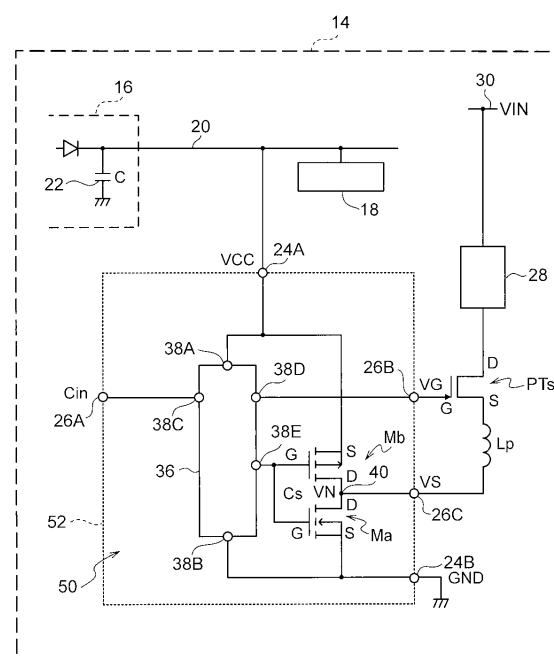
【図 3】



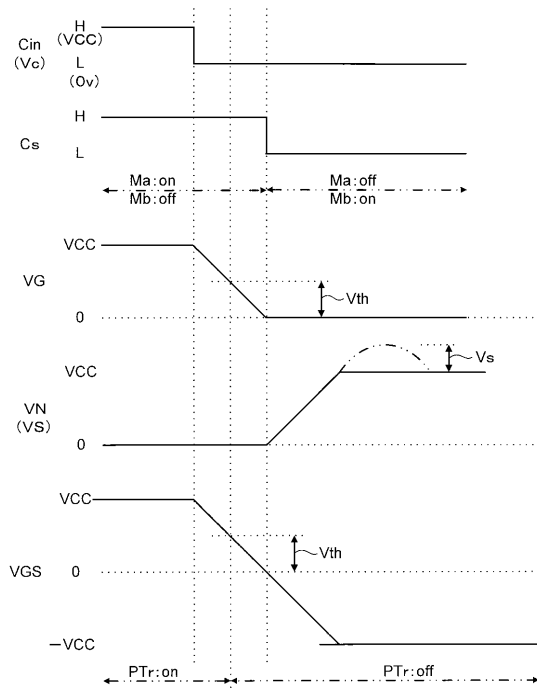
【図 4】



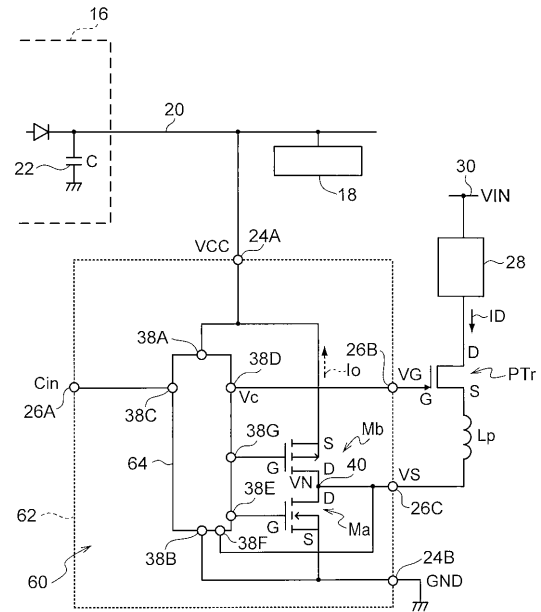
【図 5】



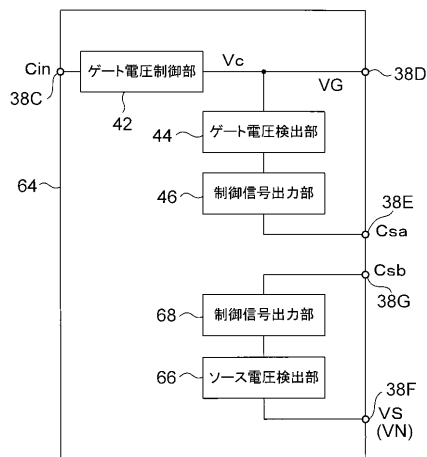
【図 6】



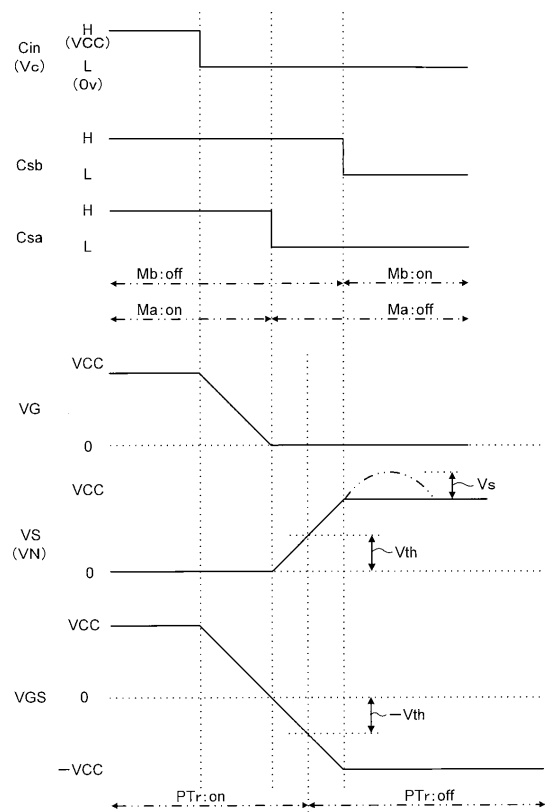
【図 7】



【図 8】



【図 9】



[illegible]

フロントページの続き

(56)参考文献 国際公開第2013/146570 (WO, A1)

特開2013-078111 (JP, A)

特開2006-352839 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/08

H03K 17/695