



(12)发明专利申请

(10)申请公布号 CN 107678337 A

(43)申请公布日 2018.02.09

(21)申请号 201710897758.3

(22)申请日 2017.09.28

(71)申请人 卡斯柯信号有限公司

地址 200070 上海市静安区天目中路428号  
凯旋门大厦27层C/D室

(72)发明人 刘畅 耿进龙 唐俊 潘雷  
董高云 宋志坚 宋兴儒 耿佳灿  
傅李育 周宇恒

(74)专利代理机构 上海科盛知识产权代理有限公司 31225

代理人 应小波

(51)Int. Cl.

G05B 19/042(2006.01)

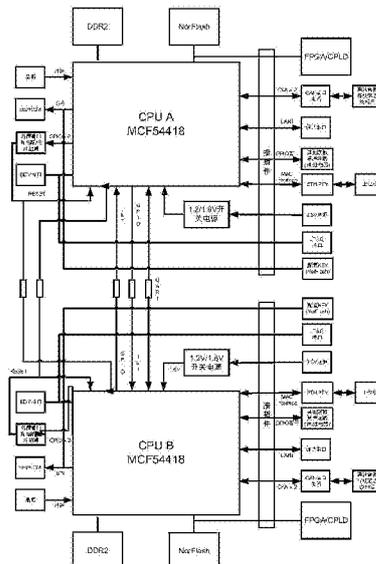
权利要求书1页 说明书4页 附图2页

(54)发明名称

一种用于控制轨道交通信号的主控单元结构

(57)摘要

本发明涉及一种用于控制轨道交通信号的主控单元结构,该结构为一个向主板提供了一系列通讯及控制端口的子板卡,所述的子板卡上集成了两套对称相同的电路结构,分别为通道A和通道B,所述的通道A和通道B各包含一个CPU最小系统、接口和电源电路。与现有技术相比,本发明在电源和数据处理上具有更深入的监控和校验功能,具有更好的独立性和可靠性。



1. 一种用于控制轨道交通信号的主控单元结构,该结构为一个向母板提供了一系列通讯及控制端口的子板卡,其特征在于:所述的子板卡上集成了两套对称相同的电路结构,分别为通道A和通道B,所述的通道A和通道B各包含一个CPU最小系统、接口和电源电路。

2. 根据权利要求1所述的一种用于控制轨道交通信号的主控单元结构,其特征在于:其中CPU A上的异步通信UART接口连接CPU B上的异步通信UART接口,实现所述的两个通道CPU之间的通讯。

3. 根据权利要求2所述的一种用于控制轨道交通信号的主控单元结构,其特征在于:所述的通道A使用CPU A的异步通信UART0接口,所述的通道B使用CPU B的异步通信UART1接口。

4. 根据权利要求2所述的一种用于控制轨道交通信号的主控单元结构,其特征在于:在所有异步通信UART信号线上均串入一颗1206封装3.16K阻值的电阻。

5. 根据权利要求1所述的一种用于控制轨道交通信号的主控单元结构,其特征在于:两个CPU各连接一个外置看门狗电路,当所述的任意一个CPU软件跑飞的时,该CPU所对应的外置看门狗电路会自动将该CPU置于复位RESET状态。

6. 根据权利要求1所述的一种用于控制轨道交通信号的主控单元结构,其特征在于:两个CPU各具有一个电压监测电路,当检测到所述的任意一个CPU欠压时,该CPU所对应的电压监测电路会自动将该CPU置于复位RESET状态。

7. 根据权利要求1所述的一种用于控制轨道交通信号的主控单元结构,其特征在于:CPU A的一个通用I/O口GPIO连接到CPU B的中断Interrupt接口,CPU B的一个通用I/O口GPIO连接到CPU A的中断Interrupt接口;

CPU A的复位RESET接口连接到CPU B的中断Interrupt接口,CPU B的复位RESET接口连接到CPU A的中断Interrupt接口。

8. 根据权利要求1所述的一种用于控制轨道交通信号的主控单元结构,其特征在于:所述的母板上提供两路差异化的3.3V电源,分别通过一个独立的接插件提供给两个通道使用;

所述的两路3.3V电源通过两个通道的电源电路分别转换为两个CPU的核电源、内存芯片的电源、SD\_REF电源和SD\_VTT电源。

9. 根据权利要求8所述的一种用于控制轨道交通信号的主控单元结构,其特征在于:CPU A的核电源1.2V电源由通道A的3.3V电源通过一个Buck电路生成;CPU A的内存芯片DDR2使用的1.8V电源由通道A的3.3V电源3.3V通过另一个Buck电路生成。

10. 根据权利要求1所述的一种用于控制轨道交通信号的主控单元结构,其特征在于:两个CPU的芯片为NXP公司的MCF54418芯片;两个CPU的存储器件为NorFlash;两个CPU的内存为1Gbit的DDR2芯片。

## 一种用于控制轨道交通信号的主控单元结构

### 技术领域

[0001] 本发明涉及轨道交通信号领域,具体涉及一种用于控制轨道交通信号的主控单元结构。

### 背景技术

[0002] 在轨道交通信号领域中,信号的控制板通常由较为简单的执行电路或以简单的单片机来实现控制功能,这些已有的电路都不同程度的存在着可靠性方面的漏洞,包括:CPU最小系统的运算结果缺乏有效监控、CPU的软件运行过程缺乏硬件的监控和校验、CPU的工作电源系统缺乏监控和可靠性保障和CPU的通讯及控制接口不够丰富。

[0003] 经过检索,中国专利公开号为CN205541437U公开了一种智能交通信号机,包括安装于信号机柜体内的主控单元和用于供电的电源,主控单元包括主板和设置于主板上的处理器,处理器内置有时钟单元,处理器通过其通信接口连接有数据采集单元、车辆视频检测单元、交通信号灯控制单元、存储器、报警器,具体的,数据采集单元包括水位传感器、火花传感器和温度传感器,水位传感器、火花传感器和温度传感器通过信号调理电路连接于通信接口。该发明具有优异的性价比,集成度高、可靠性高、控制功能强、运行时的功耗小,系统扩展和系统配置规范。但该发明针对的是城市交通道路,不是轨道交通,而且该信号机内的处理器只是简单的单片机,不能解决可靠性方面的漏洞。

### 发明内容

[0004] 本发明的目的就是为了解决上述现有技术存在的缺陷而提供一种用于控制轨道交通信号的主控单元结构

[0005] 本发明的目的可以通过以下技术方案来实现:

[0006] 一种用于控制轨道交通信号的主控单元结构,该结构为一个向母板提供了一系列通讯及控制端口的子板卡,所述的子板卡上集成了两套对称相同的电路结构,分别为通道A和通道B,所述的通道A和通道B各包含一个CPU最小系统、接口和电源电路。

[0007] 优选地,其中CPU A上的异步通信UART接口连接CPU B上的异步通信UART接口,实现所述的两个通道CPU之间的通讯。

[0008] 优选地,所述的通道A使用CPU A的异步通信UART0接口,所述的通道B使用CPU B的异步通信UART1接口。

[0009] 优选地,在所有异步通信UART信号线上均串入一颗1206封装3.16K阻值的电阻。

[0010] 优选地,两个CPU各连接一个外置看门狗电路,当所述的任意一个CPU软件跑飞的时候,该CPU所对应的外置看门狗电路会自动将该CPU置于复位RESET状态。

[0011] 优选地,两个CPU各具有一个电压监测电路,当检测到所述的任意一个CPU欠压时,该CPU所对应的电压监测电路会自动将该CPU置于复位RESET状态。

[0012] 优选地,CPU A的一个通用I/O口GPIO连接到CPU B的中断Interrupt接口,CPU B的一个通用I/O口GPIO连接到CPU A的中断Interrupt接口;

[0013] CPU A的复位RESET接口连接到CPU B的中断Interrupt接口,CPU B的复位RESET接口连接到CPU A的中断Interrupt接口。

[0014] 优选地,所述的母板上提供两路差异化的3.3V电源,分别通过一个独立的接插件提供给两个通道使用;

[0015] 所述的两路3.3V电源通过两个通道的电源电路分别转换为两个CPU的核电源、内存芯片的电源、SD\_REF电源和SD\_VTT电源。

[0016] 优选地,CPU A的核电源1.2V电源由通道A的3.3V电源通过一个Buck电路生成;CPU A的内存芯片DDR2使用的1.8V电源由通道A的3.3V电源3.3V通过另一个Buck电路生成。

[0017] 优选地,两个CPU的芯片为NXP公司的MCF54418芯片;两个CPU的存储器件为NorFlash;两个CPU的内存为1Gbit的DDR2芯片。

[0018] 与现有技术相比,本发明具有以下优点:

[0019] 1、高可靠性主控单元模块由两个CPU组成,并具有通讯端口用于交换数据,再进行关键运算结果的对比,比一般双通道架构技术具有更深入的监控和校验功能。

[0020] 2、高可靠性主控单元模块使用外置看门狗电路,比一般主控单元模块所使用的内置看门狗,甚至软看门狗,具有更好的独立性和可靠性,监控失效的可能性进一步减小。

[0021] 3、一般的主控模块缺乏对于CPU运行电源的监控和检查,而通常CPU在电源电压超出手册范围的情况下,器件厂商也无法保障CPU的功能是正常的,故障模式和故障率大幅提高,有些异常导致的错误结果甚至可能是无法发现的。

[0022] 4、高可靠性主控单元模块使用对两个CPU使用了全部异构的电源设计,大大减小了电源同时故障的可能性,并且电源监控功能也补充了一般主控模块对于CPU电源电压监控的缺口。

## 附图说明

[0023] 图1为本发明的架构示例图;

[0024] 图2为两个通道CPU之间的通讯端口连接图;

[0025] 图3为本发明的CPU A的电源树示例图;

[0026] 图4为本发明的CPU B的电源树示例图。

## 具体实施方式

[0027] 下面将对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明的一部分实施例,而不是全部实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动的前提下所获得的所有其他实施例,都应属于本发明保护的范围。

[0028] 如图1-4所示,一种用于控制轨道交通信号的主控单元结构,为一个向母板提供了一系列通讯及控制端口的子板卡,所述的子板卡上集成了两套对称相同的电路结构,分别为通道A和通道B,所述的通道A和通道B各包含一个CPU最小系统、若干接口和电源电路。

[0029] 所述的CPU A上的异步通信UART接口连接CPU B上的异步通信UART接口,实现所述的两个通道CPU之间的通讯。

[0030] 所述的通道A使用CPU A的异步通信UART0接口,所述的通道B使用CPU B的异步通

信UART1接口。

[0031] 在所述的所有异步通信UART信号线上均串入一颗1206封装3.16K阻值的电阻。

[0032] 所述的两个CPU各连接一个外置看门狗电路,当所述的任意一个CPU软件跑飞的时候,该CPU所对应的外置看门狗电路会自动将该CPU置于复位RESET状态。

[0033] 所述的两个CPU各具有一个电压监测电路,当检测到所述的任意一个CPU欠压时,该CPU所对应的电压监测电路会自动将该CPU置于复位RESET状态。

[0034] 所述的CPU A的一个通用I/O口GPIO连接到CPU B的中断Interrupt接口,所述的CPU B的一个通用I/O口GPIO连接到CPU A的中断Interrupt接口。所述的CPU A的复位RESET接口连接到CPU B的中断Interrupt接口,所述的CPU B的复位RESET接口连接到CPU A的中断Interrupt接口。

[0035] 所述的母板上提供两路差异化的3.3V电源,分别通过一个独立的接插件提供给两个通道使用。

[0036] 所述的两路3.3V电源通过两个通道的电源电路分别转换为两个CPU的核电源、内存芯片的电源、SD\_REF电源和SD\_VTT电源。所述的两个通道的电源电路的结构是不一样的。所述的CPU A的核电源1.2V电源由通道A的3.3V电源通过一个Buck电路生成。所述的CPU A的内存芯片DDR2使用的1.8V电源由通道A的3.3V电源3.3V通过另一个Buck电路生成。

[0037] 所述的Buck电路使用TI公司的LM3671搭建而成。所述的两个CPU的芯片为NXP公司的MCF54418芯片。所述的两个CPU的存储器件为NorFlash。所述的两个CPU的内存为1Gbit的DDR2芯片。

[0038] 本实施例的主控CPU使用了NXP公司的MCF54418芯片,该芯片为工业级的Coldfire架构CPU,存储器件使用NorFlash以确保20年的数据有效保存时间,内存使用了1Gbit的DDR2芯片。

[0039] 如图2所示,两个通道的CPU之间有若干通讯端口,两通道之间有一个带流控的UART接口用于通信。通道A使用了CPU的UART0,通道B使用了CPU的UART1,两者之间保持了一定的差异化。在全部UART信号线上都串入了一颗1206封装3.16K阻值的电阻,这些电阻可以在一个通道失电一个通道有正常工作电的情况下,防止正常工作侧通道的IO电流向失电通道供电后导致失电通道的电路误启动。该UART接口可以实现两个通道CPU之间运算结果的交互比对,提供较一般设计更深层次的双通道校验功能。

[0040] 此外,每个通道还有一个GPIO连接到另一通道的中断信号上,可以通过GPIO来触发另一个通道CPU的中断,用于实时通知对方。每个通道的RESET信号也会连接到另一通道的中断信号上,当一个通道进入复位状态时,另一个系CPU可以及时获知。

[0041] 如图3所示,板卡上的电源系统依照所服务的CPU最小系统也区分为两个通道,母板上需要提供两路差异化的3.3V电源分别通过一个独立的接插件提供给两个通道使用。本实施例再通过差异化的电源电路将各自通道的3.3V电源转换为1.2V、1.8V和SD\_REF和SD\_VTT电源。

[0042] CPU的核电源1.2V电源由3.3V通过一个Buck电路生成,Buck电路使用TI公司的LM3671搭建。DDR2使用的1.8V电源由3.3V通过另一个Buck电路生成。

[0043] CPU通过FlexBUS总线控制NorFlash。由于NorFlash需要存储启动信息,片选空间CS0被分配给NorFlash。NorFlash的接口为异步的,并且工作在8位数据总线模式。通过将

NorFlash的BYTE#信号拉低将其设置为8bit数据总线模式。在这个模式下,数据总线为DQ0~DQ7,A-1~A22作为地址总线。同样一个22欧电阻串入FlexBUS接口的每根信号线,用来改善信号完整性。WP#/ACC被拉高用于禁止写保护功能。

[0044] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到各种等效的修改或替换,这些修改或替换都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以权利要求的保护范围为准。

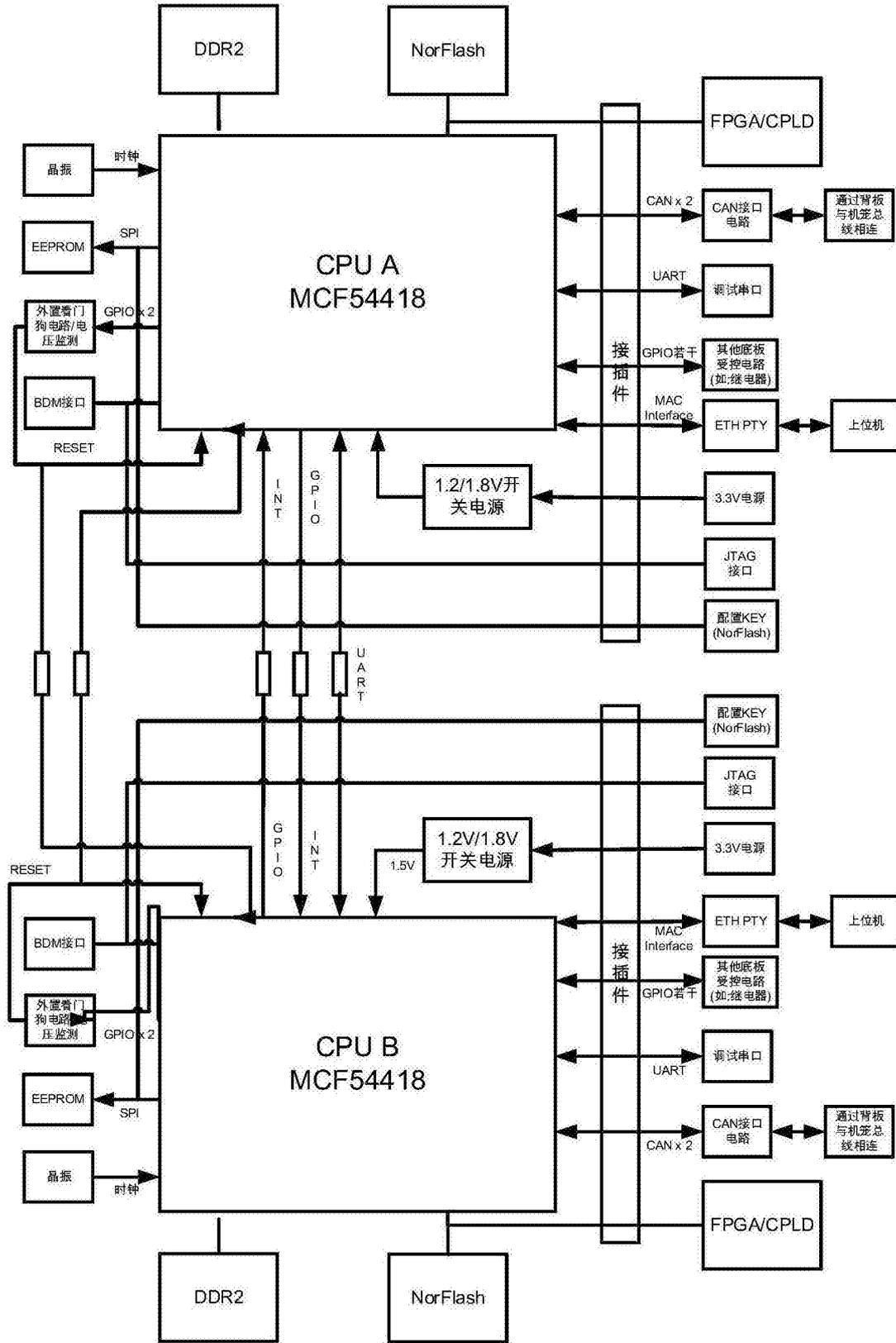


图1

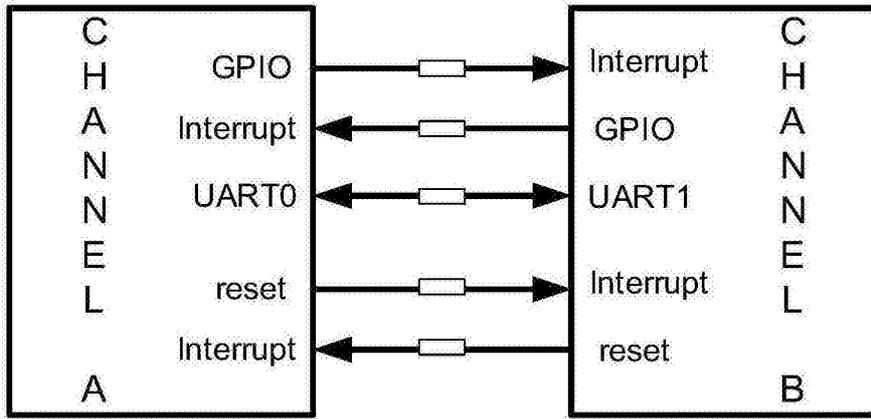


图2

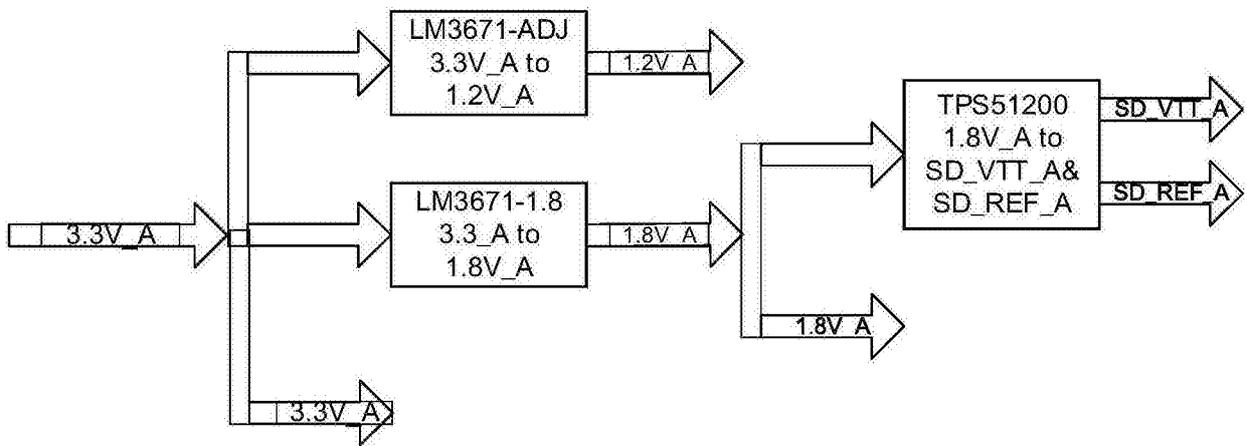


图3

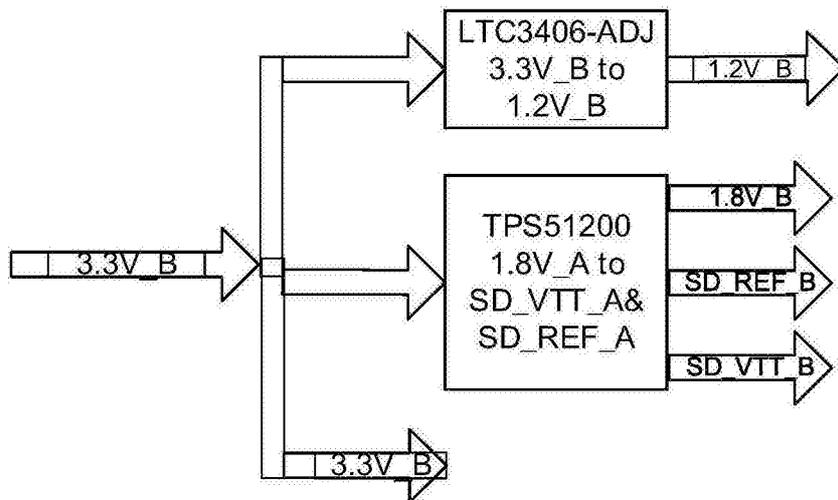


图4