

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006 年 8 月 3 日 (03.08.2006)

PCT

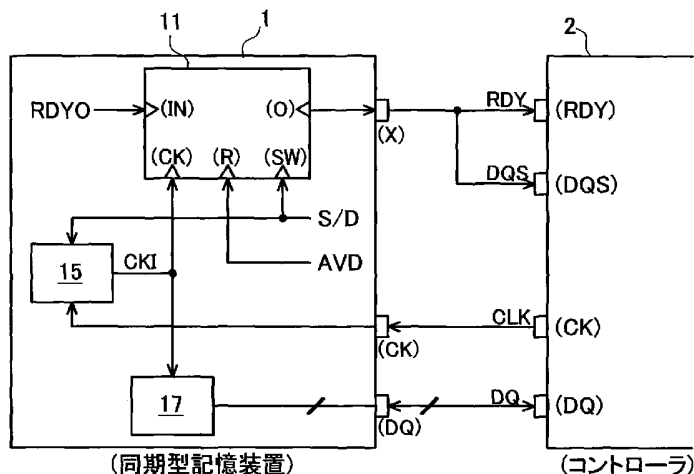
(10) 国際公開番号
WO 2006/080065 A1

- (51) 国際特許分類:
G11C 11/407 (2006.01)
- (21) 国際出願番号: PCT/JP2005/001094
- (22) 国際出願日: 2005 年 1 月 27 日 (27.01.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
95054 カリフォルニア州サンタクララ ピーターソン・
ウェイ 3625 テクノロジー・ロー・デパートメン
ト エム・エス 68 California (US). Spansion
Japan 株式会社 (SPANSION JAPAN LIMITED)
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 新林 幸司 (SHIM-
BAYASHI, Koji) [JP/JP]; 〒9650845 福島県会津若松市
門田町工業団地 6 番 Spansion Japan 株
式会社内 Fukushima (JP).
- (74) 代理人: 特許業務法人コスモス特許事務所 (COSMOS
PATENT OFFICE); 〒4600003 愛知県名古屋市中区錦
二丁目 2 番 2 号 名古屋センタービル別館 2 階 Aichi
(JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,

/ 続葉有 /

(54) Title: STORING APPARATUS AND METHOD FOR CONTROLLING THE SAME

(54) 発明の名称: 記憶装置、およびその制御方法



1... STORING APPARATUS OF SYNCHRONISM TYPE
2... CONTROLLER

(57) Abstract: In SDR mode ($S/D = H$), the logic level transition of a data status precedence determination signal (RDYO) is outputted to an output terminal (O) in accordance with an internal clock (CKI). A ready signal (RDY) is outputted in synchronism with an internal clock (CKI) following the logic level transition of the data status precedence determination signal (RDYO). In DDR mode ($S/D = L$), a toggle signal is outputted to the output terminal (O) in accordance with the internal clock (CKI) following the logic level transition of the data status precedence determination signal (RDYO). A strobe signal (DQS) is outputted in synchronism with an internal clock (CKI) following the internal clock (CKI) following the logic level transition of the data status precedence determination signal (RDYO). The ready signal (RDY) in the SDR mode and the strobe signal (DQS) in the DDR mode are outputted from a data status notifying terminal (X).

(57) 要約: SDRモードの際 ($S/D = H$)、データ状態先行確定信号 RDYO の論理レベルの遷移が内部クロック CKI に応じて出力端子 (O) に出力される。デ

/ 続葉有 /



HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,

IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ータ状態先行確定信号RDY_Oの論理レベル遷移に引き続く内部クロックCK_Iに同期して、レディ信号RDYが出力される。また、DDRモードの際(S/D=L)、データ状態先行確定信号RDY_Oの論理レベルの遷移に引き続く内部クロックCK_Iに応じて出力端子(O)にトグル信号が出力される。データ状態先行確定信号RDY_Oの論理レベル遷移に引き続く内部クロックCK_I以降、内部クロックCK_Iに同期して、ストロブ信号DQSが出力される。データ状態報知端子(X)から、SDRモードでレディ信号RDYが出力され、DDRモードでストロブ信号DQSが出力される。

明 細 書

記憶装置、およびその制御方法

技術分野

- [0001] 本発明は、シングルデータレートモードとダブルデータレートモードとを切り替えて使用することが可能な記憶装置、およびその制御方法に関するものである。

背景技術

- [0002] 記憶装置では、その同期アクセス動作として、定常状態においてクロックサイクルごとに、順次、異なるアドレスからのデータを読み出すことができる。この機能を可能とするためには、その前段階として、読み出し動作の開始時に、複数のメモリセルからのデータの増幅等、読み出しデータの内部的な処理が必要となる。この処理を行なう時間を確保するため、起動後、クロックサイクルの計数によって所定時間の計時を行なう初期レイテンシが設定されている場合が一般的である。
- [0003] 初期レイテンシの経過後、クロックサイクルに同期したデータの出力が可能となるが、このタイミングを外部に報知する目的で、データ有効フラグが出力される場合がある。これにより、外部のコントローラは、記憶装置から出力されるデータが有効なデータであることを確認することができる。ここで、データ有効フラグとは、例えば、フラッシュメモリ等の不揮発性記憶装置に備えられている、RDY端子等の専用端子から出力されることが一般的である。コントローラでは、RDY端子から出力される信号が所定論理レベルであることをもって、出力されているデータが有効なデータであるとの判断をすることができる。
- [0004] 上記の同期アクセス動作は、クロックの一方のエッジに同期して行われる、いわゆるシングルデータレート(以下、SDRを略記する)モードである場合が一般的である。これに対して、クロックの両エッジに同期して読み出し動作が行われる、いわゆるダブルデータレート(以下、DDRを略記する)モードで動作する仕様を有する記憶装置がある。ここで、一般的にクロックは高周波数であるところ、DDRモードにおいては、クロックの2倍周波数でデータが出力される。更に、記憶装置からのデータを必要とするコントローラは、ボード上、近接して配置されているとは限らず、長大なバス配線を介

して接続されることも考えられる。高速なデータ転送に対して、コントローラが同期またはデータの取り込みセットアップタイムやホールドタイムをとれなくなることも考えられる。

[0005] このような事情に鑑み、DDRモードの記憶装置からは、データ出力タイミングに同期してストロブ信号が出力されると便宜である。クロックの2倍周波数で更新されるデータに同期してトグルされる信号である。コントローラは、このストロブ信号に同期してデータを取り込むことができる。ここで、ストロブ信号とは、DQS端子等の専用端子から出力されることが一般的である。

[0006] 近年、特許文献1に開示されているように、SDRモードとDDRモードとを切り替えて使用することが可能な記憶装置が提案されてきている。この場合、RDY端子とDQS端子とを備えることが必要となる。

[0007] ここで、端子を兼用する技術として特許文献2が開示されている。図7に示すように、DRAM209は、ビジー信号BUSY2を入力するBUSY2入力回路211およびデータストロブ信号QSを出力するQS信号出力回路212を内蔵し、ビジー信号入力端子およびデータストロブ信号出力端子として兼用する外部端子213を設けて構成されている。

[0008] また、フラッシュメモリ210は、ビジー信号BUSY2を出力するBUSY2出力回路214およびデータストロブ信号QSを入力するQS入力回路215を内蔵し、ビジー信号出力端子およびデータストロブ信号入力端子として兼用する外部端子216を設けて構成されている。

[0009] 特許文献1:特開平11-213668号公報

特許文献2:特開2000-353382号公報

発明の開示

発明が解決しようとする課題

[0010] SDRモードとDDRモードとを切り替えて使用することが可能な記憶装置では、RDY端子とDQS端子とを共に確保する必要がある。必要とされる入力信号または／および出力信号に対して、記憶装置から引き出せる端子数には制限がある。RDY端子、DQS端子を、各々専用の端子とする場合に、総端子数の制約を受けてしまう場合

も考えられ、問題である。

- [0011] 特許文献2には、端子兼用の技術が開示されてはいるものの、出力信号と入力信号とを1端子で兼用するいわゆる入出力共有の概念である。動作モードに応じて2つ以上の出力信号を切り替える本願の課題を解決することはできない。

また、2つ以上の出力信号を切り替える設計概念として、それぞれの出力制御部を備え、それらを動作モード信号で切り替えるのでは出力制御部の素子数増大を招き、且つ前述の高速なDDR動作周波数に応答する最適な周波数性能を出すことはできない。

課題を解決するための手段

- [0012] 本発明は前記背景技術に鑑みなされたものであり、SDRモードとDDRモードとの2つの動作モードを備えて動作する記憶装置について、SDRモードにおいて出力されるデータの状態を報知する信号と、DDRモードにおいて出力されるデータの状態を報知する信号とを、動作モードの切り替えに伴う動作遅延や特性値の制限を伴うことなく、データ出力との間で適格な出力タイミングを有して、兼用端子から出力することが可能な記憶装置、およびその制御方法を提供することを目的とする。
- [0013] 前記目的を達成するためになされた本発明の記憶装置は、外部クロックの何れか一方のエッジをデータ確定エッジとする第1動作モードと、外部クロックの両エッジをデータ確定エッジとする第2動作モードとの動作が可能な記憶装置であって、出力されるデータの状態を報知するデータ状態報知端子と、第1動作モードにおいて、データ出力開始時の最初のデータ確定エッジに先行する第1タイミングで、論理レベルが遷移する第1信号を生成し、第2動作モードにおいて、データ出力開始以後の個々のデータ確定エッジに先行する第1タイミングごとに、論理レベルがトグルする第2信号を生成して、データ状態報知端子に出力するデータ状態信号制御部とを備えることを特徴とする。
- [0014] 本発明の記憶装置では、第1動作モードでは、データ出力開始時の最初のデータ確定エッジに先行する第1タイミングで、論理レベルが遷移する第1信号が、データ状態報知端子から出力される。第2動作モードでは、データ出力開始以後の個々のデータ確定エッジに先行する第1タイミングごとに、論理レベルがトグルする第2信号

が、データ状態報知端子から出力される。データ状態信号制御部は、動作モードに応じて、出力されるデータの状態を報知する信号として、第1または第2信号を生成する。

[0015] また、本発明の記憶装置の制御方法は、外部クロックの何れか一方のエッジをデータ確定エッジとする第1動作モードと、外部クロックの両エッジをデータ確定エッジとする第2動作モードとの動作が可能な記憶装置の制御方法であって、第1動作モードにおいて、最初のデータ確定エッジに先行する第1タイミングで、論理レベルが遷移する第1信号を生成するステップと、第2動作モードにおいて、データ出力開始以後の個々のデータ確定エッジに先行する第1タイミングごとに、論理レベルがトグルする第2信号を生成するステップと、第1信号を生成するステップ、または第2信号を生成するステップの何れか一方を選択し、データ状態報知端子より第1または第2信号を出力するステップとを有することを特徴とする。

[0016] 本発明の記憶装置の制御方法では、第1動作モードにおいて、最初のデータ確定エッジに先行する第1タイミングで、論理レベルが遷移する第1信号を生成する場合と、第2動作モードにおいて、データ出力開始以後の個々のデータ確定エッジに先行する第1タイミングごとに、論理レベルがトグルする第2信号を生成する場合との何れか一方を、第1タイミングに先行する第2タイミングで選択して、選択された第1または第2信号を、データ状態報知端子に出力する。

[0017] これにより、動作モードに応じて、データ確定エッジに先行する第1タイミングで、出力されるデータの状態を報知する第1または第2信号の何れか一方が選択されてデータ状態報知端子から出力される。第1動作モードと第2動作モードとで異なる内容の第1および第2信号が、動作モードに応じて同じデータ状態報知端子から出力されることとなり、動作モードごとに異なる専用端子を備える必要はない。端子数の増大を抑制することができる。

[0018] また、動作モードに応じた第1信号と第2信号との間の切り替えを、データの出力が行われるデータ確定エッジに先行する第1タイミングで行なうことができる。出力データの状態を報知するデータ情報報知端子からの信号の出力に、データ確定エッジに対する遅れを生ずることはなく、出力データに対応した信号を的確なタイミングでデ

ータ情報報知端子から出力することができる。

発明の効果

- [0019] 本発明の記憶装置、およびその制御方法によれば、第1動作モードと第2動作モードとの2つの動作モードを備え、これらの動作モードを切り替えて動作する記憶装置について、第1動作モードにおいて出力データの状態を報知する第1信号と、第2動作モードにおいて出力データの状態を報知する第2信号とを、動作モードの切り替えに伴う動作遅延や特性値の制限を伴うことなく、データ出力のタイミングに対して遅れることなく、データ状態報知端子から出力することが可能となる。

図面の簡単な説明

- [0020] [図1]実施形態の記憶装置からコントローラへのデータ転送を行なう際の回路構成を示す回路ブロック図である。
- [図2]実施形態のデータ状態信号制御部を示す回路図である。
- [図3]SDRモードでのデータ状態信号制御部の設定状態を示す図である。
- [図4]SDRモードでのデータ状態信号制御部による動作波形図である。
- [図5]DDRモードでのデータ状態信号制御部の設定状態を示す図である。
- [図6]DDRモードでのデータ状態信号制御部による動作波形図である。
- [図7]特許文献2に開示されている回路図である。

符号の説明

- [0021] 1 記憶装置
2 コントローラ
11 データ状態信号制御部
15 内部クロックジェネレータ
17 データ出力制御回路
(CK) クロック端子
(DQ) データ端子
(DQS) ストローブ端子
(IN) 入力端子
(O) 出力端子

(R) リセット端子
(RDY) レディ端子
(SW) 切り替え端子
(X) データ状態報知端子
AVD 起動信号
／AVD AVDの反転信号
CKI 内部クロック
CLK 外部クロック
DQ データ
DQS ストローブ信号
RDY レディ信号
RDYO データ状態先行確定信号
S／D 動作モード信号

発明を実施するための最良の形態

[0022] 以下、本発明の記憶装置、およびその制御方法について具体化した実施形態を、図1乃至図6に基づき図面を参照しつつ詳細に説明する。

[0023] フラッシュメモリ等の不揮発性記憶装置や、DRAM、SRAM等の揮発性記憶装置においては、外部クロックに同期してデータの読み出し動作が行われる、いわゆる同期型記憶装置なる動作仕様を有する記憶装置がある。同期型記憶装置では、定常状態においてクロックサイクルごとに、順次、異なるアドレスからデータが読み出される。ここで、一般的に外部クロックは高速であり、高速クロックサイクルに対してサイクルごとのデータ読み出し動作を可能とするためには、読み出し動作の開始時に、複数のメモリセルからのデータの増幅等、読み出しデータの内部的な前処理を完了させておく必要がある。

[0024] この前処理を行なうための時間として、起動後の初期レイテンシ(L)が設定されている。初期レイテンシ(L)は、外部アドレスの取り込みを行なう起動指令(AVD等)後の、外部クロックのクロック数で設定されることが一般的である。初期レイテンシ(L)として設定されるクロック数の外部クロックが経過するまで読み出しデータの内部的な

前処理が完了し、初期レイテンシ(L)が完了する時点でデータの出力が確定する必要がある。データの内部的な前処理が完了したことを外部に報知するデータ有効フラグを出力できれば、外部クロックのクロック数のカウントと合わせて、またはクロック数のカウントに代えて、出力されるデータが有効なデータであることを外部のコントローラが確認することができる。特に、同期型記憶装置から出力されるデータを受けるコントローラが、外部クロックのクロック数をカウントしていない場合に必要となるフラグである。

[0025] ここで、データ有効フラグとは、例えば、フラッシュメモリ等の不揮発性記憶装置においては、レディ信号RDYである。コントローラは、レディ信号RDYの論理レベルを監視し、データ端子(DQ)から出力されるデータが有効なデータDQであるか否かの判断をすることができる。レディ信号RDYは、初期化レイテンシ(L)のカウント期間においてL-1回目のクロックの後で、且つL回目のクロックの前に出力される。レディ信号RDYは、SDRモードにおいて出力され、外部クロックの何れか一方のエッジにおいてデータDQの有効性を報知する。ここで、SDRモードが第1動作モードの一例である。

[0026] また、高速な外部クロックの両エッジをデータ確定エッジとするDDRモードでは、SDRモードに比して、2倍周波数でデータ端子(DQ)からデータが転送されることとなる。すなわち、外部クロックCLKの半周期といった狭い時間内でデータの出力が行なわれなければならない。更に、同期型記憶装置とコントローラとは、同一の実装基板に実装されているとしても長大な配線で結線せざるを得ず、外部クロックCLKのスキューや、データDQ伝播のスキューが発生することは避けられない。こうした事情から、信号スキューが僅少であっても遷移タイミングのずれによる同期ずれが発生するおそれがあり、本来のデータDQを本来のタイミングで転送することができなくなるおそれがある。このため、DDRモードでは、データDQの遷移タイミングに同期して遷移するストロブ信号DQSを出力し、コントローラでのデータDQ取得のタイミングとすることが行なわれている。ここで、DDRモードが第2動作モードの一例である。

[0027] 図1に示す回路ブロック図は、同期型記憶装置1からコントローラ2へのデータ転送を行なう際の回路構成を示す回路ブロック図である。同期型記憶装置1のデータ状

態報知端子(X)からは、SDRモードにおいて、データ有効フラグの具体例としてレディ信号RDYが出力され、DDRモードにおいてストロブ信号DQSが出力される。コントローラ2では、レディ信号RDYが入力されるレディ端子(RDY)と、ストロブ信号DQSが入力されるストロブ端子(DQS)とが各々専用の端子として別々に備えられている。各々の動作モードに応じて対応する端子から信号が入力される。ここで、レディ信号RDYが第1信号の一例であり、ストロブ信号DQSが第2信号の一例である。

[0028] コントローラ2のクロック端子(CK)から出力される外部クロックCLKは、同期型記憶装置1のクロック端子(CK)に入力される。同期型記憶装置1に入力された外部クロックCLKは、内部クロックジェネレータ15に入力される。内部クロックジェネレータ15には、SDR/DDRの別を示す動作モード信号S/Dが入力される。動作モード信号S/Dに応じて、出力される内部クロックCKIの発振周波数が設定される。内部クロックCKIの発振周波数は、SDRモードの場合(S/D=Hi)には外部クロックCLKに同期した同一周波数となり、DDRモードの場合(S/D=Lo)には外部クロックCLKに同期した2倍周波数となる。

[0029] 内部クロックCKIは、データ状態信号制御部11とデータ出力制御回路17とに入力される。データ出力制御回路17からは、データ端子(DQ)を介して内部クロックCKIに応じてデータDQが出力される。コントローラ2では、外部クロックCLK、レディ信号RDYまたはストロブ信号DQSに応じて、データ端子(DQ)からデータDQを取り込む。

[0030] データ状態信号制御部11には、リセット端子(R)に起動信号AVDが入力され、ハイレベルパルスに応じて初期化動作が行なわれる。また、切り替え端子(SW)には動作モード信号S/Dが入力される。SDR/DDRの動作モードに応じて出力端子(O)から、レディ信号RDY/ストロブ信号DQSが出力される。出力端子(O)は、データ状態報知端子(X)に接続されている。動作モードに応じて、データ状態報知端子(X)から、レディ信号RDY/ストロブ信号DQSが出力される。また、入力端子(IN)には、データ状態先行確定信号RDYOが入力される。データ状態先行確定信号RDYOは、不図示の制御回路から出力される信号である。初期レイテンシのカウントに

応じて、または／およびメモリセルからのデータ読み出しの内部的な処理に応じて、論理レベルが遷移する信号である。

[0031] データ状態信号制御部11では、SDRモードの際、ハイレベルの動作モード信号S／Dに対して、データ状態先行確定信号RDYOの論理レベルの遷移が内部クロックCKIに応じて出力端子(O)に出力される。データ状態先行確定信号RDYOの論理レベル遷移に引き続く内部クロックCKIに同期して、レディ信号RDYが出力される。また、DDRモードの際、ローレベルの動作モード信号S／Dに対して、データ状態先行確定信号RDYOの論理レベルの遷移に引き続く内部クロックCKIに応じて出力端子(O)にトグル信号が出力される。データ状態先行確定信号RDYOの論理レベル遷移に引き続く内部クロックCKI以降、内部クロックCKIに同期して、ストロブ信号DQSが出力される。

[0032] 図2にデータ状態信号制御部11の具体的な回路例を示す。入力端子(IN)は、トランスファゲートT1の一端子、ナンドゲートD3の一方の入力端子、およびインバータゲートI5の入力端子に接続されている。トランスファゲートT1、および後述の全てのトランスファゲートT3、T5、T7、T9、T11、T13は、一対のPMOS／NMOSTランジスタにより構成されている。トランスファゲートT1のNMOSTランジスタのゲートには切り替え端子(SW)が接続され(ノードSW)、PMOSTランジスタのゲートには切り替え端子(SW)に接続されているインバータゲートI15の出力端子が接続されている(ノードSWB)。

[0033] トランスファゲートT1の他端子は、トランスファゲートT3、T11、T13の一端子に接続されている。トランスファゲートT3のPMOSTランジスタのゲートはクロック端子(CK)が接続され(ノードCK)、NMOSTランジスタのゲートはクロック端子(CK)が接続されているインバータゲートI11の出力端子に接続されている(ノードCKB)。トランスファゲートT3の他端子は、ナンドゲートD1の一方の入力端子、およびトランスファゲートT5の一端子に接続されている。

[0034] トランスファゲートT11のPMOSTランジスタのゲートはナンドゲートD3の出力端子が接続され(ノードT0B)、NMOSTランジスタのゲートはノードT0Bが接続されているインバータゲートI7の出力端子に接続されている(ノードT0)。ここで、ナンドゲート

D3の他方の入力端子はノードSWBに接続されている。トランスファゲートT11の他端子はインバータゲートI3の出力端子に接続されている(ノードOB)。

[0035] トランスファゲートT13のPMOSトランジスタのゲートはナンドゲートD5の出力端子が接続され(ノードT1)、NMOSトランジスタのゲートはノードT1が接続されているインバータゲートI9の出力端子が接続されている(ノードT1B)。ここで、ナンドゲートD5の一方の入力端子はインバータゲートI5の出力端子が接続され、他方の入力端子はノードSWBが接続されている。トランスファゲートT13の他端子は出力端子(O)に接続されている。

[0036] ナンドゲートD1の他方の入力端子には、リセット端子(R) (ノードR)が入力端子に接続されているインバータゲートI13の出力端子が接続されている(ノードRB)。ナンドゲートD1の出力端子は、トランスファゲートT7の一端子とインバータゲートI1の入力端子が接続されている。インバータゲートI1の出力端子はトランスファゲートT5の他端子に接続されている。また、トランスファゲートT5のPMOSトランジスタのゲートはノードCKBが接続され、NMOSトランジスタのゲートはノードCKが接続されている。

[0037] トランスファゲートT7のPMOSトランジスタのゲートはノードCKBが接続され、NMOSトランジスタのゲートはノードCKが接続されている。トランスファゲートT7の他端子は、ノアゲートR1の一方の入力端子とトランスファゲートT9の一端子に接続されている。ノアゲートR1の他方の入力端子には、ノードRが接続されている。ノアゲートR1の出力端子は、出力端子(O) (ノードO)に接続されると共に、インバータゲートI3の入力端子に接続されている。インバータゲートI3の出力端子(ノードOB)はトランスファゲートT9の他端子に接続されている。ノードOBは出力端子(O)の反転信号が出力されるノードである。

[0038] ナンドゲートD1およびインバータゲートI1がトランスファゲートT5の導通に応じてラッチ回路を構成し、同様に、ノアゲートR1およびインバータゲートI3がトランスファゲートT9の導通に応じてラッチ回路を構成する。

[0039] ここで、トランスファゲートT3およびトランスファゲートT9と、トランスファゲートT5およびトランスファゲートT7とは、互いに反転の信号により導通制御される。すなわち、

ノードCKがローレベルであってノードCKBがハイレベルの場合、トランスファゲートT3およびトランスファゲートT9が導通し、トランスファゲートT5およびトランスファゲートT7が非導通となる。ノードCKがハイレベルであってノードCKBがローレベルの場合、トランスファゲートT5およびトランスファゲートT7が導通し、トランスファゲートT3およびトランスファゲートT9が非導通となる。

[0040] これにより、クロック端子(CK)に入力される内部クロックCKIの1サイクルに応じて、トランスファゲートT3の一端子に入力されたデータが、出力端子(O)から出力される。トランスファゲートT3から、トランスファゲートT7を挟んで構成されている2つのラッチ回路によりシフトレジスタ部を構成している。ここで、トランスファゲートT1とトランスファゲートT3との接続点であるトランスファゲートT3の一端子が第1ノードに相当する。

[0041] トランスファゲートT1は、ノードSWがハイレベルであってノードSWBがローレベルの場合に導通し、ノードSWがローレベルであってノードSWBがハイレベルの場合に非導通となる。

[0042] 切り替え端子(SW)に入力される動作モード信号S/DがハイレベルでありSDRモードを示す場合、入力端子(IN)に入力されるデータ状態先行確定信号RDYOがシフトレジスタ部に入力される。このとき、ナンドゲートD3、D5には、動作モード信号S/Dの反転信号が入力される。ローレベルの信号が入力されることとなり、ナンドゲートD3、D5の出力端子は、共にハイレベルに固定される。トランスファゲートT11、T13は共に非導通となる。ノード(O)およびノード(OB)から、トランスファゲートT3の一端子である第1ノードに戻る径路は切り離される。各々、トランスファゲートT13、T11が非導通であるからである。これにより、データ状態先行確定信号RDYOは、内部クロックCKIの1サイクルの後、出力端子(O)から出力される。この信号がレディ信号RDYである。

[0043] ここで、トランスファゲートT1およびインバータゲートI15、またはトランスファゲートT1、インバータゲートI15、およびデータ状態先行確定信号RDYOを出力する制御回路が第1制御部の一例であり、トランスファゲートT1が第1スイッチ部の一例である。

[0044] また、切り替え端子(SW)に入力される動作モード信号S/DがローレベルでありD

DRモードを示す場合、トランスファゲートT1は非導通であり、入力端子(IN)に入力されるデータ状態先行確定信号RDYOがシフトレジスタ部に入力されることはない。一方、ナンドゲートD3、D5に入力される動作モード信号S/Dの反転信号はハイレベルとなる。データ状態先行確定信号RDYOの同相信号および反転信号が、各々、ナンドゲートD3およびD5に入力され、論理反転されて出力される。

[0045] 従って、データ状態先行確定信号RDYOの論理レベルに応じて、ナンドゲートD3、D5の何れか一方の出力端子がハイレベル、他方がローレベルとなる。ここでは、不図示の制御回路により、初期レイテンシがカウントされるクロックエッジの2(図4)または1(図6)エッジ前の外部クロックCLKに応じて、データ状態先行確定信号RDYOがハイレベルに遷移するものとする。読み出しデータの内部的な前処理が完了したことに応じて、データ状態先行確定信号RDYOがハイレベルに遷移する。

[0046] 読み出しデータの内部的な前処理が未完了の期間では、データ状態先行確定信号RDYOはローレベルである。ナンドゲートD3/D5の出力端子が、ハイレベル/ローレベルであり、トランスファゲートT11/T13が非導通/導通する。トランスファゲートT3の一端子である第1ノードはノードOに接続され、ノードOの論理レベルは初期化状態に維持される。この初期化状態は、リセット端子(R)により初期化された論理レベルである。リセット端子(R)に入力される起動信号AVDがハイレベルパルス信号となることにより、ノードOはローレベルに初期化される。データ状態先行確定信号RDYOがローレベルの期間には、出力端子(O)はローレベルに固定される。

[0047] 読み出しデータの内部的な前処理が完了すると、データ状態先行確定信号RDYOはハイレベルとなる。ナンドゲートD3/D5の出力端子が、ローレベル/ハイレベルに反転し、トランスファゲートT11/T13が導通/非導通に反転する。トランスファゲートT3の一端子である第1ノードはノードOBに接続される。ノードOBは出力端子(O)(ノードO)の反転論理レベルを出力するノードである。このため、出力端子(O)からは、内部クロックCKIのクロックサイクルごとに論理レベルが反転するトグル信号が出力される。出力端子(O)から出力される信号は、データDQの出力に同期したストロブ信号DQSとなる。

[0048] ここで、トランスファゲートT11、ナンドゲートD3、インバータゲートI7、およびインバ

ータゲートI15が第2制御部の一例である。また、トランスファゲートT11が第2スイッチ部の一例であり、インバータゲートI3が論理反転部の一例である。また、トランスファゲートT13が第3スイッチ部の一例である。

[0049] 動作モードに応じて、データ状態信号制御部11における回路構成が適宜に設定され、データ状態報知端子(X)から、レディ信号RDY(SDRモードの場合)、またはストロブ信号DQS(DDRモードの場合)が出力される。

[0050] 動作モードごとの、データ状態信号制御部11の設定状態を説明する図を図3、図5に示し、動作波形を、図4、図6に示す。

[0051] 図3および図4は、SDRモードに設定されている場合である。SDRモードでは、動作モード信号S/Dがハイレベルになることに応じて、Dフリップフロップ回路が構成される。入力端子(IN)がD端子であり、出力端子(O)がQ端子である。クロック端子(CK)に入力される内部クロックCKIごとに、入力端子(IN)に入力されるデータ状態先行確定信号RDYOの論理レベルが出力端子(O)に転送される。

[0052] 図4に示すように、イニシャルレイテンシ(L=4)が継続し、読み出しデータの内部処理が完了した時点(2サイクルの外部クロックCLKの経過後)で、不図示の制御回路により、データ状態先行確定信号RDYOがハイレベルに遷移する。この場合は、イニシャルレイテンシの完了に至る最終クロック(4サイクル目の外部クロックCLK)に対して1サイクル前のサイクル(3サイクル目の外部クロックCLK)で、内部クロックCKIに同期してハイレベルに遷移する。このタイミングが第2タイミングの一例である。このレベル遷移は、次サイクルの内部クロックCKIに同期して出力端子(O)に転送される。これが第1タイミングの一例である。出力端子(O)からレディ信号RDYが出力される。レディ信号RDYが第1信号の一例である。

[0053] これにより、イニシャルレイテンシの完了に至る最終クロックサイクル(4サイクル目の外部クロックCLKのクロックサイクル)において、出力端子(O)からハイレベルの有効フラグRDYが出力される。以後、ハイレベルが継続し、イニシャルレイテンシの計数期間の終了に応じて出力されるデータDQが有効データであることが報知される。

[0054] 図5および図6は、DDRモードに設定されている場合である。DDRモードでは、動作モード信号S/Dがローレベルになることに応じて、Tフリップフロップ回路が構成さ

れる。入力端子(IN)がT端子であり、出力端子(O)がQ端子である。クロック端子(CK)に入力される内部クロックCKIごとに、入力端子(IN)に入力されるデータ状態先行確定信号RDYOの論理レベルがハイレベルの場合に、出力端子(O)からトグル信号が出力される。また、データ状態先行確定信号RDYOがローレベルの場合には、出力端子(O)からの論理レベルは固定される。

[0055] 図6に示すように、イニシャルレイテンシ($L=2$)が継続しており読み出しデータの内部処理が未完了である期間には、不図示の制御回路により、データ状態先行確定信号RDYOがローレベルである。Tフリップフロップ回路は出力端子(O)からは論理レベルが維持された信号が出力される。イニシャルレイテンシの開始時に、ハイレベルの起動信号AVDがリセット端子(R)に入力されることに応じて、出力端子(O)はローレベルに固定される。

[0056] イニシャルレイテンシの完了に至る最終クロックサイクルの前半の半周期(2サイクル目の外部クロックCLKのハイレベル期間)において内部クロックCKIに同期してデータ状態先行確定信号RDYOがハイレベルに遷移する。このタイミングが第2タイミングの一例である。これにより、Tフリップフロップは、2サイクル目の外部クロックCLKのローレベル期間である内部クロックCKIの次サイクルからトグル信号を出力する設定とされる。イニシャルレイテンシの完了に至る最終クロックの後半の半周期(2サイクル目の外部クロックCLKのローレベル期間)において内部クロックCKIに同期して出力端子(O)の論理レベルはハイレベルに反転する。このタイミングが第1タイミングの一例である。以後、内部クロックCKIのクロックサイクルごとに論理レベルが反転するトグル信号が出力され、内部クロックCKIに同期して論理レベルが反転する信号が第1タイミング毎に出力端子(O)からストロブ信号DQSが出力される。ストロブ信号DQSが第2信号の一例である。

尚、メモリセルからのデータ読み出しの内部的な処理のみに応じて、読み出されるデータDQが更新する設計手段をとる場合、最初のデータ出力であるDQ1の出力タイミングは、初期レイテンシよりも先行する任意の時間とすることができる。つまり、図6で示される不確定データ(invalid data)とデータDQ1の切替わり時間は、初期レイテンシの計数期間(レイテンシ0から2の期間)の中にある。これに対してストロブ信

号DQSは、必ずレイテンシ1.5から2の期間の内部クロックCKIの立ち上がりエッジを受けて遷移する。よって、データDQ1のエッジに対してストロブ信号DQSのエッジは非同期のタイミングとなる。

これに対して、図6は、不確定データとデータDQ1の切替わり時間が、レイテンシ1.5から2の期間の内部クロックCKIの立ち上がりエッジを受けて遷移する場合である。

[0057] これにより、高速なデータ転送レートを有するDDRモードにおいて、データの遷移に同期してストロブ信号DQSを出力することができ、コントローラ2において、確実にデータの取り込みを行なうことができる。

[0058] SDRモードにおいて出力されるレディ信号RDYと、DDRモードで出力されるストロブ信号DQSを、動作モードに応じて、兼用のデータ状態報知端子(X)から出力することができる。SDR/DDRモードの切り替え動作を行なうことが可能な同期型記憶装置において、端子を兼用することができ、端子数の増加を抑えることができる。

また、2つ以上の出力信号を切り替える設計概念として、それぞれの出力制御部を備えず、データ状態信号制御部11において最小限の素子数でDフリップフロップ回路の機能とTフリップフロップ回路の機能が実現できるので、ダイサイズ増大の抑制と高速なDDR動作周波数に応答する最適な周波数性能を出すことができる。

[0059] 以上、詳細に説明したように、本実施形態によれば、動作モードごとに異なる内容の信号が、動作モードに応じて同じデータ状態報知端子(X)から出力されることとなり、動作モードごとに異なる専用端子を備える必要はない。端子数の増大を抑制することができる。

[0060] また、動作モードに応じてデータ状態報知端子(X)に出力すべき信号の切り替えを、データの出力が行われるデータ確定エッジに先行するデータ確定エッジに同期して行なうことができる。出力データの状態を報知するデータ情報報知端子(X)からの信号の出力が、実際のデータ出力に遅れることはなく、出力データに対応した信号を的確なタイミングでデータ情報報知端子(X)から出力することができる。

[0061] 尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

すなわち、SDR／DDRモードに応じて、レディ信号RDY／ストロブ信号DQSとを切り替えて、兼用のデータ状態報知端子(X)から出力する場合について説明したが、本発明はこれに限定するものではない。データ状態信号制御部11におけるトランスファゲートT3の一端子である第1ノードに入力される信号の伝播径路を、所定動作条件に応じて切り替える構成としてやれば、同じ端子から、動作条件の違いに応じて、所定論理レベルの信号、または／および所定のトグル信号を、適宜に組み合わせて切り替えることが可能である。この場合、動作条件の違いは2種類である必要はない。3種類以上の動作モードの各々に対応して、接続を切り替えてやれば、動作モードごとの信号を、兼用の端子から出力することができる。

請求の範囲

- [1] 外部クロックの何れか一方のエッジをデータ確定エッジとする第1動作モードと、前記外部クロックの両エッジをデータ確定エッジとする第2動作モードとの動作が可能な記憶装置であって、
- 出力されるデータの状態を報知するデータ状態報知端子と、
- 前記第1動作モードにおいて、データ出力開始時の最初のデータ確定エッジに先行する第1タイミングで、論理レベルが遷移する第1信号を生成し、前記第2動作モードにおいて、データ出力開始以後の個々のデータ確定エッジに先行する第1タイミングごとに、論理レベルがトグルする第2信号を生成して、前記データ状態報知端子に出力するデータ状態信号制御部とを備えることを特徴とする記憶装置。
- [2] 前記第1タイミングとは、前記第1または第2信号が確定するデータ確定エッジと先行するデータ確定エッジとの間のタイミングであることを特徴とする請求項1に記載の記憶装置。
- [3] 前記第1タイミングとは、前記先行するデータ確定エッジに同期するタイミングであることを特徴とする請求項2に記載の記憶装置。
- [4] 前記第2動作モードにおいて、前期データ確定エッジに先立ってデータの論理レベルが遷移するデータ遷移タイミングは、前記第2信号の遷移に同期するタイミングであることを特徴とする請求項1に記載の記憶装置。
- [5] 前記データ遷移タイミングのうち最初のデータを出力するタイミングは、前記第2信号がトグルするタイミングとは異なるタイミングであることを特徴とする請求項4に記載の記憶装置。
- [6] 前記第1信号は、出力されるデータが有効であることを報知するデータ有効フラグであり、前記第2信号は、出力されるデータのストロブ信号であることを特徴とする請求項1に記載の記憶装置。
- [7] 前記データ状態信号制御部は、
- 第1ノードの信号を、前記第1タイミングで、前記データ状態報知端子に転送するシフトレジスタ部と、
- 前記第1動作モードにおいて、前記第1タイミングに先行する第2タイミングで、前記

第1ノードを、前記第1信号として生成される前記論理レベルに設定する第1制御部と、

前記第2動作モードにおいて、前記第1タイミングに先行する第2タイミングで、前記第1ノードを、前記データ状態報知端子の信号の反転信号に設定する第2制御部とを備えることを特徴とする請求項1に記載の記憶装置。

[8] 前記第2タイミングとは、前記第1タイミングに先行するデータ確定エッジと更に先行するデータ確定エッジとの間のタイミングであることを特徴とする請求項7に記載の記憶装置。

[9] 前記第2タイミングとは、前記更に先行するデータ確定エッジに同期するタイミングであることを特徴とする請求項8に記載の記憶装置。

[10] 前記データ確定エッジに同期する内部クロックを有し、
前記第1および第2タイミングは、前記内部クロックに同期するタイミングであることを特徴とする請求項7に記載の記憶装置。

[11] 前記第1制御部は、
一方の端子が前記第1ノードに接続され、他方の端子に前記第1信号として生成される前記論理レベルの信号が入力される第1スイッチ部を備えることを特徴とする請求項7に記載の記憶装置。

[12] 前記第1スイッチ部は、前記第1動作モードにおいて導通状態とされ、
前記第1スイッチ部の他方の端子には、前記第2タイミングに先行するデータ確定エッジの後、前記第2タイミングに応じた期間までに、前記論理レベルの信号が入力されることを特徴とする請求項11に記載の記憶装置。

[13] 前記第1スイッチ部は、前記第2タイミングに先行するデータ確定エッジの後、前記第2タイミングに応じた期間までに、導通状態とされることを特徴とする請求項11に記載の記憶装置。

[14] 前記第2制御部は、
一方の端子が前記第1ノードに接続される第2スイッチ部と、
入力端子が前記データ状態報知端子に接続され、出力端子が前記第2スイッチ部の他方の端子に接続される論理反転部とを備えることを特徴とする請求項7に記載の

記憶装置。

- [15] 前記第2スイッチ部は、前記第2タイミングに先行するデータ確定エッジの後、前記第2タイミングに応じた期間までに、導通状態とされることを特徴とする請求項14に記載の記憶装置。
- [16] 前記第2制御部は、
一方の端子が前記第1ノードに接続され、他方の端子が前記データ状態報知端子に接続される第3スイッチ部を、更に備え、
前記第2動作モードにおいて、前記第2タイミングに先行するデータ確定エッジに応じた期間まで、導通状態とされることを特徴とする請求項14に記載の記憶装置。
- [17] 外部クロックの何れか一方のエッジをデータ確定エッジとする第1動作モードと、前記外部クロックの両エッジをデータ確定エッジとする第2動作モードとの動作が可能な記憶装置の制御方法であって、
前記第1動作モードにおいて、データ出力開始時の最初のデータ確定エッジに先行する第1タイミングで、論理レベルが遷移する第1信号を生成するステップと、
前記第2動作モードにおいて、データ出力開始以後の個々のデータ確定エッジに先行する第1タイミングごとに、論理レベルがトグルする第2信号を生成するステップと、
前記第1信号を生成するステップ、または前記第2信号を生成するステップの何れか一方を選択し、データ状態報知端子より前記第1または第2信号を出力するステップとを有することを特徴とする記憶装置の制御方法。
- [18] 前記第1タイミングとは、前記第1または第2信号が確定するデータ確定エッジと先行するデータ確定エッジとの間のタイミングであることを特徴とする請求項17に記載の記憶装置の制御方法。
- [19] 前記第1タイミングとは、前記先行するデータ確定エッジに同期するタイミングであることを特徴とする請求項18に記載の記憶装置の制御方法。
- [20] 前記第1信号は、出力されるデータが有効であることを報知するデータ有効フラグであり、前記第2信号は、出力されるデータのストロブ信号であることを特徴とする請求項17に記載の記憶装置の制御方法。
- [21] 前記第1、第2信号を生成するステップ、および前記データ状態報知端子より出力

するステップには、

前記第1タイミングで、信号をデータ状態報知端子に転送するステップと、

前記第1動作モードにおいて、前記第1タイミングに先行する第2タイミングで、転送される信号を、前記第1信号として出力される前記論理レベルとするステップと、

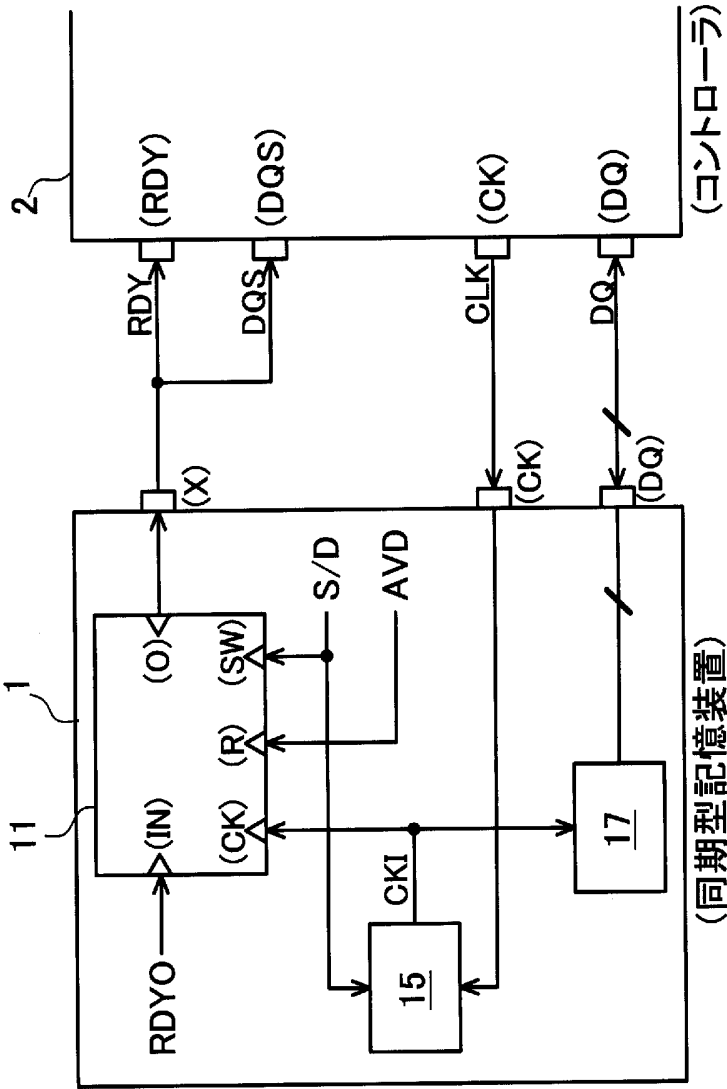
前記第2動作モードにおいて、前記第1タイミングに先行する第2タイミングで、転送される信号を、前記データ状態報知端子の信号の反転信号とするステップとを含むことを特徴とする請求項17に記載の記憶装置の制御方法。

[22] 前記第2タイミングとは、前記第1タイミングに先行するデータ確定エッジと更に先行するデータ確定エッジとの間のタイミングであることを特徴とする請求項21に記載の記憶装置の制御方法。

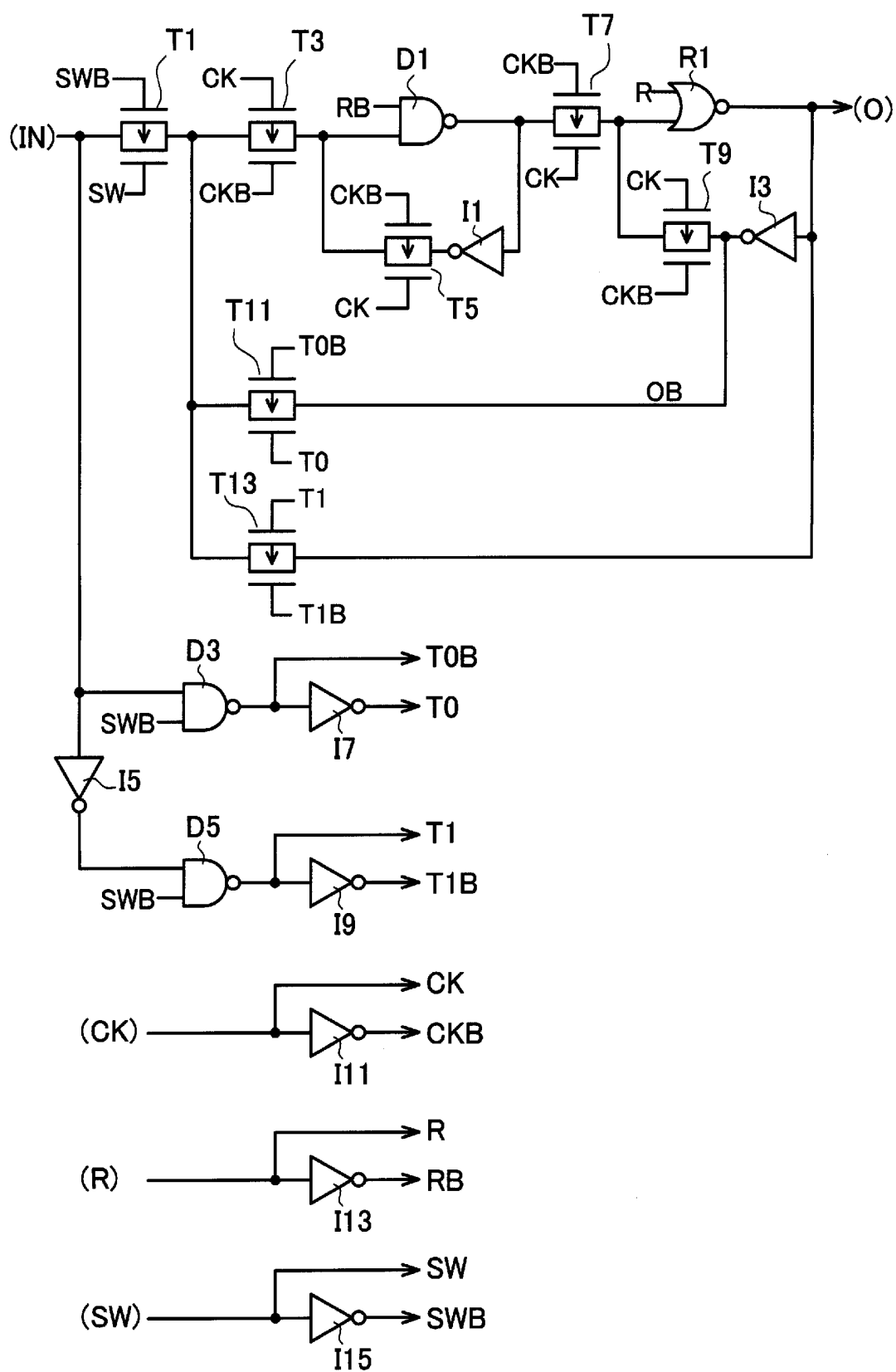
[23] 前記第2タイミングとは、前記更に先行するデータ確定エッジに同期するタイミングであることを特徴とする請求項22に記載の記憶装置の制御方法。

[24] 前記データ確定エッジに同期する内部クロックを有し、
前記第1および第2タイミングは、前記内部クロックに同期するタイミングであることを特徴とする請求項21に記載の記憶装置の制御方法。

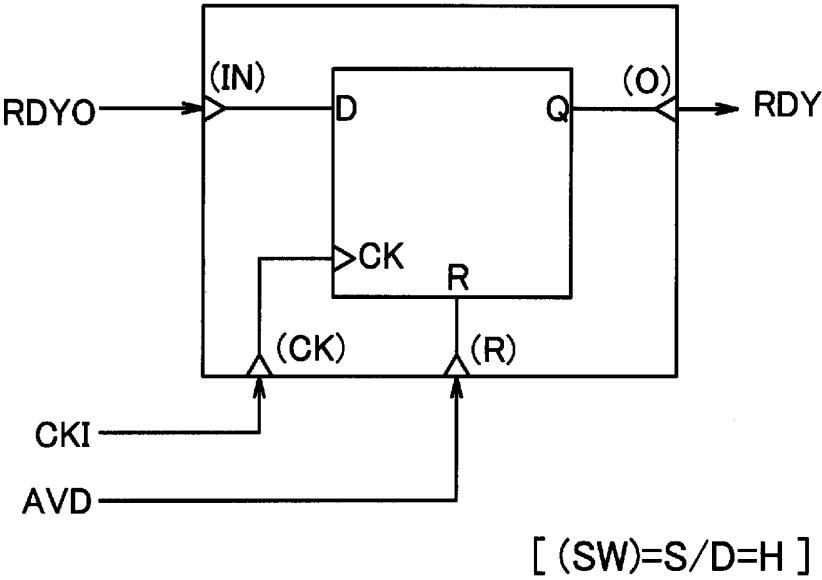
[図1]



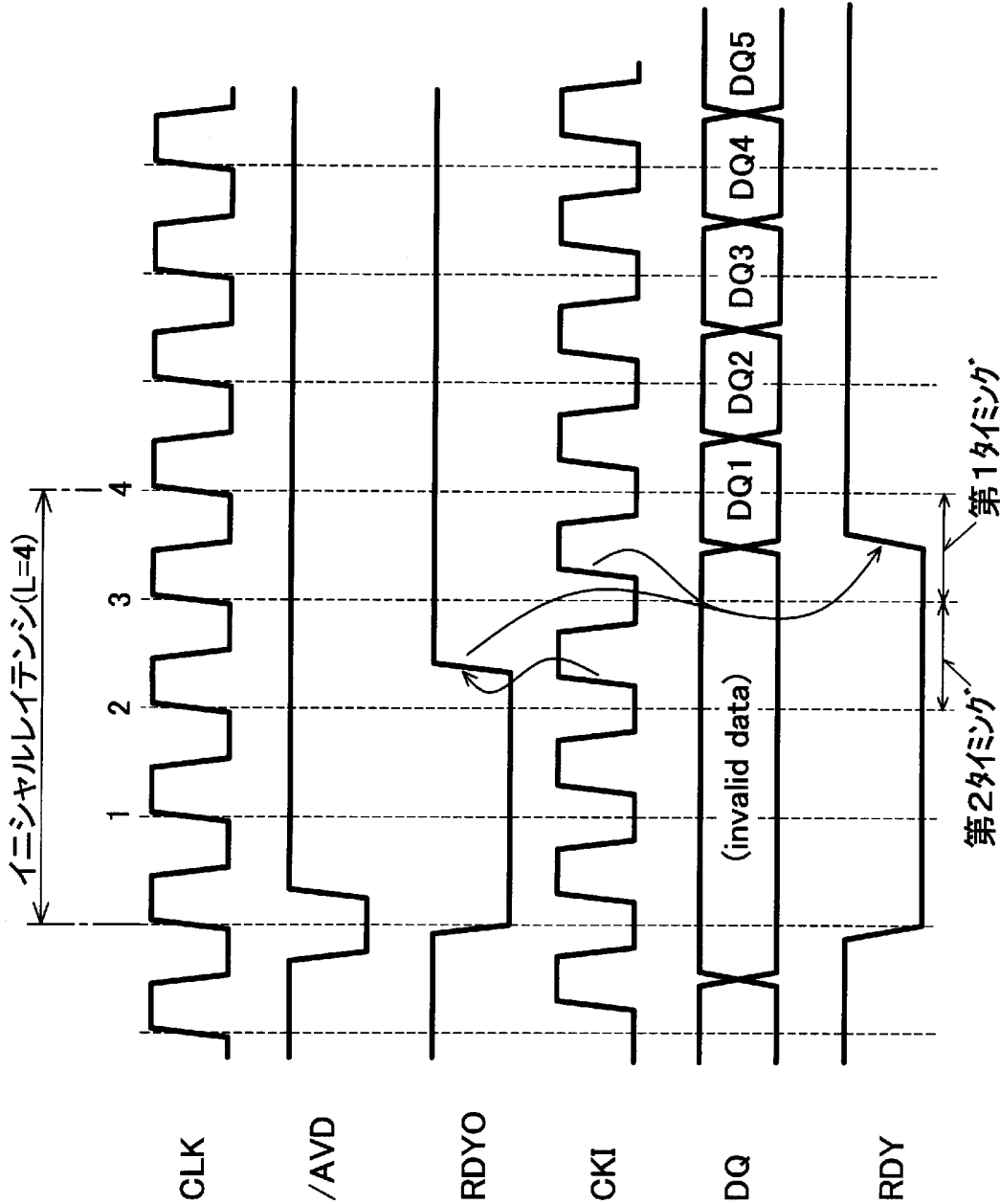
[図2]



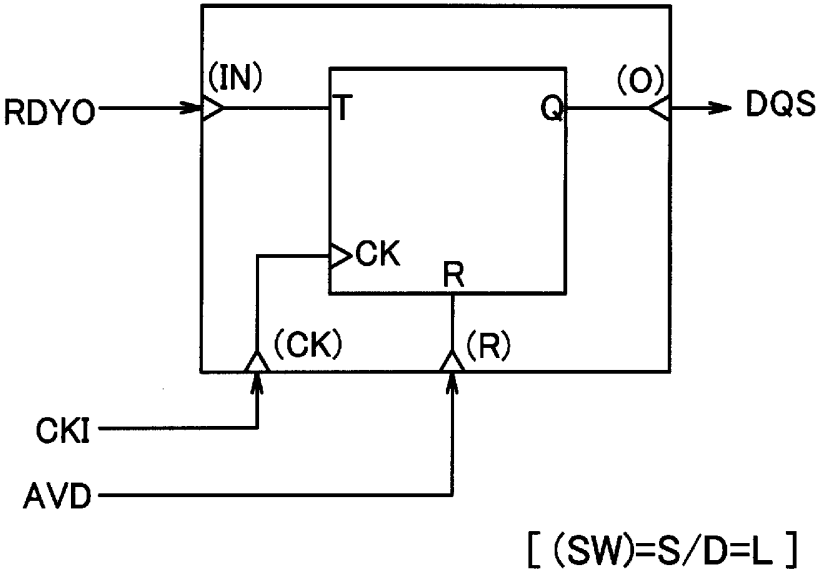
[図3]



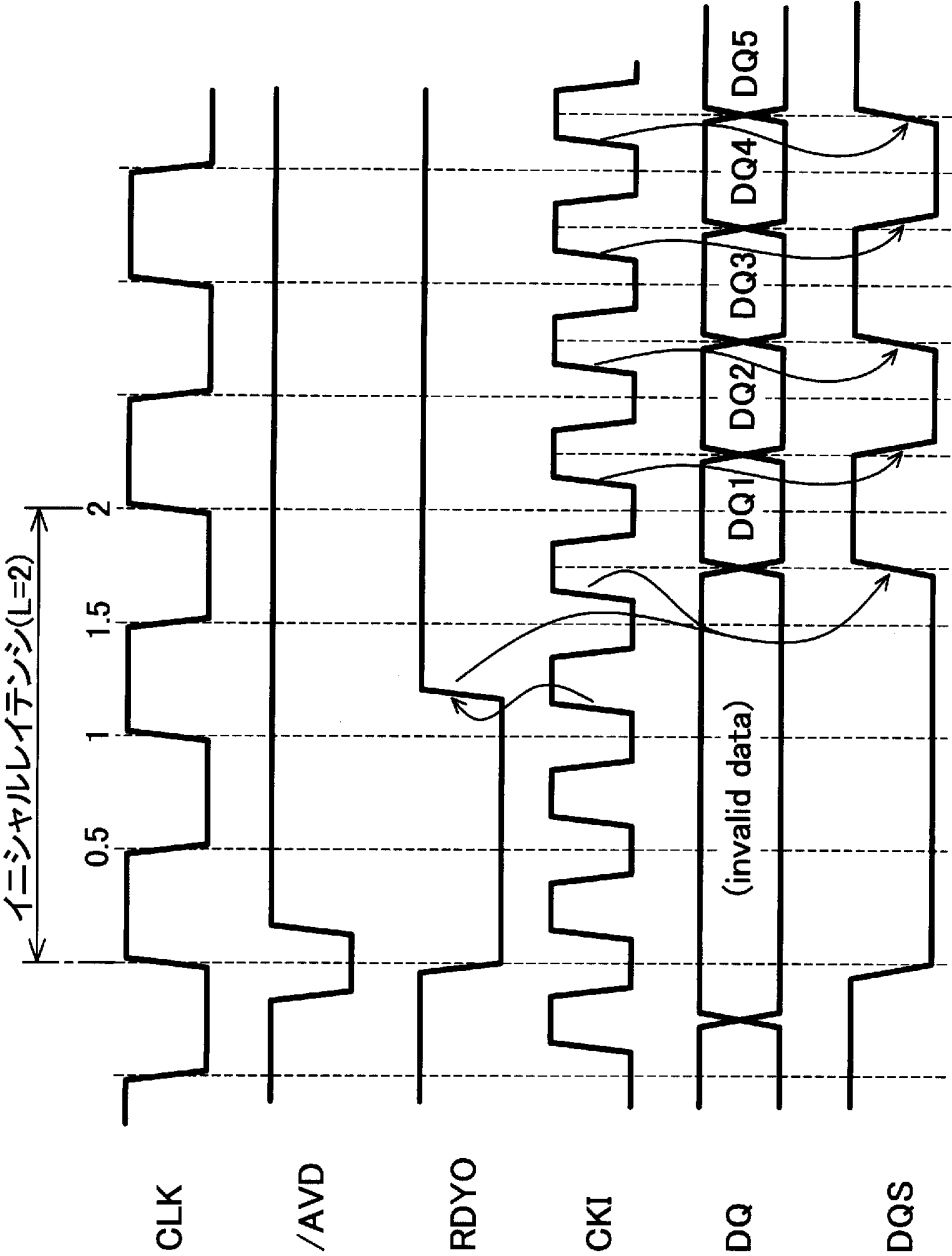
[図4]



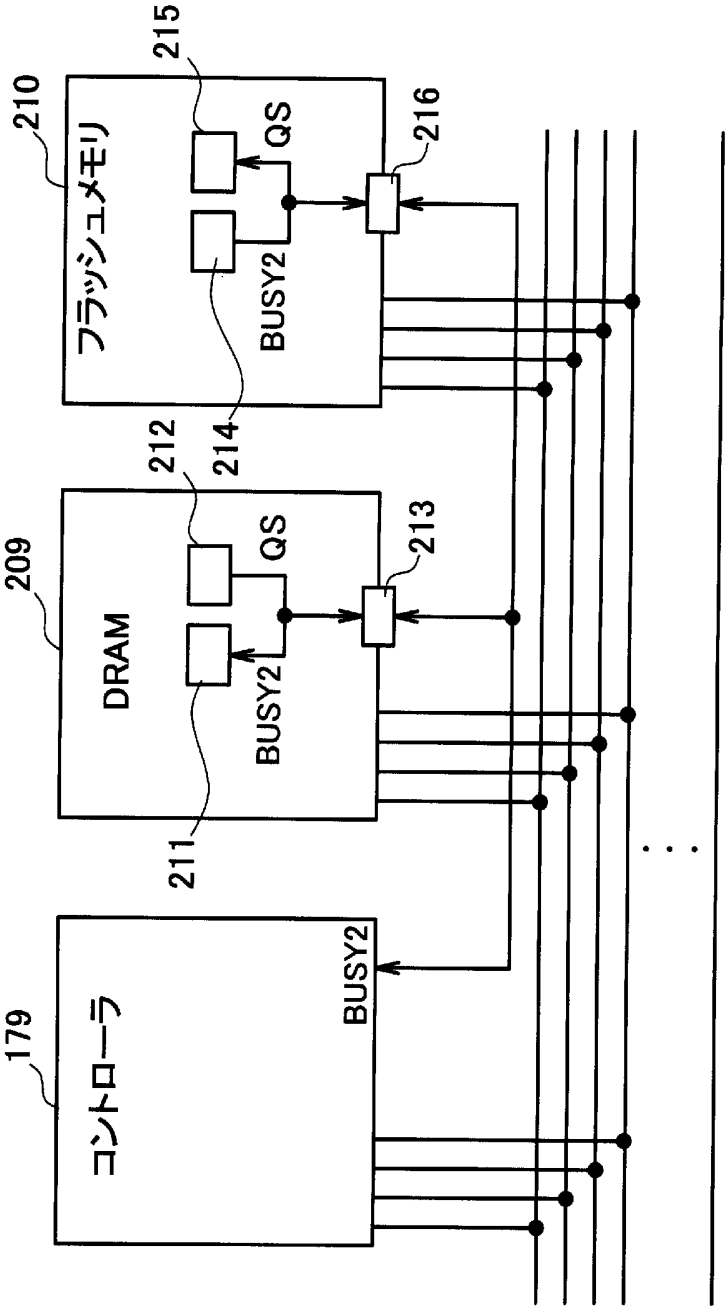
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001094

A. CLASSIFICATION OF SUBJECT MATTER

G11C11/407(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/407(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-103061 A (Kabushiki Kaisha Runesasu Tekunoroji), 02 April, 2004 (02.04.04), Full text; all drawings & US 2004/047220 A1 & KR 2004/022379 A	1-24
A	JP 2004-206832 A (Fujitsu Ltd.), 22 July, 2004 (22.07.04), Full text; all drawings & US 2005/117446 A1 & WO 2004/061860 A1	1-24
A	JP 2001-283587 A (Enhanced Memory Systems, Inc.), 12 October, 2001 (12.10.01), Full text; all drawings & US 6151236 A & EP 1130603 A2	1-24

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 October, 2005 (25.10.05)

Date of mailing of the international search report
01 November, 2005 (01.11.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001094

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-67577 A (Mitsubishi Electric Corp.), 03 March, 2000 (03.03.00), Full text; all drawings & US 6337832 B1 & US 2002/064072 A1 & US 2003/103407 A1	1-24
A	JP 10-334659 A (Mitsubishi Electric Corp.), 18 December, 1998 (18.12.98), Par. Nos. [0197] to [0210]; Figs. 31 to 36 & US 5892730 A	1-24
A	JP 11-213668 A (Samsung Electronics Co., Ltd.), 06 August, 1999 (06.08.99), Full text; all drawings & US 6151271 A & KR 99066271 A	1-24

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ **G11C11/407** (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ **G11C11/407** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-103061 A(株式会社ルネサステクノロジ)2004.04.02, 全文, 全図 & US 2004/047220 A1 & KR 2004/022379 A	1-24
A	JP 2004-206832 A(富士通株式会社)2004.07.22, 全文, 全図 & US 2005/117446 A1 & WO 2004/061860 A1	1-24

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

25.10.2005

国際調査報告の発送日

01.11.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀田 和義

5N

8840

電話番号 03-3581-1101 内線 3585

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-283587 A (エンハンスド・メモリー・システムズ・インコーポレーテッド) 2001. 10. 12, 全文, 全図 & US 6151236 A & EP 1130603 A2	1-24
A	JP 2000-67577 A(三菱電機株式会社) 2000. 03. 03, 全文, 全図 & US 6337832 B1 & US 2002/064072 A1 & US 2003/103407 A1	1-24
A	JP 10-334659 A(三菱電機株式会社) 1998. 12. 18, 段落【0197】 - 【0210】, 第 31-36 図 & US 5892730 A	1-24
A	JP 11-213668 A(三星株式会社) 1999. 08. 06, 全文, 全図 & US 6151271 A & KR 99066271 A	1-24