

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成29年3月9日(2017.3.9)

【公開番号】特開2016-81981(P2016-81981A)

【公開日】平成28年5月16日(2016.5.16)

【年通号数】公開・登録公報2016-029

【出願番号】特願2014-209618(P2014-209618)

【国際特許分類】

H 01 L	29/06	(2006.01)
H 01 L	29/12	(2006.01)
H 01 L	29/78	(2006.01)
H 01 L	29/861	(2006.01)
H 01 L	29/868	(2006.01)
H 01 L	21/329	(2006.01)
H 01 L	21/336	(2006.01)

【F I】

H 01 L	29/06	3 0 1 D
H 01 L	29/78	6 5 2 T
H 01 L	29/78	6 5 2 P
H 01 L	29/06	3 0 1 G
H 01 L	29/06	3 0 1 V
H 01 L	29/91	D
H 01 L	29/91	B
H 01 L	29/91	F
H 01 L	29/78	6 5 8 J

【手続補正書】

【提出日】平成29年2月2日(2017.2.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体SiCからなり、アクティブ領域の周囲にターミネーション領域を有し、前記ターミネーション領域の表面上がパッシベーション膜によって覆われる半導体装置において、

前記パッシベーション膜は、

前記ターミネーション領域の表面に接する第1酸化シリコン膜と、

前記第1酸化シリコン膜上に積層され、前記第1酸化シリコン膜に接する第2酸化シリコン膜と、

前記第2酸化シリコン膜上に積層され、前記第2酸化シリコン膜に接する第3酸化シリコン膜と、

を備えることを特徴とする半導体装置。

【請求項2】

請求項1において、前記第1酸化シリコン膜は熱酸化シリコン膜であり、前記第2および第3酸化シリコン膜はCVD酸化シリコン膜であることを特徴とする半導体装置。

【請求項3】

請求項 2において、前記第1酸化シリコン膜を構成する前記熱酸化シリコン膜は、犠牲酸化膜であることを特徴とする半導体装置。

【請求項4】

請求項1において、前記パッシベーション膜を構成する無機質の膜が、前記第1ないし第3酸化シリコン膜のみであることを特徴とする半導体装置。

【請求項5】

請求項1において、前記ターミネーション領域はJTE構造を有することを特徴とする半導体装置。

【請求項6】

請求項1において、前記ターミネーション領域はFLR構造を有することを特徴とする半導体装置。

【請求項7】

半導体SiCからなり、アクティブ領域の周囲にターミネーション領域を有し、前記ターミネーション領域の表面上がパッシベーション膜によって覆われる半導体装置の製造方法において、

熱酸化によって半導体表面に犠牲酸化膜を形成する第1工程と、

前記第1工程で形成される前記犠牲酸化膜によって前記ターミネーション領域上に、前記パッシベーション膜を構成する第1酸化シリコン膜を形成する第2工程と、

前記第2工程で形成される前記第1酸化シリコン膜上に、CVDにより、前記パッシベーション膜を構成する第2酸化シリコン膜を形成する第3工程と、

前記第3工程で形成される前記第2酸化シリコン膜上に、CVDにより、前記パッシベーション膜を構成する第3酸化シリコン膜を形成する第4工程と、
を含むことを特徴とする半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

さらに、図1に示すように、パッシベーション膜6は、n⁻型ドリフト層2の上面において、表面電極8とフローティング電極9の間に位置する。表面電極8とフローティング電極9の各一部は、パッシベーション膜6の表面上に乗り上げるように設けられている。また、パッシベーション膜6は、p⁺型ガードリング領域3の端部の表面上、p型JTE領域4の表面上、p型JTE領域4とn⁺型フィールドストップ領域5の間に介在するn⁻型ドリフト層2の表面上およびn⁺型フィールドストップ領域5の端部の表面上に跨って、これら表面上を覆うように設けられる。すなわち、本実施例において、パッシベーション膜6は、p⁺型ガードリング領域3の一部の直上からn⁺型フィールドストップ領域5の一部の直上にかけて設けられ、ターミネーション領域におけるp型JTE領域4の表面全体、およびp型JTE領域4とn⁺型フィールドストップ領域5の間に介在するn⁻型ドリフト層2の表面全体を覆っている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正の内容】

【0039】

図2に示すように、パッシベーション膜6は、実施例1と同様に、熱酸化シリコン膜6aおよび熱酸化シリコン膜6a上に順次積層される二層のCVD酸化シリコン膜6b、6cからなる。このようなパッシベーション膜6は、n⁻型ドリフト層2の上面において、表面電極8とフローティング電極9の間に位置する。表面電極8とフローティング電極9

の各一部は、パッシベーション膜6の表面上に乗り上げるように設けられている。また、パッシベーション膜6は、p⁺型ガードリング領域3の端部の表面上、4個のp型FLR領域10の表面上、p⁺型ガードリング領域3とこれに近接するp型FLR領域10の間に介在するn⁻型ドリフト層2の表面上、互いに近接する2個のp型FLR領域10の間に介在するn⁻型ドリフト層2の表面上、n⁺型フィールドストップ領域5とこれに近接するp型FLR領域10の間に介在するおよびn⁻型ドリフト層2の表面上、n⁺型フィールドストップ領域5の端部の表面上に跨って、これら表面上を覆うように設けられる。すなわち、本実施例において、パッシベーション膜6は、p⁺型ガードリング領域3の一部の直上からn⁺型フィールドストップ領域5の一部の直上にかけて設けられ、ターミネーション領域における4個のp型FLR領域10の表面全体、p⁺型ガードリング領域3とこれに近接するp型FLR領域10の間に介在するn⁻型ドリフト層2の表面全体、互いに近接する2個のp型FLR領域10の間に介在するn⁻型ドリフト層2の表面全体、およびn⁺型フィールドストップ領域5とこれに近接するp型FLR領域10の間に介在するn⁻型ドリフト層2の表面全体を覆っている。