

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成29年3月9日 (2017.3.9)

【公開番号】特開2016-81981(P2016-81981A)

【公開日】平成28年5月16日 (2016.5.16)

【年通号数】公開・登録公報2016-029

【出願番号】特願2014-209618(P2014-209618)

【国際特許分類】

H 0 1 L 29/06 (2006.01)

H 0 1 L 29/12 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/861 (2006.01)

H 0 1 L 29/868 (2006.01)

H 0 1 L 21/329 (2006.01)

H 0 1 L 21/336 (2006.01)

【F I】

H 0 1 L 29/06 3 0 1 D

H 0 1 L 29/78 6 5 2 T

H 0 1 L 29/78 6 5 2 P

H 0 1 L 29/06 3 0 1 G

H 0 1 L 29/06 3 0 1 V

H 0 1 L 29/91 D

H 0 1 L 29/91 B

H 0 1 L 29/91 F

H 0 1 L 29/78 6 5 8 J

【手続補正書】

【提出日】平成29年2月2日 (2017.2.2)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体 S i C からなり、アクティブ領域の周囲にターミネーション領域を有し、前記ターミネーション領域の表面上がパッシベーション膜によって覆われる半導体装置において、

前記パッシベーション膜は、

前記ターミネーション領域の表面に接する第 1 酸化シリコン膜と、

前記第 1 酸化シリコン膜上に積層され、前記第 1 酸化シリコン膜に接する第 2 酸化シリコン膜と、

前記第 2 酸化シリコン膜上に積層され、前記第 2 酸化シリコン膜に接する第 3 酸化シリコン膜と、

を備えることを特徴とする半導体装置。

【請求項 2】

請求項 1 において、前記第 1 酸化シリコン膜は熱酸化シリコン膜であり、前記第 2 および第 3 酸化シリコン膜は C V D 酸化シリコン膜であることを特徴とする半導体装置。

【請求項 3】

請求項 2 において、前記第 1 酸化シリコン膜を構成する前記熱酸化シリコン膜は、犠牲酸化膜であることを特徴とする半導体装置。

【請求項 4】

請求項 1 において、前記パッシベーション膜を構成する無機質の膜が、前記第 1 ないし第 3 酸化シリコン膜のみであることを特徴とする半導体装置。

【請求項 5】

請求項 1 において、前記ターミネーション領域は J T E 構造を有することを特徴とする半導体装置。

【請求項 6】

請求項 1 において、前記ターミネーション領域は F L R 構造を有することを特徴とする半導体装置。

【請求項 7】

半導体 S i C からなり、アクティブ領域の周囲にターミネーション領域を有し、前記ターミネーション領域の表面上がパッシベーション膜によって覆われる半導体装置の製造方法において、

熱酸化によって半導体表面に犠牲酸化膜を形成する第 1 工程と、

前記第 1 工程で形成される前記犠牲酸化膜によって前記ターミネーション領域上に、前記パッシベーション膜を構成する第 1 酸化シリコン膜を形成する第 2 工程と、

前記第 2 工程で形成される前記第 1 酸化シリコン膜上に、C V D により、前記パッシベーション膜を構成する第 2 酸化シリコン膜を形成する第 3 工程と、

前記第 3 工程で形成される前記第 2 酸化シリコン膜上に、C V D により、前記パッシベーション膜を構成する第 3 酸化シリコン膜を形成する第 4 工程と、
を含むことを特徴とする半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 6

【補正方法】変更

【補正の内容】

【0 0 2 6】

さらに、図 1 に示すように、パッシベーション膜 6 は、 n^- 型ドリフト層 2 の上面において、表面電極 8 とフローティング電極 9 の間に位置する。表面電極 8 とフローティング電極 9 の各一部は、パッシベーション膜 6 の表面上に乗り上げるように設けられている。また、パッシベーション膜 6 は、 p^+ 型ガードリング領域 3 の端部の表面上、 p 型 J T E 領域 4 の表面上、 p 型 J T E 領域 4 と n^+ 型フィールドストップ領域 5 の間に介在する n^- 型ドリフト層 2 の表面上および n^+ 型フィールドストップ領域 5 の端部の表面上に跨って、これら表面上を覆うように設けられる。すなわち、本実施例において、パッシベーション膜 6 は、 p^+ 型ガードリング領域 3 の一部の直上から n^+ 型フィールドストップ領域 5 の一部の直上にかけて設けられ、ターミネーション領域における p 型 J T E 領域 4 の表面全体、および p 型 J T E 領域 4 と n^+ 型フィールドストップ領域 5 の間に介在する n^- 型ドリフト層 2 の表面全体を覆っている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 9

【補正方法】変更

【補正の内容】

【0 0 3 9】

図 2 に示すように、パッシベーション膜 6 は、実施例 1 と同様に、熱酸化シリコン膜 6 a および熱酸化シリコン膜 6 a 上に順次積層される二層の C V D 酸化シリコン膜 6 b , 6 c からなる。このようなパッシベーション膜 6 は、 n^- 型ドリフト層 2 の上面において、表面電極 8 とフローティング電極 9 の間に位置する。表面電極 8 とフローティング電極 9

の各一部は、パッシベーション膜 6 の表面上に乗り上げるように設けられている。また、パッシベーション膜 6 は、 p^+ 型ガードリング領域 3 の端部の表面上，4 個の p 型 F L R 領域 1 0 の表面上， p^+ 型ガードリング領域 3 とこれに近接する p 型 F L R 領域 1 0 の間に介在する n^- 型ドリフト層 2 の表面上，互いに近接する 2 個の p 型 F L R 領域 1 0 の間に介在する n^- 型ドリフト層 2 の表面上， n^+ 型フィールドストップ領域 5 とこれに近接する p 型 F L R 領域 1 0 の間に介在するおよび n^- 型ドリフト層 2 の表面上， n^+ 型フィールドストップ領域 5 の端部の表面上に跨って、これら表面上を覆うように設けられる。すなわち、本実施例において、パッシベーション膜 6 は、 p^+ 型ガードリング領域 3 の一部の直上から n^+ 型フィールドストップ領域 5 の一部の直上にかけて設けられ、ターミネーション領域における 4 個の p 型 F L R 領域 1 0 の表面全体， p^+ 型ガードリング領域 3 とこれに近接する p 型 F L R 領域 1 0 の間に介在する n^- 型ドリフト層 2 の表面全体，互いに近接する 2 個の p 型 F L R 領域 1 0 の間に介在する n^- 型ドリフト層 2 の表面全体、および n^+ 型フィールドストップ領域 5 とこれに近接する p 型 F L R 領域 1 0 の間に介在する n^- 型ドリフト層 2 の表面全体を覆っている。