(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0010589
(43) 공개일자 2025년01월21일

(51) 국제특허분류(Int. Cl.)
G06F 1/3287 (2019.01) *G06F 1/3228* (2019.01)
G06F 1/3234 (2019.01) *G06T 1/20* (2018.01)
(52) CPC특허분류
G06F 1/3287 (2019.01)
G06F 1/3228 (2019.01)
(21) 출원번호 10-2024-7035984
(22) 출원일자(국제) 2023년05월09일
심사청구일자 없음
(85) 번역문제출일자 2024년10월28일
(86) 국제출원번호 PCT/US2023/021587
(87) 국제공개번호 WO 2023/224843
국제공개일자 2023년11월23일
(30) 우선권주장
17/663,637 2022년05월16일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
케미세티 라제쉬
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
테자스위 푸라남 브이지
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
아그라왈 카말
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인코리아나

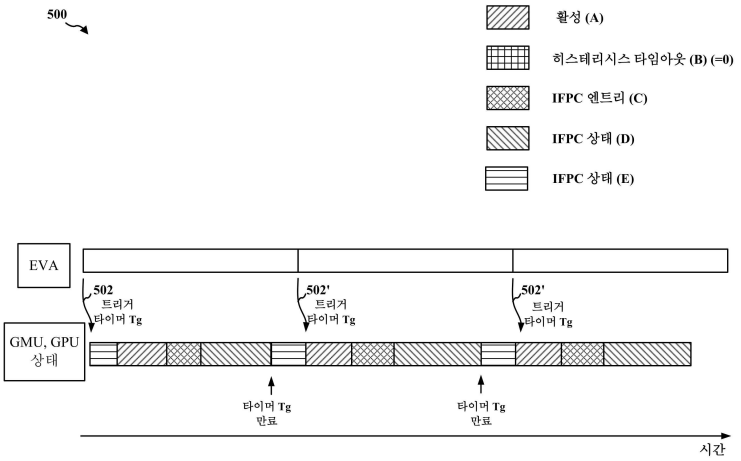
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 **XR 워크로드의 전력 및 성능을 최적화하는 기술**

(57) 요 약

본 개시는 XR 워크로드들의 전력 및 성능을 최적화하기 위한, 저장 매체 상에 인코딩된 컴퓨터 프로그램들을 포함하는 시스템들, 디바이스들, 장치, 및 방법들을 제공한다. 그래픽 프로세서는 애플리케이션으로부터, IFPC 상태를 종료하는 것과 연관된 타이머에 대한 시간 기간의 표시를 수신할 수 있다. 그래픽 프로세서는, IFPC 상태를 종료하는 것과 연관된 타이머를 트리거할 때, 하나 이상의 미리 정의된 워크로드들을 처리할 수도 있다. 그래픽 프로세서는 하나 이상의 미리 정의된 워크로드들이 프로세싱을 종료할 때 IFPC 상태를 개시할 수 있다. 그래픽 프로세서는 타이머의 만료가 검출되면 IFPC 상태를 종료할 수 있다.

대 표 도 - 도5



(52) CPC특허분류
G06F 1/3234 (2019.01)
G06T 1/20 (2013.01)
Y02D 10/00 (2020.08)

명 세 서

청구범위

청구항 1

그래픽 프로세싱을 위한 장치로서,

메모리; 및

상기 메모리에 결합된 적어도 하나의 프로세서를 포함하고, 상기 적어도 하나의 프로세서는,

애플리케이션으로부터, IFPC(inter-frame power collapse) 상태를 종료하는 것과 연관된 타이머에 대한 시간 기간의 표시를 수신하고;

상기 IFPC 상태를 종료하는 것과 연관된 상기 타이머를 트리거할 때, 하나 이상의 미리 정의된 워크로드를 처리하고;

상기 하나 이상의 미리 정의된 워크로드가 처리 완료될 때 상기 IFPC 상태를 시작하고; 그리고

상기 타이머의 만료가 검출되면 상기 IFPC 상태를 종료하도록 구성되는, 그래픽 프로세싱을 위한 장치.

청구항 2

제1항에 있어서, 상기 적어도 하나의 프로세서는 또한,

상기 하나 이상의 미리 정의된 워크로드의 처리를 시작하는 제1 표시를 수신하고;

상기 제1 표시의 수신시에, 상기 타이머를 트리거하고; 그리고

상기 타이머의 만료를 검출하도록 구성되는, 그래픽 프로세싱을 위한 장치.

청구항 3

제2항에 있어서, 상기 하나 이상의 미리 정의된 워크로드는 하나 이상의 LSR(late stage reprojection) 워크로드인, 그래픽 프로세싱을 위한 장치.

청구항 4

제2항에 있어서, 상기 제1 표시는 IPCC(inter-processor communication controller) 인터럽트인, 그래픽 프로세싱을 위한 장치.

청구항 5

제2항에 있어서, 상기 제1 표시는 스케줄러, 상기 애플리케이션, 또는 서비스 계층 중 적어도 하나로부터 수신되는, 그래픽 프로세싱을 위한 장치.

청구항 6

제2항에 있어서, 상기 하나 이상의 미리 정의된 워크로드는, XR(extended reality) 애플리케이션, AR(augmented reality) 애플리케이션, 또는 VR(virtual reality) 애플리케이션 중 적어도 하나와 연관되는, 그래픽 프로세싱을 위한 장치.

청구항 7

제2항에 있어서, 상기 적어도 하나의 프로세서는 또한,

상기 하나 이상의 미리 정의된 워크로드의 처리를 시작하는 제2 표시를 수신하도록 구성되는, 그래픽 프로세싱을 위한 장치.

청구항 8

제1항에 있어서, 상기 적어도 하나의 프로세서는 또한 GPU(graphics processing unit)에서 상기 IFPC 상태를 종료하도록 구성되는, 그래픽 프로세싱을 위한 장치.

청구항 9

제1항에 있어서, 상기 타이머에 대한 시간 기간은 추가로, IFPC 종료 레이턴시에 적어도 부분적으로 기초하는, 그래픽 프로세싱을 위한 장치.

청구항 10

제1항에 있어서, 상기 타이머와 연관된 제1 기간 내의 히스테리시스 타임아웃은 0인, 그래픽 프로세싱을 위한 장치.

청구항 11

제1항에 있어서, 상기 장치는 무선 통신 디바이스인, 그래픽 프로세싱을 위한 장치.

청구항 12

그래픽 프로세싱 방법으로서,

애플리케이션으로부터, IFPC 상태를 종료하는 것과 연관된 타이머에 대한 시간 기간의 표시를 수신하는 단계;

상기 IFPC 상태를 종료하는 것과 연관된 상기 타이머를 트리거할 때, 하나 이상의 미리 정의된 워크로드를 처리하는 단계;

상기 하나 이상의 미리 정의된 워크로드가 처리될 때 상기 IFPC 상태를 시작하는 단계; 및

상기 타이머의 만료가 검출되면 상기 IFPC 상태를 종료하는 단계를 포함하는, 그래픽 프로세싱 방법.

청구항 13

제12항에 있어서, 추가로

상기 하나 이상의 미리 정의된 워크로드의 처리를 시작하는 제1 표시를 수신하는 단계;

상기 제1 표시의 수신시에, 상기 타이머를 트리거하는 단계; 및

상기 타이머의 만료를 검출하는 단계를 포함하는, 그래픽 프로세싱 방법.

청구항 14

제13항에 있어서, 상기 하나 이상의 미리 정의된 워크로드는 하나 이상의 LSR 워크로드인, 그래픽 프로세싱 방법.

청구항 15

제13항에 있어서, 상기 제1 표시는 IPCC 인터럽트인, 그래픽 프로세싱 방법.

청구항 16

제13항에 있어서, 상기 제1 표시는 스케줄러, 상기 애플리케이션, 또는 서비스 계층 중 적어도 하나로부터 수신되는, 그래픽 프로세싱 방법.

청구항 17

제13항에 있어서, 상기 하나 이상의 미리 정의된 워크로드는, XR(extended reality) 애플리케이션, AR(augmented reality) 애플리케이션, 또는 VR(virtual reality) 애플리케이션 중 적어도 하나와 연관되는, 그래픽 프로세싱 방법.

청구항 18

제13항에 있어서, 추가로

상기 하나 이상의 미리 정의된 워크로드의 처리를 시작하는 제2 표시를 수신하는 단계를 포함하는, 그래픽 프로세싱 방법.

청구항 19

제12항에 있어서, 상기 타이머의 만료의 검출시에 상기 IFPC 상태를 종료하는 단계는 그래픽 프로세싱 유닛(GPU)에서 상기 IFPC 상태를 종료하는 단계를 더 포함하는, 그래픽 프로세싱 방법.

청구항 20

제12항에 있어서, 상기 타이머에 대한 시간 기간은 추가로, IFPC 종료 레이턴시에 적어도 부분적으로 기초하는, 그래픽 프로세싱 방법.

청구항 21

제12항에 있어서, 상기 타이머와 연관된 제1 기간 내의 히스테리시스 타임아웃은 0인, 그래픽 프로세싱 방법.

청구항 22

컴퓨터 실행가능 코드를 저장한 컴퓨터 판독가능 저장 매체로서, 상기 코드는, 적어도 하나의 프로세서에 의해 실행될 때, 상기 적어도 하나의 프로세서로 하여금:

애플리케이션으로부터, IFPC(inter-frame power collapse) 상태를 종료하는 것과 연관된 타이머에 대한 시간 기간의 표시를 수신하게 하고;

상기 IFPC 상태를 종료하는 것과 연관된 상기 타이머를 트리거할 때, 하나 이상의 미리 정의된 워크로드를 처리하게 하고;

상기 하나 이상의 미리 정의된 워크로드가 처리 완료될 때 상기 IFPC 상태를 시작하게 하고; 그리고

상기 타이머의 만료가 검출되면 상기 IFPC 상태를 종료하게 하는, 컴퓨터 판독가능 저장 매체.

청구항 23

제22항에 있어서, 상기 코드는 추가로 상기 적어도 하나의 프로세서로 하여금,

상기 하나 이상의 미리 정의된 워크로드의 처리를 시작하는 제1 표시를 수신하게 하고;

상기 제1 표시의 수신시에, 상기 타이머를 트리거하게 하고; 그리고

상기 타이머의 만료를 검출하게 하는, 컴퓨터 판독가능 저장 매체.

청구항 24

제23항에 있어서, 상기 하나 이상의 미리 정의된 워크로드는 하나 이상의 LSR 워크로드인, 컴퓨터 판독가능 저장 매체.

청구항 25

제23항에 있어서, 상기 제1 표시는 IPCC 인터럽트인, 컴퓨터 판독가능 저장 매체.

청구항 26

제23항에 있어서, 상기 제1 표시는 스케줄러, 상기 애플리케이션, 또는 서비스 계층 중 적어도 하나로부터 수신되는, 컴퓨터 판독가능 저장 매체.

청구항 27

제23항에 있어서, 상기 하나 이상의 미리 정의된 워크로드는, XR(extended reality) 애플리케이션, AR(augmented reality) 애플리케이션, 또는 VR(virtual reality) 애플리케이션 중 적어도 하나와 연관되는, 컴퓨터 판독가능 저장 매체.

청구항 28

제23항에 있어서, 상기 코드는 추가로 상기 적어도 하나의 프로세서로 하여금,

상기 하나 이상의 미리 정의된 워크로드의 처리를 시작하는 제2 표시를 수신하게 하는, 컴퓨터 판독가능 저장 매체.

청구항 29

제22항에 있어서, 상기 타이머의 만료의 검출시에 상기 IFPC 상태를 종료하는 것은 그래픽 프로세싱 유닛(GPU)에서 상기 IFPC 상태를 종료하는 것을 더 포함하는, 컴퓨터 판독가능 저장 매체.

청구항 30

제22항에 있어서, 상기 타이머에 대한 시간 기간은 추가로, IFPC 종료 레이턴시에 적어도 부분적으로 기초하는, 컴퓨터 판독가능 저장 매체.

발명의 설명

기 술 분 야

[0001] 관련 출원들에 대한 상호 참조

[0002] 이 출원은 2022년 5월 16일에 출원된 "TECHNIQUE TO OPTIMIZE POWER AND PERFORMANCE OF XR WORKLOAD"라는 제목의 미국 특허 출원 제17/663,637호의 이익을 주장하며, 이는 그 전체가 본 명세서에 참고로 명시적으로 포함된다.

[0003] 기술분야

[0004] 본 개시는 일반적으로 프로세싱 시스템들에 관한 것으로, 보다 구체적으로는 그래픽 프로세싱을 위한 하나 이상의 기법들에 관한 것이다.

배 경 기 술

[0005] 컴퓨팅 디바이스는 시각적 콘텐츠를 렌더링하고 디스플레이하도록 종종 (예를 들어, 그래픽 프로세싱 유닛(GPU; graphics processing unit), 중앙 프로세싱 유닛(CPU; central processing unit), 디스플레이 프로세서 등을 활용하는) 그래픽 및/또는 디스플레이 프로세싱을 수행한다. 이러한 컴퓨팅 디바이스는 예를 들어, 컴퓨터 워크스테이션, 스마트 폰과 같은 모바일 폰, 임베디드(embedded) 시스템, 퍼스널 컴퓨터, 태블릿 컴퓨터, 및 비디오 게임 콘솔을 포함할 수 있다. GPU는 그래픽 프로세싱 커맨드(command)를 실행하고 프레임을 출력하기 위해 함께 동작하는 하나 이상의 프로세싱 스테이지를 포함하는 그래픽 프로세싱 파이프라인을 실행하도록 구성된다. 중앙 프로세싱 유닛(CPU)은 GPU에 하나 이상의 그래픽 프로세싱 커맨드들을 발행함으로써 GPU의 동작을 제어할 수 있다. 최근의 CPU는 전형적으로 동시에 다수의 애플리케이션을 실행할 수 있고, 애플리케이션 각각은 실행 동안 GPU를 활용하는 것이 필요할 수 있다. 디스플레이 프로세서는 CPU로부터 수신된 디지털 정보를 아날로그 값으로 변환하도록 구성될 수 있고 시각적 콘텐츠를 디스플레이하기 위해 디스플레이 패널에 커맨드를 발행할 수 있다. 디스플레이 상의 시각적 프리젠테이션을 위한 콘텐츠를 제공하는 디바이스는 CPU, GPU 및/또는 디스플레이 프로세서를 활용할 수 있다.

[0006] 현재의 기법들은 GPU가 고정된 주기적 워크로드들을 프로세싱할 때 GPU에서의 프레임간 전력 축소 (inter-frame power collapse: IFPC) 종료 지연과 연관된 성능 패널티를 해결하지 않을 수도 있다. 개선된 전력 축소 기법들이 필요하다.

발명의 내용

[0007] 다음은 하나 이상의 양태들의 기본적인 이해를 제공하기 위해 그 하나 이상의 양태들의 간략화된 개요를 제시한다. 이러한 개요는 모든 고려된 양태들의 광범위한 개관이 아니며, 모든 양태들의 핵심적인 또는 결정적인 엘리먼트들을 식별하지도 않고 임의의 또는 모든 양태들의 범위를 구획하지도 않도록 의도된다. 이 개요의 유일한 목적은, 이하 제시되는 더 상세한 설명에 대한 서두로서 하나 이상의 양태들의 일부 개념들을 간략화된 형태로 제시하는 것이다.

[0008] 본 개시내용의 양태에서, 방법, 컴퓨터 판독가능 매체, 및 장치가 제공된다. 장치는, 애플리케이션으로부터,

프레임간 전력 축소(IFPC) 상태를 종료하는 것과 연관된 타이머에 대한 시간 기간의 표시를 수신할 수 있다. 장치는 IFPC 상태를 종료하는 것과 연관된 타이머를 트리거할 때, 하나 이상의 미리 정의된 워크로드들을 처리할 수도 있다. 장치는 하나 이상의 미리 정의된 워크로드들이 처리를 종료할 때 IFPC 상태를 개시할 수 있다. 장치는 타이머의 만료를 검출하면 IFPC 상태를 종료할 수 있다.

[0009] 전술한 목적 및 관련 목적의 달성을 위해, 하나 이상의 양태들은, 이하 충분히 설명되고 청구항들에서 특별히 적시되는 특징들을 포함한다. 다음의 설명 및 첨부 도면들은 하나 이상의 양태들의 특정한 예시적인 특징들을 상세히 기재한다. 하지만, 이들 특징들은, 다양한 양태들의 원리들이 채용될 수도 있는 다양한 방식들 중 단지 몇몇만을 나타내며, 이러한 설명은 그러한 모든 양태들 및 그 균등물들을 포함하도록 의도된다.

도면의 간단한 설명

[0010] 도 1은 본 개시내용의 하나 이상의 기술에 따른 예시적인 콘텐츠 생성 시스템을 예시하는 블록도이다.

도 2는 본 개시내용의 하나 이상의 기법들에 따른 예시적인 GPU를 예시한다.

도 3은 본 개시내용의 양태들이 실시될 수도 있는 예시적인 환경을 예시하는 블록도이다.

도 4는 하나 이상의 양태들에 따른 IFPC 와 연관된 예시적인 GPU 상태 타임라인을 예시하는 다이어그램이다.

도 5는 하나 이상의 양태들에 따른 IFPC 와 연관된 예시적인 GPU 상태 타임라인을 예시하는 다이어그램이다.

도 6은 본 개시내용의 하나 이상의 기법들에 따른 애플리케이션, 제1 컴포넌트, 및 GPU 사이의 예시적인 통신들을 예시하는 콜 흐름도이다.

도 7은 본 개시내용의 하나 이상의 기법들에 따른 예시적인 그래픽 프로세싱 방법의 흐름도이다.

도 8은 본 개시내용의 하나 이상의 기법들에 따른 예시적인 그래픽 프로세싱 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 시스템, 장치, 컴퓨터 프로그램 제품 및 방법의 다양한 양태가 첨부 도면을 참조하여 이하에서 더 충분히 설명된다. 하지만, 본 개시는 다수의 상이한 형태들로 구현될 수도 있으며, 본 개시 전반에 걸쳐 제시된 임의의 특정 구조 또는 기능으로 한정되는 것으로서 해석되지 않아야 한다. 오히려, 이들 양태는 본 개시내용이 철저하고 완전해지고, 본 개시내용의 범위를 당업자에게 충분히 전달하도록 제공된다. 본 명세서에서의 교시에 기초하여, 당업자는 본 개시내용의 다른 양태와 독립적으로 구현되든 또는 이와 조합되든, 본 명세서에 개시된 시스템, 장치, 컴퓨터 프로그램 제품 및 방법의 임의의 양태를 포괄하도록 의도됨을 알아야 한다. 예를 들어, 본 명세서에 기재된 임의의 수의 양태들을 이용하여 일 장치가 구현될 수도 있거나 또는 일 방법이 실시될 수도 있다. 부가적으로, 본 개시의 범위는, 본 명세서에 기재된 본 개시의 다양한 양태들에 부가한 또는 그 이외의 구조 및 기능, 또는 다른 구조, 기능을 이용하여 실시되는 그러한 장치 또는 방법을 커버하도록 의도된다. 본 명세서에 개시된 임의의 양태는 청구항의 하나 이상의 엘리먼트들에 의해 구체화될 수 있다.

[0012] 다양한 양태가 본 명세서에서 설명되지만, 이들 양태의 많은 변형 및 치환은 본 개시내용의 범위 내에 속한다. 본 개시내용의 양태의 일부 잠재적 이익 및 장점이 언급되지만, 본 개시내용의 범위는 특정 이익, 사용, 또는 목적에 제한되도록 의도되지 않는다. 오히려, 본 개시내용의 양태들은 상이한 무선 기술들, 시스템 구성들, 프로세싱 시스템들, 네트워크들, 및 송신 프로토콜들에 광범위하게 적용가능한 것으로 의도되고, 이들 중 일부는 예로써 도면들에서 그리고 다음의 설명에서 예시된다. 상세한 설명 및 도면은 본 개시내용을 제한하는 것이 아니라 예시할 뿐이며, 본 개시내용의 범위는 첨부된 청구범위 및 그 등가물에 의해 정의된다.

[0013] 다양한 장치 및 방법을 참조하여 여러 양태가 제시된다. 이들 장치 및 방법은 다양한 블록, 컴포넌트, 회로, 프로세스, 알고리즘 등("엘리먼트"로 총칭됨)에 의해 다음의 상세한 설명에서 설명되고 첨부 도면에 예시된다. 이들 엘리먼트들은 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이들의 임의의 조합을 사용하여 구현될 수도 있다. 그러한 엘리먼트들이 하드웨어로서 구현될지 또는 소프트웨어로서 구현될지는 전체 시스템에 부과된 설계 제약들 및 특정 어플리케이션에 의존한다.

[0014] 예를 들어, 엘리먼트, 또는 엘리먼트의 임의의 부분, 또는 엘리먼트들의 임의의 조합은 (프로세싱 유닛으로 또한 지칭될 수 있는) 하나 이상의 프로세서를 포함하는 "프로세싱 시스템"으로 구현될 수 있다. 프로세서들의 예들은 마이크로프로세서들, 마이크로제어기들, 그래픽 프로세싱 유닛들(GPU들), 범용 GPU들(GPGPU들), 중앙 프로세싱 유닛들(CPU들), 애플리케이션 프로세서들, 디지털 신호 프로세서들(DSP들), RISC(reduced instruction

set computing) 프로세서들, 시스템 온 칩(systems-on-chip; SoC), 기저대역 프로세서들, 주문형 집적 회로들(ASIC들), 필드 프로그래밍가능 게이트 어레이들(FPGA들), 프로그래밍가능 로직 디바이스들(PLD들), 상태 머신들, 게이티드 로직, 이산 하드웨어 회로들, 및 본 개시내용 전반에 걸쳐 설명된 다양한 기능을 수행하도록 구성된 다른 적합한 하드웨어를 포함한다. 프로세싱 시스템에 있어서의 하나 이상의 프로세서들은 소프트웨어를 실행할 수도 있다. 소프트웨어는 소프트웨어, 펌웨어, 미들웨어, 마이크로코드, 하드웨어 디스크립션 언어로 지칭되든 다른 것으로 지칭되든, 명령들, 명령 세트, 코드, 코드 세그먼트, 프로그램 코드, 프로그램, 서브프로그램, 소프트웨어 컴포넌트, 애플리케이션, 소프트웨어 애플리케이션, 소프트웨어 패키지, 루틴, 서브루틴, 객체, 실행물, 실행의 스레드, 프로시저, 함수 등을 의미하는 것으로 폭넓게 해석될 수 있다.

[0015] 용어 애플리케이션은 소프트웨어를 지칭할 수 있다. 본 명세서에 설명된 바와 같이, 하나 이상의 기법들은 하나 이상의 기능들을 수행하도록 구성되는 애플리케이션(예를 들어, 소프트웨어)을 지칭할 수도 있다. 이러한 예들에서, 애플리케이션은 메모리(예를 들어, 프로세서의 온-칩 메모리, 시스템 메모리, 또는 임의의 다른 메모리)에 저장될 수도 있다. 프로세서와 같은 본 명세서에 설명된 하드웨어는 애플리케이션을 실행하도록 구성될 수 있다. 예를 들어, 애플리케이션은 하드웨어에 의해 실행될 때, 하드웨어로 하여금 본 명세서에 설명된 하나 이상의 기술을 수행하게 하는 코드를 포함하는 것으로 설명될 수 있다. 한 예로서, 하드웨어는 메모리로부터 코드에 액세스하고 메모리로부터 액세스된 코드를 실행하여 본 명세서에 설명된 하나 이상의 기술을 수행할 수 있다. 일부 예들에서, 컴포넌트는 본 개시내용에서 식별된다. 이러한 예에서, 컴포넌트는 하드웨어, 소프트웨어, 또는 이들의 조합일 수 있다. 컴포넌트는 별도의 컴포넌트 또는 단일 컴포넌트의 서브컴포넌트일 수 있다.

[0016] 본 명세서에서 설명된 하나 이상의 예들에서, 설명된 기능들은 하드웨어, 소프트웨어, 또는 이들의 임의의 조합에서 구현될 수도 있다. 소프트웨어에서 구현된다면, 그 기능들은 하나 이상의 명령들 또는 코드로서 컴퓨터 판독가능 매체 상으로 저장 또는 인코딩될 수도 있다. 컴퓨터 판독가능 매체들은 컴퓨터 저장 매체들을 포함한다. 저장 매체들은, 컴퓨터에 의해 액세스될 수 있는 임의의 가용 매체들일 수도 있다. 한정이 아닌 예시로, 이러한 컴퓨터 판독가능 매체는 랜덤 액세스 메모리(random-access memory; RAM), 판독 전용 메모리(read-only memory; ROM), 전기적 소거가능 프로그램가능 ROM(electrically erasable programmable ROM; EEPROM), 광학 디스크 저장, 자기 디스크 저장, 다른 자기 저장 디바이스들, 전술한 유형의 컴퓨터 판독가능 매체들의 조합들, 또는 컴퓨터에 의해 액세스될 수 있는 명령들 또는 데이터 구조들 형태로 컴퓨터 실행가능 코드를 저장하는데 사용될 수 있는 임의의 다른 매체를 포함할 수 있다.

[0017] 본 명세서에 사용된 바와 같이 용어 "콘텐츠"의 사례는 용어가 형용사, 명사, 또는 다른 스피치의 부분들로서 사용되는지 여부에 관계없이, "그래픽 콘텐츠", "이미지" 등을 지칭할 수도 있다. 일부 예들에서, 본 명세서에 사용된 용어 "그래픽 콘텐츠"는 그래픽 프로세싱 파이프라인의 하나 이상의 프로세스들에 의해 생성되는 콘텐츠를 의미할 수도 있다. 추가의 예들에서, 본 명세서에 사용된 용어 "그래픽 콘텐츠"는 그래픽 프로세싱을 수행하도록 구성되는 프로세싱 유닛에 의해 생성되는 콘텐츠를 의미할 수도 있다. 추가의 또 다른 예들에서, 본 명세서에 사용된 용어 "그래픽 콘텐츠"는 그래픽 프로세싱 유닛에 의해 생성된 콘텐츠를 의미할 수도 있다.

[0018] IFPC(예를 들어, GPU 가 유휴 상태일 때 커맨드 제출들 사이에서 GPU 를 축소시키는 전력)가 GPU에서 활용될 때, IFPC 종료 레이턴시는 GPU가 고정된 기능 블록으로서 작용하고 고정된 주기적 워크로드들을 프로세싱할 때 불필요한 성능 패널티를 야기할 수도 있다. 또한, IFPC와 연관된 히스테리시스 타임아웃은 GPU가 그러한 고정된 주기적 워크로드들을 프로세싱할 때 불필요할 수 있다. 불필요한 히스테리시스 타임아웃은 불필요한 전력 소비와 연관될 수 있다. 하나 이상의 양태들에 따르면, 타이머 값에 관한 힌트는 그래픽 관리 유닛(GMU) 펌웨어에 제공될 수도 있다. 그 결과, 고정된 주기적 워크로드에 불필요한 히스테리시스 타임아웃을 피할 수 있다. 또한, GPU의 웨이크업과 연관된 타임라인은, IPCC(inter-processor communication controller) 인터럽트의 수신과 GPU가 어웨이크되고 커맨드를 프로세싱할 준비가 되는 시간 사이의 지연이 제거될 수 있도록, 타이머에 기초하여 전진될 수 있다. 지연의 제거는 성능상의 이점을 가져올 수 있다.

[0019] 도 1은 본 개시내용의 하나 이상의 기술을 구현하도록 구성된 예시적인 콘텐츠 생성 시스템(100)을 예시하는 블록도이다. 콘텐츠 생성 시스템(100)은 디바이스(104)를 포함한다. 디바이스(104)는 본 명세서에 설명된 다양한 기능을 수행하기 위한 하나 이상의 컴포넌트 또는 회로를 포함할 수 있다. 일부 예들에서, 디바이스(104)의 하나 이상의 컴포넌트들은 SOC의 컴포넌트들일 수도 있다. 디바이스(104)는 본 개시내용의 하나 이상의 기술을 수행하도록 구성된 하나 이상의 컴포넌트를 포함할 수 있다. 도시된 예에서, 디바이스(104)는 프로세싱 유닛(120), 콘텐츠 인코더/디코더(122) 및 시스템 메모리(124)를 포함할 수 있다. 일부 양태들에서, 디바이스(104)는 다수의 컴포넌트들, 예컨대, 통신 인터페이스(126), 트랜시버(132), 수신기(128), 송신기(130), 디스플레이 프로세서(127), 및 하나 이상의 디스플레이들(131)을 포함할 수도 있다. 디스플레이(들)(131)은 하나 이상

의 디스플레이들(131)을 지칭할 수도 있다. 예를 들어, 디스플레이(131)는 제1 디스플레이 및 제2 디스플레이를 포함할 수도 있는 단일의 디스플레이 또는 다수의 디스플레이들을 포함할 수도 있다. 제1 디스플레이는 좌안(left-eye) 디스플레이이고, 제2 디스플레이는 우안(right-eye) 디스플레이일 수 있다. 일부 예들에서, 제1 디스플레이 및 제2 디스플레이는 이에 제시하기 위한 상이한 프레임들을 수신할 수도 있다. 다른 실시예에서, 제1 및 제2 디스플레이는 그들 상의 제시를 위한 동일한 프레임을 수신할 수 있다. 추가 예들에서, 그래픽 프로세싱의 결과들은 디바이스 상에 디스플레이되지 않을 수도 있고, 예를 들어, 제1 및 제2 디스플레이는 그 위의 제시를 위한 어떠한 프레임들도 수신하지 않을 수도 있다. 대신, 프레임 또는 그래픽 프로세싱 결과는 다른 디바이스에 전송될 수 있다. 일부 양태에서, 이는 스플릿-렌더링(split-rendering)으로 지칭될 수 있다.

[0020] 프로세싱 유닛(120)은 내부 메모리(121)를 포함할 수 있다. 프로세싱 유닛(120)은 그래픽 프로세싱 파이프라인(107)를 사용하여 그래픽 프로세싱을 수행하도록 구성될 수도 있다. 콘텐츠 인코더/디코더(122)는 내부 메모리(123)를 포함할 수 있다. 일부 예들에서, 디바이스(104)는, 프레임들이 하나 이상의 디스플레이들(131)에 의해 디스플레이되기 전에 프로세싱 유닛(120)에 의해 생성된 하나 이상의 프레임들에 대해 하나 이상의 디스플레이 프로세싱 기법들을 수행하도록 구성될 수 있는 프로세서를 포함할 수 있다. 예시적인 콘텐츠 생성 시스템(100) 내의 프로세서가 디스플레이 프로세서(127)로서 구성되지만, 디스플레이 프로세서(127)는 프로세서의 하나의 예이고, 다른 유형들의 프로세서들, 제어기들 등이 디스플레이 프로세서(127)를 대체하여 사용될 수 있다는 것이 이해되어야 한다. 디스플레이 프로세서(127)는 디스플레이 프로세싱을 수행하도록 구성될 수 있다. 예를 들어, 디스플레이 프로세서(127)는 프로세싱 유닛(120)에 의해 생성된 하나 이상의 프레임에 대해 하나 이상의 디스플레이 프로세싱 기술을 수행하도록 구성될 수 있다. 하나 이상의 디스플레이(131)는 디스플레이 프로세서(127)에 의해 프로세싱된 프레임을 디스플레이하거나 달리 제시하도록 구성될 수 있다. 일부 예들에서, 하나 이상의 디스플레이들(131)은 액정 디스플레이(LCD), 플라즈마 디스플레이, 유기 발광 다이오드(OLED) 디스플레이, 프로젝션 디스플레이 디바이스, 증강 현실 디스플레이 디바이스, 가상 현실 디스플레이 디바이스, 헤드 탑 재형 디스플레이 또는 임의의 다른 유형의 디스플레이 디바이스 중 하나 이상을 포함할 수도 있다.

[0021] 시스템 메모리(124)와 같은, 프로세싱 유닛(120) 및 콘텐츠 인코더/디코더(122) 외부의 메모리는, 프로세싱 유닛(120) 및 콘텐츠 인코더/디코더(122)에 액세스 가능할 수 있다. 예를 들어, 프로세싱 유닛(120) 및 콘텐츠 인코더/디코더(122)는 시스템 메모리(124)와 같은, 외부 메모리로부터 판독 및/또는 외부 메모리에 기록하도록 구성될 수 있다. 프로세싱 유닛(120)은 버스를 통해 시스템 메모리(124)에 통신가능하게 커플링될 수도 있다. 일부 예들에서, 프로세싱 유닛(120) 및 콘텐츠 인코더/디코더(122)는 버스 상에서 또는 상이한 접속을 통해 내부 메모리(121)에 통신가능하게 커플링될 수도 있다.

[0022] 콘텐츠 인코더/디코더(122)는 시스템 메모리(124) 및/또는 통신 인터페이스(126)와 같은, 임의의 소스로부터 그래픽 콘텐츠를 수신하도록 구성될 수 있다. 시스템 메모리(124)는 수신된 인코딩된 또는 디코딩된 그래픽 콘텐츠를 저장하도록 구성될 수 있다. 콘텐츠 인코더/디코더(122)는 예를 들어, 시스템 메모리(124) 및/또는 통신 인터페이스(126)로부터, 인코딩된 픽셀 데이터의 형태로, 인코딩된 또는 디코딩된 그래픽 콘텐츠를 수신하도록 구성될 수 있다. 콘텐츠 인코더/디코더(122)는 임의의 그래픽 콘텐츠를 인코딩 또는 디코딩하도록 구성될 수 있다.

[0023] 내부 메모리(121) 또는 시스템 메모리(124)는 하나 이상의 휘발성 또는 비휘발성 메모리 또는 저장 디바이스를 포함할 수 있다. 일부 예들에서, 내부 메모리(121) 또는 시스템 메모리(124)는 RAM, SRAM(static random access memory), DRAM(dynamic random access memory), EPROM(erasable programmable ROM), EEPROM, 플래시 메모리, 자기 데이터 매체 또는 광학 저장 매체 또는 임의의 다른 유형의 메모리를 포함할 수도 있다. 내부 메모리(121) 또는 시스템 메모리(124)는 일부 실시예들에 따른 비일시적 저장 매체일 수 있다. 용어 "비일시적"은 저장 매체가 캐리어 파 또는 전파된 신호로 구체화되지 않음을 표시할 수 있다. 그러나, 용어 "비일시적"은 내부 메모리(121) 또는 시스템 메모리(124)가 이동가능하지 않거나 그 콘텐츠가 정적임을 의미하는 것으로 해석되지 않아야 한다. 한 예로서, 시스템 메모리(124)는 디바이스(104)로부터 제거되고 다른 디바이스로 이동될 수 있다. 다른 예로서, 시스템 메모리(124)는 디바이스(104)로부터 탈착가능하지 않을 수 있다.

[0024] 프로세싱 유닛(120)은 그래픽 프로세싱을 수행하도록 구성될 수도 있는 CPU, GPU, GPGPU, 또는 임의의 다른 프로세싱 유닛일 수도 있다. 일부 실시예에서, 프로세싱 유닛(120)은 디바이스(104)의 마더보드에 통합될 수 있다. 추가의 예들에서, 프로세싱 유닛(120)은 디바이스(104)의 마더보드의 포트에 설치된 그래픽 카드 상에 존재할 수도 있거나 또는 디바이스(104)와 상호동작하도록 구성된 주변 디바이스 내에서 달리 통합될 수도 있다. 프로세싱 유닛(120)은 하나 이상의 프로세서들, 이를 테면, 하나 이상의 마이크로프로세서들, GPU들, ASIC들, FPGA들, ALU들(arithmetic logic units), DSP들, 별개의 로직, 소프트웨어, 하드웨어, 펌웨어, 다른 등가의 통

합된 또는 별개의 로직 회로부 또는 임의의 이들의 조합을 포함할 수도 있다. 기술이 부분적으로 소프트웨어로 구현되는 경우, 프로세싱 유닛(120)은 적합한, 비일시적 컴퓨터 판독 가능 저장 매체, 예를 들어, 내부 메모리(121)에 소프트웨어를 위한 명령들을 저장할 수 있고, 본 개시내용의 기술을 수행하기 위해 하나 이상의 프로세서를 사용하여 하드웨어에서 명령들을 실행할 수 있다. 하드웨어, 소프트웨어, 하드웨어와 소프트웨어의 조합 등을 포함하여 전술한 것 중 임의의 것은 하나 이상의 프로세서로 고려될 수 있다.

[0025] 콘텐츠 인코더/디코더(122)는 콘텐츠 디코딩을 수행하도록 구성된 임의의 프로세싱 유닛일 수 있다. 일부 예들에서, 콘텐츠 인코더/디코더(122)는 디바이스(104)의 마더보드에 통합될 수 있다. 콘텐츠 인코더/디코더(122)는 하나 이상의 프로세서, 예컨대 하나 이상의 마이크로프로세서, 주문형 집적회로(ASIC), 필드 프로그램 가능 게이트 어레이(FPGA), 산술 로직 유닛(ALU), 디지털 신호 프로세서(DSP), 비디오 프로세서, 이산 로직, 소프트웨어, 하드웨어, 펌웨어, 다른 등가의 집적된 또는 이산 로직 회로부, 또는 이들의 임의의 조합을 포함할 수 있다. 기술이 부분적으로 소프트웨어로 구현된다면, 콘텐츠 인코더/디코더(122)는 적합한, 비일시적 컴퓨터 판독 가능 저장 매체, 예를 들어, 내부 메모리(123)에 소프트웨어를 위한 명령들을 저장할 수 있고, 본 개시내용의 기술을 수행하기 위해 하나 이상의 프로세서를 사용하여 하드웨어에서 명령들을 실행할 수 있다. 하드웨어, 소프트웨어, 하드웨어와 소프트웨어의 조합 등을 포함하여 전술한 것 중 임의의 것은 하나 이상의 프로세서로 고려될 수 있다.

[0026] 일부 양태에서, 콘텐츠 생성 시스템(100)은 통신 인터페이스(126)를 포함할 수 있다. 통신 인터페이스(126)는 수신기(128) 및 송신기(130)를 포함할 수 있다. 수신기(128)는 디바이스(104)와 관련하여 본 명세서에 설명된 임의의 수신 기능을 수행하도록 구성될 수 있다. 추가적으로, 수신기(128)는 다른 디바이스로부터 정보, 예를 들어, 눈 또는 머리 포지션 정보, 렌더링 커맨드들, 및/또는 로케이션 정보를 수신하도록 구성될 수도 있다. 송신기(130)는 디바이스(104)에 관하여 본 명세서에 설명된 임의의 송신 기능을 수행하도록 구성될 수 있다. 예를 들어, 송신기(130)는 콘텐츠에 대한 요청을 포함할 수 있는 정보를 다른 디바이스에 송신하도록 구성될 수 있다. 수신기(128) 및 송신기(130)는 트랜시버(132)에 결합될 수 있다. 이러한 예에서, 트랜시버(132)는 디바이스(104)에 관하여 본 명세서에 설명된 임의의 수신 기능 및/또는 송신 기능을 수행하도록 구성될 수 있다.

[0027] 도 1을 다시 참조하면, 특정 양태들에서, 프로세싱 유닛(120)은 애플리케이션으로부터, IFPC 상태를 종료하는 것과 연관된 타이머에 대한 시간 기간의 표시를 수신하도록 구성된 전력 축소 스케줄러(198)를 포함할 수도 있다. 전력 축소 스케줄러(198)는, IFPC 상태를 종료하는 것과 연관된 타이머를 트리거할 때, 하나 이상의 미리 정의된 워크로드들을 프로세싱하도록 구성될 수 있다. 전력 축소 스케줄러(198)는 하나 이상의 미리 정의된 워크로드들이 프로세싱을 종료할 때 IFPC 상태를 개시하도록 구성될 수 있다. 전력 축소 스케줄러(198)는 타이머의 만료를 검출할 때 IFPC 상태를 종료하도록 구성될 수 있다. 다음의 설명은 그래픽 프로세싱에 초점을 맞출 수 있지만, 본 명세서에 설명된 개념은 다른 유사한 프로세싱 기술에 적용 가능할 수 있다.

[0028] 디바이스, 이를 테면, 디바이스(104)는 본 명세서에 설명된 하나 이상의 기법들을 수행하도록 구성되는 임의의 디바이스, 장치, 또는 시스템을 지칭할 수도 있다. 예를 들어, 디바이스는 서버, 기지국, 사용자 장비, 클라이언트 디바이스, 스테이션, 액세스 포인트, 컴퓨터, 이를 테면, 퍼스널 컴퓨터, 데스크톱 컴퓨터, 랩톱 컴퓨터, 태블릿 컴퓨터, 컴퓨터 워크스테이션, 또는 메인프레임 컴퓨터, 최종 제품, 장치, 폰, 스마트폰, 서버, 비디오 게임 플랫폼 또는 콘솔, 핸드헬드 디바이스 이를 테면 포터블 비디오 게임 디바이스 또는 개인 휴대 정보 단말기(PDA), 웨어러블 컴퓨팅 디바이스 이를 테면, 스마트 워치, 증강 현실 디바이스 또는 가상 현실 디바이스, 비-웨어러블 디바이스, 디스플레이 또는 디스플레이 디바이스, 텔레비전, 텔레비전 셋톱박스, 중간 네트워크 디바이스, 디지털 미디어 플레이어, 비디오 스트리밍 디바이스, 콘텐츠 스트리밍 디바이스, 비히클 내 컴퓨터, 임의의 모바일 디바이스, 그래픽 콘텐츠를 생성하도록 구성된 임의의 디바이스, 또는 본 명세서에 설명된 하나 이상의 기법들을 수행하도록 구성되는 임의의 디바이스일 수도 있다. 본 명세서의 프로세스들은 특정 컴포넌트(예를 들어, GPU)에 의해 수행되는 것으로 설명될 수도 있지만, 다른 실시형태들에서, 개시된 실시형태들과 모순이 없는, 다른 컴포넌트들(예를 들어, CPU)을 사용하여 수행될 수도 있다.

[0029] GPU들은 GPU 파이프라인에서 다수의 유형들의 데이터 또는 데이터 패킷들을 프로세싱할 수 있다. 예를 들어, 일부 양태들에서, GPU는 2개의 유형들의 데이터 또는 데이터 패킷들, 예를 들어, 콘텍스트 레지스터 패킷들 및 드로우 콜 데이터를 프로세싱할 수 있다. 콘텍스트 레지스터 패킷은 그래픽 콘텍스트가 프로세싱될 방법을 조절할 수 있는, 예를 들어, 글로벌 레지스터, 셰이딩 프로그램, 또는 상수 데이터에 관한 정보와 같은 글로벌 상태 정보의 세트일 수 있다. 예를 들어, 콘텍스트 레지스터 패킷들은 컬러 포맷에 관한 정보를 포함할 수 있다. 콘텍스트 레지스터 패킷들의 일부 양태들에서, 어느 워크로드가 콘텍스트 레지스터에 속하는지를 표시하는 비트가 있을 수 있다. 또한, 동시에 및/또는 병렬로 실행되는 다수의 기능들 또는 프로그래밍이 있을 수 있다. 예

를 들어, 기능들 또는 프로그래밍은 소정의 동작, 예를 들어, 컬러 모드 또는 컬러 포맷을 설명할 수 있다. 이에 따라, 콘텍스트 레지스터는 GPU의 다중 상태들을 정의할 수 있다.

[0030] 콘텍스트 상태들은 개별 프로세싱 유닛, 예를 들어, 버텍스 페처(VFD), 버텍스 셰이더(VS), 셰이더 프로세서, 또는 지오메트리 프로세서가 어떻게 기능하는지, 및/또는 프로세싱 유닛이 어떤 모드에서 기능하는지를 결정하는데 이용될 수 있다. 그렇게 하기 위해, GPU들은 콘텍스트 레지스터들 및 프로그래밍 데이터를 사용할 수 있다. 일부 양태들에서, GPU는 모드 또는 상태의 콘텍스트 레지스터 정의에 기초하여 파이프라인에서 워크로드, 예를 들어, 버텍스 또는 픽셀 워크로드를 생성할 수 있다. 소정의 프로세싱 유닛들, 예를 들어, VFD는, 소정의 기능들, 예를 들어, 버텍스가 어셈블링되는 방법을 결정하기 위해 이들 상태들을 사용할 수 있다. 이들 모드들 또는 상태들이 변경될 수 있기 때문에, GPU들은 대응하는 콘텍스트들을 변경할 필요가 있을 수 있다. 추가로, 모드 또는 상태에 대응하는 워크로드는 변화하는 모드 또는 상태를 따를 수 있다.

[0031] 도 2는 본 개시내용의 하나 이상의 기법들에 따른 예시적인 GPU(200)를 예시한다. 도 2에 도시된 바와 같이, GPU(200)는 커맨드 프로세서(CP)(210), 드로우 콜 패킷들(212), VFD(220), VS(222), 버텍스 캐시(VPC)(224), 트라이앵글 셋업 엔진(TSE)(226), 래스터라이저(RAS)(228), Z 프로세스 엔진(ZPE)(230), 픽셀 보간기(PI)(232), 프래그먼트 셰이더(FS)(234), 렌더 백엔드(RB)(236), L2 캐시(UCHE)(238), 및 시스템 메모리(240)를 포함한다. 도 2는 GPU(200)가 프로세싱 유닛들(220-238)을 포함하는 것을 표시하지만, GPU(200)는 다수의 추가적인 프로세싱 유닛들을 포함할 수 있다. 추가적으로, 프로세싱 유닛들(220-238)은 단지 예일 뿐이고 프로세싱 유닛들의 임의의 조합 또는 순서가 본 개시내용에 따른 GPU들에 의해 사용될 수 있다. GPU(200)는 또한, 커맨드 버퍼(250), 콘텍스트 레지스터 패킷(260), 및 콘텍스트 상태(261)를 포함한다.

[0032] 도 2에 도시된 바와 같이, GPU는 커맨드 버퍼를 콘텍스트 레지스터 패킷들, 예를 들어, 콘텍스트 레지스터 패킷들(260), 및/또는 드로우 콜 데이터 패킷들, 예를 들어, 드로우 콜 패킷들(212)로 파싱하기 위해 하드웨어 가속기, 또는 CP, 예를 들어, CP(210)를 활용할 수 있다. 그 다음, CP(210)는 컨텍스트 레지스터 패킷들(260) 또는 드로우 콜 패킷들(212)을 별개의 경로들을 통해 GPU에서의 프로세싱 유닛들 또는 블록들로 전송할 수 있다. 또한, 커맨드 버퍼(250)는 콘텍스트 레지스터 및 드로우 콜의 상이한 상태를 교번할 수 있다. 예를 들어, 커맨드 버퍼는 다음의 방식으로 구조화될 수 있다: 콘텍스트 N의 콘텍스트 레지스터, 콘텍스트 N의 드로우 콜(들), 콘텍스트 N+1의 콘텍스트 레지스터, 및 콘텍스트 N+1의 드로우 콜(들).

[0033] 확장 현실(XR) 파이프라인에서, 전체 데이터 경로는 2개의 디바이스들과 연관된 2개의 SoC들을 포함할 수 있다. 컴패니언 디바이스는 시각적 컨텐츠를 생성할 수 있고, 시각적 컨텐츠를 XR 디바이스에 전송할 수 있다. 그 후, XR 디바이스는 사용자의 최근 헤드 포즈에 기초하여 최종 디스플레이를 위한 LSR(late stage reprojection)과 같은 동작들을 수행할 수 있다. 특히, LSR은 사용자 모션에 대한 XR 헤드셋의 응답성을 보장할 수 있는 특징일 수 있다. LSR은 인지된 입력 지연을 감소시키고 사용자 경험을 향상시키는데 도움이 될 수 있다. LSR의 일부로서, 이전에 렌더링된 프레임은 헤드셋 센서들로부터의 더 새로운 모션 정보를 사용하여 정상적으로 렌더링된 프레임이 어떤 모습일지의 예측으로 재투사 또는 와핑될 수 있다. 특히, XR 디바이스에서의 GPU는 깊이, 렌더 포즈, 또는 최근 헤드 포즈 세부사항들 중 하나 이상을 사용하여 모션 벡터 (MV) 그리드를 생성하는데 사용될 수도 있다.

[0034] XR 파이프라인은 헤드 모션(예를 들어, 병진 및 회전)을 처리하거나 광학 보정을 수행하는데 사용될 수 있다. 이하 하나 이상의 예에서, XR에 대한 참조는 또한 증강 현실(AR) 또는 가상 현실(VR)에 대한 참조를 포함할 수 있다.

[0035] 도 3은 본 개시내용의 양태들이 실시될 수도 있는 예시적인 환경을 예시하는 블록도(300)이다. 특히, 예시적인 XR 파이프라인이 도 3에 예시된다. 일부 구성에서, XR 애플리케이션(302)은 MV 그리드 생성과 연관된 커맨드를 생성하기 위해 그래픽 애플리케이션 프로그래밍 인터페이스(API)(304)를 사용할 수 있다. 그래픽 드라이버(310)(예를 들어, 그래픽 커널 드라이버(graphics kernel driver) 또는 커널 그래픽 지원 계층(kernel graphics support layer, KGSL))는 커맨드를 수신할 수 있고, XR 파이프라인과 연관된 적절한 데이터 및/또는 커맨드를 교환하기 위해 향상된 시각적 분석(enhanced visual analytics, EVA) 드라이버(306)와 통신할 수 있다. 또한, EVA 펌웨어(308)는 (예를 들어, 호스트 펌웨어 인터페이스(HFI) 큐들(316)을 통해) GPU(312)에 깊이 버퍼 세부사항들을 제공할 수 있고, LSR 워크로드가 GPU(312)에 의한 프로세싱을 위해 준비될 때 규칙적인 간격들로 IPCC(318)를 통해 GPU(312)에서 IPCC 인터럽트들을 트리거할 수 있다(IPCC는 SoC 레벨에서 프로세서간 인터럽트들을 관리하기 위한 중앙 블록일 수 있다).

[0036] LSR 사용 사례의 경우, GPU(312)는 예약될 수 있고, 고정된 기능 블록으로서 작용할 수 있다. 또한, LSR 맥락

에서, GPU(312) 내의 그래픽 관리 유닛(GMU)(314)은 항상 활성일 수 있고, EVA 펌웨어(308)로부터의 IPCC 인터럽트들을 모니터링할 수 있다(즉, GMU(314) 및 EVA 펌웨어(308)는 IPCC 인터럽트들을 사용하여 통신할 수 있다).

[0037] XR 파이프라인과 연관된 성능 목표들 또는 타겟들이 있을 수 있다. 예를 들어, 모션-투-렌더-투-광자("광자"는 HMD(head-mounted display)와 같은 디스플레이 상의 대응하는 변화를 지칭할 수 있음) 레이턴시(즉, 컴패니언 디바이스로부터 XR 디바이스로의 레이턴시)는 대략 50 내지 55ms일 수 있다. 또한, 모션-투-광자 레이턴시는 9ms 미만일 수 있다. 따라서, 성능 목표를 달성하는 동시에 전력 소비를 줄이는 것이 중요할 수 있다.

[0038] 그래픽 드라이버(310)는 GMU(314)가 EVA 펌웨어(308)로부터의 IPCC 인터럽트들을 항상 모니터링할 수 있기 때문에 GMU(314)를 슬럼버 상태(slumber state)로 만들기 위해 GMU(314)의 클록/레귤레이터를 디스에이블하지 않을 수 있다. 다른 잠재적인 전력 절감 기회를 이용하기 위해, GMU(314)는 GPU(312)가 유휴일 때 커맨드 제출들(워크로드 제출들) 사이에서 GPU(312)를 전력 축소시킬 수 있다. 이는 IFPC로 지칭될 수 있다. 특히, IFPC는 GPU가 프레임들 사이에서 스위칭 오프될 수 있는 전력 절감 특징일 수 있다. IFPC는 GMU(314) 펌웨어에 의해 제어될 수 있다. IFPC에 기초하여, GMU(314) 펌웨어는 GPU가 짧은 지속기간들 동안 유휴 상태일지라도 GPU를 스위치 오프할 수 있다.

[0039] 도 4는 하나 이상의 양태들에 따른 IFPC 와 연관된 예시적인 GPU 상태 타임라인을 예시하는 다이어그램(400)이다. IFPC가 인에이블되면, GPU는 임의의 주어진 시간에서 5개의 가능한 상태들 중 하나에 있을 수 있다: 활성 상태(A 상태라고도 지칭됨), 히스테리시스 타임아웃 상태(B 상태라고도 지칭됨), IFPC 엔트리 상태(C 상태라고도 지칭됨), IFPC 상태(D 상태라고도 지칭됨) (GPU에 대한 워크로드가 없을 때, GMU(314)는 GPU의 클록들 및 레귤레이터들을 스위치 오프할 수 있고; GPU는 IFPC 상태에 있을 때 완전히 오프일 수 있고, IFPC 종료 상태(E 상태라고도 함)(GPU가 IFPC 상태에 있는 동안 새로운 워크로드가 제출될 때, GMU(314)는 GPU의 클록들 및 레귤레이터들을 스위치 온할 수 있고; IFPC 종료 상태는 IFPC 상태로부터 활성 상태로의 천이에 대응되는 천이 상태일 수 있다). 특히, 활성 (A) 상태에 있는 경우, GPU는 현재의 샘플에 대응하는 커맨드 제출을 처리할 수 있다. 히스테리시스 타임아웃 (B) 상태는 GPU가 유휴 상태가 된 후에 IFPC 엔트리 (C) 상태를 시작하기 전의 타임아웃 기간일 수 있다. IFPC 엔트리 (C) 상태는 GMU가 GPU의 클럭 및 레귤레이터를 스위치 오프하는데 걸릴 수 있는 시간에 대응할 수 있다. IFPC (D) 상태인 경우, GPU는 완전히 오프될 수 있다. 또한, IFPC 종료 (E) 상태는 GMU가 GPU의 클럭 및 레귤레이터를 온 시키는데 걸리는 시간에 해당할 수 있다. 즉, IFPC가 인에이블되면, IFPC(D) 상태로의 진입 및 진출과 연관된 레이턴시가 존재할 수 있다.

[0040] 일 예에서, 도 4에 도시된 바와 같이, IFPC 가 인에이블되면, EVA 펌웨어로부터 IPCC 인터럽트(402)의 수신 시에, GMU 펌웨어는 GPU를 IFPC (D) 상태로부터 웨이크업하기 위해 GPU를 IFPC 종료 (E) 상태로 배치할 수도 있다. 따라서, IFPC 종료 (E) 상태는 IRCC 인터럽트(402)의 수신과 GPU가 어웨이크되고 커맨드를 프로세싱할 준비가 되는 시간 사이의 지연을 나타낼 수도 있다. 일단 GPU가 준비되고 활성 (A) 상태에 있으면, GPU는 현재 샘플과 연관된 커맨드를 프로세싱할 수 있다. GPU가 커맨드의 처리를 완료하면, GPU는 커맨드 완료 인터럽트를 GMU에 제공할 수 있다. 다음으로, GMU는 EVA 펌웨어에서 역 IPCC 인터럽트를 트리거함으로써 현재 샘플에 대한 MV 그리드가 준비되었음을 EVA 펌웨어에 통지할 수도 있다.

[0041] 히스테리시스 타임아웃 (B) 상태는 GPU가 커맨드의 처리를 완료하는 것과 동시에 시작될 수 있다. 일단 히스테리시스 타임아웃 (B) 상태가 만료되면, GMU는 먼저 GPU를 IFPC 엔트리 (C) 상태로 배치하고 그 다음에 IFPC (D) 상태로 배치함으로써 GPU를 전력 축소시킬 수도 있다.

[0042] 히스테리시스 타임아웃 (B) 상태는, GPU가 커맨드의 처리를 완료한 후에 임의의 즉각적인 추가적인 워크로드가 있는 경우, 불필요한 IFPC 진입 및 종료 시퀀스들을 회피하는데 도움이 될 수 있다. 이는 예를 들어, GPU가 CPU로부터 예측할 수 없는 워크로드를 수신할 때 유용할 수 있다.

[0043] 예시적인 예에서, GPU가 프로세싱할 초당 480개의 샘플들이 존재할 수 있다. 다시 말해서, 2개의 인접한 IPCC 인터럽트들(402) 사이의 간격은 대략 2.08ms일 수 있다. 프로젝션들에 기초하여, GPU가 각각의 샘플에 대한 MV 그리드 생성을 완료하는 데 0.22ms가 걸릴 수 있다. 즉, 각각의 샘플에 대해 GPU는 약 0.22ms 동안 활성 (A) 상태에 있을 수 있다. 또한, 2개의 인접한 IPCC 인터럽트들 (402) 사이의 총 지속기간은 도 4에 도시된 바와 같이, 모든 5개의 GPU 상태들과 연관된 지속기간들의 합과 동일할 수도 있고, 1) 히스테리시스 타임아웃 (B) 상태의 지속기간은 각각 대략 0.3 ms 일 수도 있고, 2) IFPC 엔트리 (C) 상태의 지속기간은 각각 대략 0.1 ms 일 수도 있고, 3) IFPC 종료 (E) 상태의 지속기간은 각각 대략 0.08 ms 일 수도 있다는 것이 알려져 있기 때문에, 이 예에서 IFPC (D) 상태의 각각의 인스턴스의 지속기간은 대략 1.38 ms 일 수 있는 것으로 계산될 수도 있다.

달리 말하면, 총 GPU 레일 활성 지속기간은 2개의 인접한 IPCC 인터럽트들(402) 사이의 각각의 간격에 대해 대략 0.7 ms 일 수도 있다.

[0044] 도 5는 하나 이상의 양태들에 따른 IFPC 와 연관된 예시적인 GPU 상태 타임라인을 예시하는 다이어그램(500)이다. 하나 이상의 구성들에서, XR 워크로드는 LSR 컨텍스트 전체에 걸쳐 고정된 간격들로 발생하는 지속적 타입일 수 있기 때문에, XR 파이프라인 성능 목표들이 계속해서 충족될 수 있는 동안 아래에서 더 상세히 설명되는 바와 같은 추가적인 적응들이 전력을 추가로 절약하기 위해 채택될 수 있다. 특히, 도 3을 다시 참조하면, 일 구성에서, XR 애플리케이션(302)은 타이머 값(예를 들어, T1)에 대응하는 힌트를 GMU(314) 펌웨어에 제공할 수 있다. 다른 구성에서, 힌트는 LSR 컨텍스트 셋업 동안 EVA 펌웨어(308)에 의해 GMU(314) 펌웨어에 제공될 수 있다. 또 다른 구성에서, 그래픽 드라이버(310) 또는 GMU(314) 펌웨어는 기계 학습 기법에 기초하여 힌트를 도출할 수 있다.

[0045] 타이머 값(T1)은 EVA와 GMU 사이의 흐름의 제어에 관련될 수 있고, EVA 펌웨어에 의해 GMU 펌웨어로 전송된 2개의 인접한 IPCC 인터럽트들(502) 사이의 간격에 대응할 수 있다. 따라서, 하나 이상의 구성들에서, IFPC 종료(E) 상태와 연관된 레이턴시에 기초하여, GMU 펌웨어는 EVA 펌웨어로부터 IPCC 인터럽트(502)를 수신하는 즉시, 타이머(예를 들어, Tg)를 트리거 또는 리셋할 수도 있다. 타이머(Tg)의 값은 T1으로부터 IFPC 종료(E) 상태와 연관된 레이턴시를 감산함으로써 계산될 수 있으며, 즉 Tg = T1 - E 상태의 인스턴스 지속 기간당이다.

[0046] 따라서, GMU 펌웨어는 후속 IPCC 인터럽트(502')의 수신 대신에 타이머(Tg)의 만료 시에 GPU를 웨이크업하기 시작할 수 있어서, GPU를 웨이크업하기 위한 타임라인이 전진될 수 있고, GPU는 GMU가 후속 IPCC 인터럽트(502')를 수신하는 대략 그 시간에 커맨드를 프로세싱하기 위해 활성 (A) 상태에서 준비될 수 있다. 따라서, IPCC 인터럽트(502')의 수신과 GPU 가 어웨이크되고 커맨드를 프로세싱할 준비가 되는 시간 사이의 지연은 제거될 수도 있거나 적어도 크게 감소될 수도 있고, GPU는 대응하는 IPCC 인터럽트(502')를 수신한 직후에 현재의 샘플에 대한 커맨드를 취출하고 프로세싱하기 시작할 수도 있다.

[0047] 또한, 타이머 값(T1)이 획득되면, GMU는 또한 히스테리시스 타임아웃 (B) 상태를 제거(즉, 히스테리시스 타임아웃 지속기간을 0으로 설정)할 수 있는데, 그 이유는 LSR 컨텍스트에서, 타이머 Tg가 만료되고 다음 IPCC 인터럽트가 수신될 때까지 어떠한 추가적인 즉각적인 GPU 워크로드도 존재하지 않을 수 있다는 것을 알 수 있기 때문이다.

[0048] 2개의 인접한 IPCC 인터럽트들(502) 사이의 총 지속기간은 도 5에 도시된 바와 같이, 모든 5개의 GPU 상태들과 연관된 지속기간들의 합과 동일할 수도 있고, 1) 히스테리시스 타임아웃 (B) 상태의 지속기간은 각각 0 ms일 수도 있고, 2) IFPC 엔트리 (C) 상태의 지속기간은 각각 대략 0.1 ms일 수도 있고, 3) IFPC 종료 (E) 상태의 지속기간은 각각 대략 0.08 ms일 수도 있다는 것이 알려질 수도 있기 때문에, 이 예에서 IFPC (D) 상태의 지속기간은 대략 1.68 ms일 수도 있는 것으로 계산될 수도 있다. 달리 말하면, 총 GPU 레일 활성 지속기간은 2개의 인접한 IPCC 인터럽트들(502) 사이의 각각의 간격에 대해 대략 0.4 ms 일 수도 있다. 따라서, 도 4에 도시된 타임라인과 비교하여, 도 5에서의 총 GPU 레일 활성 지속기간은 대략 42% 만큼 감소될 수도 있으며, 이는 대응하는 전력 절약과 연관될 수도 있다.

[0049] 따라서, 하나 이상의 양태들에 따르면, XR 애플리케이션, EVA 드라이버, 또는 그래픽 드라이버(예를 들어, 그래픽 커널 드라이버) 중 적어도 하나는 GMU 펌웨어에 타이머 값 T1과 관련된 힌트를 제공할 수도 있다. 그 결과, LSR 컨텍스트에서 고정된 주기적 워크로드에 불필요한 히스테리시스 타임아웃을 피할 수 있다. 즉, GPU는 커맨드의 처리가 완료된 직후에 IFPC (D) 상태로 진입할 수 있다. 히스테리시스 타임아웃의 회피는 전력을 절약할 수 있다. 또한, IPCC 인터럽트 및 해당 워크로드가 실제로 수신되기 전에 GPU의 웨이크업이 시작될 수 있다. 따라서, IPCC 인터럽트의 수신과 GPU가 어웨이크되어 커맨드를 프로세싱할 준비가 되는 시간 사이의 지연과 연관된 커맨드들의 프로세싱에서의 지연이 제거될 수 있다. 지연의 제거는 성능상의 이점을 가져올 수 있다.

[0050] 하나 이상의 구성들에서, 타이머 값 T1에 관한 힌트는 애플리케이션들(예를 들어, XR/AR/VR 애플리케이션들)이 타이머 값 T1(예를 들어, GPU로의 작업부하 제출들 사이의 간격)에서 그래픽 드라이버(예를 들어, 그래픽 커널 드라이버)로 전달될 수 있도록 그래픽 API에서 확장으로서 구현될 수 있다.

[0051] 하나 이상의 구성들에서, GMU/GPU에 더하여, 위에서 설명된 기법들은 각각의 IP 블록에서의 전력 축소 동작들을 개선하기 위해 다른 지적 재산(IP) 블록들(예를 들어, 비디오, EVA 등)에 유사하게 적용될 수 있다.

[0052] 도 6은 본 개시내용의 하나 이상의 기법들에 따른, 애플리케이션(602)(예를 들어, XR 애플리케이션(302)), 제1 컴포넌트(604)(예를 들어, EVA 펌웨어(308)), 및 GPU(606)(GPU(606) 내의 GMU를 포함함) 사이의 예시적인 통신

들을 예시하는 콜 흐름도(600)이다. 608에서, GPU(606)는 애플리케이션(602)으로부터, IFPC 상태를 종료하는 것과 연관된 타이머에 대한 시간 기간의 표시를 수신할 수 있다.

[0053] 일 구성에서, 타이머에 대한 시간 기간은 IFPC 종료 레이턴시에 적어도 부분적으로 더 기초할 수 있다.

[0054] 610에서, GPU(606)는 하나 이상의 미리 정의된 워크로드들의 처리를 시작하기 위한 제1 표시를 수신할 수 있다. 사용자 공간은 하나 이상의 미리 정의된 워크로드를 GPU 스케줄러(GMU)에 한번 제출할 수 있다. 또한, GPU 스케줄러(GMU)는 IPCC 인터럽트와 같은 이벤트 시에 일정 간격으로 하나 이상의 미리 정의된 워크로드를 GPU에 반복적으로 제출할 수 있다.

[0055] 일 구성에서, 하나 이상의 미리 정의된 워크로드는 하나 이상의 LSR 워크로드일 수 있다(LSR 워크로드는 깊이 버퍼 및 헤드 포즈에 기초하여 MV 그리드를 생성하기 위한 미리 정의된 워크로드일 수 있다). 추가 구성들에서, 하나 이상의 미리 정의된 워크로드는 GPU에 반복적으로 제출될 수 있는 임의의 워크로드일 수 있다.

[0056] 일 구성에서, 제 1 표시는 IPCC 인터럽트일 수도 있다.

[0057] 일 구성에서, 제 1 표시는 스케줄러, 애플리케이션, 또는 서비스 계층 중 적어도 하나로부터 수신될 수도 있다.

[0058] 일 구성에서, 하나 이상의 미리 정의된 워크로드는 XR 애플리케이션, AR 애플리케이션, 또는 VR 애플리케이션 중 적어도 하나와 연관될 수 있다.

[0059] 612에서, GPU(606)는 제1 표시를 수신하면 타이머를 트리거할 수 있다.

[0060] 614에서, GPU(606)는, IFPC 상태를 종료하는 것과 연관된 타이머를 트리거할 때, 하나 이상의 미리 정의된 워크로드들을 처리할 수 있다.

[0061] 616에서, GPU(606)는 하나 이상의 미리 정의된 워크로드들이 처리 완료될 때 IFPC 상태를 개시할 수 있다.

[0062] 618에서, GPU(606)는 타이머의 만료를 검출할 수 있다.

[0063] 620에서, GPU(606)는 타이머의 만료를 검출할 때 IFPC 상태를 종료할 수 있다.

[0064] 일 구성에서, 타이머와 연관된 제1 기간 내의 히스테리시스 타임아웃은 0이다.

[0065] 622에서, GPU(606)는 하나 이상의 미리 정의된 워크로드들의 처리를 시작하기 위한 제2 표시를 수신할 수 있다.

[0066] 도 7은 본 개시내용의 하나 이상의 기법들에 따른 예시적인 그래픽 프로세싱 방법의 흐름도(700)이다. 방법은 장치, 이를 테면, 도 1-6의 양태들과 연관되어 사용된 바와 같은 그래픽 프로세싱을 위한 장치, GPU, CPU, 무선 통신 디바이스 등에 의해 수행될 수도 있다.

[0067] 702에서, 장치는 애플리케이션으로부터, IFPC 상태를 종료하는 것과 연관된 타이머에 대한 시간 기간의 표시를 수신할 수 있다. 예를 들어, 도 6을 참조하면, 608에서, GPU(606)는 애플리케이션(602)으로부터, IFPC 상태를 종료하는 것과 연관된 타이머에 대한 시간 기간의 표시를 수신할 수도 있다. 또한, 702는 처리 유닛(120)에 의해 수행될 수 있다.

[0068] 704에서, 장치는, IFPC 상태를 종료하는 것과 연관된 타이머를 트리거할 때, 하나 이상의 미리 정의된 워크로드들을 처리할 수도 있다. 예를 들어, 도 6을 참조하면, 614에서, GPU(606)는, IFPC 상태를 종료하는 것과 연관된 타이머를 트리거할 때, 하나 이상의 미리 정의된 워크로드들을 처리할 수도 있다. 또한, 704는 처리 유닛(120)에 의해 수행될 수 있다.

[0069] 706에서, 장치는 하나 이상의 미리 정의된 워크로드들이 처리를 완료하면 IFPC 상태를 개시할 수 있다. 예를 들어, 도 6을 참조하면, 616에서, GPU(606)는 하나 이상의 미리 정의된 워크로드들이 처리를 완료하면 IFPC 상태를 개시할 수도 있다. 또한, 706은 처리 유닛(120)에 의해 수행될 수 있다.

[0070] 708에서, 장치는 타이머의 만료를 검출하면 IFPC 상태를 종료할 수 있다. 예를 들어, 도 6을 참조하면, 620에서, GPU(606)는 타이머의 만료를 검출할 때 IFPC 상태를 종료할 수도 있다. 또한, 708은 처리 유닛(120)에 의해 수행될 수 있다.

[0071] 도 8은 본 개시내용의 하나 이상의 기법들에 따른 예시적인 그래픽 프로세싱 방법의 흐름도(800)이다. 방법은 장치, 이를 테면, 도 1-6의 양태들과 연관되어 사용된 바와 같은 그래픽 프로세싱을 위한 장치, GPU, CPU, 무선 통신 디바이스 등에 의해 수행될 수도 있다.

[0072] 802에서, 장치는 애플리케이션으로부터, IFPC 상태를 종료하는 것과 연관된 타이머에 대한 시간 기간의 표시를 수신할 수 있다. 예를 들어, 도 6을 참조하면, 608에서, GPU(606)는 애플리케이션(602)으로부터, IFPC 상태를 종료하는 것과 연관된 타이머에 대한 시간 기간의 표시를 수신할 수도 있다. 또한, 802는 처리 유닛(120)에 의해 수행될 수 있다.

[0073] 808에서, 장치는, IFPC 상태를 종료하는 것과 연관된 타이머를 트리거할 때, 하나 이상의 미리 정의된 워크로드들을 처리할 수도 있다. 예를 들어, 도 6을 참조하면, 614에서, GPU(606)는, IFPC 상태를 종료하는 것과 연관된 타이머를 트리거할 때, 하나 이상의 미리 정의된 워크로드들을 처리할 수도 있다. 또한, 808은 처리 유닛(120)에 의해 수행될 수 있다.

[0074] 810에서, 장치는 하나 이상의 미리 정의된 워크로드들이 처리를 완료하면 IFPC 상태를 개시할 수 있다. 예를 들어, 도 6을 참조하면, 616에서, GPU(606)는 하나 이상의 미리 정의된 워크로드들이 처리를 완료하면 IFPC 상태를 개시할 수도 있다. 또한, 810은 처리 유닛(120)에 의해 수행될 수 있다.

[0075] 814에서, 장치는 타이머의 만료를 검출하면 IFPC 상태를 종료할 수 있다. 예를 들어, 도 6을 참조하면, 620에서, GPU(606)는 타이머의 만료를 검출할 때 IFPC 상태를 종료할 수도 있다. 또한, 814는 처리 유닛(120)에 의해 수행될 수 있다.

[0076] 일 구성에서, 804에서, 장치는 하나 이상의 미리 정의된 워크로드들의 처리를 시작하기 위한 제1 표시를 수신할 수도 있다. 예를 들어, 도 6을 참조하면, 610에서, GPU(606)는 하나 이상의 미리 정의된 워크로드들의 처리를 시작하기 위한 제1 표시를 수신할 수 있다. 또한, 804는 처리 유닛(120)에 의해 수행될 수 있다.

[0077] 806에서, 장치는 제1 표시를 수신할 때 타이머를 트리거할 수 있다. 예를 들어, 도 6을 참조하면, 612에서, GPU(606)는, 제1 표시를 수신할 때, 타이머를 트리거할 수도 있다. 또한, 806은 처리 유닛(120)에 의해 수행될 수 있다.

[0078] 812에서, 장치는 타이머의 만료를 검출할 수 있다. 예를 들어, 도 6을 참조하면, 618에서, GPU(606)는 타이머의 만료를 검출할 수도 있다. 또한, 812는 처리 유닛(120)에 의해 수행될 수 있다.

[0079] 일 구성에서, 하나 이상의 미리 정의된 워크로드는 하나 이상의 LSR 워크로드일 수 있다.

[0080] 일 구성에서, 제1 표시는 IPCC 인터럽트일 수도 있다.

[0081] 일 구성에서, 제1 표시는 스케줄러, 애플리케이션, 또는 서비스 계층 중 적어도 하나로부터 수신될 수도 있다.

[0082] 일 구성에서, 하나 이상의 미리 정의된 워크로드는 XR 애플리케이션, AR 애플리케이션, 또는 VR 애플리케이션 중 적어도 하나와 연관될 수 있다.

[0083] 일 구성에서, 816에서, 장치는 하나 이상의 미리 정의된 워크로드들의 처리를 시작하기 위한 제2 표시를 수신할 수도 있다. 예를 들어, 도 6을 참조하면, 622에서, GPU(606)는 하나 이상의 미리 정의된 워크로드들의 처리를 시작하기 위한 제2 표시를 수신할 수 있다. 또한, 816은 처리 유닛(120)에 의해 수행될 수 있다.

[0084] 일 구성에서, 도 6을 참조하면, 타이머의 만료를 검출할 때 IFPC 상태를 종료하는 것은 GPU(606)에서 IFPC 상태를 종료하는 것을 포함할 수도 있다.

[0085] 일 구성에서, 타이머에 대한 시간 기간은 IFPC 종료 레이턴시에 적어도 부분적으로 더 기초할 수 있다.

[0086] 일 구성에서, 타이머와 연관된 제1 기간 내의 히스테리시스 타임아웃은 0일 수도 있다.

[0087] 구성에서, 그래픽 프로세싱을 위한 방법 또는 장치가 제공된다. 장치는 GPU, CPU, 또는 그래픽스 프로세싱을 수행할 수 있는 일부 다른 프로세서일 수도 있다. 양태들에서, 장치는 디바이스(104) 내의 프로세싱 유닛(120)일 수 있고, 또는 디바이스(104) 또는 다른 디바이스 내의 일부 다른 하드웨어일 수 있다. 장치는, 애플리케이션으로부터, IFPC 상태를 종료하는 것과 연관된 타이머에 대한 시간 기간의 표시를 수신하기 위한 수단을 포함할 수도 있다. 장치는, IFPC 상태를 종료하는 것과 연관된 타이머를 트리거할 때, 하나 이상의 미리 정의된 워크로드들을 처리하기 위한 수단을 더 포함할 수도 있다. 장치는 하나 이상의 미리 정의된 워크로드들이 처리 완료될 때 IFPC 상태를 개시하기 위한 수단을 더 포함할 수 있다. 장치는 타이머의 만료를 검출할 때 IFPC 상태를 종료하기 위한 수단을 더 포함할 수 있다.

[0088] 일 구성에서, 장치는 하나 이상의 미리 정의된 워크로드들의 처리를 시작하기 위한 제1 표시를 수신하기 위한 수단을 더 포함할 수도 있다. 장치는 제1 표시를 수신할 시에, 타이머를 트리거하기 위한 수단을 더 포함할 수

도 있다. 장치는 타이머의 만료를 검출하기 위한 수단을 더 포함할 수 있다. 일 구성에서, 하나 이상의 미리 정의된 워크로드는 하나 이상의 LSR 워크로드일 수 있다. 일 구성에서, 제1 표시는 IPCC 인터럽트일 수도 있다. 일 구성에서, 제1 표시는 스케줄러, 애플리케이션, 또는 서비스 계층 중 적어도 하나로부터 수신될 수도 있다. 일 구성에서, 하나 이상의 미리 정의된 워크로드는 XR 애플리케이션, AR 애플리케이션, 또는 VR 애플리케이션 중 적어도 하나와 연관될 수 있다. 일 구성에서, 장치는 하나 이상의 미리 정의된 워크로드들의 처리를 시작하기 위한 제2 표시를 수신하기 위한 수단을 더 포함할 수도 있다. 일 구성에서, 타이머의 만료를 검출할 때 IFPC 상태를 종료하는 것은 GPU에서 IFPC 상태를 종료하는 것을 포함할 수 있다. 일 구성에서, 타이머에 대한 시간 기간은 IFPC 종료 레이턴시에 적어도 부분적으로 더 기초할 수 있다. 일 구성에서, 타이머와 연관된 제1 기간 내의 히스테리시스 타임아웃은 0일 수도 있다.

[0089] 본 명세서에 개시된 프로세스들, 흐름도들, 및/또는 호 흐름도들의 특정 순서 또는 계층구조는 예시적인 접근법들의 예시임이 이해된다. 설계 선호도들에 기초하여, 프로세스들, 흐름도들, 및/또는 호 흐름도들의 블록들/단계들의 특정 순서 또는 계층구조는 재배열될 수 있음이 이해된다. 추가로, 일부 블록들/단계들은 결합 또는 생략될 수 있다. 다른 블록들/단계들도 또한 추가될 수 있다. 첨부한 방법 청구항들은 샘플 순서로 다양한 블록들/단계들의 엘리먼트들을 제시하며, 제시된 특정 순서 또는 계층구조로 제한되도록 의도되지 않는다.

[0090] 상기 설명은 당업자로 하여금 본 명세서에서 설명된 다양한 양태들을 실시할 수 있게 하도록 제공된다. 이들 양태들에 대한 다양한 수정들은 당업자에게 용이하게 자명할 것이며, 본 명세서에서 정의된 일반적인 원리들은 다른 양태들에 적용될 수도 있다. 따라서, 청구범위는 본 명세서에 나타난 양태로 제한되도록 의도되는 것이 아니라, 청구범위의 문언에 부합하는 최대 범위를 부여하려는 것이며, 여기서, 단수형의 엘리먼트에 대한 참조는 특정하게 그렇게 언급되지 않으면 "하나 및 오직 하나"를 의미하기보다는 오히려 "하나 이상"을 의미하도록 의도된다. 단어 "예시적인"은 "예, 사례, 또는 예시로서 기능함"을 의미하도록 본 명세서에서 사용된다. "예시적인" 것으로서 본 명세서에서 설명된 임의의 양태는 다른 양태들에 비해 반드시 선호되거나 유리한 것으로서 해석될 필요는 없다.

[0091] 달리 구체적으로 언급되지 않는 한, 용어 "일부"는 하나 이상을 지칭하고, 용어 "또는"은 문맥이 달리 구술하지 않는 경우 "및/또는"으로서 해석될 수 있다. "A, B, 또는 C 중 적어도 하나", "A, B, 또는 C 중 하나 이상", "A, B, 및 C 중 적어도 하나", "A, B, 및 C 중 하나 이상" 및 "A, B, C, 또는 이들의 임의의 조합"과 같은 조합들은, A, B, 및/또는 C의 임의의 조합을 포함하며, A의 배수들, B의 배수들, 또는 C의 배수들을 포함할 수 있다. 구체적으로, "A, B 또는 C 중 적어도 하나", "A, B 또는 C 중 하나 이상", "A, B 및 C 중 적어도 하나", "A, B 및 C 중 하나 이상" 및 "A, B, C 또는 이들의 임의의 조합"과 같은 조합들은 오직 A, 오직 B, 오직 C, A 및 B, A 및 C, B 및 C 또는 A 및 B 및 C일 수 있고, 임의의 이러한 조합들은 A, B 또는 C의 하나 이상의 멤버 또는 멤버들을 포함할 수 있다. 당업자에게 공지되거나 나중에 공지되게 될 본 개시 전반에 걸쳐 설명된 다양한 양태들의 엘리먼트들에 대한 모든 구조적 및 기능적 균등물들은 본 명세서에 참조에 의해 명백히 통합되며 청구항들에 의해 포괄되도록 의도된다. 게다가, 본원에 개시된 어떠한 것도, 그와 같은 개시내용이 청구항들에 명시적으로 인용되는지 여부에 관계없이 공중에 전용되도록 의도되지 않는다. 단어들 "모듈", "메커니즘", "엘리먼트", "디바이스" 등은 단어 "수단"을 대신하지 못할 수도 있다. 그에 따라, 어떠한 청구항 엘리먼트도, 그 엘리먼트가 어구 "~를 위한 수단"을 사용하여 명백하게 기재되지 않는다면 수단 플러스 기능으로서 해석되지 않아야 한다.

[0092] 하나 이상의 실시예에서, 본 명세서에 설명된 기능은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 조합으로 구현될 수 있다. 예를 들어, 용어 "프로세싱 유닛"이 본 개시내용 전체에 걸쳐 사용되었지만, 이러한 프로세싱 유닛은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 조합으로 구현될 수 있다. 임의의 기능, 프로세싱 유닛, 본 명세서에 설명된 기술 또는 다른 모듈이 소프트웨어로 구현되는 경우, 기능, 프로세싱 유닛, 본 명세서에 설명된 기술 또는 다른 모듈은 컴퓨터 판독 가능 저장 매체 상에 하나 이상의 명령 또는 코드로서 저장되거나 이를 통해 전송될 수 있다.

[0093] 컴퓨터 판독가능 저장 매체는 일 장소로부터 다른 장소로의 컴퓨터 프로그램의 전달을 용이하게 하는 임의의 매체를 포함하는 통신 매체 또는 컴퓨터 데이터 저장 매체를 포함할 수 있다. 이러한 방식으로, 컴퓨터 판독가능 매체들은 일반적으로 (1) 비일시적인 유형의 컴퓨터 판독가능 저장 매체들; 또는 (2) 신호 또는 캐리어 파(carrier wave)와 같은 통신 매체에 대응할 수 있다. 데이터 저장 매체는 본 개시내용에서 기술된 기법들의 구현을 위한 명령들, 코드 및/또는 데이터 구조들을 취출하기 위해 하나 이상의 컴퓨터들 또는 하나 이상의 프로세서들에 의해 액세스될 수 있는 임의의 이용가능 매체일 수 있다. 한정이 아닌 예로서, 그러한 컴퓨터 판독가능 매체들은 RAM, ROM, EEPROM, CD-ROM(compact disc-read only memory) 또는 다른 광학 디스크 저장부, 자기

디스크 저장부 또는 다른 자기 저장 디바이스들을 포함할 수 있다. 본 명세서에 사용된 바와 같이, 디스크(disk) 및 디스크(disc)는 컴팩트 디스크(CD), 레이저 디스크, 광학 디스크, 디지털 다기능 디스크(DVD), 플로피 디스크 및 블루레이 디스크를 포함하며, 여기서, 디스크(disk)들은 통상적으로 데이터를 자기적으로 재생하지만 디스크(disc)들은 통상적으로 레이저들을 이용하여 데이터를 광학적으로 재생한다. 상기의 조합들이 또한, 컴퓨터 판독가능 매체들의 범위 내에 포함되어야 한다. 컴퓨터 프로그램 제품이 컴퓨터 판독가능 매체를 포함할 수도 있다.

[0094] 본 개시내용의 기술은 무선 핸드셋, 집적 회로(IC) 또는 IC의 세트(예를 들어, 칩셋)를 포함하는, 매우 다양한 디바이스 또는 장치에서 구현될 수 있다. 다양한 컴포넌트, 모듈, 또는 유닛은 개시된 기술을 수행하도록 구성된 디바이스의 기능적 양태를 강조하기 위해 본 개시내용에 설명되지만, 다른 하드웨어 유닛에 의한 실현을 반드시 필요로 하는 것은 아니다. 오히려, 상기 설명된 바와 같이, 다양한 유닛은 적합한 소프트웨어 및/또는 펌웨어와 함께 상기 설명된 바와 같은 하나 이상의 프로세서를 포함하여 임의의 하드웨어 유닛에서 조합되거나 또는 상호운용식 하드웨어 유닛의 컬렉션에 의해 제공될 수 있다. 따라서, 본 명세서에 사용된 바와 같이, 용어 "프로세서"는, 본 명세서에 설명된 기술의 구현에 적합한 전술한 구조체 또는 임의의 다른 구조체 중 어느 하나를 지칭할 수 있다. 또한, 그 기술은 하나 이상의 회로 또는 로직 엘리먼트로 완전히 구현될 수 있다.

[0095] 다음의 양태들은 예시일 뿐이며 제한 없이 본 명세서에서 설명된 다른 양태들 또는 교시들과 조합될 수 있다.

[0096] 양태 1은, 그래픽 프로세싱 방법이며, 애플리케이션으로부터, IFPC 상태를 종료하는 것과 연관된 타이머에 대한 시간 기간의 표시를 수신하는 단계; 상기 IFPC 상태를 종료하는 것과 연관된 상기 타이머를 트리거할 때, 하나 이상의 미리 정의된 워크로드를 처리하는 단계; 상기 하나 이상의 미리 정의된 워크로드가 처리 완료될 때, 상기 IFPC 상태를 시작하는 단계; 및 타이머의 만료를 검출할 때 상기 IFPC 상태를 종료하는 단계를 포함한다.

[0097] 양태 2는 양태 1과 결합될 수 있고, 추가로, 하나 이상의 미리 정의된 워크로드들의 처리를 시작하기 위한 제1 표시를 수신하는 단계; 제1 표시를 수신하면, 타이머를 트리거하는 단계; 및 타이머의 만료를 검출하는 단계를 포함한다.

[0098] 양태 3은 양태 2와 결합될 수 있고, 하나 이상의 미리 정의된 워크로드들이 하나 이상의 LSR 워크로드들인 것을 포함한다.

[0099] 양태 4는 양태 2 및 3 중 임의의 것과 결합될 수도 있고, 제1 표시가 IPCC 인터럽트라는 것을 포함한다.

[0100] 양태 5는 양태 2 내지 4 중 임의의 것과 결합될 수 있고, 제1 표시가 스케줄러, 애플리케이션, 또는 서비스 계층 중 적어도 하나로부터 수신되는 것을 포함한다.

[0101] 양태 6은 양태 2 내지 5 중 임의의 것과 결합될 수 있고, 하나 이상의 미리 정의된 워크로드들이 XR 애플리케이션, AR 애플리케이션, 또는 VR 애플리케이션 중 적어도 하나와 연관되는 것을 포함한다.

[0102] 양태 7은 양태 2 내지 6 중 임의의 것과 결합될 수 있고, 하나 이상의 미리 정의된 워크로드들의 처리를 시작하기 위한 제2 표시를 수신하는 것을 더 포함한다.

[0103] 양태 8은 양태 1 내지 7 중 임의의 것과 결합될 수 있고, 타이머의 만료를 검출할 때 IFPC 상태를 종료하는 것이 GPU에서 IFPC 상태를 종료하는 것을 포함하는 것을 포함한다.

[0104] 양태 9는 양태 1 내지 8 중 임의의 것과 결합될 수 있고, 타이머에 대한 시간 기간이 IFPC 종료 레이턴시에 적어도 부분적으로 더 기초한다는 것을 포함한다.

[0105] 양태 10은 양태 1 내지 9 중 임의의 것과 결합될 수 있고, 타이머와 연관된 제1 기간 내의 히스테리시스 타임아웃이 0이라는 것을 포함한다.

[0106] 양태 11은 메모리에 커플링되고 양태 1 내지 10 중 임의의 양태에서와 같은 방법을 구현하도록 구성되는 적어도 하나의 프로세서를 포함하는 그래픽 프로세싱을 위한 장치이다.

[0107] 양태 12는 양태 11과 결합될 수 있으며, 장치가 무선 통신 디바이스인 것을 포함한다.

[0108] 양태 13은 양태 1 내지 10 중 임의의 양태에서와 같은 방법을 구현하는 수단을 포함하는 그래픽 프로세싱 장치이다.

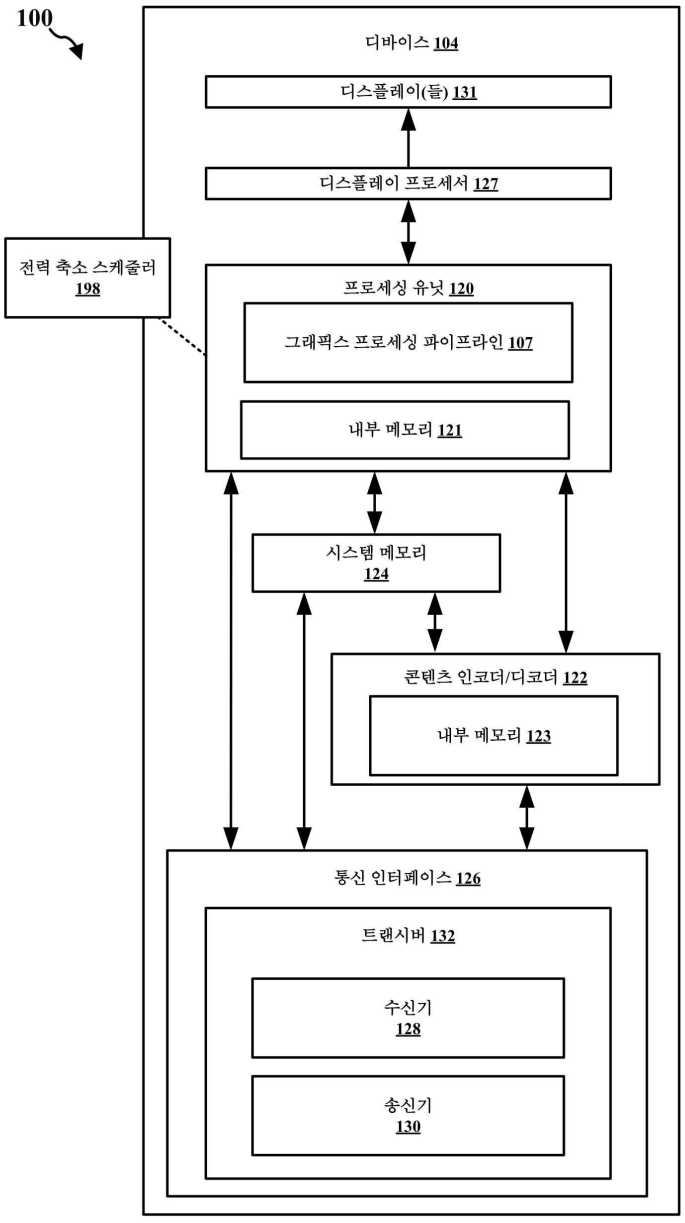
[0109] 양태 14는 컴퓨터 실행가능 코드를 저장하는 비일시적 컴퓨터 판독가능 매체이며, 코드는 적어도 하나의 프로세서에 의해 실행될 때, 적어도 하나의 프로세서로 하여금 양태 1 내지 10 중 임의의 양태에서와 같은 방법을 구

현하게 한다.

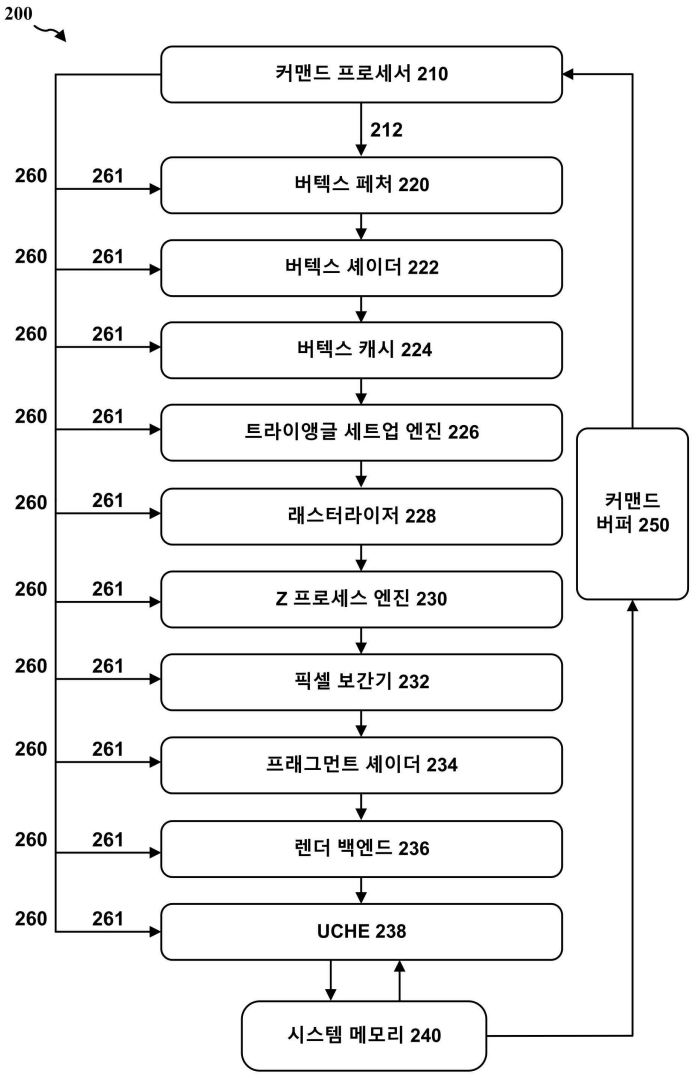
[0110] 다양한 양태들이 본 명세서에 기재되어 있다. 이들 및 다른 양태들은 다음의 청구항들의 범위 내에 있다.

도면

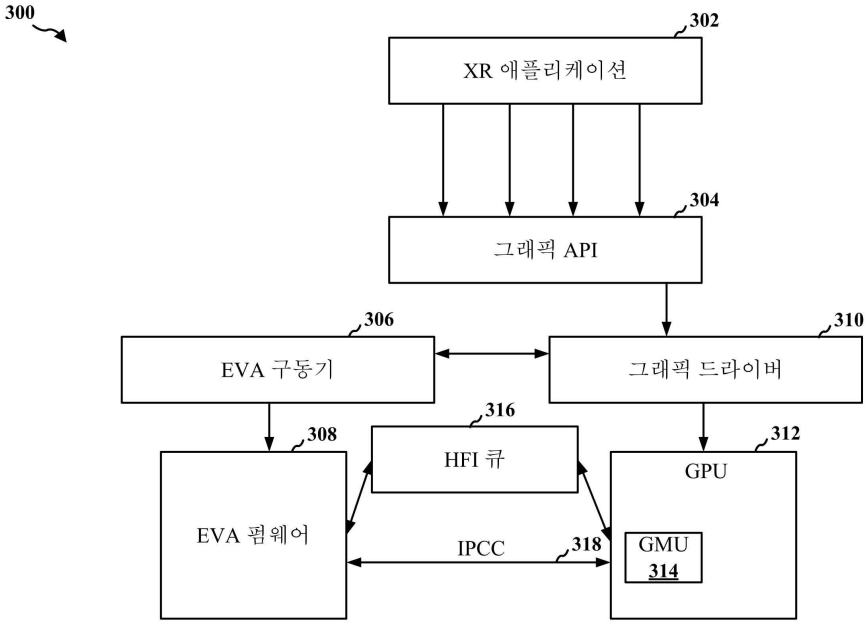
도면1



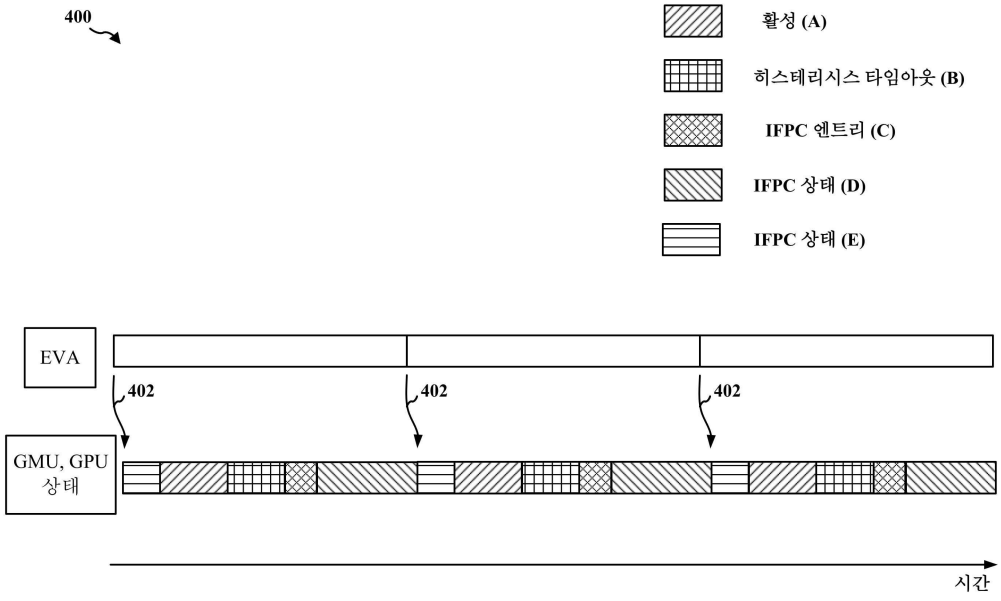
도면2


200
커맨드 프로세서 210
212
260
261
버텍스 페처 220
버텍스 셰이더 222
버텍스 캐시 224
트라이앵글 세트업 엔진 226
래스터라이저 228
Z 프로세스 엔진 230
픽셀 보간기 232
프래그먼트 셰이더 234
렌더 백엔드 236
UCHE 238
시스템 메모리 240
커맨드
버퍼 250

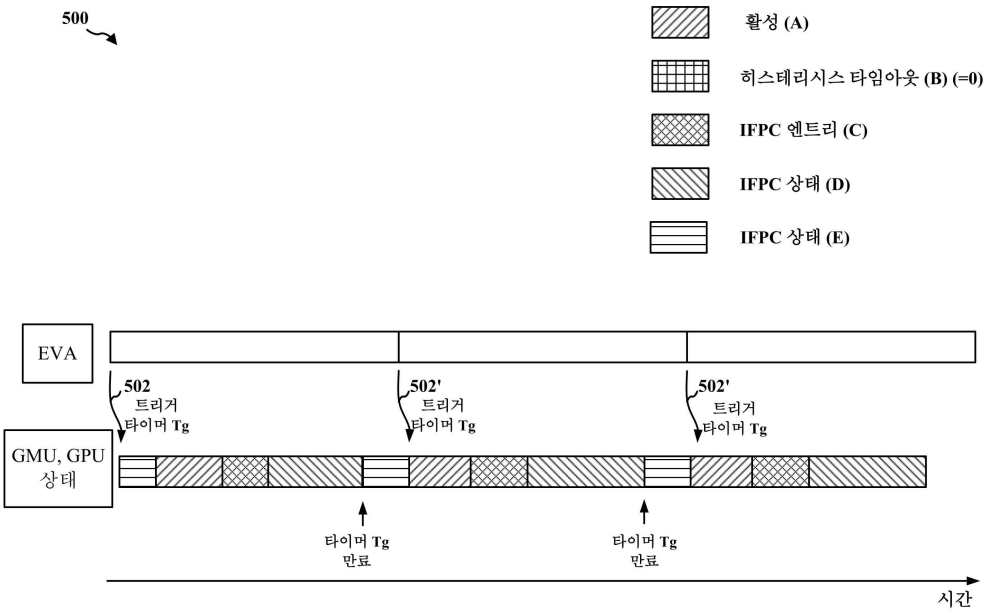
도면3


300
302
XR 애플리케이션
304
그래픽 API
306
EVA 구동기
310
그래픽 드라이버
316
HFI 큐
308
312
GPU
EVA 펌웨어
IPCC
318
GMU
314

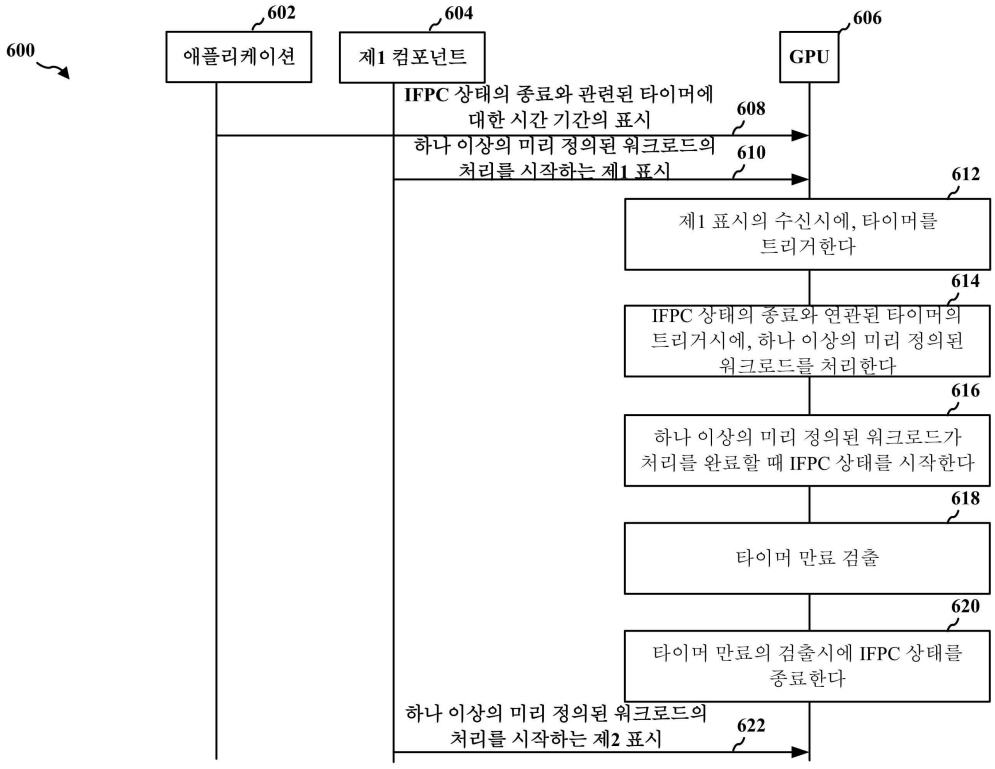
도면4


400
활성 (A)
히스테리시스 타임아웃 (B)
IFPC 엔트리 (C)
IFPC 상태 (D)
IFPC 상태 (E)
EVA
402
402
402
GMU, GPU
상태
시간

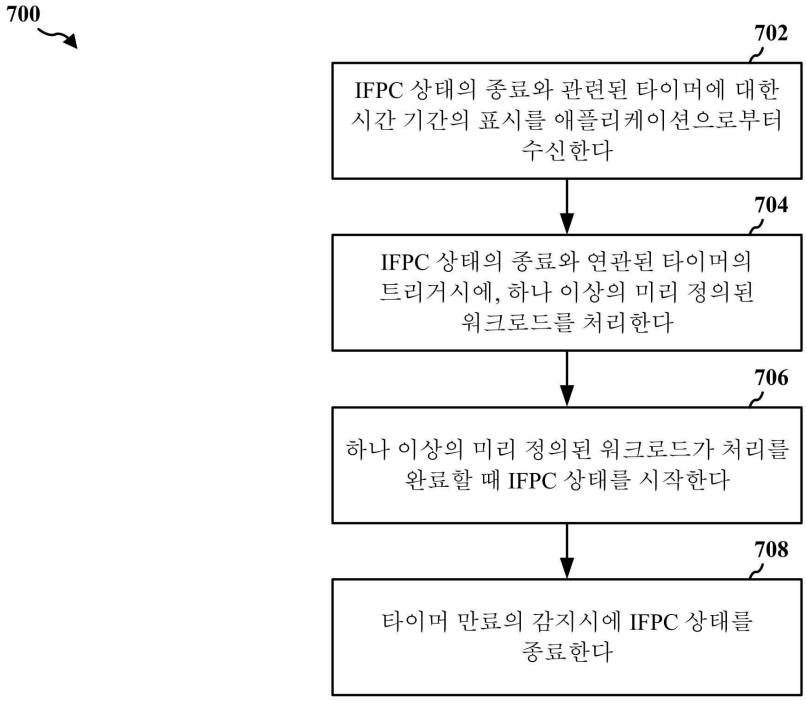
도면5


500
활성 (A)
히스테리시스 타임아웃 (B) (=0)
IFPC 엔트리 (C)
IFPC 상태 (D)
IFPC 상태 (E)
EVA
502
트리거
타이머 Tg
502'
트리거
타이머 Tg
502'
트리거
타이머 Tg
GMU, GPU
상태
타이머 Tg
만료
타이머 Tg
만료
시간

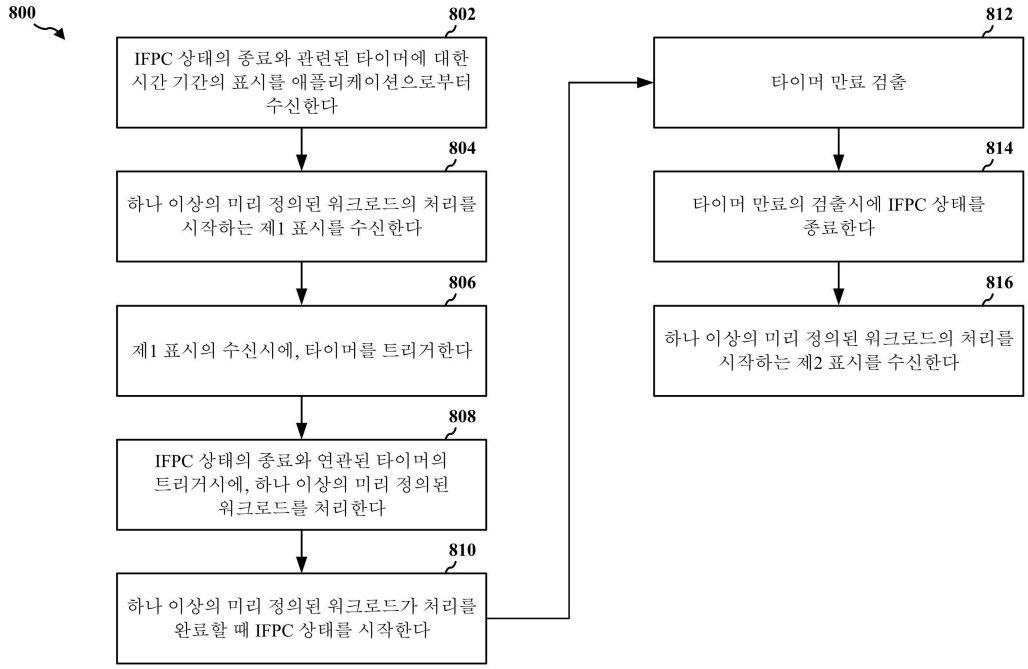
도면6


600
602
애플리케이션
604
제1 컴포넌트
606
GPU
IFPC 상태의 종료와 관련된 타이머에 대한 시간 기간의 표시
608
하나 이상의 미리 정의된 워크로드의 처리를 시작하는 제1 표시
610
612
제1 표시의 수신시에, 타이머를 트리거한다
614
IFPC 상태의 종료와 연관된 타이머의 트리거시에, 하나 이상의 미리 정의된 워크로드를 처리한다
616
하나 이상의 미리 정의된 워크로드가 처리를 완료할 때 IFPC 상태를 시작한다
618
타이머 만료 검출
620
타이머 만료의 검출시에 IFPC 상태를 종료한다
하나 이상의 미리 정의된 워크로드의 처리를 시작하는 제2 표시
622

도면7


700
702
IFPC 상태의 종료와 관련된 타이머에 대한 시간 기간의 표시를 애플리케이션으로부터 수신한다
704
IFPC 상태의 종료와 연관된 타이머의 트리거시에, 하나 이상의 미리 정의된 워크로드를 처리한다
706
하나 이상의 미리 정의된 워크로드가 처리를 완료할 때 IFPC 상태를 시작한다
708
타이머 만료의 감지시에 IFPC 상태를 종료한다

도면8


800
802
IFPC 상태의 종료와 관련된 타이머에 대한 시간 기간의 표시를 애플리케이션으로부터 수신한다
804
하나 이상의 미리 정의된 워크로드의 처리를 시작하는 제1 표시를 수신한다
806
제1 표시의 수신시에, 타이머를 트리거한다
808
IFPC 상태의 종료와 연관된 타이머의 트리거시에, 하나 이상의 미리 정의된 워크로드를 처리한다
810
하나 이상의 미리 정의된 워크로드가 처리를 완료할 때 IFPC 상태를 시작한다
812
타이머 만료 검출
814
타이머 만료의 검출시에 IFPC 상태를 종료한다
816
하나 이상의 미리 정의된 워크로드의 처리를 시작하는 제2 표시를 수신한다