



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0093555
(43) 공개일자 2025년06월24일

(51) 국제특허분류(Int. Cl.)
H01G 4/012 (2006.01) H01G 4/12 (2006.01)
H01G 4/232 (2006.01) H01G 4/30 (2006.01)
(52) CPC특허분류
H01G 4/012 (2013.01)
H01G 4/12 (2021.01)
(21) 출원번호 10-2025-7017115
(22) 출원일자(국제) 2023년11월21일
심사청구일자 2025년05월23일
(85) 번역문제출일자 2025년05월23일
(86) 국제출원번호 PCT/JP2023/041747
(87) 국제공개번호 WO 2024/142672
국제공개일자 2024년07월04일
(30) 우선권주장
JP-P-2022-212596 2022년12월28일 일본(JP)

(71) 출원인
가부시키가이샤 무라타 세이사쿠쇼
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고
(72) 발명자
이시즈카 아키라
일본국 교토 나가오카쿄시 히가시코타리 1초메 10방 1고 가부시키가이샤 무라타 세이사쿠쇼 내
타나카 아키라
일본국 교토 나가오카쿄시 히가시코타리 1초메 10방 1고 가부시키가이샤 무라타 세이사쿠쇼 내
(74) 대리인
윤앤리특허법인(유한)

전체 청구항 수 : 총 9 항

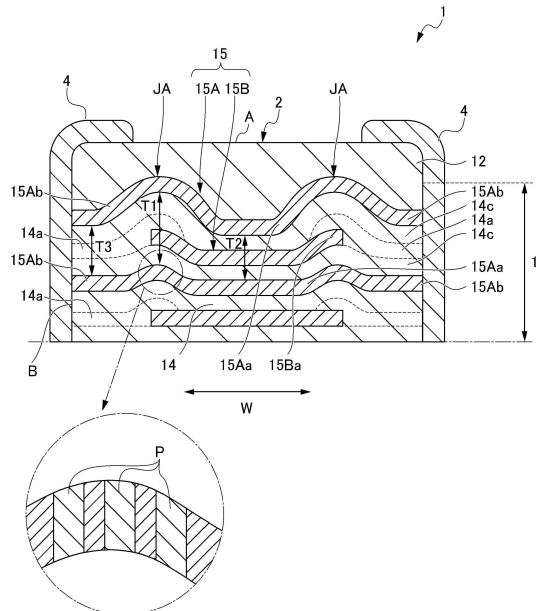
(54) 발명의 명칭 적층 세라믹 콘덴서

(57) 요약

대용량이면서 내부전극층과 유전체층의 경계부에서 생기는 층간 박리의 발생을 억제한 적층 세라믹 콘덴서를 제공한다.

유전체층(14)과 내부전극층(15)을 교대로 복수개 적층한 내층부(11)를 포함하는 적층 세라믹 콘덴서(1)로서, 제1 (뒷면에 계속)

대표도 - 도2



내부전극층(15A)과 제2 내부전극층(15B)은 적층방향(T)으로부터의 평면에서 봤을 때 서로 겹치는 대향부와, 상기 대향부로부터 상기 적층체(2)의 단면(C) 또는 측면(B)으로 인출되고 적층방향(T)으로부터의 평면에서 봤을 때 서로 겹치지 않는 인출부를 포함하며, 내부전극층(15)은 적층방향(T)으로 연통하고, 유전체층(14)을 구성하는 유전체가 진입한 연통 구멍(P)을 가지며, 상기 유전체가 진입한 연통 구멍(P)의 존재율은 상기 대향부 중 상기 인출부가 접속하는 접속 영역(JA)이 상기 대향부의 중앙부보다 높으면서, 상기 인출부의 중앙부보다 높은 적층 세라믹 콘덴서(1).

(52) CPC특허분류

H01G 4/232 (2013.01)

H01G 4/30 (2013.01)

명세서

청구범위

청구항 1

유전체층과 내부전극층을 교대로 복수개 적층한 내층부를 포함하고, 적층방향으로 마주보는 2개의 주면(主面)과, 상기 적층방향과 교차하는 길이방향으로 마주보는 2개의 단면(端面)과, 상기 적층방향과 상기 길이방향에 교차하는 폭방향으로 마주보는 2개의 측면을 포함하는 적층체와,

상기 적층체의 상기 측면과 상기 단면 중 적어도 어느 하나에서 상기 내부전극층과 접속하는 외부전극을 포함한 적층 세라믹 콘덴서로서,

상기 내부전극층은 제1 내부전극층과 제2 내부전극층을 포함하며,

상기 제1 내부전극층과 상기 제2 내부전극층은 상기 적층방향으로부터의 평면에서 봤을 때 서로 겹치는 대향부와, 상기 대향부로부터 상기 적층체의 상기 단면 또는 상기 측면으로 인출되고 상기 적층방향으로부터의 평면에서 봤을 때 서로 겹치지 않는 인출부를 포함하며,

상기 내부전극층은 상기 적층방향으로 연통하고, 상기 유전체층을 구성하는 유전체가 진입한 연통 구멍을 가지며,

상기 유전체가 진입한 연통 구멍의 존재율은 상기 대향부 중 상기 인출부가 접속하는 접속 영역이 상기 대향부의 중앙부보다 높으면서, 상기 인출부의 중앙부보다 높은, 적층 세라믹 콘덴서.

청구항 2

제1항에 있어서,

상기 내부전극층은 상기 제1 내부전극층과 상기 제2 내부전극층을 포함하며,

상기 제1 내부전극층은 상기 유전체층을 사이에 두고 상기 제2 내부전극층과 대향하는 제1 대향부와, 상기 제1 대향부로부터 상기 적층체의 상기 측면으로 인출되는 측면 인출부를 포함하며,

상기 제2 내부전극층은 상기 유전체층을 사이에 두고 상기 제1 내부전극층과 대향하는 제2 대향부와, 상기 대향부로부터 상기 적층체의 2개의 상기 단면으로 인출되는 단면 인출부를 포함하며,

상기 내부전극층은 상기 적층방향으로 연통하고, 상기 유전체층을 구성하는 유전체가 진입한 연통 구멍을 가지며,

상기 제1 내부전극층에서의 상기 연통 구멍의 존재율은 상기 제1 대향부 중 상기 측면 인출부가 접속하는 접속 영역이 상기 제1 대향부의 중앙부보다 높으면서, 상기 측면 인출부의 중앙부보다 높은, 적층 세라믹 콘덴서.

청구항 3

제2항에 있어서,

상기 적층방향으로 이웃하는 상기 제1 내부전극층의 상기 적층방향의 간격에서, 상기 제1 내부전극층을 상기 적층방향으로부터 평면에서 봤을 때에 상기 제2 내부전극층과 겹치는 상기 접속 영역에서의 간격(T1)이 상기 제1 대향부의 중앙부에서의 간격(T2)보다 길면서, 상기 제1 내부전극층을 상기 적층방향으로부터 평면에서 봤을 때에 상기 제2 내부전극층과 겹치지 않는 상기 측면 인출부에서의 간격(T3)보다 긴 부분을 가지는, 적층 세라믹 콘덴서.

청구항 4

제2항 또는 제3항에 있어서,

상기 폭방향에서 대향하는 상기 적층체의 2개의 상기 측면으로 인출되는 2개의 상기 측면 인출부를 포함한 상기 제1 내부전극층에서,

상기 유전체가 진입한 연통 구멍의 존재율은 상기 제1 대향부 중 2개의 상기 측면 인출부가 접속하는 2개의 상기 접속 영역이 상기 제1 대향부의 중앙부보다 높으면서, 2개의 상기 인출부의 중앙부보다 높은, 적층 세라믹 콘덴서.

청구항 5

제2항 내지 제4항 중 어느 한 항에 있어서,

상기 제1 내부전극층에서, 상기 측면 인출부의 상기 길이방향의 길이는 상기 제1 대향부의 상기 길이방향의 길이보다도 짧은, 적층 세라믹 콘덴서.

청구항 6

제2항 내지 제5항 중 어느 한 항에 있어서,

상기 제1 내부전극층에서, 상기 폭방향에서 대향하는 상기 적층체의 2개의 상기 측면으로 인출되는 2개의 상기 측면 인출부의 상기 길이방향의 길이는 모두 상기 제1 대향부의 상기 길이방향의 길이보다도 짧은, 적층 세라믹 콘덴서.

청구항 7

제2항 내지 제6항 중 어느 한 항에 있어서,

상기 제2 내부전극층에서, 상기 단면 인출부의 상기 폭방향의 길이는 상기 제1 대향부의 상기 폭방향의 길이보다도 짧은, 적층 세라믹 콘덴서.

청구항 8

제2항 내지 제7항 중 어느 한 항에 있어서,

상기 제2 내부전극층에서, 상기 2개의 단면 인출부의 상기 폭방향의 길이는 모두 상기 제1 대향부의 상기 폭방향의 길이보다도 짧은, 적층 세라믹 콘덴서.

청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 유전체층과 상기 내부전극층을 교대로 복수개 적층한 상기 내층부를 포함하고, 상기 적층방향으로 마주보는 2개의 상기 주면과, 상기 적층방향과 교차하는 길이방향으로 마주보는 2개의 상기 단면과, 상기 적층방향과 상기 길이방향에 교차하는 폭방향으로 마주보는 2개의 상기 측면을 포함하는 상기 적층체와,

상기 적층체의 상기 측면과 상기 단면에서 상기 내부전극층과 접속하는 외부전극을 포함한 적층 세라믹 콘덴서로서,

상기 내부전극층은 상기 제1 내부전극층과 상기 제2 내부전극층을 포함하며,

상기 제1 내부전극층은 상기 유전체층을 사이에 두고 상기 제2 내부전극층과 대향하는 제1 대향부와, 상기 제1 대향부로부터 상기 적층체의 상기 측면으로 인출되는 측면 인출부를 포함하며,

상기 제2 내부전극층은 상기 유전체층을 사이에 두고 상기 제1 내부전극층과 대향하는 제2 대향부와, 상기 대향부로부터 상기 적층체의 2개의 상기 단면으로 인출되는 단면 인출부를 포함하며,

상기 내부전극층은 상기 적층방향으로 연통하고, 상기 유전체층을 구성하는 유전체가 진입한 연통 구멍을 가지며,

상기 제2 내부전극층에서의 상기 연통 구멍의 존재율은 상기 제2 대향부 중 상기 단면 인출부가 접속하는 접속 영역이 상기 제2 대향부의 중앙부보다 높으면서, 상기 단면 인출부의 중앙부보다 높은, 적층 세라믹 콘덴서.

발명의 설명

기술 분야

[0001] 본 발명은 적층 세라믹 콘덴서에 관한 것이다.

배경 기술

[0002] 일반적으로, 적층 세라믹 콘덴서는 내부전극층과 유전체층이 교대로 적층된 소체와, 상기 소체의 외표면에 마련된 외부전극을 포함하고 있고, 유전체층은 세라믹 유전체 재료에 의해 구성되어 있다.

[0003] 적층 세라믹 콘덴서를 대용량화하기 위해서는 소체 내에 있는 이웃하는 내부전극층 사이에서의 대향 면적을 증가시키는 것이 필요하다. 그를 위해서는 내부전극층을 구성하는 도전체 재료의 밀도, 즉 내부전극층의 밀도를 높이는 것이 효과적이고, 이로써 내부전극층의 연속성이 높아지며, 대향 면적을 증가시킬 수 있다.

[0004] 그러나, 내부전극층의 연속성이 높아지면 내부전극층과 유전체층의 수축률의 차가 커지고, 내부전극층과 유전체층의 경계부에서 층간 박리(딜라미네이션)가 발생한다. 특히, 층간 박리는 반복에 의한 열이력을 받으면 현저해지고, 소체 내의 구조 결함으로 이어지기 때문에, 전압 인가 시에 절연 불량 발생하기 쉽고, 고장의 원인이 된다.

[0005] 이 때문에, 대용량이면서 층간 박리의 발생을 억제한 적층 세라믹 콘덴서의 개발이 요구된다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 공개특허공보 특개2016-127262호

발명의 내용

해결하려는 과제

[0007] 본 발명은 대용량이면서 내부전극층과 유전체층의 경계부에서 생기는 층간 박리의 발생을 억제한 적층 세라믹 콘덴서를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0008] 본 발명자들은 내부전극층에서 유전체가 진입한 연통 구멍의 분포를 조정함으로써, 내부전극층과 유전체층의 경계부에서 생기는 층간 박리의 발생을 억제할 수 있는 것을 찾아내고, 본 발명을 완성시키기에 이르렀다.

[0009] 즉, 본 발명은 유전체층과 내부전극층을 교대로 복수개 적층한 내층부를 포함하고, 적층방향으로 마주보는 2개의 주면(主面)과, 상기 적층방향과 교차하는 길이방향으로 마주보는 2개의 단면(端面)과, 상기 적층방향과 상기 길이방향에 교차하는 폭방향으로 마주보는 2개의 측면을 포함하는 적층체와,

[0010] 상기 적층체의 상기 측면과 상기 단면 중 적어도 어느 하나에서 상기 내부전극층과 접촉하는 외부전극을 포함하는 적층 세라믹 콘덴서로서,

[0011] 상기 내부전극층은 제1 내부전극층과 제2 내부전극층을 포함하며,

[0012] 상기 제1 내부전극층과 상기 제2 내부전극층은 상기 적층방향으로부터의 평면에서 봤을 때 서로 겹치는 대향부와, 상기 대향부로부터 상기 적층체의 상기 단면 또는 상기 측면으로 인출되고 상기 적층방향으로부터의 평면에서 봤을 때 서로 겹치지 않는 인출부를 포함하며,

[0013] 상기 내부전극층은 상기 적층방향으로 연통하고, 상기 유전체층을 구성하는 유전체가 진입한 연통 구멍을 가지며,

[0014] 상기 유전체가 진입한 연통 구멍의 존재율은 상기 대향부 중 상기 인출부가 접촉하는 접촉 영역이 상기 대향부의 중앙부보다 높으면서, 상기 인출부의 중앙부보다 높은 적층 세라믹 콘덴서이다.

발명의 효과

[0015] 본 발명에 따르면, 대용량이면서 내부전극층과 유전체층의 경계부에서 생기는 층간 박리의 발생을 억제하는 것이 가능해진다.

도면의 간단한 설명

- [0016] 도 1은 적층 세라믹 콘덴서(1)의 개략 사시도이다.
- 도 2는 도 1에서의 II-II 방향으로 절단한 단면도이며 적층방향(T)의 중앙부보다 위의 절반을 나타낸다(제1 실시형태).
- 도 3은 도 1에서의 III-III 방향으로 절단한 단면도이며, 적층방향(T)의 중앙부보다 위의 절반을 나타낸다(제1 실시형태).
- 도 4는 적층 세라믹 콘덴서(1)의 제1 내부전극층(15A)을 따른 단면도이다.
- 도 5는 적층 세라믹 콘덴서(1)의 제2 내부전극층(15B)을 따른 단면도이다.
- 도 6은 적층 세라믹 콘덴서(1)의 제조 방법을 설명하는 플로우 차트이다.
- 도 7은 적층 세라믹 콘덴서(1)의 제조 방법을 설명하는 공정도이다.
- 도 8은 적층 세라믹 콘덴서(1)의 제조 방법을 설명하는 공정도이다.
- 도 9는 적층 세라믹 콘덴서(1)의 제조 방법을 설명하는 공정도(제1 실시형태)이다.
- 도 10은 적층 세라믹 콘덴서(1)의 제조 방법을 설명하는 공정도(제1 실시형태)이다.
- 도 11은 적층 세라믹 콘덴서(1)의 제조 방법을 설명하는 공정도(제1 실시형태)이다.
- 도 12는 적층 세라믹 콘덴서(1)의 제조 방법을 설명하는 공정도(제1 실시형태)이다.
- 도 13은 적층 세라믹 콘덴서(1)의 제조 방법을 설명하는 공정도(제2 실시형태)이다.
- 도 14는 적층 세라믹 콘덴서(1)의 제조 방법을 설명하는 공정도(제2 실시형태)이다.
- 도 15는 적층 세라믹 콘덴서(1)의 제조 방법을 설명하는 공정도(제2 실시형태)이다.
- 도 16은 적층 세라믹 콘덴서(1)의 제조 방법을 설명하는 공정도(제2 실시형태)이다.

발명을 실시하기 위한 구체적인 내용

- [0017] (제1 실시형태)
- [0018] 이하, 본 발명의 적층 세라믹 콘덴서(1)에 대해 설명한다. 적층 세라믹 콘덴서(1)는 대향하는 2개의 측면(B)과 대향하는 2개의 단면(C)에 각각 측면 외부전극(4)과 단면 외부전극(3)을 마련한 3단자형 적층 세라믹 콘덴서인데, 내부전극층(15)의 형상, 특히, 후술할 측면 인출부(15Ab), 단면 인출부(15Bb)의 형상을 변경함으로써 외부전극을 배치하는 위치를 변경할 수 있기 때문에, 본 발명은 3단자형 적층 세라믹이나 2단자형 세라믹 콘덴서, 혹은 그 밖의 형상의 적층 세라믹 콘덴서에도 이용할 수 있다.
- [0019] 도 1은 적층 세라믹 콘덴서(1)의 개략 사시도이다. 도 2는 적층 세라믹 콘덴서(1)의 도 1에서의 II-II 방향으로 절단한 절단면(WT 절단면)이며 적층방향(T)의 중앙부보다 위의 절반을 나타낸다. 도 3은 적층 세라믹 콘덴서(1)의 도 1에서의 III-III 방향으로 절단한 절단면(LT 절단면)이며, 적층방향(T)의 중앙부보다 위의 절반을 나타낸다.
- [0020] (적층 세라믹 콘덴서(1))
- [0021] 적층 세라믹 콘덴서(1)는 적층체(2)의 길이방향(L)의 양 단면(C)에 마련된 단면 외부전극(3)과, 적층체(2)의 폭방향(W)의 양 측면(B)에 마련된 측면 외부전극(4)을 포함한다. 적층체(2)는 유전체층(14)과 내부전극층(15)을 복수 세트 포함하는 내층부(11)와, 외층부(12)를 포함한다.
- [0022] 적층 세라믹 콘덴서(1)의 치수는 특별히 한정되는 것은 아니지만, 길이방향(L)을 0.6mm 이상 3.2mm 이하, 적층방향(T)을 0.3mm 이상 2.5mm 이하, 폭방향(W)을 0.3mm 이상 2.5mm 이하로 할 수 있다.
- [0023] 본 명세서에서 적층 세라믹 콘덴서(1)의 방향을 나타내는 용어로서, 적층 세라믹 콘덴서(1)에서 유전체층(14)과 내부전극층(15)이 적층되어 있는 방향을 적층방향(T)으로 한다. 적층방향(T)과 교차하고, 한 쌍의 단면 외부전극(3)이 마련되어 있는 방향을 길이방향(L)으로 한다. 길이방향(L) 및 적층방향(T) 중 어느 것에도 교차하는 방향을 폭방향(W)으로 한다. 한편, 실시형태에서는 적층방향(T)과 길이방향(L)과 폭방향(W)은 서로 직교하고

있다.

- [0024] (적층체(2))
- [0025] 적층체(2)는 내층부(11)와, 내층부(11)의 적층방향(T)의 양측에 배치되는 외층부(12)를 포함한다. 적층체(2)는 모서리부 및 능선부가 라운드형으로 되어 있는 것이 바람직하다. 모서리부는 적층체의 3면이 교차하는 부분이며, 능선부는 적층체의 2면이 교차하는 부분이다.
- [0026] 적층체(2)의 치수는 특별히 한정되는 것은 아니지만, 길이방향(L)을 0.6mm 이상 3.2mm 이하, 적층방향(T)을 0.3mm 이상 2.5mm 이하, 폭방향(W)을 0.3mm 이상 2.5mm 이하로 할 수 있다.
- [0027] (내층부(11))
- [0028] 내층부(11)는 적층방향(T)을 따라 유전체층(14)과 내부전극층(15)이 복수개 적층되어 있다.
- [0029] (유전체층(14))
- [0030] 유전체층(14)은 세라믹 재료로 제조되어 있다. 세라믹 재료로는 예를 들면, BaTiO₃을 주성분으로 하는 유전체 세라믹이 사용된다. 또한, 세라믹 재료로서, 이들 주성분에 Mn 화합물, Fe 화합물, Cr 화합물, Co 화합물, Ni 화합물 등의 부성분 중 적어도 하나를 첨가한 것을 사용해도 된다.
- [0031] 유전체층(14)은 후술할 세라믹 그린시트에 의해 제조된 유전체층(14c)과, 세라믹 그린시트 상에 도포되는 세라믹 페이스트에 의해 제조된 유전체층(14a) 및 유전체층(14b)을 가진다.
- [0032] (내부전극층(15))
- [0033] 내부전극층(15)은 예를 들면 Ni, Cu, Ag, Pd, Ag-Pd 합금, Au 등으로 대표되는 금속 재료에 의해 형성되어 있는 것이 바람직하다.
- [0034] 내부전극층(15)의 두께는 특별히 한정되는 것은 아니지만, 0.25 μ m 이상 0.6 μ m 이하가 바람직하고, 그 중에서도 0.3 μ m 이상 0.5 μ m 이하가 바람직하다. 내층부(11) 내에는 14매 이상 1000매 이하의 내부전극층(15)을 내장할 수 있다.
- [0035] 내부전극층(15)은 교대로 배치되는 제1 내부전극층(15A)과 제2 내부전극층(15B)을 포함하고, 제1 내부전극층(15A)과 제2 내부전극층(15B)은 적층방향(T)으로부터의 평면에서 봤을 때 서로 겹치는 대향부와, 대향부로부터 적층체(2)의 단면(C) 또는 측면(B)으로 인출되고 적층방향(T)으로부터의 평면에서 봤을 때 서로 겹치지 않는 인출부를 포함한다.
- [0036] 제1 내부전극층(15A)과 제2 내부전극층(15B)은 적층방향(T)으로부터의 평면에서 봤을 때 서로 겹치는 대향부에서, 유전체층(14)을 통해 정전 용량을 형성한다. 또한, 대향부로부터 인출되는 인출부는 대향부와 외부전극을 접속하기 위해, 적층체(2)의 단면(C) 또는 측면(B)으로 인출된다. 인출부의 형상은 배선 기관으로 실장하는 형태에 따라 배치되는 외부전극의 위치나 형상에 대응하기 위해 다양한 변경이 가능하다. 도 1~3은, 제1 내부전극층(15A)의 2개의 측면 인출부(15Ab)는 각각 적층체(2)의 대향하는 측면(B)으로 연장되고, 제2 내부전극층(15B)의 2개의 단면 인출부(15Bb)는 각각 적층체(2)의 대향하는 단면(C)으로 연장되는 형태의 적층 세라믹 콘덴서(1)를 나타내고 있다.
- [0037] 도 4는 적층 세라믹 콘덴서(1)의 제1 내부전극층(15A)을 따른 단면도이다. 도 5는 적층 세라믹 콘덴서(1)의 제2 내부전극층(15B)을 따른 단면도이다.
- [0038] (제1 내부전극층(15A))
- [0039] 도 4에 나타내는 바와 같이, 제1 내부전극층(15A)은 적층체(2)보다도 한 둘레 작고, 각 변이 단면(C) 및 측면(B)으로부터 일정 거리 이격된 대략 직사각형의 제1 대향부(15Aa)와, 제1 대향부(15Aa)로부터 양측의 측면(B)으로 각각 연장되는 측면 인출부(15Ab)를 가진다.
- [0040] 제1 대향부(15Aa)는 측면 측 인출부(15Ab)와 접속되는 부분인 접속 영역(JA)을 포함한다. 도 2 및 도 4에는 제1 대향부(15Aa) 중 측면 인출부(15Ab)가 접속되는 접속 영역(JA)이 나타내져 있다. 본 실시형태에서는 제1 대향부(15Aa)는 2개의 측면 인출부(15Ab)에 대응하여, 2개의 접속 영역(JA)을 포함한다.
- [0041] 마주보는 2개의 측면(B)으로 연장되는 측면 인출부(15Ab)는 각각 적층체(2)의 측면(B)에 노출되고, 적층체(2)의 폭방향(W)의 양 측면(B)에 마련된 측면 외부전극(4)에 접속되어 있다.

- [0042] 제1 내부전극층(15A)에서, 측면 인출부(15Ab)의 길이방향(L)의 길이는 제1 대향부(15Aa)의 길이방향(L)의 길이보다도 짧다. 이와 같이, 측면 인출부(15Ab)의 길이방향(L)의 길이를 짧게 함으로써, 외부로부터의 수분의 침입을 억제할 수 있기 때문에, 적층 세라믹 콘덴서의 신뢰성을 높일 수 있다. 도 4에는 2개의 측면 인출부(15Ab)가 모두 길이방향(L)에서 제1 대향부(15Aa)보다도 짧은 형태를 나타내고 있다.
- [0043] (제2 내부전극층(15B))
- [0044] 도 5에 나타내는 바와 같이, 제2 내부전극층(15B)은 전체적으로 적층체(2)의 길이방향(L)의 양 단면(C) 사이를 연장하고, 폭방향(W)의 양 측면(B)으로부터는 일정한 거리로 이격되어 있다.
- [0045] 제2 내부전극층(15B)에서, 양 단면(C)으로부터 일정한 거리 떨어진 팔각형상의 중앙부가 제2 대향부(15Ba)이며, 제2 대향부(15Ba)로부터 마주보는 2개의 단면(C)으로 각각 연장되는 부분이 단면 인출부(15Bb)이다.
- [0046] 제2 대향부(15Ba)는 단면 측 인출부(15Bb)와 접속되는 부분인 접속 영역(JB)을 포함한다. 도 2 및 도 5에는 제2 대향부(15Ba) 중 단면 인출부(15Bb)가 접속되는 접속 영역(JB)이 나타내져 있다. 본 실시형태에서는 제2 대향부(15Ba)는 2개의 단면 인출부(15Bb)에 대응하여, 2개의 접속 영역(JB)을 포함한다.
- [0047] 단면 인출부(15Bb)는 마주보는 2개의 단면(C)으로 각각 연장되어 적층체(2)의 단면(C)에 노출되고, 적층체(2)의 길이방향(L)의 양 측면에 마련된 단면 외부전극(3)에 접속되어 있다.
- [0048] 제2 대향부(15Ba)와 제1 대향부(15Aa)는 대향하고, 정전 용량을 형성한다.
- [0049] 단면 인출부(15Bb)는 폭방향(W)의 길이가 점진적으로 감소하는 이행(移行) 영역과, 이행 영역으로부터 단면(C)으로 연출(延出)되고, 폭방향(W)의 길이가 제2 대향부(15Ba)의 폭방향의 길이보다도 짧은 연출 영역을 가진다. 이와 같이, 단면 인출부(15Bb)의 연출부의 폭방향(W)의 길이를 짧게 함으로써, 외부로부터의 수분의 침입을 억제할 수 있기 때문에, 적층 세라믹 콘덴서의 신뢰성을 높일 수 있다. 도 5에는 2개의 단면 인출부(15Bb)의 연출부가 모두 폭방향(W)에서 제2 대향부(15Ba)보다도 짧은 형태를 나타내고 있다.
- [0050] (외층부(12))
- [0051] 외층부(12)는 도 2 및 도 3에 나타내는 바와 같은, 내층부(11)의 주면(A) 측에 배치되어 있는 일정 두께의 유전체층이다. 외층부(12)는 내층부(11)의 유전체층(14)과 동일한 재료로 제조되어 있다.
- [0052] 유전체층의 두께는 특별히 한정되는 것은 아니지만, 0.3 μm 이상 1.5 μm 이하가 바람직하고, 그 중에서도 0.5 μm 이상 1 μm 가 바람직하다. 내층부(11)와 외층부(12)로 이루어지는 적층체(2)는 14매 이상 1000매 이하의 유전체층에 의해 형성할 수 있다.
- [0053] (단면 외부전극(3))
- [0054] 적층체(2)의 양 단면(C)에는 단면 외부전극(3)이 배치되어 있다. 단면 외부전극(3)에는 제2 내부전극층(15B)의 단면 인출부(15Bb)가 접속되어 있다. 단면 외부전극(3)은 단면(C)뿐만 아니라, 주면(A) 및 측면(B)의 단면(C) 측의 일부도 덮고 있다.
- [0055] (측면 외부전극(4))
- [0056] 적층체(2)의 양 측면(B)에는 측면 외부전극(4)이 배치되어 있다. 측면 외부전극(4)에는 제1 내부전극층(15A)의 측면 인출부(15Ab)가 접속되어 있다. 측면 외부전극(4)은 측면(B)뿐만 아니라, 주면(A)의 측면(B) 측의 일부도 덮고 있다.
- [0057] 단면 외부전극(3)과 측면 외부전극(4)은 예를 들면, 하부 전극층과, 하부 전극층 상에 배치된 도금층을 포함한 구조로 할 수 있다.
- [0058] 하부 전극층은 이하에 설명하는 바와 같은 베이킹층, 도전성 수지층, 직접 도금층 등에서 선택되는 적어도 하나의 층을 포함한다.
- [0059] (베이킹층)
- [0060] 베이킹층은 유리 및 금속을 포함하는 도전성 페이스트를 적층체에 도포하여 베이킹한 것이며, 내부전극과 동시에 소성한 것이어도 되고, 내부전극을 소성한 후에 베이킹해도 된다. 베이킹 처리의 온도는 700~900 $^{\circ}\text{C}$ 인 것이 바람직하다.
- [0061] 유리 성분은 B, Si, Ba, Mg, Al, Li 등에서 선택되는 적어도 하나를 포함한다. 또한, 금속으로는 예를 들면,

Cu, Ni, Ag, Pd, Ag-Pd 합금, Au 등에서 선택되는 적어도 하나를 포함한다.

- [0062] 베이킹층의 두께는 예를 들면, 3 μ m 이상 70 μ m 이하인 것이 바람직하다. 또한, 베이킹층은 복수층이어도 된다.
- [0063] (도전성 수지층)
- [0064] 도전성 수지층은 베이킹층의 표면에 형성되거나, 혹은 적층체의 표면 상에 직접 형성된다. 도전성 수지층은 복수층이어도 된다.
- [0065] 도전성 수지층의 형성 방법으로는 열경화성 수지 및 금속 성분을 포함하는 도전성 수지 페이스트를 베이킹층 상 혹은 적층체 상에 도포하고, 250~550 $^{\circ}$ C 이상의 온도에서 열처리를 실시하며, 수지를 열경화시키고, 도전성 수지층을 형성한다. 이 때의 열처리 시의 분위기는 N₂ 분위기인 것이 바람직하다. 또한, 수지의 비산을 막으면서 각종 금속 성분의 산화를 막기 위해, 산소 농도는 100ppm 이하로 억제하는 것이 바람직하다.
- [0066] 단면(C)의 중앙부에서의 도전성 수지층의 두께는 예를 들면, 10 μ m 이상 150 μ m 이하인 것이 바람직하다.
- [0067] 도전성 수지층의 수지로는 예를 들면, 에폭시 수지, 페놀 수지, 우레탄 수지, 실리콘 수지, 폴리이미드 수지 등의 공지의 다양한 열경화성 수지를 사용할 수 있다. 그 중에서도, 내열성, 내습성, 밀착성 등이 뛰어난 에폭시 수지는 가장 적절한 수지 중 하나이다. 도전성 수지층에 포함되는 수지는 도전성 수지 전체의 체적에 대하여, 25vol% 이상 65vol% 이하로 포함되어 있는 것이 바람직하다.
- [0068] 또한, 도전성 수지층에는 열경화성 수지와 함께 경화제를 포함하는 것이 바람직하다. 경화제로는 베이스 수지로서 에폭시 수지를 사용하는 경우, 에폭시 수지의 경화제로는 페놀계, 아민계, 산무수물계, 이미다졸계 등 공지의 다양한 화합물을 사용할 수 있다.
- [0069] 도전성 수지층은 열경화성 수지를 포함하기 때문에, 예를 들면, 도금막이나 도전성 페이스트의 소성물로서 이루어지는 도전층보다도 유연성이 풍부하다. 이 때문에, 세라믹 전자부품에 물리적인 충격이나 열사이클에 기인하는 충격이 가해진 경우이어도 도전성 수지층이 완충층으로서 기능하고, 세라믹 전자부품으로의 크랙을 방지할 수 있다.
- [0070] 도전성 수지층에 포함되는 금속으로는 Ag, Cu, 또는 그들의 합금을 사용할 수 있다. 또한, 금속 분말의 표면에 Ag 코팅된 것을 사용할 수 있다. 금속 분말의 표면에 Ag 코팅된 것을 사용할 때에는 금속 분말로서 Cu나 Ni를 사용하는 것이 바람직하다. 또한 Cu에 산화 방지 처리를 실시한 것을 사용할 수도 있다.
- [0071] 도전성 금속에 Ag의 도전성 금속 분말을 사용하는 이유로는 Ag는 금속 중에서 가장 비저항이 낮기 때문에 전극 재료에 적합하고, Ag는 귀금속이기 때문에 산화되지 않고 대항성이 높기 때문이다. 한편, Ag 코팅된 금속을 사용하는 이유로는 상기 Ag의 특성은 유지하면서, 모재의 금속을 저렴한 것으로 하는 것이 가능해지기 때문이다.
- [0072] 도전성 수지층에 포함되는 금속은 도전성 수지 전체의 체적에 대하여, 35vol% 이상 75vol% 이하로 포함되어 있는 것이 바람직하다.
- [0073] 도전성 수지층에 포함되는 금속의 형상은 특별히 한정되지 않는다. 도전성 필러는 구형, 편평 형상 등이어도 된다. 도전성 수지층에 포함되는 금속의 평균 입경은 특별히 한정되지 않지만, 예를 들면, 0.3 μ m 이상 10 μ m 이하 정도로 할 수 있다.
- [0074] 도전성 수지층에 포함되는 금속은 주로 도전성 수지층의 통전성을 담당한다. 구체적으로는 도전성 필러들이 접촉함으로써, 도전성 수지층 내부에 통전 경로가 형성된다.
- [0075] (도금층)
- [0076] 적층체의 내부전극이 노출되는 단면에 직접 도금층을 마련해도 된다. 즉, 적층 세라믹 콘덴서는 내부전극층, 표면 전극층에 전기적으로 직접 접속하는 도금층을 포함하는 구조이어도 된다. 이와 같은 경우, 전처리로서 적층체의 표면에 촉매를 배치한 후에 직접 도금층이 형성되어도 된다.
- [0077] 도금층은 예를 들면, Cu, Ni, Sn, Pb, Au, Ag, Pd, Bi 또는 Zn 등에서 선택되는 적어도 1종의 금속 또는 상기 금속을 포함하는 합금을 포함하는 것이 바람직하다. 예를 들면, 제1 내부전극층 및 제2 내부전극층이 Ni를 사용하여 형성되는 경우, 직접 도금층은 Ni와 접합성이 좋은 Cu를 사용하여 형성되는 것이 바람직하다.
- [0078] 도금층의 1층당 두께는 2 μ m 이상 15 μ m 이하인 것이 바람직하다. 도금층은 유리를 포함하지 않는 것이 바람직하다. 도금층의 단위 체적당 금속 비율은 99체적% 이상인 것이 바람직하다.

- [0079] 도금 처리를 실시함에 있어서는 전해 도금, 무전해 도금 중 어느 쪽을 채용해도 되지만, 무전해 도금은 도금 식출 속도를 향상시키기 때문에 촉매 등에 의한 전처리가 필요해지고, 공정이 복잡화된다는 결점이 있다. 따라서, 통상은 전해 도금을 채용하는 것이 바람직하다. 도금 공법으로는 배럴 도금을 이용하는 것이 바람직하다. 또한, 필요에 따라 하층 도금 전극의 표면에 형성되는 상층 도금 전극을 마찬가지로 형성해도 된다.
- [0080] 하부 전극층이 박막층인 경우, 박막층은 스퍼터링법 또는 증착법 등의 박막 형성법에 의해 형성되고, 금속 입자가 퇴적된 1 μ m 이하의 층이다.
- [0081] 하부 전극층 상에 배치되는 도금층은 예를 들면, Cu, Ni, Ag, Pd, Ag-Pd 합금, Au 등에서 선택되는 적어도 하나를 포함한다.
- [0082] 도금층은 복수층에 의해 형성되어 있어도 된다. 바람직하게는 Ni 도금, Sn 도금의 2층 구조이다. Ni 도금층은 하부 전극층이 세라믹 전자부품을 실장할 때의 솔더에 의해 침식되는 것을 방지할 수 있고, Sn 도금층은 세라믹 전자부품을 실장할 때의 솔더 젖음성을 향상시키며, 용이하게 실장할 수 있다. 도금층 한층당 두께는 2 μ m 이상 15 μ m 이하인 것이 바람직하다.
- [0083] (연통 구멍(P))
- [0084] 내부전극층(15)은 적층방향(T)으로 연통하고, 내부전극층(15)을 적층방향(T)으로부터 끼우는 유전체층(14)을 구성하는 유전체의 일부가 진입한 연통 구멍(P)이 존재한다. 연통 구멍(P)의 내부에서는 유전체에 의한 기둥 형상의 결정이 형성되어 있고, 이로써 내부전극층(15)과 유전체층(14)의 밀착력을 높일 수 있다.
- [0085] 유전체가 진입한 연통 구멍(P)의 존재율은 제1 내부전극층(15A)에서는 제1 대향부(15Aa) 중 측면 인출부(15Ab)가 접속하는 접속 영역(JA)이 제1 대향부(15Aa)의 중앙부보다 높으면서, 측면 인출부(15Ab)의 중앙부보다 높다. 유전체가 진입한 연통 구멍(P)의 존재율은 적층 세라믹 콘덴서(1)의 단면(C)을 단면(C)과 평행하게 연마해 절단면을 노출시키고, 이 절단면을 주사형 전자현미경을 이용하여 관찰함으로써, 유전체가 진입한 연통 구멍(P)의 존재율을 확인할 수 있다. 구체적으로는 접속 영역(JA)에서의 유전체가 진입한 연통 구멍(P)의 존재율은 적층 세라믹 콘덴서(1)를 길이방향(L)에 대하여 수직이 되도록 적층 세라믹 콘덴서(1)의 길이방향 치수의 1/2이 되는 위치까지 절단면 연마한 절단면에서 측정한다. 다음으로, 상기 절단면에서, 내층부의 두께 치수가 3등분이 되도록 3개의 영역으로 나눈다. 그 후, 각 영역에서, 제1 내부전극층(15A) 중 어느 한쪽의 대향부의 단부(端部)를 중심으로 하여, 각각 15층분의 제1 내부전극층(15A)이 들어가는 배율이 되도록 시야를 특정한다. 각 영역의 각각 특정한 시야 내에서 SEM 화상의 해석을 실시하고, 분석 대상 범위에서 실제로 존재하는 제1 내부전극층(15A)의 면적, 연통 구멍의 면적, 및 유전체가 진입한 연통 구멍(P)의 면적에 기초하여, 하기의 식(1)에 의해 유전체가 진입한 연통 구멍(P)의 존재율이 각각 산출된다.
- [0086] 유전체가 진입한 연통 구멍(P)의 존재율(%)=(유전체가 진입한 연통 구멍(P)의 면적/내부전극층의 면적+연통 구멍의 면적) \times 100 \cdots (1)
- [0087] 마지막으로, 3개의 영역에서 측정된 각각 15층분의 평균을 취해, 접속 영역(JA)에서의 유전체가 진입한 연통 구멍(P)의 존재율로 한다.
- [0088] 또한, 제1 대향부(15Aa)의 중앙부에서의 유전체가 진입한 연통 구멍(P)의 존재율은 적층 세라믹 콘덴서(1)를 길이방향(L)에 대하여 수직이 되도록, 적층 세라믹 콘덴서(1)의 길이방향 치수의 1/2이 되는 위치까지 절단면 연마한 절단면에서 측정한다. 다음으로, 상기 절단면에서, 내층부의 두께 치수가 3등분이 되도록 3개의 영역으로 나눈다. 그 후, 각 영역에서 제1 내부전극층(15A)의 제1 대향부(15Aa)의 중앙부를 중심으로 하여, 각각 15층분의 제1 내부전극층(15A)이 들어가는 배율이 되도록 시야를 특정한다. 각 영역의 각각 특정한 시야 내에서 SEM 화상의 해석을 실시하고, 분석 대상 범위에서의 실제로 존재하는 제1 내부전극층(15A)의 면적, 연통 구멍의 면적, 및 유전체가 진입한 연통 구멍(P)의 면적에 기초하여, 하기의 식(1)에 의해 유전체가 진입한 연통 구멍(P)의 존재율이 각각 산출된다.
- [0089] 유전체가 진입한 연통 구멍(P)의 존재율(%)=(유전체가 진입한 연통 구멍(P)의 면적/내부전극층의 면적+연통 구멍의 면적) \times 100 \cdots (1)
- [0090] 마지막으로, 3개의 영역에서 측정된 각각 15층분의 평균을 취해, 제1 대향부(15Aa)의 중앙부에서의 유전체가 진입한 연통 구멍(P)의 존재율로 한다.
- [0091] 추가로, 측면 인출부(15Ab)의 중앙부에서의 유전체가 진입한 연통 구멍(P)의 존재율은 적층 세라믹 콘덴서(1)를 길이방향(L)에 대하여 수직이 되도록, 적층 세라믹 콘덴서(1)의 길이방향 치수의 1/2이 되는 위치까지 절단면

연마한 절단면에서 측정한다. 다음으로, 상기 절단면에서, 내층부의 두께 치수가 3등분이 되도록 3개의 영역으로 나눈다. 그 후, 각 영역에서, 제1 내부전극층(15A) 중 어느 한쪽의 측면 인출부(15Ab)의 중앙부를 중심으로 하여, 각각 15층분의 제1 내부전극층(15A)이 들어가는 배율이 되도록 시야를 특정한다. 각 영역의 각각 특정한 시야 내에서 SEM 화상의 해석을 실시하고, 분석 대상 범위에서의 실제로 존재하는 제1 내부전극층(15A)의 면적, 연통 구멍의 면적, 및, 유전체가 진입한 연통 구멍(P)의 면적에 기초하여, 하기의 식(1)에 의해 유전체가 진입한 연통 구멍(P)의 존재율이 각각 산출된다.

[0092] 유전체가 진입한 연통 구멍(P)의 존재율(%)=(유전체가 진입한 연통 구멍(P)의 면적/내부전극층의 면적+연통 구멍의 면적) $\times 100 \cdots (1)$

[0093] 마지막으로, 3개의 영역에서 측정된 각각 15층분의 평균을 취해, 측면 인출부(15Ab)에서의 유전체가 진입한 연통 구멍(P)의 존재율로 한다.

[0094] 한편, 접속 영역(JA)에서의 유전체가 진입한 연통 구멍(P)의 존재율은 20% 이상 60% 이하인 것이 바람직하고, 제1 대향부(15Aa)의 중앙부에서의 유전체가 진입한 연통 구멍(P)의 존재율은 2% 이상 25% 이하인 것이 바람직하며, 측면 인출부(15Ab)의 중앙부에서의 유전체가 진입한 연통 구멍(P)의 존재율은 2% 이상 25% 이하인 것이 바람직하다.

[0095] 도 2에 나타내는 바와 같이, 적층방향(T)으로 이웃하는 제1 내부전극층(15A)의 적층방향(T)의 간격에서, 제1 내부전극층(15A)을 적층방향(T)으로부터 평면에서 봤을 때에 제1 대향부(15Aa)와 측면 인출부(15Ab)가 접합하는 접속 영역(JA)에서 제2 내부전극층(15B)과 겹치는 부분의 간격(T1)이 제1 대향부(15Aa)의 중앙부에서의 간격(T2)보다 길면서, 제1 내부전극층(15A)을 적층방향(T)으로부터 평면에서 봤을 때에 제2 내부전극층(15B)과 겹치지 않는 측면 인출부(15Ab)에서의 간격(T3)보다 긴 부분을 가진다. 제1 내부전극층(15A)의 적층방향(T)의 간격은 유전체가 진입한 연통 구멍(P)의 존재율의 측정과 마찬가지로, 적층 세라믹 콘텐서(1)의 단면(C)을 단면(C)과 평행하게 연마해 절단면을 노출시키고, 이 절단면을 주사형 전자현미경을 이용하여 관찰함으로써, 각 부위에서의 간격을 측정할 수 있다. 구체적으로는 접속 영역(JA)에서 제2 내부전극층(15B)과 겹치는 부분의 간격(T1)은 적층 세라믹 콘텐서(1)를 길이방향(L)에 대하여 수직이 되도록, 적층 세라믹 콘텐서(1)의 길이방향 치수의 1/2이 되는 위치까지 절단면 연마한 절단면에서 측정한다. 상기 절단면에서, 내층부의 두께 치수가 3등분이 되도록 3개의 영역으로 나누고, 각 영역으로부터 각각 20군데의 T1의 치수를 주사형 현미경(SEM)을 이용하여 측정한다. 마지막으로, 그들의 평균값을 취해, 접속 영역(JA)에서 제2 내부전극층(15B)과 겹치는 부분의 간격(T1)으로 한다.

[0096] 또한, 제1 대향부(15Aa)의 중앙부에서의 간격(T2)은 T1의 측정과 마찬가지로 상기의 절단면에서 내층부의 두께 치수가 3등분이 되도록 3개의 영역으로 나누고, 각 영역으로부터 각각 20군데의 T2의 치수를 주사형 현미경(SEM)을 이용하여 측정한다. 마지막으로, 그들의 평균값을 취해, 제1 대향부(15Aa)의 중앙부에서의 간격(T2)으로 한다.

[0097] 추가로, 제1 내부전극층(15A)을 적층방향(T)으로부터 평면에서 봤을 때에 제2 내부전극층(15B)과 겹치지 않는 측면 인출부(15Ab)에서의 간격(T3)은 상기 절단면에서 내층부의 두께 치수가 3등분이 되도록 3개의 영역으로 나누고, 각 영역으로부터 각각 20군데의 T3의 치수를 주사형 현미경(SEM)을 이용하여 측정한다. 마지막으로, 그들의 평균값을 취해서 제1 내부전극층(15A)을 적층방향(T)으로부터 평면에서 봤을 때에 제2 내부전극층(15B)과 겹치지 않는 측면 인출부(15Ab)에서의 간격(T3)으로 한다.

[0098] 한편, 접속 영역(JA)에서 제2 내부전극층(15B)과 겹치는 부분의 간격(T1)은 1.2 μm 이상 6.0 μm 이하인 것이 바람직하고, 제1 대향부(15Aa)의 중앙부에서의 간격(T2)은 1.1 μm 이상 5.0 μm 이하인 것이 바람직하며, 제1 내부전극층(15A)을 적층방향(T)으로부터 평면에서 봤을 때에 제2 내부전극층(15B)과 겹치지 않는 측면 인출부(15Ab)에서의 간격(T3)은 0.8 μm 이상 5.0 μm 이하인 것이 바람직하다.

[0099] 한편, 종래 특허문헌 1에 나타내지는 바와 같은, 외부전극이 3개 이상의 다단자형인 적층 세라믹 콘텐서가 알려져 있지만, 이와 같은 다단자 적층 세라믹 콘텐서는 복수개의 내부전극층과 복수개의 유전체층의 겹침 상태가 통상의 2단자 세라믹 콘텐서보다도 복잡해지기 쉽다. 예를 들면, 다단자 적층 세라믹 콘텐서의 내부전극층은 단순한 직사각형 형상이 되지 않는 경우가 많고, 내부전극층과 유전체층의 겹침 상태가 보다 복잡해진다. 이 경우, 적층체 소성 전의 프레스 공정 시에 압력이 가해지기 어려운 영역이 생기고, 그 영역부근의 밀착력이 약해진다. 특히, 내부전극층과 유전체층의 겹침 상태의 변이점이 되기 쉬운 대향 전극부와 인출부의 경계부 부근은 밀착력이 약해져서 딜라미네이션이 발생하기 쉽다.

- [0100] 본 실시형태에 따르면, 이와 같은 다단자형의 콘텐서에서도 딜라미네이션의 발생을 억제 가능한 적층 세라믹 콘텐서를 제공할 수 있다.
- [0101] (적층 세라믹 콘텐서(1)의 제조 방법)
- [0102] 다음으로, 적층 세라믹 콘텐서(1)의 제조 방법에 대해 설명한다.
- [0103] (제1 실시형태)
- [0104] 적층 세라믹 콘텐서(1)의 제조법에서는 후술할 세라믹 페이스트 배치 공정(S2)에서, 제1 세라믹 그린시트(114A), 제2 세라믹 그린시트(114B) 상에 세라믹 페이스트(114a, 114b)를 배치하는 위치에 따라 제1 실시형태와 제2 실시형태가 있다.
- [0105] 도 6은 적층 세라믹 콘텐서(1)의 제조 방법을 설명하는 플로우 차트이다.
- [0106] 또한, 도 7부터 도 16은 적층 세라믹 콘텐서(1)의 제조 방법을 설명하는 공정도인데, 도 9부터 도 12는 제1 실시형태에 의한 세라믹 페이스트(114a, 114b)의 배치를 나타내는 것이며, 도 13~16은 제2 실시형태에 의한 세라믹 페이스트(114a, 114b)의 배치를 나타내는 것이다.
- [0107] (내부전극층 패턴 형성 공정(S1))
- [0108] 우선, 도 7에 나타내는 바와 같이, 유전체층(14c)이 되는 제1 세라믹 그린시트(114A)에, 도전성 페이스트에 의해 제1 내부전극층(15A)이 되는 제1 내부전극층 패턴(115A)을 형성한다. 이 때, 연통 구멍을 마련하고자 하는 위치에서 소결 조제를 분사한다. 이로써, 세라믹 소체를 소성할 때에, 내부전극층을 구성하는 금속이 수축되고, 내부전극층이 불연속이 되어 연통 구멍을 형성할 수 있다. 소결 조제는 예를 들면, Mn, Si 등을 사용할 수 있다.
- [0109] 제1 내부전극층 패턴(115A)은 복수개의 제1 내부전극층(15A)이 폭방향(W)에 연속하고 있지만 길이방향(L)에는 불연속인 형상이다.
- [0110] 또한, 도 8에 나타내는 바와 같이, 유전체층(14c)이 되는 제2 세라믹 그린시트(114B)에, 도전성 페이스트에 의해 제2 내부전극층(15B)이 되는 제2 내부전극층 패턴(115B)을 형성한다.
- [0111] 제2 내부전극층 패턴(115B)은 복수개의 제2 내부전극층(15B)이 길이방향(L)에 연속하고 있지만 폭방향(W)에는 불연속인 형상이다.
- [0112] 세라믹 그린시트는 세라믹스 분말, 바인더 및 용제를 포함하는 세라믹 슬러리가 캐리어 필름 상에서 다이 코터, 그라비아 코터, 마이크로그라비아 코터 등을 이용하여 시트 형상으로 성형된 띠 형상의 시트이다.
- [0113] 제1 내부전극층 패턴(115A) 및 제2 내부전극층 패턴(115B)은 예를 들면, 스크린 인쇄, 그라비아 인쇄, 볼록판 인쇄 등의 인쇄에 의해 형성한다.
- [0114] (세라믹 페이스트 배치 공정(S2))
- [0115] 이어서, 도 9에 나타내는 바와 같이, 도 7에서 나타낸 제1 세라믹 그린시트(114A)에 제1 내부전극층 패턴(115A)이 형성된 시트 상에, 유전체층(14b)을 형성하는 세라믹 페이스트(114a)를 도포한다. 유전체층(14b)의 두께는 유전체층(14c)의 두께의 0.4~0.8배이다.
- [0116] 세라믹 페이스트(114a)는 제1 실시형태에서는 제1 세라믹 그린시트(114A)에서의, 제1 내부전극층 패턴(115A)이 배치되어 있지 않은 부분의 전체를 메움과 함께, 제1 대향부(15Aa)의 폭방향(W)의 양측 가장자리로서 제1 대향부의 접속 영역(JA)을 제외한 부분에 오버랩하도록 배치한다.
- [0117] 세라믹 페이스트(114a)는 제1 내부전극층(15A)의 측면 인출부(15Ab)가 되는 부분에는 배치하지 않는다.
- [0118] 또한, 도 10에 나타내는 바와 같이, 도 8에서 나타낸 제2 세라믹 그린시트(114B)에 제2 내부전극층 패턴(115B)이 형성된 시트 상에 유전체층(14a)이 되는 세라믹 페이스트(114b)를 도포한다. 유전체층(14a)의 두께는 유전체층(14c)의 두께의 0.4~0.8배이다.
- [0119] 제1 실시형태에서는 세라믹 페이스트(114b)는 제2 세라믹 그린시트(114B)에서의, 제2 내부전극층 패턴(115B)이 배치되어 있지 않은 부분의 전체를 메움과 함께, 추가로 제2 내부전극층 패턴(115B)의 제2 대향부(15Ba)의 폭방향(W)의 양측 가장자리에 상당하는 부분에 오버랩하도록 배치한다.

- [0120] 한편, 세라믹 페이스트(114a) 및 세라믹 페이스트(114b)는 예를 들면, 스크린 인쇄, 그라비아 인쇄, 볼록판 인쇄 등의 인쇄에 의해 부여한다. 세라믹 페이스트는 세라믹 그린시트의 재료로서의 유전체와의 성분비가 달라도 되고, 동일한 성분비이어도 되며, 다른 성분을 포함하는 것이어도 된다.
- [0121] (적층 공정(S3))
- [0122] 도 11은 길이방향(L) 중앙의 WT 절단면에서의 적층체(2)의 적층 상태를 설명하는 도면이다. 도 11에서는 설명의 사정 상, 적층되는 복수개의 세라믹 그린시트가 떨어져 있는 상태가 모식적으로 나타내져 있다. 도 12, 도 15 및 도 16도 마찬가지이다.
- [0123] 도시하는 바와 같이, 도 9에서 나타낸 제1 세라믹 그린시트(114A)에 제1 내부전극층 패턴(115A) 및 세라믹 페이스트(114a)가 배치된 시트와, 도 10에 나타낸 제2 세라믹 그린시트(114B)에 제2 내부전극층 패턴(115B) 및 세라믹 페이스트(114b)가 배치된 시트를 교대로 적층한다. 세라믹 페이스트(114b)는 유전체층(14a)을 형성한다.
- [0124] 도 12는 폭방향(W) 중앙의 LT 절단면에서의 적층체(2)의 적층 상태를 설명하는 도면이다. 제1 내부전극층 패턴(115A)과 제2 내부전극층 패턴(115B)은 모두 적층방향(T)의 간격을 일정하게 하여 길이방향(L)으로 연장되어 있다. 세라믹 페이스트(114a)는 유전체층(14b)을 형성한다.
- [0125] 또한, 이와 같이 적층된 것의 적층방향(T)의 양측에, 외층부(12)가 되는 외층부용 세라믹 그린시트(112)를 쌓아 겹친다.
- [0126] (마더 블록 형성 공정(S4))
- [0127] 외층부용 세라믹 그린시트(112)와, 쌓아 겹쳐진 복수개의 시트를 열압착하여 마더 블록을 형성한다.
- [0128] (마더 블록 분할 공정(S5))
- [0129] 이어서, 마더 블록을 길이방향(L)과 폭방향(W)으로 절단하여 분할하고, 직사각형의 적층체(2)를 복수개 제조한다.
- [0130] (외부전극 형성 공정(S6))
- [0131] 다음으로, 적층체(2)의 양 단면(C)에 단면 외부전극(3)을 형성하고, 적층체(2)의 양 측면(B)에 측면 외부전극(4)을 형성한다.
- [0132] 단면 외부전극(3)에는 제2 내부전극층(15B)의 단면 인출부(15Bb)가 접속되어 있다. 단면 외부전극(3)은 단면(C)뿐만 아니라, 주면(A) 및 측면(B)의 단면(C) 측의 일부도 덮도록 형성한다.
- [0133] 측면 외부전극(4)에는 제1 내부전극층(15A)의 측면 인출부(15Ab)가 접속되어 있다. 측면 외부전극(4)은 측면(B)뿐만 아니라, 주면(A)의 측면(B) 측의 일부도 덮도록 형성한다.
- [0134] (소성 공정(S7))
- [0135] 그리고 설정된 소성 온도에서 질소 분위기 중에서 소정 시간 가열한다. 이로써, 외부전극이 적층체(2)에 베이킹 되고, 도 1에 나타내는 적층 세라믹 콘덴서(1)가 제조된다.
- [0136] 소성 공정에서는 적층 칩에 탈 바인더 처리 및 소성 처리를 실시하여, 소체부(적층체(2))로 한다. 소성 처리에 의해 도전 페이스트층과 유전체층용 그린시트가 공(共)소결되어, 각각 내부전극층(15)과 유전체층(14)이 된다. 탈 바인더 처리의 조건은 그린시트 및 도전 페이스트층에 포함되는 유기 바인더의 종류에 따라 정하면 된다. 또한 소성 처리는 적층 칩이 충분히 치밀화되는 온도에서 실시하면 된다. 소성 온도는 유전체나 내부전극층의 재료에 따라 다르지만, 900℃~1400℃인 것이 바람직하다.
- [0137] 이와 같이 제조된 적층 세라믹 콘덴서(1)는 도 2에 나타내는 바와 같이, 적층방향(T)으로 이웃하는 제1 내부전극층(15A)의 적층방향(T)의 간격에서, 제1 내부전극층(15A)을 적층방향(T)으로부터 평면에서 봤을 때에 제1 대향부(15Aa) 중 측면 인출부(15Ab)가 접합하는 접속 영역(JA)에서 제2 내부전극층(15B)과 겹치는 부분의 간격(T1)이 제1 대향부(15Aa)의 중앙부의 간격(T2)보다 길면서, 제1 내부전극층(15A)을 적층방향(T)으로부터 평면에서 봤을 때에 제2 내부전극층(15B)과 겹치지 않는 측면 인출부(15Ab)의 간격(T3)보다 긴 부분을 가진다.
- [0138] 이와 같이, 제1 대향부(15Aa) 중 측면 인출부(15Ab)가 접합하는 접속 영역(JA)에서 제2 내부전극층(15B)과 겹치는 부분에서는 간격(T1)이 다른 간격(T2, T3)보다 크기 때문에, 이 부분에는 유전체층(14)으로부터의 압력이 가해지기 쉽다. 이 때문에, 이 부분에서는 내부전극층(15)의 연통 구멍(P)에 유전체층(14)을 형성하는 일부의 유

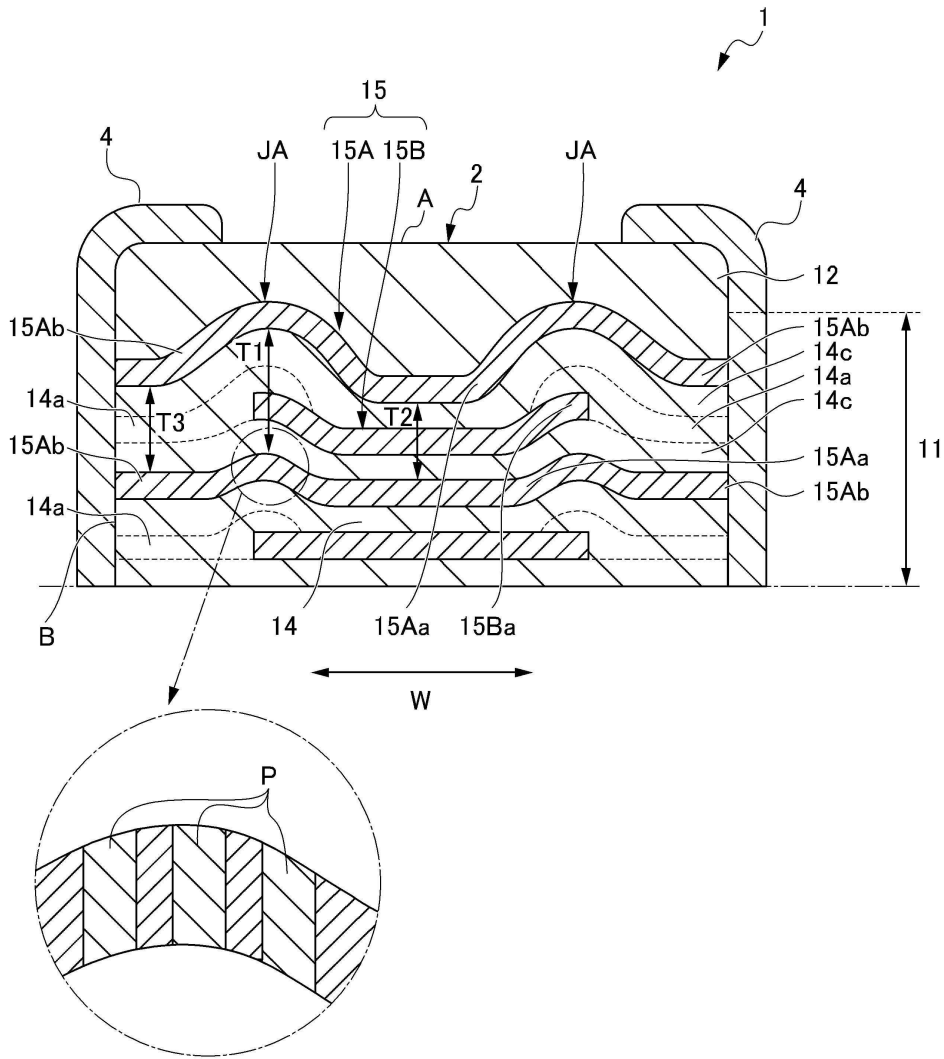
전체가 안으로 들어가기 쉬워지기 때문에, 유전체에 의한 기동 형상의 결정이 형성되기 쉽고, 내부전극층(15)과 유전체층(14)의 밀착력을 높이는 것이 가능해진다.

- [0139] 이 때문에, 제1 내부전극층에서의 유전체가 진입한 연통 구멍(P)의 존재율은 제1 대향부(15Aa) 중 측면 인출부(15Ab)가 접속하는 접속 영역(JA)이 제1 대향부(15Aa)의 중앙부보다 높으면서, 측면 인출부(15Ab)의 중앙부보다 높아지고, 접속 영역(JA)에서 유전체층(14)과의 밀착력을 높일 수 있다.
- [0140] 한편, 적층체(2)는 도 3에 나타내는 바와 같이, 제1 내부전극층(15A)과 제2 내부전극층(15B)은 모두 적층방향(T)의 간격은 일정하게 하여 길이방향(L)으로 연장되어 있다.
- [0141] (외부전극 형성 공정(S8))
- [0142] 필요에 따라, 도금층을 마련한다. 본 실시형태에서는 베이킹층 상에 Ni 도금층 및 Sn 도금층을 형성했다. Ni 도금층 및 Sn 도금층은 예를 들면 배럴 도금법에 의해 순차 형성된다. 이와 같이 하여, 적층 세라믹 콘덴서(1)를 얻을 수 있다.
- [0143] (제2 실시형태)
- [0144] 다음으로 본 발명의 제2 실시형태에 대해 설명한다. 제2 실시형태는 내부전극층 패턴이 형성된 세라믹 그린시트에 배치되는 세라믹 페이스트(114a 및 114b)의 범위가 제1 실시형태와 다르다.
- [0145] 도 13은 제2 실시형태에서의, 제1 세라믹 그린시트(114A)에 제1 내부전극층 패턴(115A)이 형성된 시트에 세라믹 페이스트(114a)가 배치된 상태를 나타내는 도면이며, 제1 실시형태의 도 9에 상당하는 것이다.
- [0146] 도 13에 나타내는 바와 같이, 세라믹 페이스트(114a)는 제1 세라믹 그린시트(114A)에서의, 제1 내부전극층 패턴(115A)이 배치되어 있지 않은 부분의 전체를 메움과 함께, 제1 대향부(15Aa)의 길이방향(L)의 양측 가장자리와, 제1 대향부(15Aa)의 폭방향(W)의 양측 가장자리로서 제1 대향부의 접속 영역(JA)을 제외한 부분에 오버랩하도록 배치하고 있다.
- [0147] 한편, 도 13에는 제1 내부전극층(15A)의 측면 인출부(15Ab)가 되는 부분에 세라믹 페이스트(114a)를 배치하지 않는 형태를 나타내고 있지만, 이에 한정되는 것은 아니고, 제1 내부전극층(15A)의 측면 인출부(15Ab)가 되는 부분, 및 제1 대향부(15Aa)와 측면 인출부(15Ab)가 접합하는 접속 영역(JA)에도 세라믹 페이스트(114a)를 배치해도 된다.
- [0148] 도 14는 제2 실시형태에서의, 제2 세라믹 그린시트(114B)에 제2 내부전극층 패턴(115B)이 형성된 시트에 세라믹 페이스트(114b)가 배치된 상태를 나타내는 도면이며, 제1 실시형태의 도 10에 상당하는 것이다.
- [0149] 도 14에 나타내는 바와 같이, 세라믹 페이스트(114b)는 제2 세라믹 그린시트(114B)에서의, 제2 내부전극층 패턴(115B)이 배치되어 있지 않은 부분의 전체를 메움과 함께, 제2 내부전극층 패턴(115B)의 제2 대향부(15Ba)의 폭방향(W)의 양측 가장자리에 상당하는 부분과, 제2 대향부(15Ba)의 길이방향(L)에서의 양단에 있으면서 폭방향(W)의 양단에 상당하는 4군데에 상당하는 부분에 오버랩하도록 배치한다.
- [0150] 세라믹 페이스트(114b)는 제2 내부전극층(15B)의 단면 인출부(15Bb)가 되는 부분에는 배치하지 않는다.
- [0151] 도 13에서 나타낸 제1 세라믹 그린시트(114A)에 제1 내부전극층 패턴(115A) 및 세라믹 페이스트(114a)가 배치된 시트와, 도 14에 나타낸 제2 세라믹 그린시트(114B)에 제2 내부전극층 패턴(115B) 및 유전체층(14a)이 되는 세라믹 페이스트(114b)가 배치된 시트를 교대로 적층시키는 상태를 도 15와 도 16에 나타낸다.
- [0152] 도 15에 나타내지는 바와 같이, 세라믹 페이스트(114b)는 제2 내부전극층 패턴(115B)의 폭방향(W)의 양단에 오버랩하고 있다. 세라믹 페이스트(114b)는 유전체층(14a)을 형성한다.
- [0153] 또한, 도 16에 나타내지는 바와 같이, 세라믹 페이스트(114a)는 제1 내부전극층 패턴(115A)의 길이방향(L)의 양단에 오버랩하고 있다. 세라믹 페이스트(114a)는 유전체층(14b)을 형성한다. 이와 같은 형태는 제1 실시형태의 도 11에 상당하고, 제1 실시형태의 도 2에 상당하는 절단면이 형성되는 것이 된다.
- [0154] 이 때문에, 제2 실시형태에서는 제2 내부전극층(15B)에서의 유전체가 진입한 연통 구멍(P)의 존재율은 제2 대향부(15Ba) 중 단면 인출부(15Bb)가 접속하는 접속 영역(JB)이 제2 대향부(15Ba)의 중앙부보다 높으면서, 단면 인출부(15Bb)의 중앙부보다 높아지고, 유전체층(14)과의 밀착력을 향상시킬 수 있다. 한편, 도 15에 나타내는 절단면의 형태도 제1 실시형태의 도 11에 상당하고, 제1 실시형태의 도 2에 상당하는 절단면이 형성되게 되기 때문에, 제1 대향부(15Aa)와 측면 인출부(15Ab)가 접합하는 접속 영역(JA)에서도 유전체층(14)과의 밀착력을 향상

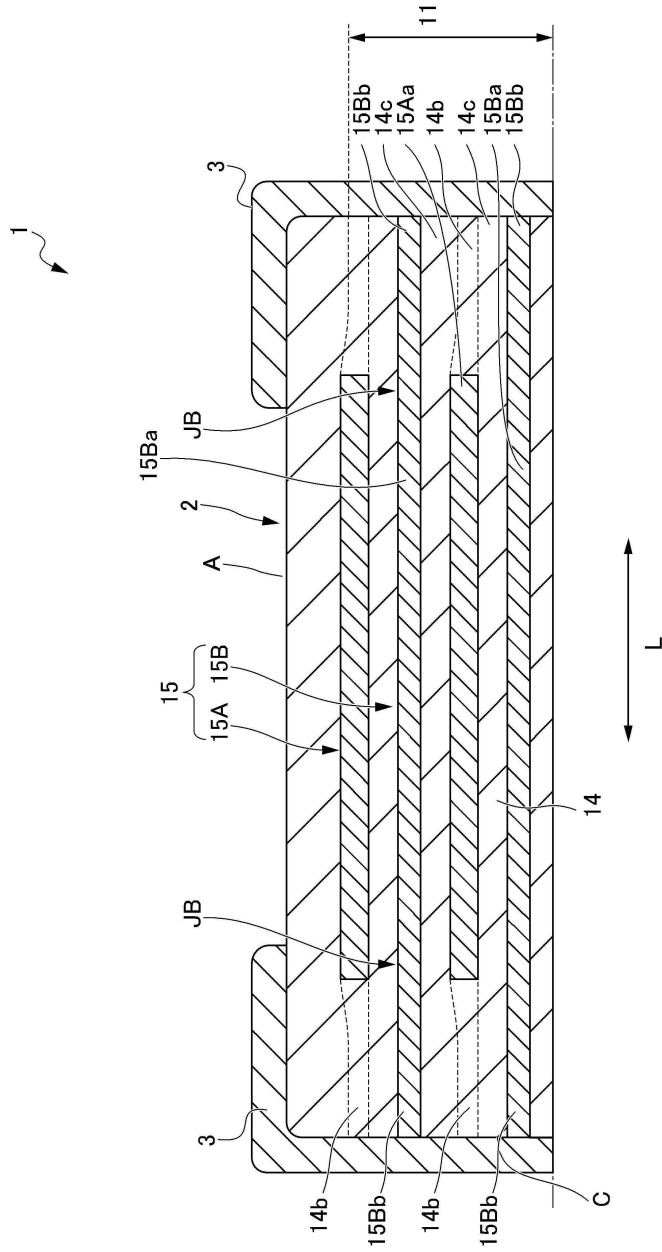
시킬 수 있다.

- [0155] 이와 같이, 제2 실시형태에서도 제1 실시형태와 마찬가지로의 효과를 얻을 수 있다.
- [0156] 이상, 본 발명의 실시형태에 대해 설명했지만, 본 발명은 실시형태에 한정되는 것은 아니고, 본 발명의 요지를 일탈하지 않는 범위에서 다양한 형태로 실시하는 것이 가능하다. 본 발명은 이하의 조합을 포함한다.
- [0157] <1> 유전체층과 내부전극층을 교대로 복수개 적층한 내층부를 포함하고, 적층방향으로 마주보는 2개의 주면과, 상기 적층방향과 교차하는 길이방향으로 마주보는 2개의 단면과, 상기 적층방향과 상기 길이방향에 교차하는 폭방향으로 마주보는 2개의 측면을 포함하는 적층체와,
- [0158] 상기 적층체의 상기 측면과 상기 단면 중 적어도 어느 하나에서 상기 내부전극층과 접속하는 외부전극을 포함한 적층 세라믹 콘덴서로서,
- [0159] 상기 내부전극층은 제1 내부전극층과 제2 내부전극층을 포함하며,
- [0160] 상기 제1 내부전극층과 상기 제2 내부전극층은 상기 적층방향으로부터의 평면에서 봤을 때 서로 겹치는 대향부와, 상기 대향부로부터 상기 적층체의 상기 단면 또는 상기 측면으로 인출되고 상기 적층방향으로부터의 평면에서 봤을 때 서로 겹치지 않는 인출부를 포함하며,
- [0161] 상기 내부전극층은 상기 적층방향으로 연통하고, 상기 유전체층을 구성하는 유전체가 진입한 연통 구멍을 가지며,
- [0162] 상기 유전체가 진입한 연통 구멍의 존재율은 상기 대향부 중 상기 인출부가 접속하는 접속 영역이 상기 대향부의 중앙부보다 높으면서, 상기 인출부의 중앙부보다 높은, 적층 세라믹 콘덴서.
- [0163] <2> 제1항에 있어서,
- [0164] 상기 내부전극층은 상기 제1 내부전극층과 상기 제2 내부전극층을 포함하며,
- [0165] 상기 제1 내부전극층은 상기 유전체층을 사이에 두고 상기 제2 내부전극층과 대향하는 제1 대향부와, 상기 제1 대향부로부터 상기 적층체의 상기 측면으로 인출되는 측면 인출부를 포함하며,
- [0166] 상기 제2 내부전극층은 상기 유전체층을 사이에 두고 상기 제1 내부전극층과 대향하는 제2 대향부와, 상기 대향부로부터 상기 적층체의 2개의 상기 단면으로 인출되는 단면 인출부를 포함하며,
- [0167] 상기 내부전극층은 상기 적층방향으로 연통하고, 상기 유전체층을 구성하는 유전체가 진입한 연통 구멍을 가지며,
- [0168] 상기 제1 내부전극층에서의 상기 연통 구멍의 존재율은 상기 제1 대향부 중 상기 측면 인출부가 접속하는 접속 영역이 상기 제1 대향부의 중앙부보다 높으면서, 상기 측면 인출부의 중앙부보다 높은, 적층 세라믹 콘덴서.
- [0169] <3> 제2항에 있어서,
- [0170] 상기 적층방향으로 이웃하는 상기 제1 내부전극층의 상기 적층방향의 간격에서, 상기 제1 내부전극층을 상기 적층방향으로부터 평면에서 봤을 때에 상기 제2 내부전극층과 겹치는 상기 접속 영역에서의 간격(T1)이 상기 제1 대향부의 중앙부에서의 간격(T2)보다 길면서, 상기 제1 내부전극층을 상기 적층방향으로부터 평면에서 봤을 때에 상기 제2 내부전극층과 겹치지 않는 상기 측면 인출부에서의 간격(T3)보다 긴 부분을 가지는, 적층 세라믹 콘덴서.
- [0171] <4> 제2항 또는 제3항에 있어서,
- [0172] 상기 폭방향에서 대향하는 상기 적층체의 2개의 상기 측면으로 인출되는 2개의 상기 측면 인출부를 포함한 상기 제1 내부전극층에서,
- [0173] 상기 유전체가 진입한 연통 구멍의 존재율은 상기 제1 대향부 중 2개의 상기 측면 인출부가 접속하는 2개의 상기 접속 영역이 상기 제1 대향부의 중앙부보다 높으면서, 2개의 상기 인출부의 중앙부보다 높은, 적층 세라믹 콘덴서.
- [0174] <5> 제2항 내지 제4항 중 어느 한 항에 있어서,
- [0175] 상기 제1 내부전극층에서, 상기 측면 인출부의 상기 길이방향의 길이는 상기 제1 대향부의 상기 길이방향의 길이보다도 짧은, 적층 세라믹 콘덴서.

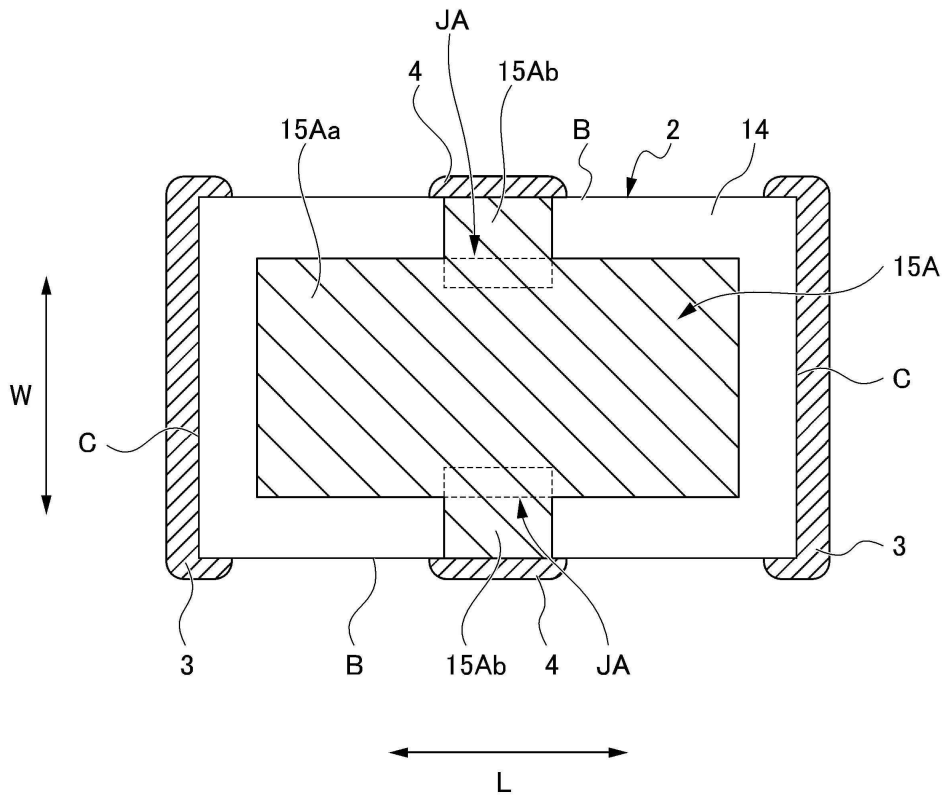
도면2



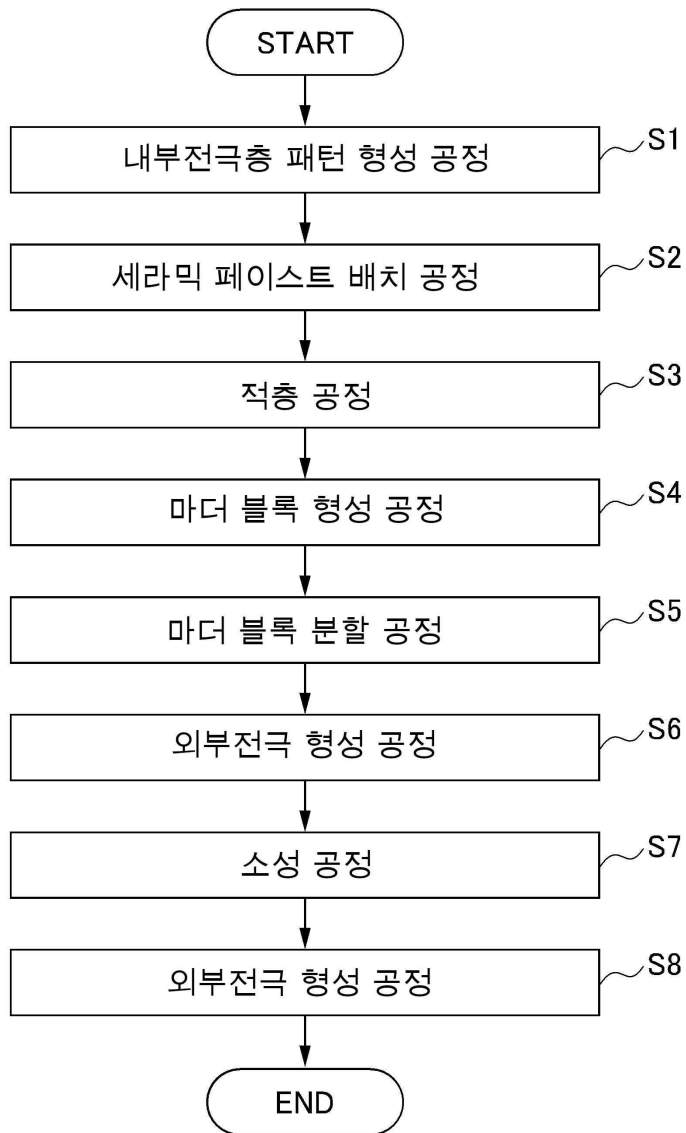
도면3



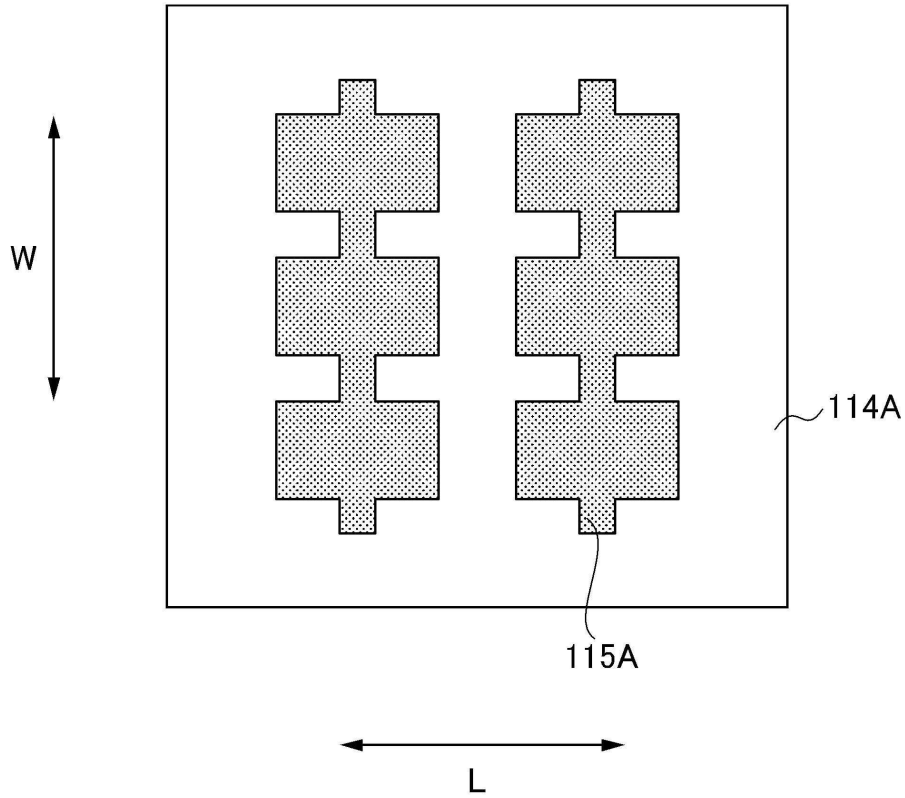
도면4



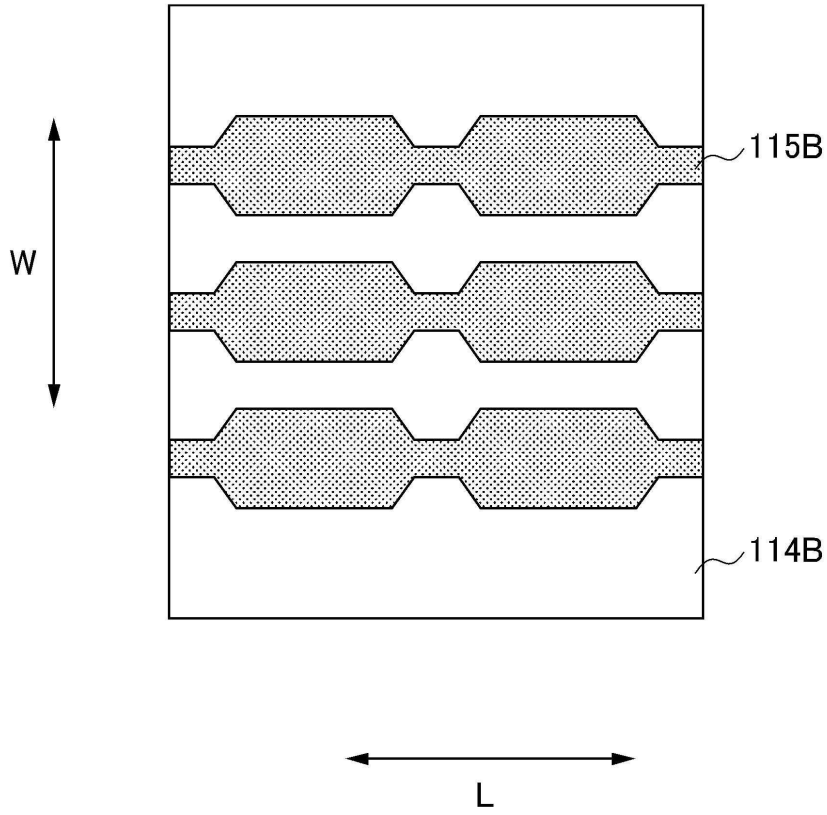
도면6



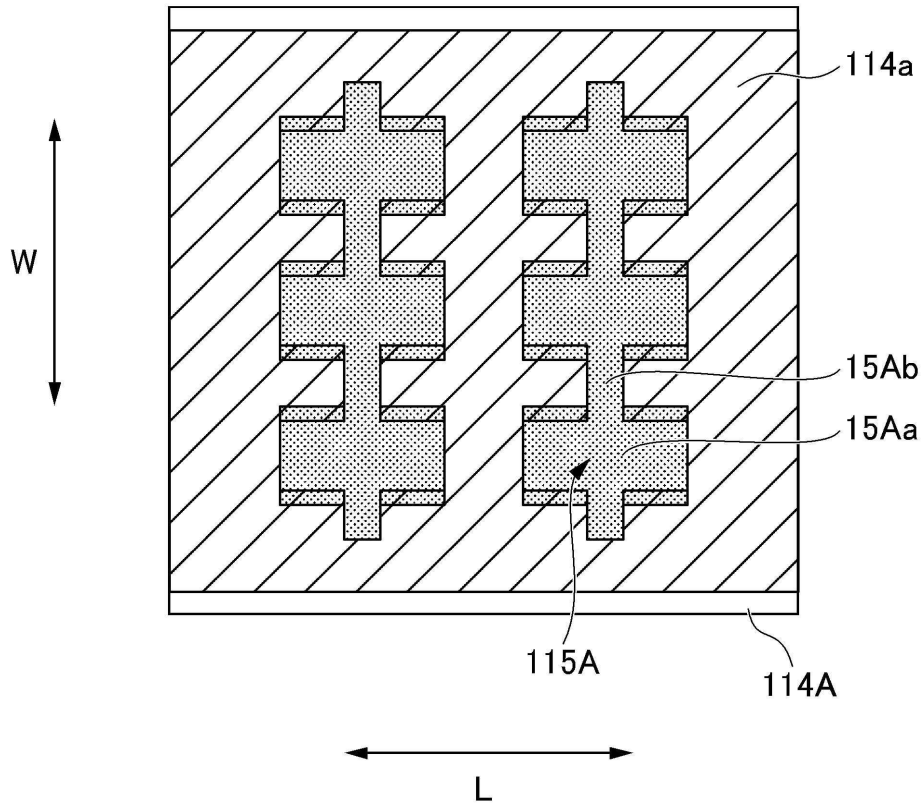
도면7



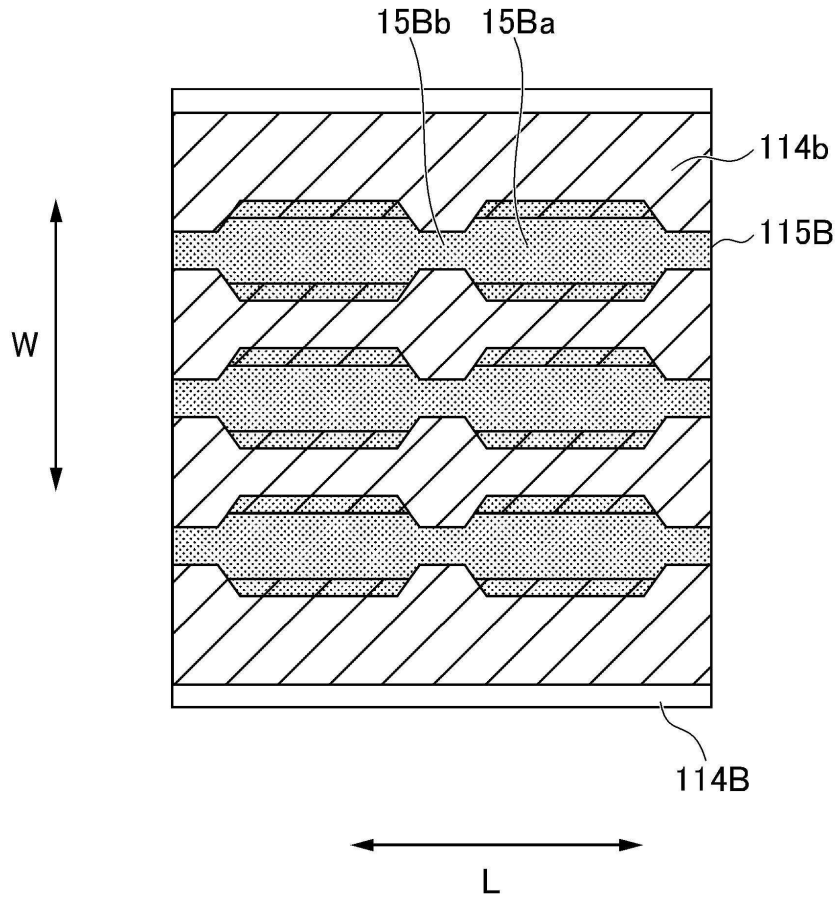
도면8



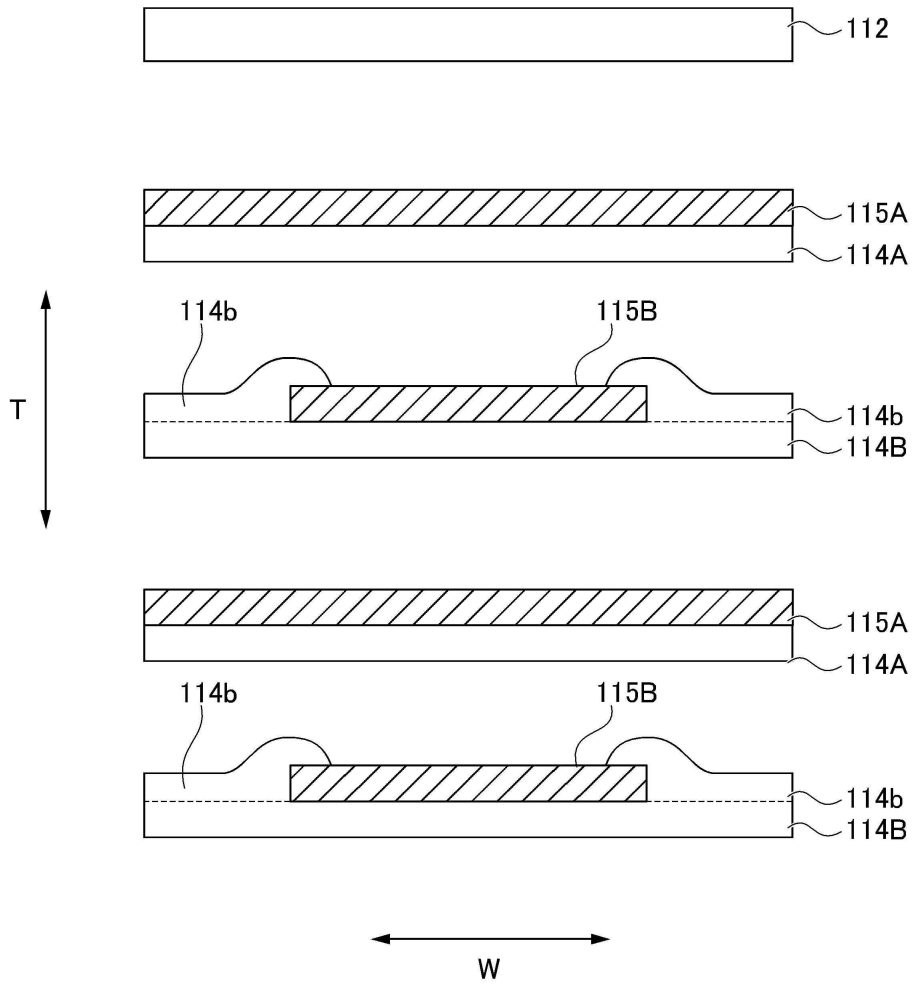
도면9



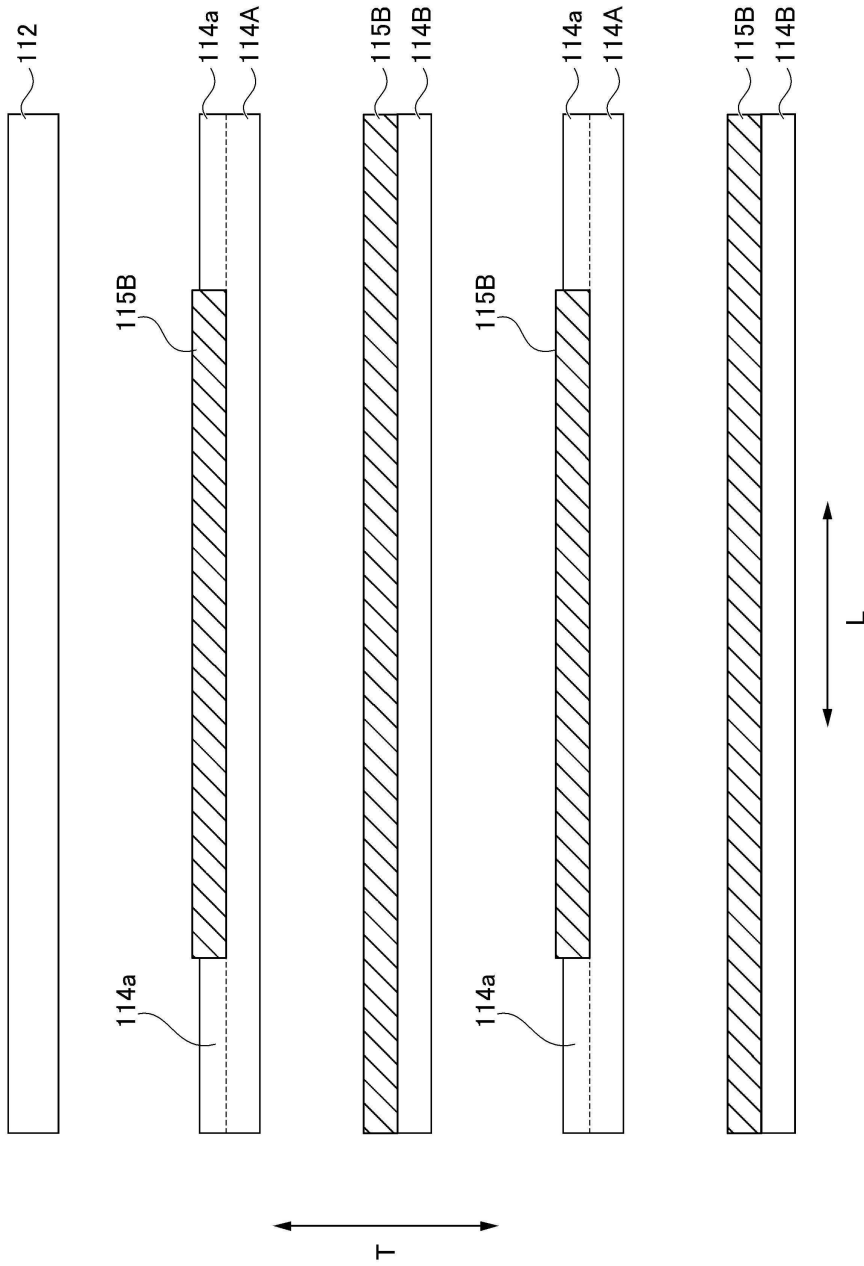
도면10



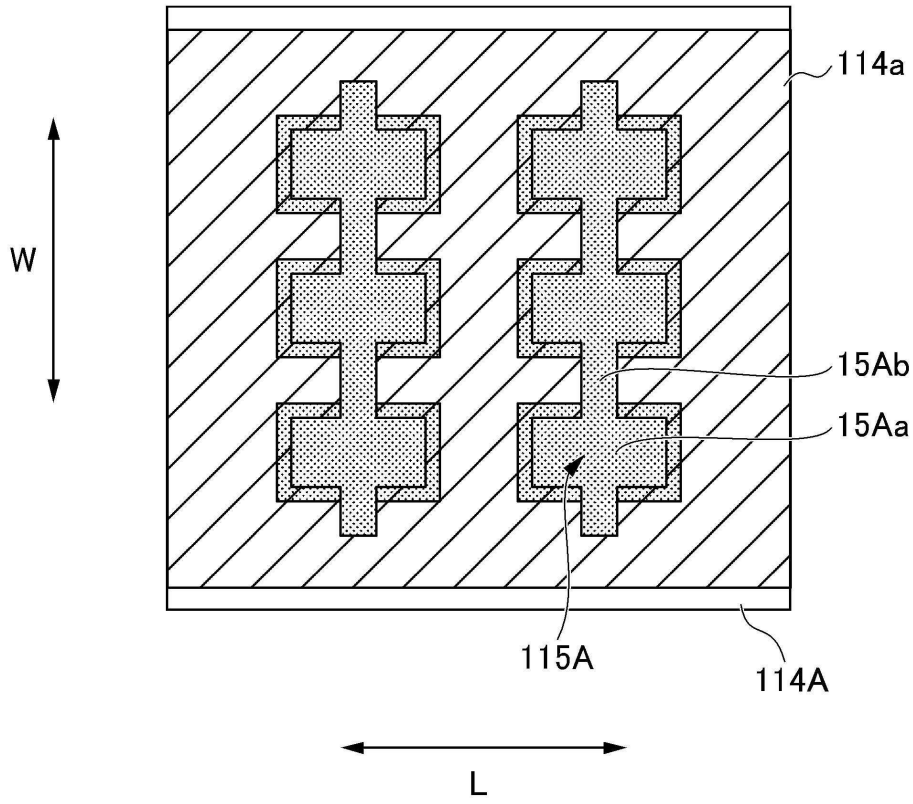
도면11



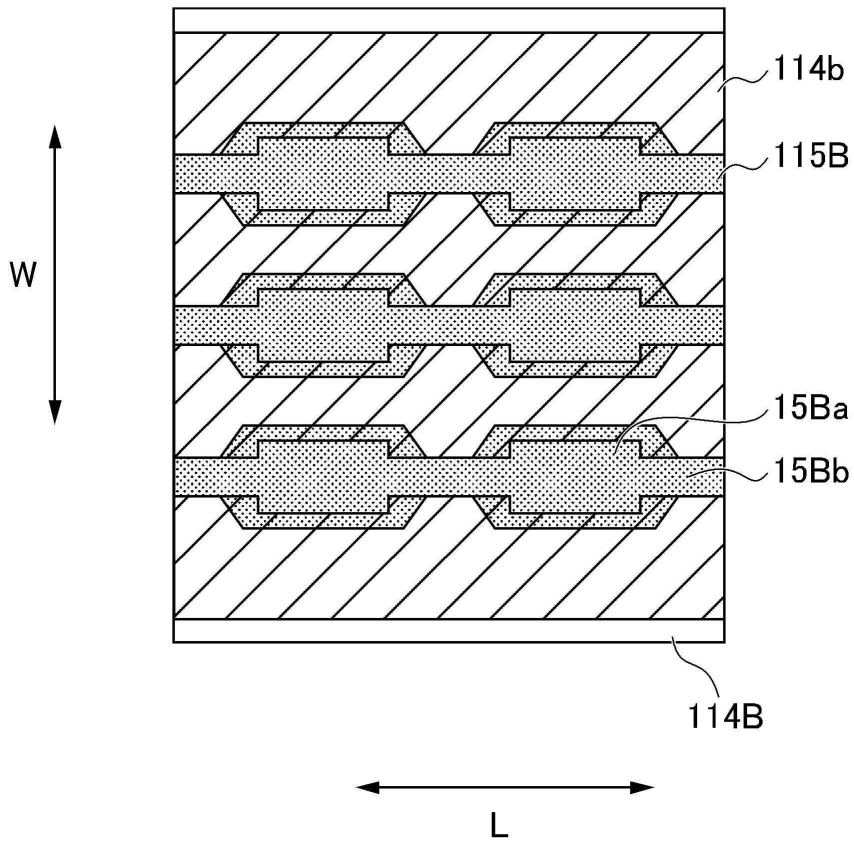
도면12



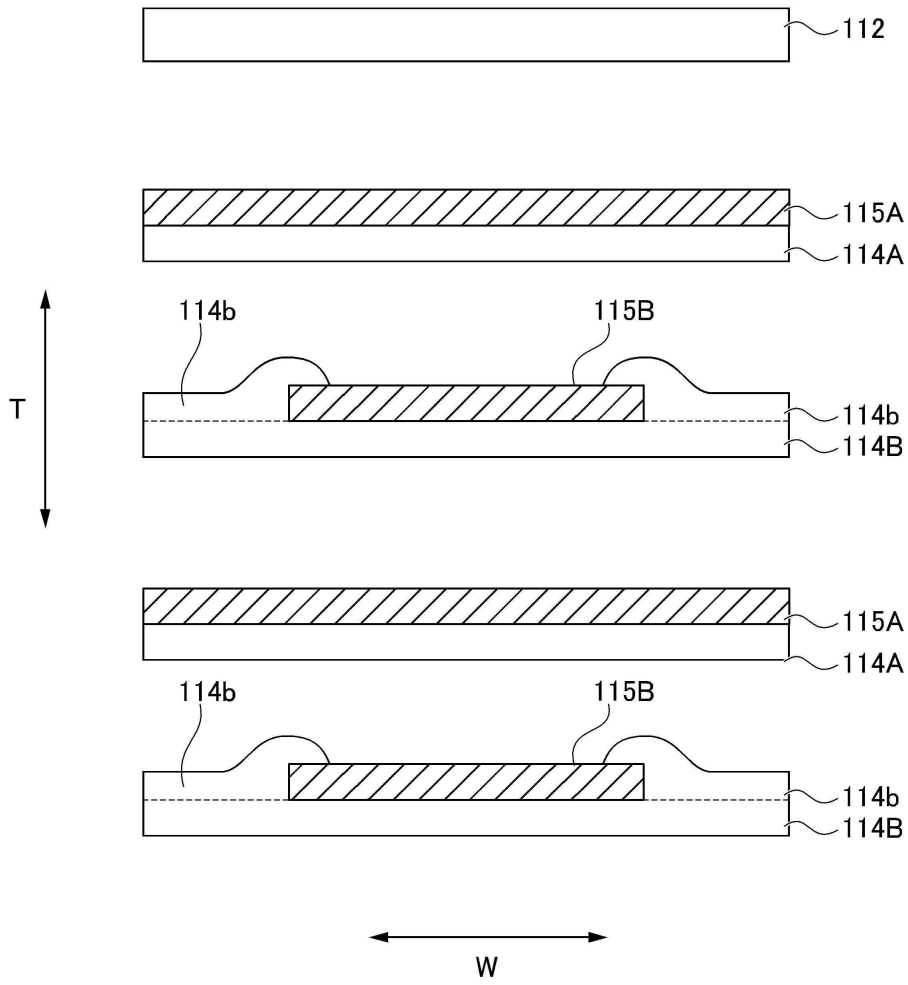
도면13



도면14



도면15



도면16

