

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94114208

※申請日期：94.5.7

※IPC 分類：H01L 27/085 (2006.01)

一、發明名稱：(中文/英文)

用於增進通道載子移動性之具有高應力襯料之基於Si-Ge的半導體裝置

SEMICONDUCTOR DEVICE BASED ON Si-Ge WITH HIGH STRESS LINER FOR
ENHANCED CHANNEL CARRIER MOBILITY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

高級微裝置公司

ADVANCED MICRO DEVICES, INC.

代表人：(中文/英文) 德瑞克 保羅 S / DRAKE, PAUL S.

住居所或營業所地址：(中文/英文)

美國·加州 94088-3453·桑尼威·第1AMD區·M/S 68·郵政信箱 3453 號

One AMD Place, M/S 68, P.O. Box 3453, Sunnyvale, CA 94088-3453 U.S.A.

國籍：(中文/英文) 美國 / U.S.A.

三、發明人：(共 2 人)

姓名：(中文/英文)

1. 孫詩平 / SUN, SEY-PING

2. 布朗 大衛 E / BROWN, DAVID E.

國籍：(中文/英文)

1. 2. 美國 / US

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國 2004 年 5 月 5 日 10/838,330 （主張優先權）

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

藉由採用應力襯料增加在 Si-Ge 裝置之電晶體通道區內之載子移動性，於實施例中包括在鬆弛源極/汲極區上運用高壓縮或拉伸應力膜，並且在其他實施例中包括於移除矽化物間隔件後，在 P-通道或 N-通道電晶體之閘極電極(72)與應變矽源極/汲極區(71)之上方，各別地運用高壓縮(90)或高拉伸應力膜(120)。

六、英文發明摘要：

The carrier mobility in transistor channel regions of Si-Ge devices is increased by employing a stressed liner. Embodiments include applying a high compressive or tensile stressed film overlying relaxed source/drain regions. Other embodiments include applying a high compressively (90) or high tensilely (120) stressed film, after post silicide spacer removal, over gate electrodes (72) and strained Si source/drain regions (71) of P-channel or N-channel transistors, respectively.

七、指定代表圖：

(一)本案指定代表圖為：第 (12) 圖。

(二)本代表圖之元件符號簡單說明：

70	矽-鍍層	71	矽層
72	閘極電極	73	閘極介電質層
76	金屬矽化物層	77	金屬矽化物層
90	受應力介電質襯料	100	氧化物或氮氧化物襯料
120	受應力介電質襯料	130	氧化物或氮氧化物襯料
131	遮罩		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係關於包含電晶體在矽-鍍上之微型化半導體裝置。本發明特別可用在製造具有增進通道載子移動性之電晶體。

【先前技術】

堅持不懈的尋求小型化高速半導體裝置繼續挑戰傳統半導體材料與製造技術之極限。典型傳統半導體裝置係在平常的半導體基板之內或上包含複數個主動裝置，例如 CMOS 裝置在間隔鄰近包含至少一對 PMOS 與 NMOS 電晶體。目前技術係利用結晶半導體晶圓做為基板，例如在重度摻雜結晶矽(Si)基板上生成輕度 p-摻雜晶膜(“epi”)層。該重度摻雜基板之低電阻需用以最小化電納係數來鎖定(latch-up)，由於輕度摻雜之 epi 層允許形成於其內之 p 型與 n 型井兩者之摻雜分布之獨立裁飾作為製造序列之一部分，從而產生最佳化 PMOS 與 NMOS 電晶體效能。

藉由利用淺溝隔離區(shallow trench isolation;STI)從較重度摻雜基板至該輕度摻雜 epi 層內有利地最小化 p 型摻雜之上擴散(up-diffusion)，將使用很薄之 epi 層(例如幾 μm 厚)變成可能。此外，藉由避免在各區域性矽氧化法(LOCOS, local oxidation of silicon)隔離結構之邊緣形成鳥喙(bird's beak)，STI 容許鄰近主動區之較近間隔。STI 亦藉由創造較陡之結構而提供較佳之隔離、從主動區至隔離區降低垂直跳升(vertical step)以改善閘極微影之控制、排

除以大直徑(例如 8 inch)晶圓可能造成問題之高溫場氧化步驟、以及對未來邏輯技術世代是可升級的。

基於”應變矽(strained silicon)”之基板成為吸引人感興趣之半導體材料係因其中提供電子與電洞流之增速，從而允許以較高速度操作、增進效能特點、以及較低電源消耗之半導體裝置製造。一很薄之拉伸應變結晶矽層生成在幾微米厚之鬆弛漸變(relaxed,graded)組成之矽-鍺緩衝層上，其矽-鍺緩衝層係依序形成在合適之結晶基板上，例如矽晶圓或絕緣層上矽(silicon-on-insulator;SOI)晶圓。典型矽-鍺緩衝層含有 12 至 25%之鍺。應變矽技術係基於矽原子趨勢當矽原子沉積在矽-鍺緩衝層上時會與較大之矽與鍺原子其內之晶格常數(間距)(相對於純矽)對齊。在包含更間隔開原子之基板(Si-Ge)上沉積矽原子的結果，矽原子伸展(stretch)”與在下面的矽與鍺原子對齊，從而”伸展(stretching)”或拉伸應變該沉積矽層。在該應變矽層內之電子與電洞較具有較小原子間距(即電子與/或電洞流具有較少之電阻)之傳統鬆弛矽層具有較大之移動性。舉例來說，在應變矽內之電子流可能較在傳統矽內之電子流快至 70%。在不需減少電晶體尺寸下，以該應變矽層形成之電晶體與 IC 裝置較以傳統矽形成之相等裝置之電晶體與 IC 裝置可以顯現快至約 35%之操作速度。基於應變矽技術之習知作法亦涉及在拉伸應力之矽層上晶膜生長一鬆弛矽層，該拉伸應力之矽層隨後在鬆弛矽層內摻雜以形成鬆弛源極/汲極區。

在傳統整體矽(bulk silicon)基板中，電子之移動性快於電洞之移動性。於是，在傳統 CMOS 電晶體中，PMOS 電晶體之驅動電流(drive current)低於創造不平衡之 NMOS 電晶體之驅動電流。因電子移動性之增加較電洞移動性之增加為快，此不平衡係加重於製造在形成在應變晶格半導體基板(例如應變矽於 Si-Ge 上)內之拉伸應力主動裝置區上或其內之 CMOS 電晶體內。

當進行微型化時，隨即需要藉由增進載子移動性來增加電晶體之驅動電流，包括形成在不同類型之應變 Si-Ge 基板上之電晶體。於是，需要有一種方法，以製造具備電晶體於 Si-Ge 基板上之半導體裝置，該電晶體係以增加通道載子之移動性來增加驅動電流，而且也需要這種半導體裝置。

【發明內容】

本發明之一優點係一種製造包含在 Si-Ge 基板上具有增進驅動電流之電晶體之半導體裝置之方法。

本發明之另一優點係一種包含基於 Si-Ge 基板上具有增進驅動電流之電晶體之半導體裝置。

本發明之額外優點與其他觀點與特徵將陳述於隨後之敘述且對於在所屬技術領域具有通常知識者透過隨後之檢查可將某些部分變得顯而易見或可從本發明之實行來得知。本發明之諸項優點特別在附加之申請專利範圍中指出而得以瞭解與取得。

本發明某些部分之先前與其他優點之取得係藉由一種

半導體裝置，該裝置包含：基板，係包含在矽-鍺(Si-Ge)層上具有應變晶格之矽層；電晶體，係包含源極/汲極區與基板上方在其間具有閘極介電質層之閘極電極；以及受應力介電質襯料，係在閘極電極之側表面上方與源極/汲極區之上方。

本發明另一優點係一種半導體裝置之製造方法，該方法包含：形成包含在矽-鍺(Si-Ge)層上具有應變晶格之矽層之基板；形成包含源極/汲極區與基板上方在其間具有閘極介電質層且具有上表面與側表面之閘極電極之電晶體；以及形成在閘極電極之側表面上方與源極/汲極區上方之受應力介電質襯料。

本發明之實施例包含在閘極電極之側表面上形成例如氧化物襯料與氮化物層之介電質側壁間隔件；在應變矽層上晶膜生長鬆弛矽層；在鬆弛矽層內形成源極/汲極區；然後在側壁間隔件上、鬆弛源極/汲極區上、以及在側壁間隔件與升起式的源極/汲極區間之部份應變矽層上再沉積受應力介電質襯料。

本發明之實施例亦包括在閘極電極之側表面上形成介電質側壁間隔件；在應變矽層內形成源極/汲極區；在閘極電極之上表面形成金屬矽化物層與在源極/汲極區上形成金屬矽化物層；移除介電質側壁間隔件以顯露鄰近閘極電極側表面之部份應變矽層；然後在金屬矽化物層上、在閘極電極之上表面上、在閘極電極之側表面上、在應變矽層之鄰近顯露部分上、以及在覆於源極/汲極區上之矽化物層

上形成應力介電質襯料。

在本發明包含 N 通道電晶體之實施例中，受應力介電質襯料顯現高拉伸應力。在本發明包含 P 通道電晶體之實施例中，受應力介電質襯料顯現高壓縮應力。該受應力介電質襯料可能包含厚度約 200 埃(Angstrom; Å)至 1000 埃之矽氮化物、矽碳化物、或矽氮氧化物層。

本發明之實施例包括製造包含在 PMOS 電晶體上具有壓縮膜與在 NMOS 電晶體上具有拉伸膜之互補金氧半導體(complementary metal oxide semiconductor; CMOS)之電晶體之半導體裝置。根據本發明一觀點之流程包括在 NMOS 與 PMOS 電晶體兩者上方沉積壓縮應力氮化物膜，然後在 NMOS 與 PMOS 電晶體兩者上方沉積例如氧化物或氮氧化物膜之薄緩衝膜。當遮罩 PMOS 電晶體時，從 NMOS 電晶體導入選擇的蝕刻以移除氧化物與壓縮應力氮化物膜。然後在 NMOS 與 PMOS 電晶體兩者上方沉積拉伸應力氮化物膜，接著遠離 PMOS 電晶體選擇性的蝕刻。最後的 CMOS 裝置包含具有拉伸應力膜在其上之 NMOS 電晶體與具有壓縮應力膜在其上之 PMOS 電晶體。

本發明之額外優點與觀點從陳述於後之敘述對於在所屬技術領域具有通常知識者將變得非常顯而易見，其中本發明顯示與描述之實施例經由圖解最佳模式簡化本發明之實行。如後所述，本發明適用於其他及不同之實施例且在不同明顯之觀點下容易地在不悖離本發明之精神下進行各種修飾與變更。因此，圖示與敘述僅例示性說明本發明之

原理及其功效，而非用於限制本發明。

【實施方式】

建造在 Si-Ge 基板上之電晶體較建造在基體矽基板上之電晶體涉及不同的考量。因為矽基板的大厚度，沉積其上之應力膜傾向於影響該具有藉由該膜顯現其相反應力之基板。舉例來說，若在基體矽基板上沉積拉伸應力膜，則壓縮應力傳至基板以及通道區。然而根據本發明之典型實施例中，Si-Ge 基板係以具有厚度約 200 埃至 300 埃之應變矽層形成。鬆弛源極/汲極區可能以約至 400 埃之厚度形成於其上。因此典型應變矽層與源極/汲極區之厚度加起來未超過 800 埃。結果該應變矽層甚至連同鬆弛矽層係相對透明於藉由沉積其中之膜顯現應力之類型。於是，在應變矽層上沉積之拉伸應力層或在應變矽層上形成之鬆弛矽層亦將拉伸應力傳至形成其中之通道區；以及在該一薄矽層或諸層上沉積壓縮應力層將壓縮應力傳至形成其中之通道區；然而，在基體基板將發生相反之情形。

本發明提出與解決藉由明顯增進通道載子移動性以有效的成本和高效率的方式增加基於應變矽基板之電晶體之驅動電流之問題。本發明係來自此基於應變矽基板之電晶體之通道載子移動性可藉由運用應力至此來增加之認知。在形成 P-通道電晶體中，藉由運用受應力介電質層對增加電洞移動性顯現高壓縮應力來增進通道載子移動性。在 N-通道電晶體中，藉由運用受應力介電質層對增加電子移動性顯現高拉伸應力來明顯增加通道載子移動性。受應力介

電質層可能運用至其中有形成在應變矽層內部之源極/汲極區之電晶體以及運用至形成在應變矽層上具有鬆弛源極/汲極區之電晶體。受應力介電質層可能包含矽碳化物、矽氮化物或矽氮氧化物，且可能藉由電漿加強化學蒸氣沈積(plasma enhanced chemical vapor deposition; PECVD)以約 200 埃至 1000 埃之厚度沉積。傳統 PECVD 條件可能採用於高壓縮或高拉伸介電質層之沉積。在沉積顯現高壓縮受應力之受應力介電質層中，高頻功率與低頻功率兩者均被運用。當沉積顯現高拉伸應力之受應力介電質層，低頻功率明顯被降低。在沉積顯現高拉伸應力之受應力介電質層中，運用拉伸受應力至其下之應變或鬆弛矽層。在運用顯現高壓縮應力之層中，運用壓縮應力至其下之應變或鬆弛矽層。

舉例來說，顯現高壓縮應力(例如大於 1Gpa)之應力共形(conformal)矽氮化物層可能沉積在：矽烷(SiH_4)，流量在 200 至 500 sccm；氮(N_2)，流量在 2000 至 10000 sccm；氨(NH_3)，流量在 2500 至 5000 sccm； SiH_4/NH_3 比例在 0.2 至 0.04，溫度在 350°C 至 550°C ；壓力在 1 至 6 Torr；高頻功率在 70 至 300watts；低頻功率在 20 至 60watts 以及電極(淋氣頭(shower head))距離在 400 至 600 mils。矽氮化物層顯現高拉伸應力(例如大於 1Gpa)可能沉積在： SiH_4 ，流量在 50 至 500 sccm； NH_3 ，流量在 1500 至 5000 sccm； N_2 ，流量在 4000 至 30000 sccm； SiH_4/NH_3 比例在 0.2 至 0.04，溫度在 350°C 至 550°C ；壓力在 2 至 10 Torr；高頻

功率在 40 至 300watts；低頻功率在 0 至 10watts。

在本發明其他實施例中，藉由化學蒸氣沈積法沉積介電質層以及接以紫外或電子束輻射施於該沉積介電質層以增加其拉伸應力可能形成顯現高拉伸應力之介電質層。

根據本發明之實施例在相對低溫下運用應力層。於是在不超過鎳矽化物層之熱穩定度限制下，本發明使在電晶體內之拉伸或壓縮應力層之沉積能具有形成在源極/汲極區與閘極電極上之鎳矽化物層。本發明亦適用於具有其他金屬矽化物(例如鈷矽化物)之電晶體。在鈷矽化中，在沉積鈷層與實現矽化之前先沉積分開的矽層。

第 1 至第 6 圖係本發明一實施例之示意圖。請參照第 1 圖，應變矽層 11 係形成在 Si-Ge 層 10 上。需瞭解在傳統實行中，矽層 11 可能在源極/汲極區內完全地應變或局部地應變，而本實施例包含兩種類型之應變矽層。閘極電極 12 在應變矽層 11 上方形成且兩者間有閘極介電質層 13。然後形成包含 L 型氧化物襯料 14(例如矽氧化物)以及氮化物層 15(例如矽氮化物)於其上之側壁間隔件。然後在應變矽層 11 與源極/汲極區上晶膜生長鬆弛矽層 16，當摻雜延伸源極/汲極區至應變矽層 11 內。金屬矽化物層 20，20A(例如鎳矽化物)各別地形成在閘極電極 12 之上表面上以及在鬆弛源極/汲極區 16 上。然後在側壁間隔件上、矽化物 20A 上、以及在矽層 11 上之氧化物襯料 14 與鬆弛源極/汲極區 16 間形成受應力介電質襯料 21。在本發明實施例中該矽層局部應變於源極/汲極區，該應力介電質

21 將應變傳至閘極電極下方與間隔件下方之矽層 11，因此有利地增加通道載子移動性。在實施例中整個矽層 11 應變，受應力介電質層在閘極電極與間隔件下方之通道區內更增加應變，因此更增加通道載子移動性。受應力介電質層 21 可以是例如藉由 PECVD 沉積顯現高壓縮或拉伸應力之矽氮化物。第 2 圖圖示之額外特徵包括將鎢栓 22 與阻障金屬 (barrier metal) 23 (例如鈦氮化物) 填入層間介電質 24 內之開口，以及將鎢栓 25 與阻障金屬線 26 (例如鈦氮化物) 填入層間介電質 24 內之接觸孔洞 27。藉由受高應力介電質層 21 運用之應力增進了通道載子移動性，因此增加電晶體之驅動電流。

第 3 至第 6 圖係本發明另一實施例之示意圖。請參照第 3 圖，應變矽層 31 係在 Si-Ge 層 30 上方形成。如之前實施例中所討論，矽層 31 可能在源極/汲極區下方全面地應變或局部地應變。閘極電極 32 在應變矽層 31 上方形成且兩者間有閘極介電質層 33。在閘極電極 32 之側表面上與應變矽層 31 之部分上表面上形成包含如厚度約 60 埃至 600 埃氧化物襯料 34 之側壁間隔件。較佳該襯料 34 可能藉由 ALD 沉積以及可能包含矽氮化物。矽氧化物襯料藉由在側表面上矽化有利地預防閘極電極之消耗，以及在矽氮化物側壁間隔件上有利地預防隨後形成之鎳矽化物薄層接觸到閘極電極上表面上之鎳矽化物接觸層與/或接觸到應變矽層 31 上表面上之鎳矽化物接觸層，因此有效預防鎳矽化物沿著矽氮化物側壁間隔件橋接。

藉由採用隨後蝕刻之 PECVD 在矽氧化物襯料 34 上形成矽氮化物間隔件 35。如第 4 圖所示，再藉由在閘極電極 32 上表面上形成鎳矽化物層 40 以及在應變矽層 31 或應變部分矽層 31 內形成之源極/汲極區上形成鎳矽化物層 41 接著實現了矽化。

如第 5 圖所示，接著移除襯料與側壁間隔件顯露出在矽化物層 41 與閘極電極 32 側表面間之應變矽層 31 之部分上表面，其上具有當作緩衝層之薄(約小於 50 埃)氧化物層。如第 6 圖所示，藉由 PECVD 再沉積受高應力介電質層 50(例如顯現高壓縮應力之矽氮化物層)。該受高應力介電質層 50 作為增加通道電洞移動性，因此增加了驅動電流。

第 7 至第 14 圖係本發明另一實施例之示意圖。請參照第 7 圖，係包含 NMOS 電晶體部分在左方以及 PMOS 電晶體部分在右方之 CMOS 裝置之示意圖，其相似之特徵以相似的參考字符來表示。在 Si-Ge 層 70 上方形成應變矽層 71。如之前所討論實施例中，矽層 71 可能在源極/汲極區內全面地應變或局部地應變。閘極電極 72 在應變矽層 71 上方形成且兩者間有閘極介電質層 73。在閘極電極 72 之側表面上與應變矽層 71 之部分上表面上形成包含如厚度約 60 埃至 600 埃氧化物襯料 74 之側壁間隔件。矽氧化物襯料 74 可以用如第 3 圖中矽氧化物襯料 34 相同之方式來形成。藉由採用隨後蝕刻之 PECVD 在矽氧化物襯料 74 上形成矽氮化物間隔件 75。再藉由在閘極電極 72 上表面上

形成鎳矽化物層 76 以及在應變矽層 71 上形成之源極/汲極區上形成鎳矽化物層 77 接著實現了矽化。

如第 8 圖所示，從各電晶體移除襯料 74 與側壁間隔件 75 顯露出在矽化物層 77 與閘極電極 72 側表面間之應變矽層 71 之部分上表面。如第 9 圖所示，然後在 NMOS 與 PMOS 電晶體兩者上方沉積具有大於 1.5GPa 壓縮應力之高壓縮應力矽氮化物膜 90。高壓縮應力矽氮化物膜 90 之沉積可能實現在：溫度約 400°C 至 480°C；矽烷(SiH_4)，流量在 200 至 300 sccm；氨(NH_3)，流量在 3000 至 4000 sccm；氮(N_2)，流量在 3500 至 4500 sccm；壓力在 2 至 6 Torr；淋氣頭 (shower head)間距在 400 至 600 mils；高頻 RF 功率在 60 至 100watts；低頻 RF 功率在 40 至 90watts；後接 NH_3/N_2 電漿處理與 NH_3 ，流量在 500 至 1500 sccm；以及與 N_2 ，流量在 2000 至 4000 sccm；高頻 RF 功率在 100 至 600watts；以及低頻 RF 功率在 20 至 60watts 以約 20 至 60 秒。多層沉積與電漿處理更增加了壓縮應力。如第 10 圖所示，接著藉由傳統 CVD 處理來沉積薄氧化物或氮氧化物膜 100。典型薄氧化物或氮氧化物膜 100 之沉積厚度約為 30 至 60 埃。

如第 11 圖所示，接著在 PMOS 電晶體上方運用如光阻劑或硬遮罩之遮罩 110，而從 NMOS 電晶體移除氧化物或氮氧化物膜 100 與高壓縮應力矽氮化物膜 90。

請參照第 12 圖，從 PMOS 電晶體移除遮罩 110，接著在 PMOS 與 NMOS 電晶體兩者上方沉積具有大於 1.5GPa

拉伸應力之高拉伸應力矽氮化物膜 120。高壓縮應力矽氮化物膜 120 之沉積可能實現在：溫度約 400°C 至 480°C ；矽烷(SiH_4)，流量在 40 至 80 sccm；氨(NH_3)，流量在 1500 至 2500 sccm；氮(N_2)，流量在 20000 至 40000 sccm；基板與淋氣頭間之距離在 400 至 600 mils；壓力在 2 至 8 Torr；高頻功率在 40 至 80watts；以及低頻功率約至 10watts。接著藉由傳統 CVD 處理來沉積厚度約為 30 至 60 埃之薄氧化物或氮氧化物膜 130。

請參照第 13 圖，接著在 NMOS 電晶體上方運用如光阻劑或硬遮罩之遮罩 131，而從 PMOS 電晶體選擇地移除氧化物或氮氧化物膜 130 與高拉伸應力矽氮化物膜 120 而停在氧化物或氮氧化物膜 100 上。如第 14 圖所示，接著移除遮罩 131 而得到結果包含在 NMOS 電晶體上方之氧化物或氮氧化物膜 130 與高拉伸應力矽氮化物膜 120 以及在 PMOS 電晶體上方之氧化物或氮氧化物膜 100 與高壓縮應力矽氮化物膜 90 之結構。此結果的 CMOS 裝置包含具有增加載子移動性以及因此而增加驅動電流之 PMOS 與 NMOS 電晶體。

本發明提供使基於應變晶格技術之高品質、高操作速度之微型半導體裝置能具有最大化電晶體驅動電流之方法學。此發明方法學可以利用傳統處理技術與設備並滿足自動製造技術之產量需求來實行，且完全相容於傳統高密度積體半導體裝置之製造流程。

本發明在製造不同類型之半導體裝置擁有極佳之產業

利用性，尤其是在製造具有高操作速度之微型半導體裝置。

為了提供本發明之較佳瞭解，在之前的敘述中描述了許多特定細節(例如特定材料、結構、反應物、處理等)。然而不需憑藉之前描述的特定細節亦可以實行本發明。為了不模糊本發明之精神，在其他例子中並未在細節中描述已知之處理材料與技術。

本發明說明僅顯示與描述本發明之較佳實施例與少數用途廣泛之範例。本發明亦可藉由其他不同的組合與環境加以施行或應用，本說明書中的各項細節亦可基於不同觀點與應用，在不悖離本發明之精神下進行各種修飾與變更。

【圖式簡單說明】

第 1 及第 2 圖係根據本發明實施例中方法之連續階段示意圖；

第 3 至第 6 圖係根據本發明另一實施例中方法之連續階段示意圖；以及

第 7 至第 14 圖係根據本發明另一實施例中方法之連續階段示意圖。

在第 1 及第 2 圖中相似之特徵或元件以相似的參考字符來表示；在第 3 至第 6 圖中相似之特徵或元件以相似的參考字符來表示；在第 7 至第 14 圖中相似之特徵或元件以相似的參考字符來表示。

【主要元件符號說明】

10 矽-鍍層

11 矽層

12 閘極電極

13 閘極介電質層

14	氧化物襯料	15	氮化物層
16	鬆弛矽層 (鬆弛源極/汲極區)		
20	金屬矽化物層	20a	金屬矽化物層
21	受應力介電質襯料	22	鎢栓
23	阻障金屬	24	層間介電質
25	鎢栓	26	金屬線
27	接觸孔洞	30	矽-鍍層
31	矽層	32	閘極電極
33	閘極介電質層	34	襯料
35	矽氮化物隔件	40	鎳矽化物
41	鎳矽化物	50	受高應力介電質層
70	矽-鍍層	71	矽層
72	閘極電極	73	閘極介電質層
74	襯料	75	側壁間隔件
76	金屬矽化物層	77	金屬矽化物層
90	受應力介電質襯料		
100	氧化物或氮氧化物襯料	110	遮罩
120	受應力介電質襯料		
130	氧化物或氮氧化物襯料	131	遮罩

十、申請專利範圍：

1. 一種半導體裝置，係包含：

基板，包含在矽-鍺(Si-Ge)層(70)上具有應變晶格之矽(Si)層(71)；

電晶體，包含源極/汲極區與在該基板上方之閘極電極(72)，且該基板與該閘極電極(72)之間具有閘極介電質層(73)；以及

受應力介電質襯料(90, 120)(stressed dielectric liner)，係直接在該閘極電極之側表面上與直接在該源極/汲極區上。

2. 如申請專利範圍第 1 項之半導體裝置，其中，該源極/汲極區係形成在生長於該應變矽層上之矽鬆弛層內，且該受應力介電質襯料顯現高壓縮(90)或拉伸(120)應力。

3. 如申請專利範圍第 2 項之半導體裝置，更包含：

金屬矽化物層，係在該閘極電極之上表面上。

4. 如申請專利範圍第 2 項之半導體裝置，其中，該電晶體為 P-通道電晶體且該受應力介電質襯料(90)顯現高壓縮應力。

5. 如申請專利範圍第 2 項之半導體裝置，其中，該電晶體為 N-通道電晶體且該受應力介電質襯料(120)顯現高拉伸應力。

6. 一種半導體裝置之製造方法，係包含：

形成包含在矽-鍺(Si-Ge)層(70)上具有應變晶格之矽(Si)層(71)之基板；

形成包含源極/汲極區與在該基板上方具有上表面與側表面之閘極電極(72)之電晶體，該基板與該閘極電極(72)之間具有閘極介電質層(73)；以及

直接形成在該閘極電極之該等側表面上與直接形成在該源極/汲極區上之受應力介電質襯料(90, 120)，其中，該應變矽層(71)在該源極/汲極區內完全地應變或局部地應變。

7. 如申請專利範圍第 6 項之方法，包含：

外延地(epitaxially)生長矽鬆弛層於該應變矽層上；

形成源極/汲極區於該鬆弛矽層內；以及

沉積該受應力介電質襯料直接於該鬆弛源極/汲極區上，其中，該受應力介電質襯料包含厚度約 200 至 1000 埃之矽氮化物(silicon nitride)、矽碳化物(silicon carbide)或矽氮氧化物(silicon oxynitride)層。

8. 如申請專利範圍第 7 項之方法，包含：

形成該源極/汲極區於該應變矽層(71)內；

形成第一金屬矽化物層於該閘極電極(76)之該上表面上及形成第二金屬矽化物層於該源極/汲極區(71)上；以及

形成該受應力介電質襯料(90, 120)直接於該第一金屬矽化物層(76)上、直接於該閘極電極(72)之該等側表面上及直接於該應變矽層(71)之該等鄰近顯露部分上。

9. 如申請專利範圍第 8 項之方法，其中，該電晶體係：

P-通道電晶體，該方法包含藉由電漿加強化學蒸氣沈積法沉積介電質層以形成該受應力介電質層(90)，因此顯現高壓縮應力；或

N-通道電晶體，該方法包含藉由電漿加強化學蒸氣沈積法以形成該受應力介電質襯料(120)，因此顯現高拉伸應力。

10. 一種半導體裝置之製造方法，係包含：

形成包含在矽-鍺(Si-Ge)層(70)上具有應變晶格之矽(Si)層(71)之基板；

形成包含 NMOS 電晶體與 PMOS 電晶體之 CMOS 電晶體，各電晶體包含源極/汲極區與在該基板上具有上表面與側表面之閘極電極(72)，且該基板與該閘極電極(72)之間具有閘極介電質層(73)；

形成側壁間隔件於各閘極電極之該等側表面上；

形成金屬矽化物層(76, 77)於各閘極電極(72)之該上表面上以及各電晶體之該源極/汲極區之該表面上；

從各該等閘極電極(72)之該等側表面移除該等側壁間隔件；

沉積顯現高壓縮應力之矽氮化物層(90)於該 NMOS 與 PMOS 電晶體上方，顯現高壓縮應力之該矽氮化物層(90)係直接沉積於各個電晶體的該閘極電極的該側表面上、以及直接沉積於各個電晶體的該源極/汲極區上；

沉積顯現高壓縮應力之第一氧化物或氮氧化物

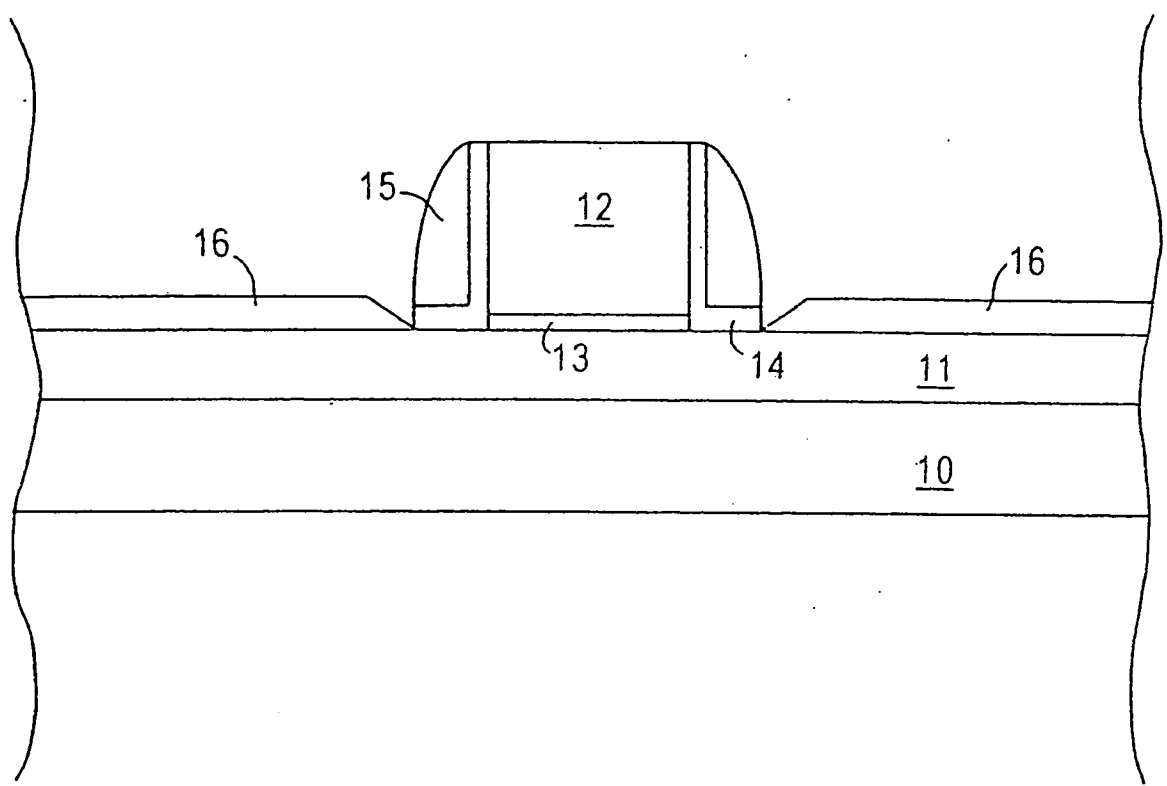
襯料(100)於該矽氮化物層(90)上；

從該 NMOS 電晶體選擇地移除顯現高壓縮應力之該第一氧化物或氮氧化物襯料(100)與矽氮化物層(90)；

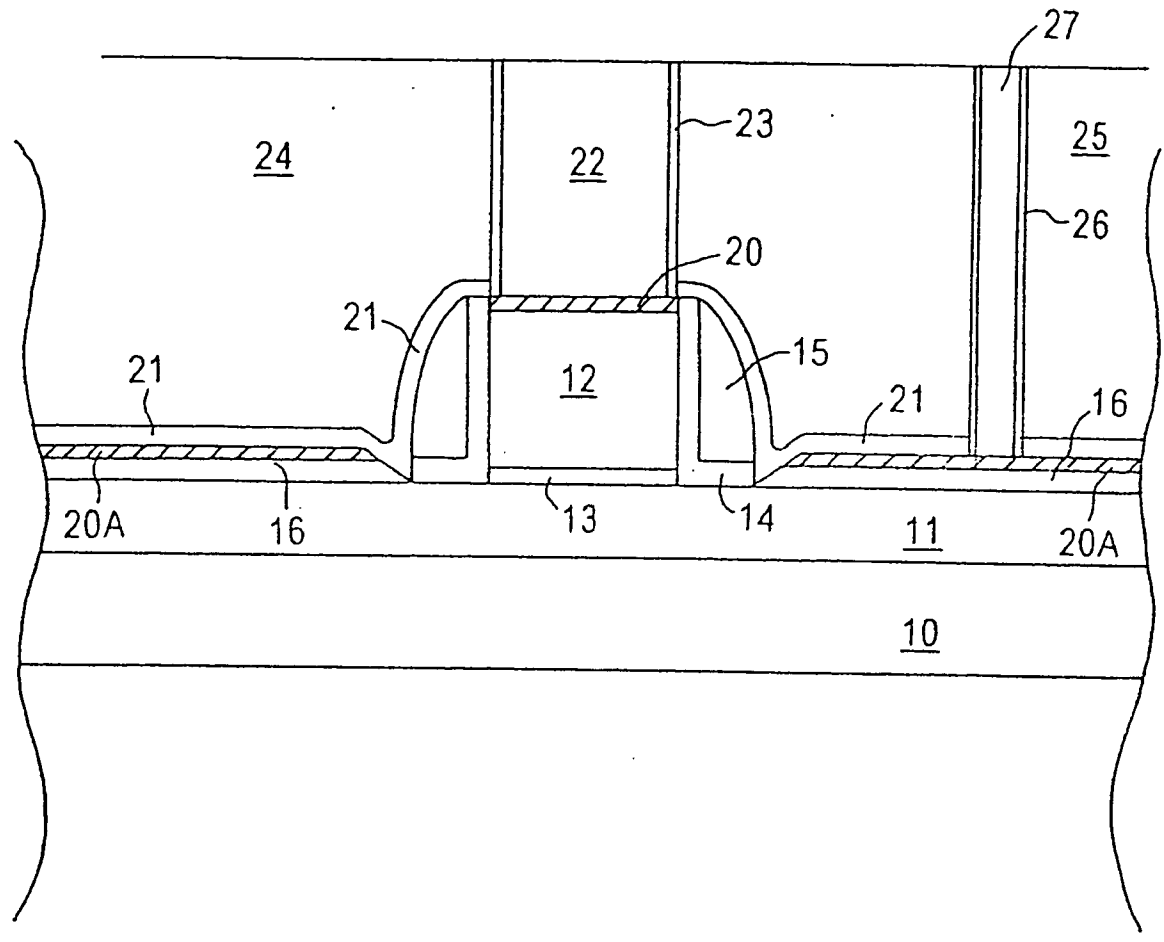
沉積顯現高拉伸應力之矽氮化物層(120)於該 NMOS 電晶體及 PMOS 電晶體上，顯現高拉伸應力之該矽氮化物層(120)係直接沉積於該 NMOS 電晶體的該閘極電極的該側表面上、以及直接沉積於該 NMOS 電晶體的該源極/汲極區上；

沉積在該 NMOS 電晶體與 PMOS 電晶體上顯現高拉伸應力之第二氧化物或氮氧化物襯料(130)於該氮矽化物層上；以及

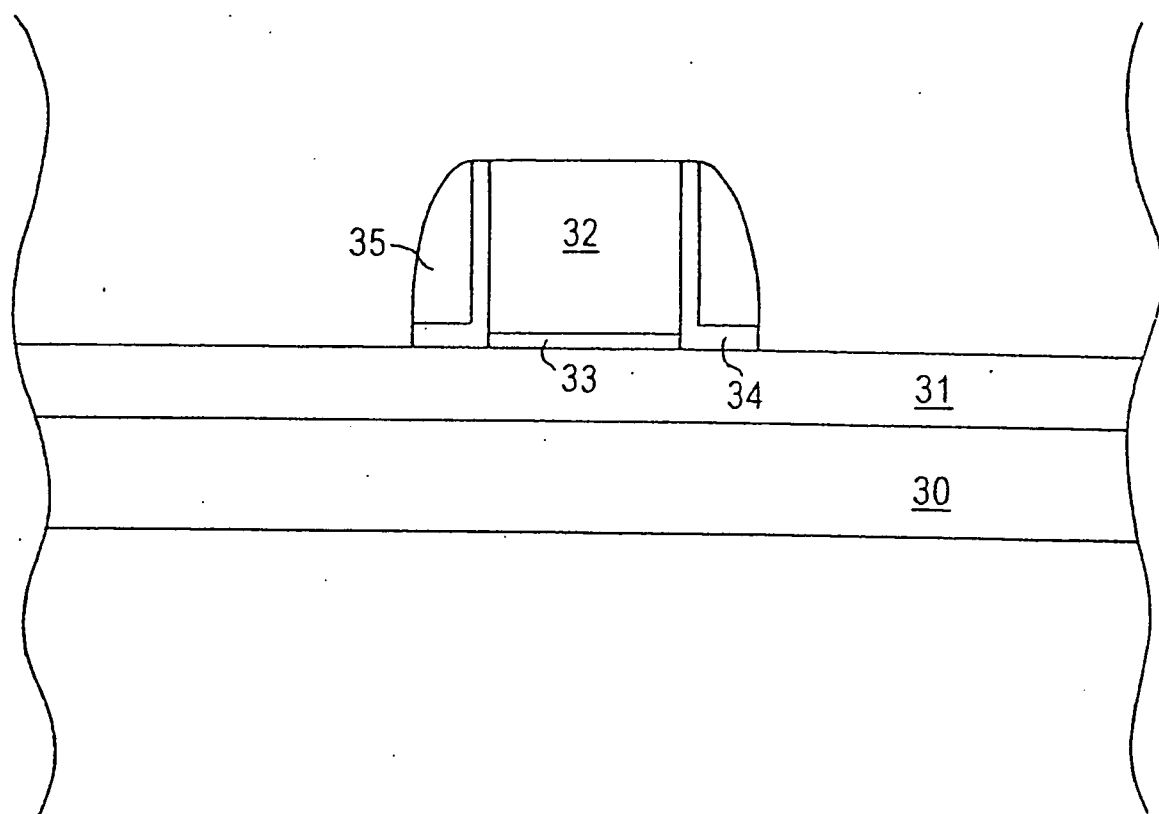
從該 PMOS 電晶體選擇地移除顯現高拉伸應力之該第二氧化物或氮氧化物襯料與該矽氮化物層。



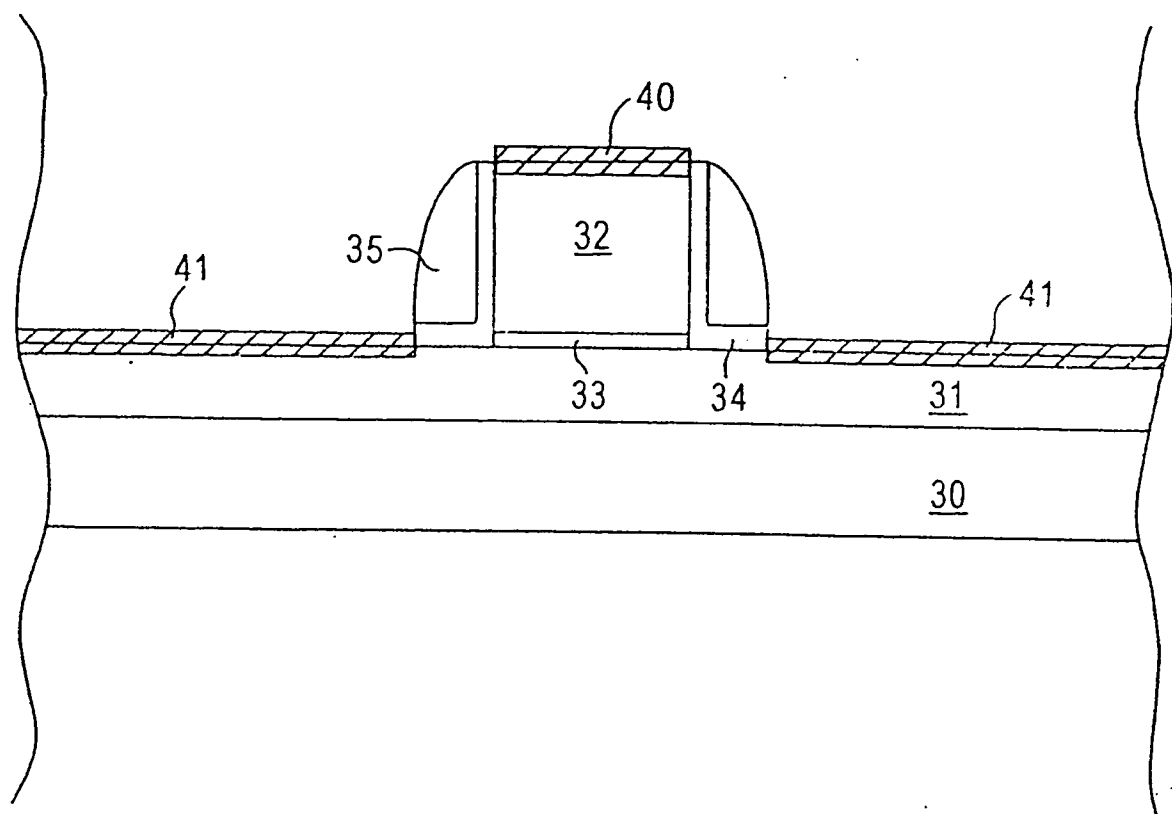
第1圖



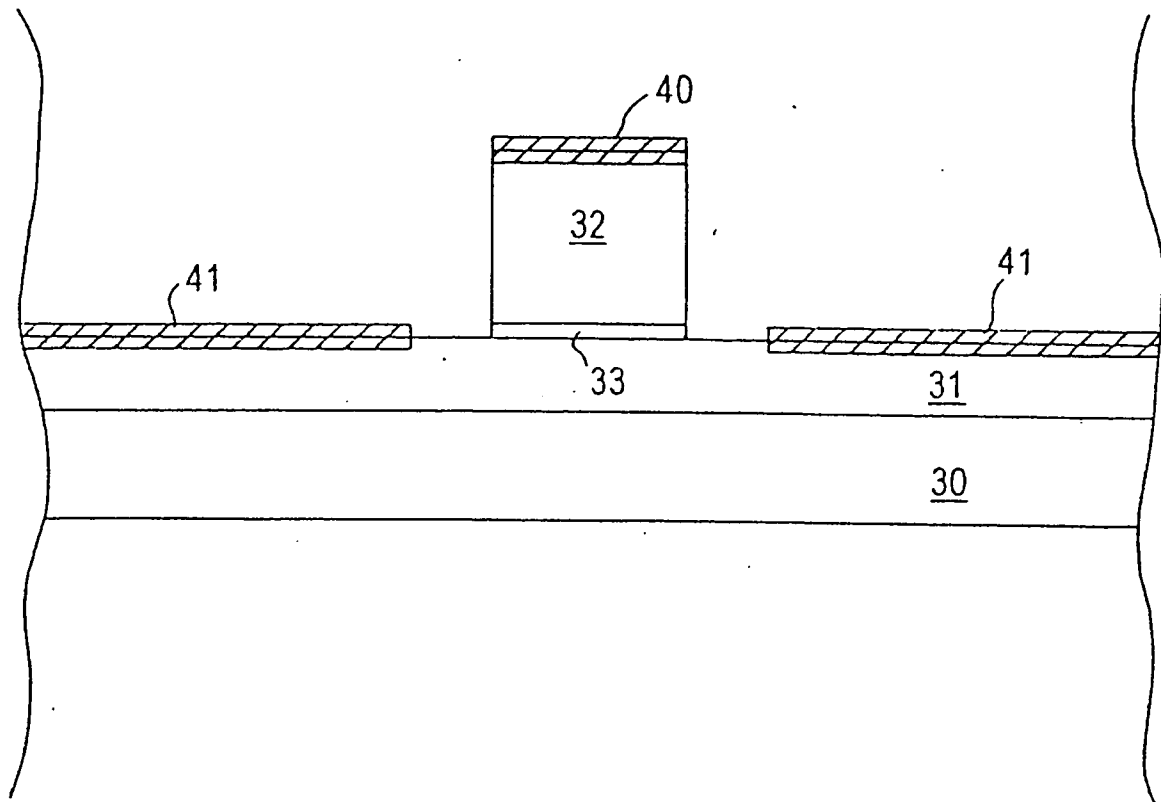
第2圖



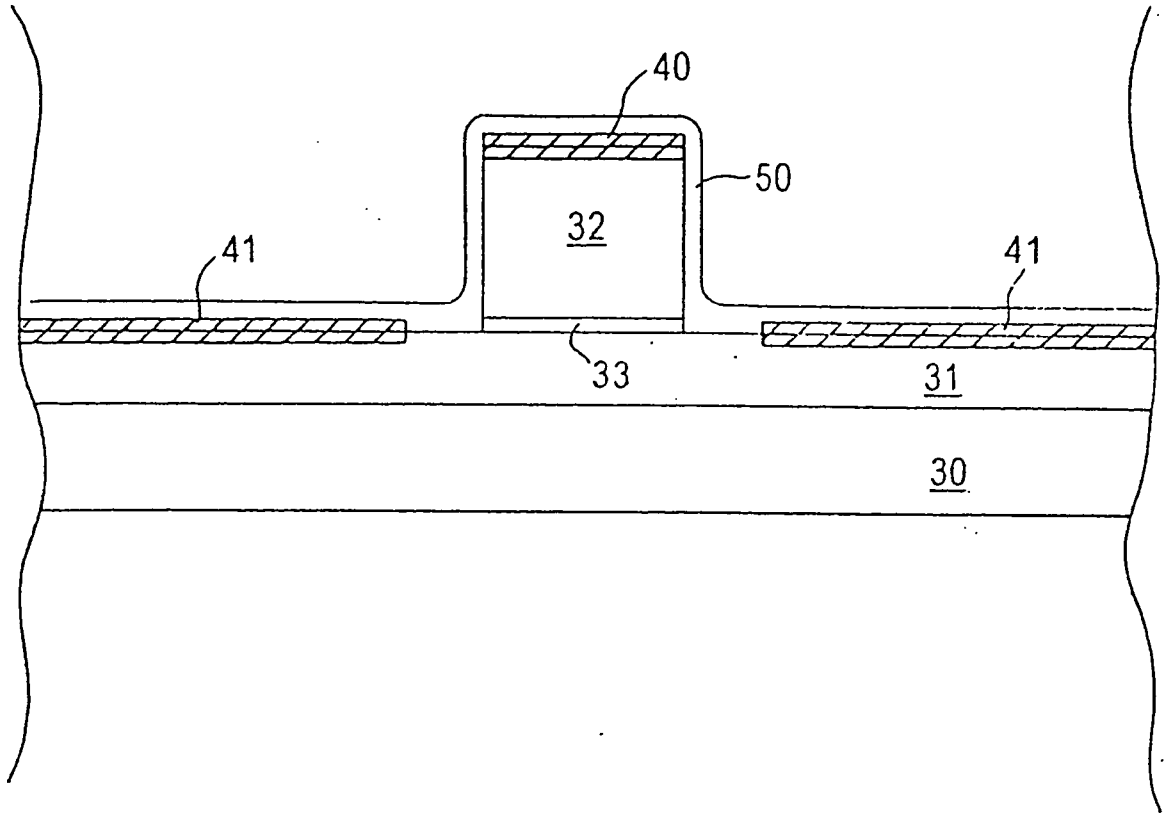
第3圖



第4圖



第5圖



第6圖

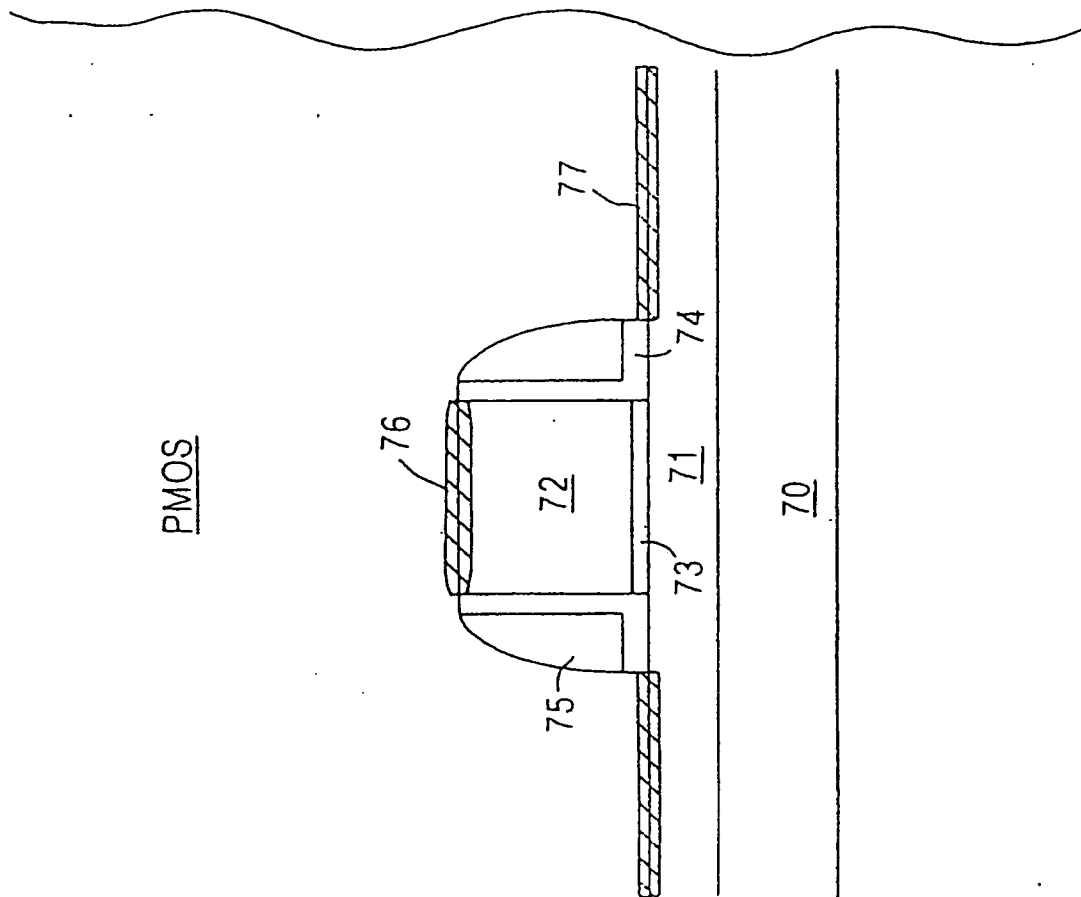
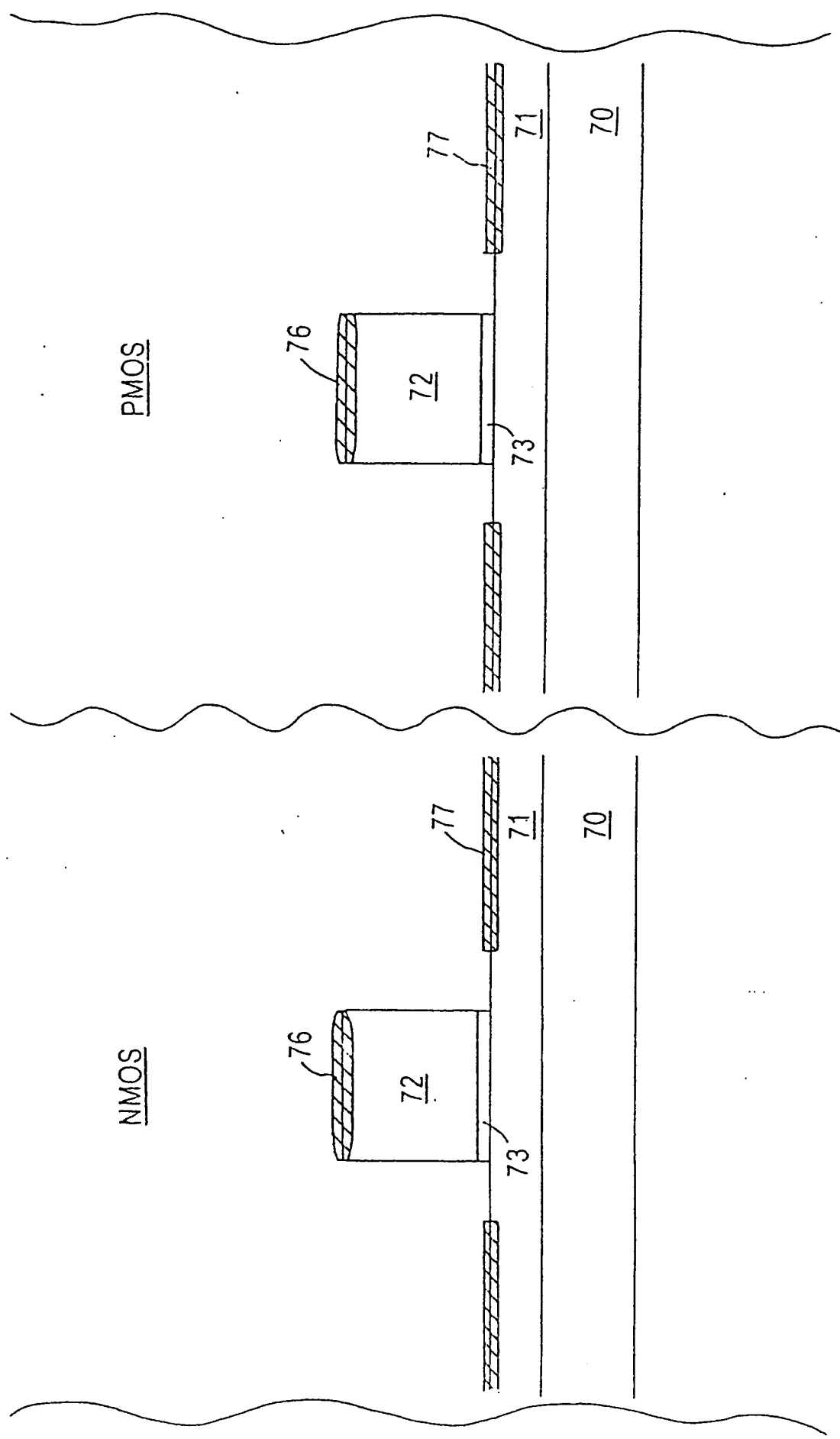
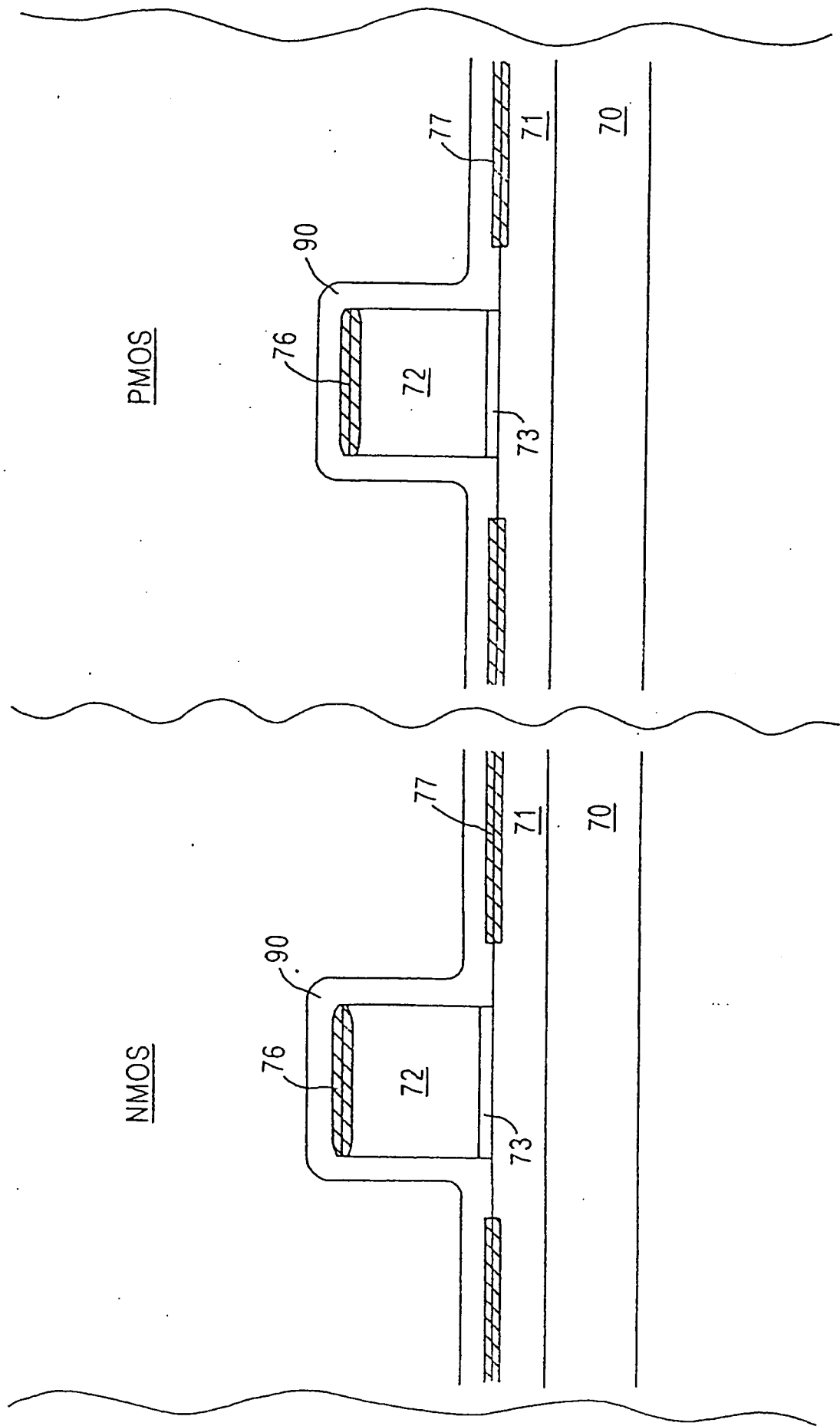


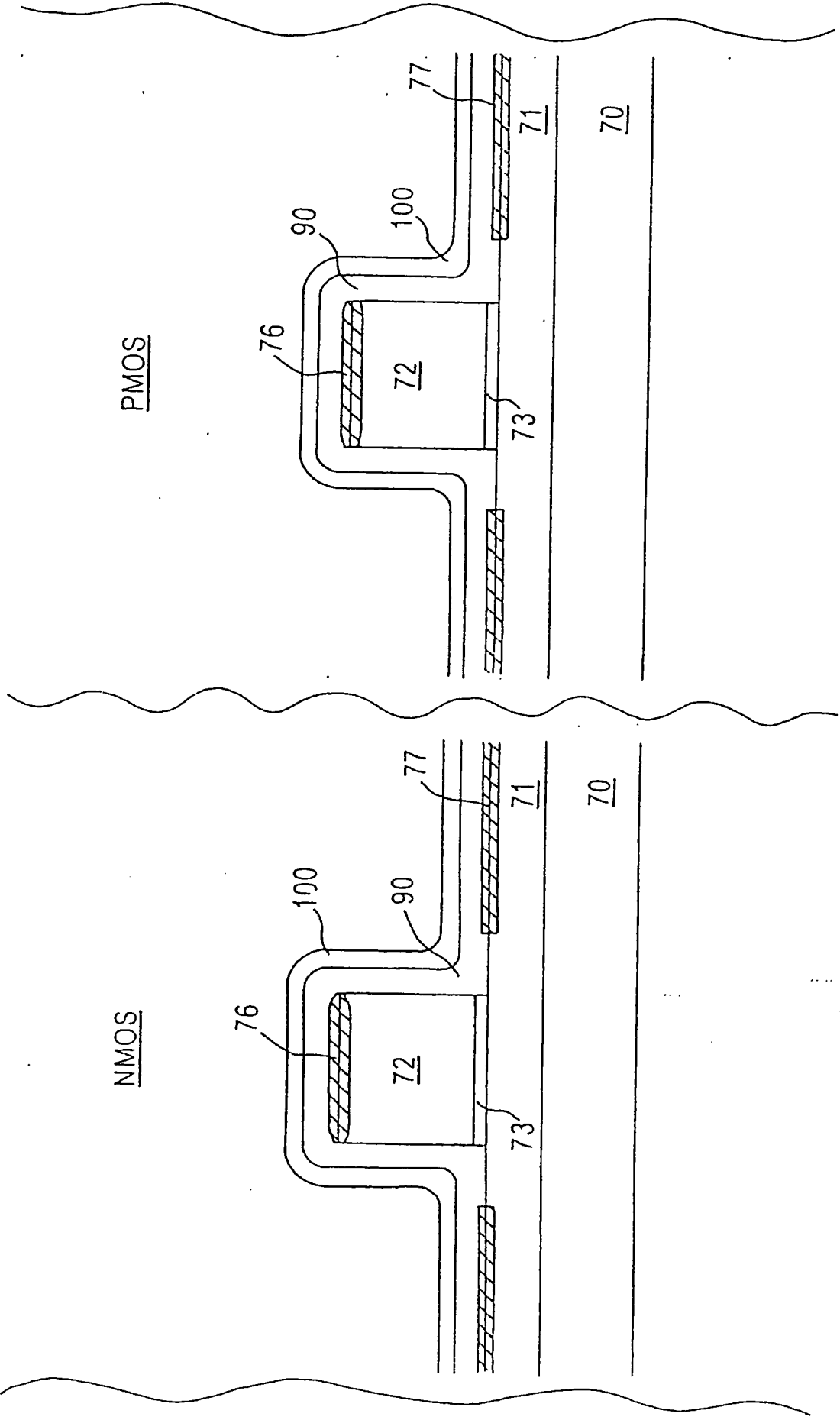
圖
7
策



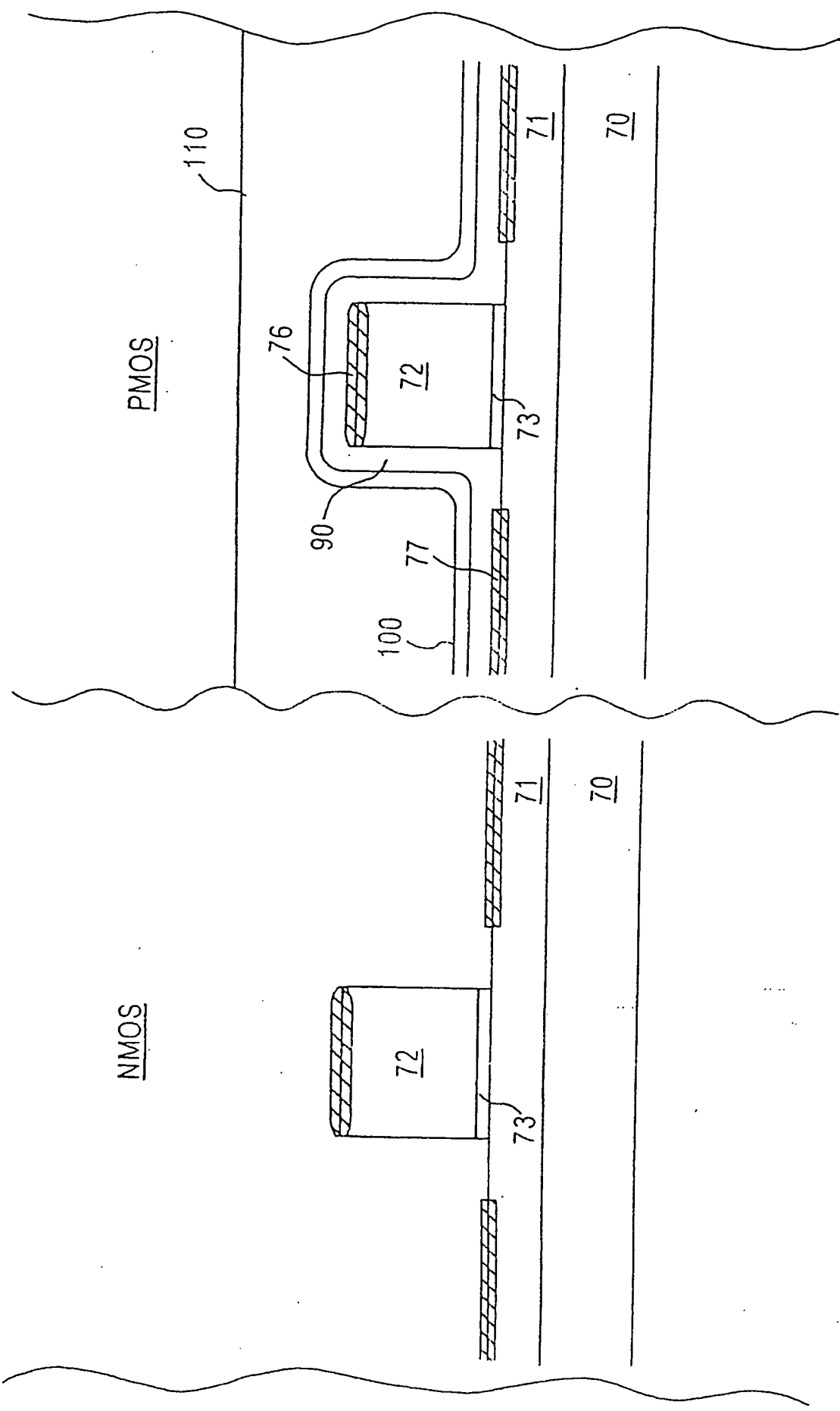
第8圖



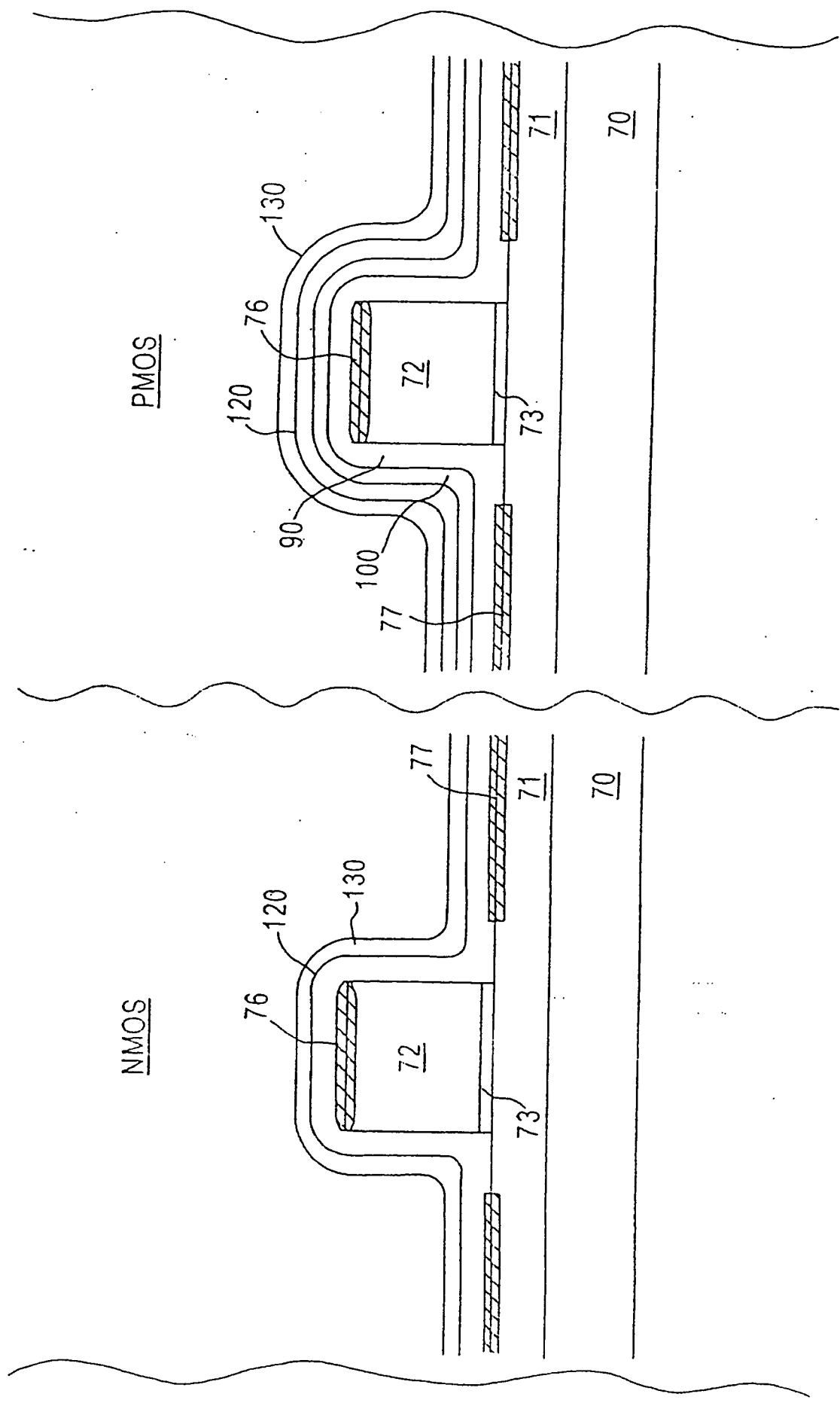
第9圖



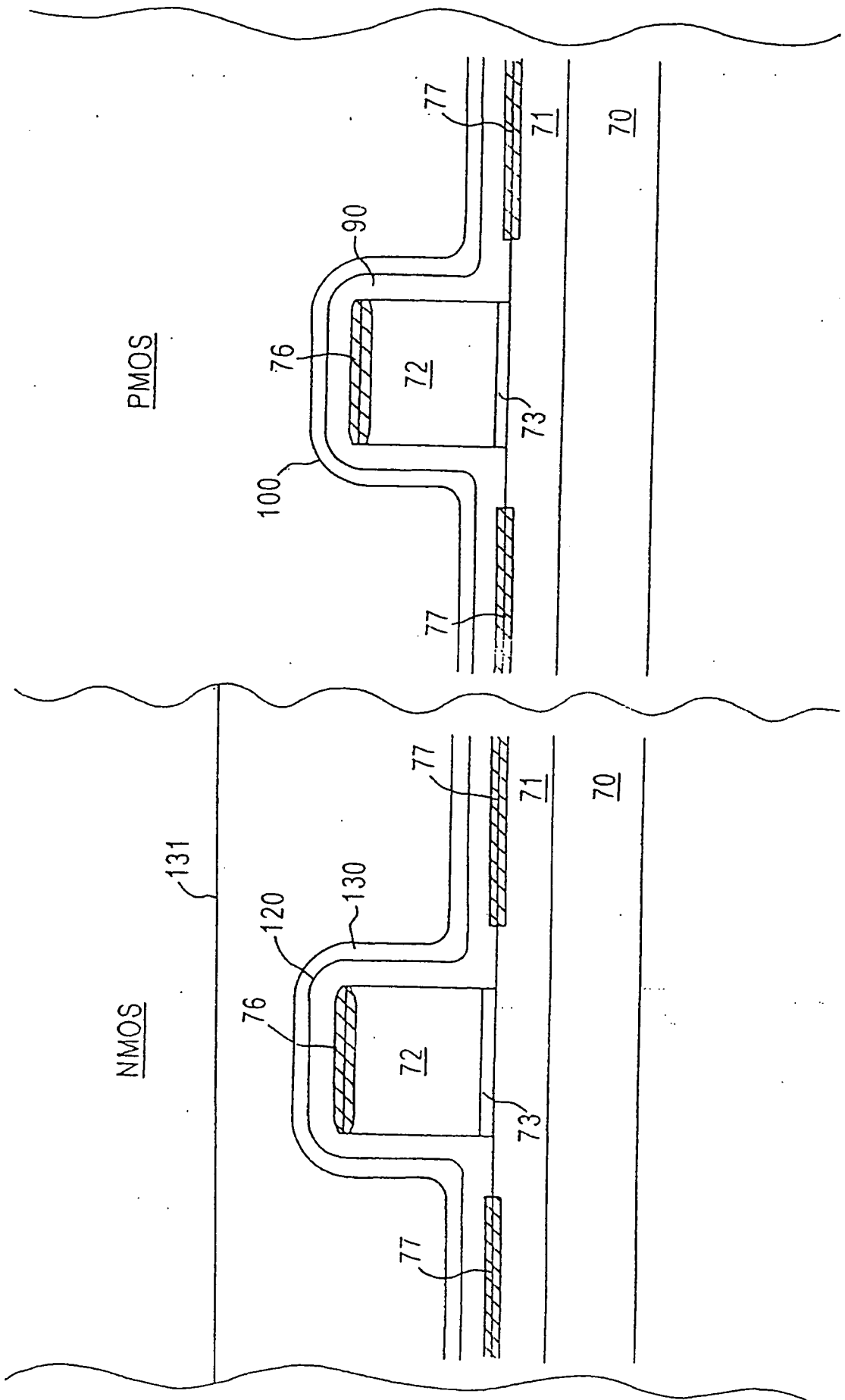
第10圖



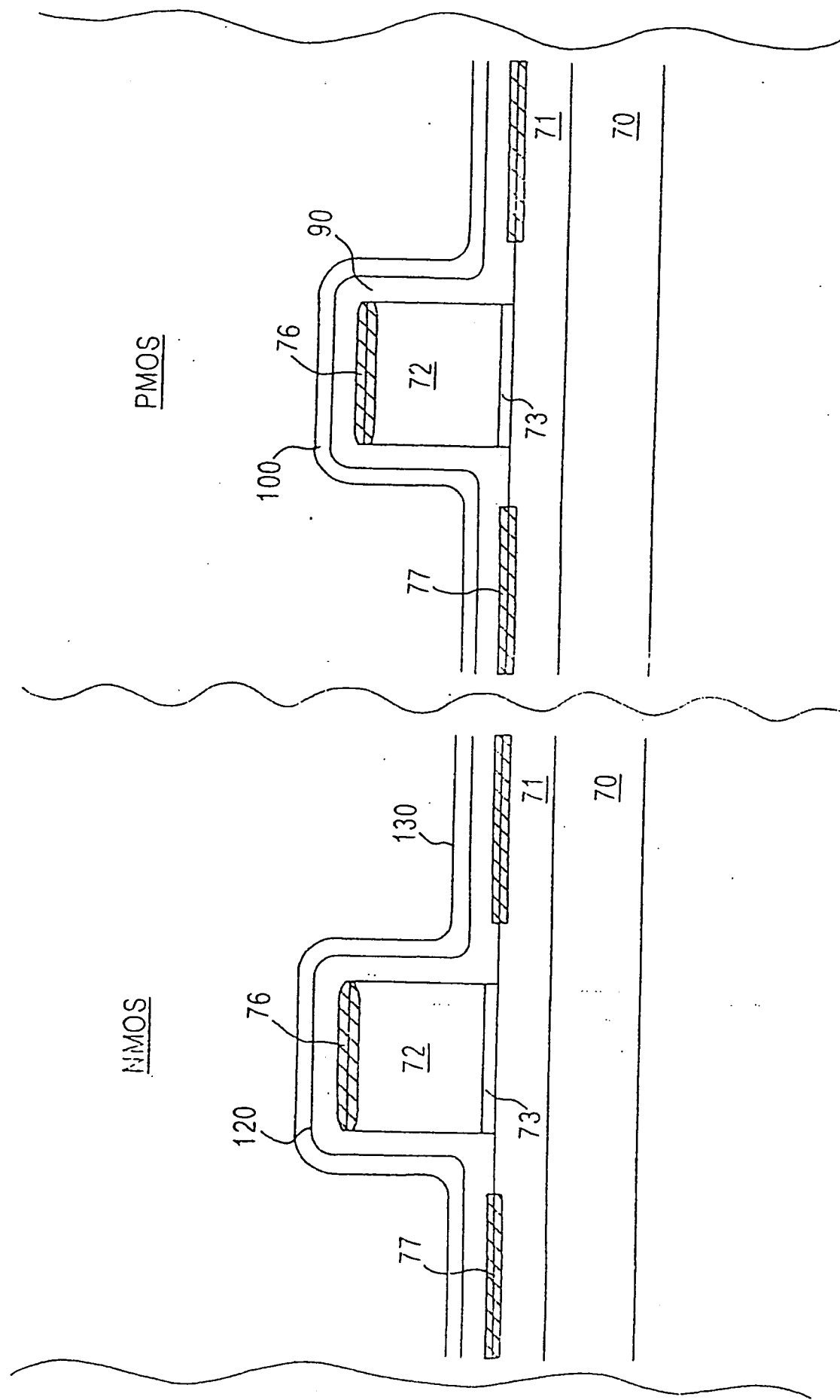
第11圖



第12圖



第13圖



第14圖