

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6561559号  
(P6561559)

(45) 発行日 令和1年8月21日(2019.8.21)

(24) 登録日 令和1年8月2日(2019.8.2)

(51) Int.Cl.	F I				
HO 1 L 21/338 (2006.01)	HO 1 L	29/80			H
HO 1 L 29/778 (2006.01)	HO 1 L	29/78			3 O 1 B
HO 1 L 29/812 (2006.01)	HO 1 L	29/78			3 O 1 N
HO 1 L 21/336 (2006.01)	HO 2 M	3/155			T
HO 1 L 29/78 (2006.01)	HO 2 M	3/28			T
請求項の数 8 (全 18 頁) 最終頁に続く					

(21) 出願番号 特願2015-86733 (P2015-86733)  
 (22) 出願日 平成27年4月21日 (2015.4.21)  
 (65) 公開番号 特開2016-207803 (P2016-207803A)  
 (43) 公開日 平成28年12月8日 (2016.12.8)  
 審査請求日 平成30年2月6日 (2018.2.6)

(73) 特許権者 000005223  
 富士通株式会社  
 神奈川県川崎市中原区上小田中4丁目1番1号  
 (74) 代理人 100107766  
 弁理士 伊東 忠重  
 (74) 代理人 100070150  
 弁理士 伊東 忠彦  
 (74) 代理人 100192636  
 弁理士 加藤 隆夫  
 (72) 発明者 多木 俊裕  
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内  
 審査官 恩田 和彦

最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板の上に半導体により形成された電子走行層と、  
 前記電子走行層の上に半導体により形成された第1の電子供給層と、  
 前記第1の電子供給層の上に半導体により形成された電子発生層と、  
 前記電子発生層の上に半導体により形成された第2の電子供給層と、  
 前記第1の電子供給層の上に形成されたゲート電極、ソース電極及びドレイン電極と、  
 を有し、

前記電子走行層には、第1の2次元電子ガスが発生し、前記電子発生層には、第2の2次元電子ガスが発生しており、

前記電子発生層及び前記第2の電子供給層は、前記ゲート電極と前記ドレイン電極との間に形成されており、

前記電子発生層及び前記第2の電子供給層と前記ゲート電極との間、及び、前記電子発生層及び前記第2の電子供給層と前記ドレイン電極との間には、絶縁膜が形成されていることを特徴とする半導体装置。

【請求項2】

前記電子発生層及び前記第2の電子供給層は、前記ゲート電極と前記ソース電極との間にも形成されており、

前記ゲート電極と前記ソース電極との間に形成されている前記電子発生層及び前記第2の電子供給層と前記ゲート電極との間には、絶縁膜が形成されていることを特徴とする請

求項 1 に記載の半導体装置。

【請求項 3】

前記ゲート電極と前記第 1 の電子供給層との間には、絶縁膜が形成されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記絶縁膜は、前記電子発生層及び前記第 2 の電子供給層の側面と、前記ドレイン電極との間に設けられており、前記ドレイン電極と接していることを特徴とする請求項 1 から 3 のいずれかに記載の半導体装置。

【請求項 5】

基板の上に、半導体により電子走行層、第 1 の電子供給層、電子発生層、第 2 の電子供給層を順に積層して形成する工程と、

前記電子発生層及び前記第 2 の電子供給層の一部を除去する工程と、

前記第 1 の電子供給層の上の前記一部が除去された前記電子発生層及び前記第 2 の電子供給層を覆う絶縁膜を形成する工程と、

前記第 1 の電子供給層の上に、ゲート電極、ソース電極及びドレイン電極を形成する工程と、

を有し、

前記電子走行層には、第 1 の 2 次元電子ガスが発生し、前記電子発生層には、第 2 の 2 次元電子ガスが発生しており、

前記電子発生層及び前記第 2 の電子供給層は、前記ゲート電極と前記ドレイン電極との間に形成されており、

前記電子発生層及び前記第 2 の電子供給層と前記ゲート電極との間、及び、前記電子発生層及び前記第 2 の電子供給層と前記ドレイン電極との間には、絶縁膜が形成されていることを特徴とする半導体装置の製造方法。

【請求項 6】

前記電子発生層及び前記第 2 の電子供給層は、前記ゲート電極と前記ソース電極との間にも形成されており、

前記ゲート電極と前記ソース電極との間に形成されている前記電子発生層及び前記第 2 の電子供給層と前記ゲート電極との間には、絶縁膜が形成されていることを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記第 1 の電子供給層と前記ゲート電極との間には、絶縁膜が形成されていることを特徴とする請求項 5 または 6 に記載の半導体装置の製造方法。

【請求項 8】

前記絶縁膜は、前記電子発生層及び前記第 2 の電子供給層の側面と、前記ドレイン電極との間に設けられており、前記ドレイン電極と接していることを特徴とする請求項 5 から 7 のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び半導体装置の製造方法に関するものである。

【背景技術】

【0002】

窒化物半導体である GaN、AlN、InN または、これらの混晶からなる材料等は、広いバンドギャップを有しており、高出力電子デバイスまたは短波長発光デバイス等として用いられている。例えば、窒化物半導体である GaN は、バンドギャップが 3.4 eV であり、Si のバンドギャップ 1.1 eV、GaAs のバンドギャップ 1.4 eV よりも大きい。

【0003】

このような高出力電子デバイスとしては、電界効果型トランジスタ (FET: Field ef

10

20

30

40

50

fect transistor)として、高電子移動度トランジスタ(H E M T : High Electron Mobility Transistor)がある(例えば、特許文献1)。窒化物半導体を用いたH E M Tは、高出力・高効率増幅器、大電力スイッチングデバイス等に用いることができる。尚、A l G a Nを電子供給層、G a Nを電子走行層に用いたH E M Tでは、A l G a NとG a Nとの格子定数差による歪みによりA l G a Nにピエゾ分極等が生じ、高濃度の2 D E G (Two-Dimensional Electron Gas : 2次元電子ガス)が発生する。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2002-359256号公報

10

【特許文献2】特開2013-41986号公報

【特許文献3】特開2013-191637号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、A l G a Nを電子供給層、G a Nを電子走行層に用いたH E M Tにおいては、高電圧を印加して動作させた際に、オン抵抗が増加する電流コラプス現象が発生し問題となる。このような電流コラプス現象は、高電圧を印加した際に、窒化物半導体層の表面等において、2 D E Gを形成している電子がトラップされることにより生じるものであり、これにより、2 D E Gの密度が低くなり、オン抵抗が増加する。

20

【0006】

このため、窒化物半導体を用いた半導体装置において、電流コラプス現象が発生しにくく、高電圧を印加して動作させた際に、オン抵抗の低い半導体装置が求められている。

【課題を解決するための手段】

【0007】

本実施の形態の一観点によれば、基板の上に半導体により形成された電子走行層と、前記電子走行層の上に半導体により形成された第1の電子供給層と、前記第1の電子供給層の上に半導体により形成された電子発生層と、前記電子発生層の上に半導体により形成された第2の電子供給層と、前記第1の電子供給層の上に形成されたゲート電極、ソース電極及びドレイン電極と、を有し、前記電子走行層には、第1の2次元電子ガスが発生し、前記電子発生層には、第2の2次元電子ガスが発生しており、前記電子発生層及び前記第2の電子供給層は、前記ゲート電極と前記ドレイン電極との間に形成されており、前記電子発生層及び前記第2の電子供給層と前記ゲート電極との間、及び、前記電子発生層及び前記第2の電子供給層と前記ドレイン電極との間には、絶縁膜が形成されていることを特徴とする。

30

【発明の効果】

【0008】

開示の半導体装置によれば、窒化物半導体を用いた半導体装置において、電流コラプス現象が発生しにくく、高電圧を印加して動作させた際のオン抵抗を低くすることができる。

40

【図面の簡単な説明】

【0009】

【図1】半導体装置の構造図

【図2】第1の実施の形態における半導体装置の構造図

【図3】第1の実施の形態における半導体装置の製造方法の工程図(1)

【図4】第1の実施の形態における半導体装置の製造方法の工程図(2)

【図5】第2の実施の形態における半導体装置の構造図

【図6】第2の実施の形態における半導体装置の製造方法の工程図(1)

【図7】第2の実施の形態における半導体装置の製造方法の工程図(2)

【図8】第3の実施の形態における半導体装置の構造図

50

【図 9】第 3 の実施の形態における半導体装置の製造方法の工程図 ( 1 )

【図 1 0】第 3 の実施の形態における半導体装置の製造方法の工程図 ( 2 )

【図 1 1】第 4 の実施の形態におけるディスクリートパッケージされた半導体デバイスの説明図

【図 1 2】第 4 の実施の形態における電源装置の回路図

【図 1 3】第 4 の実施の形態における高周波増幅器の構造図

【発明を実施するための形態】

【 0 0 1 0 】

実施するための形態について、以下に説明する。尚、同じ部材等については、同一の符号を付して説明を省略する。

10

【 0 0 1 1 】

〔第 1 の実施の形態〕

最初に、図 1 に基づき窒化物半導体を用いた半導体装置における電流コラプス現象について説明する。図 1 に示される半導体装置は、基板 9 1 0 の上に、バッファ層 9 1 1、電子走行層 9 2 1、電子供給層 9 2 2 が積層されている。電子供給層 9 2 2 の上には、ゲート電極 9 4 1、ソース電極 9 4 2、ドレイン電極 9 4 3 が形成されており、電子供給層 9 2 2 の上のゲート電極 9 4 1、ソース電極 9 4 2、ドレイン電極 9 4 3 が形成されていない領域には、絶縁膜 9 5 0 が形成されている。

【 0 0 1 2 】

基板 9 1 0 は、S i C 基板等が用いられており、絶縁膜 9 5 0 は S i N 等により形成されている。電子走行層 9 2 1 は G a N により形成されており、電子供給層 9 2 2 は A l G a N により形成されている。これにより、電子走行層 9 2 1 において、電子走行層 9 2 1 と電子供給層 9 2 2 との界面近傍には、2 D E G 9 2 1 a が生成される。

20

【 0 0 1 3 】

図 1 に示される構造の半導体装置においては、ドレイン電極 9 4 3 に高電圧を印加した場合、窒化物半導体層である電子供給層 9 2 2 と絶縁膜 9 5 0 との界面や電子供給層 9 2 2 において電子がトラップされ、2 D E G 9 2 1 a の電子密度が低くなる。このように 2 D E G 9 2 1 a の電子密度が低くなると、オン抵抗が高くなるが、特に、ゲート電極 9 4 1 とドレイン電極 9 4 3 との間においては、高電圧が印加されるため、この傾向が顕著となる。

30

【 0 0 1 4 】

(半導体装置)

次に、第 1 の実施の形態における半導体装置について、図 2 に基づき説明する。本実施の形態における半導体装置は、基板 1 0 の上に、バッファ層 1 1、電子走行層 2 1、第 1 の電子供給層 2 2 が積層されている。第 1 の電子供給層 2 2 の上のゲート電極 4 1 とドレイン電極 4 3 との間となる領域には、電子発生層 3 1、第 2 の電子供給層 3 2 が積層されている。また、電子発生層 3 1 及び第 2 の電子供給層 3 2 を覆うように、電子発生層 3 1 及び第 2 の電子供給層 3 2 の側面、第 2 の電子供給層 3 2 の上には、絶縁膜 5 0 が形成されている。

【 0 0 1 5 】

40

本実施の形態においては、ソース電極 4 2 は第 1 の電子供給層 2 2 の上に形成されている。ゲート電極 4 1 は、第 1 の電子供給層 2 2 の上に形成されており、電子発生層 3 1 及び第 2 の電子供給層 3 2 のゲート電極 4 1 側の側面の絶縁膜 5 0 に接している。ドレイン電極 4 3 は、第 1 の電子供給層 2 2 の上に形成されており、電子発生層 3 1 及び第 2 の電子供給層 3 2 のドレイン電極 4 3 側の側面の絶縁膜 5 0 に接している。

【 0 0 1 6 】

従って、電子発生層 3 1 及び第 2 の電子供給層 3 2 とゲート電極 4 1 との間には、絶縁膜 5 0 が形成され、電子発生層 3 1 及び第 2 の電子供給層 3 2 とドレイン電極 4 3 との間には、絶縁膜 5 0 が形成される。

【 0 0 1 7 】

50

基板10は、SiC基板等が用いられており、絶縁膜50はSiN等により形成されている。電子走行層21はGaNにより形成されており、第1の電子供給層22はAlGaNにより形成されている。これにより、電子走行層21において、電子走行層21と第1の電子供給層22との界面近傍には、第1の2DEG21aが生成される。また、電子発生層31はGaNにより形成されており、第2の電子供給層32はAlGaNにより形成されている。これにより、電子発生層31において、電子発生層31と第2の電子供給層32との界面近傍には、第2の2DEG31aが生成される。

#### 【0018】

本実施の形態では、ドレイン電極43に高電圧が印加され、窒化物半導体層と絶縁膜50との界面や第1の電子供給層22において電子がトラップされても、トラップされる電子は、電子発生層31における第2の2DEG31aから供給される。従って、ドレイン電極43に高電圧が印加されても、電子走行層21における第1の2DEG21aは殆ど減少することはないため、オン抵抗が増大することはない。従って、本実施の形態における半導体装置においては、電流コラプス現象が抑制される。

10

#### 【0019】

尚、本実施の形態における半導体装置においては、絶縁膜50は、電圧を印加した際のリーク電流を防ぐため、即ち、第2の2DEG31a等を介して、ゲート電極41とドレイン電極43との間に電流が流れてしまうことを防ぐために設けられている。また、第2の2DEG31aは、半導体装置の動作には寄与することはない。

#### 【0020】

20

(半導体装置の製造方法)

次に、本実施の形態における半導体装置における製造方法について説明する。

#### 【0021】

最初に、図3(a)に示すように、基板10の上に、窒化物半導体により、バッファ層11、電子走行層21、第1の電子供給層22、電子発生層31、第2の電子供給層32をエピタキシャル成長により積層して形成する。本実施の形態においては、バッファ層11、電子走行層21、第1の電子供給層22、電子発生層31、第2の電子供給層32は、有機金属気相成長(MOVPE: Metal-Organic Vapor Phase Epitaxy)によるエピタキシャル成長により形成されている。

#### 【0022】

30

基板10はSiC等の半導体基板により形成されている。バッファ層11は、AlN、AlGaN等により形成されている。電子走行層21は、厚さが約3 $\mu$ mのi-GaNにより形成されており、第1の電子供給層22は、厚さが約20nmのi-AlGaNにより形成されている。電子発生層31は、厚さが約100nmのi-GaNにより形成されており、第2の電子供給層32は、厚さが30nmのi-AlGaNにより形成されている。これにより、電子走行層21において、電子走行層21と第1の電子供給層22との界面近傍には、第1の2DEG21aが生成される。また、電子発生層31において、電子発生層31と第2の電子供給層32との界面近傍には、第2の2DEG31aが生成される。

#### 【0023】

40

次に、図3(b)に示すように、ゲート電極41とドレイン電極43との間に形成される電子発生層31及び第2の電子供給層32を除き、電子発生層31及び第2の電子供給層32を除去する。具体的には、第2の電子供給層32の上に、フォトリソを塗布し、露光装置による露光、現像を行うことにより、ゲート電極41とドレイン電極43との間となる領域に、不図示のレジストパターンを形成する。この後、塩素系ガスを用いたRIE(Reactive Ion Etching)等のドライエッチングにより、レジストパターンが形成されていない領域の電子発生層31及び第2の電子供給層32を第1の電子供給層22の表面が露出するまで除去する。これにより、ゲート電極41とドレイン電極43との間となる領域に、電子発生層31及び第2の電子供給層32が形成される。この後、不図示のレジストパターンは有機溶剤等により除去する。

50

## 【 0 0 2 4 】

この後、図示はしないが、素子分離領域を形成してもよい。具体的には、第1の電子供給層22及び第2の電子供給層32の上に、フォトリジストを塗布し、露光装置による露光、現像を行なうことにより、素子分離領域が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、塩素系ガスを用いたドライエッチングまたはAr等のイオン注入を行なうことにより、不図示の素子分離領域を形成し、不図示のレジストパターンを有機溶剤等により除去する。

## 【 0 0 2 5 】

次に、図3(c)に示すように、全面、即ち、第1の電子供給層22の上、第2の電子供給層32の上、電子発生層31及び第2の電子供給層32の側面を覆うように、絶縁膜50を形成する。絶縁膜50は、プラズマCVD(Chemical Vapor Deposition)により、膜厚が2nmから1000nm、例えば、100nmのSiN膜を成膜することにより形成する。尚、絶縁膜50は、ALD(Atomic Layer Deposition)、スパッタリング等によりSiN等を成膜することにより形成してもよい。また、絶縁膜50は、SiN以外にも、SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、AlN等により形成してもよい。

10

## 【 0 0 2 6 】

次に、図4(a)に示すように、電子発生層31及び第2の電子供給層32を覆う絶縁膜50を除き除去する。即ち、第2の電子供給層32の上、電子発生層31及び第2の電子供給層32の側面を除く領域の絶縁膜50を除去する。具体的には、絶縁膜50の上に、フォトリジストを塗布し、露光装置による露光、現像を行なうことにより、第2の電子供給層32の上、電子発生層31及び第2の電子供給層32の側面に形成されている絶縁膜50を覆う不図示のレジストパターンを形成する。この後、レジストパターンが形成されていない領域の絶縁膜50をフッ素系ガスを用いたドライエッチングにより除去する。この後、不図示のレジストパターンを有機溶剤等により除去する。

20

## 【 0 0 2 7 】

次に、図4(b)に示すように、ソース電極42及びドレイン電極43を形成する。具体的には、第1の電子供給層22及び絶縁膜50の上に、フォトリジストを塗布し、露光装置による露光、現像を行なうことにより、ソース電極42及びドレイン電極43が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、膜厚が20nmのTi(チタン)と、膜厚が200nmのAl(アルミニウム)を真空蒸着等により積層して成膜することにより、金属積層膜(Ti/Al)を形成する。この後、有機溶剤等に浸漬させることにより、レジストパターンの上に成膜された金属積層膜をレジストパターンとともに除去し、残存する金属積層膜によりソース電極42及びドレイン電極43を形成する。この後、窒素雰囲気中において、400~1000の間の温度、例えば、550の温度で熱処理を行なうことにより、オーミックコンタクトを確立させる。

30

## 【 0 0 2 8 】

これにより、ソース電極42は、第1の電子供給層22の上に形成される。また、ドレイン電極43は、第1の電子供給層22の上に形成されるとともに、電子発生層31及び第2の電子供給層32のドレイン電極43側の側面の絶縁膜50に接して形成される。このように、電子発生層31及び第2の電子供給層32とドレイン電極43との間には、絶縁膜50が形成される。

40

## 【 0 0 2 9 】

次に、図4(c)に示すように、ゲート電極41を形成する。具体的には、第1の電子供給層22及び絶縁膜50の上に、フォトリジストを塗布し、露光装置による露光、現像を行なうことにより、ゲート電極41が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、膜厚が30nmのNi(ニッケル)と、膜厚が400nmのAu(金)を真空蒸着等により積層して成膜することにより、金属積層膜(Ni/Au)を形成する。この後、有機溶剤等に浸漬させることにより、レジストパターンの上に成膜された金属積層膜をレジストパターンとともに除去し、残存する金属積層膜によりゲート電極41を形成する。

50

## 【0030】

これにより、ゲート電極41は、第1の電子供給層22の上に形成されるとともに、電子発生層31及び第2の電子供給層32のゲート電極41側の側面の絶縁膜50に接して形成される。このように、電子発生層31及び第2の電子供給層32とゲート電極41との間には、絶縁膜50が形成される。

## 【0031】

以上により、本実施の形態における半導体装置を製造することができる。

## 【0032】

〔第2の実施の形態〕

(半導体装置)

次に、第2の実施の形態における半導体装置について、図5に基づき説明する。本実施の形態における半導体装置は、ゲート電極41とドレイン電極43との間、ゲート電極41とソース電極42との間にも、電子発生層31及び第2の電子供給層32が形成されている構造の半導体装置である。

## 【0033】

具体的には、本実施の形態における半導体装置は、基板10の上に、バッファ層11、電子走行層21、第1の電子供給層22が積層されている。第1の電子供給層22の上のゲート電極41とドレイン電極43との間、及び、ゲート電極41とソース電極42との間となる領域には、電子発生層31、第2の電子供給層32が積層されている。また、電子発生層31及び第2の電子供給層32のソース電極42側の側面を除き、電子発生層31及び第2の電子供給層32を覆うように、絶縁膜150が形成されている。

## 【0034】

従って、ゲート電極41とドレイン電極43との間の電子発生層31及び第2の電子供給層32においては、電子発生層31及び第2の電子供給層32の側面、第2の電子供給層32の上には、絶縁膜150が形成されている。また、ゲート電極41とソース電極42との間の電子発生層31及び第2の電子供給層32においては、電子発生層31及び第2の電子供給層32のゲート電極41側の側面、第2の電子供給層32の上の一部には、絶縁膜150が形成されている。尚、ゲート電極41とドレイン電極43との間の電子発生層31及び第2の電子供給層32のソース電極42側の側面には、絶縁膜150は形成されない。

## 【0035】

ソース電極42は、第1の電子供給層22の上に形成され、ゲート電極41とソース電極42との間の電子発生層31及び第2の電子供給層32のソース電極42側の側面に接している。また、ゲート電極41は、第1の電子供給層22の上に形成される。ゲート電極41は、ゲート電極41とドレイン電極43との間の電子発生層31及び第2の電子供給層32のゲート電極41側の側面の絶縁膜150に接している。更に、ゲート電極41は、ゲート電極41とソース電極42との間の電子発生層31及び第2の電子供給層32のゲート電極41側の側面の絶縁膜150に接している。ドレイン電極43は、第1の電子供給層22の上に形成され、ゲート電極41とドレイン電極43との間の電子発生層31及び第2の電子供給層32のドレイン電極43側の側面の絶縁膜150に接している。

## 【0036】

このように、ゲート電極41とソース電極42との間の電子発生層31及び第2の電子供給層32と、ゲート電極41との間には、絶縁膜150が形成される。また、ゲート電極41とドレイン電極43との間の電子発生層31及び第2の電子供給層32と、ゲート電極41との間には、絶縁膜150が形成される。また、ゲート電極41とドレイン電極43との間の電子発生層31及び第2の電子供給層32と、ドレイン電極43との間には、絶縁膜150が形成される。

## 【0037】

本実施の形態においては、ゲート電極41とソース電極42との間にも、電子発生層31及び第2の電子供給層32が形成されているため、より一層、オン抵抗を低くすること

10

20

30

40

50

ができる。

【0038】

(半導体装置の製造方法)

次に、本実施の形態における半導体装置における製造方法について説明する。

【0039】

最初に、図6(a)に示すように、基板10の上に、窒化物半導体により、バッファ層11、電子走行層21、第1の電子供給層22、電子発生層31、第2の電子供給層32をエピタキシャル成長により積層して形成する。本実施の形態においては、バッファ層11、電子走行層21、第1の電子供給層22、電子発生層31、第2の電子供給層32は、有機金属気相成長(MOVPE)によるエピタキシャル成長により形成されている。

10

【0040】

次に、図6(b)に示すように、ゲート電極41、ソース電極42、ドレイン電極43が形成される領域の電子発生層31及び第2の電子供給層32を除去する。これにより、ゲート電極41とドレイン電極43との間、及び、ゲート電極41とソース電極42との間となる領域には、電子発生層31及び第2の電子供給層32が形成される。具体的には、第2の電子供給層32の上に、フォトレジストを塗布し、露光装置による露光、現像を行うことにより、ゲート電極41、ソース電極42及びドレイン電極43が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、塩素系ガスを用いたRIE等のドライエッチングにより、レジストパターンが形成されていない領域の電子発生層31及び第2の電子供給層32を第1の電子供給層22の表面が露出するまで除去する。これにより、ゲート電極41とドレイン電極43との間、及び、ゲート電極41とソース電極42との間となる領域に、電子発生層31及び第2の電子供給層32が形成される。この後、不図示のレジストパターンは有機溶剤等により除去する。

20

【0041】

この後、図示はしないが、素子分離領域を形成してもよい。具体的には、第1の電子供給層22及び第2の電子供給層32の上に、フォトレジストを塗布し、露光装置による露光、現像を行なうことにより、素子分離領域が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、塩素系ガスを用いたドライエッチングまたはAr等のイオン注入を行なうことにより、不図示の素子分離領域を形成し、不図示のレジストパターンを有機溶剤等により除去する。

30

【0042】

次に、図6(c)に示すように、全面、即ち、第1の電子供給層22の上、第2の電子供給層32の上、電子発生層31及び第2の電子供給層32の側面を覆うように、絶縁膜150を形成する。絶縁膜150は、プラズマCVDにより、膜厚が2nmから1000nm、例えば、100nmのSiN膜を成膜することにより形成する。

【0043】

次に、図7(a)に示すように、電子発生層31及び第2の電子供給層32を覆う所望の領域を除く領域の絶縁膜150を除去する。具体的には、絶縁膜150の上に、フォトレジストを塗布し、露光装置による露光、現像を行なうことにより、絶縁膜150が残される領域に、不図示のレジストパターンを形成する。この後、レジストパターンが形成されていない領域の絶縁膜150をフッ素系ガスを用いたドライエッチングにより除去する。これにより、ゲート電極41とドレイン電極43との間の電子発生層31及び第2の電子供給層32は、絶縁膜150に覆われる。また、ゲート電極41とソース電極42との間の電子発生層31及び第2の電子供給層32は、ソース電極42側の側面を除き絶縁膜150に覆われる。この後、不図示のレジストパターンは有機溶剤等により除去する。

40

【0044】

次に、図7(b)に示すように、ソース電極42及びドレイン電極43を形成する。具体的には、第1の電子供給層22及び絶縁膜150等の上に、フォトレジストを塗布し、露光装置による露光、現像を行なうことにより、ソース電極42及びドレイン電極43が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、膜厚が

50

20 nmのTi（チタン）と、膜厚が200 nmのAl（アルミニウム）を真空蒸着等により積層して成膜することにより、金属積層膜（Ti/Al）を形成する。この後、有機溶剤等に浸漬させることにより、レジストパターンの上に成膜された金属積層膜をレジストパターンとともに除去し、残存する金属積層膜によりソース電極42及びドレイン電極43を形成する。この後、窒素雰囲気中において、400～1000の間の温度、例えば、550の温度で熱処理を行なうことにより、オーミックコンタクトを確立させる。

#### 【0045】

これにより、ソース電極42は、第1の電子供給層22の上、ゲート電極41とソース電極42との間の電子発生層31及び第2の電子供給層32のソース電極42側の側面、第2の電子供給層32の上の一部に形成される。ドレイン電極43は、第1の電子供給層22の上に形成されるとともに、ゲート電極41とドレイン電極43との間の電子発生層31及び第2の電子供給層32のドレイン電極43側の側面の絶縁膜150に接して形成される。従って、電子発生層31及び第2の電子供給層32とドレイン電極43との間には、絶縁膜150が形成される。

10

#### 【0046】

次に、図7(c)に示すように、ゲート電極41を形成する。具体的には、第1の電子供給層22及び絶縁膜150の上に、フォトリソを塗布し、露光装置による露光、現像を行なうことにより、ゲート電極41が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、膜厚が30 nmのNi（ニッケル）と、膜厚が400 nmのAu（金）を真空蒸着等により積層して成膜することにより、金属積層膜（Ni/Au）を形成する。この後、有機溶剤等に浸漬させることにより、レジストパターンの上に成膜された金属積層膜をレジストパターンとともに除去し、残存する金属積層膜によりゲート電極41を形成する。

20

#### 【0047】

これにより、ゲート電極41は、第1の電子供給層22の上に形成される。また、ゲート電極41は、ゲート電極41とドレイン電極43との間の電子発生層31及び第2の電子供給層32のゲート電極41側の側面の絶縁膜150に接して形成される。また、ゲート電極41は、ゲート電極41とソース電極42との間の電子発生層31及び第2の電子供給層32のゲート電極41側の側面の絶縁膜150に接して形成される。

30

#### 【0048】

このように、ゲート電極41とドレイン電極43との間の電子発生層31及び第2の電子供給層32と、ゲート電極41との間には、絶縁膜150が形成される。また、ゲート電極41とソース電極42との間の電子発生層31及び第2の電子供給層32と、ゲート電極41との間には、絶縁膜150が形成される。

#### 【0049】

以上により、本実施の形態における半導体装置を製造することができる。

#### 【0050】

尚、上記以外の内容については、第1の実施の形態と同様である。

#### 【0051】

〔第3の実施の形態〕

（半導体装置）

次に、第3の実施の形態における半導体装置について、図8に基づき説明する。本実施の形態における半導体装置は、ゲート電極41と第1の電子供給層22の間にも、絶縁膜250によりゲート絶縁膜が形成されている構造の半導体装置である。

40

#### 【0052】

具体的には、本実施の形態における半導体装置は、基板10の上に、パッファ層11、電子走行層21、第1の電子供給層22が積層されている。第1の電子供給層22の上のゲート電極41とドレイン電極43の間となる領域には、電子発生層31、第2の電子供給層32が積層されている。また、電子発生層31及び第2の電子供給層32を覆うよ

50

うに、電子発生層 3 1 及び第 2 の電子供給層 3 2 の側面、第 2 の電子供給層 3 2 の上には、絶縁膜 2 5 0 が形成されており、更に、第 1 の電子供給層 2 2 とゲート電極 4 1 との間にも形成されている。

【 0 0 5 3 】

本実施の形態においては、ソース電極 4 2 は第 1 の電子供給層 2 2 の上に形成されている。ゲート電極 4 1 は、第 1 の電子供給層 2 2 の上の絶縁膜 2 5 0 の上に形成されており、電子発生層 3 1 及び第 2 の電子供給層 3 2 のゲート電極 4 1 側の側面の絶縁膜 2 5 0 に接している。ドレイン電極 4 3 は、第 1 の電子供給層 2 2 の上に形成されており、電子発生層 3 1 及び第 2 の電子供給層 3 2 のドレイン電極 4 3 側の側面の絶縁膜 2 5 0 に接している。

10

【 0 0 5 4 】

従って、電子発生層 3 1 及び第 2 の電子供給層 3 2 とゲート電極 4 1 との間には、絶縁膜 2 5 0 が形成され、電子発生層 3 1 及び第 2 の電子供給層 3 2 とドレイン電極 4 3 との間には、絶縁膜 2 5 0 が形成される。

【 0 0 5 5 】

( 半 導 体 装 置 の 製 造 方 法 )

次に、本実施の形態における半導体装置における製造方法について説明する。

【 0 0 5 6 】

最初に、図 9 ( a ) に示すように、基板 1 0 の上に、窒化物半導体により、バッファ層 1 1、電子走行層 2 1、第 1 の電子供給層 2 2、電子発生層 3 1、第 2 の電子供給層 3 2 をエピタキシャル成長により積層して形成する。本実施の形態においては、バッファ層 1 1、電子走行層 2 1、第 1 の電子供給層 2 2、電子発生層 3 1、第 2 の電子供給層 3 2 は、有機金属気相成長 ( M O V P E ) によるエピタキシャル成長により形成されている。

20

【 0 0 5 7 】

次に、図 9 ( b ) に示すように、ゲート電極 4 1 とドレイン電極 4 3 との間に形成される電子発生層 3 1 及び第 2 の電子供給層 3 2 を除き、電子発生層 3 1 及び第 2 の電子供給層 3 2 を除去する。具体的には、第 2 の電子供給層 3 2 の上に、フォトレジストを塗布し、露光装置による露光、現像を行うことにより、ゲート電極 4 1 とドレイン電極 4 3 との間となる領域に、不図示のレジストパターンを形成する。この後、塩素系ガスを用いた R I E 等のドライエッチングにより、レジストパターンが形成されていない領域の電子発生層 3 1 及び第 2 の電子供給層 3 2 を第 1 の電子供給層 2 2 の表面が露出するまで除去する。これにより、ゲート電極 4 1 とドレイン電極 4 3 との間となる領域に、電子発生層 3 1 及び第 2 の電子供給層 3 2 が形成される。この後、不図示のレジストパターンは有機溶剤等により除去する。

30

【 0 0 5 8 】

この後、図示はしないが、素子分離領域を形成してもよい。具体的には、第 1 の電子供給層 2 2 及び第 2 の電子供給層 3 2 の上に、フォトレジストを塗布し、露光装置による露光、現像を行なうことにより、素子分離領域が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、塩素系ガスを用いたドライエッチングまたは A r 等のイオン注入を行なうことにより、不図示の素子分離領域を形成し、不図示のレジストパターンを有機溶剤等により除去する。

40

【 0 0 5 9 】

次に、図 9 ( c ) に示すように、全面、即ち、第 1 の電子供給層 2 2 の上、第 2 の電子供給層 3 2 の上、電子発生層 3 1 及び第 2 の電子供給層 3 2 の側面を覆うように、絶縁膜 2 5 0 を形成する。絶縁膜 2 5 0 は、プラズマ C V D により、膜厚が 2 n m から 1 0 0 0 n m、例えば、1 0 0 n m の S i N 膜を成膜することにより形成する。

【 0 0 6 0 】

次に、図 1 0 ( a ) に示すように、電子発生層 3 1 及び第 2 の電子供給層 3 2 を覆う絶縁膜 2 5 0、及び、ゲート電極 4 1 が形成される領域の絶縁膜 2 5 0 を除き除去する。即ち、第 2 の電子供給層 3 2 の上、電子発生層 3 1 及び第 2 の電子供給層 3 2 の側面、ゲ

50

ト電極 4 1 が形成される領域の第 1 の電子供給層 2 2 の上を除く領域の絶縁膜 2 5 0 を除去する。具体的には、絶縁膜 2 5 0 の上に、フォトレジストを塗布し、露光装置による露光、現像を行なうことにより、絶縁膜 2 5 0 が残される領域に、不図示のレジストパターンを形成する。この後、レジストパターンが形成されていない領域の絶縁膜 2 5 0 をフッ素系ガスを用いたドライエッチングにより除去する。この後、不図示のレジストパターンを有機溶剤等により除去する。

#### 【 0 0 6 1 】

次に、図 1 0 ( b ) に示すように、ソース電極 4 2 及びドレイン電極 4 3 を形成する。具体的には、第 1 の電子供給層 2 2 及び絶縁膜 2 5 0 の上に、フォトレジストを塗布し、露光装置による露光、現像を行なうことにより、ソース電極 4 2 及びドレイン電極 4 3 が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、膜厚が 2 0 n m の T i ( チタン ) と、膜厚が 2 0 0 n m の A l ( アルミニウム ) を真空蒸着等により積層して成膜することにより、金属積層膜 ( T i / A l ) を形成する。この後、有機溶剤等に浸漬させることにより、レジストパターンの上に成膜された金属積層膜をレジストパターンとともに除去し、残存する金属積層膜によりソース電極 4 2 及びドレイン電極 4 3 を形成する。この後、窒素雰囲気中において、4 0 0 ~ 1 0 0 0 の間の温度、例えば、5 5 0 の温度で熱処理を行なうことにより、オーミックコンタクトを確立させる。

#### 【 0 0 6 2 】

これにより、ソース電極 4 2 は、第 1 の電子供給層 2 2 の上に形成される。また、ドレイン電極 4 3 は、第 1 の電子供給層 2 2 の上に形成されるとともに、電子発生層 3 1 及び第 2 の電子供給層 3 2 のドレイン電極 4 3 側の側面の絶縁膜 2 5 0 に接するように形成される。従って、電子発生層 3 1 及び第 2 の電子供給層 3 2 とドレイン電極 4 3 との間には、絶縁膜 2 5 0 が形成される。

#### 【 0 0 6 3 】

次に、図 1 0 ( c ) に示すように、ゲート電極 4 1 を形成する。具体的には、第 1 の電子供給層 2 2 及び絶縁膜 2 5 0 の上に、フォトレジストを塗布し、露光装置による露光、現像を行なうことにより、ゲート電極 4 1 が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、膜厚が 3 0 n m の N i ( ニッケル ) と、膜厚が 4 0 0 n m の A u ( 金 ) を真空蒸着等により積層して成膜することにより、金属積層膜 ( N i / A u ) を形成する。この後、有機溶剤等に浸漬させることにより、レジストパターンの上に成膜された金属積層膜をレジストパターンとともに除去し、残存する金属積層膜によりゲート電極 4 1 を形成する。

#### 【 0 0 6 4 】

これにより、ゲート電極 4 1 は、第 1 の電子供給層 2 2 の上の絶縁膜 2 5 0 の上に形成されるとともに、電子発生層 3 1 及び第 2 の電子供給層 3 2 のゲート電極 4 1 側の側面の絶縁膜 2 5 0 に接して形成される。このように、電子発生層 3 1 及び第 2 の電子供給層 3 2 とゲート電極 4 1 との間には、絶縁膜 2 5 0 が形成される。

#### 【 0 0 6 5 】

以上により、本実施の形態における半導体装置を製造することができる。

#### 【 0 0 6 6 】

尚、上記以外の内容については、第 1 の実施の形態と同様である。

#### 【 0 0 6 7 】

〔 第 4 の実施の形態 〕

次に、第 4 の実施の形態について説明する。本実施の形態は、半導体デバイス、電源装置及び高周波増幅器である。

#### 【 0 0 6 8 】

本実施の形態における半導体デバイスは、第 1 から第 3 の実施の形態におけるいずれかの半導体装置をディスクリートパッケージしたものであり、このようにディスクリートパッケージされた半導体デバイスについて、図 1 1 に基づき説明する。尚、図 1 1 は、ディスクリートパッケージされた半導体装置の内部を模式的に示すものであり、電極の配置等

10

20

30

40

50

については、第1から第3の実施の形態に示されているものとは、異なっている。

【0069】

最初に、第1から第3の実施の形態において製造された半導体装置をダイシング等により切断することにより、GaN系の半導体材料のHEMTの半導体チップ410を形成する。この半導体チップ410をリードフレーム420上に、ハンダ等のダイアタッチ剤430により固定する。尚、この半導体チップ410は、第1から第3の実施の形態における半導体装置に相当するものである。

【0070】

次に、ゲート電極411をゲートリード421にボンディングワイヤ431により接続し、ソース電極412をソースリード422にボンディングワイヤ432により接続し、ドレイン電極413をドレインリード423にボンディングワイヤ433により接続する。尚、ボンディングワイヤ431、432、433はAl等の金属材料により形成されている。また、本実施の形態においては、ゲート電極411はゲート電極パッドであり、第1から第3の実施の形態における半導体装置のゲート電極41と接続されている。また、ソース電極412はソース電極パッドであり、第1から第3の実施の形態における半導体装置のソース電極42と接続されている。また、ドレイン電極413はドレイン電極パッドであり、第1から第3の実施の形態における半導体装置のドレイン電極43と接続されている。

【0071】

次に、トランスファーモールド法によりモールド樹脂440による樹脂封止を行なう。このようにして、GaN系の半導体材料を用いたHEMTのディスクリートパッケージされている半導体デバイスを作製することができる。

【0072】

次に、本実施の形態における電源装置及び高周波増幅器について説明する。本実施の形態における電源装置及び高周波増幅器は、第1から第3の実施の形態におけるいずれかの半導体装置を用いた電源装置及び高周波増幅器である。

【0073】

最初に、図12に基づき、本実施の形態における電源装置について説明する。本実施の形態における電源装置460は、高圧の一次側回路461、低圧の二次側回路462及び一次側回路461と二次側回路462との間に配設されるトランス463を備えている。一次側回路461は、交流電源464、いわゆるブリッジ整流回路465、複数のスイッチング素子(図12に示す例では4つ)466及び一つのスイッチング素子467等を備えている。二次側回路462は、複数のスイッチング素子(図12に示す例では3つ)468を備えている。図12に示す例では、第1から第3の実施の形態における半導体装置を一次側回路461のスイッチング素子466及び467として用いられている。尚、一次側回路461のスイッチング素子466及び467は、ノーマリーオフの半導体装置であることが好ましい。また、二次側回路462において用いられているスイッチング素子468はシリコンにより形成される通常のMISFET(metal insulator semiconductor field effect transistor)を用いている。

【0074】

次に、図13に基づき、本実施の形態における高周波増幅器について説明する。本実施の形態における高周波増幅器470は、例えば、携帯電話の基地局用パワーアンプに適用してもよい。この高周波増幅器470は、デジタル・プレディストーション回路471、ミキサー472、パワーアンプ473及び方向性結合器474を備えている。デジタル・プレディストーション回路471は、入力信号の非線形歪みを補償する。ミキサー472は、非線形歪みが補償された入力信号と交流信号とをミキシングする。パワーアンプ473は、交流信号とミキシングされた入力信号を増幅する。図13に示す例では、パワーアンプ473は、第1から第3の実施の形態におけるいずれかの半導体装置を有している。方向性結合器474は、入力信号や出力信号のモニタリング等を行なう。図13に示す回路では、例えば、スイッチの切り替えにより、ミキサー472により出力信号を交流

10

20

30

40

50

信号とミキシングしてデジタル・プレディストーション回路471に送出することが可能である。

【0075】

以上、実施の形態について詳述したが、特定の実施形態に限定されるものではなく、特許請求の範囲に記載された範囲内において、種々の変形及び変更が可能である。

【0076】

上記の説明に関し、更に以下の付記を開示する。

(付記1)

基板の上に半導体により形成された電子走行層と、

前記電子走行層の上に半導体により形成された第1の電子供給層と、

前記第1の電子供給層の上に半導体により形成された電子発生層と、

前記電子発生層の上に半導体により形成された第2の電子供給層と、

前記第1の電子供給層の上に形成されたゲート電極、ソース電極及びドレイン電極と、  
を有し、

前記電子走行層には、第1の2次元電子ガスが発生し、前記電子発生層には、第2の2次元電子ガスが発生しており、

前記電子発生層及び前記第2の電子供給層は、前記ゲート電極と前記ドレイン電極との間に形成されており、

前記電子発生層及び前記第2の電子供給層と前記ゲート電極との間、及び、前記電子発生層及び前記第2の電子供給層と前記ドレイン電極との間には、絶縁膜が形成されていることを特徴とする半導体装置。

(付記2)

前記電子発生層及び前記第2の電子供給層は、前記ゲート電極と前記ソース電極との間にも形成されており、

前記ゲート電極と前記ソース電極との間に形成されている前記電子発生層及び前記第2の電子供給層と前記ゲート電極との間には、絶縁膜が形成されていることを特徴とする付記1に記載の半導体装置。

(付記3)

前記ソース電極は、前記ゲート電極と前記ソース電極との間に形成されている前記電子発生層及び前記第2の電子供給層と接していることを特徴とする付記2に記載の半導体装置。

(付記4)

前記ゲート電極と前記第1の電子供給層との間には、絶縁膜が形成されていることを特徴とする付記1から3のいずれかに記載の半導体装置。

(付記5)

前記電子走行層、前記第1の電子供給層、前記電子発生層、前記第2の電子供給層は、窒化物半導体により形成されていることを特徴とする付記1から4のいずれかに記載の半導体装置。

(付記6)

前記電子走行層は、GaNを含む材料により形成されていることを特徴とする付記1から5のいずれかに記載の半導体装置。

(付記7)

前記第1の電子供給層は、AlGaNを含む材料により形成されていることを特徴とする付記1から6のいずれかに記載の半導体装置。

(付記8)

前記電子発生層は、GaNを含む材料により形成されていることを特徴とする付記1から7のいずれかに記載の半導体装置。

(付記9)

前記第2の電子供給層は、AlGaNを含む材料により形成されていることを特徴とする付記1から8のいずれかに記載の半導体装置。

10

20

30

40

50

(付記 10)

前記絶縁膜は、 $\text{SiN}$ 、 $\text{SiO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{AlN}$ のうちのいずれかを含む材料により形成されていることを特徴とする付記 1 から 9 のいずれかに記載の半導体装置。

(付記 11)

基板の上に、半導体により電子走行層、第 1 の電子供給層、電子発生層、第 2 の電子供給層を順に積層して形成する工程と、

前記電子発生層及び前記第 2 の電子供給層の一部を除去する工程と、

前記第 1 の電子供給層の上の前記一部が除去された前記電子発生層及び前記第 2 の電子供給層を覆う絶縁膜を形成する工程と、

前記第 1 の電子供給層の上に、ゲート電極、ソース電極及びドレイン電極を形成する工程と、

を有し、

前記電子走行層には、第 1 の 2 次元電子ガスが発生し、前記電子発生層には、第 2 の 2 次元電子ガスが発生しており、

前記電子発生層及び前記第 2 の電子供給層は、前記ゲート電極と前記ドレイン電極との間に形成されており、

前記電子発生層及び前記第 2 の電子供給層と前記ゲート電極との間、及び、前記電子発生層及び前記第 2 の電子供給層と前記ドレイン電極との間には、絶縁膜が形成されていることを特徴とする半導体装置の製造方法。

(付記 12)

前記電子発生層及び前記第 2 の電子供給層は、前記ゲート電極と前記ソース電極との間にも形成されており、

前記ゲート電極と前記ソース電極との間に形成されている前記電子発生層及び前記第 2 の電子供給層と前記ゲート電極との間には、絶縁膜が形成されていることを特徴とする付記 11 に記載の半導体装置の製造方法。

(付記 13)

前記第 1 の電子供給層と前記ゲート電極との間には、絶縁膜が形成されていることを特徴とする付記 11 または 12 に記載の半導体装置の製造方法。

(付記 14)

付記 1 から 10 のいずれかに記載の半導体装置を有することを特徴とする電源装置。

(付記 15)

付記 1 から 10 のいずれかに記載の半導体装置を有することを特徴とする増幅器。

【符号の説明】

【0077】

10	基板
11	バッファ層
21	電子走行層
21a	第 1 の 2DEG
22	第 1 の電子供給層
31	電子発生層
31a	第 2 の 2DEG
32	第 2 の電子供給層
41	ゲート電極
42	ソース電極
43	ドレイン電極
50	絶縁膜

10

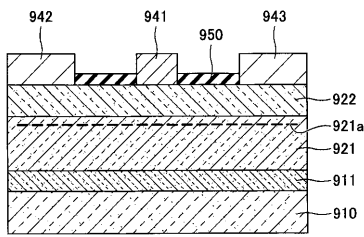
20

30

40

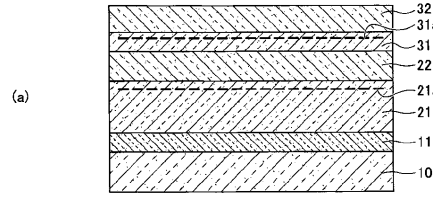
【図1】

半導体装置の構造図



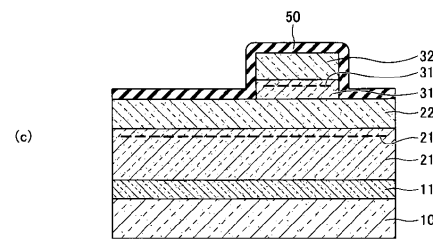
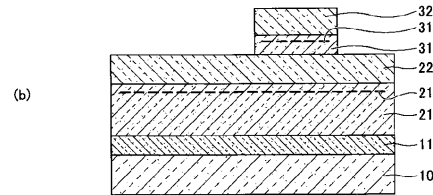
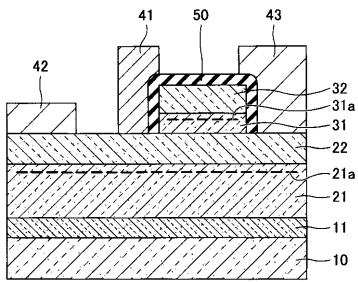
【図3】

第1の実施の形態における半導体装置の製造方法の工程図(1)



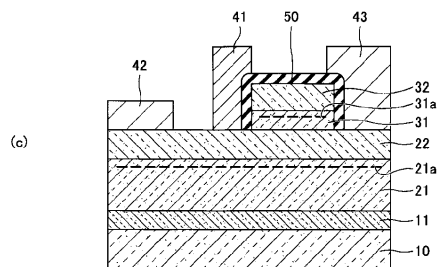
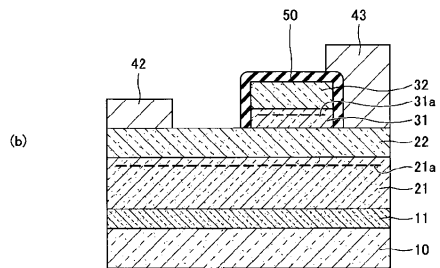
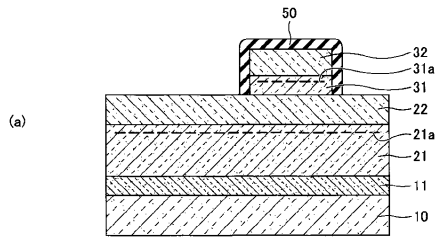
【図2】

第1の実施の形態における半導体装置の構造図



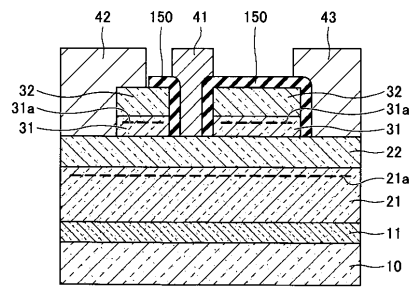
【図4】

第1の実施の形態における半導体装置の製造方法の工程図(2)



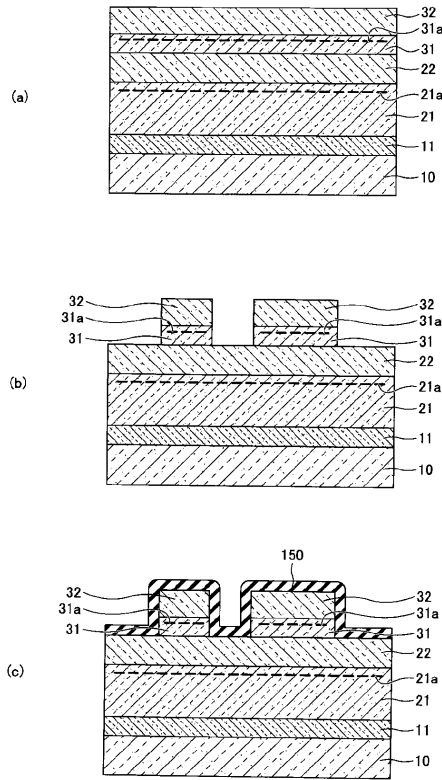
【図5】

第2の実施の形態における半導体装置の構造図



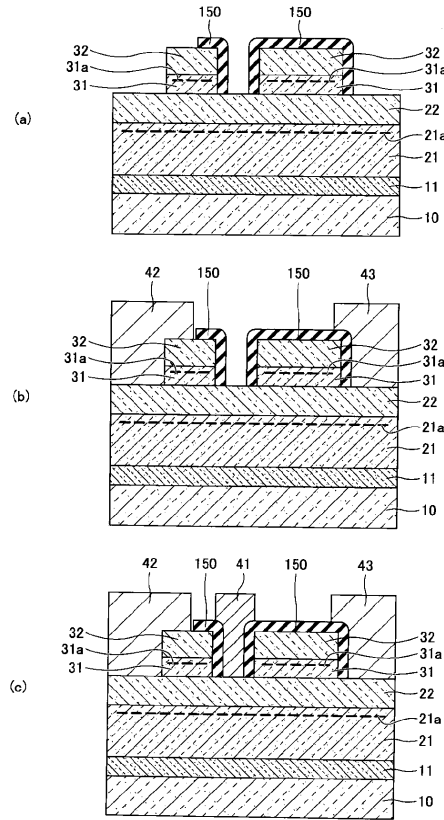
【 図 6 】

第2の実施の形態における半導体装置の製造方法の工程図(1)



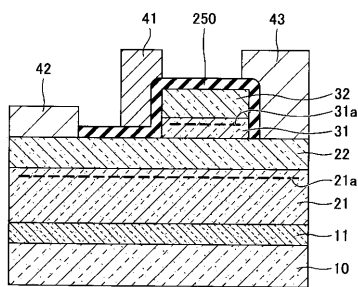
【 図 7 】

第2の実施の形態における半導体装置の製造方法の工程図(2)



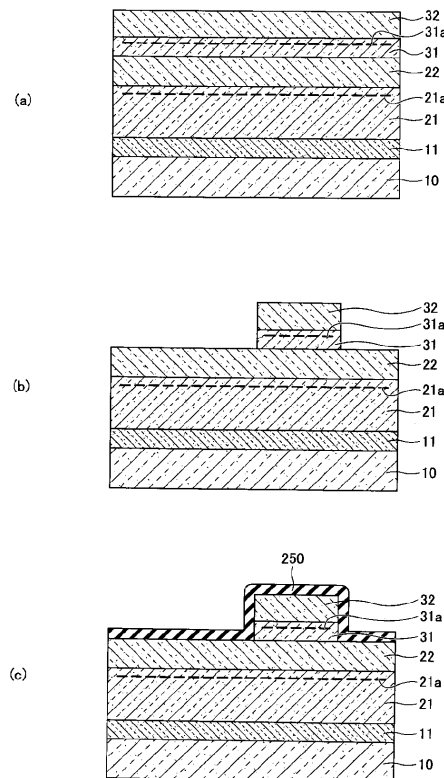
【 図 8 】

第3の実施の形態における半導体装置の構造図



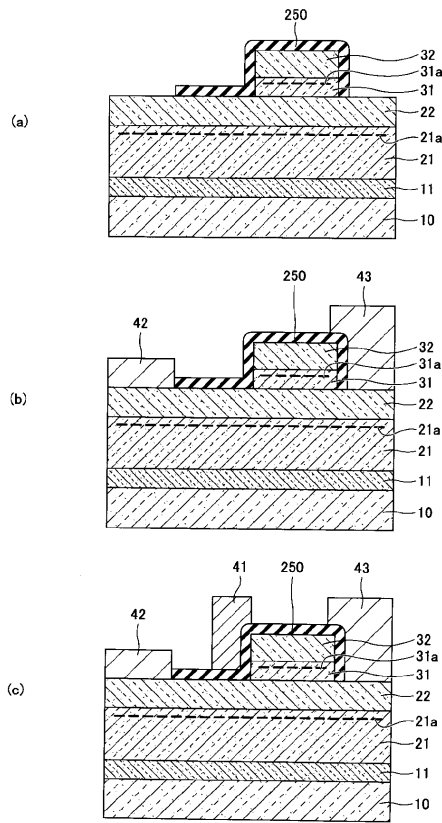
【 図 9 】

第3の実施の形態における半導体装置の製造方法の工程図(1)



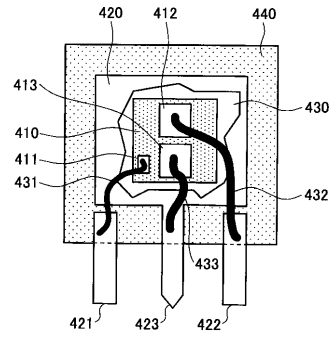
【図10】

第3の実施の形態における半導体装置の製造方法の工程図(2)



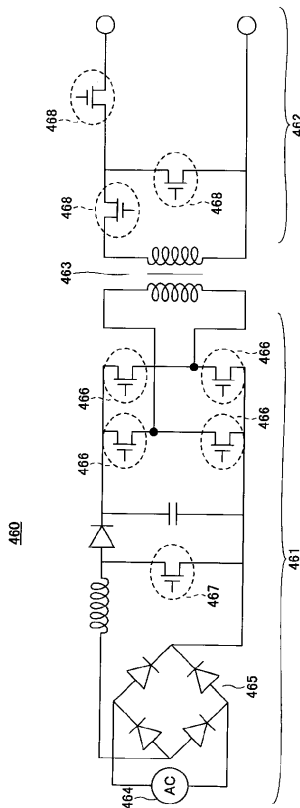
【図11】

第4の実施の形態における  
ディスクリットパッケージされた半導体デバイスの説明図



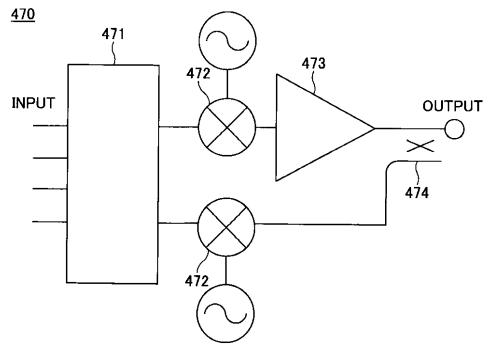
【図12】

第4の実施の形態における電源装置の回路図



【図13】

第4の実施の形態における高周波増幅器の構造図



## フロントページの続き

(51)Int.Cl. F I

H 0 2 M 3/155 (2006.01)

H 0 2 M 3/28 (2006.01)

(56)参考文献 特開2013-098284(JP,A)

特開2015-060896(JP,A)

特開2010-135640(JP,A)

特開2012-114320(JP,A)

特開2014-216363(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 8

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 7 8

H 0 1 L 2 9 / 7 8

H 0 1 L 2 9 / 8 1 2