

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-99202
(P2009-99202A)

(43) 公開日 平成21年5月7日(2009.5.7)

(51) Int.Cl.
G11C 29/44 (2006.01)

F I
G11C 29/00 655D

テーマコード(参考)
5L106

審査請求 未請求 請求項の数 5 O L (全 32 頁)

(21) 出願番号 特願2007-269795 (P2007-269795)
(22) 出願日 平成19年10月17日(2007.10.17)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 110000408
特許業務法人高橋・林アンドパートナーズ
(72) 発明者 神田 和重
東京都港区芝浦一丁目1番1号 株式会社
東芝内
Fターム(参考) 5L106 AA10 DD26

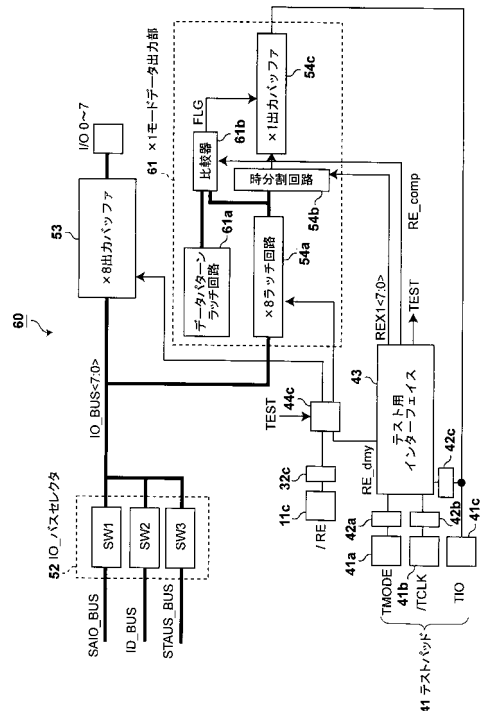
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】テスト用のデータパターンとメモリセルアレイから読み出したデータとの比較結果を出力するテスト時間を短縮する半導体記憶装置を提供する。

【解決手段】本発明の一実施の形態に係る半導体記憶装置は、複数のメモリセルを有するメモリセルアレイと、所定のピン数を有する第1のインターフェイス部と、前記第1のインターフェイス部より少ないピン数を有する第2のインターフェイス部と、外部から入力されたデータパターンを格納するデータパターンラッチ部と、前記データパターンラッチ部から入力されたデータパターンと前記メモリセルアレイから読み出されたデータを比較する比較部と、前記第2のインターフェイス部に設けられて前記比較部の比較結果を出力する比較結果出力部と、を備える。

【選択図】 図 1 1



【特許請求の範囲】

【請求項 1】

複数のメモリセルを有するメモリセルアレイと、
 所定のピン数を有する第 1 のインターフェイス部と、
 前記第 1 のインターフェイス部より少ないピン数を有する第 2 のインターフェイス部と

、
 外部から入力されたデータパターンを格納するデータパターンラッチ部と、
 前記データパターンラッチ部から入力されたデータパターンと前記メモリセルアレイから読み出されたデータを比較する比較部と、
 前記第 2 のインターフェイス部に設けられて前記比較部の比較結果を出力する比較結果出力部と、
 を備えることを特徴とする半導体記憶装置。

10

【請求項 2】

前記比較部は、前記データパターンラッチ部に格納されたデータパターンと前記メモリセルアレイから読み出されたデータとの比較を、外部から入力されるクロック信号に同期したタイミングで順次行い、
 前記比較結果出力部は、前記比較部から順次出力される前記比較結果を時分割で出力することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記データパターンラッチ部は、複数の異なるデータパターンを格納し、該複数の異なるデータパターンを所定のタイミングで順次前記比較部に入力し、
 前記比較部は、前記データパターンラッチ部から順次入力されるデータパターンと前記メモリセルアレイから順次読み出されるデータを比較することを特徴とする請求項 1 又は 2 記載の半導体記憶装置。

20

【請求項 4】

前記比較部から出力される比較結果を記憶する比較結果記憶部を更に備え、
 前記比較部は、前記データパターンと前記データを比較して一致しない場合に比較結果として不一致情報を出力し、
 前記比較結果記憶部は、前記比較部から出力される不一致情報を記憶し、
 前記比較結果出力部は、前記比較結果記憶部に記憶された前記不一致情報を時分割で出力することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体記憶装置。

30

【請求項 5】

前記メモリセルアレイから読み出される複数のデータに含まれる不良ビット数に基づいて、前記データパターンラッチ部から入力されるデータパターンの反転・変更の可否を判定する反転・変更判定部と、
 前記反転・変更判定部により反転・変更する必要があると判定された場合に、前記データパターンラッチ部から入力されるデータパターンを反転・変更する反転・変更部と、
 前記比較部は、前記データパターンラッチ部から順次入力されるデータパターンと前記メモリセルアレイから順次読み出される複数のデータを比較することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体記憶装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に関し、特にテスト用インターフェイスを備えた半導体記憶装置に関する。

【背景技術】

【0002】

下記特許文献 1 には、データの入力及び出力を示す動作モード指示信号に応答してファーストイン・ファーストアウト回路のデータの書込及び読出を制御するための制御回路を

50

備えるロジック混載メモリ用テストインターフェイス回路が開示されている。

【0003】

なお、上記特許文献1において開示されたインターフェイス回路では、データの入力及び出力を示す動作モード指示信号に応答してテストデータの書込及び読出をファーストイン・ファーストアウト回路に対して制御するだけであり、テスト用のデータ自体をインターフェイス回路に記憶してテスト動作を行う技術については開示されていない。

【特許文献1】特開2001-184899号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、予め記憶したテスト用のデータパターンとメモリセルアレイから読み出したデータを比較して比較結果を出力するインターフェイス部を備えて、テスト時間を短縮することができる半導体記憶装置を提供する。

【課題を解決するための手段】

【0005】

本発明の一実施の形態に係る半導体記憶装置は、複数のメモリセルを有するメモリセルアレイと、所定のピン数を有する第1のインターフェイス部と、前記第1のインターフェイス部より少ないピン数を有する第2のインターフェイス部と、外部から入力されたデータパターンを格納するデータパターンラッチ部と、前記データパターンラッチ部から入力されたデータパターンと前記メモリセルアレイから読み出されたデータを比較する比較部と、前記第2のインターフェイス部に設けられて前記比較部の比較結果を出力する比較結果出力部と、を備える。

【発明の効果】

【0006】

本発明よれば、テスト用のデータパターンとメモリセルアレイから読み出したデータとの比較結果を出力するテスト時間を短縮する半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【0007】

(半導体記憶装置のテストの概要)

まず、半導体記憶装置のテストの概要について説明する。ここでは、半導体記憶装置としてNAND型フラッシュメモリの例について説明する。

【0008】

図1は、NAND型フラッシュメモリをテストするテストシステム1の概略構成を示す図である。テストシステム1は、テスト2とテストボード3を備える。テスト2は、テストボード3に接続される複数のNAND型フラッシュメモリチップ(図示せず)に対して出荷前の動作テストを行うための装置である。テスト2とテストボード3は、テスト用の各種信号(電源電圧、I/Oコマンド、制御コマンド、テストデータ及び応答信号等)を送受信するためのケーブル4により接続されている。

【0009】

テスト2は、NAND型フラッシュメモリチップの仕様に基づくテストプログラムを格納し、このテストプログラムに基づいてテストボード3上の複数のNAND型フラッシュメモリチップに各種信号(電源電圧、I/Oコマンド、制御コマンド及びテストデータ等)を供給して動作テスト(書込、読出、消去等)を実行する。そして、テスト2は、各NAND型フラッシュメモリチップから動作テスト結果の応答信号(読出データの比較結果等)を受信し、各NAND型フラッシュメモリチップが正常か不良かを明示する。

【0010】

テストボード3は、複数のNAND型フラッシュメモリチップを着脱可能に接続するための複数のピン(図示せず)が設けられている。これらのピンは、上記ケーブル4を介してテスト2から供給される各種信号(電源電圧、I/Oコマンド、制御コマンド及びテストデータ等)が入力されるとともに、各NAND型フラッシュメモリチップから応答信号

10

20

30

40

50

が出力される。

【 0 0 1 1 】

図 2 は、上記テストボード 3 に接続される NAND 型フラッシュメモリチップ 1 0 内部の要部構成を示すブロック図である。NAND 型フラッシュメモリチップ 1 0 は、制御パッド 1 1 と、入出力パッド 1 2 と、入出力バッファ 1 3 と、コマンドバッファ 1 4 と、制御回路 1 5 と、電圧生成回路 1 6 と、アドレスバッファ 1 7 と、ローデコーダ 1 8 と、カラムデコーダ 1 9 と、センスアンプ 2 0 と、パワーオンリセット回路 2 2 と、を備える。図中の入出力バッファ 1 3、コマンドバッファ 1 4、アドレスバッファ 1 7 及びカラムデコーダ 1 9 は、データバス 2 3 により相互に接続されている。

【 0 0 1 2 】

制御パッド 1 1 は、後述する各種制御コマンドを外部のホスト装置や上記テスト 2 から受信するためのパッドである。入出力パッド 1 2 は、後述する複数の I/O パッドから構成され、後述する 8 ビット単位のデータを入出力するためのパッドである。

【 0 0 1 3 】

入出力バッファ 1 3 は、制御パッド 1 1 から入力される各種制御コマンドと、入出力パッド 1 2 から入力されるデータ、又は、カラムデコーダ 1 9 から入力されるデータ等を保持し、保持した制御コマンドやデータを NAND 型フラッシュメモリチップ 1 0 内部の動作に応じて入力し、保持したデータを外部のホスト装置や上記テスト 2 の動作に応じて出力する。

【 0 0 1 4 】

コマンドバッファ 1 4 は、制御パッド 1 1 から入力される各種制御コマンドを保持し、保持した各種制御コマンドを制御回路 1 5 に出力する。また、コマンドバッファ 1 4 は、入出力バッファ 1 3 から入力されるデータを保持し、保持したデータを制御回路 1 5 に出力する。

【 0 0 1 5 】

制御回路 1 5 は、動作モードに応じてコマンドバッファ 1 4 から入力される各種制御コマンドに基づいて、データ読み出し、データ書き込み及びデータ消去のシーケンス制御等を行う。また、制御回路 1 5 は、各種動作モードに必要な電圧を生成するための制御信号を電圧生成回路 1 6 に出力する。さらに、制御回路 1 5 は、パワーオンリセット回路 2 2 から入力されるパワーオンリセットコマンドに基づいてリセット信号を NAND 型フラッシュメモリチップ 1 0 内の各部をリセットする。

【 0 0 1 6 】

電圧生成回路 1 6 は、動作モードに応じて種々の電圧 V_{pp} (書き込み電圧、ベリファイ電圧、書き込みパス電圧、読み出し電圧等) を生成してローデコーダ 1 8 及びセンスアンプ 2 0 に供給する回路である。この電圧生成回路 1 6 は、制御回路 1 5 により制御される。

【 0 0 1 7 】

アドレスバッファ 1 7 は、入出力バッファ 1 3 から入力されるアドレスデータを記憶して、ローアドレスをローデコーダ 1 8 に出力し、カラムアドレスをカラムデコーダ 1 9 に出力する。

【 0 0 1 8 】

ローデコーダ 1 8 は、アドレスバッファ 1 7 から入力されたローアドレスに基づいてメモリセルアレイ 2 1 のワード線の選択とワード線の駆動を行う。

【 0 0 1 9 】

カラムデコーダ 1 9 は、アドレスバッファ 1 7 から入力されたカラムアドレスに基づいてセンスアンプ 2 0 とデータバスを接続し、センスアンプ 2 0 のラッチ回路への書き込みデータの入力、センスアンプ 2 0 のラッチ回路から読み出すデータを出力するカラムアドレスを選択する。

【 0 0 2 0 】

センスアンプ 2 0 は、データ入力時、入出力バッファ 1 3 から入力されるデータをロー

10

20

30

40

50

デコーダ 18 及びカラムデコーダ 19 により選択されたメモリセルアレイ 21 内の不揮発性メモリセルに書き込む。また、センスアンプ 20 は、データ出力時、ローデコーダ 18 及びカラムデコーダ 19 により選択されたメモリセルアレイ 21 内の不揮発性メモリセル（図示せず）に記憶されたデータを読み出して入出力バッファ 13 に出力する。

【0021】

メモリセルアレイ 21 は、複数の NAND セルユニット（図示せず）を配列して構成される。各 NAND セルユニットは、複数個の電氣的に書き換え可能な不揮発性メモリセルと、その両端をそれぞれビット線とソース線に接続するための選択ゲートトランジスタを有する。不揮発性メモリセルの制御ゲートは、それぞれ異なるワード線に接続される。選択ゲートトランジスタのゲートは、ワード線と並行する選択ゲート線に接続される。ワード線を共有する NAND セルユニットの集合は、データ消去の単位となるメモリブロックを構成する。このメモリブロックは、メモリセルアレイ 21 内に複数含まれる。

10

【0022】

パワーオンリセット回路 22 は、外部のホスト装置や上記テスト 2 からの供給電源がオンされた場合にパワーオンリセットコマンドを制御回路 15 に出力する回路である。

【0023】

次に、図 2 に示した NAND 型フラッシュメモリチップ 10 内部の入出力関連の構成について図 3 を参照して説明する。

【0024】

制御パッド 11 は、制御コマンドとしてチップイネーブル / CE と、ライトイネーブル / WE と、リードイネーブル / RE と、コマンドラッチイネーブル CLE と、アドレスラッチイネーブル ALE とを各々入力するパッド 11a ~ 11e を有する。また、パッド 11a ~ 11e と入出力バッファ 13、コマンドバッファ 14 及びアドレスバッファ 17 の間には入力バッファ 32a ~ 32e が接続されている。入出力パッド 12 は、8 ビット単位のデータを入出力する I/O0 ~ I/O7 パッド 12a ~ 12h を有する。電源パッド 31 は、電源電圧 VCC を入力するパッド 31a と、電源電圧 VSS を入力するパッド 31b を有する。

20

【0025】

なお、図 3 では、8 ビット単位のデータを入出力する場合を例示しているが、16 ビット単位のデータが入出力される場合もある。このような 8 ビット単位のデータをパラレルに入出力して行うテストモードのことを、以下の実施の形態では「x8 モード」と呼ぶことにする。チップイネーブル / CE は、NAND 型フラッシュメモリチップ 10 の活性化・非活性化を制御するコマンドである。チップイネーブル / CE が非活性化（“Hi”状態）を示している場合は、他の制御コマンドは入力されない。ライトイネーブル / WE は、NAND 型フラッシュメモリチップ 10 に対するデータ入力時（データ書込時）の動作タイミングを設定するクロック信号として用いられる。リードイネーブル / RE は、NAND 型フラッシュメモリチップ 10 からのデータ出力時（データ読出時）の動作タイミングを設定するクロック信号として用いられる。コマンドラッチイネーブル CLE は、NAND 型フラッシュメモリチップ 10 内への制御コマンドの取り込みを制御する信号である。コマンドラッチイネーブル CLE が “Hi” 状態の時に、I/Oピンから入力された入力データを制御コマンドと認識して NAND 型フラッシュメモリチップ 10 内に取り込む。アドレスラッチイネーブル ALE は、NAND 型フラッシュメモリチップ 10 内へのアドレスデータの取り込みを制御する信号である。アドレスラッチイネーブル ALE が “Hi” 状態の時に、I/Oピンから入力された入力データをアドレスデータと認識して NAND 型フラッシュメモリチップ 10 内に取り込む。

30

40

【0026】

図 4 は、制御パッド 11 に入力される制御コマンドと、入出力パッド 12 に入力されるデータコードの各入力波形の一例を示す図である。図 4 において、(a) はチップイネーブル / CE の入力波形、(b) はコマンドラッチイネーブル CLE の入力波形、(c) はアドレスラッチイネーブル ALE の入力波形、(d) はライトイネーブル / WE の入力波

50

形、(e)はリードイネーブル/REの入力波形、(f)はI/O0～I/O7パッド12a～12hに入力されるデータの各入力波形の一例を示す。

【0027】

図4に示すコマンド入力の期間T1において、チップイネーブル/CEが“Low”状態、コマンドラッチイネーブルCLEが“High”状態、I/Oピンにデータが入力された状態の時に、ライトイネーブル/WE(“Low”)が入力されると、I/Oピンのデータがコマンドデータと認識されてNAND型フラッシュメモリチップ10内に取り込まれる。

【0028】

次いで、図4に示すアドレス入力の期間T2において、チップイネーブル/CEが“Low”状態、アドレスラッチイネーブルALEが“High”状態、I/Oピンにデータが入力された状態の時に、ライトイネーブル/WE(“Low”)が入力されると、I/Oピンのデータがアドレスデータと認識されてNAND型フラッシュメモリチップ10内に取り込まれる。

【0029】

次いで、図4に示すデータ入力の期間T3において、チップイネーブル/CEが“Low”状態、コマンドラッチイネーブルCLE及びアドレスラッチイネーブルALEが“Low”状態、I/O0～I/O7パッド12a～12hにデータが入力された状態の時に、ライトイネーブル/WE(“Low”)が入力されると、データがNAND型フラッシュメモリチップ10内に取り込まれる。入力されたデータが取り込まれるラッチ回路は、データ入力前に入力されたコマンドの動作モードにより制御される。

【0030】

また、図4に示すデータ入力の期間T4において、チップイネーブル/CEが“Low”状態、ライトイネーブル/WEが“Low”状態の時に、リードイネーブル/RE(“Low”)が入力されると、データがNAND型フラッシュメモリチップ10からデータが出力される。この状態もデータ入力と同様に、データ入力前のコマンドの動作モードにより制御される。

【0031】

上記のように、NAND型フラッシュメモリチップ10の場合、電源パッド31が2個、入出力パッド12が8個、制御パッド11が5個の計15個のパッドを用いてコマンド入力、アドレス入力、データ入力及びデータ出力が行われる。NAND型フラッシュメモリチップ10では、テスト2から入力されるコマンド入力により制御信号が生成され、図4に示した各動作の組み合わせによってデータ書込動作、データ読出動作、消去動作の各テストが実行される。

【0032】

また、上記のように、NAND型フラッシュメモリチップ10には計15個のパッドが設けられているため、例えば、図5に示すような20個のNAND型フラッシュメモリチップ10を同時にテスト可能なテストボード3とした場合、入出力パッド12が8個と制御パッド11が5個の計13個の各パッドに対応するテストピンが必要になる。すなわち、テストボード3では、13ピン×20チップ=260ピンが必要となるため、テスト時間の短縮は図れるもののテスト2のコストを上昇させることになる。なお、図中の各NAND型フラッシュメモリチップ10のパッド配置は、テストボード3との接続関係を模式的に例示したものであり、図3に示したパッド数と必ずしも一致するものではない。

【0033】

以下、本発明の実施の形態を、図面を参照しつつ、説明する。実施の形態に係る半導体記憶装置はここではNAND型フラッシュメモリチップを例にとって説明する。なお、実施の形態において、同一構成要素には同一符号を付け、実施の形態の間において重複する説明は省略する。

【0034】

(第1の実施の形態)

10

20

30

40

50

本発明の第1の実施の形態は、NAND型フラッシュメモリチップ内にテスト用のパッドを有するテスト用インターフェイスを設けて、テストボード3のピン数を削減する例について説明する。

【0035】

図6は、第1の実施の形態に係るNAND型フラッシュメモリチップ10内部の入出力関連の構成を示す図である。なお、図6において、図3に示した入出力関連の構成と同一の構成部分には同一符号を付している。

【0036】

図6では、テスト2との間でテストに関わるコマンドを授受するテストパッド41を設けている。このテストパッド41は、テスト用のデータを入出力するTIOパッド41aと、テスト用のクロック信号を入力するCLKnパッド41bと、テストモード信号を入力するTMODEパッド41cと、を有する。テストパッド41の後段には、入力バッファ42a~42cとテスト用インターフェイス43が接続される。

【0037】

テスト用インターフェイス43は、制御パッド11の各入力ラインに接続されたテスト信号切替回路44a~44eをテスト信号TESTにより切り替え制御して、入力バッファ32a~32eの後段の各入力ラインを入出力バッファ13、コマンドバッファ14及びアドレスバッファ17に接続し、又は、テストパッド41側の各入力ラインを入出力バッファ13、コマンドバッファ14及びアドレスバッファ17に接続する。テスト用インターフェイス43は、TMODEパッド41cからテストモード信号が入力された場合、テスト信号TESTによりテスト信号切替回路44a~44eを切り替え制御して、テストパッド41側の各入力ラインを入出力バッファ13、コマンドバッファ14及びアドレスバッファ17に接続する。

【0038】

テストパッド41から入力バッファ42a~42cを介して入力されるデータ及びクロック信号は、テスト用インターフェイス43によりテスト信号切替回路44a~44eを介して出力バッファ13、コマンドバッファ14及びアドレスバッファ17に各々入力される。また、テスト用インターフェイス43は、出力バッファ13からテスト信号切替回路44aを介して入力されるデータをTIOパッド41aに出力する。

【0039】

テストパッド41及びテスト用インターフェイス43は、テスト2から1ビット単位のデータをシリアルに入出力してテストを行うインターフェイス部(第2のインターフェイス部)として設けている。このように1ビット単位のデータをシリアルに入出力してテストを行うテストモードのことを、第1の実施の形態及び後述する実施の形態では「x1モード」と呼ぶことにする。したがって、本第1の実施の形態に係るNAND型フラッシュメモリチップ10では、テスト用のパッドは3個であり、上記図3に示したパッド数15個に比べてテストボード3と接続するパッド数を大幅に削減することが可能である。

【0040】

テスト用のパッドを設けたNAND型フラッシュメモリチップ10を接続するテストボード3を図7に例示する。図7に示すテストボード3は、20個のNAND型フラッシュメモリチップ10を接続するピンを有する。このテストボード3のピン数は、3ピン×20チップ=60ピンとなる。したがって、テストボード3のピン数は、上記図5に示したテストボード3のピン数260ピンに比べて大幅に削減することができる。その結果、テスト2のコストを低減することが可能になる。

【0041】

本第1の実施の形態に係るNAND型フラッシュメモリチップ10において実行される「x1モード」について、図8及び図9を参照して説明する。図8は、「x1モード」におけるデータ入力時とデータ出力時の各データフォーマットの一例を示す図である。図9は、「x1モード」においてコマンド00hを入力する場合とデータ出力の場合の各波形の一例を示す図である。

10

20

30

40

50

【0042】

図8(a)に示すデータコード入力時、図8(b)に示すデータコード出力時の各データフォーマットは、共にクロック信号TCLKnが11回カウントされる期間、すなわち、11ビットを一塊のデータコードとして処理するフォーマットであることを示している。

【0043】

データコード入力時は、11ビットのうち、図中の左端部に示す最初の1ビットは「Start Bit」(“High”固定)、次の1ビットは「Interface Bit」、次の8ビットは「Data Code」、次の1ビットは「Dummy Bit」として構成される。NAND型フラッシュメモリチップ10は、データコード入力時は、

10

【0044】

また、NAND型フラッシュメモリチップ10は、「Interface Bit」が“High”か“Low”かによって、次に入力される「Data Code」の解釈が異なる。図8(a)に示す「Data Code」の例では、I/O0~I/O7ビット毎に異なるデータが割り当てられている。図示する例では、「Interface Bit」が“High”の時に、8ビット構成の「Data Code」に含まれるI/O0~I/O7ビット毎に異なるコマンドが割り当てられている場合を示している。I/O0ビットにはチップイネーブルCEN、I/O1ビットにはコマンドラッチイネーブルCLE

20

【0045】

データコード出力時は、11ビットのうち、図中の左端部に示す最初の1ビットは「Start Bit」(“High”固定)、次の1ビットは「Interface Bit」、次の1ビットは「Dummy Bit」、次の8ビットは「Data Code」として構成される。

【0046】

図8(a)に示したデータフォーマットに基づいてコマンド00hが入力される場合の

30

【0047】

図9(a)に例示する波形では、11ビット構成のデータコードが2回入力される。1回目のデータコード入力では、「Interface Bit」=“High”、/CE=“Low”、CLE=“High”とする。この「Interface Bit」に設定したコマンドは、11ビット目の「Dummy Bit」が入力されることでNAND型フラッシュメモリチップ10内部に/CE=“Low”、CLE=“High”の状態が設定される。また、2回目のデータコード入力では、「Interface Bit」=“Low”として“00”データを入力し、11ビット目の「Dummy Bit」が入力されることでNAND型フラッシュメモリチップ10内部のデータバスに印加される

40

【0048】

データコード出力時のデータフォーマットは、データコード入力時のデータフォーマットと異なる。データコードを入力状態にするか出力状態にするかは、図9(b)に示すようにインターフェイスコマンド、すなわち、「Interface Bit」内のリードイネーブルREビットを“High”に設定することで、次の11ビットで入力されるデータコードをデータ出力状態とすることがNAND型フラッシュメモリチップ10内部で解釈される。

【0049】

データコード出力時のデータフォーマットは、図8(b)に示すように、「Start

50

Bit」(1ビット、「High」固定)、「Interface Bit」(1ビット)、**「Dummy Bit」**(1ビット)、「Data Code」(8ビット)により構成される。データコード出力時の入力波形は、図9(b)に示すように、1回目の11ビットのデータコード入力時に「Interface Bit」内のリードイネーブルREビットを「High」に設定することで、NAND型フラッシュメモリチップ10により2回目の11ビットの組からデータを出力させることができる。

【0050】

次に、NAND型フラッシュメモリチップ10内のデータ入出力部の回路構成を図10に示す。図中の太い線で示す部分は、8ビット幅のデータバス51である。なお、データバス51は8ビット幅に限るものではない。データ入出力部50は、IOバスセクタ52と、x8出力バッファ53と、x1モードデータ出力部54と、を有する。

10

【0051】

IOバスセクタ52は、スイッチSW1~SW3を有する。IOバスセクタ52は、外部のセンスアンプと接続されるバスSAIO_BUS、チップIDレジスタと接続されるバスID_BUS、ステータスレジスタと接続されるバスSTATUS_BUSをスイッチSW1~SW3により選択し、IOバスIO_BUSに出力する。

【0052】

x8出力バッファ53は、テスト用インターフェイス43からテスト信号切替回路44cを介して入力されるリードイネーブル/REによるクロックに同期して8ビットのデータをI/OパッドI/O0~I/O7に出力する。

20

【0053】

x1モードデータ出力部54は、x8ラッチ回路54aと、時分割回路54bと、x1出力バッファ54cと、を有する。

【0054】

x8ラッチ回路54aは、テスト用インターフェイス43からテスト信号切替回路44cを介して入力されるDummy Bitによるクロックに同期してIOバスIO_BUSから入力される8ビットのデータをラッチする。

【0055】

時分割回路54bは、テスト用インターフェイス43から入力されるREX1信号により選択されるビットに基づいて、x8ラッチ回路54aにラッチされた8ビットのデータを1ビットずつ選択して1出力バッファ54cに出力する。REX1信号は、上記11ビット構成のうち4ビット目から11ビット目のクロック信号/TCLKから生成される。

30

【0056】

したがって、図10のデータ入出力部50では、「x8モード」と「x1モード」においてx8出力バッファ53とx1モードデータ出力部54を切り替えることにより、テストモードに対応して8ビットの平行データを1ビットのシリアルデータとして出力することが可能である。その結果、複数のNAND型フラッシュメモリチップ10を接続するテストボード3のピン数を大幅に削減し、テスト2のコストを低減することが可能になる。

【0057】

(第2の実施の形態)

本発明の第2の実施の形態は、NAND型フラッシュメモリチップのテストピン数を削減しテスト時間を短縮する例を説明するものである。

40

【0058】

図11は、本発明の第2の実施の形態に係るNAND型フラッシュメモリチップ10内のデータ入出力部60の回路構成を示す図である。図11に示すデータ入出力部60において、図10に示したデータ入出力部50と同一の構成部分には同一符号を付しており、その構成説明は省略する。

【0059】

x1モードデータ出力部61は、x8ラッチ回路54aと、時分割回路54bと、x1

50

出力バッファ 5 4 c と、データパターンラッチ回路 6 1 a と、比較器 6 1 b と、を有する。

【 0 0 6 0 】

データパターンラッチ回路 6 1 a は、8 ビット単位のテスト用のデータパターン (a 1 1 0 パターン “ 0 0 ” , a 1 1 1 パターン “ F F ” , チェッカーボードパターン “ 5 5 ” “ A A ” 等) をラッチする。テスト用のデータパターンは、N A N D 型フラッシュメモリチップ 1 0 をテスト 2 によりテストする前にデータパターンラッチ回路 6 1 a に予め入力されてラッチされる。

【 0 0 6 1 】

比較器 6 1 b は、x 8 ラッチ回路 5 4 a にラッチされた 8 ビットのデータとデータパターンラッチ回路 6 1 a にラッチされた 8 ビットのデータを比較し、その比較結果を示すフラグ F L G を x 1 出力バッファ 5 4 c に出力する。比較器 6 1 b は、8 ビット全てのデータが一致した場合はフラグ F L G = 0、8 ビットのうち 1 ビットでも一致しない場合はフラグ F L G = 1 を出力する。比較器 6 1 b は、テスト用インターフェイス 4 3 から R E _ c o m p クロック信号の入力が開始されると、上記 I / O 0 ~ I / O 7 のサイクル毎に 8 ビットのデータ比較と比較結果であるフラグ F L G の出力を行う。

10

【 0 0 6 2 】

また、x 8 ラッチ回路 5 4 a では、上記 D u m m y B i t によるクロックから上記データコード内の I / O 0 ~ I / O 6 によるクロックまでの 8 サイクルで I O バス I O _ B U S から入力される 8 ビットのデータが順次ラッチされる。すなわち、x 8 ラッチ回路 5 4 a では、8 サイクルの間に 8 組の 8 ビットのデータが順次ラッチされる。

20

【 0 0 6 3 】

次に、第 2 の実施の形態に係る N A N D 型フラッシュメモリチップ 1 0 内のデータ入出力部 6 0 におけるテスト動作について図 1 2 に示す波形の一例を参照して説明する。なお、図 1 2 において、(a) はテストパッド 4 1 に入力される信号の波形を示す図、(b) は上記第 1 の実施の形態のテスト動作に係る信号の波形を示す図、(c) は本第 2 の実施の形態のテスト動作に係る信号の波形を示す図である。

【 0 0 6 4 】

図 1 2 において、期間 T 1 として示すコマンド入力期間にテスト 2 から入力される 1 1 ビットの入力データにより、リードイネーブル / R E (“ H i g h ”) が設定されているため、データ出力であることが N A N D 型フラッシュメモリチップ 1 0 内部で解釈される。

30

【 0 0 6 5 】

次に、期間 T 2 として示すデータ出力期間にテスト 2 から入力される 1 1 ビットのデータコード内の D u m m y B i t とデータコード内の I / O 0 ~ I / O 6 によるクロックまでの 8 クロックで I O バス I O _ B U S から入力される 8 ビットのデータが x 8 ラッチ回路 5 4 a にラッチされる。

【 0 0 6 6 】

この時、図 1 2 (b) に示す第 1 の実施の形態に係るテスト動作では、R E X 1 < 7 : 0 > 信号のクロックサイクルで時分割回路 5 4 b から 1 ビットずつデータが x 1 出力バッファ 5 4 c に出力される。すなわち、第 1 の実施の形態に係るテスト動作では、D u m m y B i t でラッチされた 8 ビットがパラレルに 1 ビットのシリアルデータとして x 1 出力バッファ 5 4 c から出力される。このため、第 1 の実施の形態に係るデータ入出力部 5 0 では、8 ビットのパラレルデータのシリアルデータとして出力するために 1 1 回のクロックが必要となり、長いテスト時間を要することになる。

40

【 0 0 6 7 】

図 1 2 (b) の動作に対して同図 (c) に示す本第 2 の実施の形態に係るテスト動作では、比較器 6 1 b がテスト用インターフェイス 4 3 から R E _ c o m p クロック信号の入力が開始されると、I / O 0 ~ I / O 7 のクロック毎に 8 ビットのデータ比較 (x 8 ラッチ回路 5 4 a にラッチされた 8 ビットのデータとデータパターンラッチ回路 6 1 にラッチ

50

された8ビットのデータとの比較)と比較結果であるフラグFLGの出力を順次行う。このため、第2の実施の形態に係るデータ入出力部60では、I/O0~I/O7のサイクル毎に8ビットのデータ中にエラーが有るか否かを示す情報を出力することができ、テスト時間を短縮することが可能になる。すなわち、比較器61bでは、図13に示すようにI/O0~I/O7の8サイクルの間に8ビットデータ×8個のデータ比較処理を実行することが可能になるとともに、その比較結果を示すフラグFLG×8を得ることができる。そして、図13に示す11ビット構成のクロックサイクルによりフラグFLG×8を含むシリアルデータを×1出力バッファ54cから出力することが可能になる。

【0068】

なお、図12(a)に示すコマンド入力期間に入力されるデータフォーマットは、図9(a)に示したデータフォーマットとは異なる。本第2の実施の形態では、8サイクルで8倍のデータを出力するため、例えば、図8(a)に示したInterface Bit内のI/O7の未定義部分を利用する。すなわち、図12(a)に示すデータフォーマットでは、Interface Bit内のI/O7に“High”とした場合に8倍出力モードをアサインする。このI/O7ビットの“High”設定が入力された場合に、NAND型フラッシュメモリチップ10が8倍出力モードであることを解釈し、上記8ビットのデータ比較と比較結果を出力するテストモードを実行することを実現する。

10

【0069】

したがって、本第2の実施の形態に係るNAND型フラッシュメモリチップ10では、テスト用のパッド数を削減し、テストボード3のピン数を大幅に削減してテスト2のコストを低減するとともに、テスト時間の大幅な短縮を実現することが可能になる。

20

【0070】

(第3の実施の形態)

本発明の第3の実施の形態は、NAND型フラッシュメモリチップのテストピン数を削減するとともに、16ビットのデータのテストを可能とし、テスト時間を短縮する例を説明するものである。

【0071】

図14は、本発明の第3の実施の形態に係るNAND型フラッシュメモリチップ10内のデータ入出力部70の回路構成を示す図である。図14に示すデータ入出力部70において、図10に示したデータ入出力部50と図11に示したデータ入出力部60と同一の構成部分には同一符号を付しており、その構成説明は省略する。

30

【0072】

×1モードデータ出力部71は、×8ラッチ回路54aと、時分割回路54bと、×1出力バッファ54cと、データパターン用シフトレジスタ71aと、比較器61bと、を有する。

【0073】

データパターン用シフトレジスタ71aは、2つの8ビットのデータパターンを格納し、シフトレジスタによって交互に2つの8ビットのデータパターンを比較器61aに出力する。

【0074】

データパターン用シフトレジスタ71aを使用することにより、図15に示すように16ビット構成のある決まった2種類のデータパターンA、Bで比較し、その比較結果を出力することが可能になる。その結果、より複雑なデータパターンとの比較が可能になる。したがって、上記第2の実施の形態では、8ビットのデータパターンとの比較だけであったが、本第3の実施の形態では、16ビット構成のデータパターンとの比較も可能となり、テスト時間の短縮も可能になる。ここでは、8ビット×2の例を示したが、8ビット×3、8ビット×4という応用も可能である。

40

【0075】

(第4の実施の形態)

本発明の第4の実施の形態は、NAND型フラッシュメモリチップのテストピン数を削

50

減するとともに、テストの結果として詳細なフェイルビットデータの出力を可能とし、テスト時間を短縮する例を説明するものである。

【0076】

図16は、本発明の第4の実施の形態に係るNAND型フラッシュメモリチップ10内のデータ入出力部80の回路構成を示す図である。図16に示すデータ入出力部80において、図10に示したデータ入出力部50、図11に示したデータ入出力部60及び図14に示したデータ入出力部70と同一の構成部分には同一符号を付しており、その構成説明は省略する。

【0077】

x1モードデータ出力部81は、x8ラッチ回路54aと、時分割回路54bと、x1出力バッファ54cと、データパターン用シフトレジスタ71aと、比較器61bと、シフトレジスタ81aと、を有する。

10

【0078】

シフトレジスタ81aは、8ビットデータの8サイクル分の比較結果を格納し、8ビットデータの8サイクル分の比較結果を詳細に示すフェイルビットデータFBDをテスト用インターフェイス43から入力されるフェイルビット読出信号RE_fbのクロックサイクルで順次時分割回路54bに出力する。

【0079】

時分割回路54bは、テスト用インターフェイス43から入力される選択信号SELDATに応じて、x8ラッチ回路54aから入力される通常のデータと、シフトレジスタ81aから入力されるフェイルビットデータFBDとを切り替えてx1出力バッファ54cに出力する。

20

【0080】

比較器61bは、8ビットデータx8個分の比較結果を示すフラグFLAGを8サイクルの間にx1出力バッファ54cに順次出力するとともに、8ビットデータの比較結果(1ビット毎の比較結果を含む8ビットデータ)を順次シフトレジスタ81aに出力する。

【0081】

次に、第4の実施の形態に係るNAND型フラッシュメモリチップ10内のテスト動作について図17に示すフローチャートを参照して説明する。

【0082】

図17においてテスト動作を開始すると、図16の比較器61bは、x8ラッチ回路54aにラッチされた8ビットデータとデータパターン用シフトレジスタ71aから入力される8ビットのデータパターンとを比較して、比較結果を含む8ビットデータをシフトレジスタ81aに出力するとともに、その8ビットデータ分の比較結果を示すフラグFLAG(1ビットデータ)をx1出力バッファ54cに出力する(ステップS101)。この時、比較器61bは、上記第2の実施の形態において説明したように、1サイクル毎に8ビットデータのデータパターンとの比較を実行して、その8ビットデータのデータ比較結果を示すフラグFLAGをx1出力バッファ54cに順次出力する。また、比較器61bは、8ビットデータの比較結果(1ビット毎の比較結果を含む8ビットデータ)をシフトレジスタ81aに出力する。

30

40

【0083】

次いで、シフトレジスタ81aは、比較器61bから入力される8ビットデータを格納する(ステップS102)。そして、比較器61b及びシフトレジスタ81aは、上記ステップS101及びステップS102の処理を8サイクル分繰り返し実行する(ステップS103)。この8サイクル分の動作により、シフトレジスタ81aは、8ビットデータ内に不一致(不良ビット)が有っても無くても比較器61bから入力される8ビットデータを順次格納する。シフトレジスタ81aに格納された8ビットデータには比較したビット毎に一致を示すデータ“0”と、不一致を示すデータ“1”の2種類のデータが含まれる。また、比較器61bは、8ビットデータx8個分の比較結果を示すフラグFLAGをx1出力バッファ54cに順次出力する。

50

【0084】

次いで、シフトレジスタ81aは、8ビットデータ×8個の比較処理を行った8サイクル中に不良ビットが有るか否かを判定する(ステップS104)。不良ビットが無い場合は(ステップS104:NO)、ステップS107に移行する。また、不良ビットが有る場合は(ステップS104:YES)、ステップS105に移行する。

【0085】

次に、シフトレジスタ81aは、テスト用インターフェイス43から入力されるフェイルビット読出信号RE_fbのクロックサイクルに応じて、格納した8ビットデータを11ビット構成のフェイルビットデータFBDとして時分割で出力する(ステップS105)。そして、シフトレジスタ81aは、上記ステップS105のフェイルビットデータFBDの時分割出力処理を8サイクル分繰り返し実行する(ステップS106)。

10

【0086】

次に、比較器61bは、同一ページ内の最終カラムまでデータ比較処理を実行したか否かを確認する(ステップS107)。最終カラムに達していない場合は(ステップS107:NO)、ステップS101に戻り、再度、ステップS101~ステップS106の処理を実行する。また、最終カラムに達している場合は(ステップS107:YES)、本テスト動作を終了する。

【0087】

次に、上記テスト動作による8ビットデータの比較動作及びフェイルビットデータFBDの出力動作の具体例について、図18を参照して説明する。

20

【0088】

図18において、最初の8ビットデータ×8個の比較処理では不良ビット無しである場合を示している。この場合、比較器61bは、テスト用インターフェイス43から入力されるRE_compクロック信号に応じて、8ビットデータ分の比較結果を示すフラグFLAG(1ビットデータ)を×1出力バッファ54cに出力する。フラグFLAGは、上記のように8ビット全てのデータが一致した場合はフラグFLAG=0である。

【0089】

図18において、次の8ビットデータ×8個の比較処理では不良ビット有りである場合を示している。この場合、比較器61bは、同様に、テスト用インターフェイス43から入力されるRE_compクロック信号に応じて、8ビットデータ×8個分の比較結果を示すフラグFLAG(1ビットデータ)を×1出力バッファ54cに順次出力する。フラグFLAGは、上記のように8ビットのうち1ビットでも一致しない場合はフラグFLAG=1である。また、シフトレジスタ81aは、アドレス0から7に対応付けて比較器61bから入力される8ビットデータ×8個分の比較結果を全てラッチし、テスト用インターフェイス43から入力されるフェイルビット読出信号RE_fbのクロックサイクルに応じて、格納した8ビットデータ毎のフェイルビットデータFBDを時分割で出力する。

30

【0090】

図18では、8ビット分のフラグFLAGと8ビット分のフェイルビットデータFBDが含まれる11ビット構成のデータコード出力時に、そのデータコードに含まれるDummy BitにフラグFLAGの出力であるか、又は、フェイルビットデータFBDの出力であるかを示すデータを設定する例を示している。例えば、フラグFLAGを出力する場合はDummy Bitに0を設定し、フェイルビットデータFBDを出力する場合はDummy Bitに1を設定するものとする。

40

【0091】

図18では、上記8ビットデータ×8個内に不良ビットを含むフラグFLAGが出力された後、シフトレジスタ81aからは8ビットデータ単位に不良ビットが発生した位置(アドレス0から7)に対応付けられた不良ビットを含む8ビット構成のフェイルビットデータFBDが順次出力される。

【0092】

具体的には、図18に示すように、図中の8ビットデータ×8個内の左端の8ビットデ

50

ータ、すなわち、シフトレジスタ 8 1 a 内のアドレス 0 に格納された 8 ビットデータには 1 つの不良ビットが含まれており、この不良ビットの発生位置を示すデータ“ 1 ”（正常ビットは“ 0 ”）を含む 8 ビットのフェイルビットデータ F B D を 1 1 ビット構成のデータコードとして出力する。続いて、図中の 8 ビットデータ × 8 個内の左から 2 番目の 8 ビットデータ、すなわち、シフトレジスタ 8 1 a 内のアドレス 1 に格納された 8 ビットデータには 2 つの不良ビットが含まれており、この不良ビットの発生位置を示すデータ“ 1 ”（正常ビットは“ 0 ”）を含む 8 ビットのフェイルビットデータ F B D を 1 1 ビット構成のデータコードとして出力する。なお、図中の × は不良ビットを示す。

【 0 0 9 3 】

続いて、図中の 8 ビットデータ × 8 個内の左から 3 番目の 8 ビットデータ、すなわち、シフトレジスタ 8 1 a 内のアドレス 2 に格納された 8 ビットデータには不良ビットが含まれていないため、全て“ 0 ”とした 8 ビットのフェイルビットデータ F B D を 1 1 ビット構成のデータコードとして出力する。以降の 5 個の 8 ビットデータについても同様に 1 1 ビット構成のデータコードのフォーマットで出力する。これらフェイルビットデータ F B D を出力する際には、D u m m y B i t に 1 を設定する。

10

【 0 0 9 4 】

以上のように、本第 4 の実施の形態では、テスト動作に際して 8 ビットデータの比較結果として不良の有無を示すフラグ F L G を出力するとともに、その不良ビットの発生位置を示す詳細なフェイルビットデータ F B D を出力するようにしたため、8 ビットデータ × 8 個のデータ比較処理中にどの 8 ビットデータに不良ビットが含まれるかを知ることができるとともに、その不良ビットの発生位置を知ることができる。

20

【 0 0 9 5 】

次に、第 4 の実施の形態における他のテスト動作例について、図 1 9 に示すフローチャートと、図 2 0 に示す比較処理及び比較結果の具体例を参照して説明する。

【 0 0 9 6 】

図 1 9 においてテスト動作を開始すると、図 1 6 の比較器 6 1 b は、× 8 ラッチ回路 5 4 a にラッチされた 8 ビットデータとデータパターン用シフトレジスタ 7 1 a から入力される 8 ビットのデータパターンとを比較して、比較結果を含む 8 ビットデータをシフトレジスタ 8 1 a に出力するとともに、その 8 ビットデータ分の比較結果を示すフラグ F L G（1 ビットデータ）を × 1 出力バッファ 5 4 c に出力する（ステップ S 2 0 1）。この時、比較器 6 1 b は、上記第 2 の実施の形態において説明したように、1 サイクル毎に 8 ビットデータのデータパターンとの比較を実行して、その 8 ビットデータのデータ比較結果を示すフラグ F L G を × 1 出力バッファ 5 4 c に順次出力する。また、比較器 6 1 b は、8 ビットデータの比較結果（1 ビット毎の比較結果を含む 8 ビットデータ）をシフトレジスタ 8 1 a に出力する。

30

【 0 0 9 7 】

次いで、シフトレジスタ 8 1 a は、比較器 6 1 b から入力される 8 ビットデータのうち、不良ビットを含む 8 ビットデータのみを格納する（ステップ S 2 0 2）。そして、比較器 6 1 b 及びシフトレジスタ 8 1 a は、上記ステップ S 2 0 1 及びステップ S 2 0 2 の処理を 8 サイクル分繰り返し実行する（ステップ S 2 0 3）。この 8 サイクル分の動作により、シフトレジスタ 8 1 a は、比較器 6 1 b から入力される 8 ビットデータのうち、8 ビットデータ内に不一致（不良ビット）が有る 8 ビットデータのみを順次格納する。シフトレジスタ 8 1 a に格納された 8 ビットデータには比較したビット毎に一致を示すデータ“ 0 ”と、不一致を示すデータ“ 1 ”の 2 種類のデータが含まれる。また、比較器 6 1 b は、8 ビットデータ × 8 個分の比較結果を示すフラグ F L G を × 1 出力バッファ 5 4 c に順次出力する。

40

【 0 0 9 8 】

次いで、シフトレジスタ 8 1 a は、8 ビットデータ × 8 個の比較処理を行った 8 サイクル中に不良ビットが有るか否かを判定する（ステップ S 2 0 4）。不良ビットが無い場合は（ステップ S 2 0 4 : N O）、ステップ S 2 0 8 に移行する。また、不良ビットが有る場合

50

は(ステップS 2 0 4 : Y E S)、ステップS 2 0 5に移行する。

【 0 0 9 9 】

ステップS 2 0 5において、シフトレジスタ8 1 aは、更に格納した8ビットデータ毎に不良ビットが有るか否かを確認する。不良ビットが無い場合は(ステップS 2 0 5 : N O)、ステップS 2 0 7に移行する。また、不良ビットが有る場合は(ステップS 2 0 5 : Y E S)、ステップS 2 0 6に移行する。

【 0 1 0 0 】

ステップS 2 0 6において、シフトレジスタ8 1 aは、不良ビットが含まれる8ビットデータをフェイルビットデータF B Dとして時分割で出力する。そして、シフトレジスタ8 1 aは、上記ステップS 2 0 6のフェイルビットデータF B Dの時分割出力処理を8サイクル分繰り返し実行する(ステップS 2 0 7)。

10

【 0 1 0 1 】

次に、比較器6 1 bは、同一ページ内の最終カラムまでデータ比較処理を実行したか否かを確認する(ステップS 2 0 8)。最終カラムに達していない場合は(ステップS 2 0 8 : N O)、ステップS 2 0 1に戻り、再度、ステップS 2 0 1～ステップS 2 0 7の処理を実行する。また、最終カラムに達している場合は(ステップS 2 0 8 : Y E S)、本テスト動作を終了する。

【 0 1 0 2 】

次に、上記テスト動作による8ビットデータの比較動作及びフェイルビットデータF B Dの出力動作の具体例について、図20を参照して説明する。

20

【 0 1 0 3 】

図20において、最初の8ビットデータ×8個の比較処理では不良ビット無しである場合を示している。この場合、比較器6 1 bは、テスト用インターフェイス4 3から入力されるR E _ c o m pクロック信号に応じて、8ビットデータ分の比較結果を示すフラグF L G (1ビットデータ)を× 1出力バッファ5 4 cに出力する。フラグF L Gは、上記のように8ビット全てのデータが一致した場合はフラグF L G = 0である。

【 0 1 0 4 】

図20において、次の8ビットデータ×8個の比較処理では不良ビット有りである場合を示している。この場合、比較器6 1 bは、同様に、テスト用インターフェイス4 3から入力されるR E _ c o m pクロック信号に応じて、8ビットデータ×8個分の比較結果を示すフラグF L G (1ビットデータ)を× 1出力バッファ5 4 cに順次出力する。フラグF L Gは、上記のように8ビットのうち1ビットでも一致しない場合はフラグF L G = 1である。また、シフトレジスタ8 1 aは、アドレス 0 から 7 に対応付けて比較器6 1 bから入力される8ビットデータ×8個分の比較結果の中から不良ビットが有った8ビットデータのみをラッチする。すなわち、図20に示す8ビットデータ×8個のうち、不良ビットを含む3個の8ビットデータのみが、シフトレジスタ8 1 a内のアドレス 0、1、6にラッチされる。そして、シフトレジスタ8 1 aは、テスト用インターフェイス4 3から入力されるフェイルビット読出信号R E _ f bのクロックサイクルに応じて、格納した8ビットデータ毎のフェイルビットデータF B Dを時分割で出力する。

30

【 0 1 0 5 】

図20では、8ビット分のフラグF L Gと8ビット分のフェイルビットデータF B Dが含まれる11ビット構成のデータコード出力時に、そのデータコードに含まれるD u m m y B i tにフラグF L Gの出力であるか、又は、フェイルビットデータF B Dの出力であるかを示すデータを設定する例を示している。例えば、フラグF L Gを出力する場合はD u m m y B i tに0を設定し、フェイルビットデータF B Dを出力する場合はD u m m y B i tに1を設定するものとする。

40

【 0 1 0 6 】

図20では、上記8ビットデータ×8個内に不良ビットを含むフラグF L Gが出力された後、シフトレジスタ8 1 aからは8ビットデータ単位に不良ビットが発生した位置(アドレス 0 から 7)に対応付けられた不良ビットを含む8ビット構成のフェイルビット

50

データ F B D が順次出力される。

【 0 1 0 7 】

具体的には、図 2 0 に示すように、図中の 8 ビットデータ × 8 個内の左端の 8 ビットデータ、すなわち、シフトレジスタ 8 1 a 内のアドレス 0 に格納された 8 ビットデータには 1 つの不良ビットが含まれており、この不良ビットの発生位置を示すデータ “ 1 ” (正常ビットは “ 0 ”) を含む 8 ビットのフェイルビットデータ F B D を 1 1 ビット構成のデータコードとして出力する。続いて、図中の 8 ビットデータ × 8 個内の左から 2 番目の 8 ビットデータ、すなわち、シフトレジスタ 8 1 a 内のアドレス 1 に格納された 8 ビットデータには 2 つの不良ビットが含まれており、この不良ビットの発生位置を示すデータ “ 1 ” (正常ビットは “ 0 ”) を含む 8 ビットのフェイルビットデータ F B D を 1 1 ビット構成のデータコードとして出力する。なお、図中の × は不良ビットを示す。

10

【 0 1 0 8 】

続いて、図中の 8 ビットデータ × 8 個内の左から 7 番目の 8 ビットデータ、すなわち、シフトレジスタ 8 1 a 内のアドレス 6 に格納された 8 ビットデータには 1 つの不良ビットが含まれており、この不良ビットの発生位置を示すデータ “ 1 ” (正常ビットは “ 0 ”) を含む 8 ビットのフェイルビットデータ F B D を 1 1 ビット構成のデータコードとして出力する。これらフェイルビットデータ F B D を出力する際には、D u m m y B i t に 1 を設定する。

【 0 1 0 9 】

以上のように、本第 4 の実施の形態では、他のテスト動作に際して 8 ビットデータの比較結果として不良の有無を示すフラグ F L G を出力するとともに、その不良ビットの発生位置を示す詳細なフェイルビットデータ F B D のみを出力するようにしたため、更にテスト時間を短縮することが可能になる。

20

【 0 1 1 0 】

(第 5 の実施の形態)

本発明の第 5 の実施の形態は、N A N D 型フラッシュメモリチップのテストピン数を削減するとともに、テストの結果として不良ビットのアドレス情報の出力を可能とし、テスト時間を短縮する例を説明するものである。

【 0 1 1 1 】

図 2 1 は、本発明の第 5 の実施の形態に係る N A N D 型フラッシュメモリチップ 1 0 内のデータ入出力部 9 0 の回路構成を示す図である。図 2 1 に示すデータ入出力部 9 0 において、図 1 0 に示したデータ入出力部 5 0、図 1 1 に示したデータ入出力部 6 0、図 1 4 に示したデータ入出力部 7 0 及び図 1 6 に示したデータ入出力部 8 0 と同一の構成部分には同一符号を付しており、その構成説明は省略する。

30

【 0 1 1 2 】

× 1 モードデータ出力部 9 1 は、× 8 ラッチ回路 5 4 a と、時分割回路 5 4 b と、× 1 出力バッファ 5 4 c と、データパターン用シフトレジスタ 7 1 a と、比較器 6 1 b と、シフトレジスタ 8 1 a と、を有する。

【 0 1 1 3 】

比較器 6 1 b は、8 ビットデータ × 8 個分の比較結果を示すフラグ F L G を 8 サイクルの間に × 1 出力バッファ 5 4 c 及びシフトレジスタ 8 1 a に順次出力する。

40

【 0 1 1 4 】

シフトレジスタ 8 1 a は、比較器 6 1 b から入力されるフラグ F L G のうち、不良ビットのアドレス情報のみを格納し、メモリセルアレイ 2 1 からのデータ読出終了後に格納した不良ビットのアドレス情報をフェイルビットアドレスデータ F B A として出力する。このフェイルビットアドレスデータ F B A は、出力 F B A バスを介して時分割回路 5 4 b に出力される。

【 0 1 1 5 】

次に、第 5 の実施の形態に係る N A N D 型フラッシュメモリチップ 1 0 内のテスト動作について図 2 2 に示すフローチャートを参照して説明する。

50

【0116】

図22においてテスト動作を開始すると、図21の比較器61bは、x8ラッチ回路54aにラッチされた8ビットデータとデータパターン用シフトレジスタ71aから入力される8ビットのデータパターンとを比較して、比較結果を含む8ビットデータをシフトレジスタ81aに出力するとともに、その8ビットデータ分の比較結果を示すフラグFLG(1ビット)をx1出力バッファ54cに出力する(ステップS301)。この時、比較器61bは、上記第2の実施の形態において説明したように、1サイクル毎に8ビットデータとデータパターンとの比較を実行して、その8ビットデータ毎の比較結果を示すフラグFLGをx1出力バッファ54cに順次出力する。また、比較器61bは、8ビットデータの比較結果をシフトレジスタ81aに出力する。

10

【0117】

次いで、シフトレジスタ81aは、比較器61bから入力される8ビットデータのうち、不良ビットを含む8ビットデータのアドレス情報のみを読み出して格納する(ステップS302)。そして、比較器61b及びシフトレジスタ81aは、上記ステップS301及びステップS302の処理を8サイクル分繰り返し実行する(ステップS303)。この8サイクル分の動作により、シフトレジスタ81aは、比較器61bから入力される8ビットデータのうち、8ビットデータ内の不一致(不良ビット)のアドレス情報のみを順次格納する。

【0118】

次に、比較器61bは、同一ページ内の最終カラムまでデータ比較処理を実行したか否かを確認する(ステップS304)。最終カラムに達していない場合は(ステップS304:NO)、ステップS301に戻り、再度、ステップS301~ステップS303の処理を実行する。また、最終カラムに達している場合は(ステップS304:YES)、ステップS305に移行する。

20

【0119】

次いで、x1のシフトレジスタ読み出しコマンドが入力されると、シフトレジスタ81aの出力FBAバスが時分割回路54bの入力として選択される(ステップS305)。シフトレジスタ81aは、テスト用インターフェイス43から入力されるRE__fbクロック信号に応じて、8ビット単位でアドレスデータをFBAバスを介して時分割回路54bに出力し、格納した8ビットデータを11ビット構成のフェイルビットデータとして時分割で出力して(ステップS306)、本テスト動作を終了する。

30

【0120】

次に、上記テスト動作による8ビットデータの比較動作及びデータコードの出力動作の具体例について、図23を参照して説明する。

【0121】

図23において、最初の8ビットデータx8個の比較処理では不良ビット無しである場合を示している。この場合、比較器61bは、テスト用インターフェイス43から入力されるRE__compクロック信号に応じて、8ビットデータ分の比較結果を示すフラグFLG(0の1ビットデータ)をx1出力バッファ54cに出力する。フラグFLGは、上記のように8ビット全てのデータが一致した場合はフラグFLG=0である。そして、x1出力バッファ54cは、8ビット分のフラグFLG(0のみの1ビットx8個)を含む11ビット構成のデータコードとして出力する。

40

【0122】

図23において、次の8ビットデータx8個の比較処理では不良ビット有りである場合を示している。この場合、比較器61bは、同様に、テスト用インターフェイス43から入力されるRE__compクロック信号に応じて、8ビットデータx8個分の比較結果を示すフラグFLG(1ビットデータ)をx1出力バッファ54cに順次出力する。フラグFLGは、上記のように8ビットのうち1ビットでも一致しない場合はフラグFLG=1である。そして、x1出力バッファ54cは、8ビット分のフラグFLG(0及び1の1ビットデータ)を含む11ビット構成のデータコードとして出力する。この場合、8ビット

50

トデータ×8個には4個の不良ビットが含まれており、これら不良ビットのアドレス情報はシフトレジスタ81aに格納される。

【0123】

以後、図23において、不良ビット無しの8ビットデータ×8個の比較処理では、同様に8ビット分のフラグFLAG(0のみの1ビット×8個)を含む11ビット構成のデータコードが×1出力バッファ54cから出力される。

【0124】

上記データコードの出力が終了した後、シフトレジスタ81aに格納された不良ビットのアドレス情報は、テスト用インターフェイス43から入力されるフェイルビット読出信号RE_fbのクロックサイクルに応じて、フェイルビットアドレスデータFBAとして順次出力される。この場合、アドレス情報は、メモリセルアレイ21内のメモリブロックのページ長が、例えば、8kByteである場合、ビット数13Bitのデータとして出力されるものとする。したがって、1サイクル(11クロック)では一度にアドレスデータを出力できないため、2サイクル(11クロック×2)でアドレスを出力することになる。

10

【0125】

以上のように、第5の実施の形態では、テスト動作に際して8ビットデータの比較結果として不良の有無を示すフラグFLAGを出力するとともに、その不良ビットの発生位置を示すアドレス情報をフェイルビットアドレスデータFBAとして出力するようにしたため、8ビットデータ×8個のデータ比較処理中にどの8ビットデータに不良ビットが含まれるかを知ることができるとともに、その不良ビットの発生位置を知ることができる。その結果、テスト2のコストを低減できるとともに、テスト時間の短縮を実現することが可能になる。

20

【0126】

(第6の実施の形態)

本発明の第6の実施の形態は、NAND型フラッシュメモリチップのテストピン数を削減するとともに、不良ビットが多いメモリブロックのテスト結果を出力する場合の時間を短縮して、テスト時間を短縮する例を説明するものである。

【0127】

図24は、本発明の第6の実施の形態に係るNAND型フラッシュメモリチップ10内のデータ入出力部100の回路構成を示す図である。図24に示すデータ入出力部100において、図10に示したデータ入出力部50、図11に示したデータ入出力部60、図14に示したデータ入出力部70及び図16に示したデータ入出力部80と同一の構成部分には同一符号を付しており、その構成説明は省略する。

30

【0128】

第6の実施の形態に係るNAND型フラッシュメモリチップ10内のデータ入出力部100は、メモリセルアレイ21においてROW不良のように予めページ内のほぼ全てのビットが不良ビットあることが判明している場合に、そのページ内のデータを反転して読み出すことにより、不良ビットが多い場合のテスト結果の出力時間を短縮し、テスト時間の短縮を図るとともに不良ビットの詳細を出力することを可能にする。

40

【0129】

データ入出力部100は、読出データを反転させる機能として、反転・変更判定回路102を有する。反転・変更判定回路102は、メモリセルアレイ21内のあるページから読み出したデータに含まれる不良ビット数に基づいて、読出データを反転・変更する必要がある否かを判定する。さらに、×1モードデータ出力部101は、反転・変更回路101aを有する。反転・変更回路101aは、反転・変更判定回路102において反転・変更が必要であると判定された場合に活性化されて、データパターン用シフトレジスタ71aから読み出すデータパターンを反転・変更する。

【0130】

反転・変更判定回路102は、シフトレジスタ81aに格納された8ビットデータ×8

50

個分の比較結果を示すフラグ F L G に含まれる不良ビット数 (F L G = 1) が所定数 (例えば、全体の半数以上) の場合に、読出データを反転・変更する必要があると判定して反転・変更回路 1 0 1 a を活性化する。

【 0 1 3 1 】

本第 6 の実施の形態では、反転・変更判定回路 1 0 2 を起動させるテストモードとして、テスト 2 からテストモード信号 T E S T 2 が入力されるように構成している。また、テストモード信号 T E S T 2 が入力された場合に、テスト用インターフェイス 4 3 から比較器 6 1 b に対して制御信号 I N V J D が入力されるように構成している。この制御信号 I N V J D は、比較器 6 1 b がメモリセルアレイ 2 1 内のページからデータを読み出す際のカラムアドレスの範囲を設定する信号である。カラムアドレスの範囲としては、例えば、ページ内の先頭から数カラム分のカラムアドレスと最後から数カラム分のカラムアドレスを指定する。すなわち、ページ内で離散した複数のカラムアドレスからデータを読み出すことにより、隣接したカラムアドレスからデータを読み出す場合よりもページ内に含まれる不良ビット数を判定する際の精度を上げることが可能である。なお、データを読み出すカラムアドレスの範囲は、限定するものではなく、メモリセルアレイ内のページ容量等に応じて適宜変更してもよい。

10

【 0 1 3 2 】

比較器 6 1 b は、テスト用インターフェイス 4 3 から制御信号 I N V J D (“ H i g h ”) が入力されると、上記ページ内の複数のカラムアドレスから順次 8 ビットデータを読み出し、データパターン用シフトレジスタ 7 1 a から読み出したデータパターンと比較し、その 8 ビットデータ分の比較結果をシフトレジスタ 8 1 a に格納する。この時、反転・変更回路 1 0 1 a は活性化されておらず、データパターン用シフトレジスタ 7 1 a から読み出されるデータパターンは反転されずに比較器 6 1 b に入力される。

20

【 0 1 3 3 】

反転・変更回路 1 0 2 は、シフトレジスタ 8 1 a に格納された離散する複数のカラムアドレスの 8 ビットデータ × 8 個の比較結果を示すフラグ F L G に含まれる不良ビット数が所定数 (例えば、全体の半数以上) が否かにより反転・変更が必要か否かを判定する。

【 0 1 3 4 】

次に、第 6 の実施の形態に係る N A N D 型フラッシュメモリチップ 1 0 内のテスト動作について図 2 5 に示すフローチャートを参照して説明する。

30

【 0 1 3 5 】

図 2 5 において、テスト動作を開始し、テスト 2 から N A N D 型フラッシュメモリチップ 1 0 内のデータ入出力部 1 0 0 のテスト用インターフェイス 4 3 にテストモード信号 T E S T 2 が入力されると (ステップ S 4 0 1) 、テスト用インターフェイス 4 3 は、制御信号 I N V J D (“ H i g h ”) を比較器 6 1 b に入力する。また、テストモード信号 T E S T 2 は、反転・変更判定回路 1 0 2 に入力されて反転・変更判定回路 1 0 2 を起動させる。

【 0 1 3 6 】

比較器 6 1 b は、制御信号 I N V J D (“ H i g h ”) が入力されると、メモリセルアレイ 2 1 内のあるページのカラムアドレス 0 及び最終カラムアドレスから各数カラムアドレス分の 8 ビットデータを順次読み出し、データパターン用シフトレジスタ 7 1 a から読み出したデータパターンと比較する (ステップ S 4 0 2) 。比較器 6 1 b は、8 ビットデータ × 8 個分の比較結果を示すフラグ F L G (8 ビット) をシフトレジスタ 8 1 a に格納する。

40

【 0 1 3 7 】

次いで、反転・変更判定回路 1 0 2 は、シフトレジスタ 8 1 a に格納された 8 ビットデータ × 8 個分の比較結果を示すフラグ F L G (8 ビット) に基づいて、その 8 ビットのフラグ F L G のうち不良ビットを含むフラグ F L G (F L G = 1) が半数以上有るか否かにより当該ページが R O W 不良か否かを判定する (ステップ S 4 0 3) 。反転・変更判定回路 1 0 2 は、R O W 不良であると判定した場合は (ステップ S 4 0 3 : Y E S) 、ステップ S

50

404に移行して反転・変更回路101aを活性化する。また、反転・変更判定回路102は、ROW不良でないとは判定した場合は(ステップS403:NO)、ステップS405に移行する。

【0138】

以下、ステップS404において反転・変更回路101aが起動された場合のステップS405以降の動作について説明する。

【0139】

ステップS405において、比較器61bは、メモリセルアレイ21のROW不良と判定されたページから比較対象の8ビットデータを読み出し、データパターン用シフトレジスタ71aから8ビットのデータパターンを読み出して比較する。この場合、データパターン用シフトレジスタ71aから読み出されるデータは、反転・変更回路101aにより反転・変更が行われる。すなわち、データパターンの“0”は“1”に反転され、“1”は“0”に反転される。したがって、8ビット分の比較結果では、一致したビット(以下、正常ビットという)が“1”となり、不一致のビット(以下、不良ビットという)が0となる。また、不良ビットを含む8ビットデータ分の比較結果を示すフラグFLGは“0”となり、不良ビットを含まない8ビットデータ分の比較結果を示すフラグFLGは“1”となる。

10

【0140】

次いで、比較器61bは、上記比較結果を示す8ビットデータ分の比較結果をシフトレジスタ81aに出力するとともに、その比較結果を示すフラグFLGをx1出力バッファ54cに出力する。シフトレジスタ81aは、比較器61bから入力される8ビットデータ分の比較結果のうち、正常ビットを含む8ビットデータのみをカラムアドレス0~7に対応付けて格納する(ステップS406)。

20

【0141】

次いで、比較器61b及びシフトレジスタ81aは、上記ステップS405及びステップS406の処理を8サイクル分繰り返し実行する(ステップS407)。この8サイクル分の動作により、シフトレジスタ81aは、比較器61bから入力される8ビットデータのうち、正常ビットを含む8ビットデータのみをカラムアドレス0~7に対応付けて順次格納する。

30

【0142】

次いで、シフトレジスタ81aは、8ビットデータx8個の比較処理を行った8サイクル中に不良ビットが有るか否かを判定する(ステップS408)。この場合、8ビットデータ内では“1”が正常ビットであることを示しており、この“1”が有る場合に(ステップS408:YES)、ステップS409に移行する。

【0143】

ステップS409において、シフトレジスタ81aは、更にカラムアドレス0~7に格納した8ビットデータ毎に不良ビットが有るか否かを確認する。この場合、8ビットデータ内では“1”が正常ビットであることを示しており、この“1”が有る場合に(ステップS409:YES)、ステップS410に移行する。

40

【0144】

ステップS410において、シフトレジスタ81aは、不良ビットを含む8ビットデータをフェイルビットデータFBDとして時分割で出力する。そして、シフトレジスタ81aは、上記ステップS410のフェイルビットデータFBDの時分割出力処理を8サイクル分繰り返し実行する(ステップS411)。この場合、8サイクル分の各フェイルビットデータFBDには、不良ビットが“0”、正常ビットが“1”として設定されており、上記11ビット構成のデータコードとして出力される。このデータコードには、上記Dummy Bitに“1”が設定される。このDummy Bitに“1”を設定した場合は、フェイルビットデータFBDの出力であることを示す。

【0145】

次に、比較器61bは、同一ページ内の最終カラムまでデータ比較処理を実行したか否

50

かを確認する(ステップS 4 1 2)。最終カラムに達していない場合は(ステップS 4 1 2 : N O)、ステップS 4 0 5に戻り、再度、ステップS 4 0 5～ステップS 4 1 1の処理を実行する。また、最終カラムに達している場合は(ステップS 4 1 2 : Y E S)、本テスト動作を終了する。

【0 1 4 6】

また、上記ステップS 4 0 4において反転・変更回路1 0 1 aが起動されない場合のステップS 4 0 5以降の動作について説明する。

【0 1 4 7】

ステップS 4 0 5において、比較器6 1 bは、メモリセルアレイ2 1のあるページから比較対象の8ビットデータを読み出し、データパターン用シフトレジスタ7 1 aから8ビットのデータパターンを読み出して比較する。そして、比較器6 1 bは、8ビットデータ分の比較結果をシフトレジスタ8 1 aに出力するとともに、その8ビットデータ分の比較結果を示すフラグF L G (1ビットデータ)をx 1出力バッファ5 4 cに出力する。この場合、データパターン用シフトレジスタ7 1 aから読み出されたデータパターンは反転されていない。したがって、8ビット分の比較結果では、正常ビットが“0”となり、不良ビットが“1”となる。また、不良ビットを含む場合のフラグF L Gは“1”となり、不良ビットを含まない場合のフラグF L Gは“0”となる。

【0 1 4 8】

次いで、シフトレジスタ8 1 aは、比較器6 1 bから入力される8ビットデータのうち、不良ビットを含む8ビットデータのみをカラムアドレス 0～7に対応付けて格納する(ステップS 4 0 6)。そして、比較器6 1 b及びシフトレジスタ8 1 aは、上記ステップS 4 0 5及びステップS 4 0 6の処理を8サイクル分繰り返し実行する(ステップS 4 0 7)。この8サイクル分の動作により、シフトレジスタ8 1 aは、比較器6 1 bから入力される8ビットデータのうち、不良ビットを含む8ビットデータのみをカラムアドレス 0～7に対応付けて順次格納する。また、比較器6 1 bは、8ビットデータx 8個分の比較結果を示すフラグF L Gをx 1出力バッファ5 4 cに順次出力する。

【0 1 4 9】

次いで、シフトレジスタ8 1 aは、8ビットデータx 8個の比較処理を行った8サイクル中に不良ビットが有るか否かを判定する(ステップS 4 0 8)。不良ビットが無い場合は(ステップS 4 0 8 : N O)、ステップS 4 1 2に移行する。また、不良ビットが有る場合は(ステップS 4 0 8 : Y E S)、ステップS 4 0 9に移行する。

【0 1 5 0】

ステップS 4 0 9において、シフトレジスタ8 1 aは、更に格納した8ビットデータ毎に不良ビットが有るか否かを確認する。不良ビットが無い場合は(ステップS 4 0 9 : N O)、ステップS 4 1 1に移行する。また、不良ビットが有る場合は(ステップS 4 0 9 : Y E S)、ステップS 4 1 0に移行する。

【0 1 5 1】

ステップS 4 1 0において、シフトレジスタ8 1 aは、不良ビットが含まれる8ビットデータをフェイルビットデータF B Dとして時分割で出力する。そして、シフトレジスタ8 1 aは、上記ステップS 4 1 0のフェイルビットデータF B Dの時分割出力処理を8サイクル分繰り返し実行する(ステップS 4 1 1)。

【0 1 5 2】

次に、比較器6 1 bは、同一ページ内の最終カラムまでデータ比較処理を実行したか否かを確認する(ステップS 4 1 2)。最終カラムに達していない場合は(ステップS 4 1 2 : N O)、ステップS 4 0 5に戻り、再度、ステップS 4 0 5～ステップS 4 1 1の処理を実行する。また、最終カラムに達している場合は(ステップS 4 1 2 : Y E S)、本テスト動作を終了する。

【0 1 5 3】

次に、上記テスト動作による8ビットデータの比較動作及びフェイルビットデータF B Dの出力動作の具体例について、図2 6を参照して説明する。

10

20

30

40

50

【0154】

図26において、最初の8ビットデータ×8個の比較処理では、予めROW不良が判明しているページ内のデータであり、そのページ内のカラムアドレス0及び最終カラムアドレスから各数カラムアドレス分の8ビットデータが順次読み出され、データパターン用シフトレジスタ71aから読み出されたデータパターンと比較した結果を示すフラグFLAGが全て“1”である場合を示している。この場合、8ビットデータ×8個の比較結果を示すフラグFLAG(“1”×8個)は、11ビット構成のデータコードとして出力され、Dummy Bitには“0”が設定される。

【0155】

次いで、制御回路からテストモード信号TEST2がテスト用インターフェイス43及び反転・変更判定回路102に入力されて、反転・変更判定回路102が起動される。反転・変更判定回路102では、上記最初の8ビットデータ×8個の比較結果に基づいて、該当ページがROW不良であると判定されて反転・変更回路101aが活性化される。

【0156】

次いで、比較器61bは、ROW不良と判定されたページから比較対象のデータを読み出し、データパターン用シフトレジスタ71aからデータパターンを読み出して比較する。この場合、比較器61aは、データパターン用シフトレジスタ71aから読み出すデータは、反転・変更回路101aにより反転・変更が行われるため、反転・変更データとして読み出しを行う。したがって、8ビットデータ分の比較結果は、ALL=0となり、フラグFLAG=0となる。

【0157】

この場合、比較器61bは、テスト用インターフェイス43から入力されるRE__compクロック信号に応じて、8ビットデータ×8個分の比較結果を示すフラグFLAGを×1出力バッファ54c及びシフトレジスタ81aに順次出力する。また、シフトレジスタ81aは、アドレス0から7に対応付けて比較器61bから入力される8ビットデータ×8個分の比較結果であるフラグFLAGをラッチする。そして、シフトレジスタ81aは、テスト用インターフェイス43から入力されるフェイルビット読出信号RE__fbのクロックサイクルに応じて、格納した8ビットデータ×8個分のフェイルビットデータFBDを時分割で出力する。

【0158】

図26では、最初の8ビットデータ×8個分の比較結果を示すフェイルビットデータFBDを含むデータコードを出力する時に、そのデータコードに含まれるDummy Bitには1が設定される。このDummy Bitを1に設定することにより、ダミービットサイクルであることが示される。

【0159】

以上のように、ROW不良と判定されたページの8ビットデータ×8個分の比較結果は、8ビット構成のフェイルビットデータFBDが含まれる11ビット構成のデータコードとして出力されるため、比較結果の出力サイクルを削減することが可能になる。

【0160】

図26において、次の8ビットデータ×8個の比較処理では不良ビット無しとして示しているが、実際には、反転されたデータパターンと比較された結果であるため、全ビットは不良ビットである。この場合、比較器61bは、テスト用インターフェイス43から入力されるRE__compクロック信号に応じて、8ビットデータ×8個分の比較結果を示すフラグFLAGを×1出力バッファ54cに順次出力する。この場合、8ビットデータ×8個分の比較結果を示すフラグFLAGは全て“0”として出力される。実際には、反転した8ビットのデータパターンとの比較であるため、全て不良ビットを含む比較結果であると解釈する必要がある。

【0161】

図26において、次の8ビットデータ×8個の比較処理では不良ビット有りである場合を示している。この場合、比較器61bは、同様に、テスト用インターフェイス43から

10

20

30

40

50

入力される RE_comp クロック信号に応じて、8ビットデータ×8個分の比較結果を示すフラグ FLG (1ビットデータ) を×1出力バッファ 54c に順次出力する。フラグ FLG は、上記のように8ビットのうち1ビットでも一致しない場合はフラグ FLG = 1 である。また、シフトレジスタ 81a は、アドレス 0 から 7 に対応付けて比較器 61b から入力される8ビットデータ×8個分の比較結果の中から不良ビットが有った8ビットデータのみをラッチする。

【0162】

但し、この場合も反転した8ビットのデータパターンとの比較であるため、図中の“0”は不良ビット、“1”は正常ビットである。この場合、8ビットデータ×8個のうち、正常ビットを含む3個の8ビットデータのみが、シフトレジスタ 81a 内のアドレス 0、1、6 にラッチされる。そして、シフトレジスタ 81a は、テスト用インターフェイス 43 から入力されるフェイルビット読出信号 RE_fb のクロックサイクルに応じて、格納した8ビットデータ毎のフェイルビットデータ FBD を時分割で出力する。

10

【0163】

図26では、8ビット分のフラグ FLG と8ビット分のフェイルビットデータ FBD が含まれる11ビット構成のデータコード出力時に、そのデータコードに含まれる Dummy Bit にフラグ FLG の出力であるか、又は、フェイルビットデータ FBD の出力であるかを示すデータを設定する例を示している。例えば、フラグ FLG を出力する場合は Dummy Bit に0を設定し、フェイルビットデータ FBD を出力する場合は Dummy Bit に1を設定するものとする。

20

【0164】

図26では、上記8ビットデータ×8個内に正常ビットを含むフラグ FLG が出力された後、シフトレジスタ 81a からは8ビットデータ単位に正常ビットの位置(アドレス0から7)に対応付けられた不良ビットを含む8ビット構成のフェイルビットデータ FBD が順次出力される。

【0165】

具体的には、図26に示すように、図中の8ビットデータ×8個内の左端の8ビットデータ、すなわち、シフトレジスタ 81a 内のアドレス0に格納された8ビットデータには1つの正常ビットが含まれており、この正常ビットの位置を示すデータ“1”(不良ビットは“0”)を含む8ビットのフェイルビットデータ FBD を11ビット構成のデータコードとして出力する。続いて、図中の8ビットデータ×8個内の左から2番目の8ビットデータ、すなわち、シフトレジスタ 81a 内のアドレス1に格納された8ビットデータには2つの正常ビットが含まれており、この正常ビットの位置を示すデータ“1”(不良ビットは“0”)を含む8ビットのフェイルビットデータ FBD を11ビット構成のデータコードとして出力する。なお、図中の×は正常ビットを示す。

30

【0166】

続いて、図中の8ビットデータ×8個内の左から7番目の8ビットデータ、すなわち、シフトレジスタ 81a 内のアドレス6に格納された8ビットデータには1つの正常ビットが含まれており、この正常ビットの位置を示すデータ“1”(不良ビットは“0”)を含む8ビットのフェイルビットデータ FBD を11ビット構成のデータコードとして出力する。これらフェイルビットデータ FBD を出力する際には、Dummy Bit に1を設定する。

40

【0167】

以後、図中の8ビットデータ×8個の比較結果(全ビットが不良ビット)を示すフラグ FLG の時分割出力処理が上記と同様に実行される。

【0168】

以上のように、第6の実施の形態では、テスト動作に際して、予め不良ビットが多いと判明しているページ内のデータ比較結果の出力を短時間で実行することを可能にしたため、データ出力に要するテスト時間の短縮を図ることが可能になる。なお、本第6の実施の形態では、“1”が正常ビットであり、“0”が不良ビットであるものとしてデータ比較

50

処理を行う場合を示したが、正常ビットを“0”とし、不良ビットを“1”とした場合でも上記データ比較処理は適用可能である。

【図面の簡単な説明】

【0169】

【図1】本発明の実施の形態に係る半導体記憶装置のテストシステムの概略構成を示す図である。

【図2】本発明の実施の形態に係るNAND型フラッシュメモリチップ内の要部構成を示すブロック図である。

【図3】本発明の実施の形態に係るNAND型フラッシュメモリチップ内の入出力関連の構成を示す図である。

【図4】本発明の実施の形態に係るNAND型フラッシュメモリチップに入力される(a)はチップイネーブル/CEの入力波形、(b)はコマンドラッチイネーブルCLEの入力波形、(c)はアドレスラッチイネーブルALEの入力波形、(d)はライトイネーブル/WEの入力波形、(e)はリードイネーブル/REの入力波形、(f)はI/O0~I/O7パッド12a~12hに入力されるデータコードの各入力波形の一例を示す図である。

【図5】本発明の実施の形態に係るNAND型フラッシュメモリチップを接続するテストボードの一例を示す図である。

【図6】本発明の第1の実施の形態に係るNAND型フラッシュメモリチップ内の入出力関連の構成を示す図である。

【図7】本発明の第1の実施の形態に係るNAND型フラッシュメモリチップを接続するテストボードの一例を示す図である。

【図8】本発明の第1の実施の形態に係る(a)はデータコード入力時のデータフォーマットの一例を示す図、(b)はデータコード出力時のデータフォーマットの一例を示す図である。

【図9】本発明の第1の実施の形態に係る(a)はコマンド00h入力時の波形の一例を示す図、(b)はデータ出力時の波形の一例を示す図である。

【図10】本発明の第1の実施の形態に係るNAND型フラッシュメモリチップ内のデータ入出力部の回路構成を示す図である。

【図11】本発明の第2の実施の形態に係るNAND型フラッシュメモリチップ内のデータ入出力部の回路構成を示す図である。

【図12】本発明の第2の実施の形態に係る(a)はテストパッドに入力される信号の波形を示す図、(b)は第1の実施の形態のテスト動作に係る信号の波形を示す図、(c)は第2の実施の形態のテスト動作に係る信号の波形を示す図である。

【図13】本発明の第2の実施の形態に係る8ビットデータの比較処理と比較結果の一例を示す図である。

【図14】本発明の第3の実施の形態に係るNAND型フラッシュメモリチップ内のデータ入出力部の回路構成を示す図である。

【図15】本発明の第3の実施の形態に係る8ビットデータの比較処理と比較結果の一例を示す図である。

【図16】本発明の第4の実施の形態に係るNAND型フラッシュメモリチップ内のデータ入出力部の回路構成を示す図である。

【図17】本発明の第4の実施の形態に係るNAND型フラッシュメモリチップ内で実行されるテスト動作の一例を示すフローチャートである。

【図18】本発明の第4の実施の形態に係る8ビットデータの比較処理と比較結果の出力例を示す図である。

【図19】本発明の第4の実施の形態に係るNAND型フラッシュメモリチップ内で実行されるテスト動作の他の例を示すフローチャートである。

【図20】本発明の第4の実施の形態に係る8ビットデータの比較処理と比較結果の他の出力例を示す図である。

10

20

30

40

50

【図 2 1】本発明の第 5 の実施の形態に係る N A N D 型フラッシュメモリチップ内のデータ入出力部の回路構成を示す図である。

【図 2 2】本発明の第 5 の実施の形態に係る N A N D 型フラッシュメモリチップ内で実行されるテスト動作の一例を示すフローチャートである。

【図 2 3】本発明の第 5 の実施の形態に係る 8 ビットデータの比較処理と比較結果の出力例を示す図である。

【図 2 4】本発明の第 6 の実施の形態に係る N A N D 型フラッシュメモリチップ内のデータ入出力部の回路構成を示す図である。

【図 2 5】本発明の第 6 の実施の形態に係る N A N D 型フラッシュメモリチップ内で実行されるテスト動作の一例を示すフローチャートである。

【図 2 6】本発明の第 6 の実施の形態に係る 8 ビットデータの比較処理と比較結果の出力例を示す図である。

【符号の説明】

【 0 1 7 0 】

1 テストシステム

2 テスタ

3 テストボード

1 0 N A N D 型フラッシュメモリチップ

4 1 テストパッド

4 3 テスト用インターフェイス

5 0、6 0、7 0、8 0、9 0、1 0 0 データ入出力部

5 4、6 1、7 1、8 1、9 1、1 0 1 × 1 モードデータ出力部

5 4 a × 8 ラッチ回路

5 4 b 時分割回路

5 4 c × 1 出力バッファ

6 1 a データパターンラッチ回路

6 1 b 比較器

7 1 a データパターン用シフトレジスタ

8 1 a シフトレジスタ

1 0 1 a 反転・変更回路

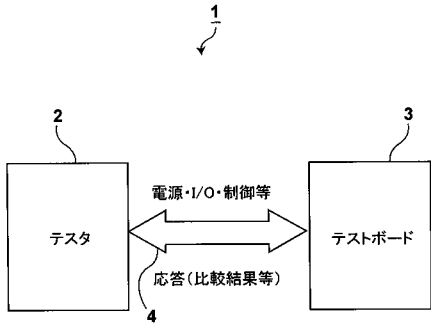
1 0 2 反転・変更判定回路

10

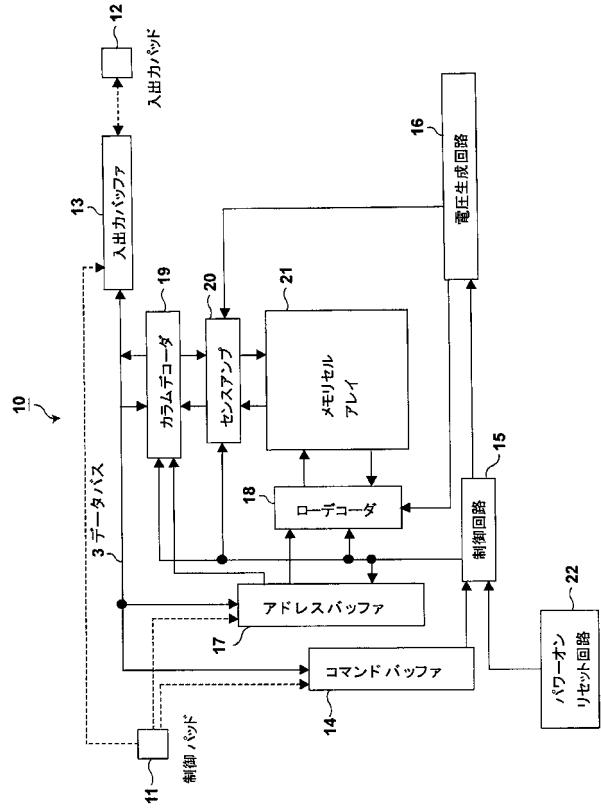
20

30

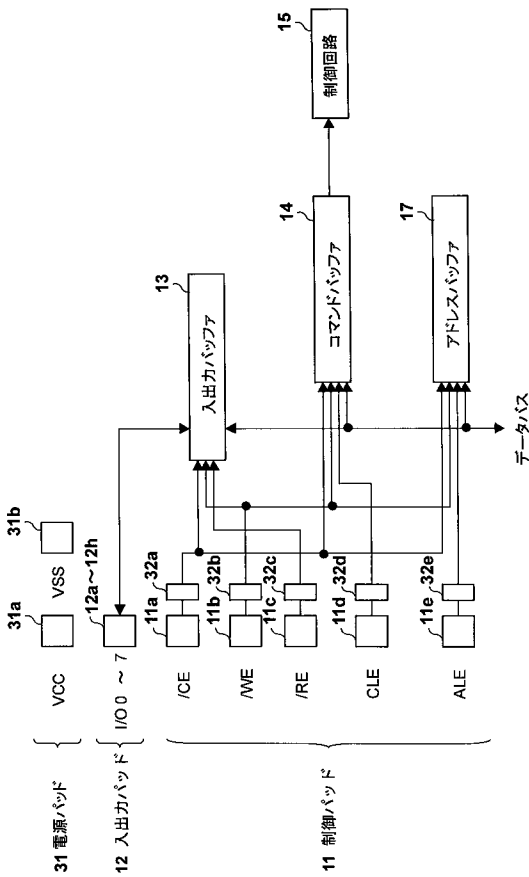
【 図 1 】



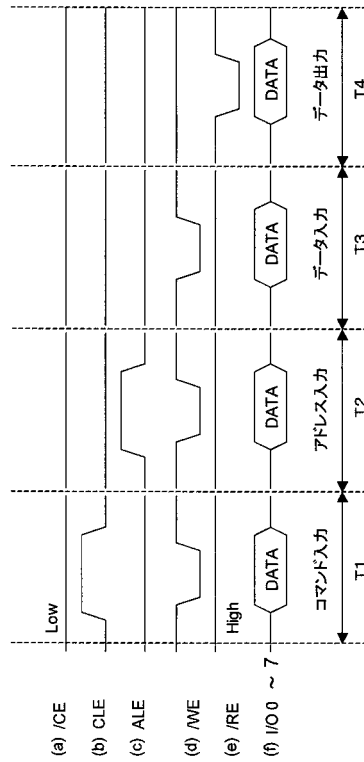
【 図 2 】



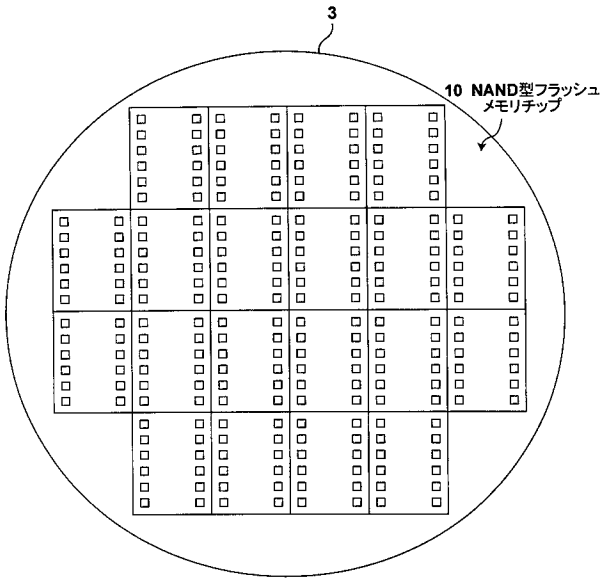
【 図 3 】



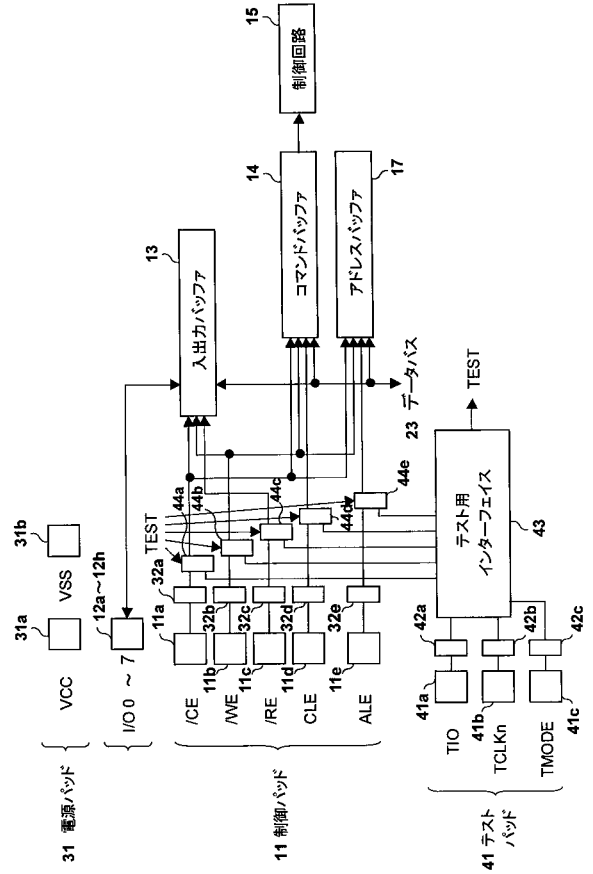
【 図 4 】



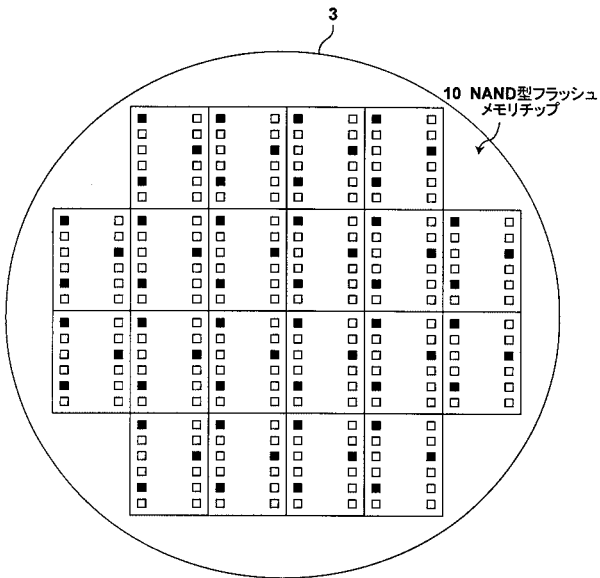
【 図 5 】



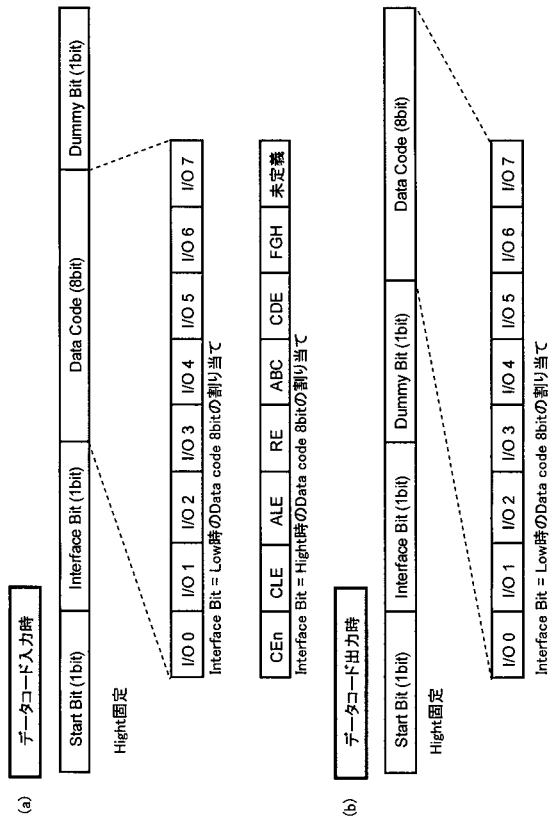
【 図 6 】



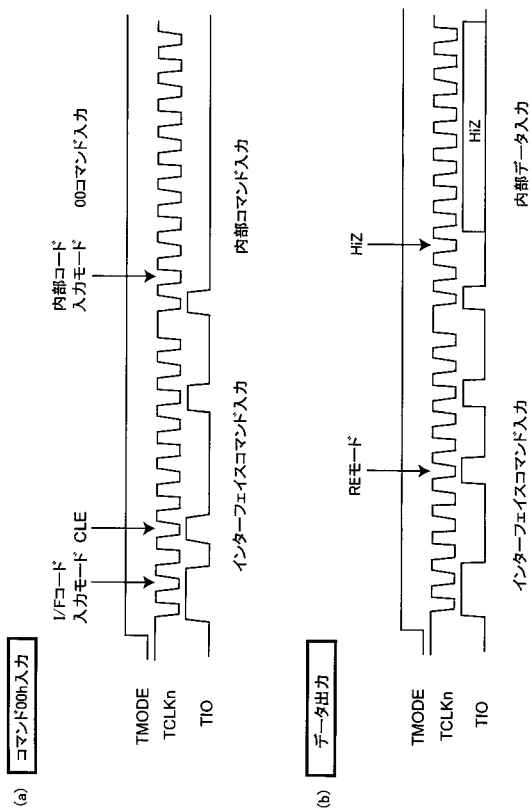
【 図 7 】



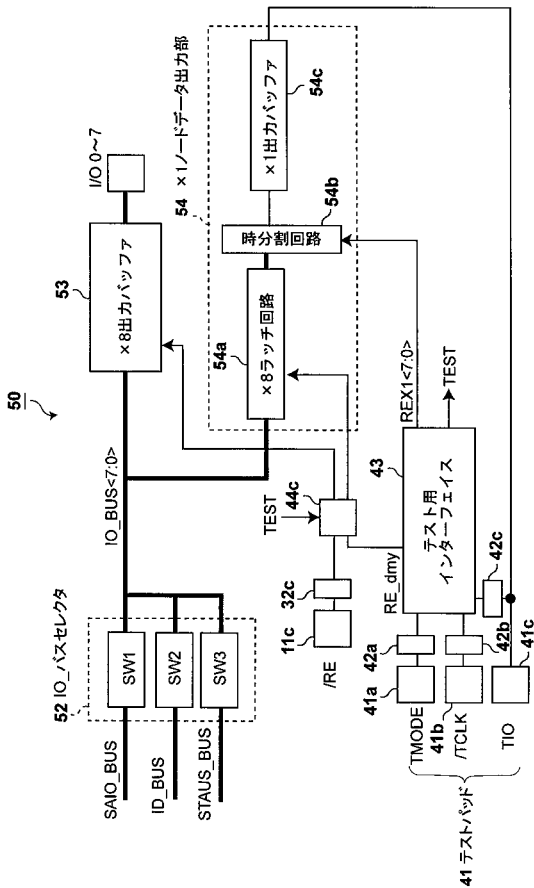
【 図 8 】



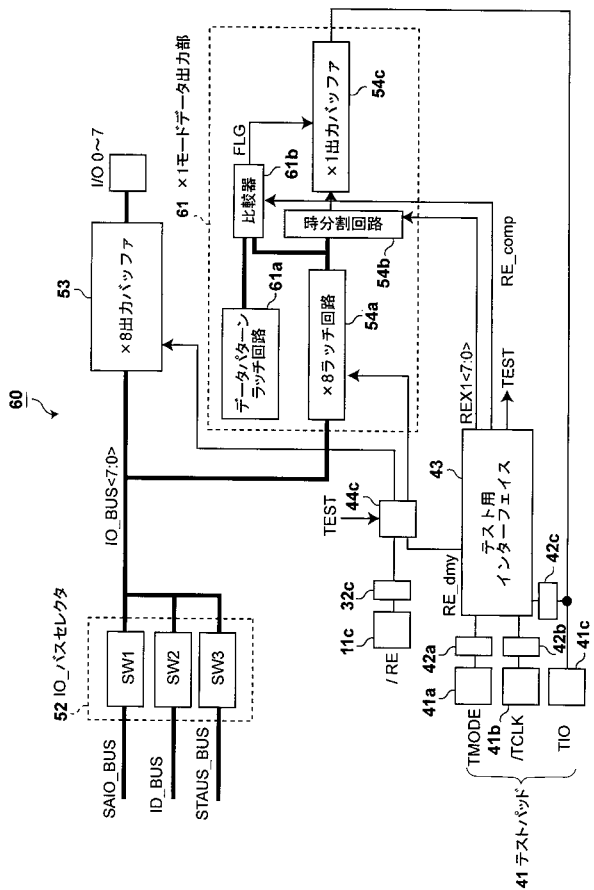
【 図 9 】



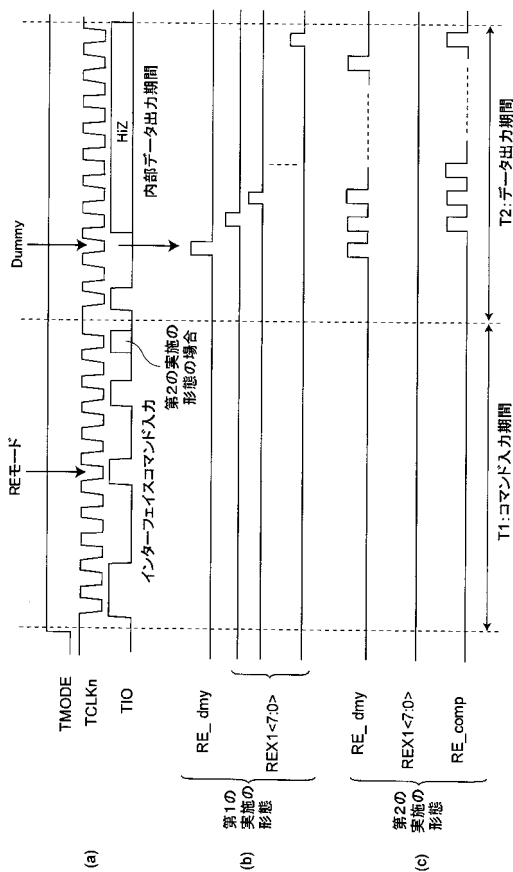
【 図 10 】



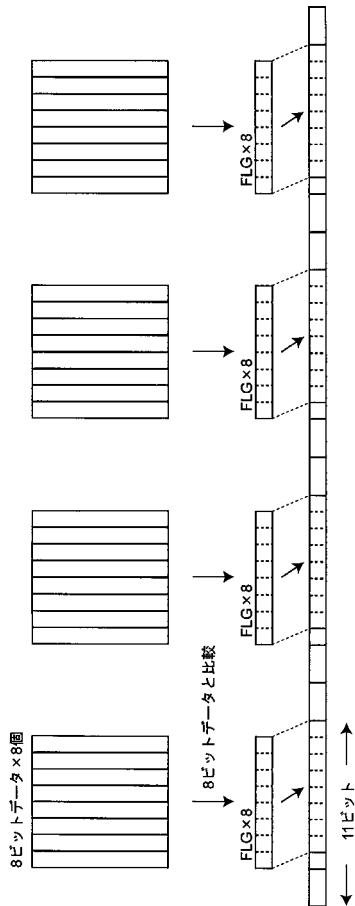
【 図 11 】



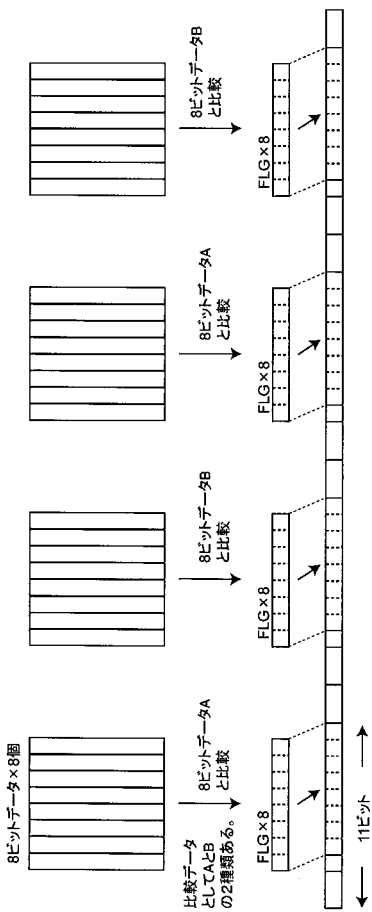
【 図 12 】



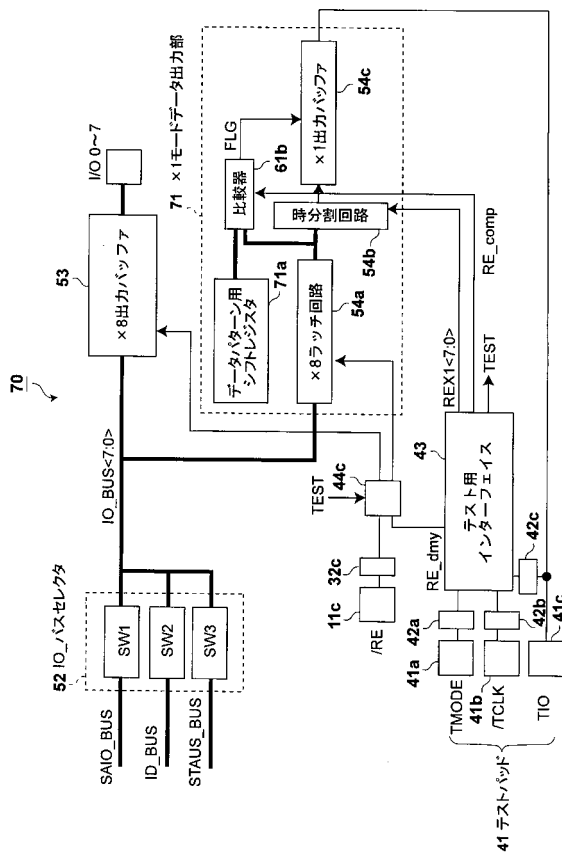
【図 13】



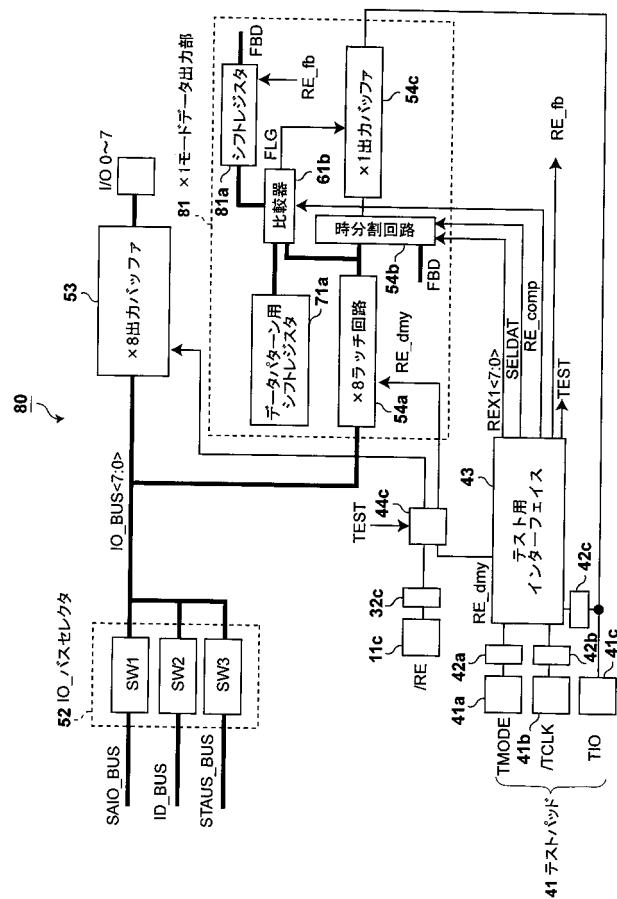
【図 15】



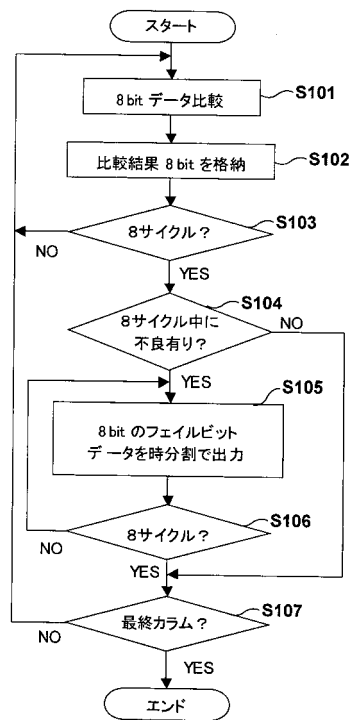
【図 14】



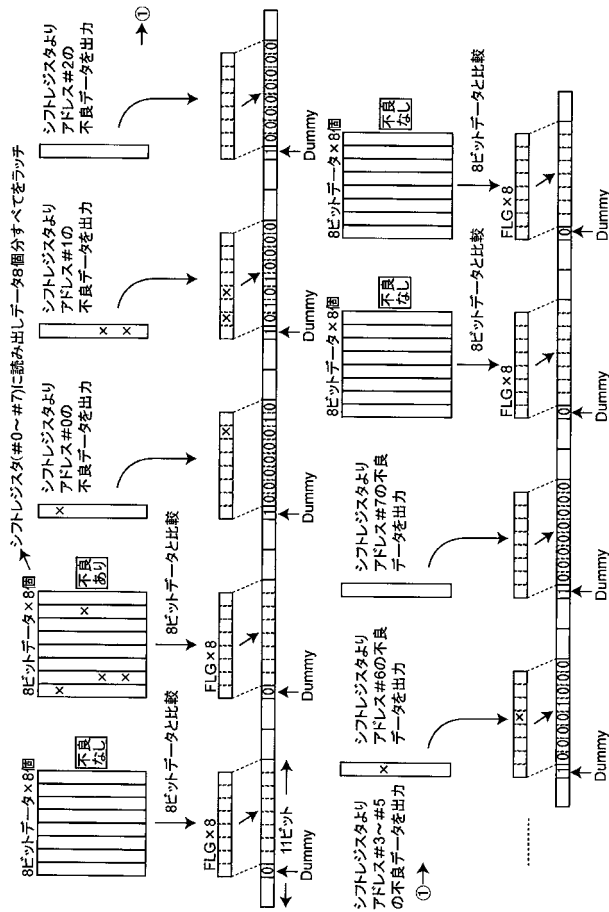
【図 16】



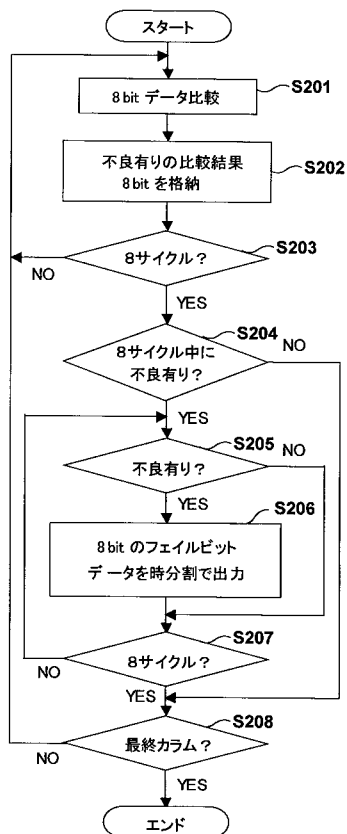
【 図 17 】



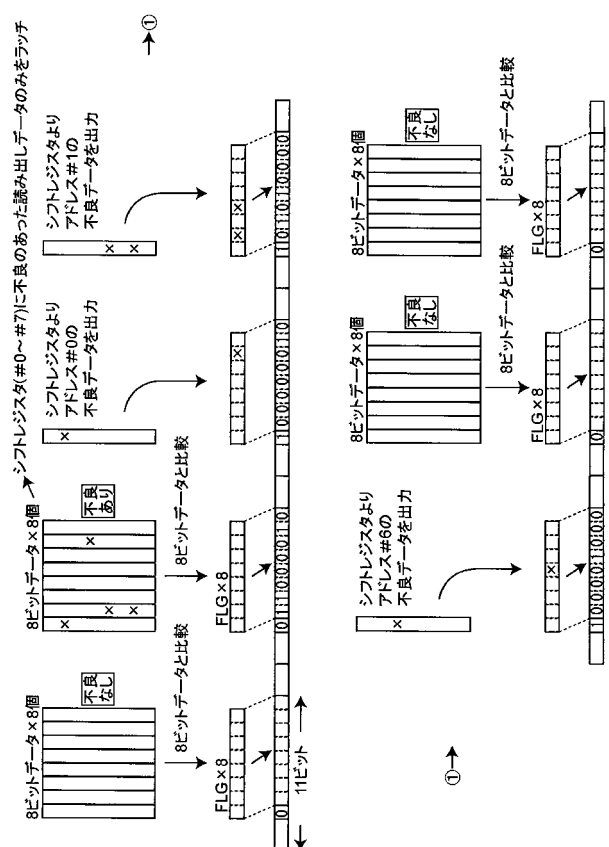
【 図 18 】



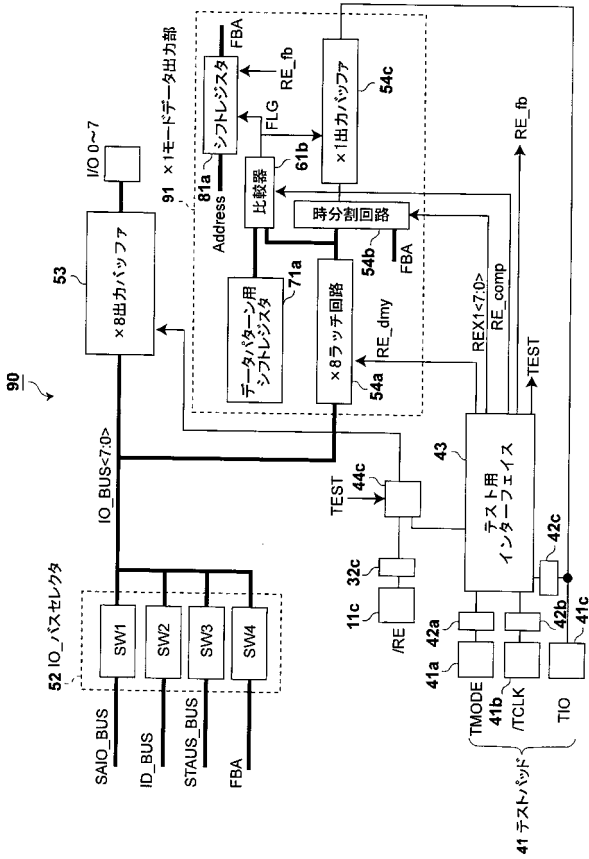
【 図 19 】



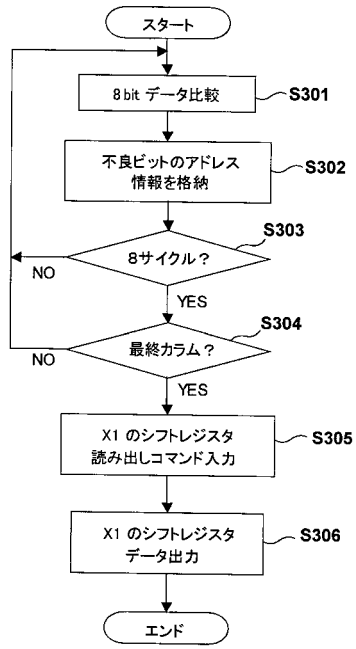
【 図 20 】



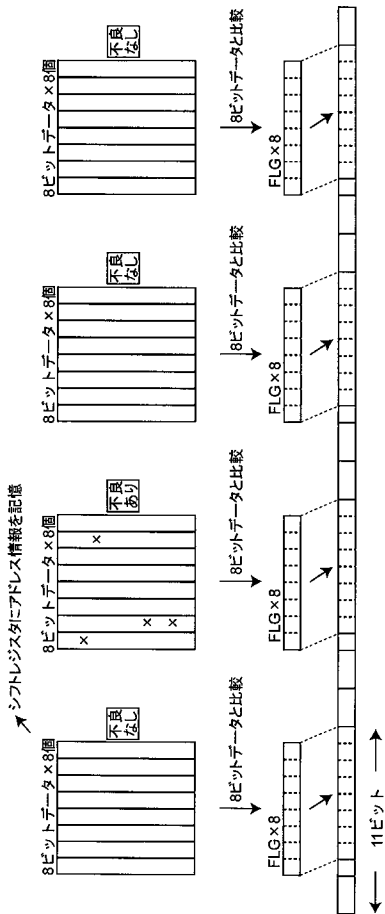
【図 2 1】



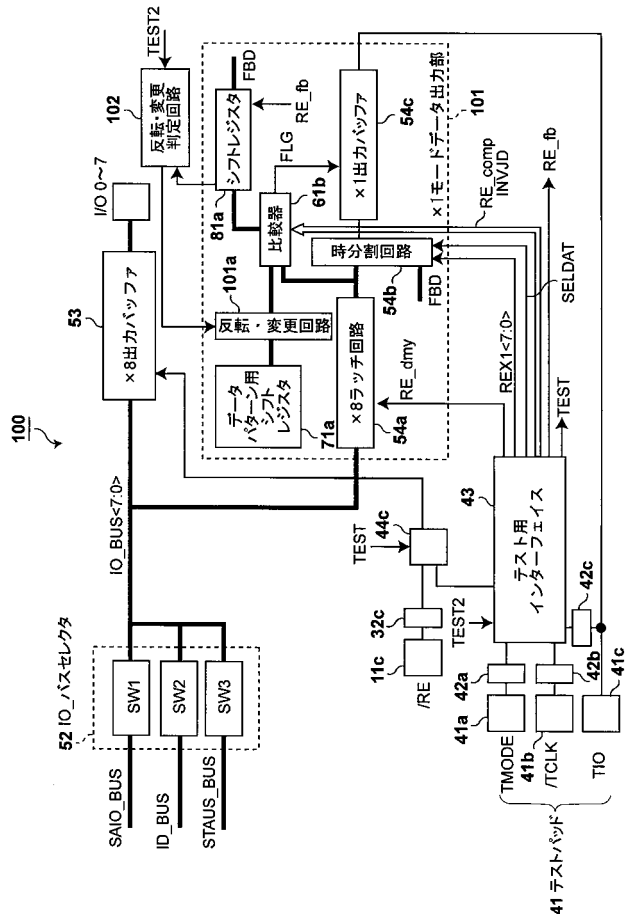
【図 2 2】



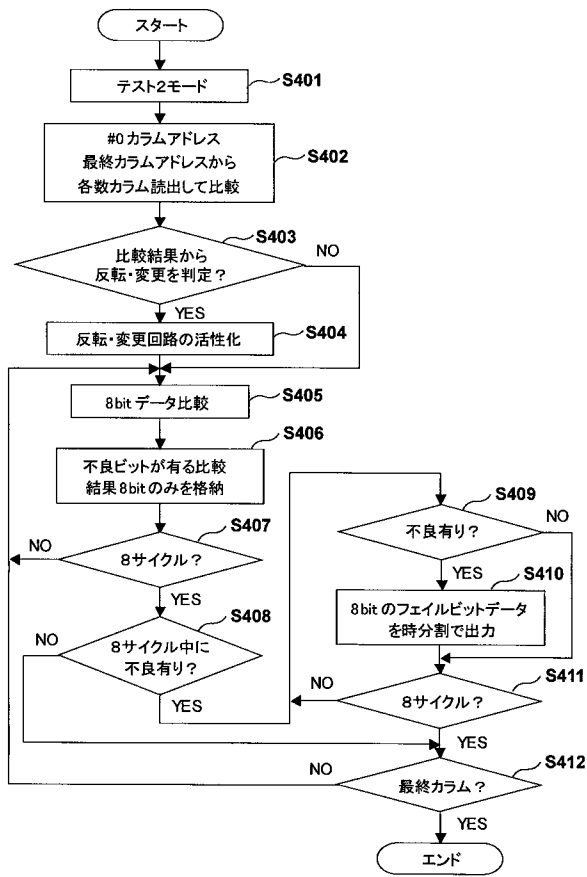
【図 2 3】



【図 2 4】



【図25】



【図26】

