



[12] 发明专利说明书

专利号 ZL 200710091805.1

[45] 授权公告日 2009 年 12 月 2 日

[11] 授权公告号 CN 100565706C

[22] 申请日 2007.3.23

审查员 孙薇薇

[21] 申请号 200710091805.1

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

[30] 优先权

代理人 朱智勇

[32] 2006.3.24 [33] JP [31] 2006-083189

[73] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 大泽隆

[56] 参考文献

CN1702770A 2005.11.30

US4947376A 1990.8.7

US6285591B1 2001.9.4

CN1171599A 1998.1.28

CN1469482A 2004.1.21

JP8-235862A 1996.9.13

JP5-144277A 1993.6.11

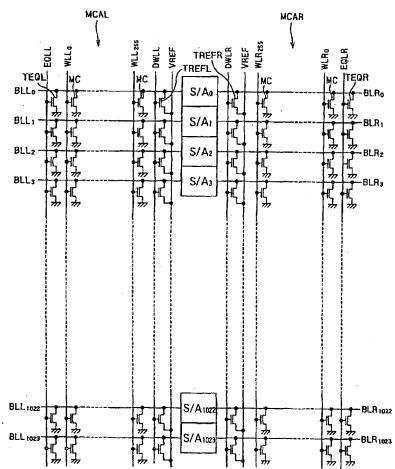
权利要求书 5 页 说明书 24 页 附图 29 页

[54] 发明名称

半导体存储器件

[57] 摘要

本发明涉及一种半导体存储器件，其包括：包括处在电浮动状态的浮动体的存储单元，用来按照浮动体内多数载流子的数目存储数据；接到存储单元的栅极上的字线；接到存储单元上的第一位线，用来发送数据；发送用来检测存储在存储单元内的数据的基准数据的第二位线；分别发送存储在存储单元内的数据和基准数据的第一读出节点和第二读出节点；配置在第一读出节点与第二读出节点之间的一第一短路开关；以及在数据读取操作期间向存储单元施加负载电流和放大由于使第一短路开关截断而在第一读出节点与第二读出节点之间产生的电位差的第一触发器。



1. 一种半导体存储器件，包括：

包括处在电浮动状态的浮动体的第一存储单元，用来按照浮动体内多数载流子的数目存储数据；

接到第一存储单元的栅极上的字线；

接到第一存储单元上的第一位线，用来发送存储在第一存储单元内的数据；

发送用来检测存储在第一存储单元内的数据的基准数据的第二位线；

分别发送存储在第一存储单元内的数据和所述基准数据的第一读出节点和第二读出节点；

配置在第一读出节点与第二读出节点之间的第一短路开关；以及

在数据读取操作期间向第一存储单元施加负载电流和检测由于使第一短路开关截断而在第一读出节点与第二读出节点之间产生的电位差的第一触发器。

2. 一种半导体存储器件，包括：

包括处在电浮动状态的浮动体的第一存储单元，用来按照浮动体内多数载流子的数目存储数据；

接到第一存储单元的栅极上的字线；

接到第一存储单元上的第一位线，用来发送存储在第一存储单元内的数据；

发送用来检测存储在第一存储单元内的数据的基准数据的第二位线；

配置在第一位线与第二位线之间的第一短路开关；以及

在数据读取操作期间向第一存储单元施加负载电流和检测由于使第一短路开关截断而在第一位线与第二位线之间产生的电位差的第一触发器。

3. 按照权利要求 1 所述的半导体存储器件，其中第一触发器在第一短路开关将第一读出节点与第二读出节点短路的情况下放大数据，而第一短路开关在数据放大之后或同时将第一读出节点与第二读出节点断开。

4. 按照权利要求 2 所述的半导体存储器件，其中第一触发器在第一短路开关将第一位线与第二位线短路的情况下放大数据，而第一短路开关在数据放大之后或同时将第一位线与第二位线断开。

5. 按照权利要求 1 所述的半导体存储器件，还包括：

接在第一读出节点与第二读出节点之间的在将数据写入第一存储单元时开始工作的第二触发器。

6. 按照权利要求 3 所述的半导体存储器件，还包括：

接在第一读出节点与第二读出节点之间的在将数据写入第一存储单元时开始工作的第二触发器。

7. 按照权利要求 1 所述的半导体存储器件，还包括：

配置在第一读出节点与第二读出节点之间的第二短路开关，用来在第一触发器开始数据放大操作前将第一读出节点与第二读出节点断开。

8. 按照权利要求 1 所述的半导体存储器件，还包括：

配置在第一位线与第一读出节点之间的第一传输门；

配置在第二位线与第二读出节点之间的第二传输门；

与第一传输门并联地接在第一位线与第一读出节点之间的在数据写入操作期间受到驱动的第一反相器；以及

与第二传输门并联地接在第二位线与第二读出节点之间的在数

据写入操作期间受到驱动的第二反相器。

9. 按照权利要求 3 所述的半导体存储器件，还包括：

配置在第一位线与第一读出节点之间的第一传输门；

配置在第二位线与第二读出节点之间的第二传输门；

与第一传输门并联地接在第一位线与第一读出节点之间的在数据写入操作期间受到驱动的第一反相器；以及

与第二传输门并联地接在第二位线与第二读出节点之间的在数据写入操作期间受到驱动的第二反相器。

10. 按照权利要求 1 所述的半导体存储器件，还包括：

产生基准数据的伪单元；

接在第一位线与第一读出节点之间的第一电流镜电路，用来在数据读取操作期间将第一位线上的数据发送给第一读出节点；以及

接在第二位线与第二读出节点之间的第二电流镜电路，用来在数据读取操作期间将第二位线上的数据发送给第二读出节点，

其中，第二位线在数据读取操作期间发送基准数据。

11. 按照权利要求 3 所述的半导体存储器件，还包括：

产生基准数据的伪单元；

接在第一位线与第一读出节点之间的第一电流镜电路，用来在数据读取操作期间将第一位线上的数据发送给第一读出节点；以及

接在第二位线与第二读出节点之间的第二电流镜电路，用来在数据读取操作期间将第二位线上的数据发送给第二读出节点，

其中，第二位线在数据读取操作期间发送基准数据。

12. 按照权利要求 1 所述的半导体存储器件，还包括：

包括处在电浮动状态的浮动体的第二存储单元，用来按照浮动体内多数载流子的数目存储数据，第二存储单元存储极性与存储在第一

存储单元内的数据相反的数据，

其中，第二位线发送存储在第二存储单元内的数据，以及

第一触发器在数据读取操作期间向第一存储单元和第二存储单元施加负载电流，并检测由于使第一短路开关截断而在第一读出节点与第二读出节点之间产生的电位差。

13. 按照权利要求 2 所述的半导体存储器件，还包括：

包括处在电浮动状态的浮动体的第二存储单元，用来按照浮动体内多数载流子的数目存储数据，第二存储单元存储极性与存储在第一存储单元内的数据相反的数据，

其中，第二位线发送存储在第二存储单元内的数据，以及

第一触发器在数据读取操作期间向第一存储单元和第二存储单元施加负载电流，并检测由于使第一短路开关截断而在第一位线与第二位线之间产生的电位差。

14. 按照权利要求 12 所述的半导体存储器件，其中第一触发器在第一短路开关将第一读出节点与第二读出节点短路的情况下放大数据，而第一短路开关在数据放大之后或同时将第一读出节点与第二读出节点断开。

15. 按照权利要求 13 所述的半导体存储器件，其中第一触发器在第一短路开关将第一位线与第二位线短路的情况下放大数据，而第一短路开关在数据放大之后或同时将第一位线与第二位线断开。

16. 按照权利要求 12 所述的半导体存储器件，还包括：

接在第一读出节点与第二读出节点之间的在将数据写入第一和第二存储单元时开始工作的第二触发器。

17. 按照权利要求 14 所述的半导体存储器件，还包括：

接在第一读出节点与第二读出节点之间的在将数据写入第一和第二存储单元时开始工作的第二触发器。

18. 按照权利要求 12 所述的半导体存储器件，还包括：

配置在第一读出节点与第二读出节点之间的第二短路开关，用来在第一触发器开始数据放大操作前将第一读出节点与第二读出节点断开。

19. 按照权利要求 12 所述的半导体存储器件，还包括：

配置在第一位线与第一读出节点之间的第一传输门；

配置在第二位线与第二读出节点之间的第二传输门；

与第一传输门并联地接在第一位线与第一读出节点之间的在数据写入操作期间受到驱动的第一反相器；以及

与第二传输门并联地接在第二位线与第二读出节点之间的在数据写入操作期间受到驱动的第二反相器。

20. 按照权利要求 14 所述的半导体存储器件，还包括：

配置在第一位线与第一读出节点之间的第一传输门；

配置在第二位线与第二读出节点之间的第二传输门；

与第一传输门并联地接在第一位线与第一读出节点之间的在数据写入操作期间受到驱动的第一反相器；以及

与第二传输门并联地接在第二位线与第二读出节点之间的在数据写入操作期间受到驱动的第二反相器。

半导体存储器件

相关申请交叉参考

本申请基于在 2006 年 3 月 24 日提交的在先日本专利申请 No. 2006-83189，要求该申请的优先权，该申请的全部内容在这里列为参考予以引用。

技术领域

本发明涉及半导体存储器件，并涉及例如用于 FBC(浮动体单元) 的读出放大器。

背景技术

用于传统 FBC-DRAM 的读出放大器包括与一对读出节点连接的电流负载电路和 CMOS 锁存电路。包括电流负载电路和 CMOS 锁存电路的读出放大器可以有利地保证精确检测数据，即可以有利地针对构成读出放大器的各晶体管间门限电压的不规则性而稳健。然而，由于配置了电流负载电路和 CMOS 锁存电路两者，读出放大器的电路规模就比较大，这是不利的。读出放大器的大电路规模显著地影响到整个半导体存储器件的尺寸，特别是在读出放大器按位线对配置的情况下更是如此。

此外，这样的读出放大器需要等到读出节点对之间的电位差超过晶体管间门限电压的不规则性。因此，这种读出放大器具有使数据检测速度降低的缺点。

电流负载电路通过读出节点和位线将直通电流加到每个存储单元上，直到充分形成一个信号。这不利地增加了传统读出放大器的电流消耗。

发明内容

按照本发明的一个实施例的半导体存储器件包括：包括处在电浮动状态的浮动体的第一存储单元，用来按照浮动体内多数载流子的数目存储数据；接到第一存储单元的栅极上的字线；接到第一存储单元上的第一位线，用来发送存储在第一存储单元内的数据；发送用来检测存储在第一存储单元内的数据的基准数据的第二位线；分别发送存储在第一存储单元内的数据和基准数据的第一读出节点和第二读出节点；配置在第一读出节点与第二读出节点之间的第一短路开关；以及在数据读取操作期间向第一存储单元施加负载电流和检测由于使第一短路开关截断而在第一读出节点与第二读出节点之间产生的电位差的第一触发器。

按照本发明的另一个实施例的半导体存储器件包括：包括处在电浮动状态的浮动体的第一存储单元，用来按照浮动体内多数载流子的数目存储数据；接到第一存储单元的栅极上的字线；接到第一存储单元上的第一位线，用来发送存储在第一存储单元内的数据；发送用来检测存储在第一存储单元内的数据的基准数据的第二位线；配置在第一位线与第二位线之间的第一短路开关；以及在数据读取操作期间向第一存储单元施加负载电流和检测由于使第一短路开关截断而在第一位线与第二位线之间产生的电位差的第一触发器。

附图说明

图 1 为按照本发明的第一实施例的 FBC 存储器件的配置的电路图；

图 2 为按照第一实施例的每个存储单元 MC 的结构的剖面图；

图 3 为按照第一实施例的读出放大器 S/Ai 的配置的电路图；

图 4 为示出按照第一实施例的 FBC 存储器件执行的数据读取操作的定时图；

图 5 为示出按照第一实施例的 FBC 存储器件执行的数据写入操作的定时图；

图 6 为按照第一实施例的变型的读出放大器 S/A 的电路图；

图 7 示出了按照第一实施例的变型的读出放大器 S/A 的操作的定时图；

图 8 为按照本发明的第二实施例的读出放大器 S/A 的电路图；

图 9 为示出按照第二实施例的 FBC 存储器件执行的数据读取操作的定时图；

图 10 为按照本发明的第三实施例的读出放大器 S/A 的电路图；

图 11 为示出按照第三实施例的 FBC 存储器件执行的数据读取操作的定时图；

图 12 为按照本发明的第四实施例的读出放大器 S/A 的电路图；

图 13 为按照本发明的第五实施例的 FBC 存储器件的电路图；

图 14 为按照第五实施例的读出放大器 S/Ai 的电路图；

图 15 为示出按照第五实施例的读出放大器 S/A 执行的数据读取操作的定时图；

图 16 为通过将第五实施例与第二实施例组合在一起而得到的读出放大器 S/A 的配置的电路图；

图 17 为通过将第五实施例与第三实施例组合在一起而得到的读出放大器 S/A 的配置的电路图；

图 18 为通过将第五实施例与第四实施例组合在一起而得到的读出放大器 S/A 的配置的电路图；

图 19 为按照本发明的第六实施例的 FBC 存储器件的配置的电路图；

图 20 为按照第六实施例的读出放大器 S/Ai 的配置的电路图；

图 21 为示出按照第六实施例的读出放大器 S/Ai 执行的数据读取操作的定时图；

图 22 为按照第六实施例的变型的读出放大器 S/A 的电路图；

图 23 示出了按照第六实施例的变型的读出放大器 S/A 的操作的定时图；

图 24 为按照本发明的第七实施例的读出放大器 S/Ai 的配置的电

路图；

图 25 为示出按照第七实施例的读出放大器 S/A_i 执行的数据读取操作的定时图；

图 26 为按照本发明的第八实施例的读出放大器 S/A_i 的配置的电路图；

图 27 为示出按照第八实施例的读出放大器 S/A_i 执行的数据读取操作的定时图；

图 28A 为按照本发明的第九实施例的读出放大器 S/A_i 的配置的电路图；

图 28B 和 28C 为定时反相器的电路图；以及

图 29 为示出按照第九实施例的读出放大器 S/A_i 执行的数据读取操作的定时图。

具体实施方式

下面将结合附图对本发明的实施例进行说明。本发明并不局限于这些实施例。

(第一实施例)

图 1 为按照本发明的第一实施例的 FBC 存储器件的配置的电路图。FBC 存储器件包括：存储单元 MC，读出放大器 S/A_i（其中 i 为整数）（下面也通标为“S/A”），字线 WLL_i 和 WL_{Ri}（下面也通标为“WL”），位线 BLL_i 和 BLR_i（下面也通标为“BL”），均衡线 EQLL 和 EQLR（下面也通标为“EQL”），均衡晶体管 TEQL 和 TEQR（下面也通标为“TEQ”），基准电位线 VREF，基准晶体管 TREFL 和 TREFR（下面也通标为“TREF”），以及伪字线 DWLL 和 DWLR（下面也通标为“DWL”）。应注意的是，“基准电位”是指在检测数据“1”或“0”时用以与数据“1”或“0”比较的电压。

这些存储单元 MC 排列成一个矩阵，由这些存储单元 MC 构成存储单元阵列 MCAL 和 MCAR（下面也通标为“MCA”）。字线 WL 沿行方向延伸，接到每个存储单元 MC 的栅极上。在第一实施例中，

在读出放大器 S/A 的左右侧各设置了 256 根字线。在图 1 中，读出放大器 S/A 左侧的字线分别标为 WLL0 至 WLL255，而读出放大器 S/A 右侧的字线分别标为 WLR0 至 WLR255。位线 BL 沿列方向延伸，接到每个存储单元 MC 的源极或漏极上。在读出放大器 S/A 的左右侧各设置了 1024 根位线 BL。在图 1 中，读出放大器 S/A 左侧的位线分别标为 BLL0 至 BLL1023，而读出放大器 S/A 右侧的位线分别标为 BLR0 至 BLR1023。字线 WL 和位线 BL 相互垂直，存储单元 MC 配置在字线 WL 与位线 BL 的相应交点处。行方向和列方向可以互换。

伪字线 DWL、基准晶体管 TREF 和基准电位线 VREF 用来将基准电位 VREF 传送给读出放大器。基于基准电位 VREF 的电流由电流镜施加给每个存储单元 MC，而存储在存储单元 MC 内的数据发送给读出放大器 S/A 内的读出节点。读出放大器 S/A 根据读出放大器 S/A 内数据侧读出节点的电位是高于还是低于基准侧读出节点的电位，确定数据的逻辑值是“0”还是“1”。伪字线 DWL 与字线 WL 平行地沿行方向延伸，接到每个基准晶体管 TREF 的栅极上。在读出放大器 S/A 的左右侧各设置了一根伪字线 DWL。

均衡线 EQL 接到每个均衡晶体管 TEQ 的栅极上。每个均衡晶体管 TEQ 接在每根位线 BL 与地之间。通过将位线 BL 接地执行均衡，从而均衡晶体管 TEQ 使每根位线 BL 的电位等于地电位。

图 2 为每个存储单元 MC 的结构的剖面图。存储单元 MC 设置在包括支持基底 10、BOX 层 20 和 SOI 层 30 的 SOI 基底上。源极 60 和漏极 40 设置在 SOI 层 30 内。SOI 层 30 内在源极 60 与漏极 40 之间形成浮动体 50。浮动体 50 是导电类型与源极 60 和漏极 40 相反的半导体。在第一实施例中，存储单元 MC 为 N 型 FET。由于被源极 60、漏极 40、BOX 层 20、栅极绝缘膜 70 和 STI（浅槽隔离）区（未示出）包围，浮动体 50 处在电浮动状态。FBC 存储器可以按照在各存储单元 MC 的浮动体 50 内所积累的多数载流子的数目存储数据。

例如，假设存储单元 MC 为 N 型 MISFET。定义在浮动体 50 内积累有大量空穴的状态为存储单元 MC 存储了数据“1”的状态。还定

义在浮动体 50 内积累有少量空穴的状态为存储单元 MC 存储了数据“0”的状态。

为了将数据“1”写入存储单元 MC，在饱和状态下操作存储单元 MC。例如，将字线 WL 偏置到 1.5 伏和将位线 BL 偏置到 1.5 伏。将源极的电压设置为等于地电位 GND (0 伏)。通过这样设置，在漏极附近就发生冲击电离，从而产生许多电子空穴对。冲击电离所产生的电子传送到漏极，而空穴积累在具有低电位的浮动体内。当在通过冲击电离产生空穴期间所施加的电流等于浮动体与源极之间的 pn 结处的正向电流时，体电压达到平衡状态。该体电压在平衡状态为 0.7 伏左右。

为了将数据“0”写入存储单元 MC，将位线 BL 的电位降低到负电压。例如，将位线 BL 的电位降低到 -1.5 伏。通过将位线 BL 的电位降低到负电压的操作，浮动体 50 与漏极 40 之间的 pn 结被显著地正向偏置。浮动体 50 内所积累的空穴发射给漏极 40，从而将数据“0”存储在存储单元 MC 内。

在数据读取操作中，字线 WL 以与数据写入操作类似的方式激活，但将位线 BL 的电位设置为低于在写入数据“1”期间所设置的电位。例如，将字线 WL 的电位设置到 1.5 伏，而将位线 BL 的电位设置到 0.2 伏。在线性区中操作存储单元 MC。存储数据“0”的存储单元 MC 在门限电压上与存储数据“1”的存储单元 MC 不同，因为在浮动体 50 内所积累的空穴的数目不同。通过检测存储单元 MC 之间的门限电压差别，判别数据是“1”还是“0”。在数据读取操作期间将位线 BL 的电位设置为低电压的原因如下。如果将位线 BL 的电压设置为高而使存储单元 MC 被偏置到饱和状态，在从存储单元 MC 读取数据“0”时由于冲击电离就会使数据“0”改变为数据“1”。

图 3 为读出放大器 S/Ai 的配置的电路图。读出放大器 S/Ai 接到分别设置在读出放大器 S/Ai 的左侧和右侧的位线 BLLi 和 BLRi 上，并配置成与成对位线 BLLi 和 BLRi 相应。因此，在第一实施例中采用的是开放位线配置。这样，在数据读取操作时，成对位线 BLLi 和

BLR_i 中的一根位线发送数据而另一根位线发送基准数据。

读出放大器 S/A_i 包括一对读出节点 SNL_i(下面也通标为“SNL”) 和 SNR_i (下面也通标为“SNR”)。例如，读出节点 SNL_i 为第一读出节点，读出节点 SNR_i 为第二读出节点。读出节点 SNL 通过用作第一传输门的传输门 TGL1 接到位线 BLL 上，通过传输门 TGR2 接到位线 BLR 上。读出节点 SNR 通过用作第二传输门的传输门 TGR1 接到位线 BLR 上，通过传输门 TGL2 接到位线 BLL 上。

传输门 TGL1 和 TGR1 由信号 Φ_t 控制成导通或截断。传输门 TGL2 为一个配置成使一个 PMOS 晶体管与一个 NMOS 晶体管并联的 CMOS 传输门，由信号 FBL 和 BFBL 控制成导通或截断。传输门 TGR2 也是一个 CMOS 传输门，由信号 FBR 和 BFBR 控制成导通或截断。

例如，如果在位线 BLL 上检测到数据“1”，就将 N 型存储单元 MC 的门限电压设置为低电压，从而读出节点 SNL 的电位成为低于读出节点 SNR 的电位。为了将数据“1”回写到存储单元 MC，必须将高电位加到位线 BLL 上。因此，通过使传输门 TGL2 导通，就使处在高电位的读出节点 SNR 接到位线 BLL 上。

读出放大器 S/A 还包括交叉耦合的动态锁存电路 (下面也称为“触发器”) FF1 和 FF2。触发器 FF1 包括两个 p 型晶体管 TP1 和 TP2，串联在读出节点 SNL 与 SNR 之间。晶体管 TP1 的栅极接到读出节点 SNR 上，而晶体管 TP2 的栅极接到读出节点 SNL 上。也就是说，晶体管 TP1 和 TP2 的栅极分别与读出节点 SNR 和 SNL 交叉耦合。触发器 FF2 包括两个 n 型晶体管 TN1 和 TN2，串联在读出节点 SNL 与 SNR 之间。晶体管 TN1 的栅极接到读出节点 SNR 上，而晶体管 TN2 的栅极接到读出节点 SNL 上。也就是说，晶体管 TN1 和 TN2 的栅极类似地分别与读出节点 SNR 和 SNL 交叉耦合。触发器 FF1 和 FF2 分别通过激活信号 SAP 和 BSAN 驱动。触发器 FF1 和 FF2 放大和锁存成对读出节点 SNL_i 和 SNR_i 之间的电位差。

用作短路开关的 p 型晶体管 TP3 接在读出节点 SNL 和 SNR 之间，

受信号 BSHORT 控制。晶体管 TP3 在读/写操作前通过将读出节点 SNL 与 SNR 相互短路均衡读出节点 SNL 和 SNR 的电位。

n 型晶体管 TN3 接在 DQ 线与读出节点 SNL 之间，而 n 型晶体管 TN4 接在 BDQ 线与读出节点 SNR 之间。晶体管 TN3 和 TN4 的栅极接到列选择线 CSLi (下面也通标为“CSL”) 上。DQ 线和 BDQ 线接到 DQ 缓存器 (未示出) 上。DQ 缓存器在数据读取操作期间暂时存储来自存储单元 MC 的数据，以将数据输出给外部。此外，DQ 缓存器在数据写入操作期间暂时存储来自外部的数据，以将数据发送给读出放大器 S/A。因此，列选择线 CSL 在从外部读数据或将数据写到外部时被激活，从而使读出节点 SNL 和 SNR 能接到 DQ 缓存器上。

应注意的是，按照第一实施例的读出放大器 S/A 与传统技术不同，它不包括电流镜型的电流负载电路。在第一实施例中，触发器 FF1 不仅起着包括反馈环路的放大器电路和保存数据的锁存电路的作用，而且还起着向存储单元施加电流的电流负载电路的作用。读出放大器 S/A 按位线对配置。这意味着为两个存储单元阵列 MCA 配置了 1024 个读出放大器 S/A。因此，如果使读出放大器 S/A 的电路规模减小，就可以大大减小整个 FBC 存储器件的芯片尺寸。

以下，“激活”是指使元件或电路导通或得到驱动，而“去活”是指使元件或电路截断或停止。因此，要注意的是，有时 HIGH (高电位电平) 信号起着激活信号的作用，而有时 LOW (低电位电平) 信号起着激活信号的作用。例如，NMOS 晶体管通过将它的栅极设置为 HIGH 而被激活。PMOS 晶体管通过将它的栅极设置为 LOW 而被激活。

图 4 为示出按照第一实施例的 FBC 存储器件执行的数据读取操作的定时图。在定时 t1 前，信号 EQLL 和 EQLR 被激活到 HIGH，从而使位线 BL 均衡到地电位。此外，传输门 TGL1、TGR1、TGL2 和 TGR2 都被激活，从而使读出节点 SNL 和 SNR 接到位线 BLL 和 BLR 上。因此，将位线和读出节点预充电到地电位。

在定时 t1，通过将信号 EQLL 和 EQLR 去活到 LOW，结束对

位线和读出节点的预充电。同时，信号 SAP 被激活，从而使构成触发器 FF1 的晶体管 TP1 和 TP2 导通。触发器 FF1 因此向读出节点 SNL 和 SNR 施加电流。在此定时，由于信号 BSHORT 为激活 (LOW)，因此使读出节点 SNL 与 SNR 短路。这样，来自触发器 FF1 的电流同等地施加给读出节点 SNL 和 SNR。结果，使这对读出节点 SNLi 和 SNRi 的电位电平从等于存储单元的源极的电位的预充电电位电平升高。此外，在定时 t1，传输门 TGL2 和 TGR2 被截断。在此定时，传输门 TGL1 和 TGR1 保持导通。因此，读出节点 SNLi 和 SLRi 分别与位线 BLRi 和 BLLi 断开，而与位线 BLLi 和 BLRi 保持连接。

在定时 t2，选择一根字线和一根伪字线。在第一实施例中，选择读出放大器 S/A 左侧的存储单元阵列 MCAL 内的字线 WLL0 和读出放大器 S/A 右侧的存储单元阵列 MCAR 内的伪字线 DWLR。通过激活所选择的字线 WLL0，就将存储在接到所选择的字线 WLL0 上的每个存储单元 MC 内的数据通过用作第一位线的位线 BLLi 发送给用作第一读出节点的读出节点 SNLi。而且，通过激活伪字线 DWLR，将基准数据通过用作第二位线的位线 BLRi 发送给用作第二读出节点的读出节点 SNRi。

在定时 t1 到 t3 期间，将存储在每个存储单元 MC 内的数据发送给读出节点 SNLi，而将基准数据发送给读出节点 SNRi。然而，由于读出节点 SNLi 与 SNRi 被短路，读出节点 SNLi 和 SNRi 在电位上几乎相等。然而，要注意的是，在定时 t2 到 t3 期间由于存储在存储单元 MC 内的数据在读出节点 SNLi 和 SNRi 之间在某种程度上产生电位差，因为晶体管 TP3 即使在导通时也有寄生电阻。

在成对读出节点 SNLi 和 SNRi 之间产生某种程度的电位差后，在定时 t3 将信号 BSHORT 去活到 HIGH。晶体管 TP3 因此被截断，从而使读出节点 SNLi 与读出节点 SNRi 断开。在定时 t3，在读出节点 SNLi 与读出节点 SNRi 断开时，由于流到存储单元 MC 的电流与流到基准晶体管 TREF 的电流之间的差别，在读出节点 SNLi 与 SNRi 之间迅速地产生了电位差。由于在触发器 FF1 内形成由 PMOS 晶体

管 TP1 和 TP2 构成的反馈环路，触发器 FF1 相当迅速地将这个电位差放大。

理想地，读出节点 SNLi 与 SNRi 是对称的。然而，实际上由于制造的不规则性，读出节点 SNLi 与 SNRi 不完全对称。例如，传输门 TGL1 的门限电压可能与传输门 TGR1 的不同。如果在定时 t1 断开读出节点 SNLi 与 SNRi 之间的短路，触发器 FF1 可能检测到由于传输门 TGL1 和 TGR1 之间在特性上的差别而产生的电位差。

因此，在第一实施例中，使成对读出节点 SNLi 和 SNRi 保持短路，直到在成对读出节点 SNLi 和 SNRi 之间电位差放大到某种程度，从而将触发器 FF1 的环路增益抑制成低。读出放大器 S/A 因此可以精确放大数据。此外，在成对读出节点 SNLi 与 SNRi 之间的电位差放大到某种程度后将读出节点 SNLi 与读出节点 SNRi 断开。读出放大器 S/A 从而可以高速地检测读出节点 SNLi 与 SNRi 之间的电位差。

如果减小用作短路开关的晶体管 TP3 的尺寸 (W/L)，就会增大晶体管 TP3 的寄生电阻。结果，在定时 t1 到 t3 期间，读出节点 SNLi 与 SNRi 之间的电位差迅速增大。因此，优选的是减小晶体管 TP3 的尺寸 (W/L)，以便使晶体管 TP3 截断的定时较接近定时 t1，以提高数据读取速度。然而，如果晶体管 TP3 的尺寸 (W/L) 过小，触发器 FF1 在定时 t2 到 t3 的环路增益就过大，从而可能出现故障。因此，必须最佳地设置晶体管 TP3 的尺寸 (W/L)。

在第一实施例中，可以使将晶体管 TP3 截断的定时等于定时 t2。这是在将制造工艺管理成使诸如构成读出放大器电路 S/A 的晶体管之类的器件间的不规则性小于存储单元的信号量时达到的。此外，如果可以将器件间制造的不规则性抑制到足够小而且如果可以保证存储单元 MC 的信号量足够大，就可以使激活信号 SAP 的定时 t1、激活字线 WL 的定时 t2 和去活信号 BSHORT 的定时 t3 都相等。通过将定时 t1、t2、t3 设置成相等 ($t1=t2=t3$)，可以进一步提高读出放大器电路 SA 的工作速度。此外，通过降低制造的不规则性和增大信号量，读出放大器 S/A 可以与 t1、t2 和 t3 的次序无关地精确放大数据。

在定时 t4，信号 Φ_t 被去活。传输门 TGL1 和 TGR1 因此截断，从而使成对读出节点 SNLi 和 SNRi 与成对位线 BLLi 和 BLRi 断开。

在定时 t5，信号 BSAN 被激活到 LOW。触发器 FF2 因此进一步检测读出节点 SNLi 和 SNRi 之间的电位差。触发器 FF1 和 FF2 将检测到的数据存储在读出节点 SNLi 和 SNRi 内。

在定时 t6，用作第一传输门的传输门 TGL2 和用作第二传输门的传输门 TGR2 被激活，将读出节点 SNRi 接到位线 BLLi 上。所读取的数据从而回写到存储单元 MC。

在定时 t7，列选择线 CSLi 被激活。与所选择的列相应的读出节点 SNLi 和 SNRi 从而分别接到 DQ 线和 BDQ 线上。DQ 线和 BDQ 线接到 DQ 缓存器（未示出）上。数据暂时存储在 DQ 缓存器内，然后从 DQ 缓存器输出给外部。

最后，在定时 t8，信号 EQLL 和 EQLR 被激活，从而使读出放大器 S/A 成为预充电状态。

图 5 为示出按照第一实施例的 FBC 存储器件执行的数据写入操作的定时图。由于在定时 t1 到 t7 期间的数据写入操作与图 4 中所示的在定时 t1 到 t7 期间的数据读取操作相同，因此在这里不再加以说明。在数据写入操作中，将从外部输入的数据暂时存储在 DQ 缓存器内。在定时 t7a 到 t8 期间，将暂时存储的数据通过读出节点和位线写到存储单元 MC。

在第一实施例中，触发器 FF1 不仅用作触发器而且还用作电流负载电路。因此，在传统技术中所需的电流负载电路就可以省去。从而可以减小读出放大器 S/A 的电路规模和整个 FBC 存储器件的芯片尺寸。

在第一实施例中，可以通过调整构成读出放大器 S/A 的每个电路元件的尺寸提高数据读取速度。按照传统技术，数据读取速度按照构成读出放大器 S/A 的电路元件间特性的不规则性设置。在第一实施例中，数据读取速度仍然取决于构成读出放大器 S/A 的电路元件间特性的不规则性。然而，可以通过改变短路晶体管（TP3）的尺寸（W/L）

来减小数据读取速度取决于电路元件间特性不规则性的程度。

(第一实施例的变型)

图 6 为按照第一实施例的变型的读出放大器 S/A 的电路图。在图 7 中示出了它的操作的定时图。如这个变型中所示，可以将读出放大器 S/A 直接接到一对位线上并放大位线上的信号。也就是说，读出放大器 S/A 没有读出节点 SNL、SNR 和传输门 TGL1、TGL2、TGR1、TGR2。变型的其他构件与第一实施例的相同。

如图 7 所示，这个变型内的触发器 FF1 在短路开关 TNS 将位线 BLL 与位线 BLR 短路的情况下放大数据。然后，短路开关 TNS 在数据放大之后或同时将位线 BLL 与位线 BLR 断开。这个操作与第一实施例的操作相同。

结果，这个变型可以获得与上面所说明的第一实施例的相同的优点。

(第二实施例)

图 8 为按照本发明的第二实施例的读出放大器 S/A 的电路图。按照第二实施例的读出放大器 S/A 与按照第一实施例的读出放大器不同的是：读出放大器 S/A 包括由 PMOS 晶体管 TP10 和 TP11 构成的第一触发器 FF11 和由 PMOS 晶体管 TP12 和 TP13 构成的第二触发器 FF12，用来代替触发器 FF1。按照第二实施例的读出放大器 S/A 的其他配置可以与按照第一实施例的那些相同。

晶体管 TP10 和 TP11 串联在读出节点 SNL 与 SNR 之间。晶体管 TP12 和 TP13 串联在读出节点 SNL 与 SNR 之间。晶体管 TP10 和 TP12 的栅极共同接到读出节点 SNR 上。晶体管 TP11 和 TP13 的栅极共同接到读出节点 SNL 上。也就是说，晶体管 TP10 和 TP12 的栅极和晶体管 TP11 和 TP13 的栅极与读出节点 SNL 和 SNR 交叉耦合。

信号 SAP_SENSE 输入到在晶体管 TP10 和 TP11 之间的节点。
信号 SAP_RESTORE 输入到在晶体管 TP12 和 TP13 之间的节点。

通常，如果晶体管的尺寸 (W/L) 较大，晶体管的电流驱动能力就较大。然而，如果晶体管的尺寸 (W/L) 大于构成存储单元的晶体

管的尺寸 (W/L)，门限电压不规则性的影响就要增大。因此，如果增大构成触发器 FF11 的每个 PMOS 晶体管的尺寸 (W/L)，就可以在数据写入操作期间增强 PMOS 晶体管的电流驱动能力。然而，同时可能在数据读取操作期间出现对数据的错误检测。

因此，在第二实施例中，在数据放大和检测期间只使用晶体管 TP10 至 TP13 中的晶体管 TP10 和 TP11，而在数据写入操作期间才使用晶体管 TP10 至 TP13 中的所有晶体管。这样，在数据放大和检测期间，可以通过将触发器的环路增益抑制到低来防止对数据的错误检测。在数据写入操作期间，可以通过增强触发器的电流驱动能力保证将数据回写到存储单元 MC。应注意的是，晶体管 TP10 和 TP11 设计成尺寸相等，而晶体管 TP12 和 TP13 设计成尺寸相等。此外，晶体管 TP10 和 TP11 与晶体管 TP12 和 TP13 在尺寸上可以相同也可以不同。为了改善防止数据错误检测和增强电流驱动能力的效果，优选的是使晶体管 TP10 和 TP11 的尺寸 (W/L) 小于晶体管 TP12 和 TP13 的尺寸。

图 9 为示出按照第二实施例的 FBC 存储器件执行的数据读取操作的定时图。信号 SAP_SENSE 与图 4 中所示的信号 SAP 类似地动作。因此，晶体管 TP10 和 TP11 与图 3 中所示的晶体管 TP1 和 TP2 类似地进行工作。也就是说，由晶体管 TP10 和 TP11 构成的锁存电路既用于数据读取操作也用于数据写入操作。

信号 SAP_RESTORE 在定时 t6 激活，使得在定时 t6 晶体管 TP12 和 TP13 工作。结果，在数据读取操作期间，晶体管 TP10 和 TP11 可以精确地放大和检测数据。在数据写入操作期间，晶体管 TP10 至 TP13 可以用它们的高电流驱动能力将数据写入存储单元 MC。此外，第二实施例呈现为具有与第一实施例的相同的优点。

应注意的是，示出数据写入操作的定时图与在图 5 中所示的定时图相同，只是在图 5 中所示的信号 SAP 由在图 9 中所示的信号 SAP_SENSE 和 SAP_RESTORE 代替。由于该数据写入操作可以很容易从图 5 和 7 类推，在这里就不再加以说明。

在第二实施例中，如果制造工艺被管理成使构成读出放大器 S/A

的晶体管间不规则性足够小，定时 t_1 、 t_2 和 t_3 的次序可以与第一实施例类似地按需要设置。当然，可以将定时 t_1 、 t_2 和 t_3 设置成相等的，即 $t_1=t_2=t_3$ 。

(第三实施例)

图 10 为按照本发明的第三实施例的读出放大器 S/A 的电路图。按照第三实施例的读出放大器 S/A 与按照第二实施例的读出放大器不同的是：按照第三实施例的读出放大器 S/A 包括用作第一短路开关的 PMOS 晶体管 TP30 和用作第二短路开关的 PMOS 晶体管 TP31，用来代替图 8 中所示的 PMOS 晶体管 TP3。按照第三实施例的读出放大器 S/A 的其他配置可以与按照第二实施例的那些相同。可以将晶体管 TP30 和 TP31 的尺寸 (W/L) 之和设置成几乎等于按照第一和第二实施例的晶体管 TP3 的尺寸 (W/L)。晶体管 TP30 的尺寸 (W/L) 必须足够大，以在预充电（在 t_1 前和在 t_8 后）期间迅速均衡成对读出节点。然而，不应使晶体管 TP31 的尺寸 (W/L) 太大，因为在某种程度上它足以保证触发器 FF11 的环路增益。虽然晶体管 TP30 和 TP31 的具体尺寸取决于规格，但优选的是晶体管 TP31 在尺寸上小于晶体管 TP30。

晶体管 TP30 和 TP31 接在读出节点 SNL 与 SNR 之间。信号 BSHT_PRCH 输入到晶体管 TP30 的栅极，而信号 BSHT_SENSE 输入到晶体管 TP31 的栅极。

图 11 为示出按照第三实施例的 FBC 存储器件执行的数据读取操作的定时图。在定时 t_1 前，晶体管 TP30 和 TP31 都导通，从而使读出节点 SNLi 与 SNRi 之间短路。在定时 t_1 ，信号 BSHT_PRCH 为 HIGH。因此，与图 8 中所示的晶体管 TP3 类似，在触发器 FF11 检测数据时晶体管 TP30 将读出节点 SNLi 与 SNRi 相互断开。触发器 FF11 因此检测在读出节点 SNLi 和 SNRi 之间产生的电位差。另一方面，晶体管 TP31 在定时 t_1 到 t_3 期间导通。在触发器 FF11 将数据放大到某种程度后，晶体管 TP31 在定时 t_3 将读出节点 SNLi 与 SNRi 相互断开。也就是说，晶体管 TP30 和 TP31 逐步将读出节点 SNLi 与

SNR_i 断开。

如上面所说明的，必须将触发器 FF11 和 FF12 的环路增益抑制到低，直到存储在存储单元 MC 内的数据在成对读出节点 SNL_i 与 SNR_i 之间所产生的电位差超过由于读出放大器的不对称而引起的不规则性。在第二实施例中，为了在数据读取操作期间将触发器 FF11 和 FF12 的环路增益抑制到低，在定时 t₁ 到 t₆ 期间使晶体管 TP10 和 TP11 工作而不使触发器 FF12 工作。

在第三实施例中，为了在数据读取操作期间进一步将触发器的环路增益抑制到低，在数据读取操作的定时 t₁ 到 t₃ 期间使用作第一短路晶体管的晶体管 TP30 截断，而用作第二短路晶体管的晶体管 TP31 保持在导通状态。读出节点 SNL_i 与 SNR_i 从而被弱短路处在较高电阻的状态，而没有将读出节点 SNL_i 与 SNR_i 完全断开。与第二实施例相比较，在第三实施例中，在数据读取操作期间可以大大减小触发器 FF11 的环路增益。而且，第三实施例可以呈现为具有与第二实施例的相同的优点。

在第三实施例中，将第二实施例中的短路晶体管 TP3 分成两个短路晶体管。或者，在第三实施例中，可以将第一实施例中的短路晶体管分成两个短路晶体管。在这个可选方案中，第三实施例也可以呈现为具有与第一实施例的相同的优点。

应注意的是，示出数据写入操作的定时图除了以下方面之外与在图 5 中所示的定时图相同。图 5 中所示的信号 SAP 由图 9 中所示的信号 SAP_SENSE 和 SAP_RESTORE 代替。此外，图 5 中所示的信号 BSHORT 由图 11 中的信号 BSHT_PRCH 和 BSHT_SENSE 代替。由于该数据写入操作很容易可从图 5、7 和 9 类推，在这里就不再加以说明。

(第四实施例)

图 12 为按照本发明的第四实施例的读出放大器 S/A 的电路图。按照第四实施例的读出放大器 S/A 与图 3 中所示的读出放大器不同的是：按照第四实施例的读出放大器 S/A 不包括将第一读出节点 SNL_i

接到第二位线 BLR_i 上的传输门 TGR2 和将第二读出节点 SNR_i 接到第一位线 BLL_i 上的传输门 TGL2。此外，按照第四实施例的读出放大器 S/A 包括第一定时反相器 CINL 和第二定时反相器 CINR。第一定时反相器 CINL 与第一传输门 TGL1 并联地接在第一位线 BLL_i 与第一读出节点 SNL_i 之间。第二定时反相器 CINR 与第二传输门 TGR1 并联地接在第二位线 BLR_i 与第二读出节点 SNR_i 之间。按照第四实施例的读出放大器 S/A 的其他配置可以与按照第一实施例的那些相同。

第一定时反相器 CINL 包括串联在用于写入数据“1”的电源 VBLH 与用于写入数据“0”的电源 VBLL 之间的 PMOS 晶体管 TP40、TP41 和 NMOS 晶体管 TN40、TN41。晶体管 TP41 和 TN40 的栅极共同接到读出节点 SNL_i 上。信号 BFBL 和 FBL 分别输入到晶体管 TP40 和 TN41 的栅极。晶体管 TP41 与 TN40 之间的节点接到位线 BLL_i 上。

第二定时反相器 CINR 包括串联在电源 VBLH 与电源 VBLL 之间的 PMOS 晶体管 TP42、TP43 和 NMOS 晶体管 TN42、TN43。晶体管 TP43 和 TN42 的栅极共同接到读出节点 SNR_i 上。信号 BFBR 和 FBR 分别输入到晶体管 TP42 和 TN43 的栅极。晶体管 TP43 与 TN42 之间的节点接到位线 BLR_i 上。

按照第四实施例的 FBC 存储器件执行的数据读取操作和数据写入操作基本上与按照第一实施例的 FBC 存储器件执行的分别在图 4 和 5 中所示的相同。然而，在第四实施例中与第一实施例不同的是，不是用成对读出节点 SNL_i 与 SNR_i 之间的电位差而是用定时反相器 CINL 和 CINR 将数据回写到存储单元 MC。因此，信号 FBL 和 BFBL 与按照第一实施例的信号 FBL 和 BFBL 类似地动作。然而，信号 FBL 和 BFBL 控制的是定时反相器 CINL 和 CINR 而不是 CMOS 传输门 TGL2 和 TGR2。

触发器 FF1 和 FF2 只用于数据读取操作。在将数据回写到存储单元 MC 时，触发器 FF1 和 FF2 只是用来切换晶体管 TP41、TN40、

TP43 和 TN42，而不直接用来写入数据。因此，与第一到第三实施例相比较，可以将触发器 FF1 和 FF2 内的晶体管 TP1、TP2、TN1 和 TN2 的尺寸设置得比较小。结果，可以将晶体管 TP1、TP2、TN1 和 TN2 的尺寸设置成适合触发器 FF1 和 FF2 在数据读取操作期间必需的环路增益。

与按照第一实施例的读出放大器 S/A 相比较，按照第四实施例的读出放大器 S/A 内多包括约四个晶体管。然而，由于可以将晶体管 TP1、TP2、TN1 和 TN2 各自的尺寸都设置得较小，因此整个芯片面积不会如此增大，而是可以做得几乎与第一实施例的相等。

第四实施例可以与第二或第三实施例组合在一起。在这种情况下，第四实施例可以呈现为具有与第二或第三实施例的相同的优点。

在第四实施例中，如果制造工艺被管理成使构成读出放大器 S/A 的晶体管间不规则性足够小，定时 t_1 、 t_2 和 t_3 的次序可以与第一实施例类似地按需要设置。当然，可以将定时 t_1 、 t_2 和 t_3 设置成相等的，即 $t_1=t_2=t_3$ 。

(第五实施例)

图 13 为按照本发明的第五实施例的 FBC 存储器件的电路图。按照第五实施例的 FBC 存储器件包括：伪单元 DC，伪字线 DWLL 和 DWLR，平均晶体管 TAVL 和 TAVR，以及平均信号线 AVGL 和 AVGR。伪字线 DWLL 和 DWLR 几乎与字线 WLL 和 WLR 平行沿行方向延伸，接到每个伪单元 DC 的栅极上。这些伪单元 DC 沿着伪字线 DWLL 和 DWLR 分别交替地存储数据“1”和“0”。

在数据读取操作中，存储单元阵列 MCAL 和 MCAR 中的一个存储单元阵列将数据发送给读出放大器 S/A，而另一个存储单元阵列产生基准电位。例如，如果位线 BLR_i 产生基准电位，伪字线 DWLR 就被激活，而没有字线 WLR 被激活。此外，通过激活平均信号线 AVGR，平均晶体管 TAVR 将所有的位线 BLR 短路。存有数据“0”的伪单元 DC 因此被接到存有数据“1”的伪单元 DC 上，从而产生处在数据“0”与数据“1”之间的中间电位。以下将这种通过使存有数据“0”的伪单元

DC 与存有数据“1”的伪单元 DC 短路来产生基准电位的方法称为“伪单元方法”。

图 14 为按照第五实施例的读出放大器 S/Ai 的电路图。在第五实施例中，读出放大器 S/Ai 包括电流镜 CML 和 CMR。电流镜 CML 和 CMR 分别设置在位线 BLLi 与读出节点 SNLi 之间和位线 BLRi 与读出节点 SNRi 之间，以保证基准电位的稳定。由电流镜 CML 和 CMR 将位线 BLLi 和 BLRi 与读出节点 SNLi 和 SNRi 隔开。

电流镜 CML 包括 PMOS 晶体管 TP50 至 TP52。晶体管 TP52 受信号 BLOADON 的控制，起着电流镜 CML 的开关的作用。晶体管 TP50 和 TP51 的栅极共同接到位线 BLLi 上。尺寸 (W/L) 几乎相等的晶体管 TP50 和 TP51 向位线 BLLi 和读出节点 SNLi 施加相等的来自电源 VBLH 的电流。或者，晶体管 TP51 可以做成比晶体管 TP50 大，以放大需通过读出节点 SNLi 和 SNRi 施加给存储单元 MC 的电流。这样可以提高读出放大器 S/A 的读出速度。电流镜 CMR 包括 PMOS 晶体管 TP53 至 TP55。晶体管 TP55 受信号 BLOADON 的控制，起着电流镜 CMR 的开关的作用。晶体管 TP53 和 TP54 的栅极共同接到位线 BLRi 上。尺寸 (W/L) 几乎相等的晶体管 TP53 和 TP54 向位线 BLRi 和读出节点 SNRi 施加相等的来自电源 VBLH 的电流。与电流镜 CML 类似，在电流镜 CMR 内，晶体管 TP54 在尺寸上可以做得比晶体管 TP53 大。这样可以提高读出放大器 S/A 的读出速度。

电流镜 CML 和 CMR 被配置成分别在位线 BLLi 和 BLRi 为 LOW/HIGH 时将 HIGH/LOW 发送给读出节点 SNLi 和 SNRi。也就是说，在第五实施例中，读出节点 SNLi 不存储存储在存储单元 MC 内的数据的反相信号而存储它的非反相信号。因此，传输门 TGL2 接在位线 BLLi 与读出节点 SNLi 之间，而传输门 TGR2 接在位线 BLRi 与读出节点 SNRi 之间。

在伪单元方法中，如果读出节点如在第一至第四实施例中所说明的那样在数据读取操作期间接到底线上，触发器 FF1 的放大就会导致读出节点 SNLi 和 SNRi 的电位改变。这可能影响施加给伪单元 DC 的

电流。这还导致基准电位不稳定的缺点。

因此，在第五实施例中，读出节点 SNLi 和 SNRi 与位线 BLLi 和 BLRi 隔开，电流镜 CML 和 CMR 根据位线 BLLi 和 BLRi 的电位向读出节点 SNLi 和 SNRi 施加电流。这样，读出节点 SNLi 和 SNRi 的电位改变就不会发送到位线 BLLi 和 BLRi 上。结果，即使是基于按照第五实施例的伪单元方法的读出放大器 S/A 也可以使基准电位保持稳定。

图 15 为示出按照第五实施例的读出放大器 S/A 执行的数据读取操作的定时图。在数据读取操作中，信号 BLOADON 在定时 t1 到 t6 期间被激活到 LOW。信号 BLOADON 从而在数据读取操作期间驱动电流镜 CML 和 CMR。在除数据读取操作之外的操作期间，电流镜 CML 和 CMR 不激活。

信号 SAP 和 BSAN 分别与图 4 中所示的信号 BSAN 和 SAP 类似地进行动作。

应注意的是，示出第五实施例的数据写入操作的定时图与在图 5 中所示的定时图相同，只是增添了图 15 中所示的信号 BLOADON 和平均线 AVGL 和 AVGR，而且图 5 中所示的信号 SAP、BSAN 和读出节点 SNLi、SNRi 被图 15 中所示的代替。由于该数据写入操作可以很容易从图 5 和 13 类推，在这里就不再加以说明。

按照第五实施例的读出放大器 S/A 包括比按照第一至第四实施例的读出放大器 S/A 多一些的元件。按照第五实施例的读出放大器 S/A 比按照第一至第四实施例的读出放大器 S/A 有利的是可以采用伪单元方法。按照伪单元方法，伪单元 DC 具有与存储单元 MC 相同的 FBC 结构。因此，伪单元 DC 的特性随由于工作温度的改变、工作电压的改变和工艺的不规则性而引起的存储单元 MC 的特性的改变而改变。也就是说，伪单元 DC 的特性自校准地与存储单元 MC 的相应。结果，读出放大器 S/A 可以为存储单元 MC 提供精确的基准电流。

在以上这些实施例中，用作短路晶体管的晶体管为 PMOS 晶体管。或者，也可以用 NMOS 晶体管作为短路晶体管。在这种可供选择

的方案中，将作为信号 BSHORT 的反相信号的信号 SHORT 输入到短路晶体管的栅极。

第五实施例可以如下与第二至第四实施例中任一组合在一起。第五实施例从而可以呈现为具有与第二至第四实施例中任一的相同的优点。

图 16 为通过将第五实施例与第二实施例组合在一起而得到的读出放大器 S/A 的配置的电路图。与第五实施例类似，在图 16 中所示的读出放大器 S/A 内，极性上分别与位线 BLLi 和 BLRi 的电位相同的电位分别发送给读出节点 SNLi 和 SNRi。因此，构成图 16 中所示的触发器 FF1、FF11 和 FF12 的晶体管在导电类型上与构成图 8 中所示的触发器 FF1、FF11 和 FF12 的晶体管相反。图 16 中所示的触发器 FF1、FF11 和 FF12 受给图 8 中所示的触发器 FF2、FF11 和 FF12 的控制信号的反相信号控制。数据读取操作和数据写入操作的定时图可以很容易从第二和第五实施例类推，因此在这里就不再加以说明。图 16 中所示的读出放大器 S/A 的配置使伪单元方法可用于第二实施例。

图 17 为通过将第五实施例与第三实施例组合在一起而得到的读出放大器 S/A 的配置的电路图。图 17 中所示的读出放大器 S/Ai 与图 16 中所示的读出放大器不同的是用了两个 NMOS 晶体管 TN30 和 TN31 来代替图 16 中所示的短路晶体管 TN5。晶体管 TN30 和 TN31 受图 10 中的信号 BSHT_PRCH 和 BSHT_SENSE 的反相信号控制。图 17 中所示的实施例的数据读取操作和数据写入操作的定时图可以很容易从第三和第五实施例类推，因此在这里就不再加以说明。图 17 中所示的读出放大器 S/A 的配置使伪单元方法可用于第三实施例。

图 18 为通过将第五实施例与第四实施例组合在一起而得到的读出放大器 S/A 的配置的电路图。图 18 中所示的读出放大器 S/Ai 不包括传输门 TGR2 和 TGL2。此外，图 18 中所示的读出放大器 S/Ai 还包括第一定时反相器 CINL 和第二定时反相器 CINR。第一定时反相器 CINL 与第一传输门 TGL1 并联地接在第一位线 BLLi 与第一读出节点 SNLi 之间。第二定时反相器 CINR 与第二传输门 TGR1 并联地

接在第二位线 BLR_i 与第二读出节点 SNR_i 之间。图 18 中所示的读出放大器 S/A 的其他配置可以与按照第五实施例的那些相同。图 18 中所示的实施例的数据读取操作和数据写入操作的定时图可以很容易从第四和第五实施例类推，因此在这里就不再加以说明。图 18 中所示的读出放大器 S/A 的配置使伪单元方法可用于第四实施例。

在第五实施例中，如果制造工艺被管理成使构成读出放大器 S/A 的晶体管间不规则性足够小，定时 t₁、t₂ 和 t₃ 的次序可以与第一实施例类似地按需要设置。当然，可以将定时 t₁、t₂ 和 t₃ 设置成相等的，即 t₁=t₂=t₃。

(第六实施例)

图 19 为按照本发明的第六实施例的 FBC 存储器件的配置的电路图。按照第六实施例的 FBC 存储器件与按照以上实施例的不同之处是采用了 2 单元/位的结构。“2 单元/位结构”是指通过将互补数据写入接到成对位线 BLL_i 和 BBLL_i 或成对位线 BLR_i 和 BBLR_i 上、在同一字线上彼此相邻的两个存储单元 MC 来存储一位数据的结构。“互补数据”是指两个在极性上相反的数据，具有在数据“0”与数据“1”之间的关系。在数据读取操作中，互补数据中的一个数据设置为相对另一个数据的基准数据，而另一个数据设置为相对这一个数据的基准数据。

图 20 为按照第六实施例的读出放大器 S/A_i 的配置的电路图。按照第六实施例的读出放大器 S/A_i 与按照第一实施例的读出放大器不同的是读出放大器 S/A_i 包括传输门 TGL61 至 TGL64 和 TGR61 至 TGR64。按照第六实施例的读出放大器 S/A 的其他配置可以与按照第五实施例的那些相同。传输门 TGL61 接在位线 BLL_i 和读出节点 S_{Ni} 之间。传输门 TGL62 接在位线 BBLL_i 与读出节点 BSN_i 之间。传输门 TGL63 接在位线 BLL_i 与读出节点 BSN_i 之间。传输门 TGL64 接在位线 BBLL_i 与读出节点 S_{Ni} 之间。传输门 TGR61 接在位线 BLR_i 和读出节点 S_{Ni} 之间。传输门 TGR62 接在位线 BBLL_i 与读出节点 BSN_i 之间。传输门 TGR63 接在位线 BLL_i 与读出节点 BSN_i 之间。传输门 TGR64 接在位线 BBLR_i 与读出节点 S_{Ni} 之间。

图 21 为示出按照第六实施例的读出放大器 S/Ai 执行的数据读取操作的定时图。在定时 t11 前，读出放大器 S/Ai 处在预充电状态。在定时 t12，在选择了字线 WLL0 时，信号 Φ_{tL} 保持激活，而信号 Φ_{tR} 为非激活。从而，传输门 TGR61 和 TGR62 被截断。

在定时 t11 到 t14 期间，在数据检测后，信号 Φ_{tL} 被去活，如在第一实施例中所说明的那样。读出节点 SNi 和 BSNi 从而与位线 BLLi、BBLLi、BLRi 和 BBLRi 断开。

在定时 t13 后，读出放大器 S/Ai 与按照第一实施例的类似地进行工作。

由于按照第六实施例的读出放大器 S/Ai 执行的数据写入操作可以很容易从图 5 和 19 类推，因此在这里不再加以说明。

在第六实施例中，如果制造工艺被管理成使构成读出放大器 S/A 的晶体管间不规则性足够小，定时 t11、t12 和 t13 的次序可以与第一实施例类似地按需要设置。当然，定时 t11、t12 和 t13 可以设置成相等的，即 $t11=t12=t13$ 。

(第六实施例的变型)

图 22 为按照第六实施例的变型的读出放大器 S/A 的配置的电路图。图 23 示出了它的操作的定时图。如这个变型中所示，可以将读出放大器直接接到一对位线上并放大位线上的信号。也就是说，读出放大器 S/A 没有读出节点 SN、SNB 和传输门 TGL1、TGL2、TGR1、TGR2。

此外，这个变型与第六实施例不同的是这个变型的读出放大器 S/A 接到它的一侧的位线 BL 和它的另一侧的位线 BBL 上。然而，读出放大器 S/A 用位线 BBL 上的数据作为基准来检测位线 BL 上的数据，而用位线 BL 上的数据作为基准来检测位线 BBL 上的数据。因此，这个变型具有与第六实施例相同的 2 单元/位结构。

如图 23 所示，这个变型中的触发器 FF1 在短路开关 TNS 将位线 BL 与位线 BBL 短路的情况下放大数据。然后，短路开关 TNS 在数据放大之后或同时将位线 BL 与位线 BBL 断开。这个操作与第六实施例

的操作相同。

结果，这个变型可以获得与上面所说明的第六实施例的相同的优点。

(第七实施例)

图 24 为按照本发明的第七实施例的读出放大器 S/Ai 的配置的电路图。第七实施例为第六与第二实施例的组合。按照第七实施例的读出放大器 S/Ai 与按照第六实施例的读出放大器不同的是：读出放大器 S/Ai 包括第一触发器 FF11 和第二触发器 FF12，用来代替图 20 中所示的触发器 FF1。按照第七实施例的读出放大器 S/A 的其他配置可以与按照第六实施例的那些相同。

图 25 为示出按照第七实施例的读出放大器 S/Ai 执行的数据读取操作的定时图。由于图 25 中所示的数据读取操作可以很容易从图 7 和 19 类推，因此在这里不再加以说明。

在第七实施例中，如果制造工艺被管理成使构成读出放大器 S/A 的晶体管间不规则性足够小，定时 t1、t2 和 t3 的次序可以与第一实施例类似地按需要设置。当然，可以将定时 t1、t2 和 t3 设置成相等的，即 $t1=t2=t3$ 。

(第八实施例)

图 26 为按照本发明的第八实施例的读出放大器 S/Ai 的配置的电路图。第八实施例为第七与第三实施例的组合。按照第八实施例的读出放大器 S/Ai 与按照第七实施例的读出放大器不同的是：读出放大器 S/Ai 包括用作第一短路开关的 PMOS 晶体管 TP30 和用作第二短路开关的 PMOS 晶体管 TP31，用来代替图 24 中所示的 PMOS 晶体管 TP3。按照第八实施例的读出放大器 S/A 的其他配置可以与按照第七实施例的那些相同。

图 27 为示出按照第八实施例的读出放大器 S/Ai 执行的数据读取操作的定时图。由于图 27 中所示的数据读取操作可以很容易从图 9 和 19 类推，因此在这里不再加以说明。

(第九实施例)

图 28A 为按照本发明的第九实施例的读出放大器 S/Ai 的配置的电路图。第九实施例为第六与第四实施例的组合。按照第九实施例的读出放大器 S/Ai 与图 20 中所示的读出放大器不同的是：读出放大器 S/Ai 不包括传输门 TGL63、TGL64、TGR63 和 TGR64。此外，按照第九实施例的读出放大器 S/Ai 包括定时反相器 CINL1、CINL2、CINR1 和 CINR2。定时反相器 CINL1 与传输门 TGL61 并联地接在位线 BLLi 与读出节点 SNi 之间。定时反相器 CINL2 与传输门 TGL62 并联地接在位线 BBLLi 与读出节点 BSNi 之间。定时反相器 CINR1 与传输门 TGR61 并联地接在位线 BLRi 与读出节点 SNi 之间。定时反相器 CINR2 与传输门 TGL62 并联地接在位线 BBLRi 与读出节点 BSNi 之间。按照第九实施例的读出放大器 S/Ai 的其他配置可以与按照图 20 中所示的第六实施例的那些相同。图 28A 中所示的读出放大器 S/Ai 内使用了图 28B 中所示的定时反相器。图 28C 中所示的定时反相器为图 28B 中所示的定时反相器的电路图。

图 29 为示出按照第九实施例的读出放大器 S/Ai 执行的数据读取操作的定时图。由于图 29 中所示的数据读取操作可以很容易从图 21 和第四实施例类推，因此在这里不再加以说明。

与第六至第九实施例类似，第一至第四实施例可以应用于基于 2 单元/位结构的 FBC 存储器件。

在第九实施例中，如果制造工艺被管理成使构成读出放大器 S/A 的晶体管间的不规则性足够小，定时 t11、t12 和 t13 的次序可以与第一实施例类似按需要设置。当然，定时 t11、t12 和 t13 可以设置成相等的，即 $t11=t12=t13$ 。

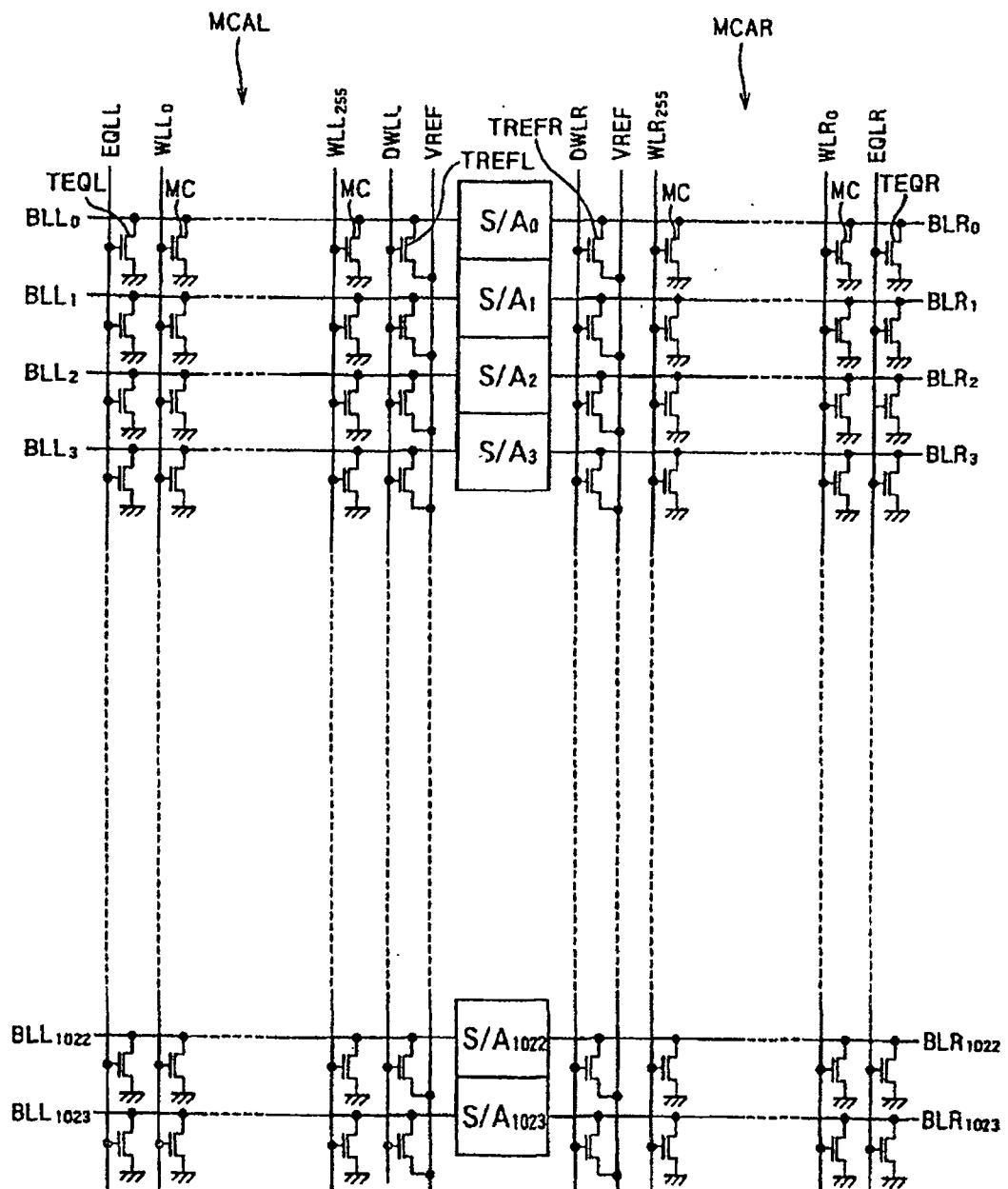
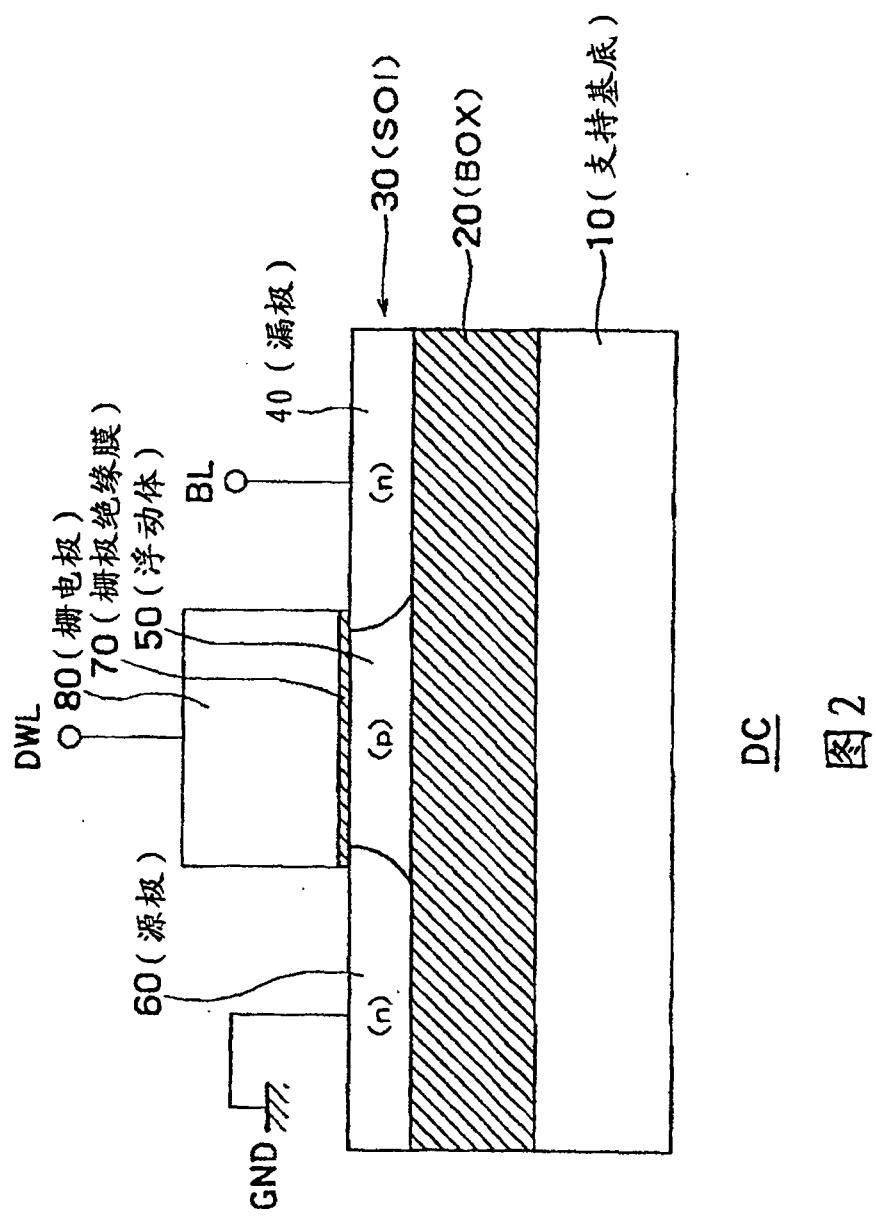


图 1



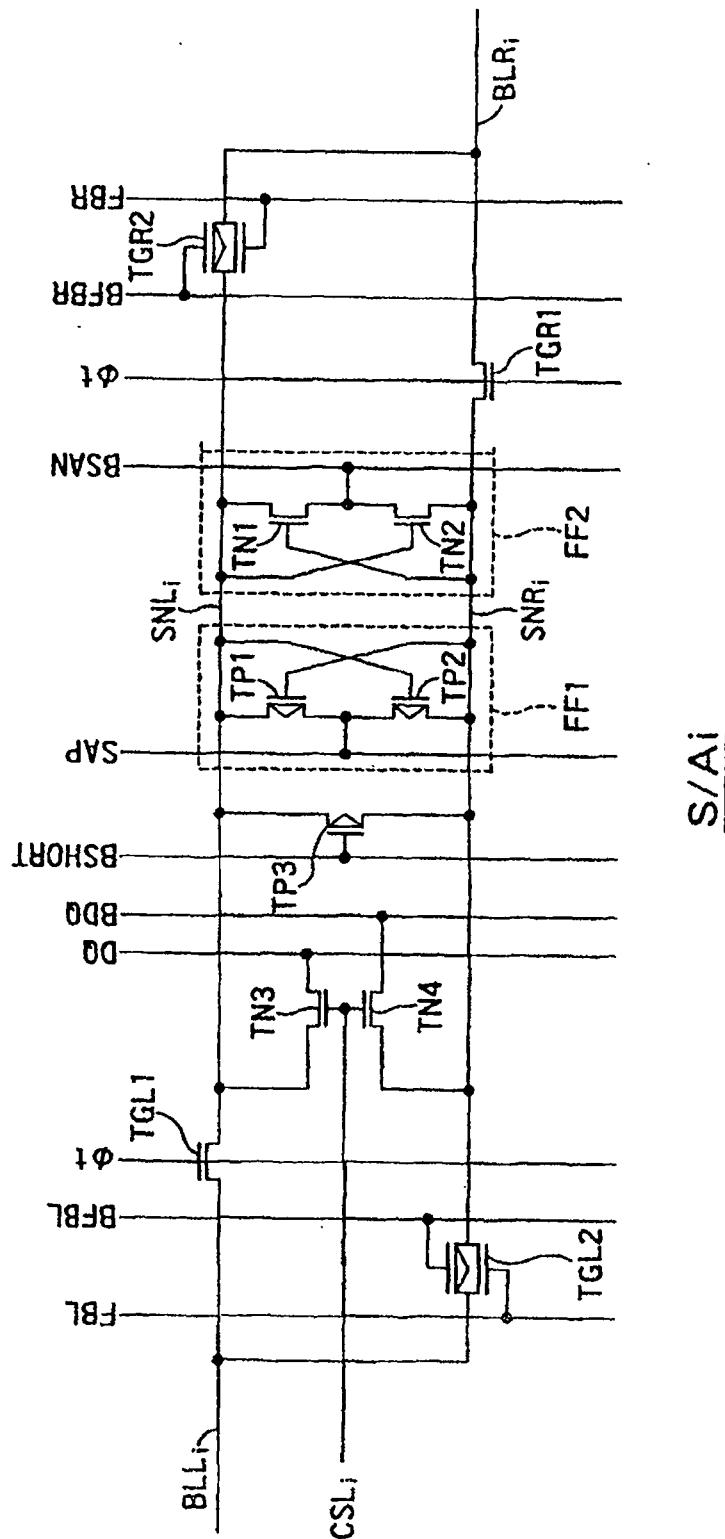


图 3

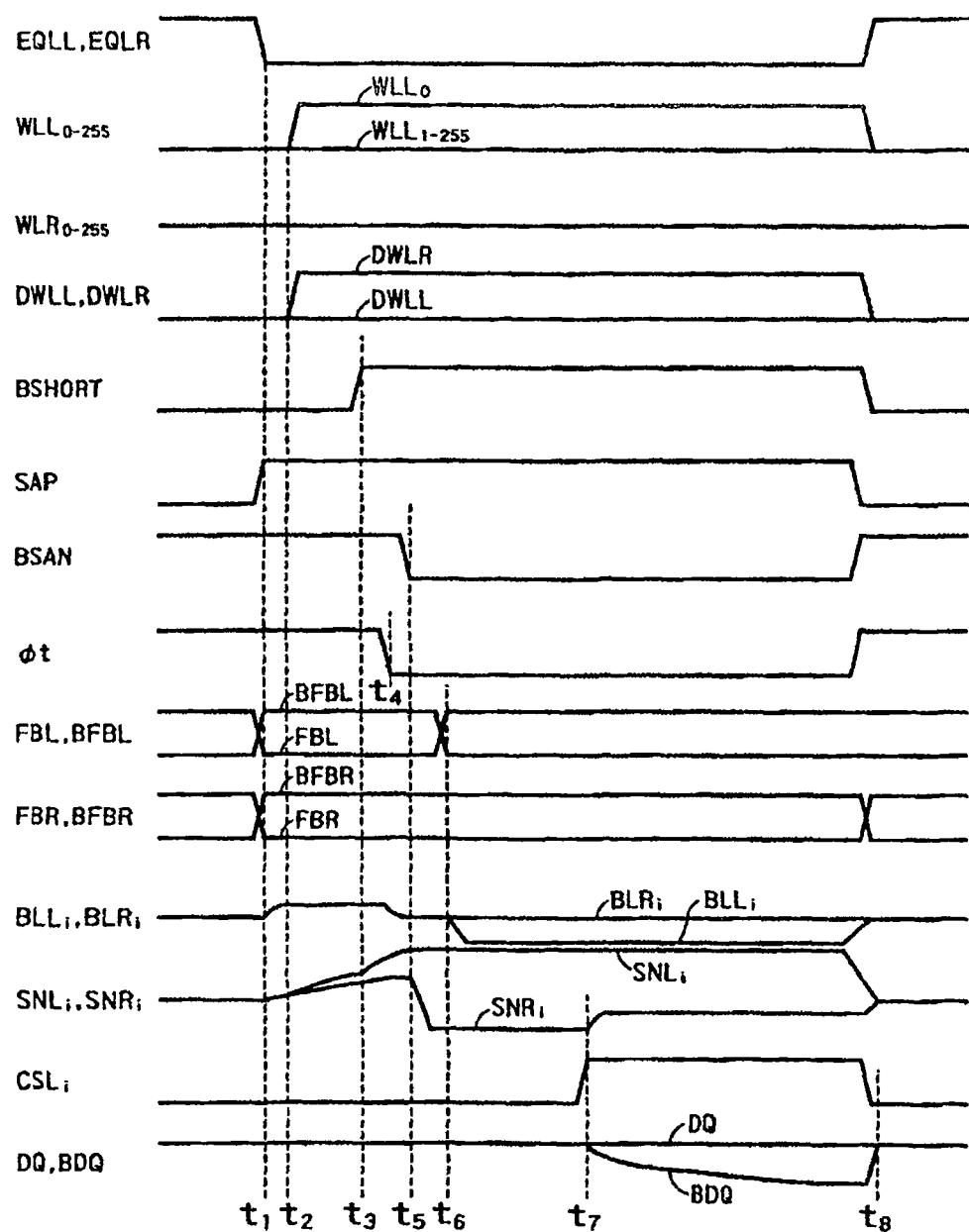
数据读取操作

图 4

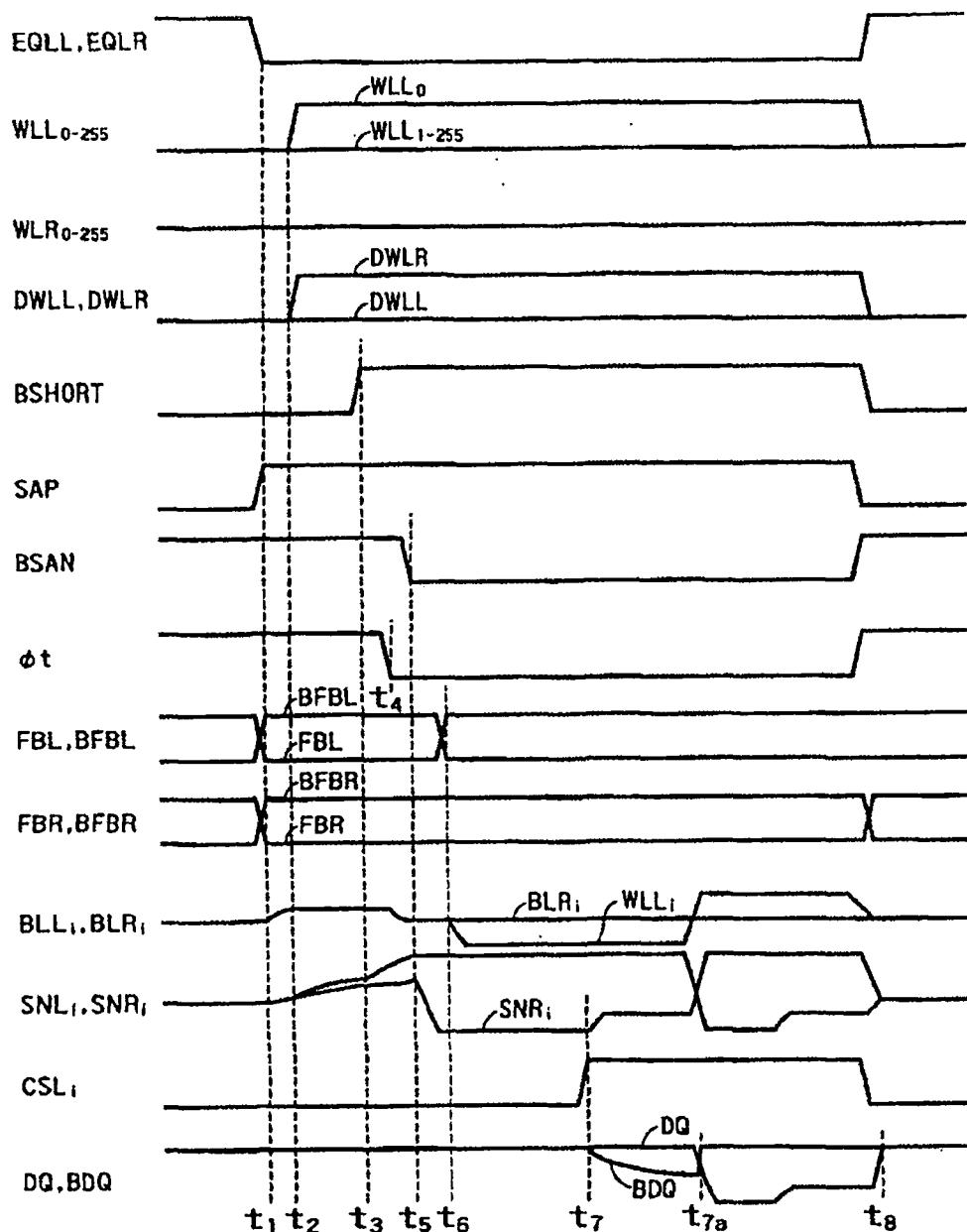
数据写入操作

图 5

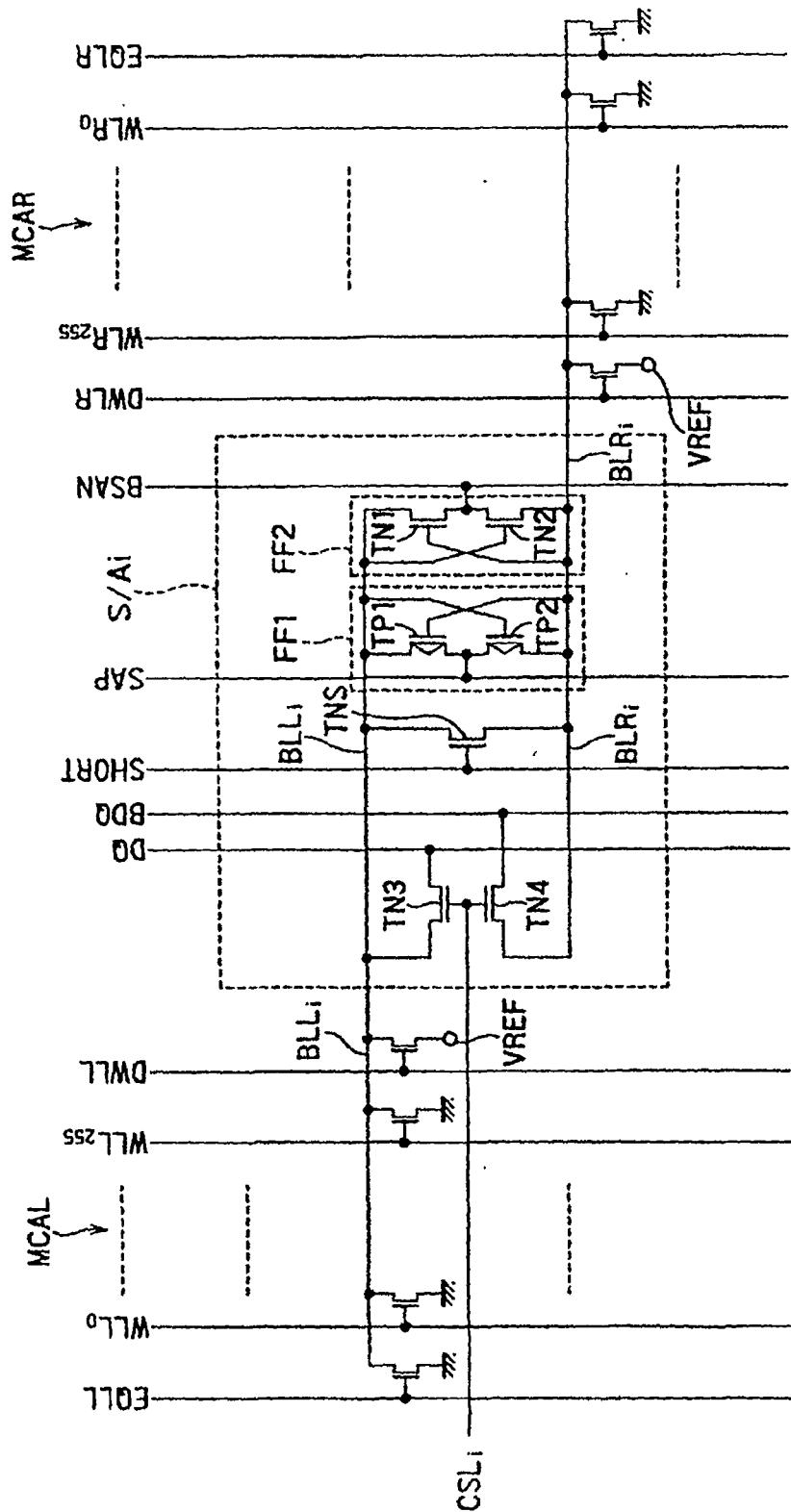


图 6

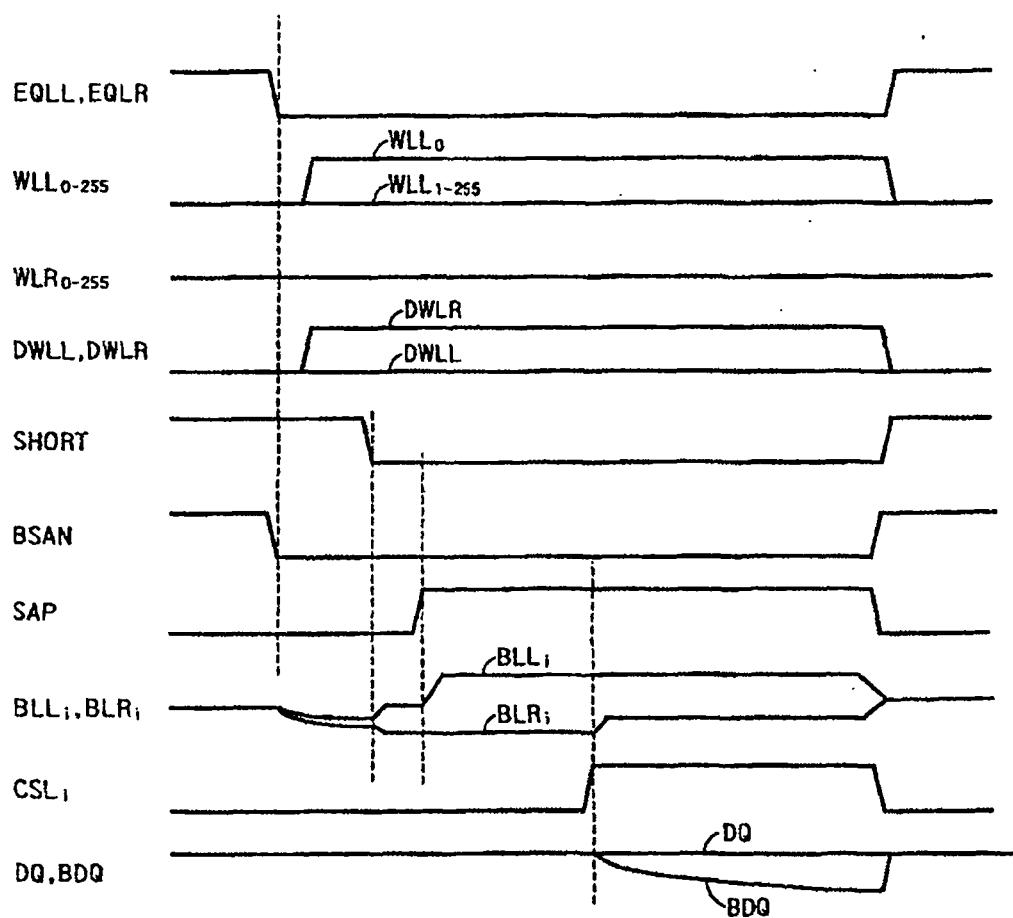


图 7

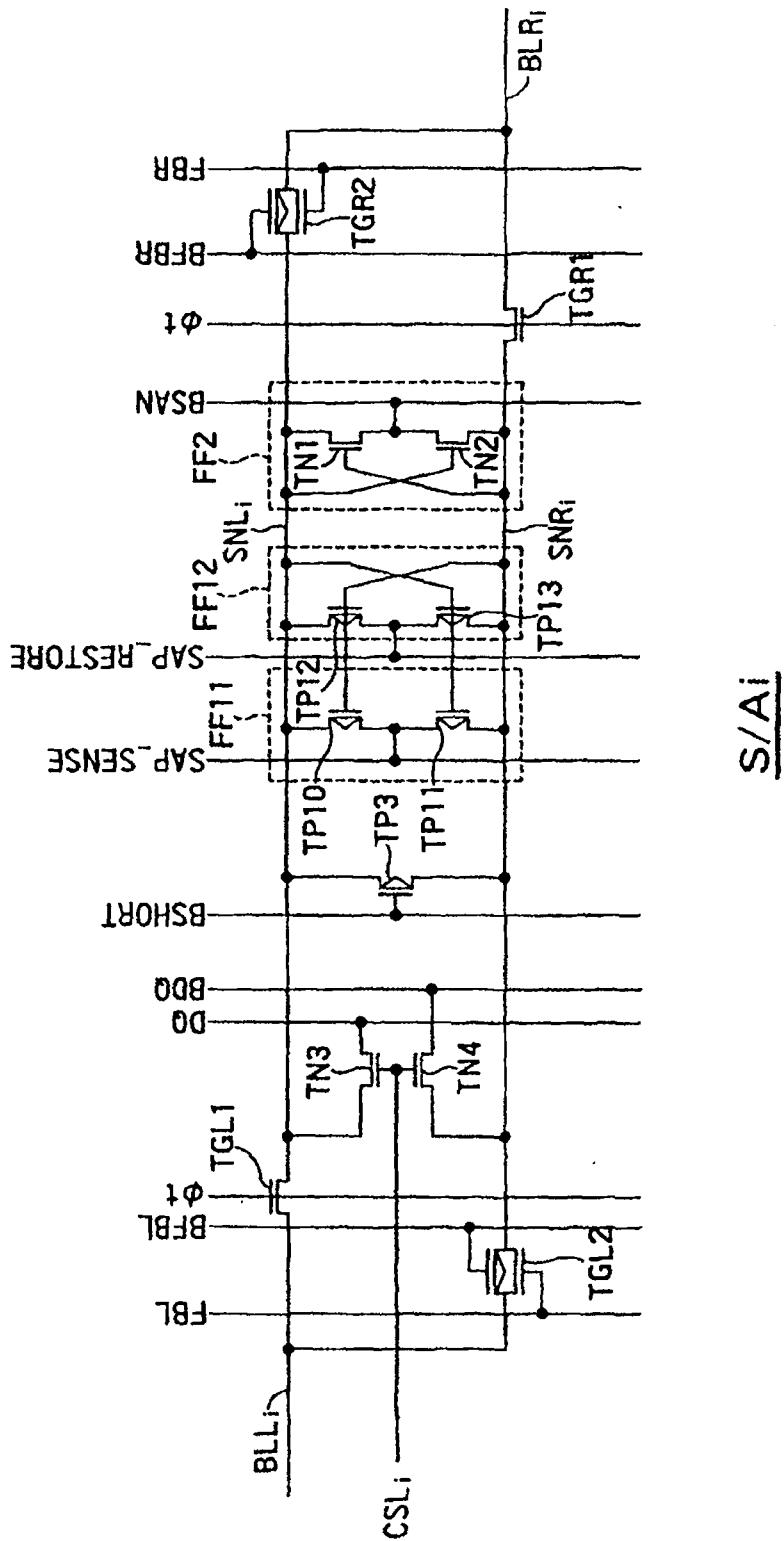
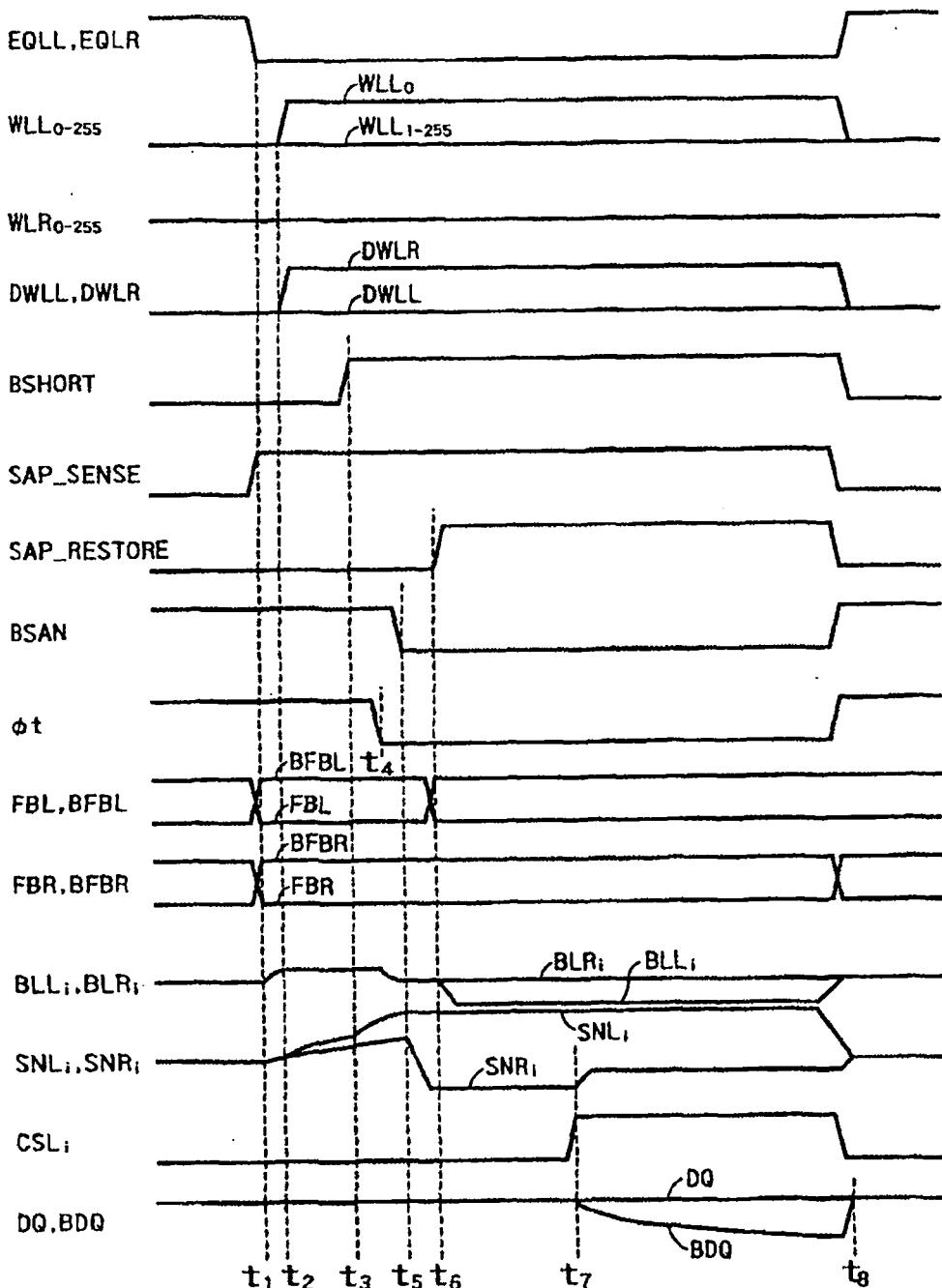
S/Ai

图 8



数据读取操作

图 9

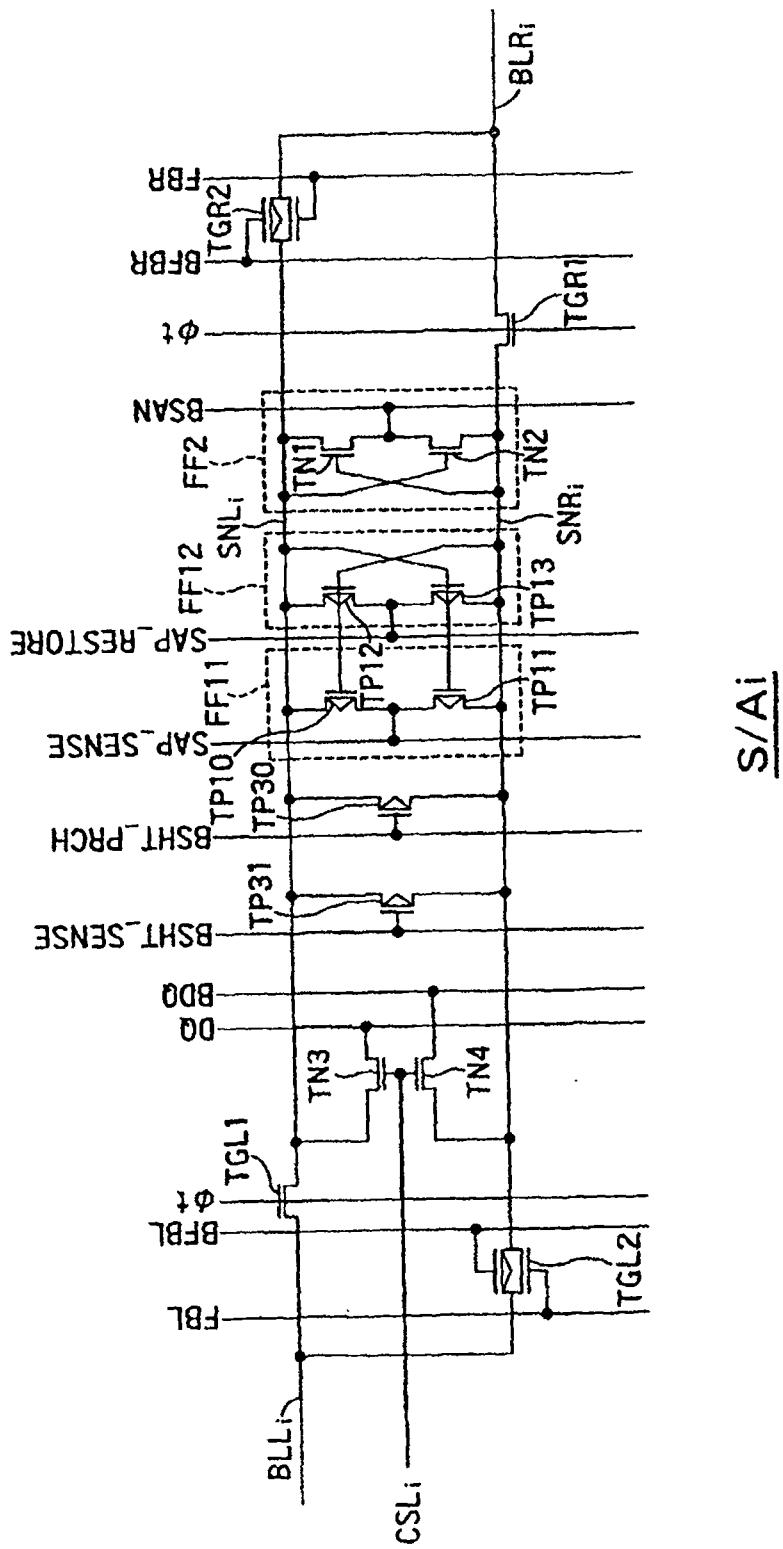
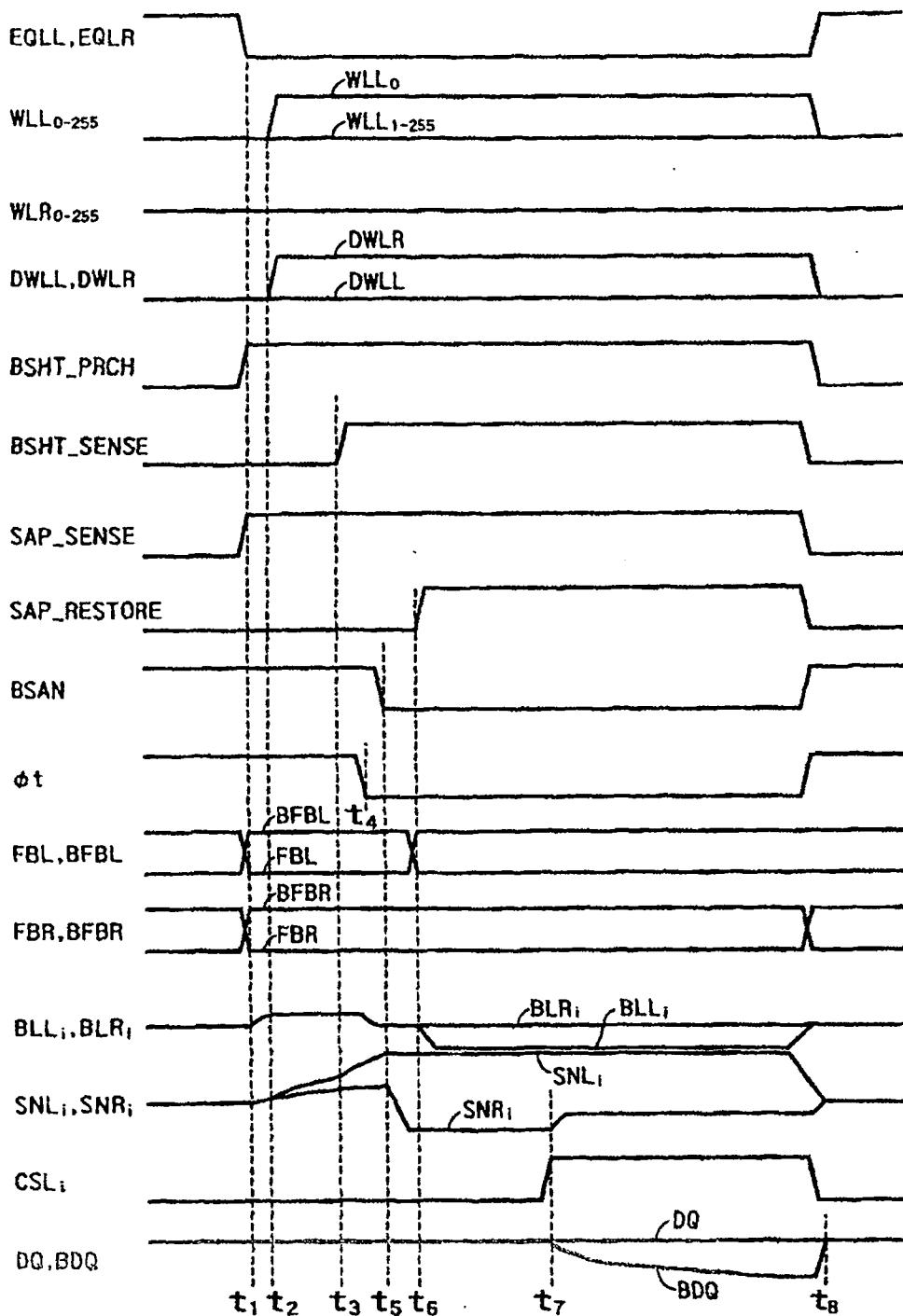


图 10



数据读取操作

图 11

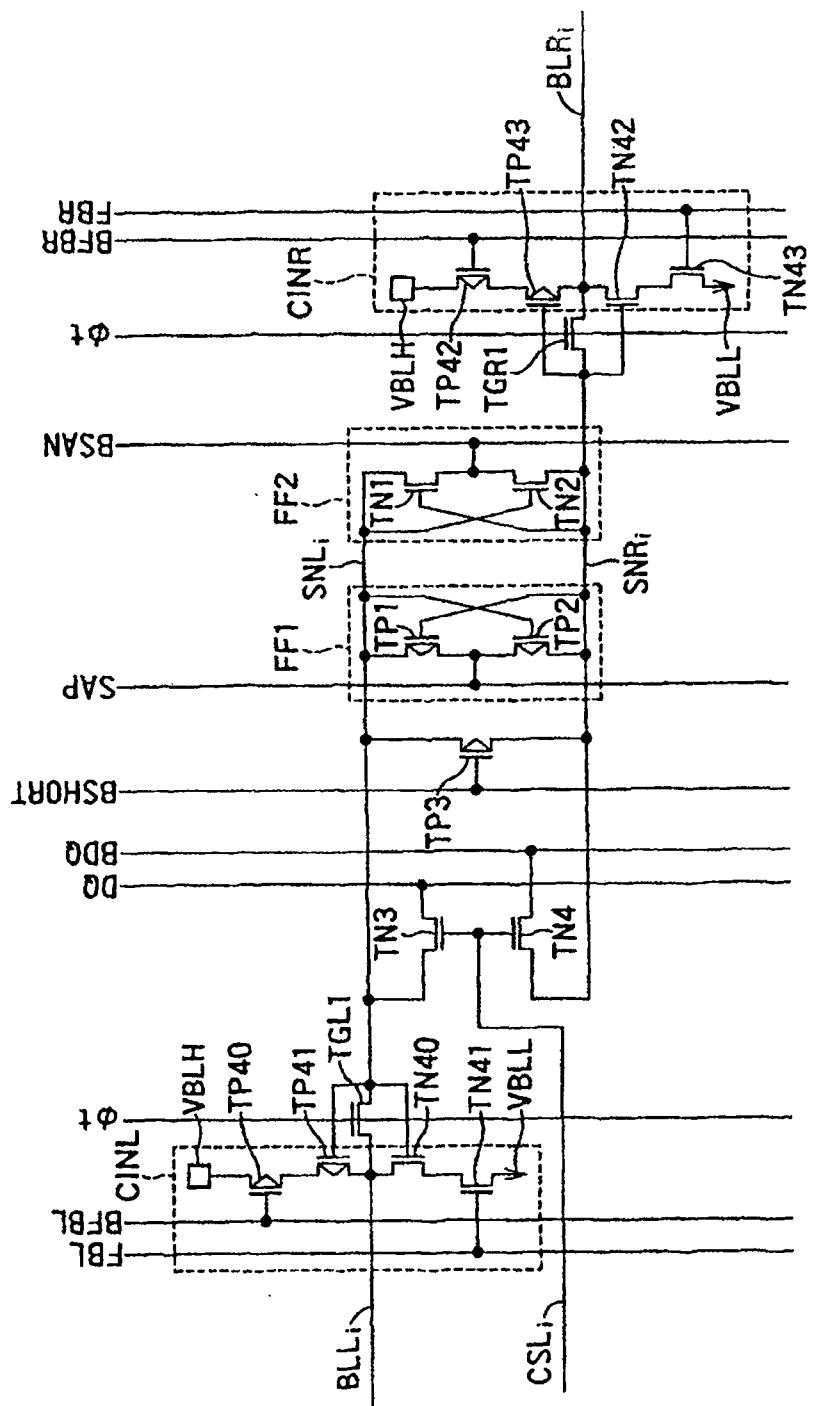


图 12

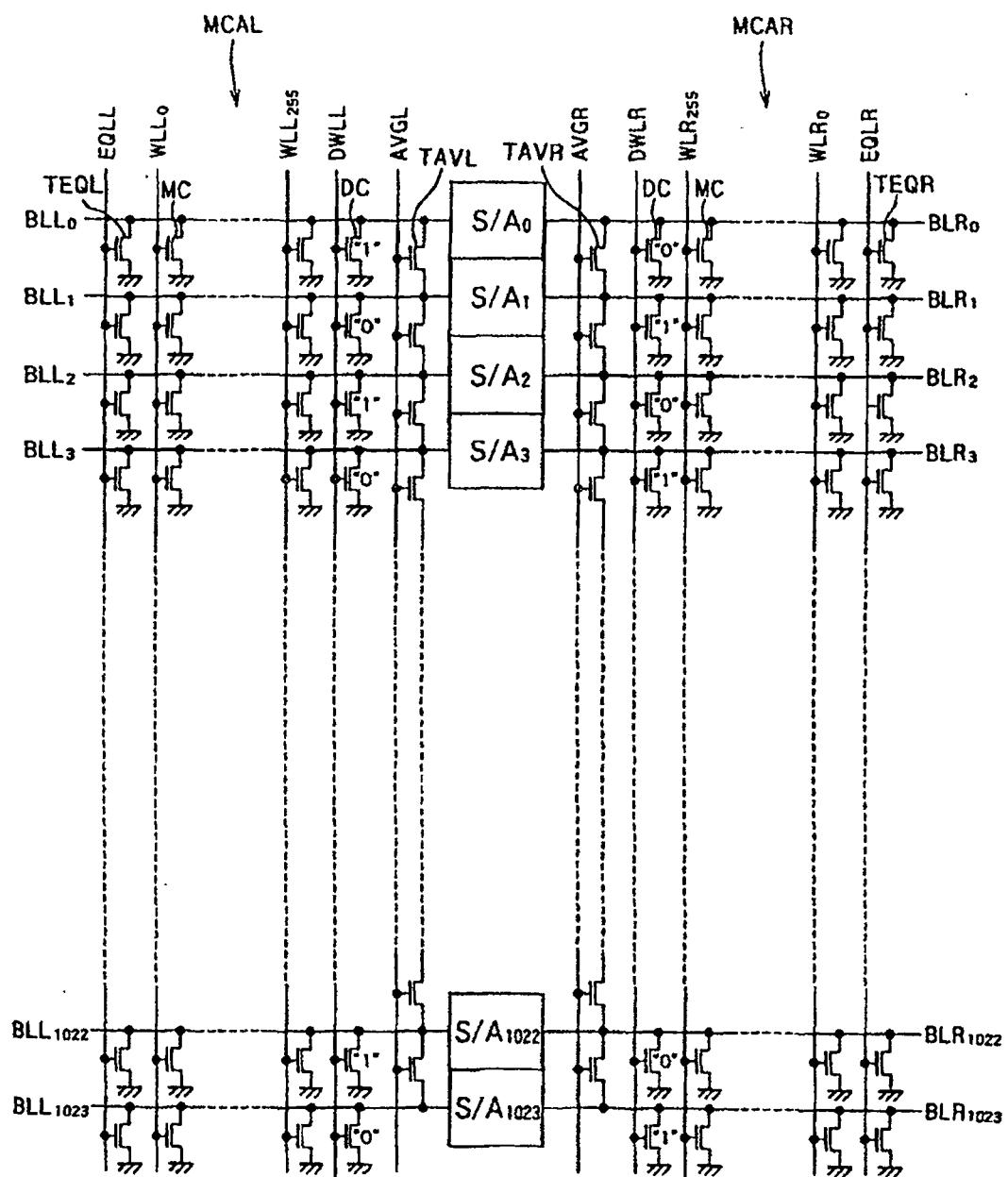


图 13

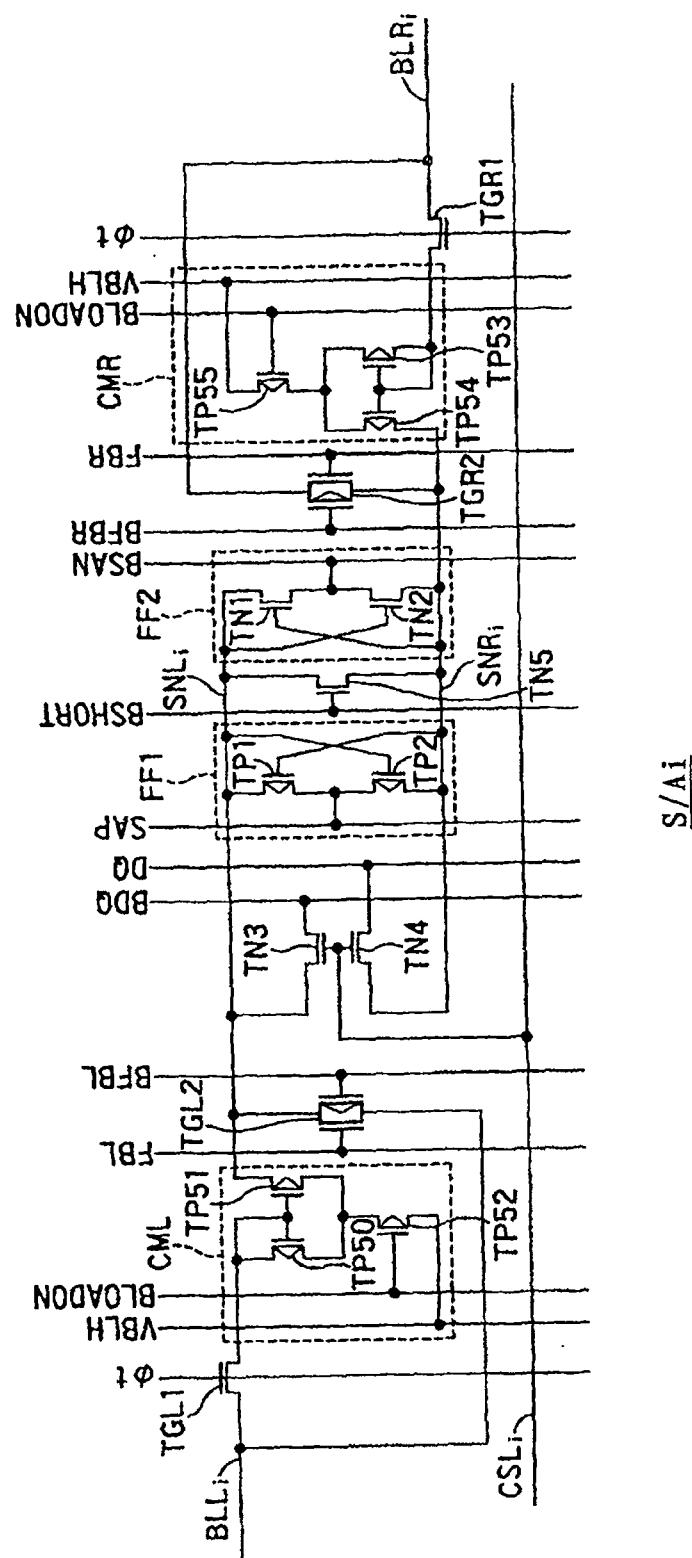


图 14

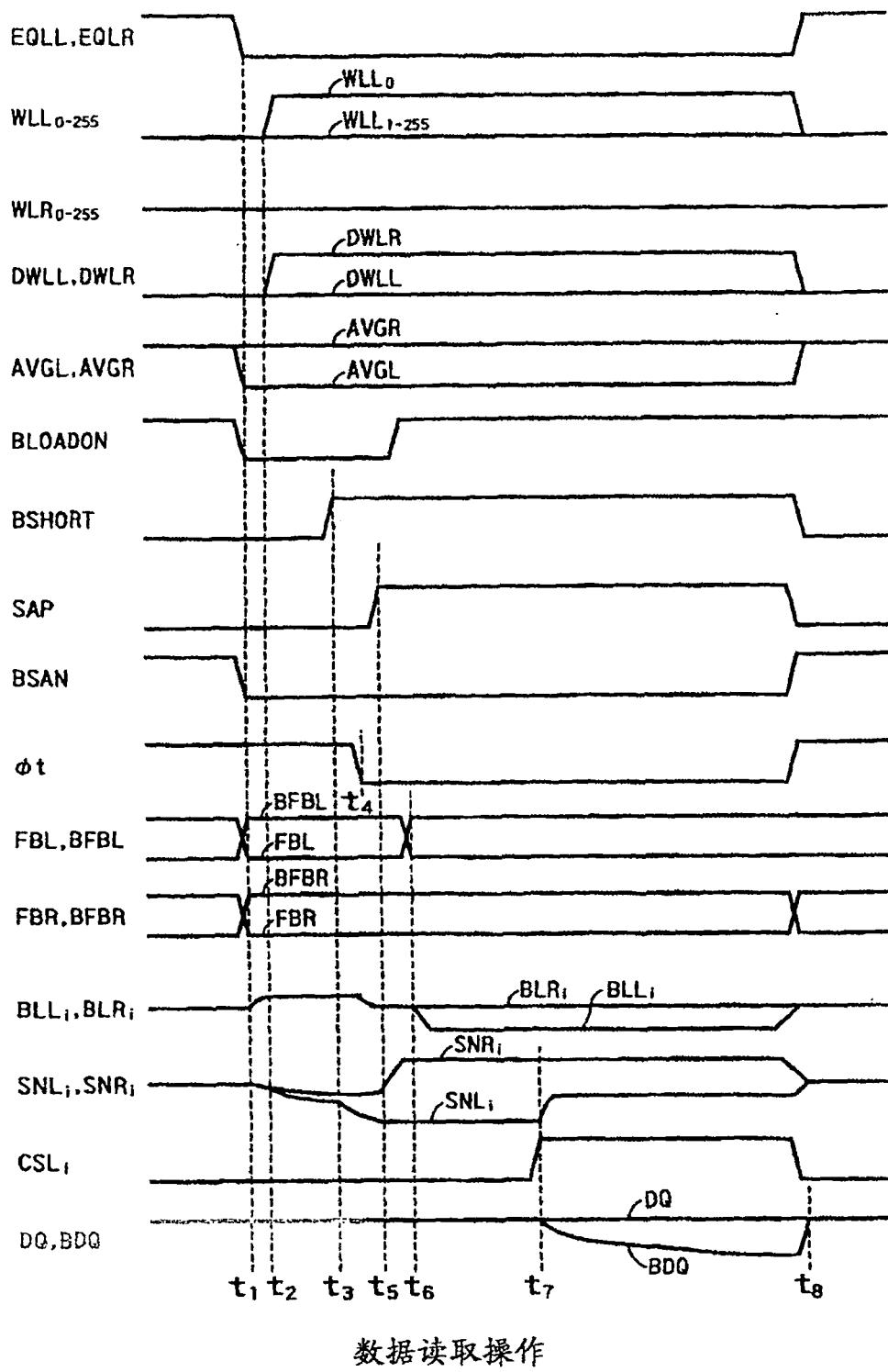
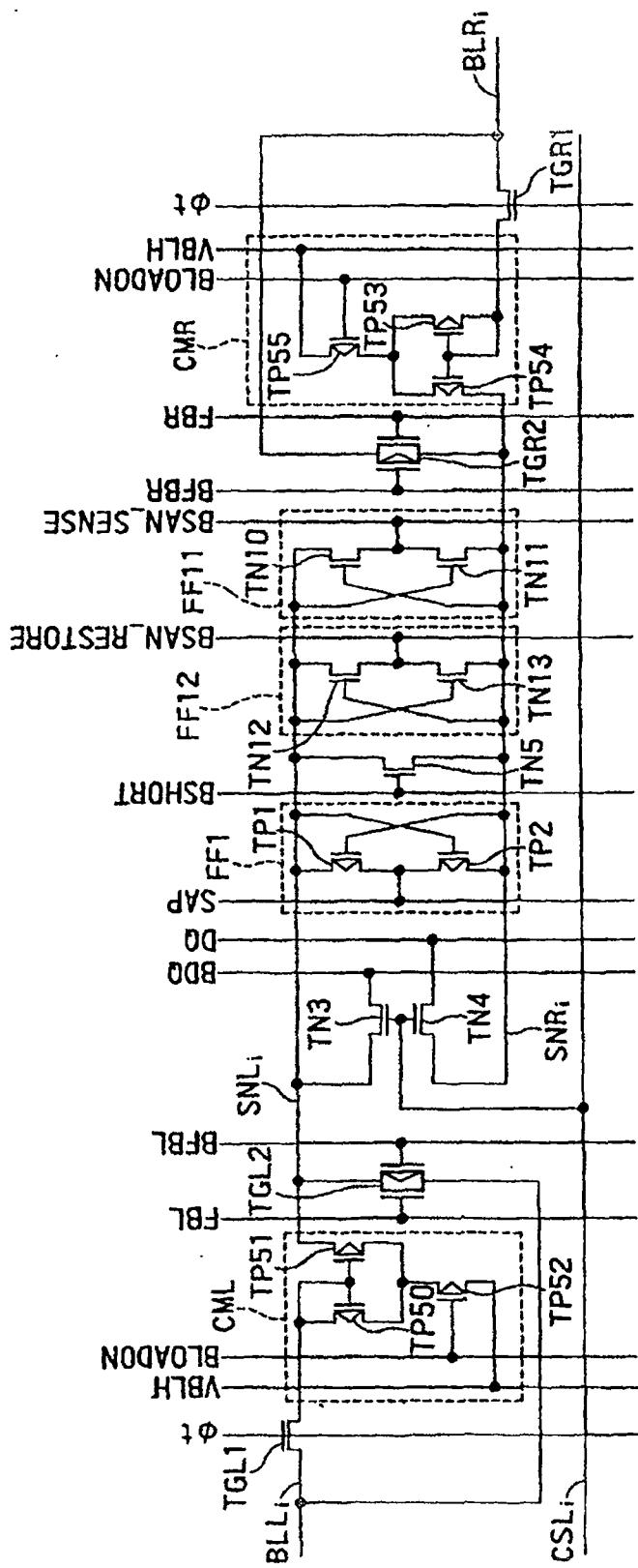
数据读取操作

图 15



16

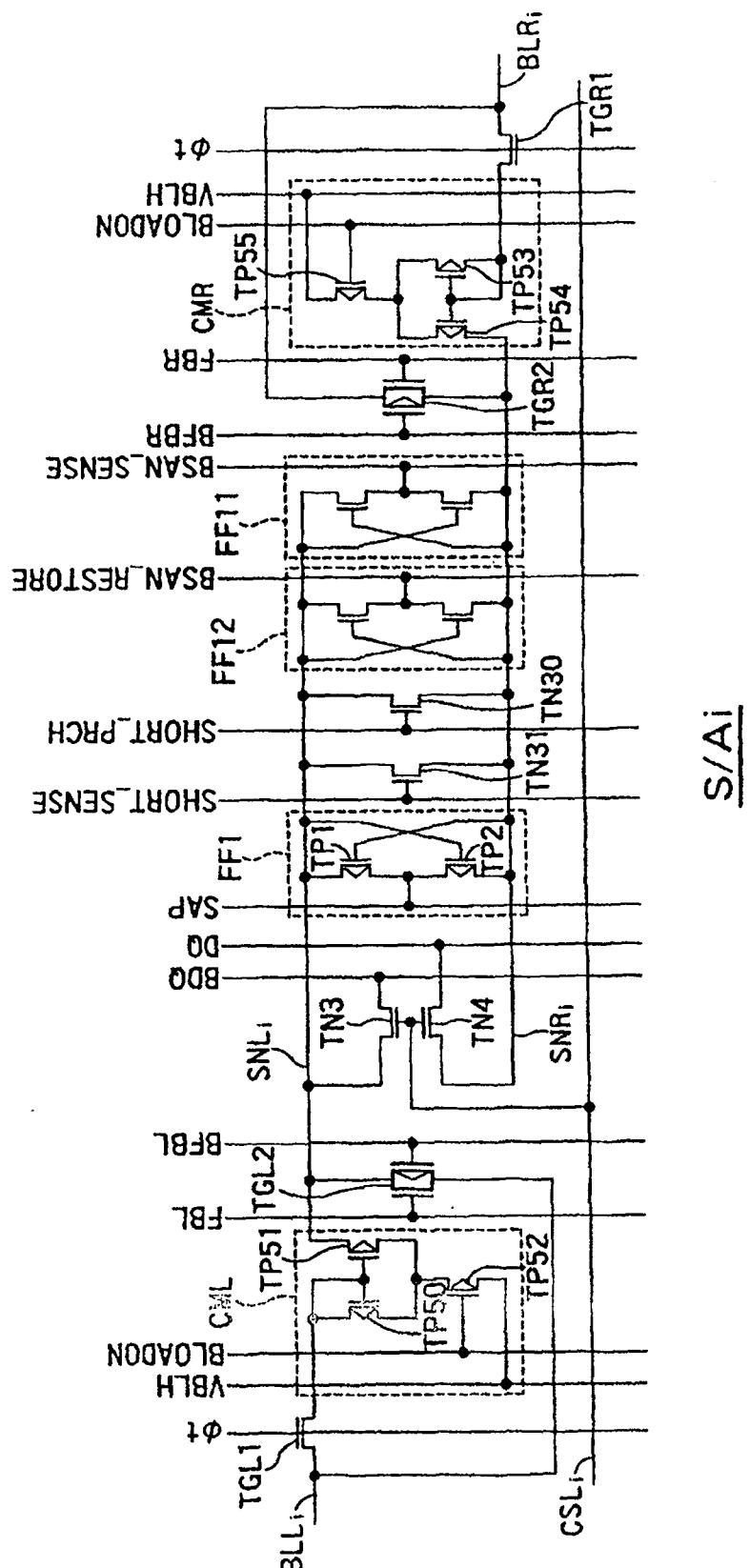


图 17

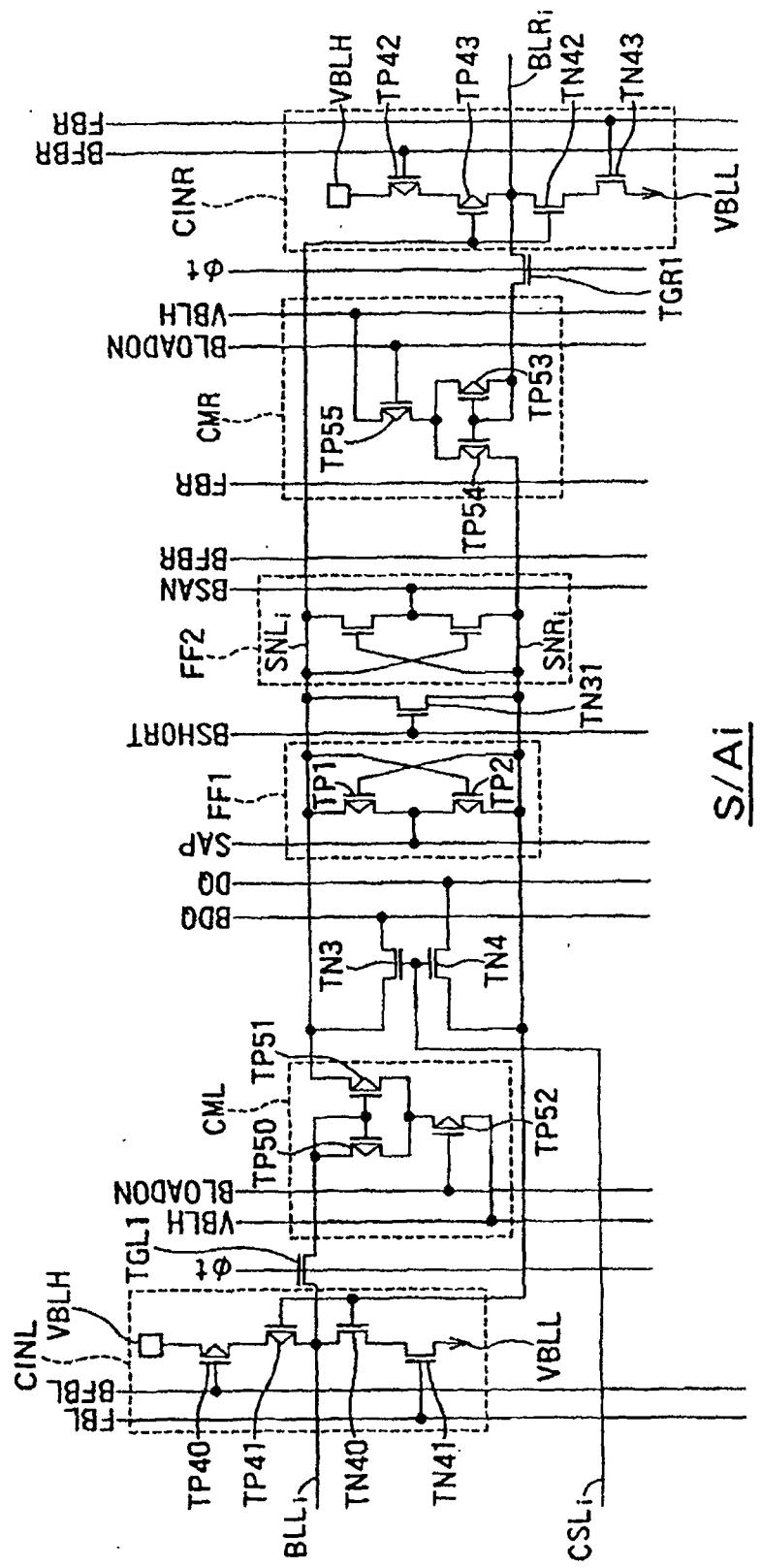


图 18

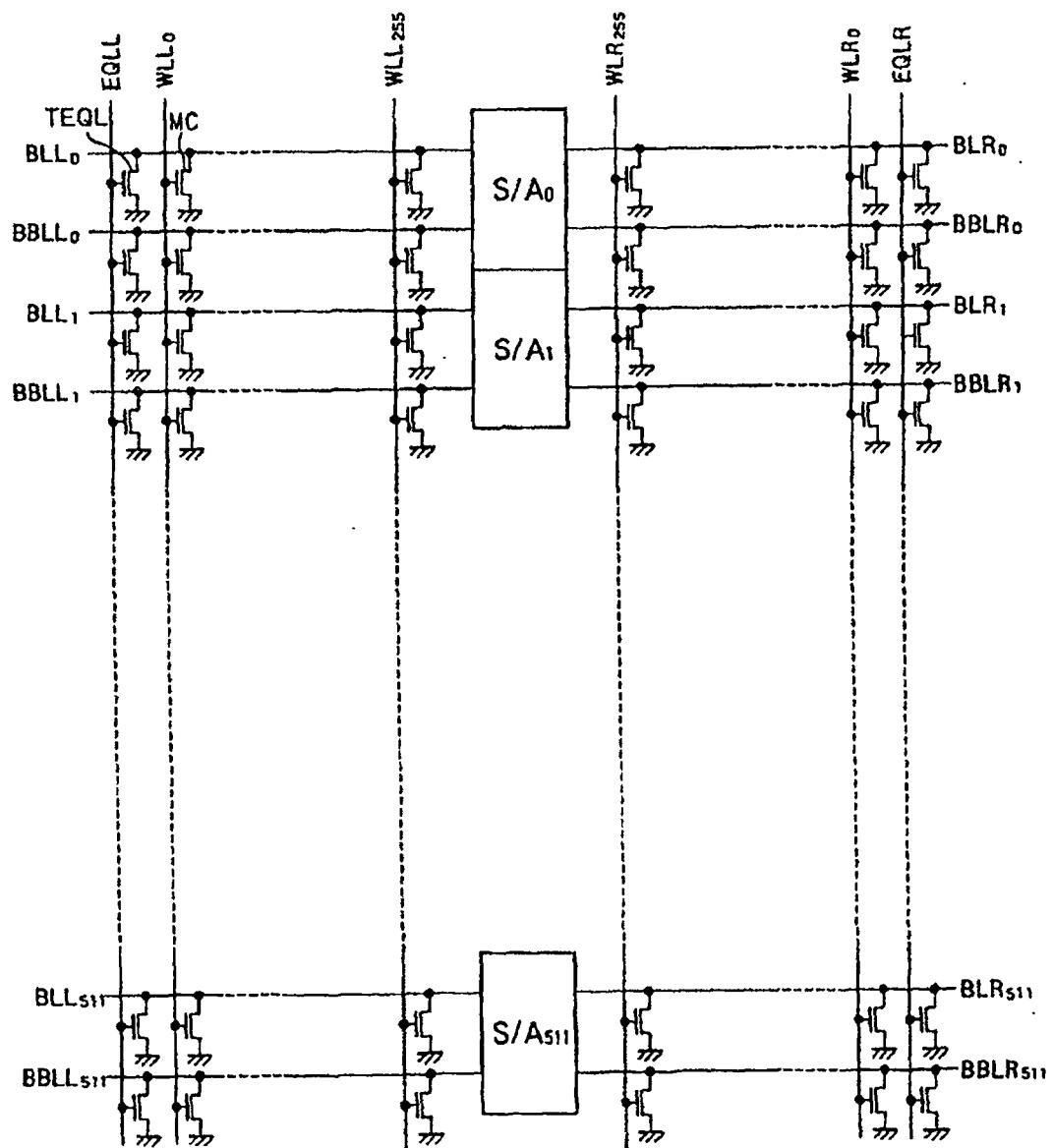


图 19

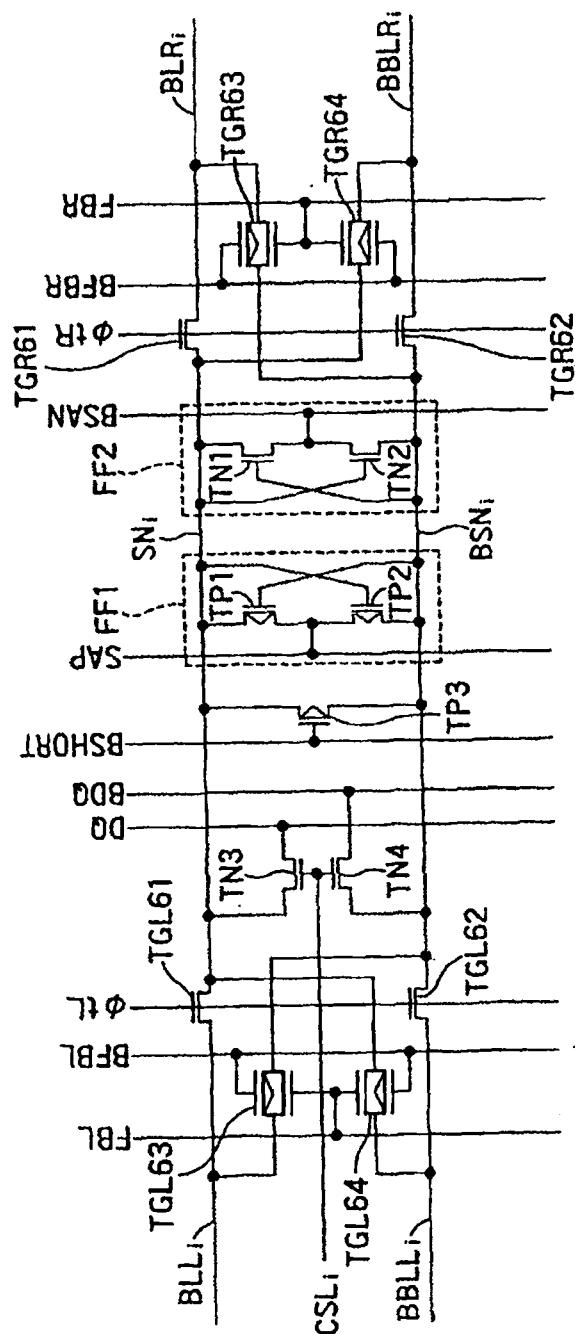
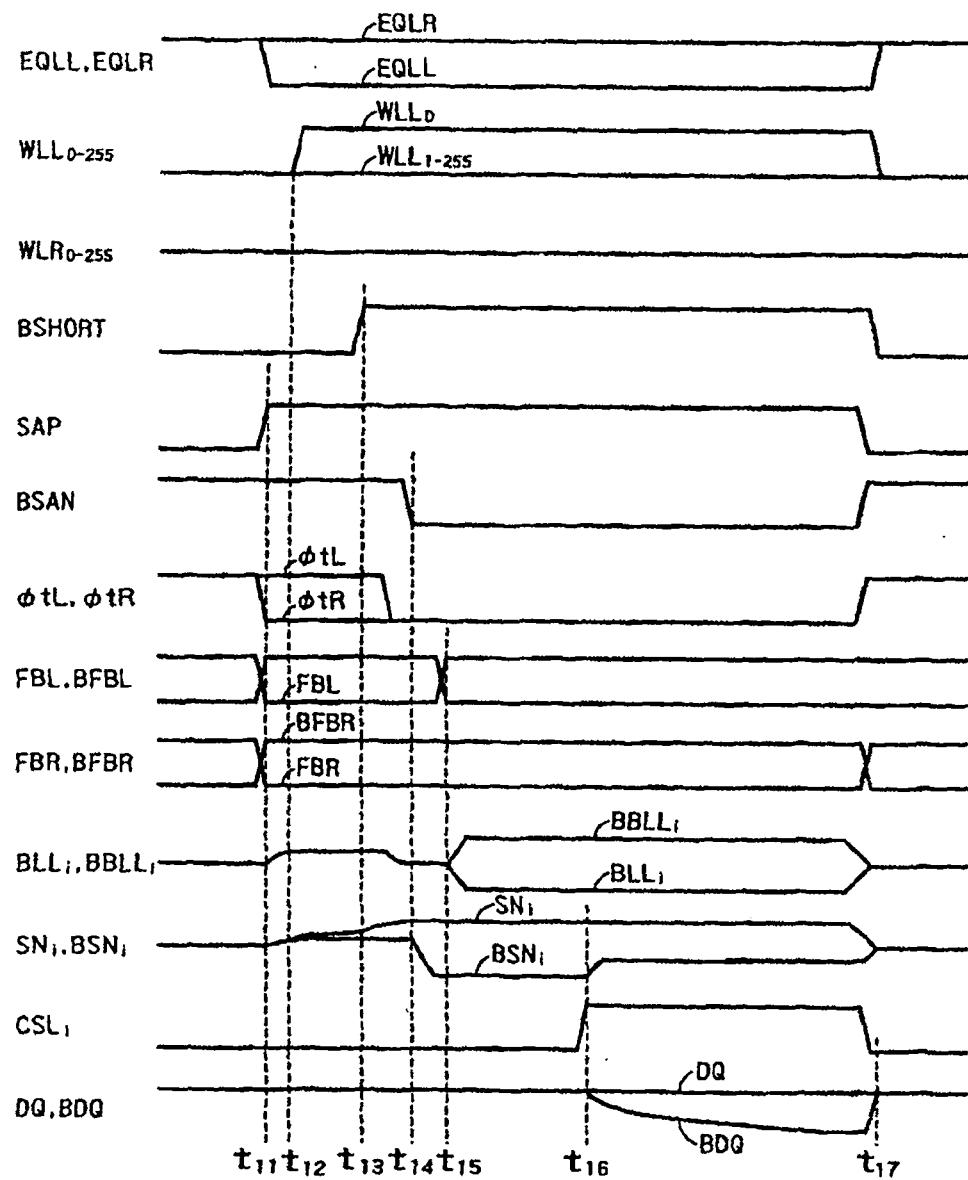
S/A_i

图 20



数据读取操作

图 21

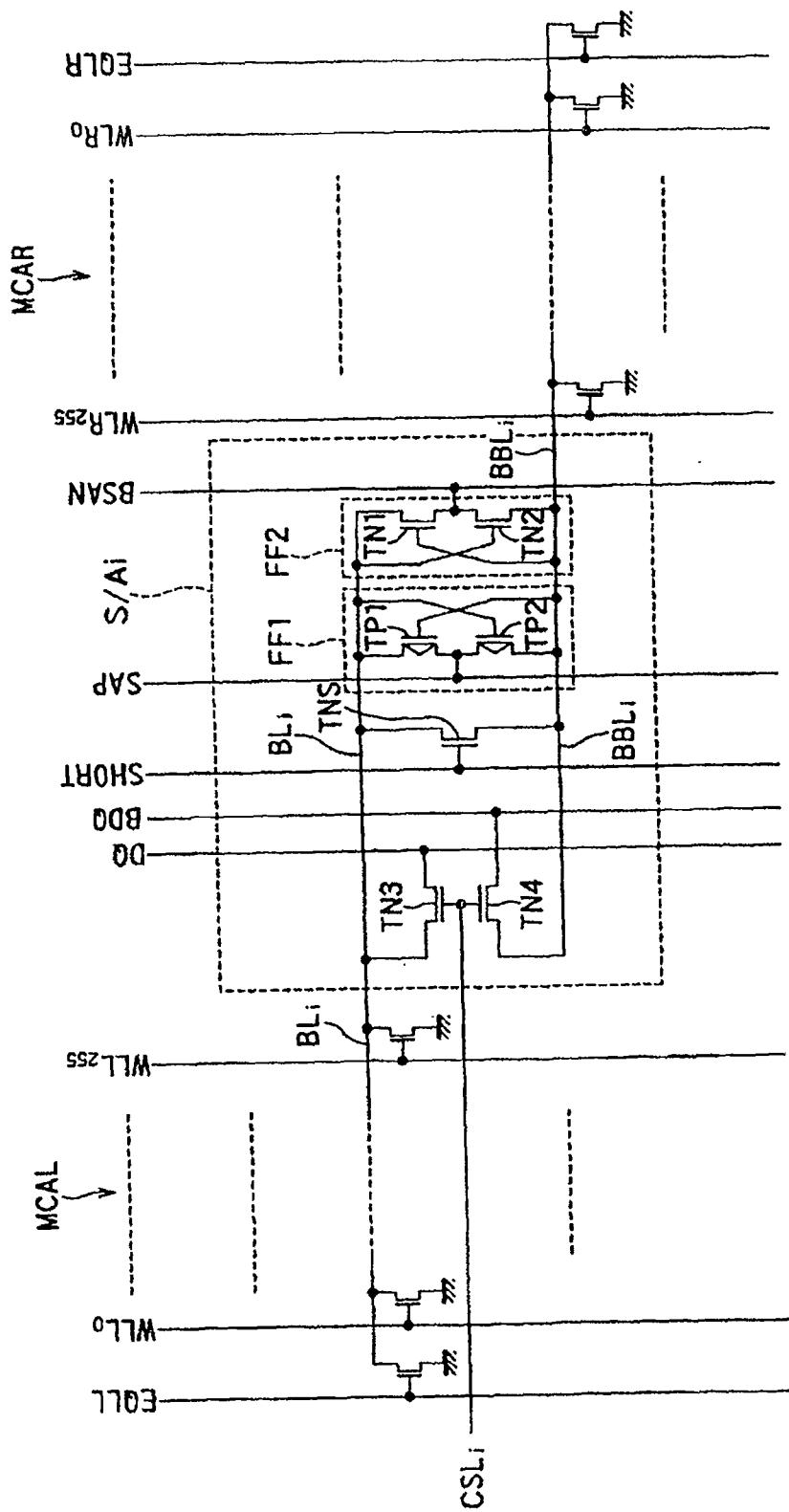


图 22

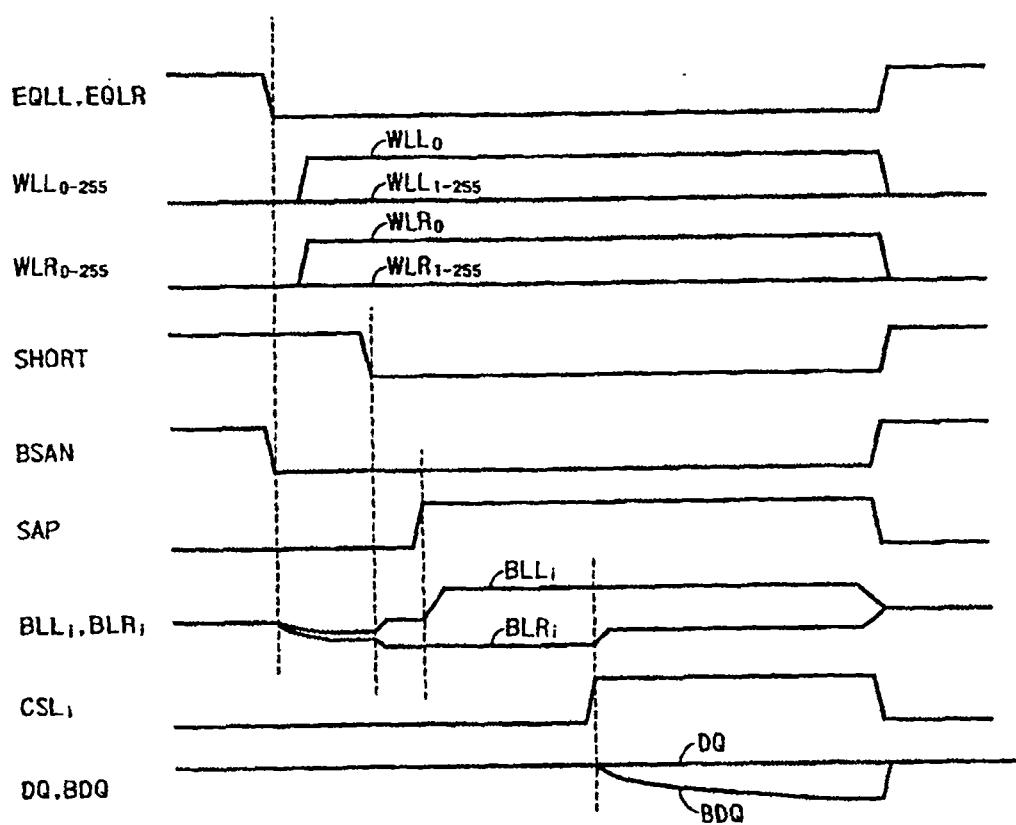


图 23

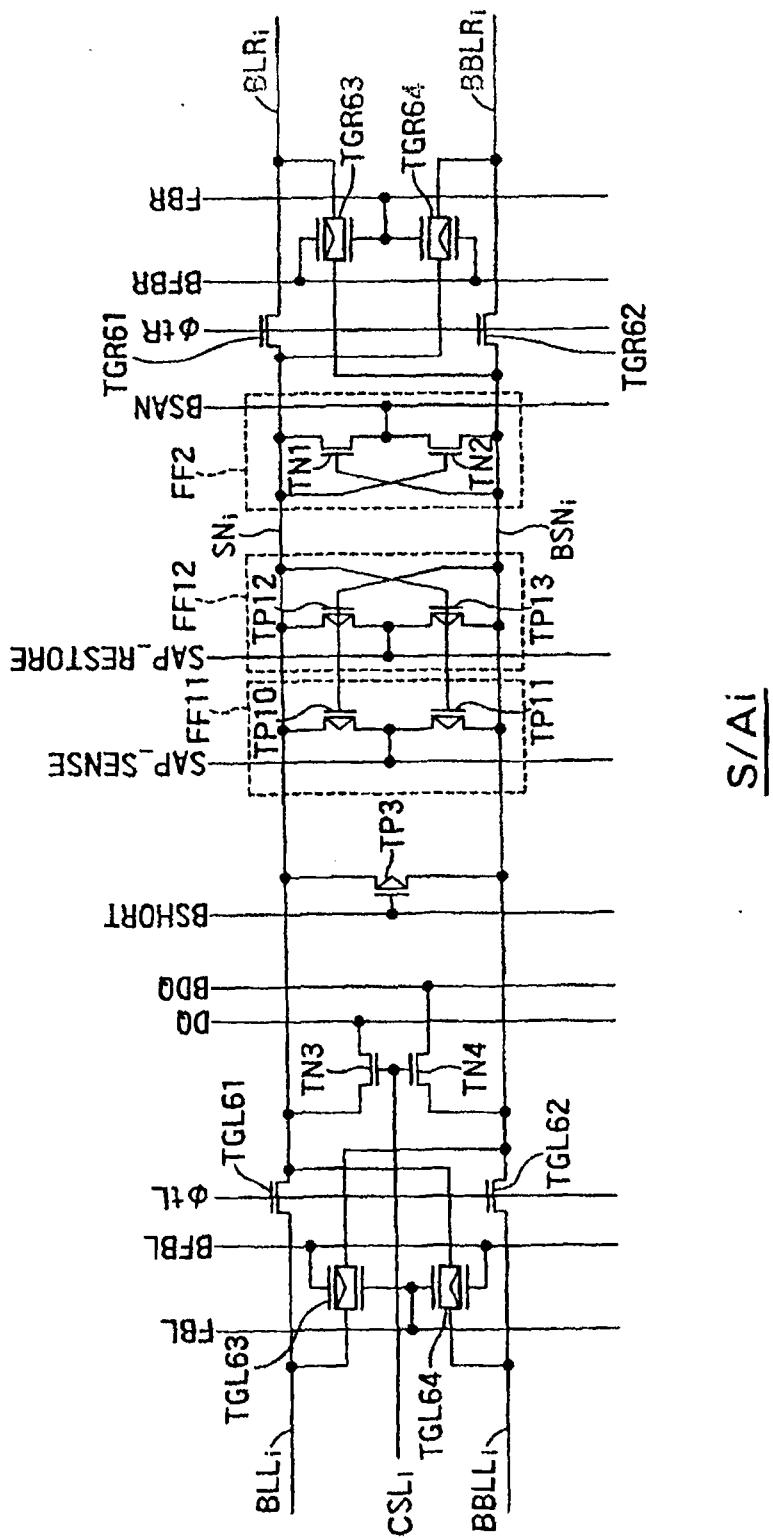
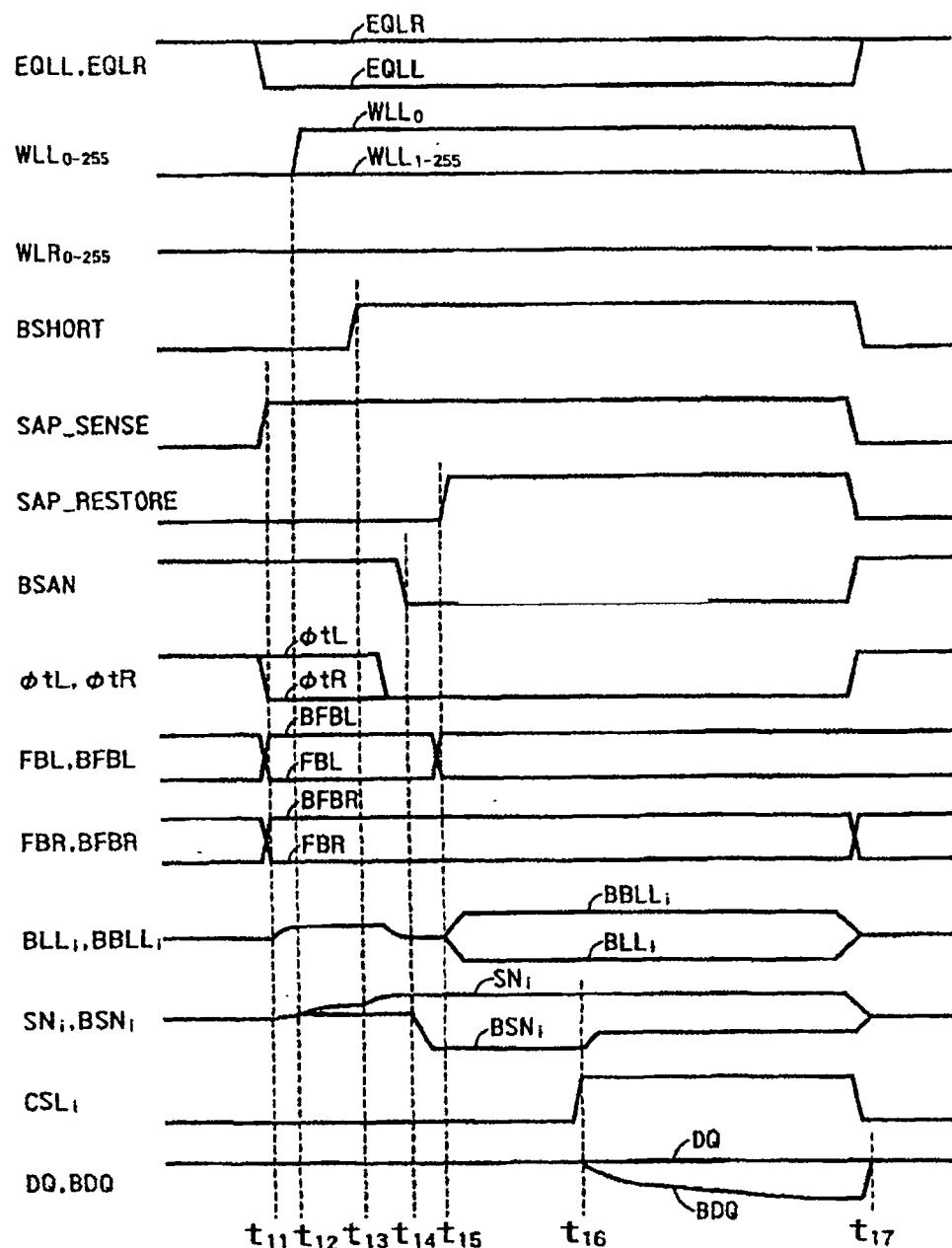


图 24



数据读取操作

图 25

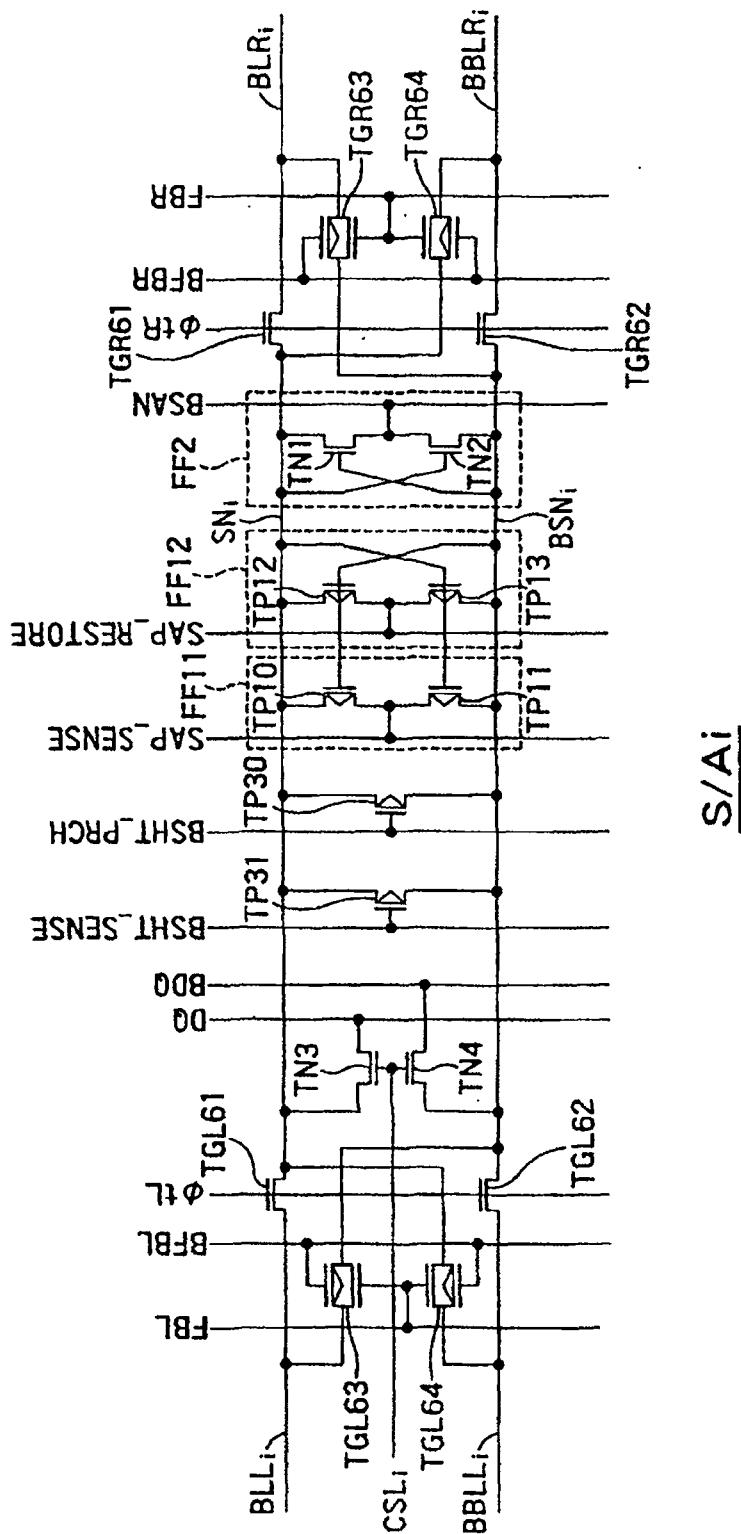
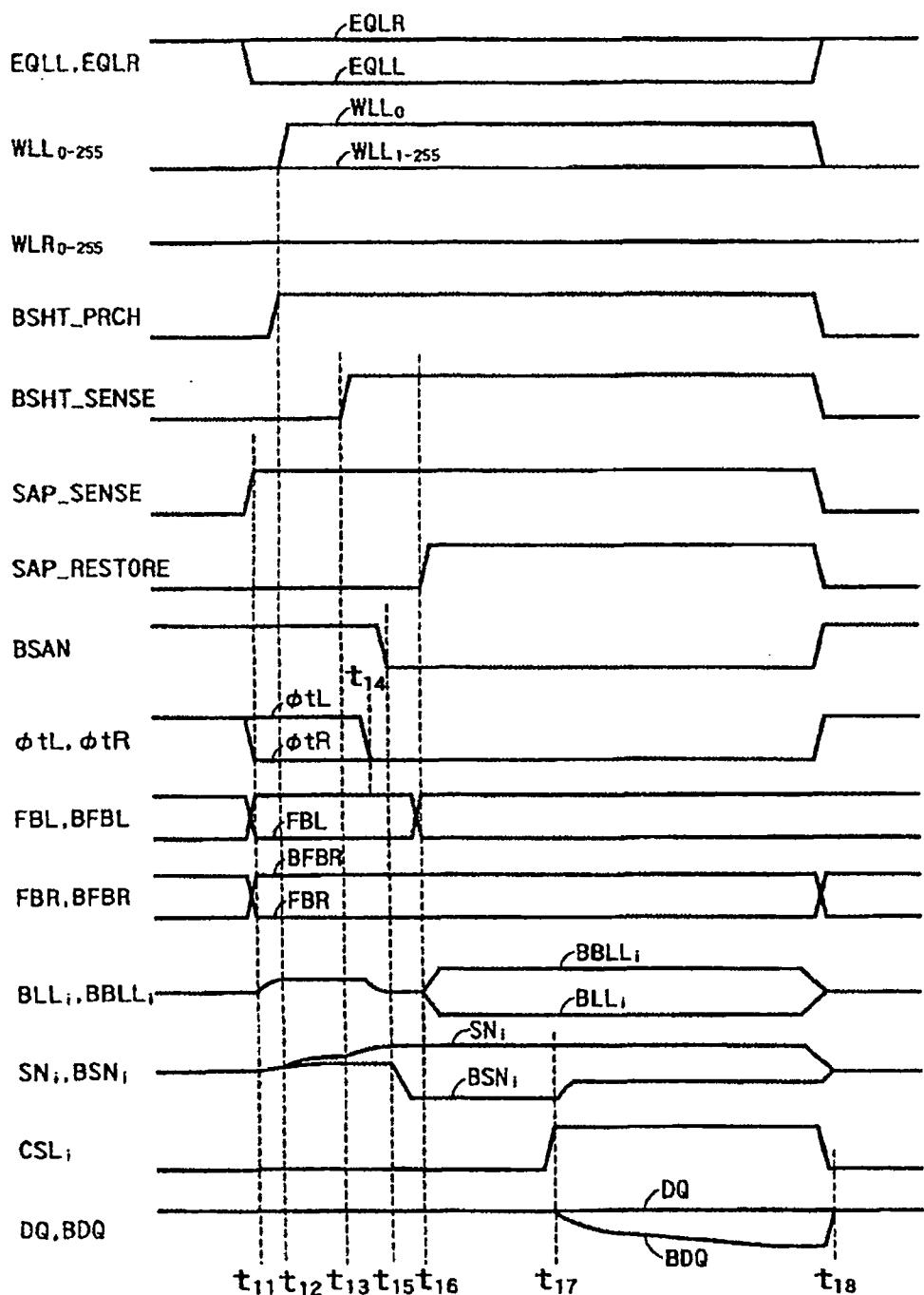


图 26



数据读取操作

图 27

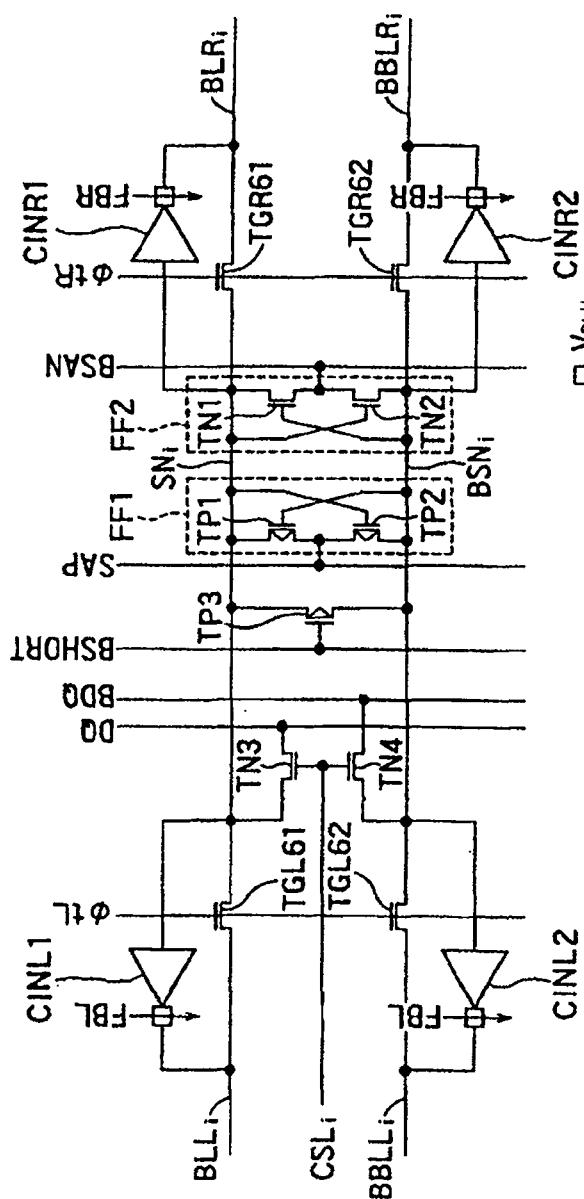


图 28A

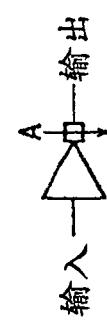


图 28B

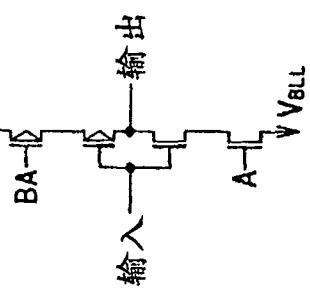


图 28C

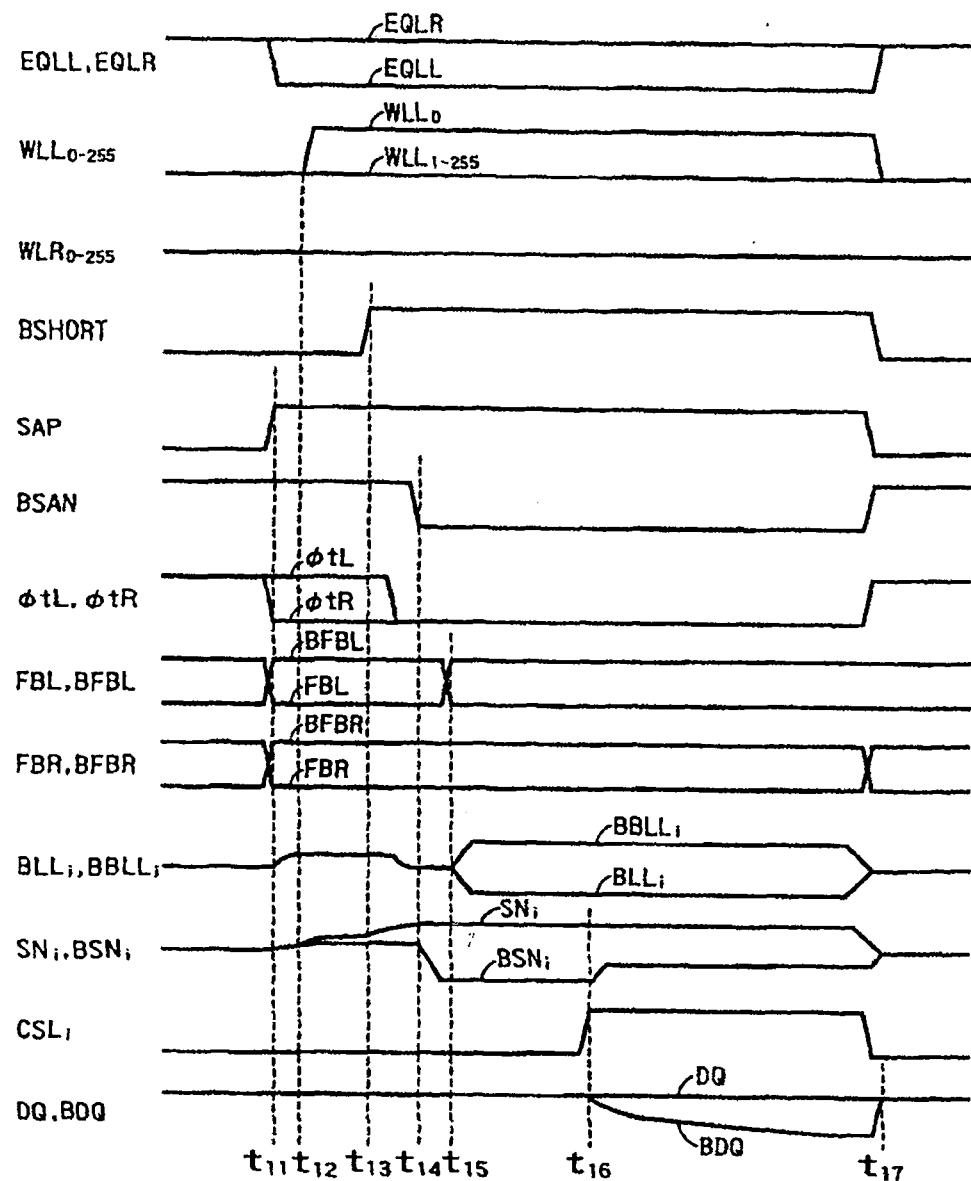
数据读取操作

图 29