

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. <i>H01L 27/108</i> (2006.01)	(45) 공고일자 2006년07월25일
	(11) 등록번호 10-0517099
	(24) 등록일자 2005년09월16일
(21) 출원번호 10-1996-0028647	(65) 공개번호 10-1997-0008610
(22) 출원일자 1996년07월16일	(43) 공개일자 1997년02월24일
(30) 우선권주장 95-181513	1995년07월18일 일본(JP)
(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼 일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고	
(72) 발명자 하시모토 나오타카 일본국 도쿄도 고가네이시 누쿠이기타마찌 1-6-23-402	
	호시노 유타카 일본국 도쿄도 히가시무라야마시 온타쵸 1-59-2, A-325
	이케다 슈지 일본국 도쿄도 고가네이시 누쿠이기타마치 3-30-8
(74) 대리인 장수길 이중희 구영창	

심사관 : 조지은

(54) 반도체집적회로장치및그제조방법

요약

반도체 집적회로장치 및 그 제조기술에 관한 것으로서, 별크 CMOS방식을 채용하는 SRAM의 소프트에러 내성을 향상시킬 수 있고 별크CMOS방식을 채용하는 SRAM의 미세화를 촉진시킬 수 있도록 하기 위해서, 1쌍의 구동용 MISFET 및 1쌍의 부하용 MISFET로 이루어지는 플립플롭회로와 1쌍의 전송용 MISFET로 메모리셀을 구성한 SRAM을 갖는 반도체 집적회로장치로서, 반도체기판의 주면상에 형성된 제1 도전막으로 구동용 MISFET, 부하용 MISFET 및 전송용 MISFET의 각각의 게이트전극을 구성하고, 제1 도전막의 상부에 형성된 제2 도전막, 제2 도전막의 상부에 형성된 절연막 및 절연막의 상부에 형성된 제3 도전막으로 용량소자의 1쌍의 전극과 용량절연막을 구성하고, 용량소자의 한쪽의 전극과 메모리셀의 한쪽의 축적노드를 전기적으로 접속함과 동시에 용량소자의 다른쪽의 전극과 메모리셀의 다른쪽의 축적노드를 전기적으로 접속한 구성으로 하였다.

이와 같이 하는 것에 의해서, SRAM의 메모리셀의 축적노드용량을 증가시켜서 SRAM을 고집화할 수 있고 소프트에러내성을 향상시킬 수 있으며, SRAM을 갖는 반도체집적회로장치의 제조효율, 신뢰성을 향상시킬 수 있다는 효과가 얻어진다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 1실시예인 SRAM의 메모리셀(약 9개분)을 도시한 평면도,

도 2A~도 2F는 본 발명의 1실시예인 SRAM의 메모리셀을 도시한 확대평면도,

도 3은 도 1, 도 2A의 A-A'선에 있어서의 반도체기판의 주요부 단면도,

도 4는 본 발명의 SRAM의 메모리셀의 등가회로도,

도 5는 본 발명의 SRAM의 메모리셀의 제1 제조방법을 도시한 반도체기판의 주요부 단면도,

도 6은 본 발명의 SRAM의 메모리셀의 제1 제조방법을 도시한 반도체기판의 평면도,

도 7은 본 발명의 SRAM의 메모리셀의 제1 제조방법을 도시한 반도체기판의 주요부 단면도,

도 8은 본 발명의 SRAM의 메모리셀의 제1제조방법을 도시한 반도체기판의 평면도,

도 9는 본 발명의 SRAM의 메모리셀의 제1 제조방법을 도시한 반도체기판의 주요부 단면도,

도 10은 본 발명의 SRAM의 메모리셀의 제1 제조방법을 도시한 반도체기판의 주요부 단면도,

도 11은 본 발명의 SRAM의 메모리셀의 제1 제조방법을 도시한 반도체기판의 평면도,

도 12는 본 발명의 SRAM의 메모리셀의 제1 제조방법을 도시한 반도체기판의 주요부 단면도,

도 13은 본 발명의 SRAM의 메모리셀의 제1 제조방법을 도시한 반도체기판의 평면도,

도 14는 본 발명의 SRAM의 메모리셀의 제1 제조방법을 도시한 반도체기판의 주요부 단면도.

도 15는 본 발명의 SRAM의 메모리셀의 제1 제조방법을 도시한 반도체기판의 평면도,

도 16은 본 발명의 SRAM의 메모리셀의 제1 제조방법을 도시한 반도체기판의 주요부 단면도,

도 17은 본 발명의 SRAM의 메모리셀의 제1 제조방법을 도시한 반도체기판의 평면도,

도 18은 본 발명의 SRAM의 메모리 셀의 제1 제조방법을 도시한 반도체기판의 평면도,

도 19는 본 발명의 SRAM의 메모리셀의 제1 제조방법을 도시한 반도체기판의 주요부 단면도,

도 20은 본 발명의 SRAM의 메모리셀의 제1 제조방법을 도시한 반도체기판의 평면도,

도 21은 본 발명의 SRAM의 메모리셀의 제1 제조방법을 도시한 반도체기판의 주요부 단면도,

도 22는 본 발명의 SRAM의 메모리셀의 제1 제조방법을 도시한 반도체기판의 평면도,

도 23은 본 발명의 SRAM의 주변회로를 도시한 반도체기판의 주요부 단면도,

도 24는 본 발병의 SRAM의 메모리셀의 제2 제조방법을 도시한 반도체기판의 주요부 단면도,

도 25는 본 발명의 SRAM의 메모리셀의 제2 제조방법을 도시한 반도체기판의 주요부 단면도,
도 26은 본 발명의 SRAM의 메모리셀의 제2 제조방법을 도시한 반도체기판의 주요부 단면도,
도 27은 본 발명의 SRAM의 메모리셀의 제2 제조방법을 도시한 반도체기판의 주요부 단면도,
도 28은 본 발명의 SRAM의 메모리셀의 제2 제조방법을 도시한 반도체기판의 주요부 단면도,
도 29는 본 발명의 SRAM의 메모리셀의 제2 제조방법을 도시한 반도체기판의 평면도,
도 30은 본 발명의 SRAM의 메모리셀의 제2 제조방법을 도시한 반도체기판의 주요부 단면도,
도 31은 본 발명의 SRAM의 메모리셀의 제2 제조방법을 도시한 반도체기판의 평면도,
도 32는 본 발명의 SRAM의 메모리셀의 제2 제조방법을 도시한 반도체기판의 평면도,
도 33은 본 발명의 SRAM의 메모리셀의 제2 제조방법을 도시한 반도체기판의 주요부 단면도,
도 34는 본 발명의 SRAM의 메모리셀의 제2 제조방법을 도시한 반도체기판의 주요부 단면도,
도 35는 본 발명의 SRAM의 메모리셀의 제2 제조방법을 도시한 반도체기판의 평면도,
도 36은 본 발명의 SRAM의 메모리셀의 제2 제조방법을 도시한 반도체기판의 주요부 단면도,
도 37은 본 발명의 SRAM의 메모리셀의 제2 제조방법을 도시한 반도체기판의 평면도,
도 38A는 본 발명의 SRAM의 메모리셀의 제2제조방법을 도시한 반도체기판의 주요부 단면도,
도 38B는 본 발명의 SRAM의 메모리셀 및 DRAM의 메모리셀을 혼재시킨 1칩마이컴의 주요부 단면도,
도 38C는 본 발명의 DRAM의 메모리셀의 등가회로도,
도 39는 본 발명의 SRAM의 주변회로를 도시한 반도체기판의 주요부 단면도,
도 40은 본 발명의 SRAM의 메모리셀의 제3 제조방법을 도시한 반도체기판의 주요부 단면도,
도 41은 본 발명의 SRAM의 메모리셀의 제3 제조방법을 도시한 반도체기판의 주요부 단면도,
도 42는 본 발명의 SRAM의 메모리셀의 제3 제조방법을 도시한 반도체기판의 평면도,
도 43은 본 발명의 SRAM의 메모리셀의 제3 제조방법을 도시한 반도체기판의 주요부 단면도,
도 44는 본 발명의 SRAM의 메모리셀의 제3 제조방법을 도시한 반도체기판의 평면도,
도 45는 본 발명의 SRAM의 메모리셀의 제3 제조방법을 도시한 반도체기판의 주요부 단면도,
도 46은 본 발명의 SRAM의 메모리셀의 제3 제조방법을 도시한 반도체기판의 평면도,
도 47은 본 발명의 SRAM의 메모리셀의 제3 제조방법을 도시한 반도체기판의 평면도,
도 48은 본 발명의 SRAM의 메모리셀의 제3 제조방법을 도시한 반도체기판의 주요부 단면도,
도 49는 본 발명의 SRAM의 메모리셀의 제3 제조방법을 도시한 반도체기판의 평면도,

도 50은 본 발명의 SRAM의 메모리셀의 제3 제조방법을 도시한 반도체기판의 주요부 단면도,
 도 51은 본 발명의 SRAM의 메모리셀의 제3 제조방법을 도시한 반도체기판의 주요부 단면도,
 도 52는 본 발명의 SRAM의 메모리셀의 제3 제조방법을 도시한 반도체기판의 평면도,
 도 53은 본 발명의 SRAM의 주변회로를 도시한 반도체기판의 주요부 단면도,
 도 54는 본 발명의 SRAM의 메모리셀의 제4 제조방법을 도시한 반도체기판의 주요부 단면도,
 도 55는 본 발명의 SRAM의 메모리셀의 제4 제조방법을 도시한 반도체기판의 주요부 단면도,
 도 56은 본 발명의 SRAM의 메모리셀의 제4 제조방법을 도시한 반도체기판의 평면도,
 도 57은 본 발명의 SRAM의 메모리셀의 제4 제조방법을 도시한 반도체기판의 주요부 단면도,
 도 58는 본 발명의 SRAM의 메모리셀의 제4 제조방법을 도시한 반도체기판의 평면도,
 도 59는 본 발명의 SRAM의 메모리셀의 제4 제조방법을 도시한 반도체기판의 평면도,
 도 60은 본 발명의 SRAM의 메모리셀의 제4 제조방법을 도시한 반도체기판의 주요부 단면도,
 도 61은 본 발명의 SRAM의 메모리셀의 제4 제조방법을 도시한 반도체기판의 평면도,
 도 62는 본 발명의 SRAM의 메모리셀의 제4 제조방법을 도시한 반도체기판의 주요부 단면도,
 도 63은 본 발명의 SRAM의 메모리셀의 제4 제조방법을 도시한 반도체기판의 주요부 단면도,
 도 64는 본 발명의 SRAM의 메모리셀의 제4 제조방법을 도시한 반도체기판의 주요부 단면도,
 도 65는 본 발명의 SRAM과 DRAM을 혼재시킨 1칩 마이컴의 프로세스(공정) 흐름도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로장치 및 그 제조기술에 관한 것으로서, 특히 SRAM(Static Random Access Memory)을 갖는 반도체 집적회로장치에 적용해서 유효한 기술에 관한 것이다.

고저항 부하형 또는 완전CMOS(Complementary Metal Oxide Semiconductor)형의 메모리셀과 상보형 MISFET(Metal Insulator Semiconductor Field Effect Transistor)(CMOSFET)로 구성된 주변회로를 조합한 CMOS SRAM은 종래부터 컴퓨터나 워크스테이션의 캐쉬메모리(cache memory) 등에 사용되고 있다.

CMOS SRAM의 메모리셀은 1비트의 정보를 기억하는 플립플롭회로와 2개의 전송용 MISFET로 구성되어 있다. 플립플롭회로는 고저항 부하형에서는 1쌍의 구동용 MISFET와 1쌍의 저항소자로 구성되고, 완전CMOS형에서는 1쌍의 구동용 MISFET와 1쌍의 부하용 MISFET로 구성되어 있다.

최근 이러한 종류의 SRAM은 대용량화, 고속화로 인해 메모리셀 크기의 미세화가 요구됨과 동시에 시스템의 저소비 전력화를 위해 동작전압의 저감이 요구되고 있다. 그러나, 이들의 요구에 대응하고자 할 때에 문제로 되는 것이 α 선(α -ray)에 의한 소프트에러(soft error) 내성의 저하이다.

α 선에 의한 소프트에러라는 것은 우주선에 포함되는 α 선(He원자핵)이나 LSI패키지의 수지재료(resin material)등에 포함되는 방사성 원자에서 방출된 α 선이 메모리셀에 입사하여 정보축적부에 유지되어 있는 정보를 파괴하는 현상이다.

α 선 입자는 5eV의 에너지를 갖고 실리콘(Si)기판내로 입사하면 전자-정공쌍을 발생시킨다. 이 α 선이 메모리셀의 "High" 전위레벨의 축적노드에 입사하면, α 선에 의해서 발생한 전자가 축적노드로 흐르고 정공이 기판에 흐르는 결과 축적노드의 전하와 전위가 순간적으로 감소하여 임의의 확률로 메모리셀의 정보를 반전시켜 버린다.

SRAM의 경우, 상기한 α 선에 의한 소프트에러 내성을 향상시키기 위해서는 메모리셀의 축적노드 용량을 증가시키는 것이 유효하다.

USP5, 483, 083은 구동용 MISFET의 위쪽에 형성된 2층의 다결정실리콘막으로 부하용 MISFET를 구성한 TFT(Thin Film Transistor)방식의 완전CMOS형 SRAM에 관한 것이지만, 이 공보에 개시된 SRAM은 한쪽의 부하용 MISFET의 게이트전극의 일부를 다른쪽의 부하용 MISFET의 소오스 또는 드레인영역상으로까지 연장시키고, 이 게이트전극과 소오스 또는 드레인영역 및 이들 사이에 개재된 절연막으로 용량을 형성하는 것에 의해서 축적노드 용량의 증가를 도모하고 있다.

이와 같이, 고저항 부하형 SRAM이나 TFT방식의 완전CMOS형 SRAM은 종래부터 메모리셀의 축적노드용량을 증가시키기 위한 대책이 이루어져 왔다.

발명이 이루고자 하는 기술적 과제

그러나, 완전CMOS형 SRAM중에서도 메모리셀을 구성하는 6개의 MISFET를 모두 반도체기판내에 형성하는 소위 벌크 CMOS방식의 SRAM인 경우에는 축적노드 용량을 증가시키기 위한 대책을 할 필요가 없다고 고려되어 왔다.

그 이유는 부하용 MISFET를 반도체기판내에 형성하는 벌크CMOS방식의 SRAM은 부하용 MISFET의 면적이 비교적 크기 때문에, 전류구동능력이나 축적노드 용량이 크고, 따라서 α 선의 입사에 의해서 축적노드의 전위가 변동한 경우라도 축적노드에 충분한 전하를 공급할 수 있기 때문이다.

그러나, 벌크CMOS방식의 SRAM에 있어서도 메모리셀 크기의 미세화가 더욱 진전된 경우에는 부하용 MISFET의 전류구동능력이 저하하고 또 동작전압이 더욱 저하하면, 축적노드에 축적되는 전하량도 감소하기 때문에 α 선에 의한 축적노드의 전위변동을 억제할 수 없게 되어 소프트에러 내성이 저하하는 것을 본 발명은 새로이 찾아내었다.

본 발명의 목적은 벌크 CMOS방식을 채용하는 SRAM의 소프트에러 내성을 향상시킬 수 있는 기술을 제공하는 것이다.

본 발명의 다른 목적은 벌크CMOS방식을 채용하는 SRAM의 미세화를 촉진시킬 수 있는 기술을 제공하는 것이다.

본 발명의 상기 및 그밖의 기술과 새로운 특징은 본 명세서의 기술 및 첨부도면으로부터 명확하게 될 것이다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

본 발명의 반도체집적회로장치는 메모리셀을 구성하는 1쌍의 구동용 MISFET, 1쌍의 부하용 MISFET 및 1쌍의 전송용 MISFET의 각각의 게이트전극을 반도체기판의 주면상에 형성된 제1 도전막으로 구성한 완전CMOS형의 SRAM에 있어서, 상기 메모리셀의 상부에 형성된 제2 도전막, 상기 제2 도전막의 상부에 형성된 절연막(유전체막), 상기 절연막의 상부에 형성된 제3 도전막으로 용량소자를 구성하고, 상기 제2 도전막과 상기 메모리셀의 한쪽의 축적노드를 전기적으로 접속함과 동시에, 상기 제3 도전막과 상기 메모리셀의 다른쪽의 축적노드를 전기적으로 접속한 것이다.

본 발명의 반도체 집적회로장치는 상기 용량소자의 한쪽의 전극과 상기 한쪽의 축적노드가 상기 제3 도전막의 상부에 형성된 제1 금속막으로 이루어지는 1쌍의 금속배선의 한쪽을 개재해서 전기적으로 접속되고, 상기 용량소자의 다른쪽의 전극과 상기 다른쪽의 축적노드가 상기 1쌍의 금속개선의 다른쪽을 개재해서 전기적으로 접속된 것이다.

본 발명의 반도체 집적회로장치는 상기 용량소자의 한쪽의 전극을 구성하는 상기 제2 도전막 및 상기 용량소자의 다른쪽의 전극을 구성하는 상기 제3 도전막이 각각 n형의 다결정실리콘막이고, 상기 용량소자의 한쪽의 전극은 제1 접속구멍을

통해서 상기 1쌍의 구동용 MISFET의 한쪽의 드레인영역과 전기적으로 접속되어 있음과 동시에, 상기 제1 접속구멍의 상부에 형성된 제2 접속구멍을 통해서 상기 1쌍의 금속배선의 한쪽과 전기적으로 접속되어 있고, 상기 용량소자의 다른쪽의 전극은 제3 접속구멍을 통해서 상기 1쌍의 구동용 MISFET의 다른쪽의 드레인영역과 전기적으로 접속되어 있음과 동시에, 상기 제3 접속구멍의 상부에 형성된 제4 접속구멍을 통해서 상기 1쌍의 금속배선의 다른쪽과 전기적으로 접속되어 있는 것이다.

본 발명의 반도체 집적회로장치는 상기 용량소자의 한쪽의 전극을 구성하는 상기 제2 도전막 및 상기 용량소자의 다른쪽의 전극을 구성하는 상기 제3 도전막이 각각 n형의 다결정실리콘막이고, 상기 용량소자의 한쪽의 전극은 상기 1쌍의 금속배선의 한쪽과 상기 1쌍의 구동용 MISFET의 한쪽의 드레인영역을 전기적으로 접속하는 제5 접속구멍의 측벽에 있어서 상기 한쪽의 금속배선과 전기적으로 접속되어 있고, 상기 용량소자의 다른쪽의 전극은 상기 1쌍의 금속배선의 다른쪽과 상기 1쌍의 구동용 MISFET의 다른쪽의 드레인영역을 전기적으로 접속하는 제6 접속구멍의 측벽에 있어서 상기 다른쪽의 금속배선과 전기적으로 접속되어 있는 것이다.

본 발명의 반도체 집적회로장치는 상기 용량소자의 한쪽의 전극을 구성하는 상기 제2 도전막 및 상기 용량소자의 다른쪽의 전극을 구성하는 상기 제3 도전막의 한쪽이 n형의 다결정실리콘막, 다른쪽이 p형의 다결정실리콘막이고, 상기 n형의 다결정실리콘막으로 이루어지는 한쪽의 전극은 제7 접속구멍을 통해서 상기 1쌍의 구동용 MISFET의 한쪽의 드레인영역과 전기적으로 접속되어 있음과 동시에, 상기 제7 접속구멍의 상부에 형성된 제8 접속구멍을 통해서 상기 1쌍의 금속배선의 한쪽과 전기적으로 접속되어 있으면, 상기 p형의 다결정실리콘막으로 이루어지는 다른쪽의 전극은 제9 접속구멍을 통해서 상기 1쌍의 부하용 MISFET의 다른쪽의 드레인영역과 전기적으로 접속되어 있음과 동시에, 상기 제9 접속구멍의 상부에 형성된 제10 접속구멍을 통해서 상기 1쌍의 금속배선의 다른쪽과 전기적으로 접속되어 있는 것이다.

본 발명의 반도체 집적회로장치는 상기 1쌍의 구동용 MISFET의 각각의 소오스영역에 기준전압을 공급하는 기준전압선 및 상기 1쌍의 부하용 MISFET의 각각의 소오스영역에 전원전압을 공급하는 전원전압선이 상기 제1 금속만으로 구성되어 있는 것이다.

본 발명의 반도체 집적회로장치는 상기 제1 금속막의 상부에 형성된 제2 금속막으로 1쌍의 상보성 데이터선이 구성되어 있고, 상기 1쌍의 상보성 데이터선의 한쪽은 상기 제1 금속막으로 구성된 1쌍의 패드층의 한쪽을 개재해서 상기 1쌍의 전송용 MISFET의 한쪽의 소오스영역과 전기적으로 접속되고, 상기 1쌍의 상보성 데이터선의 다른쪽은 상기 1쌍의 패드층의 다른쪽을 개재해서 상기 1쌍의 전송용 MISFET의 다른쪽의 소오스영역과 전기적으로 접속되어 있는 것이다.

본 발명의 반도체 집적회로장치는 상기 SRAM의 주변회로에 상기 제2 도전막, 상기 제2 도전막의 상부에 형성된 절연막 및 상기 절연막의 상부에 형성된 제3 도전막으로 이루어지는 용량소자가 형성되어 있는 것이다.

본 발명의 반도체 집적회로장치는 상기 SRAM의 주변회로를 구성하는 MISFET와 상기 제3 도전막의 상부에 형성된 금속배선이 상기 제2 도전막 또는 상기 제3 도전막으로 구성된 패드층을 개재해서 전기적으로 접속되어 있는 것이다.

본 발명의 반도체 집적회로장치의 제조방법은 (a) 반도체기판의 주면상에 제1층째의 도전막으로 상기 구동용 MISFET, 상기 부하용 MISFET 및 상기 전송용 MISFET의 각각의 게이트전극을 형성하는 공정, (b) 상기 제1 도전막의 상부에 제2 층째의 도전막, 상기 제2 도전막의 상부에 절연막, 상기 절연막의 상부에 제3 도전막으로 용량소자의 1쌍의 전극과 용량절연막(유전체막)을 형성하는 공정, (c) 상기 제3 도전막의 상부에 형성된 제1 금속막을 패터닝해서 1쌍의 금속배선을 형성하고, 상기 용량소자의 한쪽의 전극과 상기 메모리셀의 한쪽의 축적노드를 상기 1쌍의 금속배선의 한쪽을 개재해서 전기적으로 접속함과 동시에 상기 용량소자의 다른쪽의 전극과 상기 메모리셀의 다른쪽의 축적노드를 상기 1쌍의 금속배선의 다른쪽을 개재해서 전기적으로 접속하는 공정을 포함하고 있다.

본 발명의 반도체 집적회로장치의 제조방법은 (a) 상기 1쌍의 구동용 MISFET, 상기 1쌍의 부하용 MISFET 및 상기 1쌍의 전송용 MISFET를 형성한 후 이들 MISFET의 상부에 형성된 제1 절연막을 에칭해서 상기 1쌍의 구동용 MISFET의 한쪽의 드레인영역에 도달하는 제1 접속구멍을 형성하는 공정, (b) 상기 제1 절연막의 상부에 형성된 n형의 다결정실리콘막으로 이루어지는 상기 제2 도전막을 패터닝해서 상기 용량소자의 한쪽의 전극을 형성하고, 상기 제1 접속구멍을 통해서 상기 용량소자의 한쪽의 전극과 상기 한쪽의 구동용 MISFET의 드레인영역을 전기적으로 접속하는 공정, (c) 상기 용량소자의 한쪽의 전극의 상부에 상기 용량절연막(유전체막)을 형성한 후 상기 용량절연막을 에칭하여 상기 1쌍의 구동용 MISFET의 다른쪽의 드레인영역과 상기 한쪽의 구동용 MISFET, 상기 1쌍의 부하용 MISFET의 한쪽에 공통인 게이트전극에 도달하는 제2 접속구멍을 형성하는 공정, (d) 상기 용량소자의 상부에 형성된 n형의 다결정실리콘막으로 이루어지는 상기 제3 도전막을 패터닝해서 상기 용량소자의 다른쪽의 전극을 형성하고, 상기 제2 접속구멍을 통해서 상기 용량소자의 다른쪽의 전극, 상기 다른쪽의 구동을 MISFET의 드레인영역 및 상기 한쪽의 MISFET, 상기 한쪽의 부하용 MISFET에 공

통인 게이트전극을 전기적으로 접속하는 공정, (e) 상기 용량소자의 다른쪽의 전극의 상부에 형성된 제1 층간 절연막을 에칭해서 상기 용량소자의 한쪽의 전극에 도달하는 제3 접속구멍, 상기 용량소자의 다른쪽의 전극에 도달하는 제4 접속구멍, 상기 한쪽의 구동용 MISFET의 드레인영역과 상기 1쌍의 부하용 MISFET의 다른쪽, 상기 다른쪽의 구동용 MISFET에 공통인 게이트전극에 도달하는 제5 접속구멍, 상기 다른쪽의 부하용 MISFET의 드레인영역에 도달하는 제6 접속구멍을 각각 형성하는 공정, (f) 상기 층간절연막의 상부에 형성된 제1 금속막을 패터닝해서 한쪽끝이 상기 제3 접속구멍을 통해서 상기 용량소자의 한쪽의 전극과 전기적으로 접속되고 다른쪽끝이 상기 제5 접속구멍을 통해서 상기 한쪽의 구동용 MISFET의 드레인영역과 상기 다른쪽의 부하용 MISFET, 상기 다른쪽의 구동용 MISFET에 공통인 게이트전극에 각각 전기적으로 접속되는 제1 금속배선, 한쪽끝이 상기 제4 접속구멍을 통해서 상기 용량소자의 다른쪽의 전극과 전기적으로 접속되고 다른쪽이 상기 제6 접속구멍을 통해서 상기 다른쪽의 부하용 MISFET의 드레인영역과 전기적으로 접속되는 제2 금속배선을 형성하는 공정을 포함하고 있다.

본 발명의 반도체 집적회로장치의 제조방법은 (a) 상기 제1 층간절연막을 에칭해서 상기 1쌍의 전송용 MISFET의 한쪽의 소오스영역에 도달하는 제7 접속구멍과 상기 1쌍의 전송용 MISFET의 다른쪽의 소오스영역에 도달하는 제8 접속구멍을 형성하는 공정, (b) 상기 제1 금속막을 패터닝해서 상기 제7 접속구멍을 통해서 상기 한쪽의 전송용 MISFET의 소오스영역과 전기적으로 접속되는 제1 패드층과 상기 제8 접속구멍을 통해서 상기 다른쪽의 전송용 MISFET의 소오스영역과 전기적으로 접속되는 제2 패드층을 형성하는 공정, (c) 상기 제1 금속막의 상부에 형성된 제2 층간절연막을 에칭해서 상기 제1 패드층에 도달하는 제9 접속구멍과 상기 제2 패드층에 도달하는 제10 접속구멍을 형성하는 공정, (d) 상기 제2 층간절연막의 상부에 형성된 제2 금속막을 에칭해서 상기 제9 접속구멍을 통해서 상기 제1 패드층과 전기적으로 접속되는 상보성 데이터선의 한쪽과 상기 제10 접속구멍을 통해서 상기 제2 패드층과 전기적으로 접속되는 상보성 데이터선의 다른쪽을 형성하는 공정을 포함하고 있다.

본 발명의 반도체 집적회로장치의 제조방법은 (a) 상기 1쌍의 구동용 MISFET, 상기 1쌍의 부하용 MISFET 및 상기 1쌍의 전송용 MISFET를 형성한 후 이들 MISFET의 상부에 제1 절연막을 형성하고, 다음에 상기 제1 절연막의 상부에 형성된 n형의 다결정실리콘막으로 이루어지는 상기 제2 도전막을 패터닝해서 상기 용량소자의 한쪽의 전극을 형성하는 공정, (b) 상기 용량소자의 한쪽의 전극의 상부에 상기 용량절연막을 형성한 후, 상기 용량절연막의 상부에 형성된 n형의 다결정실리콘막으로 이루어지는 제3 도전막을 패터닝해서 상기 용량소자의 다른쪽의 전극을 형성하는 공정, (c) 상기 용량소자의 다른쪽의 전극의 상부에 형성된 제1 층간절연막을 에칭해서 상기 용량소자의 한쪽의 전극을 관통해서 상기 1쌍의 구동용 MISFET의 한쪽의 드레인영역에 도달하는 제1 접속구멍, 상기 1쌍의 부하용 MISFET의 한쪽의 드레인영역과 상기 1쌍의 부하용 MISFET의 다른쪽. 상기 1쌍의 구동용 MISFET의 다른쪽에 공통인 게이트전극에 도달하는 제2 접속구멍, 상기 용량소자의 다른쪽의 전극을 관통해서 상기 다른쪽의 구동용 MISFET의 드레인영역과 상기 한쪽의 구동용 MISFET, 상기 한쪽의 부하용 MISFET에 공통인 게이트전극에 도달하는 제3 접속구멍, 상기 다른쪽의 부하용 MISFET의 드레인영역에 도달하는 제4 접속구멍을 각각 형성하는 공정, (d) 상기 층간절연막의 상부에 형성된 제1 금속막을 패터닝해서 한쪽끝이 상기 제1 접속구멍을 통해서 상기 용량소자의 한쪽의 전극과 상기 한쪽의 구동용 MISFET의 드레인영역에 각각 전기적으로 접속되고, 다른쪽끝이 상기 제2 접속구멍을 통해서 상기 한쪽의 부하용 MISFET의 드레인영역과 상기 다른쪽의 부하용 MISFET, 상기 다른쪽의 구동용 MISFET에 공통인 게이트전극에 각각 전기적으로 접속되는 제1 금속배선, 한쪽끝이 상기 제3 접속구멍을 통해서 상기 용량소자의 다른쪽의 전극과 상기 다른쪽의 구동용 MISFET의 드레인영역과 상기 한쪽의 부하용 MISFET, 상기 한쪽의 구동용 MISFET에 공통인 게이트전극에 각각 전기적으로 접속되고, 다른쪽끝이 상기 제4 접속구멍을 통해서 상기 다른쪽의 부하용 MISFET의 드레인영역과 전기적으로 접속되는 제2 금속배선을 형성하는 공정을 포함하고 있다.

본 발명의 반도체 집적회로장치의 제조방법은 (a) 상기 한쪽의 구동용 MISFET, 상기 1쌍의 부하용 MISFET 및 상기 1쌍의 전송용 MISFET를 형성한 후 이들 MISFET의 상부에 형성된 제1 절연막을 에칭해서 상기 1쌍의 부하용 MISFET의 다른쪽의 드레인영역에 도달하는 제1 접속구멍을 형성하는 공정, (b) 상기 제1 절연막의 상부에 형성된 p형의 다결정실리콘막으로 이루어지는 상기 제2 도전막을 패터닝해서 상기 용량소자의 한쪽의 전극을 형성하고, 상기 제1 접속구멍을 통해서 상기 용량소자의 한쪽의 전극과 상기 다른쪽의 부하용 MISFET의 드레인영역을 전기적으로 접속하는 공정, (c) 상기 용량소자의 한쪽의 전극의 상부에 상기 용량절연막을 형성한 후, 상기 용량절연막을 에칭해서 상기 1쌍의 구동용 MISFET의 한쪽의 드레인영역에 도달하는 제2 접속구멍을 형성하는 공정, (d) 상기 용량절연막의 상부에 형성된 n형의 다결정실리콘막으로 이루어지는 상기 제3 도전막을 통해서 패터닝하여 상기 용량소자의 다른쪽의 전극을 형성하고, 상기 제2 접속구멍을 통해서 상기 용량소자의 다른쪽의 전극과 상기 한쪽의 구동용 MISFET의 드레인영역을 전기적으로 접속하는 공정, (e) 상기 용량소자의 다른쪽의 전극의 상부에 형성된 제1 층간 절연막을 에칭해서 상기 용량소자의 한쪽의 전극에 도달하는 제3 접속구멍, 상기 용량소자의 다른쪽의 전극에 도달하는 제4 접속구멍, 상기 한쪽의 구동용 MISFET의 드레인영역과 상기 다른쪽의 부하용 MISFET, 상기 1쌍의 구동용 MISFET의 다른쪽에 공통인 게이트전극에 도달하는 제5 접속구멍, 상기 다른쪽의 구동용 MISFET의 드레인영역과 상기 1쌍의 부하용 MISFET의 한쪽, 상기 한쪽의 구동용 MISFET에 도달하는 제6 접속구멍을 각각 형성하는 공정, (f) 상기 층간절연막의 상부에 형성된 제1 금속막을 패터닝해서 한쪽끝이 상기 제4

접속구멍을 통해서 상기 용량소자의 다른쪽의 전극과 전기적으로 접속되고, 다른쪽끝이 상기 제6 접속구멍을 통해서 상기 한쪽의 부하용 MISFET의 드레인영역과 상기 다른쪽의 부하용 MISFET, 상기 다른쪽의 구동용 MISFET에 공통인 게이트 전극에 각각 전기적으로 접속되는 제1 금속배선, 한쪽끝이 상기 제3 접속구멍을 통해서 상기 용량소자의 한쪽의 전극과 전기적으로 접속되고 다른쪽끝이 상기 제6 접속구멍을 통해서 상기 다른쪽의 구동용 MISFET의 드레인영역과 상기 한쪽의 부하용 MISFET, 상기 한쪽의 구동용 MISFET에 공통인 게이트전극에 각각 전기적으로 접속되는 제2 금속배선을 형성하는 공정을 포함하고 있다.

본 발명의 반도체 집적회로장치의 제조방법은 상기 제1층간절연막을 에칭해서 상기 1쌍의 구동용 MISFET의 한쪽과 상기 한쪽의 부하용 MISFET의 한쪽에 공통인 게이트전극 및 상기 1쌍의 구동용 MISFET의 다른쪽과 상기 1쌍의 부하용 MISFET의 다른쪽에 공통인 게이트전극에도달하는 접속구멍을 형성하는 공정에 앞서서, 상기 각각의 게이트전극의 상부를 폐복하고 있는 절연막의 일부의 막두께를 얇게 하는 공정을 포함하고 있다.

상기한 수단에 의하면, 제2 도전막과 제3 도전막 및 이들 사이에 개재된 절연막(유전체막)으로 구성한 용량소자의 한쪽의 전극을 한쪽의 축적노드에 접속하고 다른쪽의 전극을 다른쪽의 축적노드에 접속하는 것에 의해서, 용량소자를 통해 축적노드에 충분한 전하가 공급되므로 메모리셀 크기를 미세화하거나 동작전압을 저하시킨 경우에 있어서도 a선에 의한 축적노드의 전위변동이 억제되어 메모리셀의 소프트에러 내성이 향상한다.

상기한 수단에 의하면, 반도체기판상에 형성된 2층의 도전막을 사용해서 주변회로의 용량소자를 구성하는 것에 의해서, 반도체기판에 형성된 확산층(pn접합)등을 사용한 용량소자에 비해서 소자의 점유면적을 작게 할 수 있으므로 주변회로의 면적을 축소해서 SRAM을 고집적화할 수가 있다.

상기한 수단에 의하면, 용량소자의 전극과 동일한 공정에서 형성된 패드층을 개재시켜 MISFET의 반도체영역과 배선을 접속하는 것에 의해서, 포토레지스트를 마스크로 한 에칭에 의해 반도체영역의 상부에 접속을 형성할 때의 마스크맞춤 여유를 작게 할 수 있으므로 MISFET의 면적을 축소해서 SRAM을 고집적화할 수가 있다.

상기한 수단에 의하면, 게이트전극에 도달하는 접속구멍을 형성하는 공정에 앞서서 게이트전극의 상부를 폐복하고 있는 절연막의 일부의 막두께를 얇게 해 두는 것에 의해서, 단시간의 에칭에 의해 게이트전극을 노출시킬 수 있으므로 다른 영역의 오버에칭이 방지되어 필드절연막 등이 깎이는 불합리를 방지할 수가 있다.

실시예

이하, 본 발명의 실시예를 도면에 따라서 상세하게 설명한다. 또한, 실시예를 설명하기 위한 모든 도면에 있어서 동일한 기능을 갖는 것에는 동일한 부호를 붙이고 그 반복적인 설명은 생략한다.

(실시예1)

도 4는 본 실시예의 SRAM의 메모리셀의 등가회로도이다. 도시한 바와 같이, 이 메모리셀은 1쌍의 상보성 데이타선(데이타선DL, 데이타선/(바)DL의 워드선WL과의 교차점에 배치된 1쌍의 구동용 MISFET Qd₁, Qd₂, 1쌍의 부하용 MISFET Qp₁, Qp₂ 및 1쌍의 전송용 MISFET Qt₁, Qt₂로 구성되어 있다. 구동용 MISFET Qd₁, Qd₂ 및 전송용 MISFET Qt₁, Qt₂는 n채널형으로 구성되고. 부하용 MISFET Qp₁, Qp₂는 p채널형으로 구성되어 있다. 즉, 이 메모리셀은 4개의 n채널형 MISFET와 2개의 p채널형 MISFET를 사용한 완전 CMOS형으로 구성되어 있다.

상기 메모리셀을 구성하는 6개의 MISFET중 1쌍의 구동용 MISFET Qd₁, Qd₂와 1쌍의 부하용 MISFET Qp₁, Qp₂는 1비트의 정보를 기억하는 정보축적부로서의 플립플롭회로를 구성하고 있다. 이 플립플롭회로의 한쪽의 입출력단자(축적노드A)는 전송용 MISFET Qt₁ 소오스영역에 접속되고, 다른쪽의 입출력단자(축적노드B)는 전송용 MISFET Qt₂의 소오스영역에 접속되어 있다.

전송용 MISFET Qt₁ 드레인영역은 데이타선DL에 접속되고, 전송용 MISFET Qt₂의 드레인영역은 데이타선 /DL에 접속되어 있다. 또, 플립플롭회로의 한쪽 끝(부하용 MISFET Qp₁, Qp₂의 각 소오스영역)은 제1 전압인 전원전압(Vcc)에 접속되고, 다른쪽(구동용 MISFET Qd₁, Qd₂의 각 소오스영역)은 제2 전압인 기준전압(Vss)에 접속되어 있다. 전원전압(Vcc)는 예를들면 3V이고, 기준전압(Vss)는 예를들면 0V(GND)이다. 제1 전압과 제2 전압은 제1전압 > 제2 전압의 관계에 있다.

본 실시예의 SRAM의 특징은 상기 메모리셀내에 이하에 기술하는 바와 같은 스택구조의 용량소자C를 형성하고, 이 용량소자C의 한쪽의 전극을 플립플롭회로의 한쪽의 축적노드(축적노드A)에 접속함과 동시에 다른쪽의 전극을 다른쪽의 축적노드(축적노드B)에 접속한 점에 있다.

다음에, 상기 메모리셀의 구체적인 구성을 도 1(메모리셀 약9개분을 도시한 평면도), 도 2A(메모리 셀 약 1개분을 도시한 확대평면도), 도 2B~도 2F, 도 3(도 1, 도 2A의 A-A'선에 따른 단면도)를 사용해서 설명한다. 또한, 도 1 및 도 2A에는 메모리 셀을 구성하는 각 도전층과 이를 도전층을 접속하는 접속구멍만을 도시하고, 각 도전층을 분리하는 절연막의 도시는 생략한다. 도 2B~도 2F는 도 2A에 있어서의 각 도전층의 확대평면도이다.

메모리 셀을 구성하는 6개의 MISFET는 단결정실리콘으로 이루어지는 반도체기판(1)의 주면의 필프절연막(2)에 의해 주위가 둘러싸인 활성영역에 형성되어 있다. n채널형으로 구성되는 구동용 MISFET Qd₁, Qd₂와 전송용 MISFET Qt₁, Qt₂는 p형 웨(3)의 활성영역에 형성되고, p채널형으로 구성되는 부하용 MISFET Qp₁, Qp₂는 n형 웨(4)의 활성영역에 형성되어 있다. p형 웨(3)의 하부의 반도체기판(1)내에는 p형 매립층(5)가 형성되고, n형 웨(4)의 하부의 반도체기판(1)내에는 n형 매립층(6)이 형성되어 있다.

1쌍의 전송용 MISFET Qt₁, Qt₂는 p형 웨(3)의 활성영역에 형성된 n형 반도체영역(7)(소오스영역, 드레인영역), 이 활성영역의 표면에 형성된 산화실리콘막으로 이루어지는 게이트절연막(8) 및 이 게이트절연막(8)상에 형성된 제1층째의 n형 다결정실리콘막(또근 다결정실리콘막과 고용점 금속실리사이드막을 적층한 폴리사이드막)으로 이루어지는 게이트전극(9)로 구성되어 있다. 전송용 MISFET Qt₁, Qt₂의 게이트전극(9)는 워드선WL과 일체로 구성되어 있다.

1쌍의 구동용 MISFET Qd₁, Qd₂는 p형 웨(3)의 활성영역에 형성된 n형 반도체영역(10)(소오스영역, 드레인영역), 이 활성영역의 표면에 형성된 게이트절연막(8) 및 이 게이트절연막(8)상에 형성된 제1층째의 n형 다결정실리콘막(또는 폴리사이드막)으로 이루어지는 게이트전극(11a), (11b)로 구성되어 있다. 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10))은 전송용 MISFET Qt₁의 소오스영역(n형 반도체영역(7))과 공통인 활성영역에 형성되고, 구동용 MISFET Qd₂의 드레인영역(n형 반도체영역(10))은 전송용 MISFET Qt₂의 소오스영역(n형 반도체영역(7))과 공통인 활성영역에 형성되어 있다.

1쌍의 부하용 MISFET Qp₁, Qp₂는 n형 웨(4)의 활성영역에 형성된 p형 반도체영역(12)(소오스영역, 드레인영역), 이 활성영역의 표면에 형성된 게이트절연막(8) 및 이 게이트절연막(8)상에 형성된 제1층째의 n형 다결정실리콘막(또는 폴리사이드막)으로 이루어지는 게이트전극(11a), (11b)로 구성되어 있다. 부하용 MISFET Qp₁의 게이트전극(11a)는 상기 구동용 MISFET Qd₁의 게이트전극(11a)와 일체로 구성되고, 부하용 MISFET Qp₂의 게이트전극(11b)는 상기 구동용 MISFET Qd₂의 게이트전극(11b)와 일체로 구성되어 있다(도 2B). 상기 구동용 MISFET Qd는 제1 방향에 있어서 상기 전송용 MISFET Qt와 상기 부하용 MISFET Qp 사이에 배치된다.

상기 6개의 MISFET로 구성된 메모리셀의 상부에는 산화실리콘막으로 이루어지는 절연막(14), (15)를 거쳐서 용량소자C의 하부전극(16)이 형성되어 있다. 이 하부전극(16)은 제2층째의 n형 다결정실리콘막으로 이루어지고, 메모리 셀의 상부를 광범위하게 피복하고 있다. 하부전극(16)은 접속구멍(17)을 통해서 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10), 축적노드A)에 접속되어 있다(도 2C).

상기 하부전극(16)의 상부에는 질화실리콘막으로 이루어지는 용량절연막(18)을 거쳐서 용량소자C의 상부전극(19)가 형성되어 있다. 이 상부전극(19)는 제3층째의 n형 다결정실리콘막으로 이루어지고 메모리 셀의 상부를 광범위하게 피복하고 있다. 상부전극(19)는 접속구멍(20)을 통해서 구동용 MISFET Qd₁, 부하용 MISFET Qp₁에 공통인 게이트전극(11a), 구동용 MISFET Qd₂의 드레인영역(n형 반도체영역(10), 축적노드B)에 접속되어 있다(도 2D). 또한, 용량절연막(18)은 질화실리콘막에 한정되지 않고, 질화실리콘막과 산화실리콘막의 적층막으로 형성해도 좋다.

이와 같이, 본 실시예의 SRAM은 메모리셀의 상부를 넓은 면적에 걸쳐서 피복하는 하부전극(16)과 상부전극(19) 및 이들 사이에 개재된 유전체막인 용량절연막(18)에 의해 스택구조의 용량소자C를 구성하고, 이 용량소자C의 한쪽의 전극(하부전극(16))을 플립플롭회로의 한쪽의 축적노드A에 접속하고 다른쪽의 전극(상부전극(19))를 다른쪽의 축적노드B에 접속

하고 있다. 즉, 하부전극(16)과 상부전극(19)는 워드선(9)(WL)상 및 구동용 MISFET Qd₁, Qd₂와 부하용 MISFET Qp₁, Qp₂ 사이의 영역까지 연장되도록, 메모리셀의 상부를 넓은 면적에 걸쳐서 피복하도록 형성되어 있다. 이것이 의해, 용량소자C의 용량을 증대시킬 수가 있다.

이 구성에 의해, 용량소자C를 통해서 축적노드A, B에 충분한 전하가 공급되므로, 메모리셀 크기를 미세화하거나 동작전압을 저하시킨 경우에 있어도 a선에 의한 축적노드 A, B의 전위변동이 억제되어 메모리셀의 소프트에러 내성이 향상한다.

상기 용량소자C의 상층에는 BPSG(Boro Phospho Silicate Glass)막으로 이루어지는 제1층째의 층간절연막(21)을 거쳐서 제1층째의 알루미늄(A l)합금막으로 이루어지는 1쌍의 국소배선L₁, L₂, 전원전압선(22A), 기준전압선(22B) 및 1쌍의 패드층(22C)가 형성되어 있다(도 2E).

상기 1쌍의 국소배선L₁, L₂의 한쪽(L₂)의 한쪽끝은 접속구멍(23)을 통해서 상기 용량소자C의 상부전극(19)에 접속되고, 또 상기 접속구멍(20)을 통해서 구동용 MISFET Qd₂의 드레인영역(n형 반도체영역(10))과 구동용 MISFET Qd₁, 부하용 MISFET Qp₁에 공통인 게이트전극(11a)에 접속되어 있다. 주소배선L₂의 다른쪽끝부는 접속구멍(24)를 통해서 부하용 MISFET Qp₂의 드레인영역(p형 반도체영역(12))에 접속되어 있다. 즉, 구동용 MISFET Qd₂의 드레인영역(n형 반도체영역(10), 축적노드B), 부하용 MISFET Qp₂의 드레인영역(p형 반도체영역(12)), 구동용 MISFET Qd₁과 부하용 MISFET Qp₁에 공통인 게이트전극(11a)의 각각은 국소배선L₂ 및 상부전극(19)를 거쳐서 서로 접속되고, 축적노드B를 구성한다.

또, 다른쪽의 국소배선L₁의 한쪽끝부는 접속구멍(25)를 통해서 부하용 MISFET Qp₁의 드레인영역(p형 반도체영역(12)), 구동용 MISFET Qd₂와 부하용 MISFET Qp₂에 공통인 게이트전극(11b)에 접속되어 있다. 국소배선L₁의 다른쪽끝부는 접속구멍(26)을 통해서 상기 용량소자C의 하부전극(16)에 접속되고 또 상기 접속구멍(17)을 통해서 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10))에 접속되어 있다. 즉, 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10), 축적노드A), 부하용 MISFET Qp₁의 드레인영역(p형 반도체영역(12)) 및 구동용 MISFET Qd₂와 부하용 MISFET Qp₂에 공통인 게이트전극(11b)의 각각은 국소배선L₁ 및 하부전극(16)을 거쳐서 서로 접속되고, 축적노드A를 구성한다. 즉, 국소배선 L₁, L₂는 제1 방향으로 연장해서 구동용 MISFET Qd의 드레인영역과 부하용 MISFET Qp의 드레인영역 사이를 전기적으로 접속한다.

상기 국소배선L₁, L₂와 동일층의 전원전압선(22A), 기준전압선(22B) 및 1쌍의 패드층(22C)중 전원전압선(22A)는 접속구멍(27)을 통해서 부하용 MISFET Qp₁, Qp₂의 각 소오스영역(p형 반도체영역(12))에 접속되고, 이들 소오스영역(p형 반도체영역(12))에 전원전압(Vcc)를 공급한다. 기준전압선(22B)는 접속구멍(28)을 통해서 구동용 MISFET Qd₁, Qd₂의 각 소오스영역(n형 반도체영역(10))에 접속되고, 이들 소오스영역(n형 반도체영역(10))에 기준전압(Vss)를 공급한다. 또, 1쌍의 패드층(22C)의 한쪽은 접속구멍(29)를 통해서 전송용 MISFET Qt₁의 드레인영역(n형 반도체영역(7))에 접속되고, 다른쪽은 접속구멍(29)를 통해서 전송용 MISFET Qt₂의 드레인영역(n형 반도체영역(7))에 접속되어 있다. 전원전압선(22A), 기준전압선(22B)는 제1방향과 수직인 제2방향으로 연장하고, 제2방향에 배치되는 메모리셀에 전원전압(Vcc), 기준전압(Vss)의 각각을 공급한다.

상기 국소배선L₁, L₂, 전원전압선(22A), 기준전압선(22B) 및 패드층(22C)의 상층에는 산화실리콘막으로 이루어지는 제2층째의 층간절연막(31)을 거쳐서 제2층째의 Al합금막으로 이루어지는 1쌍의 상보성 데이타선(데이타선 DL, 데이타선 / DL)이 형성되어 있다. 데이타선DL은 접속구멍(32)를 통해서 패드층(22C)에 접속되고, 또 상기 접속구멍(29)를 통해서 전송용 MISFET Qt₁의 드레인영역(n형 반도체영역(7))에 접속되어 있다. 또, 데이타선 / DL는 접속구멍(32)를 통해서 패드층(22C)에 접속되고, 또 접속구멍(29)를 통해서 전송용 MISFET Qt₂의 드레인영역(n형 반도체영역(7))에 접속되어 있다(도 2A).

다음에, 상기와 같이 구성된 본 실시예의 SRAM의 메모리셀의 제조방법을 설명한다. 또한, 메모리셀의 제조방법을 도시한 각 도(도 5~도 22)중 단면도는 도1, 도 2의 A-A'선에 대응하고 있다. 또, 평면도에는 도전층과 접속구멍만을 도시하고, 절연막의 도시는 생략한다.

<소자분리용 웨이팅 공정>

먼저, 도 5에 도시한 바와 같이 질화실리콘막을 열산화의 마스크로 사용한 주지의 LOCOS법에 의해, p⁻형 다결정실리콘으로 이루어지는 반도체기판(1)의 주면에 소자분리용의 웨이팅(2)를 400nm정도의 막두께로 형성한다. 다음에, 포토레지스트를 마스크로 한 이온주입법에 의해 반도체기판(1)내에 p형 매립층(5)과 n형 매립층(6)을 형성한 후, p형 매립층(5)의 상부에 p형 웨이팅(3)을 형성하고, n형 매립층(6)의 상부에 n형 웨이팅(4)를 형성한다. 다음에, p형 웨이팅(3), n형 웨이팅(4)의 각각의 활성영역의 표면을 열산화해서 게이트절연막(8)을 형성한다. 도 6은 p형 웨이팅(3), n형 웨이팅(4)의 각각의 활성영역(AR)의 평면 패턴(메모리셀 약 9개분)을 도시한 것이다. 또한, 도 6에는 p형 웨이팅(3), n형 웨이팅(4)의 위치를 알기 쉽게 하기 위해서 각각 점선, 일점쇄선으로 나타내고 있다.

<1층째 게이트형성공정>

다음에, 도 7에 도시한 바와 같이 전송용 MISFET Qt₁, Qt₂의 게이트전

극(9)(워드선WL), 부하용 MISFET Qp₁와 구동용 MISFET Qd₁에 공통인 게이트전극(11b)를 각각 형성한다. 게이트전극(9)(워드선WL) 및 게이트전극(11a), (11b)는 반도체기판(1)상에 CVD(Chemical Vapor Deposition)법으로 막두께 100nm정도의 n형 다결정실리콘막(또는 폴리사이드막)을 퇴적하고, 그 위에 CVD법에 의해 막두께 120nm정도의 산화실리콘막(14)를 퇴적한 후, 포토레지스트를 마스크로 한 에칭에 의해 산화실리콘막(14) 및 n형 다결정실리콘막(또는 폴리사이드막)을 패터닝해서 형성한다. 도 8에는 게이트전극(9)(워드선WL) 및 게이트전극(11a), (11b)의 평면 패턴(메모리셀 약 9개분)을 도시하고 있다.

<확산층 형성공정>

다음에, 도 9에 도시한 바와 같이 반도체기판(1)상에 CVD법에 의해 퇴적시킨 산화실리콘막을 RIE(Reactive Ion Etching)법에 의해 패터닝하는 것에 의해서, 게이트전극(9)(워드선WL), 게이트전극(11a), (11b)의 각각의 측벽에 사이드월스페이서(13)를 형성한다. 다음에, 포토레지스트를 마스크로 한 이온주입법에 의해서 p형 웨이팅(3)에 인(P) 또는 비소(As)를 주입해서 n형 반도체영역(7)(전송용 MISFET Qt₁, Qt₂의 소오스, 드레인영역) 및 n형 반도체영역(10)(구동용 MISFET Qd₁, Qd₂의 소오스, 드레인영역)을 형성하고, n형 웨이팅(4)에 봉소(B)를 주입해서 p형 반도체영역(12)(부하용 MISFET Qp₁, Qp₂의 소오스, 드레인영역)을 형성한다. 또한, 이들 MISFET의 소오스영역, 드레인영역은 고불순물농도의 반도체영역과 저불순물농도의 반도체영역으로 구성되는 LDD(Lightly Doped Drain)구조로 해도 좋다.

<1층째 게이트용 접속구멍 형성공정>

다음에, 도 10에 도시한 바와 같이 반도체기판(1)상에 CVD법에 의해 막두께 50nm정도의 산화실리콘막(15)를 퇴적시키고, 포토레지스트를 마스크로 해서 이 산화실리콘막(15)와 그의 하층의 절연막(게이트절연막(9)와 동일층의 절연막)을 에칭하는 것에 의해서, 도 11에 도시한 바와 같이 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10))에 도달하는 접속구멍(17)을 형성한다.

<2층째 게이트 형성공정>

다음에, 도 12, 도 13에 도시한 바와 같이 반도체기판(1)상에 CVD법에 의해 막두께 50nm정도의 n형 다결정실리콘막을 퇴적시키고, 포토레지스트를 마스크로 한 에칭에 의해 이 다결정실리콘막을 패터닝하는 것에 의해서 용량소자C의 하부전극(16)을 형성한다. 이 하부전극(16)은 상기 접속구멍(17)을 통해서 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10), 축적노드A)에 접속된다.

<용량절연막 형성공정 및 3층째 게이트용 접속구멍 형성공정>

다음에, 도 14, 도 15에 도시한 바와 같이 반도체기판(1)상에 CVD법에 의해 막두께 15nm정도의 질화실리콘막으로 이루어지는 용량절연막(18)을 퇴적시키고, 포토레지스트를 마스크로 해서 이 용량절연막(18)과 그의 하층의 산화실리콘막

(15), (14), 절연막(게이트절연막(9)와 동일층의 절연막)을 에칭하는 것에 의해서 부하용 MISFET Q_{p1}, 구동용 MISFET Q_{d1}에 공통인 게이트전극(11a)와 구동용 MISFET Q_{d2}의 드레인영역(n형 반도체영역)에 도달하는 접속구멍(20)을 형성한다.

<3층째 게이트 형성공정>

다음에, 도 16, 도 17에 도시한 바와 같이 반도체기판(1)상에 CVD법에 의해 막두께 50nm정도의 n형 다결정실리콘막을 퇴적시키고, 포토레지스트를 마스크로 한 에칭에 의해 이 다결정실리콘막을 패터닝하는 것에 의해서 용량소자C의 상부전극(19)를 형성한다. 이 상부전극(19)는 상기 접속구멍(20)을 통해서 부하용 MISFET Q_{p1}, 구동용 MISFET Q_{d1}에 공통인 게이트전극(11a)과 구동용 MISFET Q_{d2}의 드레인영역(n형 반도체영역(10), 축적노드B)에 접속된다. 도 18의 그레이(gray) 패턴으로 도시한 영역은 하부전극(16)과 상부전극(19)가 중첩된 영역(본 실시예의 용량소자C가 형성되는 영역)을 나타내고 있다.

<1층째의 배선전극용 접속구멍 형성공정>

다음에, 도 19, 도 20에 도시한 바와 같이 반도체기판(1)상에 CVD법에 의해 막두께 500nm정도의 BPSG막으로 이루어지는 층간절연막(21)을 퇴적시키고, 그의 표면을 리플로우에 의해 평탄화한 후 포토레지스트를 마스크로 해서 이 층간절연막(21)과 그의 하층의 용량절연막(18), 산화실리콘막(15), (14), 절연막(게이트절연막(9)와 동일층의 절연막)을 에칭하는 것에 의해서, 부하용 MISFET Q_{p2}의 드레인영역(p형 반도체영역(12))에 도달하는 접속구멍(24), 부하용 MISFET Q_{p2}와 구동용 MISFET Q_{d2}에 공통인 게이트전극(11b)와 부하용 MISFET Q_{p1}의 드레인영역(p형 반도체영역(12))에 도달하는 접속구멍(25), 용량소자C의 하부전극(16)에 도달하는 접속구멍(26), 부하용 MISFET Q_{p1}, Q_{p2}의 소오스영역(p형 반도체영역(12))에 도달하는 접속구멍(27), 구동용 MISFET Q_{d1}, Q_{d2}의 소오스영역(n형 반도체영역(10))에 도달하는 접속구멍(28), 전송용 MISFET Q_{t1}, Q_{t2}의 소오스영역(n형 반도체영역(7))에 도달하는 접속구멍(29)를 각각 형성한다.

<1층째 배선전극 형성공정>

다음에, 도 21, 도 22에 도시한 바와 같이 층간절연막(21)상에 스퍼터법에 의해 막두께 300nm정도의 Al합금막을 퇴적시키고, 포토레지스트를 마스크로 한 에칭에 의해 이 Al합금막을 패터닝하는 것에 의해서, 국소배선 L₁, L₂, 전원전압선(22A), 기준전압선(22B) 및 패드층(22C)를 형성한다.

다음에, CVD법에 의해 막두께 500nm정도의 산화실리콘막으로 이루어지는 층간절연막(31)을 퇴적시키고, 포토레지스트를 마스크로 한 에칭에 의해 이 층간절연막(31)에 접속구멍(32)를 형성한 후, 층간절연막(31)상에 스퍼터법에 의해 Al합금막을 퇴적시키고, 포토레지스트를 마스크로 한 에칭에 의해 이 Al합금막을 패터닝 해서 데이터선DL, /DL를 형성하는 것에 의해서 상기 도 1 ~ 도 3에 도시한 메모리셀이 완성된다.

도 23은 본 실시예의 SRAM의 주변회로의 일부를 도시한 단면도이다. 이 주변회로는 예를들면 입출력 보호회로로서, 상술한 메모리셀의 용량소자C와 거의 동일한 구조의 용량소자C가 형성되어 있다. 이 용량소자C의 하부전극(16)은 제2층째의 n형 다결정실리콘막으로 구성되고, 메모리셀의 용량소자C의 하부전극(16)과 동일한 공정에서 형성된다. 용량절연막(18)은 질화실리콘막으로 이루어지고, 메모리셀의 용량소자C의 용량절연막(18)과 동일한 공정에서 형성된다. 상부전극(19)은 제3층째의 n형 다결정실리콘막으로 구성되고, 메모리셀의 용량소자C의 상부전극(19)과 동일한 공정에서 형성된다.

이 용량소자C의 상부전극(19)는 입출력 보호회로의 일부를 구성하는 n채널형 MISFET Q_n의 n형 반도체영역(33)과 접속되고, 또한 층간절연막(21)에 형성된 접속구멍(35)를 통해서 상층의 배선(22D)와 접속되어 있다. 배선(22D)은 상기 메모리셀의 국소배선L₁, L₂, 전원전압선(22A), 기준전압선(22B) 및 패드층(22C)과 동일한 층의 Al합금막으로 이루어진다. 용량소자C의 하부전극(16)은 층간절연막(21)에 형성된 접속구멍(36)을 통해서 배선(22D)과 접속되고, 또한 이 배선(22D)을 거쳐서 n형 웨(4)의 주면에 형성된 p형 반도체영역(34)와 접속되어 있다. 하부전극(16)은 n형의 다결정실리콘막으로 구성되어 있으므로, 배선(22D)을 거쳐서 간접적으로 p형 반도체영역(34)와 접속되어 있다.

이와 같이, 반도체기판(1)상에 퇴적된 2층의 다결정실리콘막을 사용해서 주변 회로의 용량소자C를 구성하는 본 실시예에 의하면, 반도체기판에 형성된 확산층(pn접합) 등을 사용한 용량소자에 비해서 소자의 점유면적을 작게 할 수 있으므로, 주변회로의 면적을 축소해서 SRAM을 고집적화할 수가 있다. 또, 이 용량소자C는 확산층(pn접합) 등을 사용한 용량소자에 비해서 용량의 크기를 자유롭게 제어할 수 있다는 특징도 있다.

또, 상기 n채널형 MISFET Qn의 다른 한쪽의 n형 반도체영역(33)은 용량소자C의 상부전극(19)와 동일한 제3층째의 n형 다결정실리콘막으로 구성된 패드층(38)을 거쳐서 배선(22D)와 접속되어 있다. 패드층(38)은 용량소자C의 상부전극(19)과 동일한 공정에서 형성된다. 이 패드층(38)을 거쳐서 n형 반도체영역(33)과 배선(22D)를 접속하는 것에 의해서, 포토레지스트를 마스크로 한 에칭에 의해 p형 반도체영역(33)의 상부에 접속구멍(37)을 형성할 때의 마스크맞춤 여유를 작게 할 수 있으므로, n채널형 MISFET Qn의 면적을 축소해서 SRAM을 고집적화할 수 있다. 또한, 패드층(37)은 용량소자C의 하부전극(16)과 동일한 제2층째의 n형 다결정실리콘막으로 구성해도 좋다.

(실시예2)

본 실시예에 의한 SRAM의 메모리셀의 제조방법을 도 24~도 38을 사용해서 설명한다. 또한, 메모리셀의 제조방법을 도시한 각도중 평면도에는 도전층과 접속구멍만을 도시하고 절연막의 도시는 생략한다.

<소자분리용 웨л형성공정 및 1층째 게이트 형성공정>

먼저, 도 24에 도시한 바와 같이 p형 웨(3), n형 웨(4)의 각각의 활성영역의 주변에 전송용 MISFET Qt₁, Qt₂의 게이트전극(9)(워드선WL), 부하용 MISFET Qp₁, 구동용 MISFET Qd₁에 공통의 게이트전극(11a), 부하용 MISFET Qp₂, 구동용 MISFET Qd₂에 공통의 게이트전극(11b)를 각각 형성한다. 여기까지의 공정은 상기 실시예1과 동일하다.

다음에, 본 실시예에서는 도 25에 도시한 바와 같이 포토레지스트를 마스크로 한 게이트전극(11a), (11b)상의 산화실리콘막(14)의 일부를 에칭하여 그 막두께를 얇게 한다. 막두께를 얇게 하는 곳은 후공정에서 축소배선L₁, L₂와 게이트전극(11a), (11b)의 접속을 실행하기 위한 접속구멍(43), (44)가 뚫려지는 영역이다.

산화실리콘막(14)의 일부의 막두께를 얇게 하기 위해서는 제1 포토레지스트를 마스크로 해서 산화실리콘막(14) 및 다결정실리콘막을 패터닝해서 게이트전극(9)(워드선WL) 및 게이트전극(11a), (11b)를 형성한 후, 제2 포토레지스트를 마스크로 해서 산화실리콘막(14)의 일부를 에칭하는 방법(제1 방법)이나 제1층째의 다결정실리콘막상에 산화실리콘막(14)를 퇴적시킨 후 제1 포토레지스트를 마스크로 해서 산화실리콘막(14)의 일부를 에칭하고 다음에 제2 포토레지스트를 마스크로 해서 산화실리콘막(14) 및 다결정실리콘막을 패터닝해서 게이트전극(9)(워드선WL) 및 게이트전극(11a), (11b)를 형성하는 방법(제2 방법)이 있다.

제1 방법에서는 게이트전극 형성후 제2포토레지스트를 마스크로 해서 산화실리콘막(14)의 일부를 에칭할 때 이 마스크에 맞춤어긋남이 발생하여 막두께를 얇게 하는 곳이 게이트전극 끝부의 필드절연막(2)에 걸리면, 게이트전극 끝부의 필드절연막(2)가 깨일 우려가 있다. 이것에 대해, 제2 방법에서는 산화실리콘막(14)의 일부를 에칭하는 마스크에 맞춤어긋남이 발생한 경우라도 하층의 다결정실리콘막이 에칭스토퍼로 되므로 이와 같은 문제점은 발생하지 않는다.

제1 방법을 채용하는 경우에는 필드절연막(2)와는 에칭율이 다른 재료 예를 들면 질화실리콘막을 제1층째의 다결정실리콘막상에 퇴적시키고, 제1 포토레지스트를 마스크로 해서 이 질화실리콘막 및 다결정실리콘막을 패터닝해서 게이트전극을 형성한 후, 제2 포토레지스트를 마스크로 해서 질화실리콘막의 일부를 에칭하는 것에 의해서 필드절연막(2)의 깨임을 방지할 수가 있다. 또는, 게이트전극의 측벽에 사이드월스페이서(13)을 형성한 후 게이트전극상의 절연막의 일부를 에칭하는 것에 의해서도 게이트전극 끝부의 필드절연막(2)의 깨임을 방지할 수가 있다.

<확산층 형성공정>

다음에, 도 26에 도시한 바와 같이 게이트전극(9)(워드선WL), 게이트전극(11a), (11b)의 각각의 측벽에 사이드월스페이서(13)을 형성한 후 포토레지스트를 마스크로 한 이온주입법에 의해 p형 웨(3)에 n형 반도체영역(7)(전송용 MISFET Qt₁, Qt₂의 소오스, 드레인영역) 및 n형 반도체영역(10)(구동용 MISFET Qd₁, Qd₂의 소오스, 드레인영역)을 형성하고, n형 웨(4)에 p형 반도체영역(12)(부하용 MISFET Qp₁, Qp₂의 소오스, 드레인영역)을 형성한다.

<2층째 게이트 형성공정>

다음에, 도 27에 도시한 바와 같이 반도체기판(1)상에 CVD법에 의해 질화실리콘막(40)을 퇴적시킨 후, 도 28, 도 29에 도시한 바와 같이 CVD법에 의해 퇴적시킨 n형 다결정실리콘막을 패터닝해서 용량소자C의 하부전극(41)을 형성한다. 상기 실시예1에서는 하부전극(41)을 형성하는 공정에 앞서서 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10))에 도달하는 접속구멍(17)을 형성하였지만, 본 실시예에서는 이 공정(2층째 게이트용 접속구멍 형성공정)을 생략한다.

<용량절연막 형성공정 및 3층째 게이트 형성공정>

다음에, 도 30, 도 31에 도시한 바와 같이 CVD법에 의해 질화실리콘막으로 이루어지는 용량절연막(18)을 퇴적시키고, 계속해서 CVD법에 의해 퇴적시킨 n형 다결정실리콘막을 패터닝해서 용량소자C의 상부전극(42)를 형성한다. 즉, 상기 실시예1에서는 용량절연막(18)을 퇴적시킨 직후에 부하용 MISFET Qp₁, 구동용 MISFET Qd₁에 공통인 게이트전극(11a)과 구동용 MISFET Qd₂의 드레인영역(n형 반도체영역(10))에 도달하는 접속구멍(20)을 형성하는데 반해, 본 실시예에서는 이 공정(3층째 게이트용 접속구멍 형성공정)을 생략하고 용량절연막(18)의 퇴적과 상부전극(42)용의 다결정실리콘막의 퇴적을 연속해서 실행한다. 도 32의 그레이패턴으로 도시한 영역은 하부전극(41)과 상부전극(42)가 중첩된 영역(본 실시예의 용량소자C가 형성되는 영역)을 나타내고 있다.

<1층째의 배선전극용 접속구멍 형성공정>

다음에, 도 33~도 35에 도시한 바와 같이 CVD법에 의해 BPSG막으로 이루어지는 층간절연막(21)을 퇴적시키고, 그 표면을 리플로우에 의해 평탄화한 후 포토레지스트를 마스크로 해서 층간절연막(21)을 에칭한다. 이 때, 층간절연막(21)의 하층의 용량절연막(18)(질화실리콘막) 또는 상부전극(42)(다결정실리콘막)을 에칭스토퍼로 해서 층간절연막(21)만을 에칭한다(도 33).

다음에, 층간절연막(21)의 하층의 용량절연막(18) 또는 상부전극(42), 또 그 하층의 하부전극(41), 질화실리콘막(40), 산화실리콘막(14), 절연막(게이트절연막(9)와 동일층의 절연막)을 에칭하여 부하용 MISFET Qp₁, Qp₂의 소오스영역(p형 반도체영역(12))에 도달하는 접속구멍(27), 구동용 MISFET Qd₁, Qd₂의 소오스영역(n형 반도체영역(10))에 도달하는 접속구멍(28), 전송용 MISFET Qt₁, Qt₂의 소오스영역(n형 반도체영역(7))에 도달하는 접속구멍(29), 부하용 MISFET Qp₁와 구동용 MISFET Qd₁에 공통인 게이트전극(11a)와 구동용 MISFET Qd₂의 드레인영역(n형 반도체영역(10))에 도달하는 접속구멍(43), 부하용 MISFET Qp₂와 구동용 MISFET Qd₂에 공통인 게이트전극(11b)와 부하용 MISFET Qp₁의 드레인영역(p형 반도체영역(12))에 도달하는 접속구멍(44), 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10))에 도달하는 접속구멍(45), 부하용 MISFET Qp₂의 드레인영역(p형 반도체영역(12))에 도달하는 접속구멍(46)을 각각 형성한다.

상기 접속구멍(43)은 상부전극(42)의 일부를 관통해서 게이트전극(11a)와 드레인영역(n형 반도체영역(10))에 도달하고 있으므로, 도 34에 도시한 바와 같이 이 접속구멍(43)의 측벽에 상부전극(42)의 일부가 노출된다. 또, 도 34의 (A)의 부분에 도시한 바와 같이 접속구멍(45)는 하부전극(41)의 일부를 관통해서 드레인영역(n형 반도체영역(10))에 도달하고 있으므로, 이 접속구멍(45)의 측벽에는 하부전극(41)의 일부가 노출된다. 도 34의 (A)의 부분은 접속구멍(45)의 부분을 도시한 단면도이다.

또, 도 33에 도시한 공정후의 이 에칭에 의해서 상기 접속구멍(43)의 바닥부에는 게이트전극(11a)의 일부가 노출되고 접속구멍(44)의 바닥부에는 게이트전극(11b)의 일부가 노출되지만, 상술한 바와 같이 이 영역의 게이트전극(11a), (11b)상의 산화실리콘막(14)는 미리 그 막두께를 얇게 하고 있으므로 단시간의 에칭에 의해 게이트전극(11a), (11b)를 노출시킬 수가 있다. 이것에 대해서, 접속구멍(43), (44)의 바닥부의 산화실리콘막(14)의 막두께를 얇게 하지 않은 경우에는 산화실리콘막(14)를 장시간 에칭하지 않으면 안되므로, 레지스트마스크에 맞춤어긋남이 발생하여 접속구멍(43), (44)의 일부가 필드절연막(2)에 걸렸을 때 게이트전극(11a), (11b)의 끝부의 필드절연막(2)가 오버에칭되어 깎일 우려가 있다.

<1층째의 배선전극 형성공정>

다음에, 도 36, 도 37에 도시한 바와 같이 충간절연막(21)상에 스퍼터법에 의해 퇴적시킨 Al합금막을 패터닝하는 것에 의해서, 국소배선L₁, L₂, 전원전압선(22A), 기준전압선(22B) 및 패드층(22C)를 형성한다.

이것에 의해, 한쪽의 국소배선L₂의 한쪽끝부는 접속구멍(43)의 측벽에서 용량소자C의 상부전극(42)에 접속되고, 또 이 접속구멍(43)의 바닥부에서 구동용 MISFET Qd₂의 드레인영역(n형 반도체영역(10))과 구동용 MISFET Qd₁, 부하용 MISFET Qp₁에 공통인 게이트전극(11a)에 접속된다. 국소배선L₂의 다른쪽끝부는 접속구멍(46)을 통해서 부하용 MISFET Qp₂의 드레인영역(n형 반도체영역(10), 축적노드B), 부하용 MISFET Qp₂의 드레인영역(p형 반도체영역(12)) 및 구동용 MISFET Qd₁과 부하용 MISFET Qp₁에 공통인 게이트전극(11a)의 각각은 국소배선L₂ 및 상부전극(42)를 거쳐서 서로 접속된다.

또, 다른쪽의 국소배선L₁의 한쪽끝부는 접속구멍(45)의 측벽에서 용량소자C의 하부전극(41)에 접속되고, 또 이 접속구멍(45)의 바닥부에서 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10))에 접속된다. 국소배선L₁의 다른쪽끝부는 접속구멍(44)를 통해서 부하용 MISFET Qp₁의 드레인영역(p형 반도체영역(12))과 구동용 MISFET Qd₂, 부하용 MISFET Qp₂에 공통인 게이트전극(11b)에 접속된다. 즉, 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10), 축적노드A), 부하용 MISFET Qp₁의 드레인영역(p형 반도체영역(12)) 및 구동용 MISFET Qd₂와 부하용 MISFET Qp₂에 공통인 게이트전극(11b)의 각각은 국소배선L₁ 및 하부전극(41)을 거쳐서 서로 접속된다. 또한, 도 36의 (A)의 부분은 접속구멍(45)의 부분을 도시한 단면도이다.

또, 전원전압선(22A)는 접속구멍(27)을 통해서 부하용 MISFET Qp₁, Qp₂의 각 소오스영역(p형 반도체영역(12))에 접속되고, 기준전압선(22B)는 접속구멍(28)을 통해서 구동용 MISFET Qd₁, Qd₂의 각 소오스영역(n형 반도체영역(10))에 접속된다. 또, 1쌍의 패드층(22C)의 한쪽은 접속구멍(29)를 통해서 전송용 MISFET Qt₁의 드레인영역(n형 반도체영역(7))에 접속되고, 다른쪽은 접속구멍(29)를 통해서 전송용 MISFET Qt₂의 드레인영역(n형 반도체영역(7))에 접속된다.

그 후, 도 38A에 도시한 바와 같이 CVD법에 의해 퇴적시킨 산화실리콘막으로 이루어지는 충간절연막(31)에 접속구멍(32)를 형성한 후, 충간절연막(31)상에 스퍼터법에 의해 퇴적시킨 Al합금막을 패터닝해서 데이터선DL, /DL를 형성하고, 접속구멍(32)를 통해서 데이터선DL, /DL와 패드층(22C)을 접속한다.

이와 같이, 본 실시예의 제조방법은 실시예1에 비해서 용량소자C의 하부전극(41)을 형성하는 공정에 앞서서 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10))에 도달하는 접속구멍을 형성하는 공정(2층째 게이트용 접속구멍 형성공정), 용량절연막(18)을 퇴적시킨 후 상부전극(42)를 형성하는 공정에 앞서서 부하용 MISFET Qp₁와 구동용 MISFET Qd₁에 공통인 게이트전극(11a)와 구동용 MISFET Qd₂의 드레인영역(n형 반도체영역(10))에 도달하는 접속구멍을 형성하는 공정(3층째 게이트용 접속구멍 형성공정)을 생략한다. 이것에 의해, 포토레지스트를 마스크로 한 에칭공정이 2공정 적어지므로, 그만큼 메모리셀의 제조공정을 단축할 수가 있다.

또한, 상기한 2개의 접속구멍 형성공정은 어느 한쪽만을 생략할 수도 있다. 도 65 및 도 38B에 도시한 바와 같이 예를들면 용량소자C의 하부전극(41)을 형성하는 공정(2층째 게이트용 접속구멍 형성공정)에서는 접속구멍(17)을 형성하고 상부전극(42)를 형성하는 공정(3층째 게이트용 접속구멍 형성공정)에서는 접속구멍을 형성하지 않도록 하면, DRAM(Dynamic Random Access Memory)의 메모리셀 선택용 MISFET Qs의 상부에 스택구조의 정보축적용 용량소자(캐패시터)Cd를 형성하는 프로세스와 본 발명의 용량소자C를 형성하는 프로세스를 공통화할 수 있으므로, 1개의 반도체칩에 DRAM과 SRAM을 혼재시킨 1칩 마이컴의 제조공정을 단축할 수가 있다.

즉, 도 38B에 도시한 바와 같이 DRAM의 정보축적용 용량소자Cd를 SRAM의 용량소자C와 동일한 공정(하부전극(41) 형성공정, 용량절연막(18) 형성공정, 상부전극(42) 형성공정)에서 형성하는 것에 의해, SRAM의 용량소자C를 형성하는 프로세스에서 동시에 DRAM의 용량소자Cd를 형성할 수가 있다. 또한, DRAM의 정보축적용 용량소자Cd의 한쪽의 전극(41)은 2층째 게이트용 접속구멍 형성공정에서 형성된 접속구멍(17)을 거쳐서 DRAM의 메모리셀선택용 MISFET Qs의 소오스, 드레인영역(7)((10))의 한쪽에 전기적으로 접속된다. DRAM의 정보축적용 용량소자Cd의 다른쪽의 전극(42)는 플레이

트전극(42)와 일체로 형성된다. 플레이트전극(42)는 DRAM의 메모리셀을 덮도록 형성되고, 플레이트전극(42)에는 플레이트전압Vp가 인가된다. 플레이트전압Vp는 예를들면 Vcc/2이다. DRAM의 메모리셀 선택용 MISFET Qs의 소오스, 드레인영역(7)((10))의 다른쪽은 패드층(22C)를 거쳐서 데이터선DL에 전기적으로 접속된다.

또, DRAM의 메모리셀 선택용 MISFET Qs를 구동용 MISFET Qd와 동일한 공정에서 형성하는 것에 의해, SRAM을 형성하는 프로세스에서 동시에 DRAM을 형성할 수가 있다.

또, 플레이트전극(42)는 접속구멍(29')의 측벽을 통해서 제1층째의 알루미늄합금막으로 이루어지는 배선(22')에 전기적으로 접속되고, 배선(22')은 접속구멍(32')의 측벽을 통해서 제2층째의 알루미늄 합금막으로 이루어지는 배선(100)에 전기적으로 접속된다.

또한, 도 38A에는 도 38A에 도시한 SRAM이 형성된 기판(1)과 동일한 기판(1)상에 형성된 DRAM을 도시한다. 도 38B에 있어서 MC는 DRAM의 메모리셀 형성영역을 나타내고, PH는 메모리셀 형성영역의 주변에 형성된 플레이트전극(42)로의 급전부(給電部) 형성영역을 나타낸다. 또, 도 38C에는 DRAM의 메모리셀의 등가회로도를 도시한다. 도 38 C에 도시한 바와 같이 DRAM의 메모리셀은 메모리셀 선택용 MISFET Qs와 정보축적용 용량소자Cd로 구성된다.

이하, 도 38B에 도시한 1쌍의 구동용 MISFET Qd 및 1쌍의 부하용 MISFET Qp로 이루어지는 플립플롭회로와 1쌍의 전송용 MISFET Qt로 메모리셀을 구성한 SRAM, 메모리셀 선택용 MISFET Qs와 그의 상두에 형성된 정보축적용 용량소자 Cd로 메모리셀을 구성한 DRAM을 갖는 반도체 집적회로장치의 제조방법에 대해서 간단하게 설명한다.

먼저, 반도체기판(1)의 주면상에 형성된 제1 도전막(9)에 의해 상기 구동용 MISFET Qd, 상기 부하용 MISFET Qp, 상기 전송용 MISFET Qt 및 상기 메모리셀 선택용 MISFET Qs의 각각의 게이트전극(9)(워드선WL)을 형성하는 공정, 다음에 상기 제1 도전막(9)의 상부에 형성된 제2 도전막(41), 상기 제2 도전막(41)의 상부에 형성된 유전체막인 절연막(18) 및 상기 절연막(18)의 상부에 형성된 제3 도전막(42)로 상기 SRAM의 메모리셀의 상부에 용량소자C를 형성함과 동시에, 상기 DRAM의 메모리셀 선택용 MISFET Qs의 상부에 상기 정보축적용 용량소자 Cds를 형성하는 공정, 다음에 상기 제3 도전막(42)의 상부에 형성된 제1 금속막을 패터닝해서 1쌍의 금속배선L₁, L₂를 형성하고 상기 SRAM의 용량소자의 한쪽의 전극(41)과 상기 SRAM의 메모리셀의 한쪽의 축적노드를 상기 1쌍의 금속배선의 한쪽을 개재해서 전기적으로 접속함과 동시에, 상기 용량소자의 다른쪽의 전극(42)과 상기 메모리셀의 다른쪽의 축적노드를 상기 1쌍의 금속배선의 다른쪽을 개재해서 전기적으로 접속한다.

또, 본 실시예의 제조방법은 용량절연막(18)의 퇴적과 제3층째의 다결정실리콘막의 퇴적을 연속해서 실행한다. 이것에 의해, 용량절연막(18)의 표면의 오염을 적게 할 수 있으므로, 고품질의 용량소자C를 형성할 수가 있다.

또, 본 실시예의 제조방법은 절연막을 에칭해서 게이트전극(11a)에 도달하는 접속구멍(43)과 게이트전극(11b)에 도달하는 접속구멍(44)를 형성하는 공정에 앞서서, 게이트전극(11a), (11b)상의 절연막(산화실리콘막(14))의 막두께를 얇게 해둔다. 이것에 의해, 접속구멍(43), (44)를 형성할 때 사용하는 레지스트마스크의 맞춤여git남에 의한 필드절연막(2)의 깎임을 억제할 수 있으므로, SRAM의 제조효율 및 신뢰성을 향상시킬 수가 있다. 또, 이것에 의해 접속구멍(43), (44)와 게이트전극(11a), (11b)와 드레인영역(n형 반도체영역(10))의 맞춤여유가 불필요하게 되므로, 메모리셀의 면적을 축소해서 SRAM의 고집적화를 도모할 수가 있다. 또, SRAM의 주변회로를 구성하는 MISFET에 있어서 게이트전극(11)을 제1층재의 n형 다결정실리콘막(또는 폴리사이드막)으로 형성하고, 게이트전극과 제1층째의 알루미늄(Al)합금막으로 이루어지는 배선(22)를 접속할 때에 게이트전극상의 절연막(14)의 막두께를 얇게 해 두는 것에 의해서 주변회로를 형성하는 MISFET에 있어서도 마찬가지 효과가 얻어진다.

도 39에 도시한 바와 같이 본 실시예의 SRAM의 주변회로 예를들면 입출력 보호회로에는 상술한 메모리셀의 용량소자C와 대략 동일한 구조의 용량소자C가 형성된다. 이 용량소자C의 하부전극(41)은 제2층째의 n형 다결정실리콘막으로 구성되고, 메모리셀의 용량소자C의 하부전극(41)과 동일한 공정에서 형성된다. 용량절연막(18)은 질화실리콘막으로 구성되고, 메모리셀의 용량소자C의 용량절연막(18)과 동일한 공정에서 형성된다. 상부전극(42)는 제3층째의 n형 다결정실리콘막으로 구성되고, 메모리셀의 용량소자C의 상부전극(42)과 동일한 공정에서 형성된다.

이 용량소자C의 하부전극(41)은 층간절연막(21)에 형성된 접속구멍(36)의 측벽에서 배선(22D)와 접속되고 또한 이 배선(22D)를 통해서 n형 웰(4)의 p형 반도체영역(34)에 접속되고 있다. 상부전극(42)은 층간절연막(21)에 형성된 접속구멍(35)의 측벽에서 배선(22D)와 접속되고 또한 이 배선(22D)를 통해서 n채널형 MISFET Qn의 n형 반도체영역(33)과 접속

되어 있다. 또, n채널형 MISFET Qn의 다른 한쪽의 n형 반도체영역(33)은 용량소자C의 상부전극(42)과 동일한 제3층째의 n형 다결정실리콘막으로 구성된 패드층(38)을 거쳐서 배선(22D)와 접속되어 있다. 패드층(38)은 용량소자C의 하부전극(41)과 동일한 제2층째의 n형 다결정실리콘막으로 구성해도 좋다.

(실시예3)

본 발명에 의한 SRAM의 메모리셀의 제조방법을 도 40~도 52를 사용해서 설명한다. 또한, 메모리셀의 제조방법을 도시한 각도중 평면도에는 도전층과 접속구멍만을 도시하고 절연막의 도시는 생략한다.

먼저, 도 40에 도시한 바와 같이 제1층째의 n형 다결정실리콘막을 패터닝해서 p형 웨(3), n형 웨(4)의 각각의 활성영역의 주면에 전송용 MISFET Qt₁, Qt₂의 게이트전극(9)(워드선WL), 부하용 MISFET Qp₁과 구동용 MISFET Qd₁에 공통인 게이트전극(11a) 및 부하용 MISFET Qp₂와 구동용 MISFET Qd₂에 공통인 게이트전극(11b)를 각각 형성한다. 다음에, 후공정에서 국소배선과의 접속을 실행하기 위한 접속구멍이 배치되는 영역인 게이트전극(11a), (11b)의 상부를 피복하는 산화실리콘막(14)를 에칭해서 그 막두께를 얇게 한다.

다음에, 게이트전극(9)(워드선WL), 게이트전극(11a), (11b)의 각각의 측벽에 사이드월 스페이서(13)을 형성한 후, p형 웨(3)에 n형 반도체영역(7)(전송용 MISFET Qt₁, Qt₂의 소오스, 드레인영역) 및 n형 반도체영역(10)(구동용 MISFET Qd₁, Qd₂의 소오스, 드레인영역)을 형성하고, n형 웨(4)에 p형 반도체영역(12)(부하용 MISFET Qp₁, Qp₂의 소오스, 드레인영역)을 형성한다. 여기까지의 공정은 상기 실시예2와 동일하다.

다음에, 본 실시예에서는 도 41에 도시한 바와 같이 반도체기판(1)상에 CVD법에 의해 질화실리콘막(40)을 퇴적시킨 후, 도 42에 도시한 바와 같이 이 질화실리콘막(40)과 그 하층의 절연막(게이트절연막(9)와 동일층의 절연막)을 에칭해서 부하용 MISFET Qp₁의 드레인영역(p형 반도체영역(12))에 도달하는 접속구멍(50)을 형성한다.

다음에, 도 43, 도 44에 도시한 바와 같이 CVD법에 의해 퇴적된 다결정실리콘막을 패터닝해서 용량소자C의 하부전극(51)을 형성한다. 이 때, 본 실시예에서는 하부전극(51)을 p형의 다결정실리콘막으로 구성하고, 상기 접속구멍(50)을 통해서 부하용 MISFET Qp₁의 드레인영역(p형 반도체영역(12))와 직접 접속한다.

다음에, 도 45, 도 46에 도시한 바와 같이 CVD법에 의해 퇴적된 질화실리콘막으로 이루어지는 용량소자(18)과 그 하층의 절연막(게이트절연막(9)와 동일층의 절연막)을 에칭해서 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10))에 도달하는 접속구멍(52)를 형성한 후, CVD법에 의해 퇴적된 n형의 다결정실리콘막을 패터닝해서 용량소자C의 상부전극(53)을 형성한다. 이 상부전극(53)은 상기 접속구멍(52)를 통해서 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10))에 접속된다. 도 47의 그레이프턴으로 도시한 영역은 하부전극(51)과 상부전극(53)이 중첩된 영역(본 실시예의 용량소자C가 형성되는 영역)을 나타내고 있다.

다음에, 도 48, 도 49에 도시한 바와 같이 CVD법에 의해 BPSG막으로 이루어지는 층간절연막(21)을 퇴적하고, 그 표면을 리플로우에 의해 평탄화 한 후 포토레지스트를 마스크로 해서 먼저 층간절연막(21)을 에칭하고, 계속해서 층간절연막(21)의 하층의 용량절연막(18), 상부전극(52) 또는 하부전극(51), 또 그 하층의 질화실리콘막(40), 산화실리콘막(14), 절연막(게이트절연막(9)와 동일층의 절연막)을 에칭하는 것에 의해서, 부하용 MISFET Qp₁, Qp₂의 소오스영역(p형 반도체영역(12))에 도달하는 접속구멍(27), 구동용 MISFET Qd₁, Qd₂의 소오스영역(n형 반도체영역(10))에 도달하는 접속구멍(28), 전송용 MISFET Qt₁, Qt₂의 소오스영역(n형 반도체영역(7))에 도달하는 접속구멍(29), 부하용 MISFET Qp₁과 구동용 MISFET Qd₁에 공통인 게이트전극(11a)과 구동용 MISFET Qd₂의 드레인영역(n형 반도체영역(10))에 도달하는 접속구멍(54), 부하용 MISFET Qp₂와 구동용 MISFET Qd₂에 공통인 게이트전극(11b)과 부하용 MISFET Qp₁의 드레인영역(p형 반도체영역(12))에 도달하는 접속구멍(55), 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10))의 상부에 있어서 상부전극(53)에 도달하는 접속구멍(57), 부하용 MISFET Qp₂의 드레인영역(p형 반도체영역(12))의 상부에 있어서 하부전극(51)에 도달하는 접속구멍(58)을 각각 형성한다. 또한, 도 48의 (a)부분은 접속구멍(57) 부분을 도시한 단면도이다. 도 48의 (b)부분은 접속구멍(58)부분을 도시한 단면도이다.

상기 접속구멍(54)를 형성할 때에는 그 바닥부에 게이트전극(11a)의 일부가 노출되고 접속구멍(55)를 형성할 때에는 그 바닥부에 게이트전극(11b)의 일부가 노출되지만, 상술한 바와 같이 이 영역의 게이트전극(11a), (11b)상의 산화실리콘막(14)는 미리 그 막두께를 얇게 하고 있으므로 접속구멍(54), (55)를 형성할 때 사용하는 레지스트마스크의 맞춤어긋남에 의한 필프절연막(2)의 깎임을 억제할 수 있고, 이것에 의해 상기 실시예2와 마찬가지의 효과가 얻어진다.

다음에, 도 50, 도 51에 도시한 바와 같이 층간절연막(21)상에 스퍼터법에 의해 퇴적된 Al합금막을 패터닝하는 것에 의해서, 국소배선 L₁, L₂, 전원전압선(22A), 기준전압선(22B) 및 패드층(22C)를 형성한다.

이것에 의해, 한쪽의 국소배선L₂의 한쪽끝부는 접속구멍(54)를 통해서 구동용 MISFET Qd₁와 부하용 MISFET Qp₁에 공통인 게이트전극(11a)과 구동용 MISFET Qd₂의 드레인영역(n형 반도체영역(10), 축적노드B)에 접속되고, 국소배선L₂의 다른쪽 끝부는 접속구멍(58)을 통해서 하부전극(51)에 접속되고, 또 접속구멍(50)을 통해서 부하용 MISFET Qp₂의 드레인영역(p형 반도체영역(12))에 접속된다. 즉, 구동용 MISFET Qd₂의 드레인영역(n형 반도체영역(10), 축적노드B), 부하용MISFET Qp₂의 드레인영역(p형 반도체영역(12)) 및 구동용 MISFET Qd₁과 부하용 MISFET Qp₁에 공통인 게이트전극(11a)의 각각은 국소배선L₂ 및 하부전극(51)을 거쳐서 서로 접속된다.

또, 다른쪽의 국소배선L₁의 한쪽끝부는 접속구멍(55)를 통해서 구동용 MISFET Qd₂와 부하용 MISFET Qp₂에 공통인 게이트전극(11b)과 부하용 MISFET Qp₁의 드레인영역(p형 반도체영역(12))에 접속되고, 국소배선L₁의 다른쪽끝부는 접속구멍(57)을 통해서 상부전극(53)에 접속되고, 또 접속구멍(52)를 통해서 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10), 축적노드 A)에 접속된다. 즉, 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10), 축적노드 A), 부하용 MISFET Qp₁의 드레인영역(p형 반도체영역(12)) 및 구동용 MISFET Qd₂와 부하용 MISFET Qp₂에 공통인 게이트전극(11b)의 각각은 국소배선L₁ 및 상부전극(53)을 거쳐서 서로 접속된다.

또, 전원전압선(22A)는 접속구멍(27)을 통해서 부하용 MISFET Qp₁, Qp₂의 각 소오스영역(p형 반도체영역(12))에 접속되고, 기준전압선(22B)는 접속구멍(28)을 통해서 구동용 MISFET Qd₁, Qd₂의 각 소오스영역(n형 반도체영역(10))에 접속된다. 또, 1쌍의 패드층(22C)의 한쪽은 접속구멍(29)를 통해서 전송용 MISFET Qt₁의 드레인영역(n형 반도체영역(7))에 접속되고, 다른쪽은 접속구멍(29)를 통해서 전송용 MISFET Qt₂의 드레인영역(n형 반도체영역(7))에 접속된다.

그 후, 도 52에 도시한 바와 같이 CVD법에 의해 퇴적된 산화실리콘막으로 이루어지는 층간절연막(31)에 접속구멍(32)를 형성한 후, 층간절연막(31)상에 스퍼터법에 의해 퇴적된 Al합금막을 패터닝해서 데이터선DL, /DL를 형성하고, 접속구멍(32)를 통해서 데이터선DL, /DL와 패드층(22C)을 접속한다.

도 53에 도시한 바와 같이 본 실시예의 SRAM의 주변회로 예를들면 입출력 보호회로에는 상술한 메모리셀의 용량소자C와 거의 동일한 구조의 용량소자C가 형성된다. 이 용량소자C의 하부전극(51)은 제2층째의 p형 다결정실리콘막으로 구성되고, 메모리셀의 용량소자C의 하부전극(51)과 동일한 공정에서 형성된다. 용량절연막(18)은 질화실리콘막으로 이루어지고, 메모리셀의 용량소자C의 용량절연막(18)과 동일한 공정에서 형성된다. 상부전극(53)은 제3층째의 n형 다결정실리콘막으로 구성되고, 메모리셀의 용량소자C의 상부전극(53)과 동일한 공정에서 형성된다.

이 용량소자C의 하부전극(51)은 n형 웨(4)의 p형 반도체영역(34)와 접속되고, 또한 층간절연막(21)에 형성된 접속구멍(36)을 통해서 배선(22D)와 접속되어 있다.

상부전극(53)은 n채널형 MISFET Qn의 n형 반도체영역(33)과 접속되고, 또한 층간절연막(21)에 형성된 접속구멍(35)를 통해서 배선(22D)와 접속되어 있다. 또, n채널형 MISFET Qn의 다른 한쪽의 n형 반도체영역(33)은 용량소자C의 상부전극(53)과 동일한 제3층째의 n형 다결정실리콘막으로 구성된 패드층(38)을 거쳐서 배선(22D)와 접속되어 있다. 본 실시예에서는 제2층째의 다결정실리콘막을 p형으로 구성하고 있으므로, 이 p형 다결정실리콘막으로 구성된 패드층을 거쳐서 (도시하지 않은) 주변회로의 p채널형 MISFET의 p형 반도체영역과 배선을 접속시킬 수가 있다.

이상, 본 발명자에 의해서 이루어진 발명을 실시예에 따라서 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위에서 여러가지로 변경가능한 것은 물론이다.

(실시예4)

본 실시예에 의한 SRAM의 메모리셀의 제조방법을 도 54~도 64를 사용해서 설명한다. 또한, 메모리셀의 제조방법을 도시한 각도중 평면도에는 도전층과 접속구멍만을 도시하고 절연막의 도시는 생략한다.

먼저, 도 54에 도시한 바와 같이 상기 실시예2와 동일한 공정에 따라서 구동용 MISFET Qd₁, Qd₂, 부하용 MISFET Qp₁, Qp₂ 및 전송용 MISFET Qt₁, Qt₂를 형성하고, 그 상부에 질화실리콘막(40)을 퇴적한다.

즉, p형 웰(3), n형 웰(4)그 각각의 활성영역의 주면에 전송용 MISFET Qt₁, Qt₂의 게이트전극(9)(워드선WL), 부하용 MISFET Qp₁과 구동용 MISFET Qd₁에 공통인 게이트전극(11a) 및 부하용 MISFET Qp₂와 구동용 MISFET Qd₂에 공통인 게이트전극(11b)를 각각 형성한 후, 포토레지스트를 마스크로 해서 게이트전극(11a), (11b)상의 산화실리콘막(14)의 일부를 에칭하여 그 막두께를 얇게 한다. 계속해서, 게이트전극(9)(워드선WL), 게이트전극(11a), (11b)의 각각의 측벽에 사이드월 스페이서(13)을 형성한 후, 포토레지스트를 마스크로 한 이온주입법에 의해 p형 웰(3)에 n형 반도체영역(7)전송용 MISFET Qt₁, Qt₂의 소오스, 드레인영역) 및 n형 반도체영역(10)(구동용 MISFET Qd₁, Qd₂의 소오스, 드레인영역)을 형성하고, n형 웰(4)에 p형 반도체영역(12)(부하용 MISFET Qp₁, Qp₂의 소오스, 드레인영역)을 형성한다. 그 후, 반도체기판(1)상에 CVD법에 의해 질화실리콘막(40)을 퇴적한다.

다음에, 도 55, 도 56에 도시한 바와 같이 질화실리콘막(40)의 상부에 CVD법에 의해 퇴적된 n형 다결정실리콘막을 패터닝해서 용량소자C의 하부전극(61)을 형성한다. 이 하부전극(61)은 상기 실시예2의 하부전극(41)과는 패턴이 다르고, 도 56에 도시한 바와 같이 그의 일부가 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10)), 부하용 MISFET Qp₁의 드레인영역(p형 반도체영역(12))의 각각의 상부를 덮고 있다.

다음에, 도 57, 도 58에 도시한 바와 같이 질화실리콘막으로 이루어지는 용량소자(18)를 CVD법에 의해 퇴적한 후, 이 용량소자(18)상에 CVD법에 의해 퇴적된 n형 다결정실리콘막을 패터닝해서 용량소자C의 상부전극(62)를 형성한다. 그 상부전극(62)는 상기 실시예2의 상부전극(42)과는 패턴이 다르고, 도 58에 도시한 바와같이 그의 일부가 구동용 MISFET Qd₂의 드레인영역(n형 반도체영역(10)), 부하용 MISFET Qp₂의 드레인영역(p형 반도체영역(12))의 각각의 상부를 덮고 있다. 도 59의 그레이패턴으로 나타낸 영역은 하부전극(61)과 상부전극(62)가 중첩된 영역(본 실시예의 용량소자C가 형성되는 영역)을 나타내고 있다.

다음에, 도 60, 도 61에 도시한 바와 같이 BPSG막으로 이루어지는 층간절연막(21)을 CVD법에 의해 퇴적하고, 그 표면을 리플로우에 의해 평탄화 한 후 포토레지스트를 마스크로 해서 먼저 층간절연막(21)을 에칭하고, 계속해서 층간절연막(21)의 하층의 상부전극(62), 용량절연막(18), 하부전극(61), 질화실리콘막(40), 산화실리콘막(14), 절연막(게이트절연막(9)와 동일층의 절연막)을 에칭하는 것에 의해서, 부하용 MISFET Qp₁, Qp₂의 소오스영역(p형 반도체영역(12)에 도달하는 전속구멍(27), 구동용 MISFET Qd₁, Qd₂의 소오스영역(n형 반도체영역(10))에 도달하는 접속구멍(28), 전송용 MISFET Qt₁, Qt₂의 소오스영역(n형 반도체영역(7))에 도달하는 접속구멍(29), 부하용 MISFET Qp₁과 구동용 MISFET Qd₁에 공통인 게이트전극(11a)와 구동용 MISFET Qd₂의 드레인영역(n형 반도체영역(10))에 도달하는 접속구멍(63), 부하용 MISFET Qp₂와 구동용 MISFET Qd₂에 공통인 게이트전극(11b)와 부하용 MISFET Qp₁의 드레인영역(p형 반도체영역(12))에 도달하는 접속구멍(64), 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10))에 도달하는 접속구멍(65), 부하용 MISFET Qp₂의 드레인영역(p형 반도체영역(12))에 도달하는 접속구멍(66)을 각각 형성한다. 도 60의 (a)부분은 접속구멍(65)부분을 도시한 단면도이다. 도 60의 (b)부분은 접속구멍(66)부분을 도시한 단면도이다.

상기 접속구멍(63)은 상부전극(62)의 일부를 관통해서 게이트전극(11a)와 드레인영역(n형 반도체영역(10))에 도달하고 있으므로, 도 60에 도시한 바와 같이 이 접속구멍(63)의 측벽에 상부전극(62)의 일부가 노출된다. 또, 접속구멍(66)도 상부전극(62)의 일부를 관통해서 드레인영역(n형 반도체영역(12))에 도달하고 있으므로, 이 접속구멍(63)의 측벽에 상부전극(62)의 일부가 노출된다. 또, 접속구멍(64)은 하부전극(61)의 일부를 관통해서 게이트전극(11b)와 드레인영역(n형 반도체영역(12))에 도달하고 있으므로, 도 60에 도시한 바와 같이 이 접속구멍(64)의 측벽에 하부전극(61)의 일부가 노출된다. 또, 접속구멍(65)도 하부전극(61)의 일부를 관통해서 드레인영역(n형 반도체영역(10))에 도달하고 있으므로, 이 접속구멍(65)의 측벽에 하부전극(61)의 일부가 노출된다.

또한, 상기 접속구멍(63)의 바닥부에는 게이트전극(11a)의 일부가 노출되고 접속구멍(64)의 바닥부에는 게이트전극(11b)의 일부가 노출되지만, 상술한 바와 같이 이 영역의 게이트전극(11a), (11b)상의 산화실리콘막(14)는 미리 그 막두께를 얇게 하고 있으므로, 단시간의 에칭에 의해 게이트전극(11a), (11b)를 노출시킬 수 있어 상기 실시예2와 마찬가지의 효과가 얻어진다.

다음에, 도 62에 도시한 바와 같이 층간절연막(21)상에 스퍼터법 또는 CVD법에 의해 퇴적된 텅스텐(W)막을 에치백하는 것에 의해서, 상기 접속구멍(63)~(66)의 내부에 W막(67)을 매립한다.

상술한 바와 같이, 접속구멍(63)의 측벽과 접속구멍(66)의 측벽에는 각각 상부전극(62)의 일부가 노출되어 있으므로, 구동용 MISFET Qd₂의 드레인영역(n형 반도체영역(10), 축적노드B), 부하용 MISFET Qp₂의 드레인영역(p형 반도체영역(12)), 구동용 MISFET Qd₁과 부하용 MISFET Qp₁에 공통인 게이트전극(11a)의 각각은 접속구멍(63), (66)에 매립된 W막(67) 및 상부전극(62)를 거쳐서 서로 접속된다.

또, 접속구멍(64)의 측벽과 접속구멍(65)의 측벽에는 각각 하부전극(61)의 일부가 노출되어 있으므로, 구동용 MISFET Qd₁의 드레인영역(n형 반도체영역(10), 축적노드A), 부하용 MISFET Qp₁의 드레인영역(p형 반도체영역(12)), 구동용 MISFET Qd₂와 부하용 MISFET Qp₂에 공통인 게이트전극(11b)의 각각은 접속구멍(64), (65)에 매립된 W막(67) 및 하부전극(61)을 거쳐서 서로 접속된다.

이와 같이, 상기 각 실시예1~3에서는 층간절연막(21)상에 스퍼터법에 의해 퇴적된 Al합금막을 사용해서 국소배선(L₁, L₂)을 형성한데 반해, 본 실시예에서는 접속구멍(63)~(66)의 내부에 매립한 W막(67)과 용량소자C의 상부전극(62) 및 하부전극(61)을 국소배선으로서 이용한다. 이것에 의해, 도 63에 도시한 바와 같이 층간절연막(21)상에 퇴적된 Al합금막으로 전원전압선(22A), 기준전압선(22B) 및 패드층(22C)를 형성할 때, 상기 각 실시예1~3에서 국소배선을 배치한 영역에 다른 배선(예를들면 기준전압선이나 전원전압선을 강화하기 위한 배선, 분할워드선 등)을 배치하는 것이 가능하게 되므로, 메모리셀의 동작신뢰성이나 배선설계의 자유도가 향상된다.

그 후, 도 64에 도시한 바와 같이 CVD법에 의해 퇴적된 산화실리콘막으로 이루어지는 층간절연막(31)에 접속구멍(32)를 형성한 후, 층간절연막(31)상에 스퍼터법에 의해 퇴적된 Al합금막을 패터닝해서 데이터선DL, /DL를 형성하고, 접속구멍(32)를 통해서 데이터선DL, /DL와 패드층(22C)을 접속한다.

또한, 본 실시예에서는 접속구멍(63)~(66)의 내부에 W막을 매립하였지만, W 이외의 금속재료를 매립해도 좋다. 이 때, 접속구멍(63)~(66)에 매립하는 금속은 층간절연막(21)상에 퇴적된 Al합금막을 패터닝해서 전원전압선(22A), 기준전압선(22B) 및 패드층(22C) 등을 형성할 때의 드라이에칭에 의해 잘 깎이지 않는 재료를 선택할 필요가 있다. 또, 접속구멍(63)~(66)의 바닥부는 반도체영역(n형 반도체영역(10) 또는 p형 반도체영역(12))과 접속되어 있으므로, 접속구멍(63)~(66)에 매립하는 금속은 반도체영역중의 불순물이 확산하기 어려운 재료를 선택할 필요가 있다. 단, 불순물 확산속도가 느린 금속실리사이드층을 반도체영역의 표면에 마련한 경우에는 이 범위에 들어가지 않는다.

본 발명에 의하면, 용량소자의 상부전극 및 하부전극을 국소배선으로서 이용하는 것에 의해, 별도의 국소배선을 마련할 필요가 없어지고 국소배선을 마련하는 영역에 다른 배선을 배치할 수 있게 되므로, 메모리셀의 동작신뢰성이나 배선설계의 자유도를 향상시킬 수가 있다.

이상, 본 발명자에 의해서 이루어진 발명을 실시예에 따라서 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위에서 여러가지로 변경가능한 것은 물론이다.

발명의 효과

본원에 있어서 개시되는 발명중 대표적인 것에 의해서 얻어지는 효과를 간단하게 설명하면 다음과 같다.

본 발명에 의하면, 메모리셀의 상부에 형성된 용량소자의 한쪽의 전극을 한쪽의 축적노드에 접속하고 다른쪽의 전극을 다른쪽의 축적노드에 접속하는 것에 의해서 용량소자를 통해서 축적노드에 충분한 전하가 공급되므로, 메모리셀 크기를 미세화하거나 동작전압을 저하시킨 경우에 있어서도 a선에 의한 축적노드의 전위변동이 억제되어 메모리셀의 소프트에러 내성이 향상된다.

본 발명에 의하면, 반도체기판상에 축적된 2층의 도전막을 사용해서 주변회로의 용량소자를 구성하는 것에 의해서 반도체기판에 형성된 확산층(pn접합) 등을 사용한 용량소자에 비해 소자의 점유면적을 작게 할 수 있으므로, 주변회로의 면적을 축소해서 SRAM을 고집적화할 수 있다.

본 발명에 의하면, 용량소자의 전극과 동일한 공정에서 형성된 패드층을 개재시켜서 MISFET의 반도체영역과 배선을 접속하는 것에 의해 포토레지스트를 마스크로 한 에칭에 의해 반도체영역의 상부에 접속을 형성할 때의 마스크맞춤여유를 작게 할 수 있어 MISFET의 면적을 축소해서 SRAM을 고집적화할 수가 있다.

본 발명에 의하면, 게이트전극에 도달하는 접속구멍을 형성하는 공정에 앞서 서 게이트전극의 상부를 펴복하고 있는 절연막의 일부의 막두께를 얇게 해 두는 것에 의해서 단시간의 에칭에 의해 게이트전극을 노출시킬 수 있으므로, 다른 영역의 오버에칭이 방지되고 필드절연막 등이 깨이는 문제점을 방지할 수가 있다. 이것에 의해, SRAM을 갖는 반도체집적회로장치의 제조효율 및 신뢰성이 향상된다.

(57) 청구의 범위

청구항 1.

- [a] 전극, 상기 전극상에 형성되고 그의 일부의 막두께가 얇게 형성되는 제1 절연막 및 상기 반도체기판내에 형성된 반도체영역을 갖는 반도체기판을 준비하는 공정,
- [b] 제2 절연막을 상기 전극, 제1 절연막 및 반도체영역상에 형성하는 공정,
- [c] 제3 절연막을 상기 제2 절연막상에 형성하는 공정,
- [d] 상기 제2 절연막을 에칭스토퍼층으로서 작용시켜 상기 제3 절연막을 에칭하고, 그 후 상기 제2 절연막을 에칭하여 상기 전극상의 상기 제1 절연막의 막두께가 얇게 형성되는 부분 및 상기 반도체영역을 노출시키기 위한 접속구멍을 형성하는 공정을 갖는 반도체 집적회로장치의 제조방법.

청구항 2.

- [a] MISFET의 게이트전극, 상기 게이트전극상에 형성되고 그의 일부의 막두께가 얇게 형성되는 제1 절연막 및 상기 반도체기판내에 형성된 반도체영역을 갖는 반도체기판을 준비하는 공정,
- [b] 제2 절연막을 상기 게이트전극, 제1 절연막 및 반도체영역상에 형성하는 공정,
- [c] 제3 절연막을 상기 제2 절연막상에 형성하는 공정,
- [d] 상기 제2 절연막을 에칭스토퍼층으로서 작용시켜 상기 제3 절연막을 에칭하고, 그 후 상기 제2 절연막을 에칭하여 상기 게이트전극상의 상기 제1 절연막의 막두께가 얇게 형성되는 부분 및 상기 반도체영역을 노출시키기 위한 접속구멍을 형성하는 공정,
- [e] 상기 접속구멍에 도전막을 매립하는 공정을 갖는 반도체 집적회로장치의 제조방법.

청구항 3.

제1항에 있어서 ,

상기 제1 절연막은 산화실리콘막으로 형성되고,

상기 제2 절연막은 질화실리콘막으로 형성되는 반도체 집적회로장치의 제조방법.

청구항 4.

제1항에 있어서,

상기 제3 절연막은 그의 표면이 평탄화된 후에 상기 [d]공정이 실행되는 반도체 집적회로장치의 제조방법.

청구항 5.

제1항에 있어서,

하나의 상기 접속구멍에 의해 상기 게이트전극상의 상기 제1 절연막의 막두께가 얇게 형성되는 부분 및 상기 반도체영역의 양쪽이 노출되는 반도체 집적회로 장치의 제조방법.

청구항 6.

제1항에 있어서,

상기 제1 절연막은 산화실리콘막으로 형성되고,

상기 제2 절연막은 질화실리콘막으로 형성되고,

상기 제3 절연막은 그의 표면이 평탄화된 후에 상기 [d]공정이 실행되고, 하나의 상기 접속구멍에 의해 상기 게이트전극상의 상기 제1 절연막의 막두께가 얇게 형성되는 부분 및 상기 반도체영역의 양쪽이 노출되고,

상기 반도체영역 표면에는 금속실리사이드층이 형성되어 있는 반도체 집적회로장치의 제조방법.

청구항 7.

제2항에 있어서,

상기 제1 절연막은 산화실리콘막으로 형성되고,

상기 제2 절연막은 질화실리콘막으로 형성되는 반도체 집적회로장치의 제조방법.

청구항 8.

제2항에 있어서,

상기 제3 절연막은 그의 표면이 평탄화된 후에 상기 [d]공정이 실행되는 반도체 집적회로장치의 제조방법.

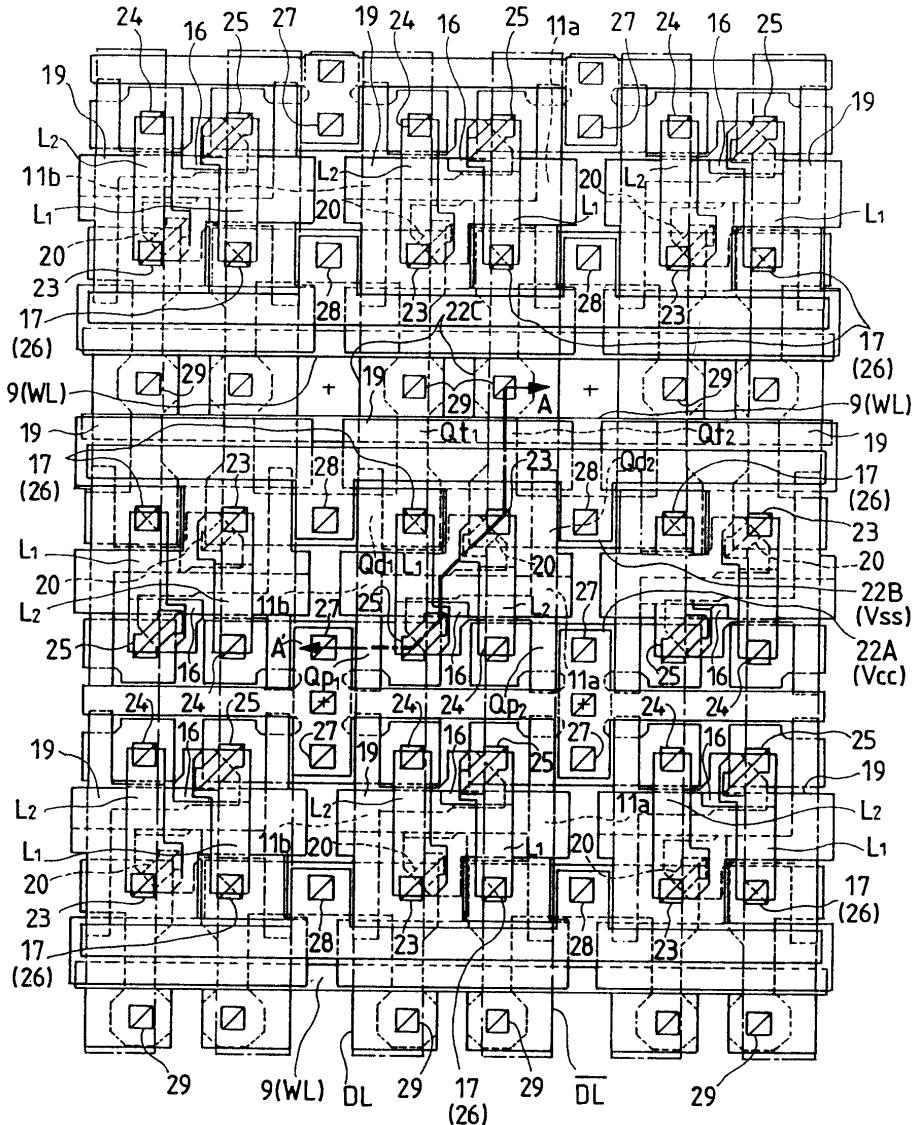
청구항 9.

제2항에 있어서,

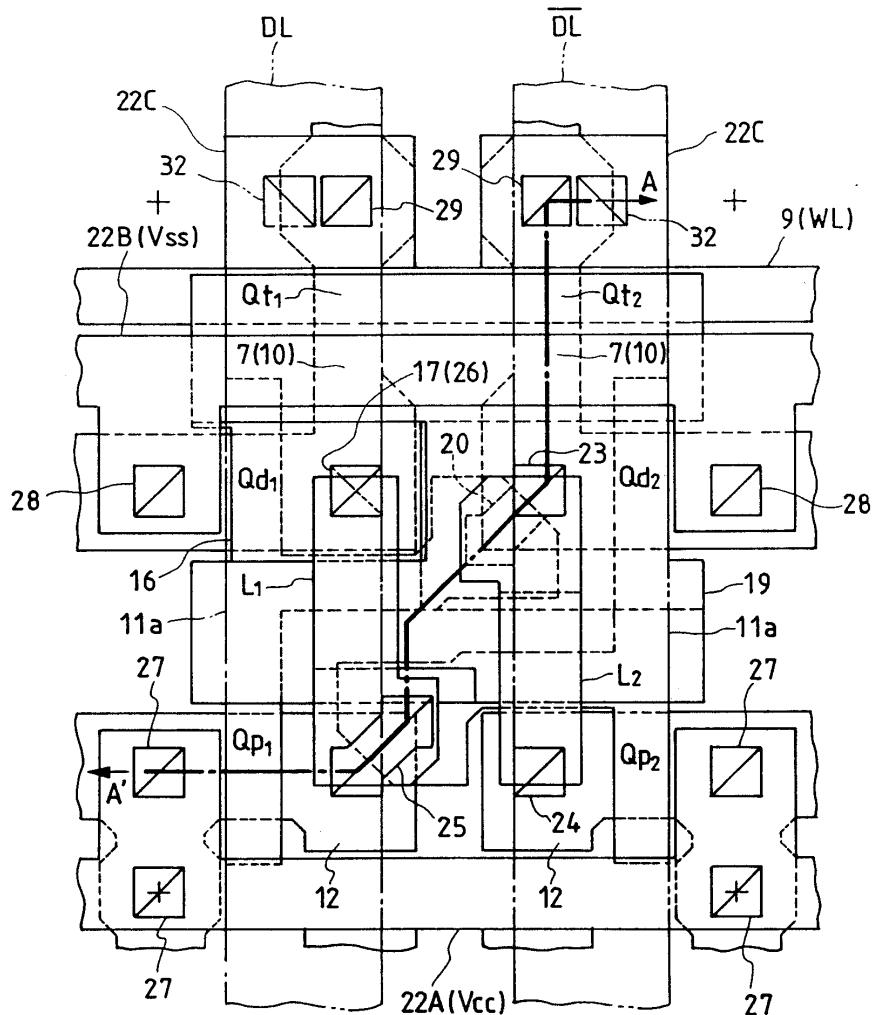
하나의 상기 접속구멍에 의해 상기 게이트전극상의 상기 제1 절연막의 막두께가 얇게 형성되는 부분 및 상기 반도체영역의 양쪽이 노출되는 반도체 접적회로 장치의 제조방법.

도면

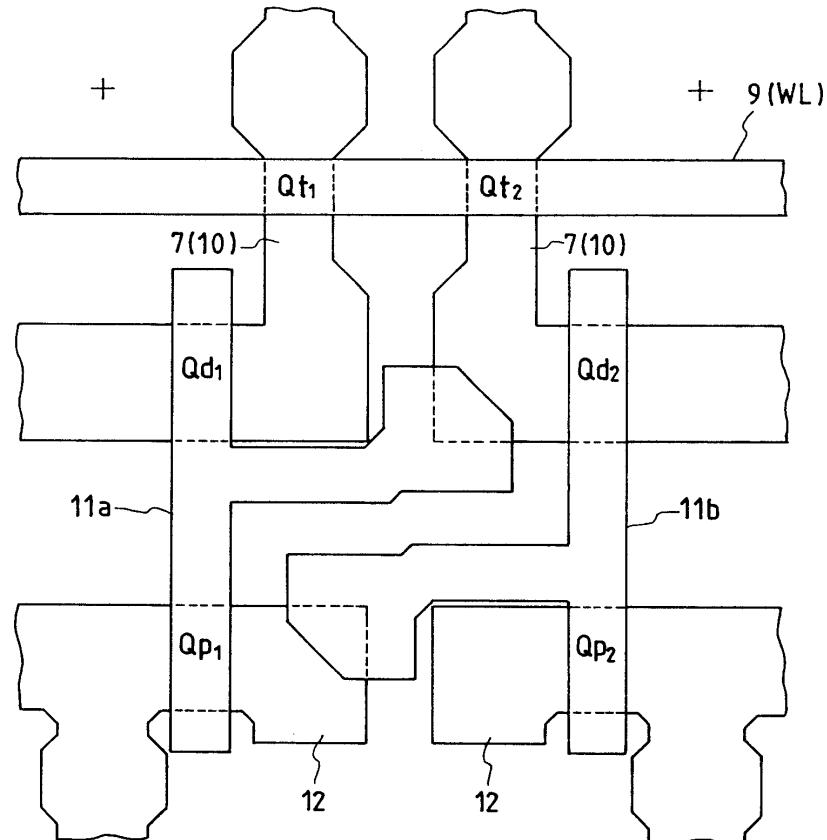
도면1



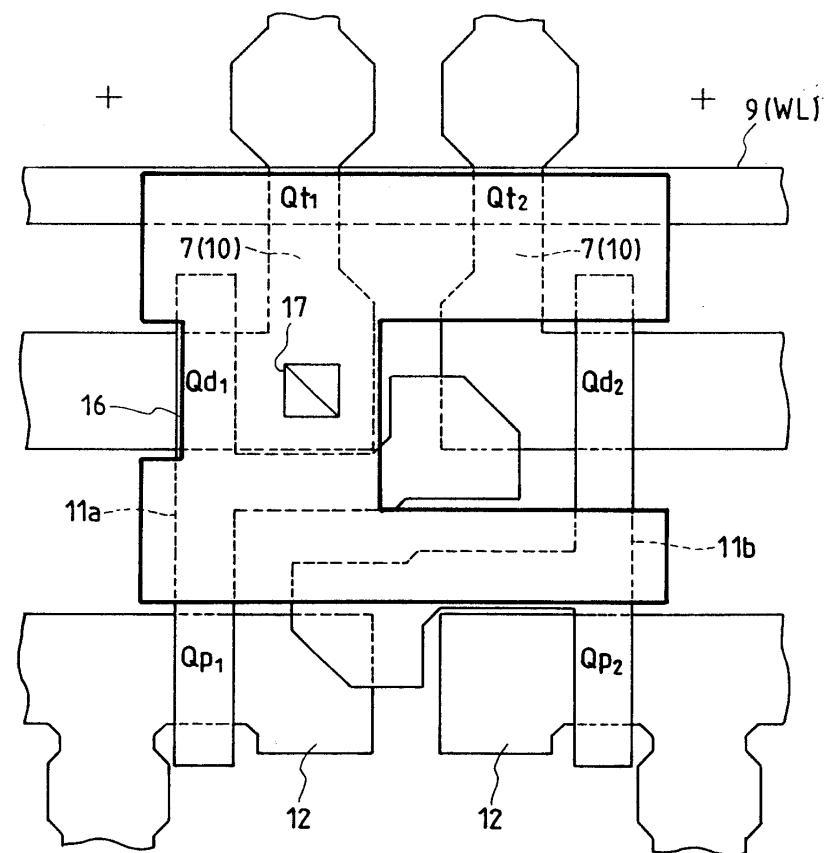
도면2a



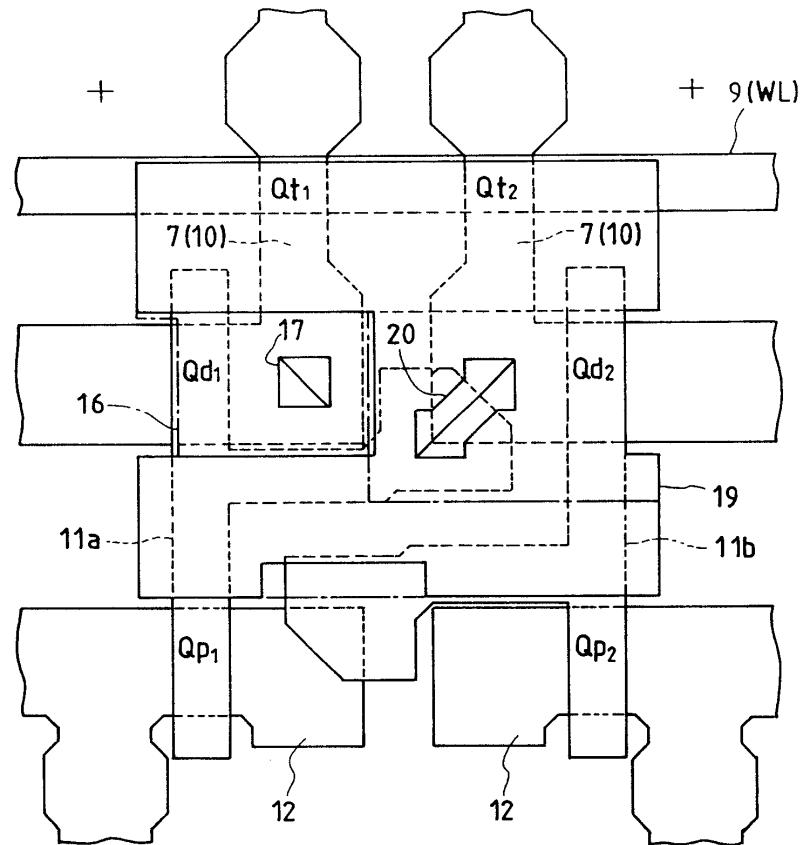
도면2b



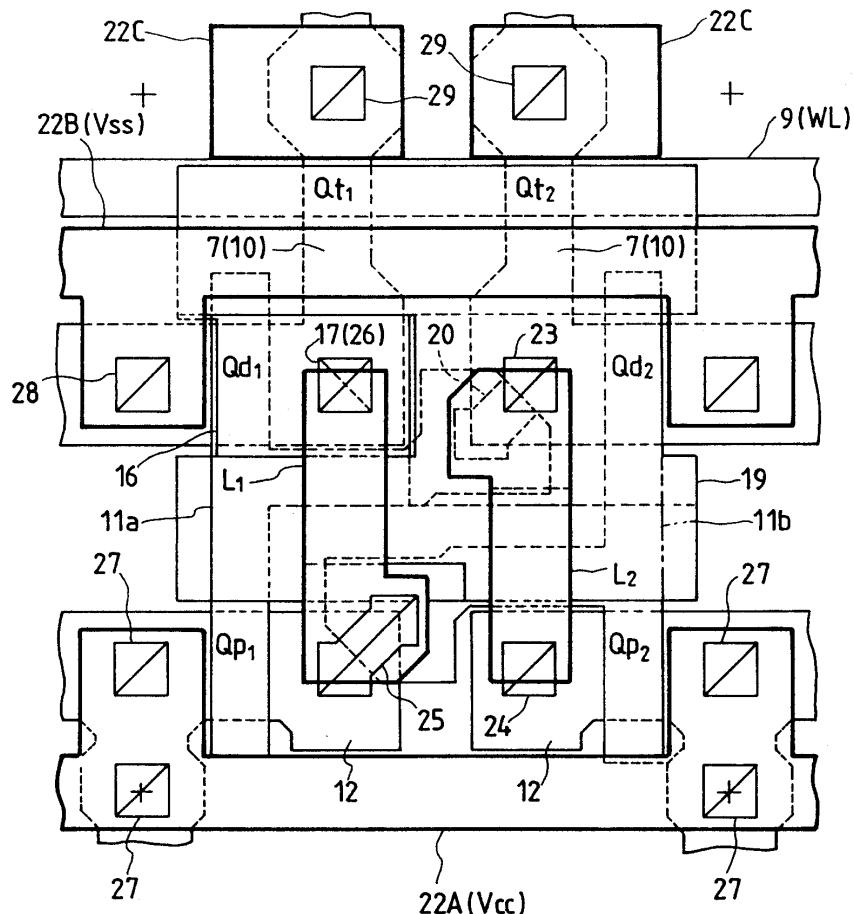
도면2c



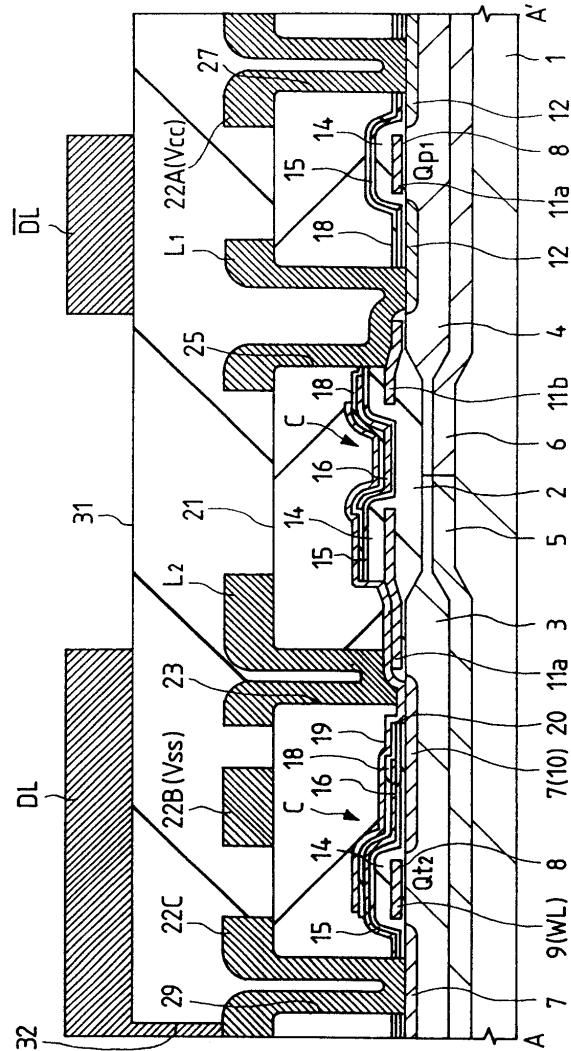
도면2d



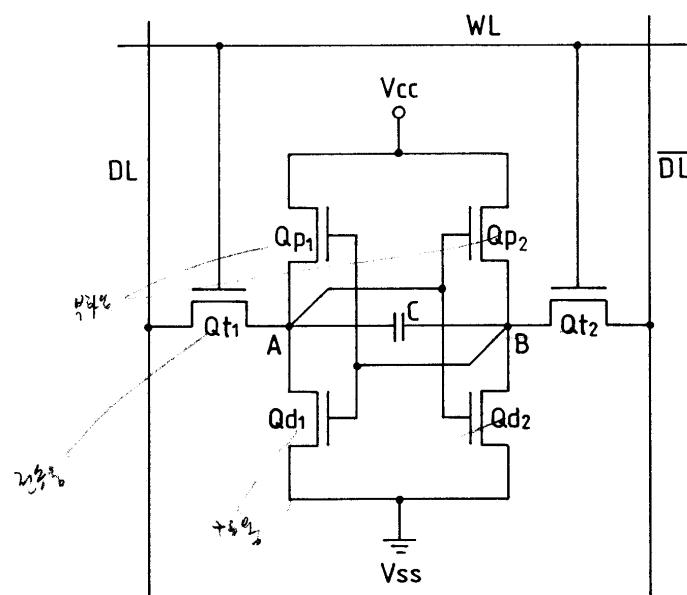
도면2e



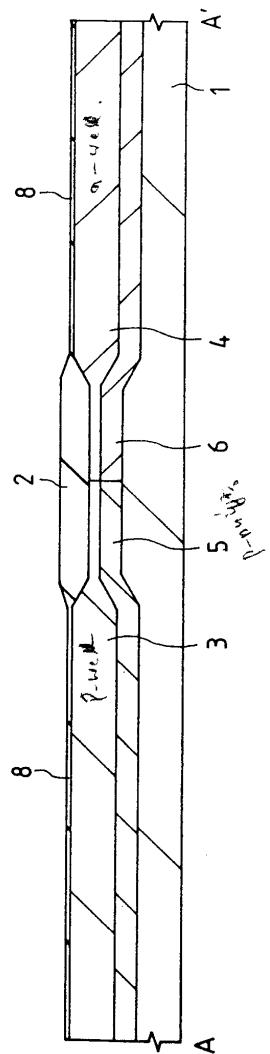
도면3



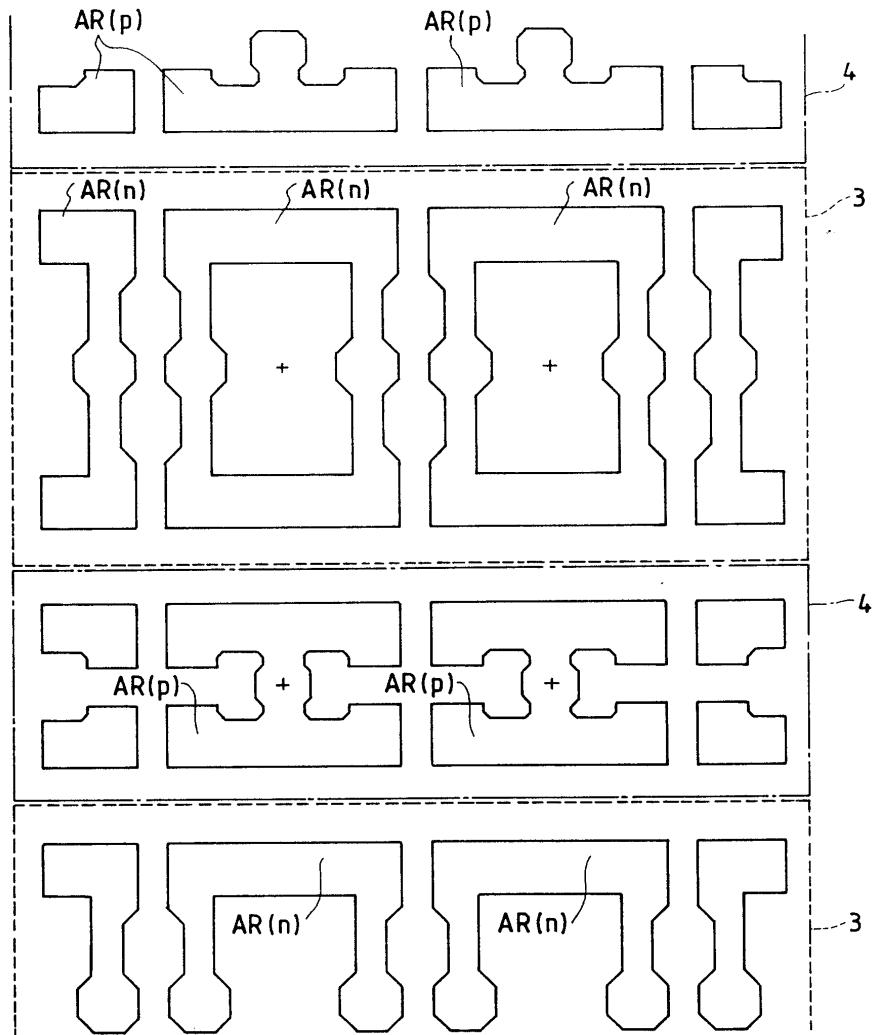
도면4



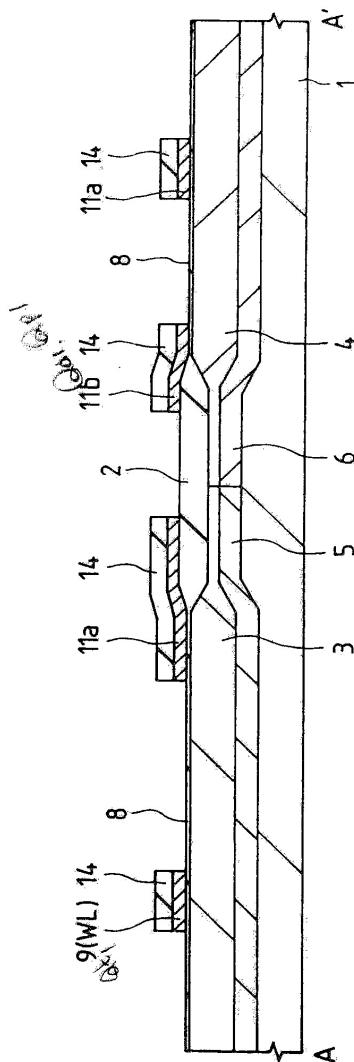
도면5



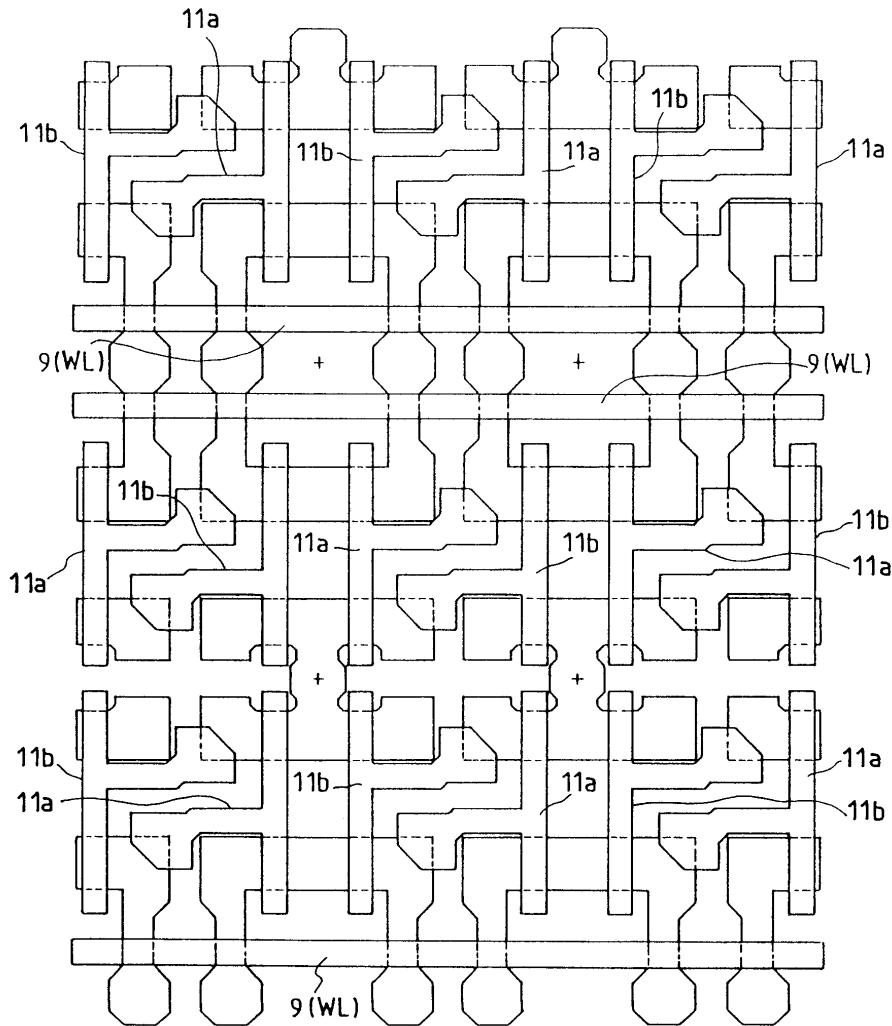
도면6



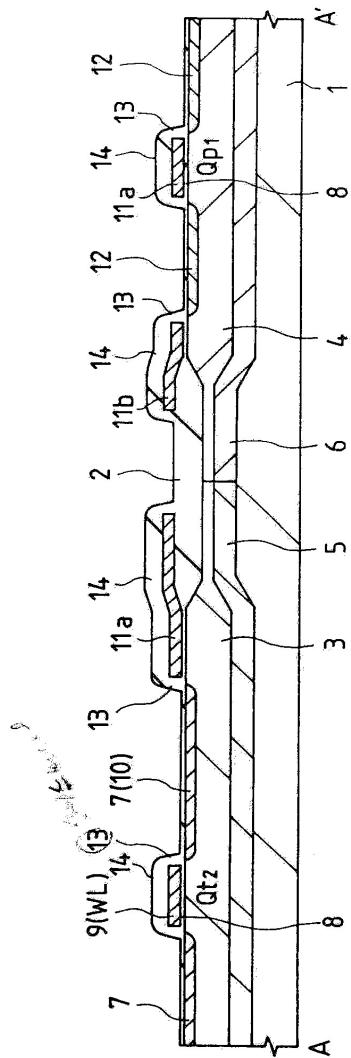
도면7



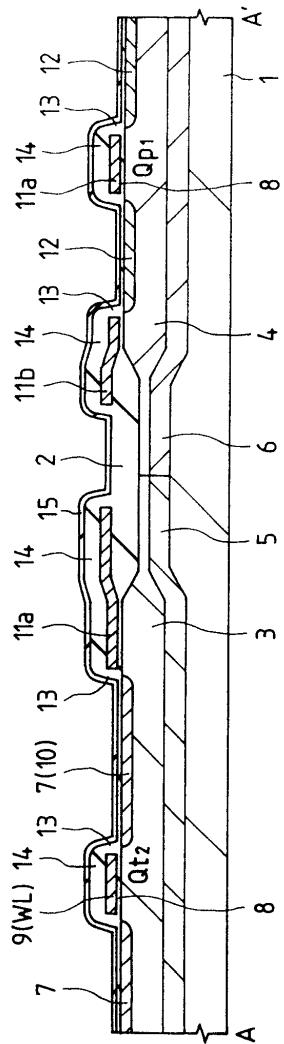
도면8



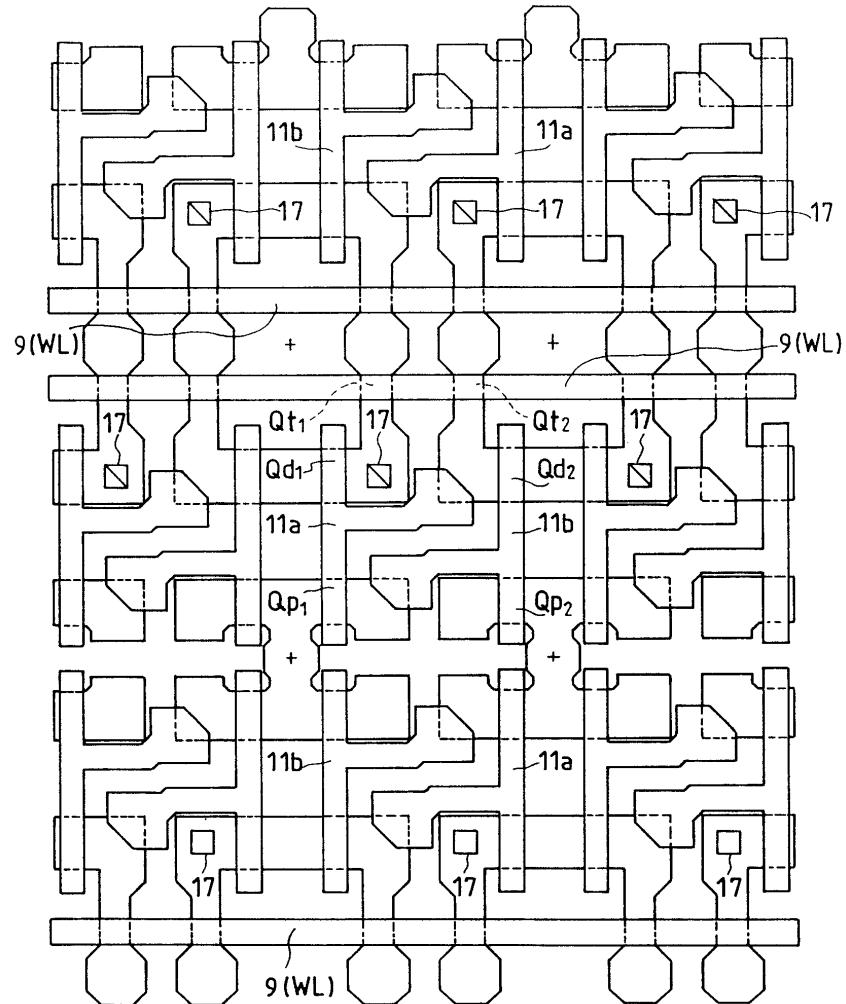
도면9



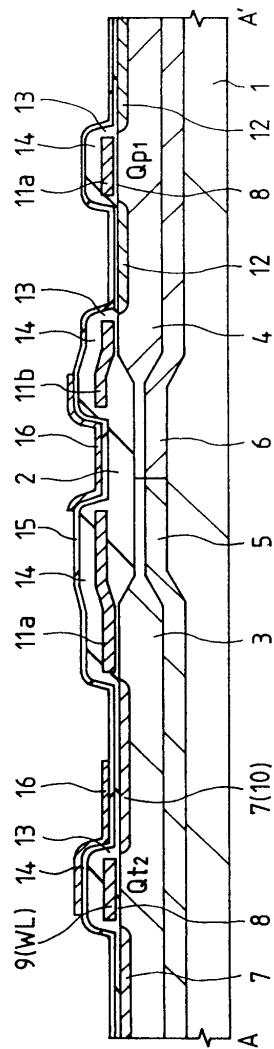
도면10



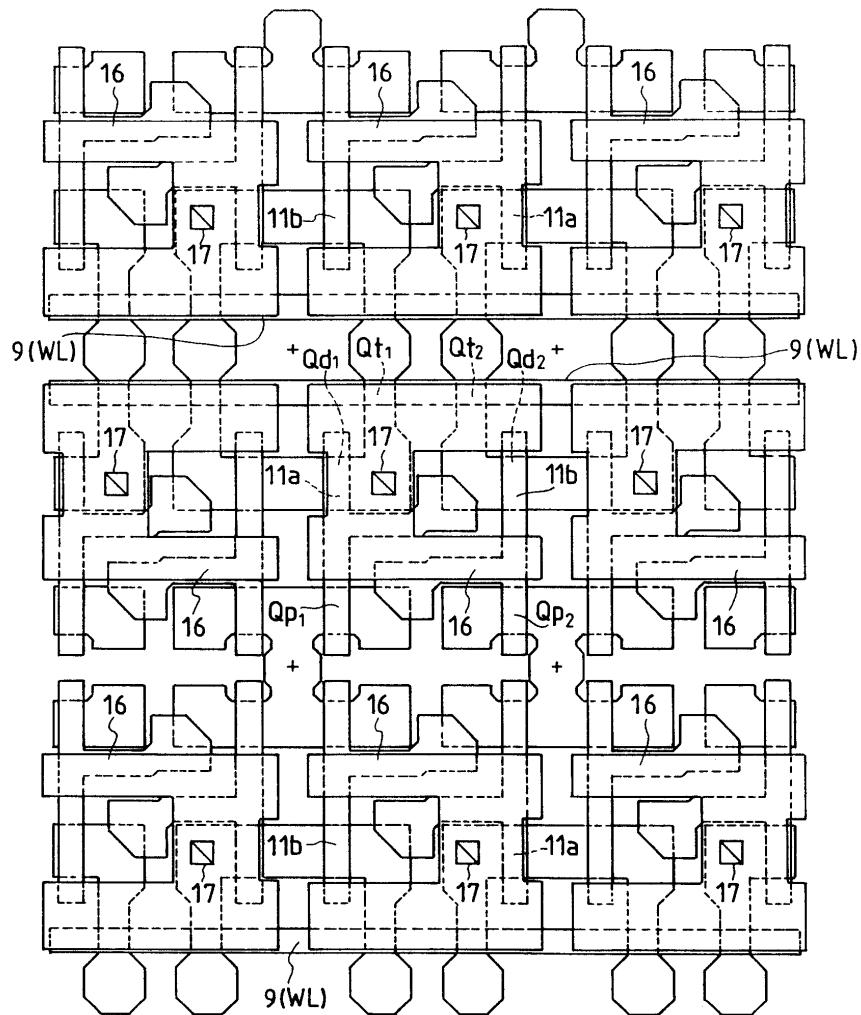
도면11



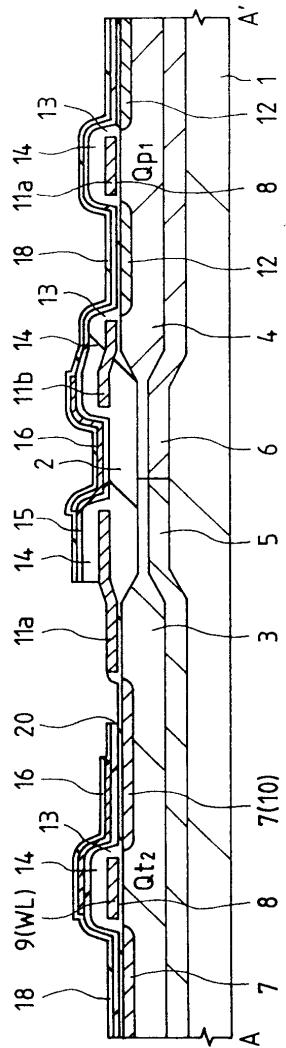
도면12



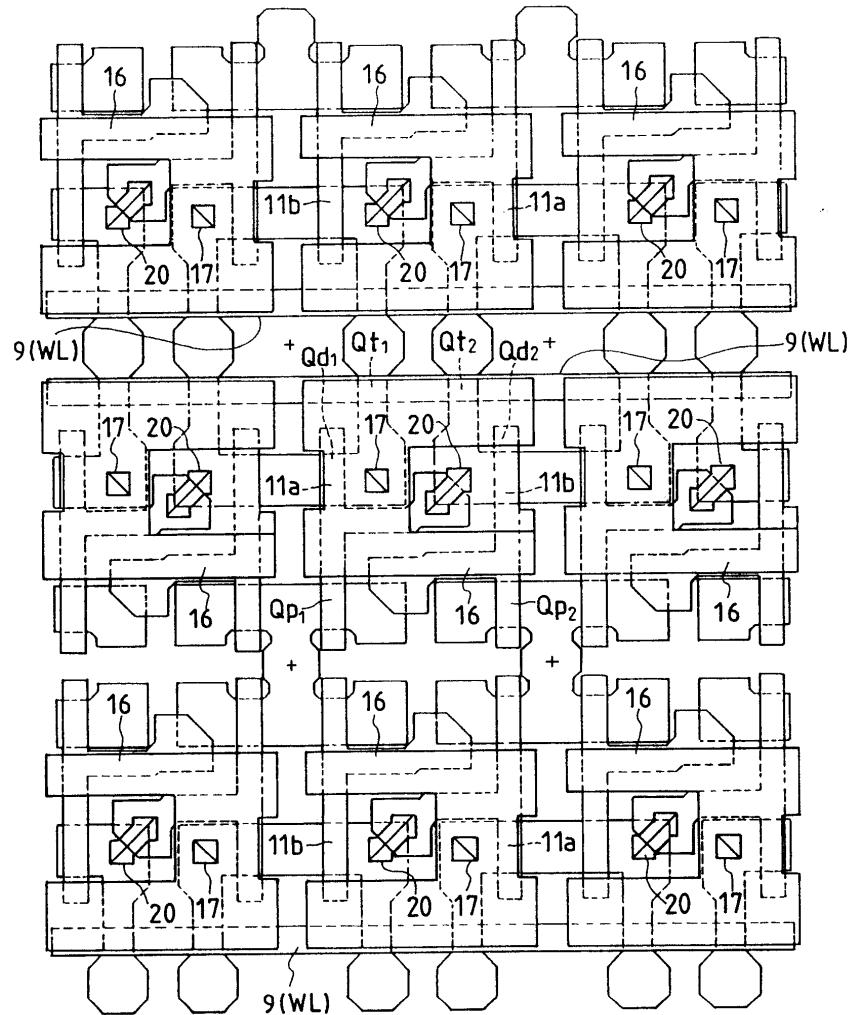
도면13



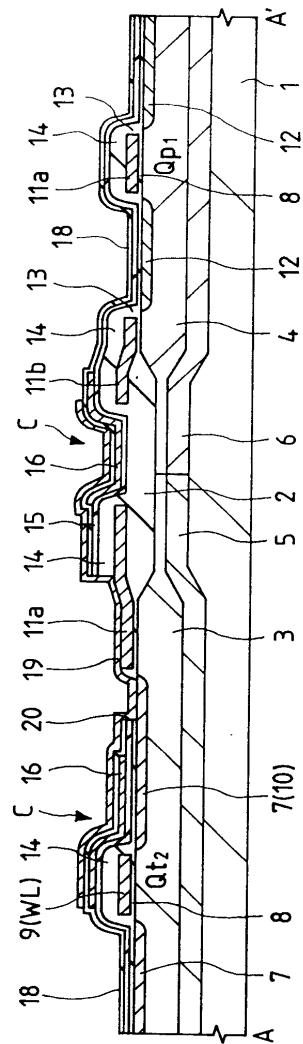
도면14



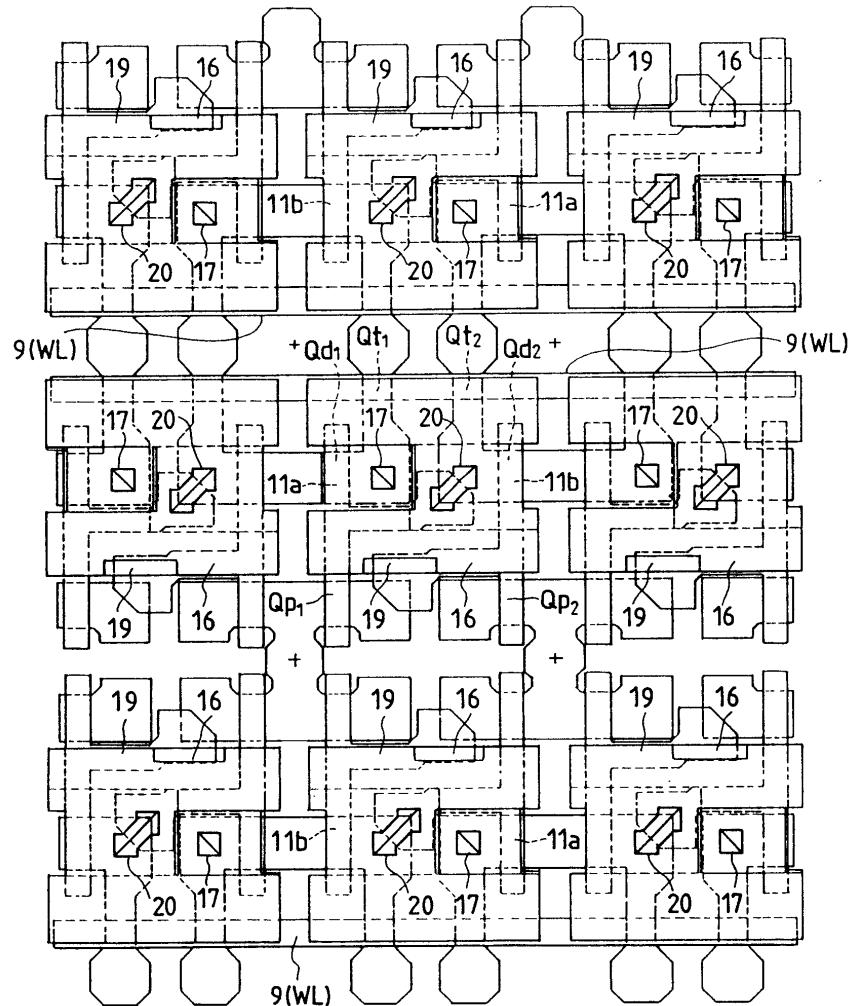
도면15



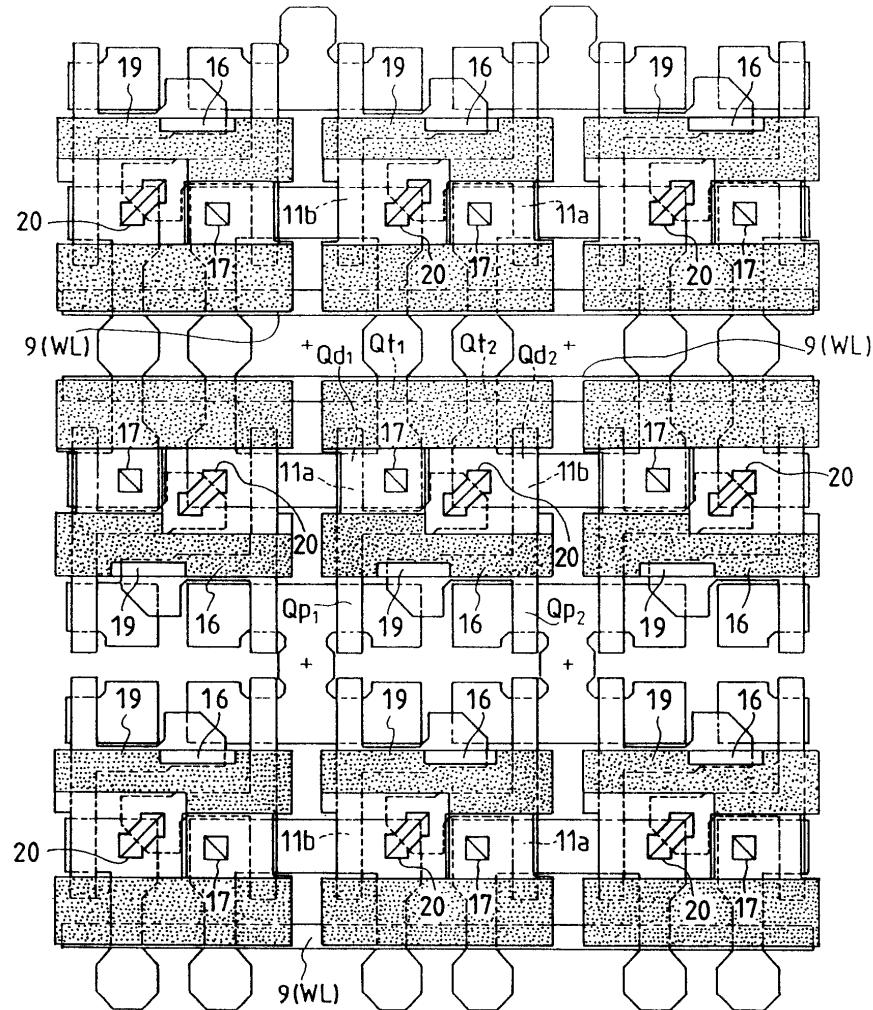
도면16



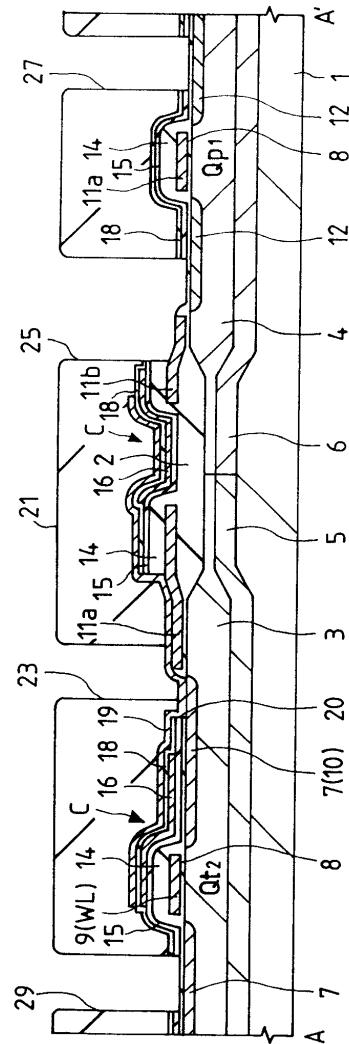
도면17



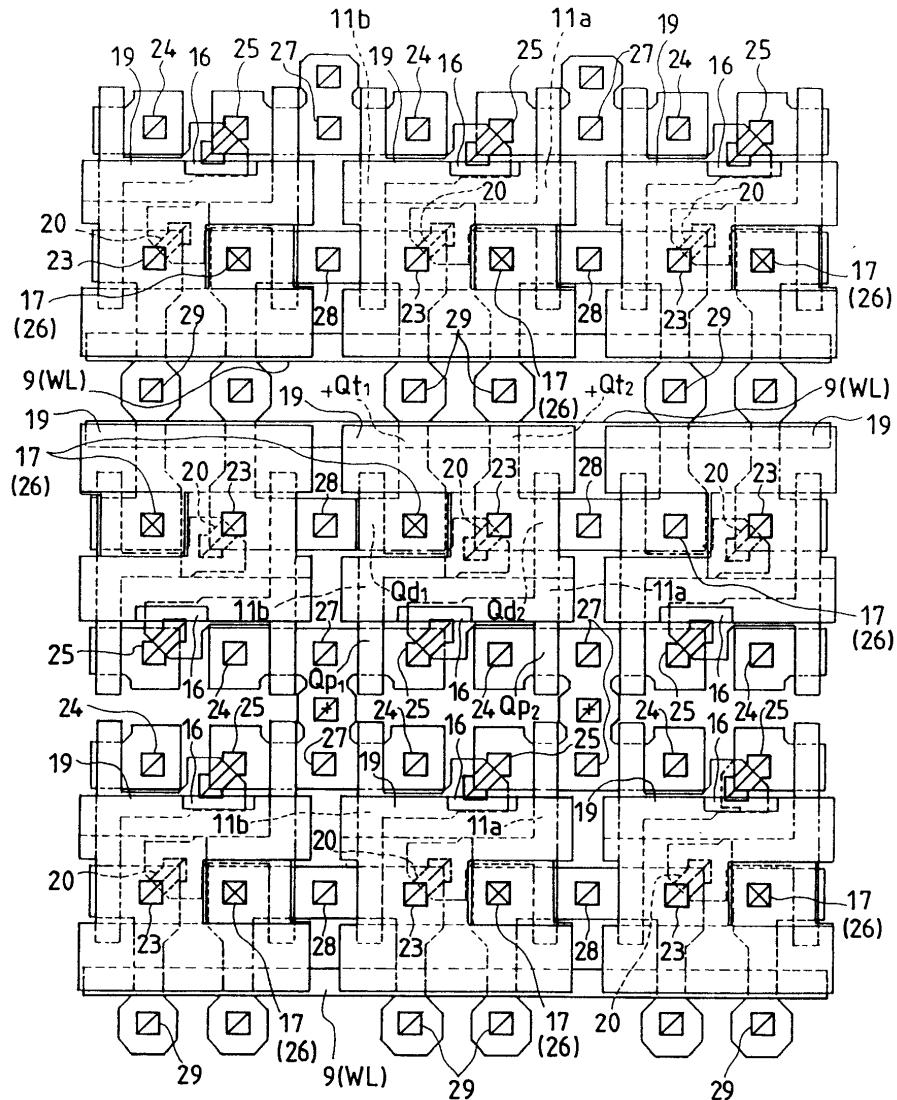
도면18



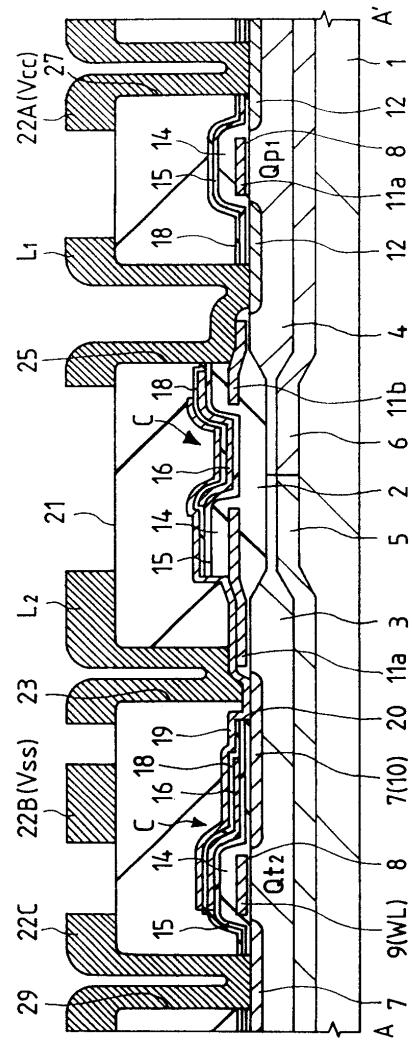
도면19



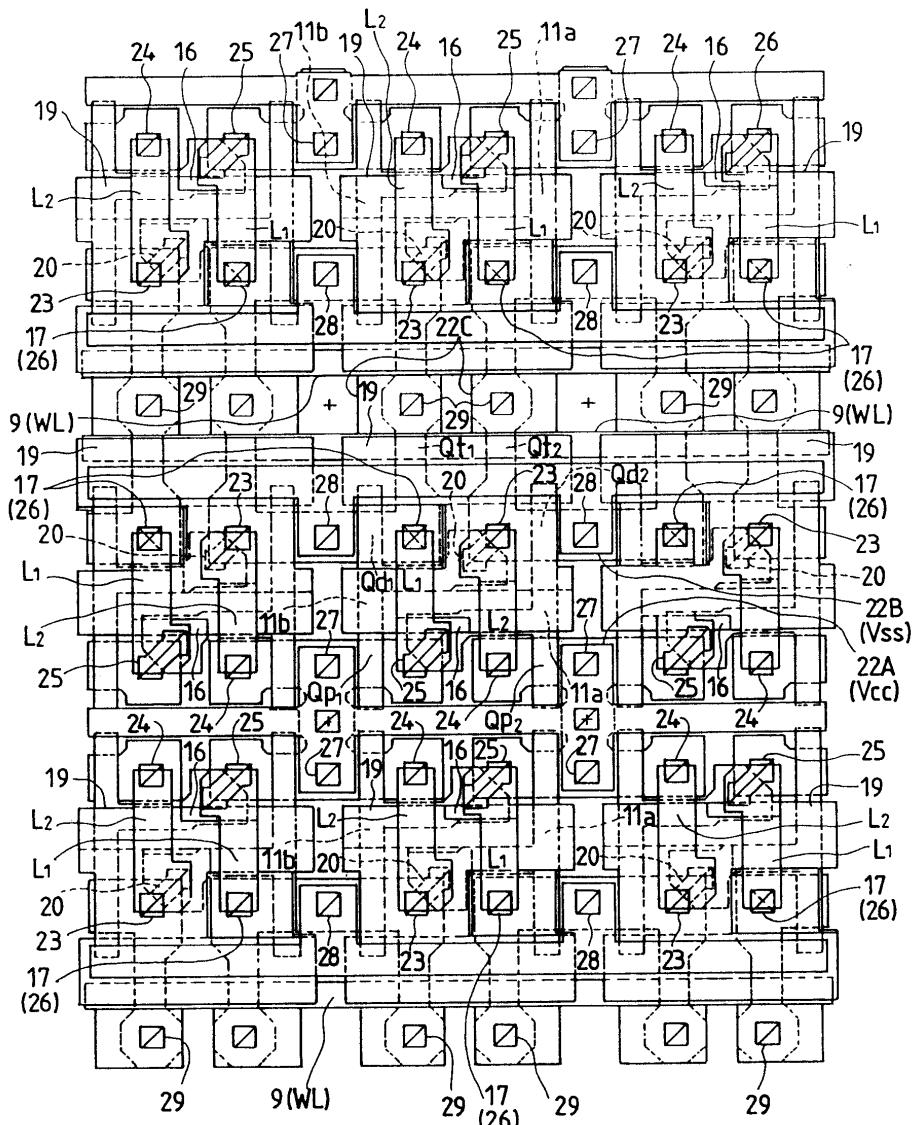
도면20



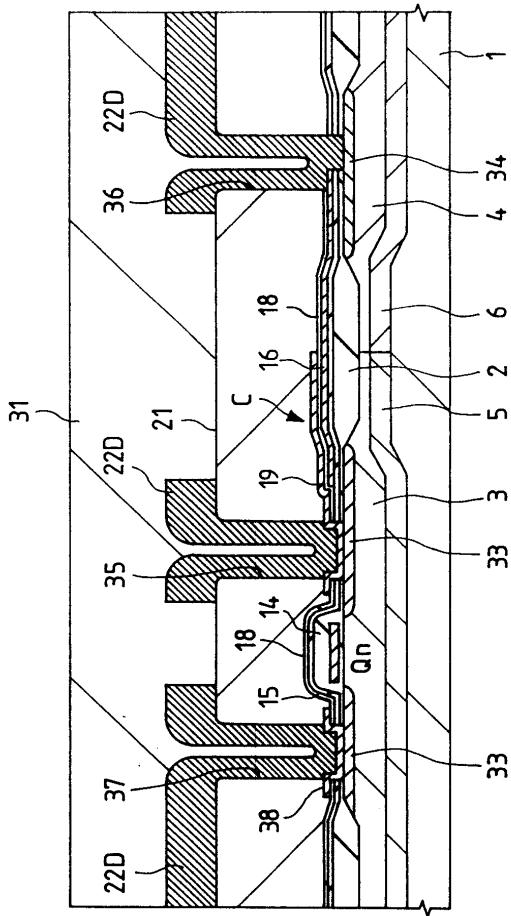
도면21



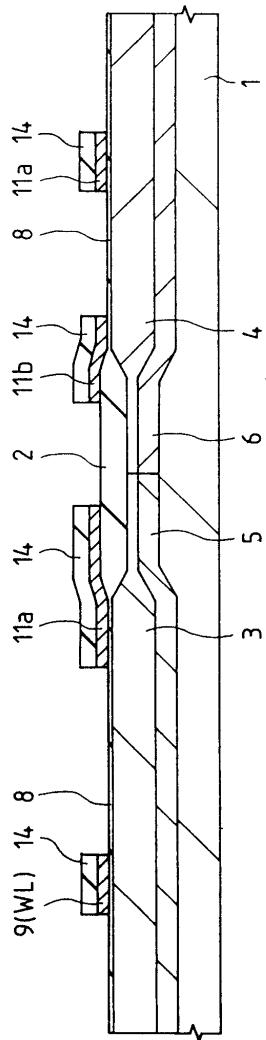
도면22



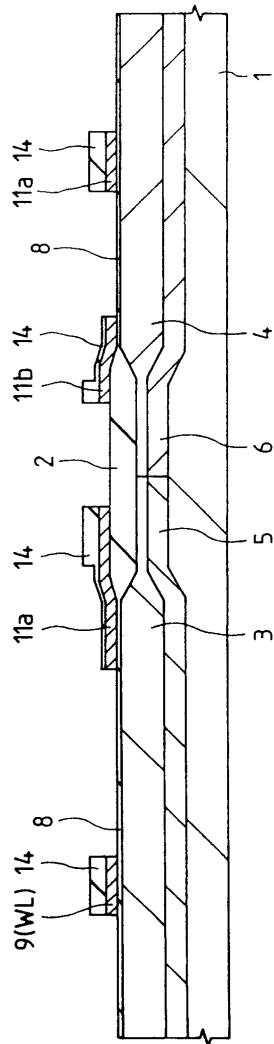
도면23



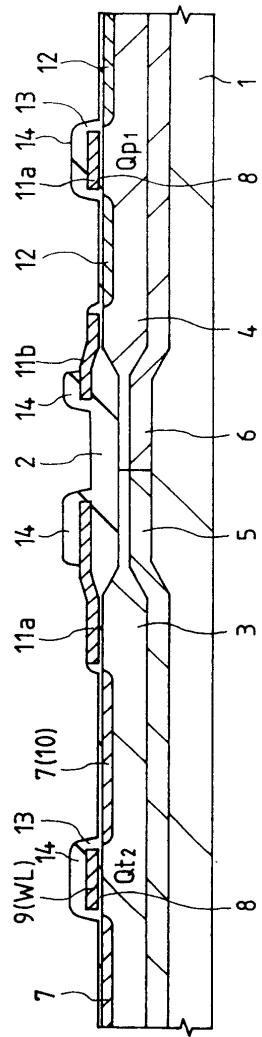
도면24



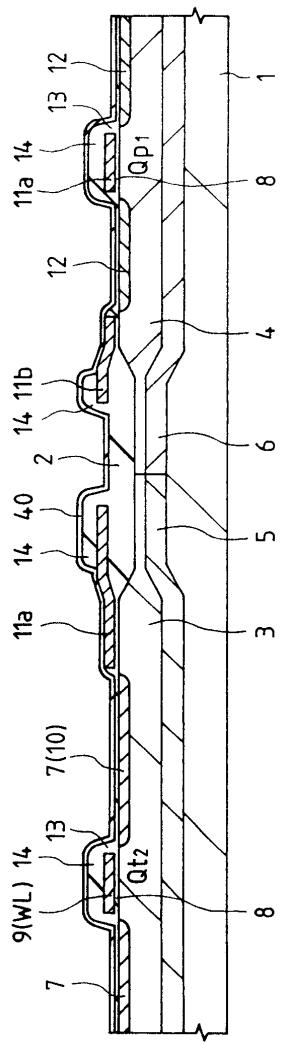
도면25



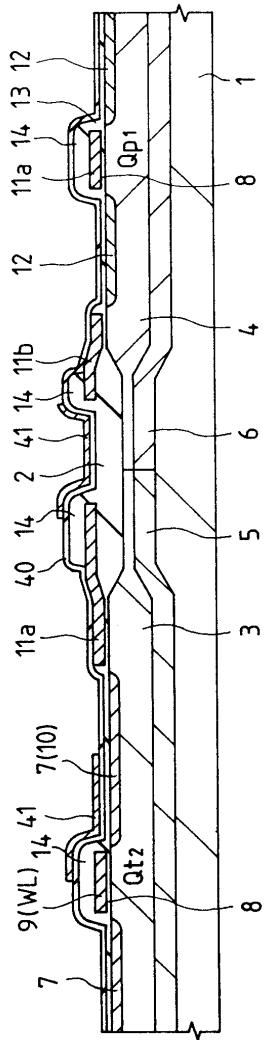
도면26



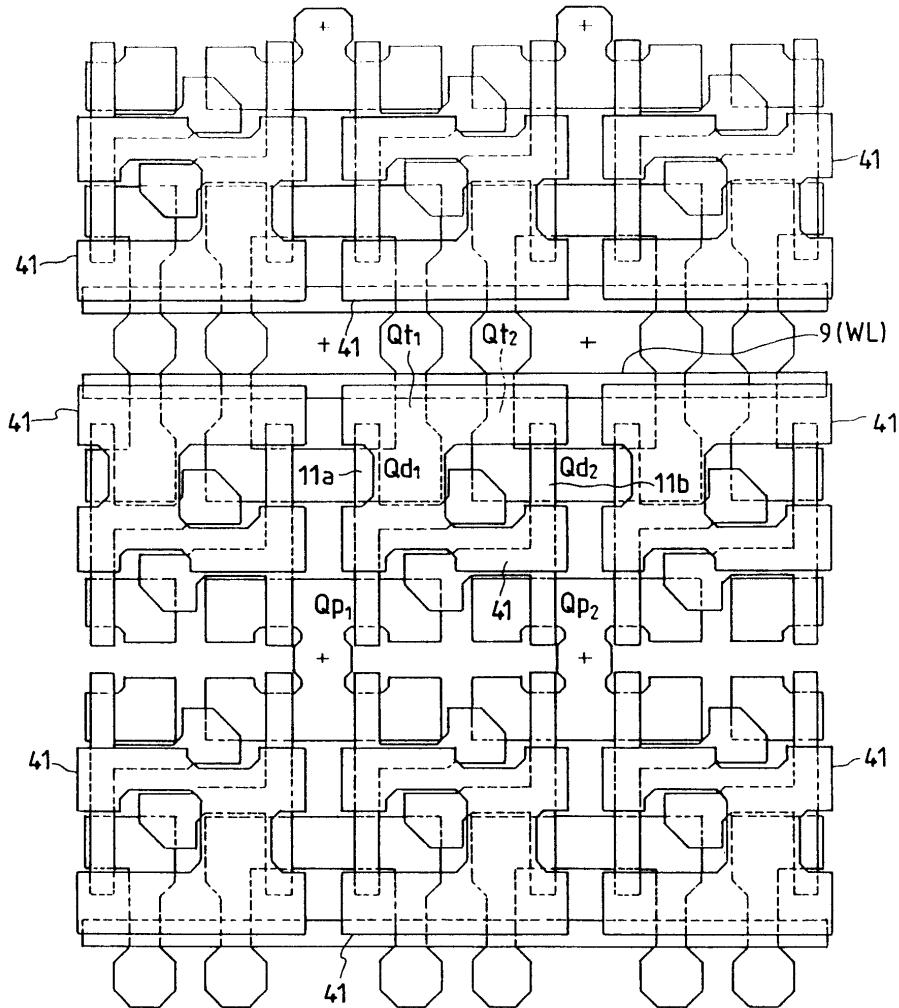
도면27



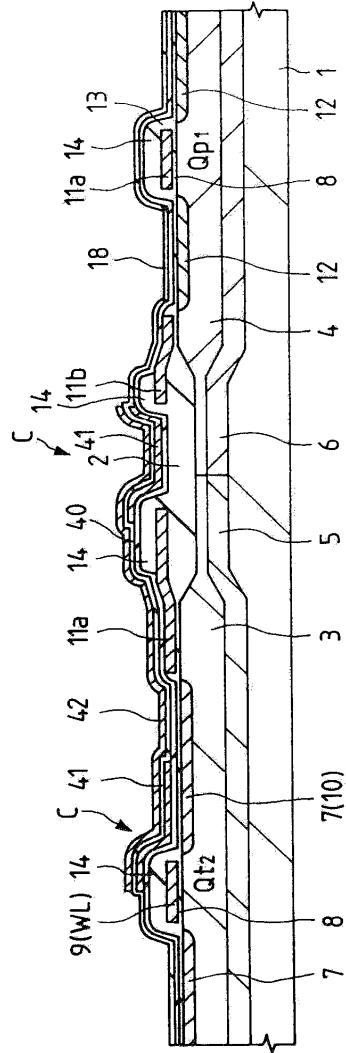
도면28



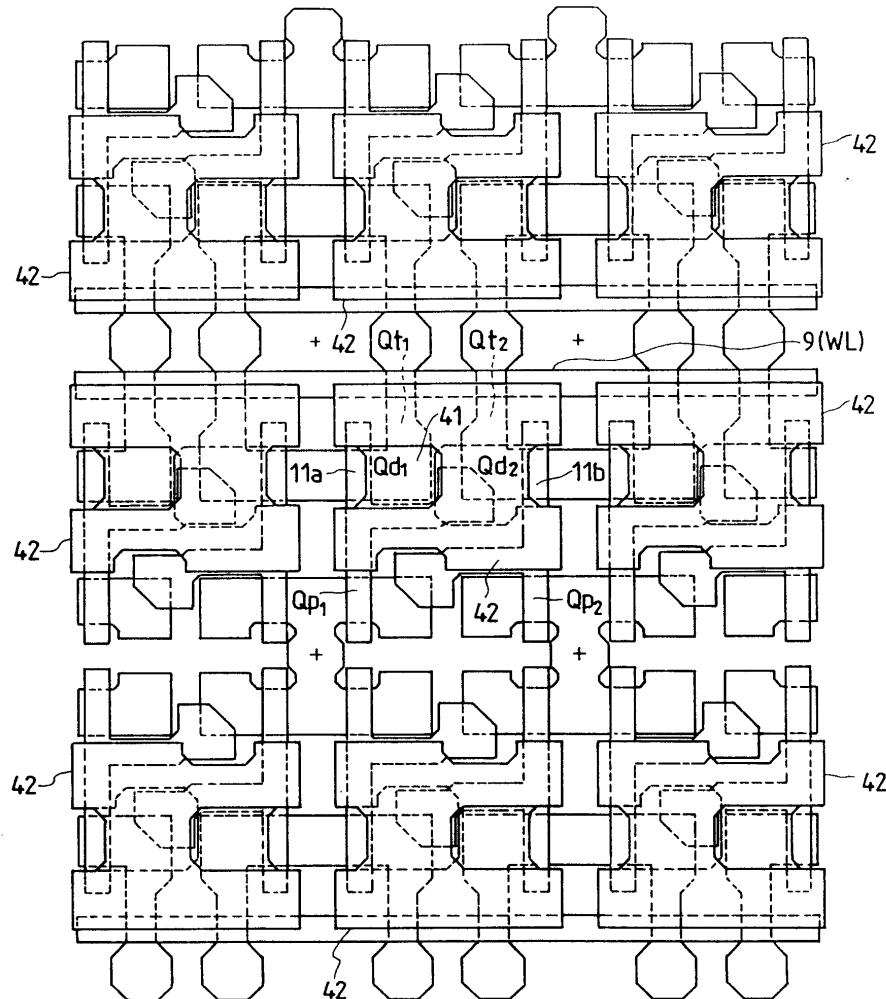
도면29



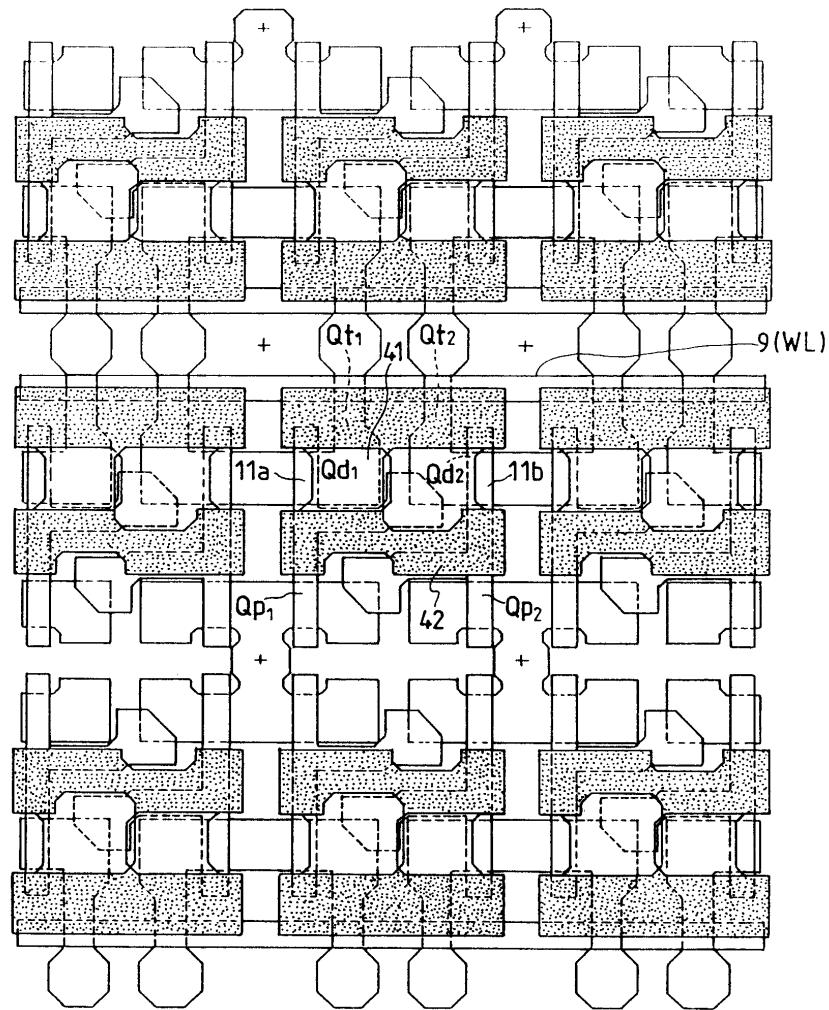
도면30



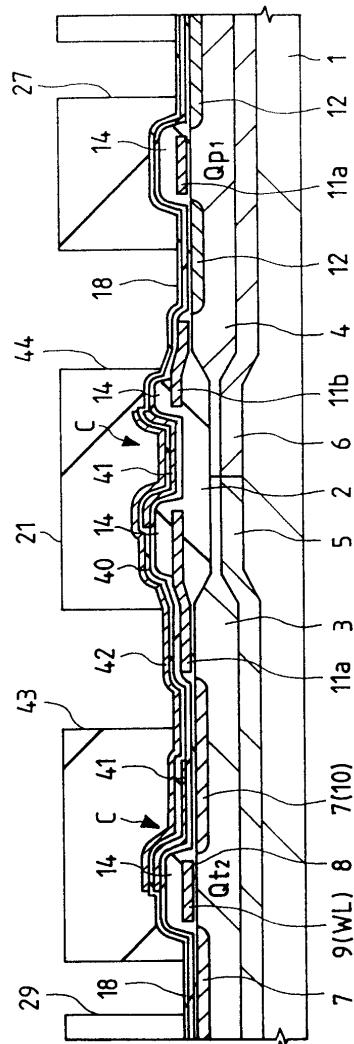
도면31



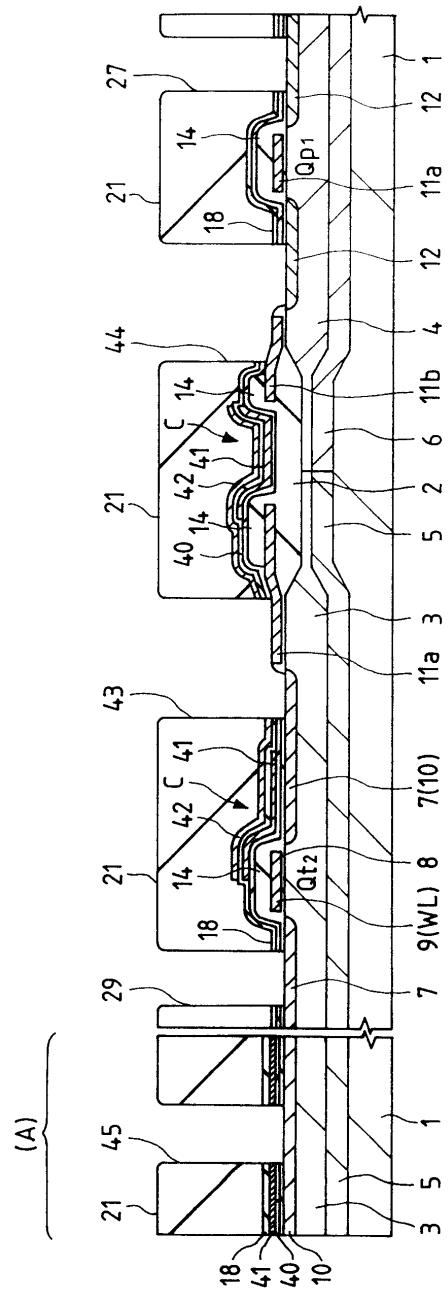
도면32



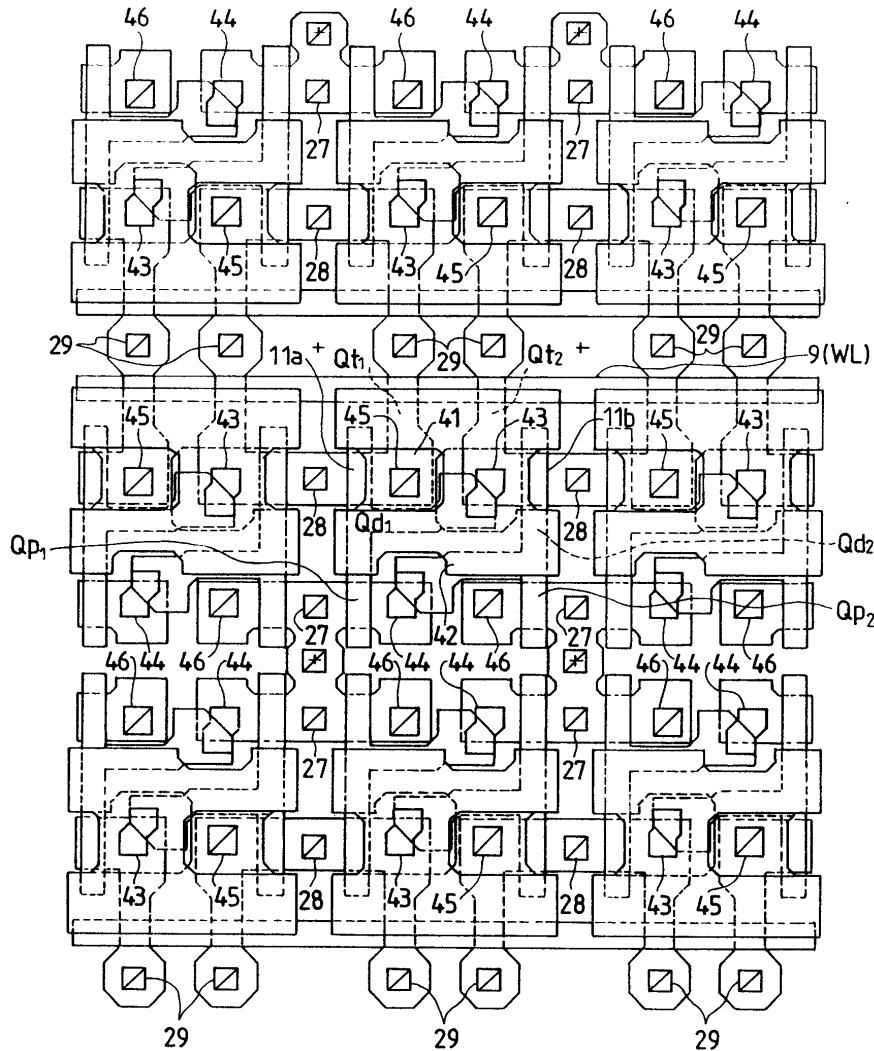
도면33



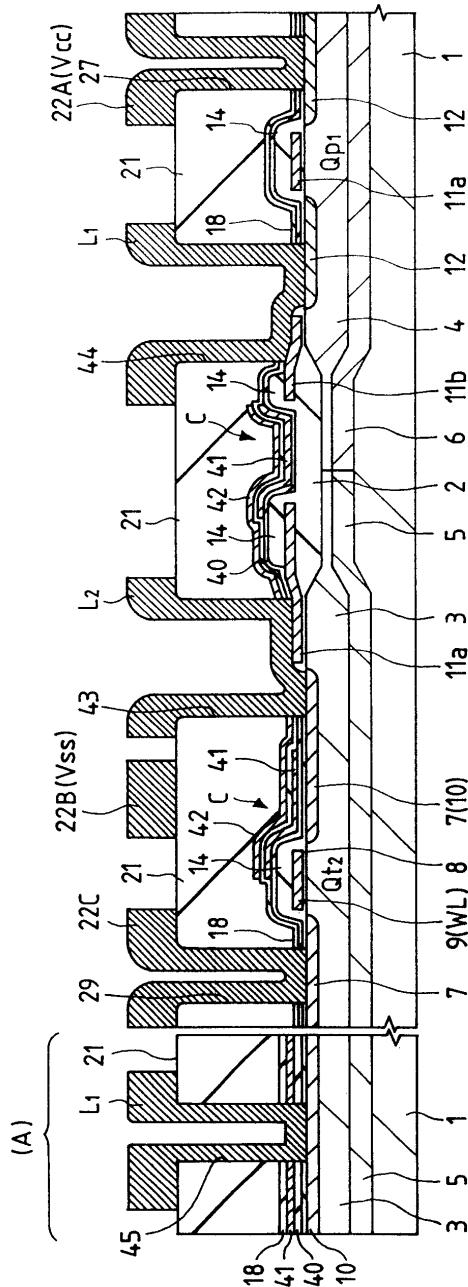
도면34



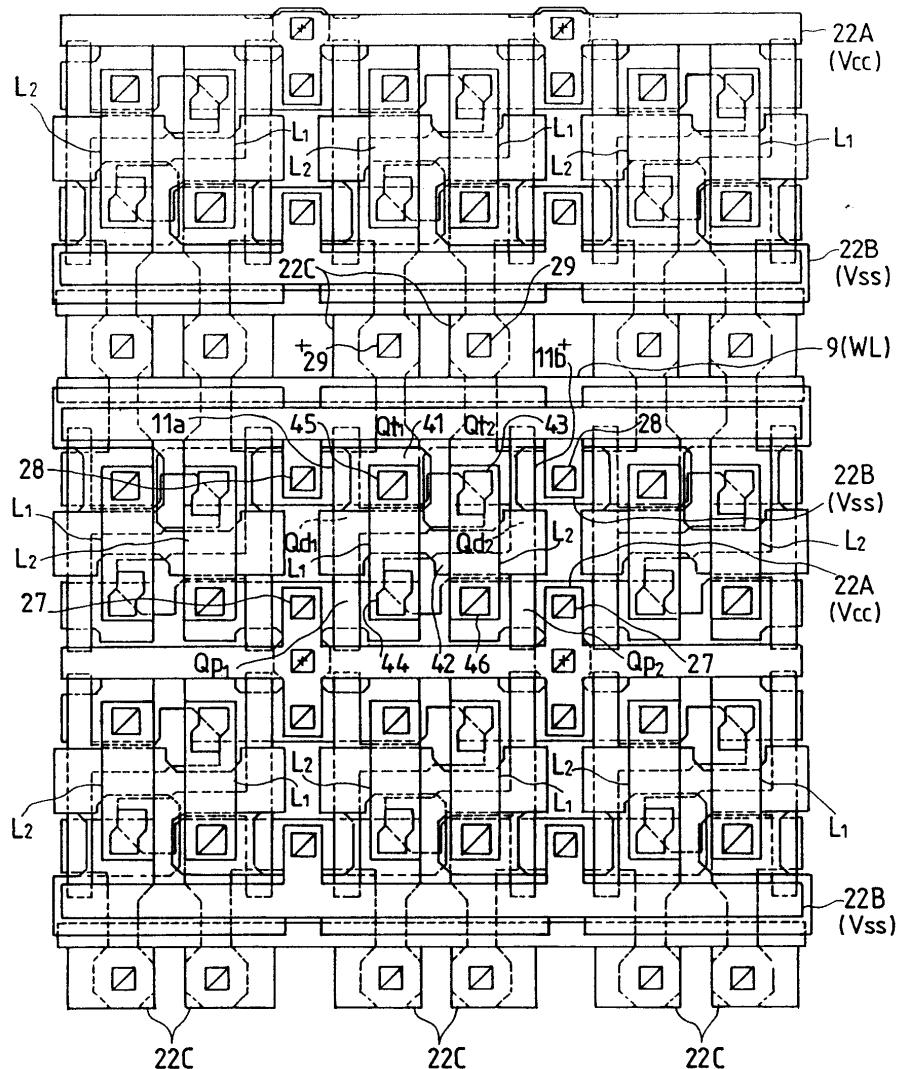
도면35



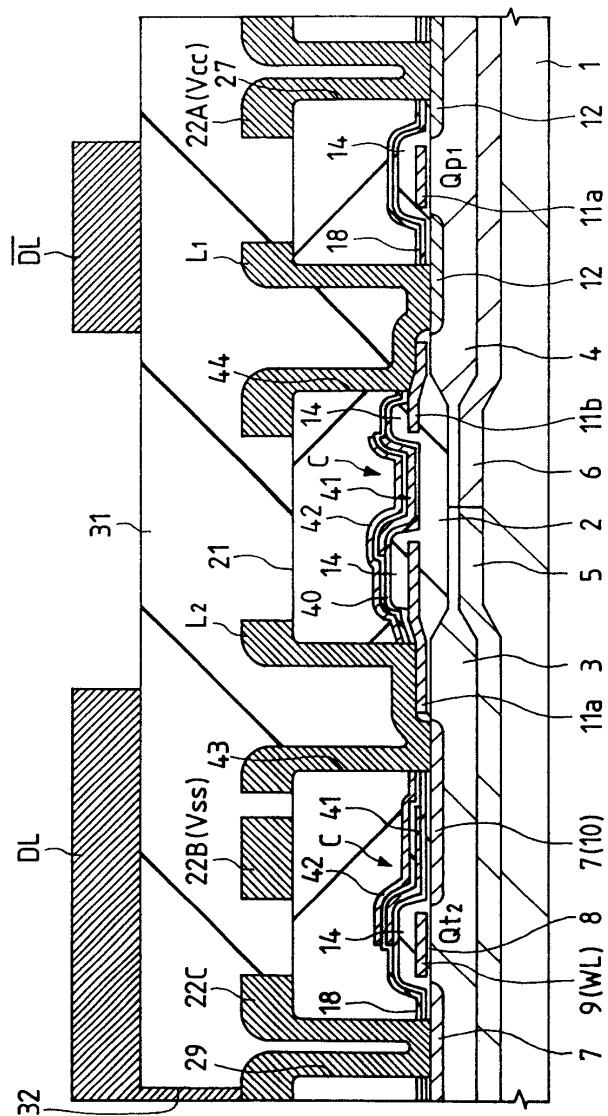
도면36



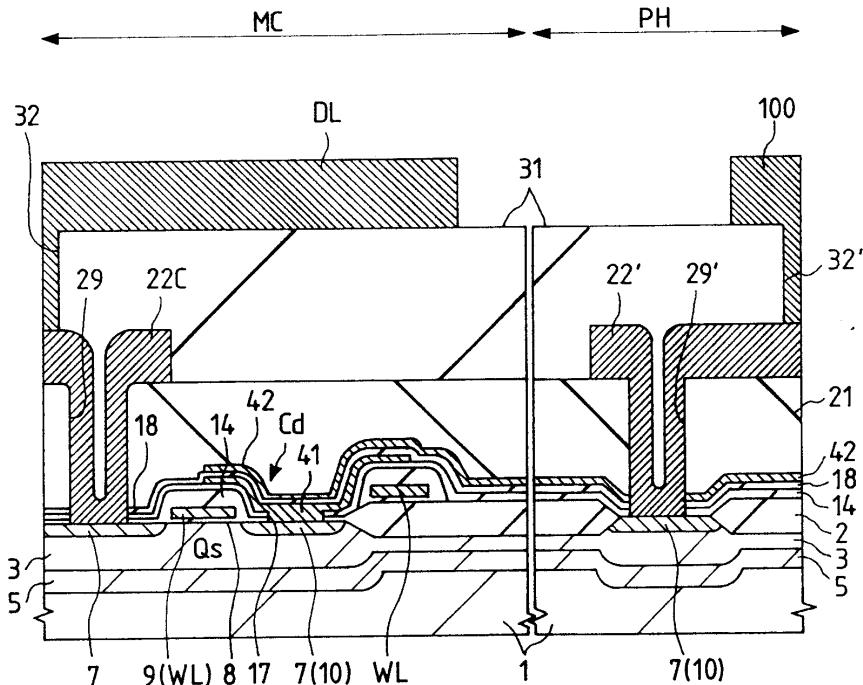
도면37



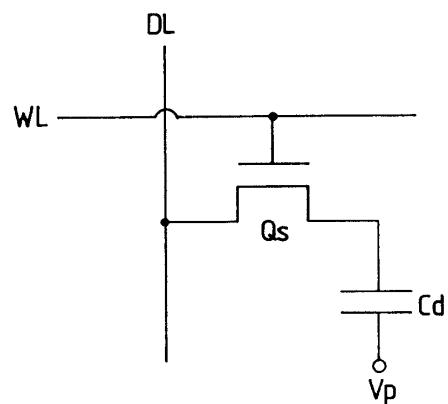
도면38a



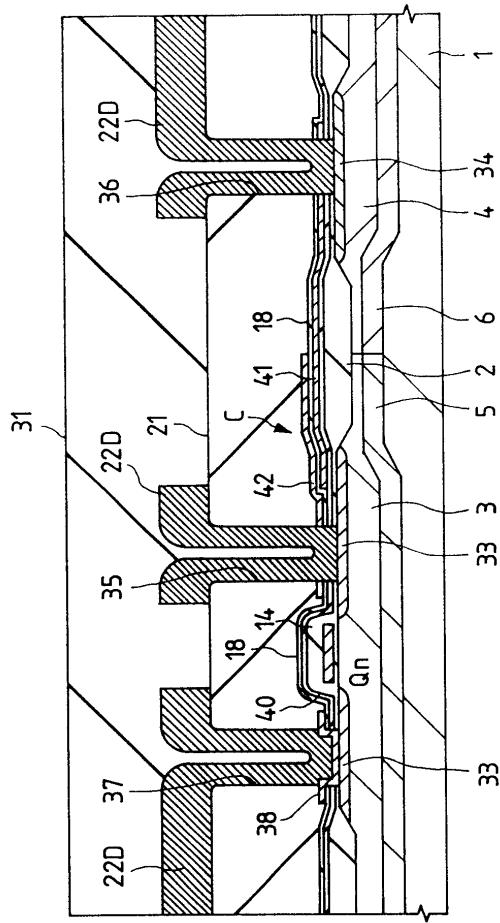
도면38b



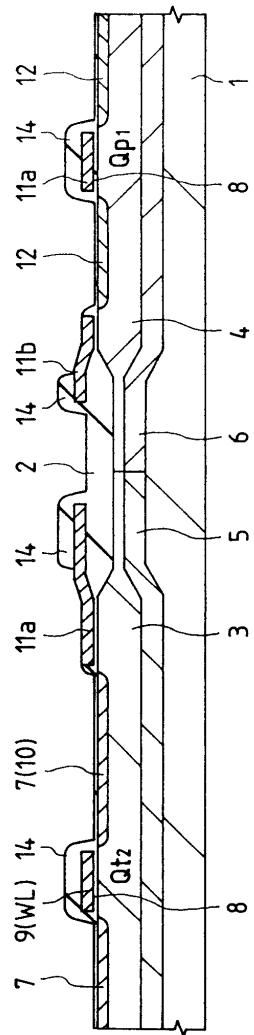
도면38c



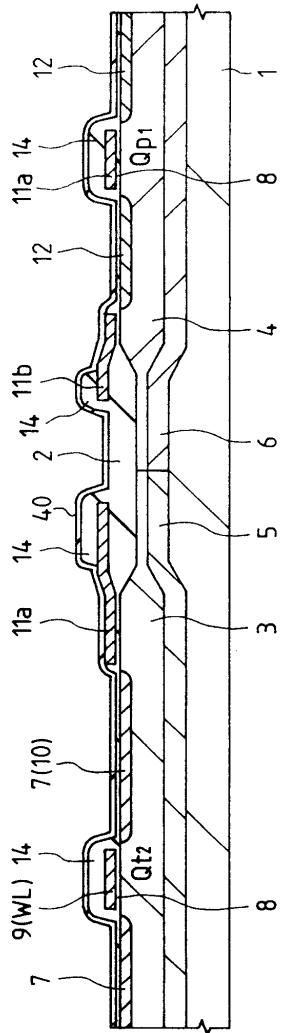
도면39



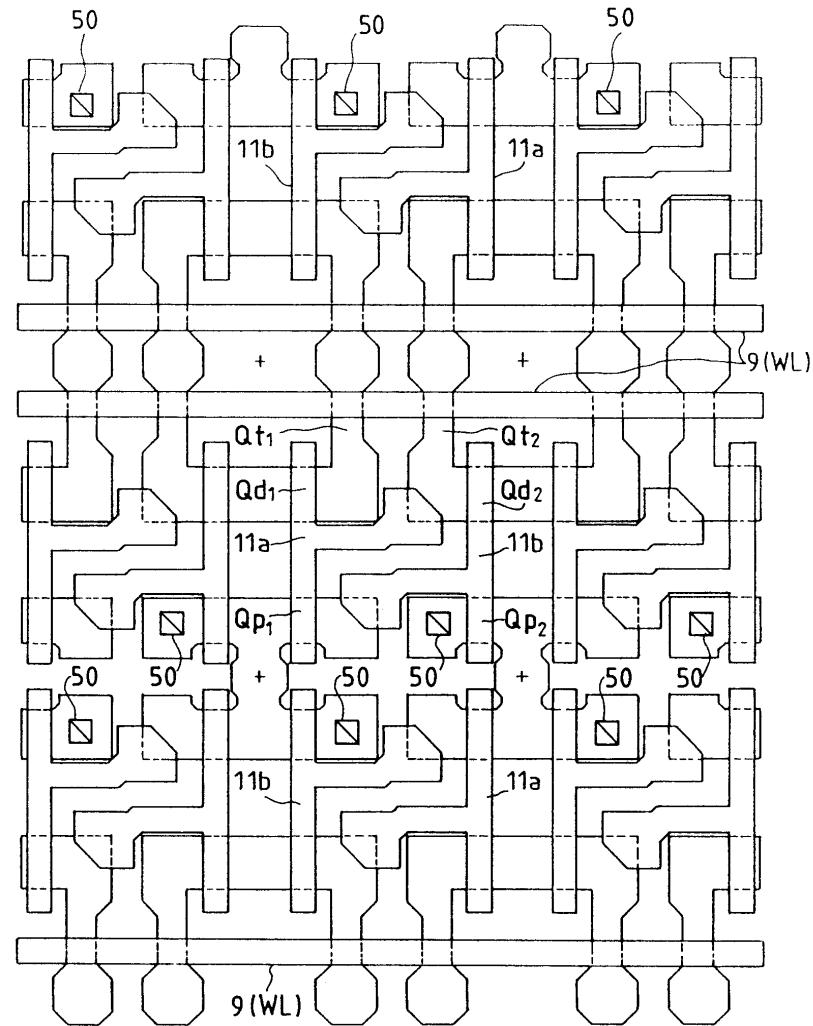
도면40



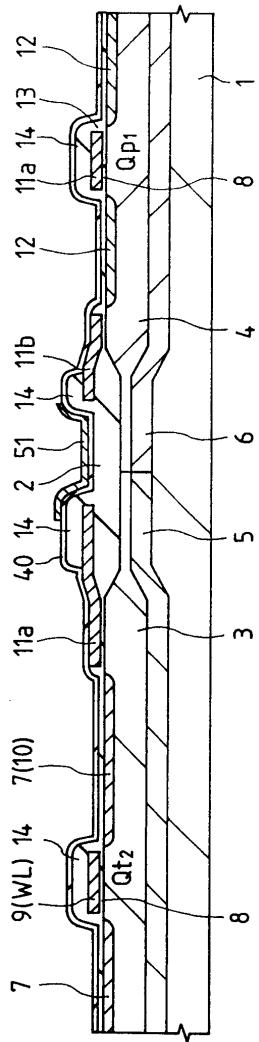
도면41



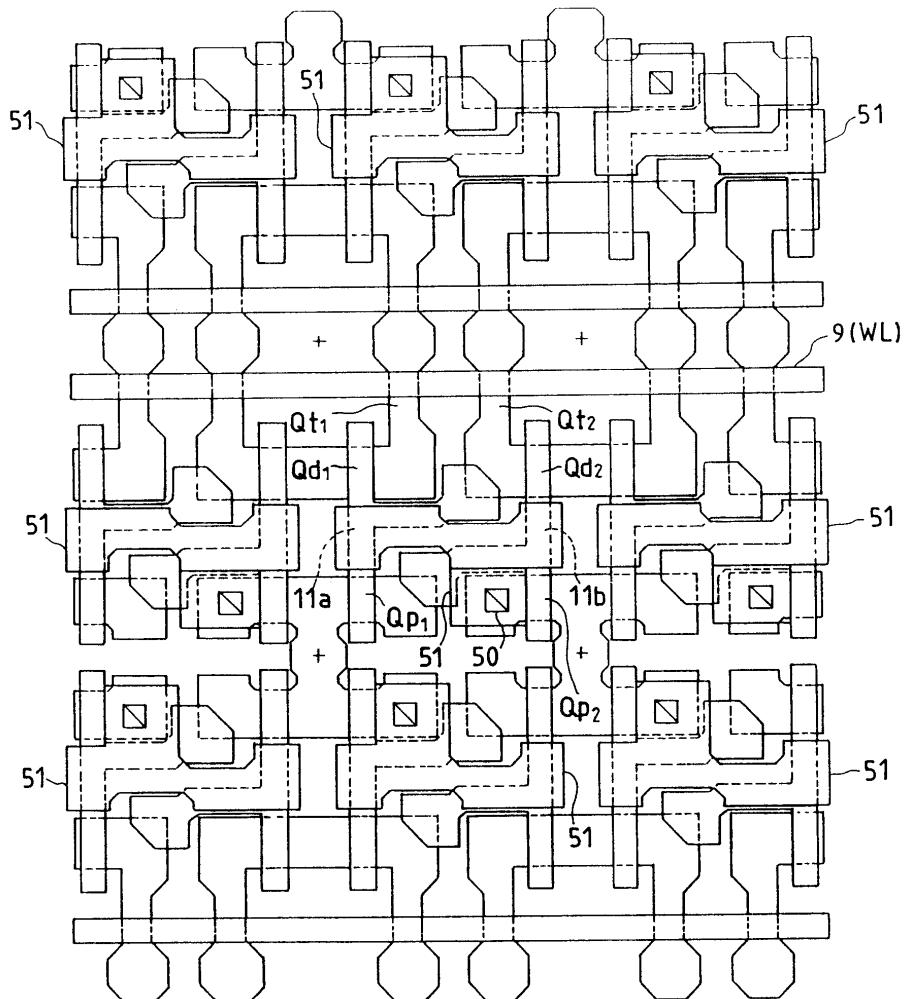
도면42



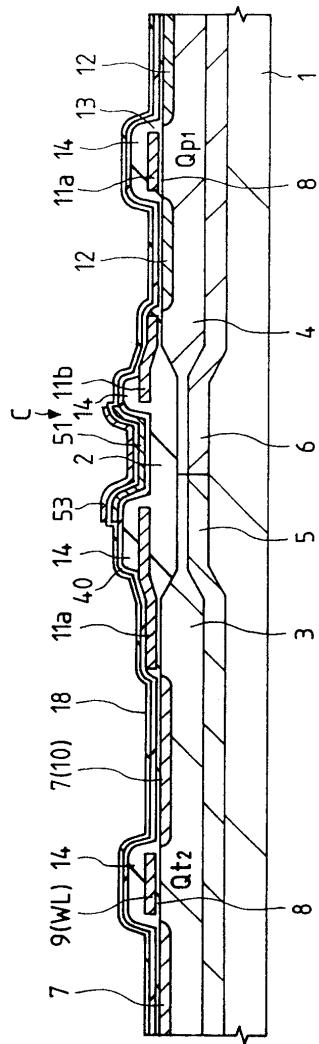
도면43



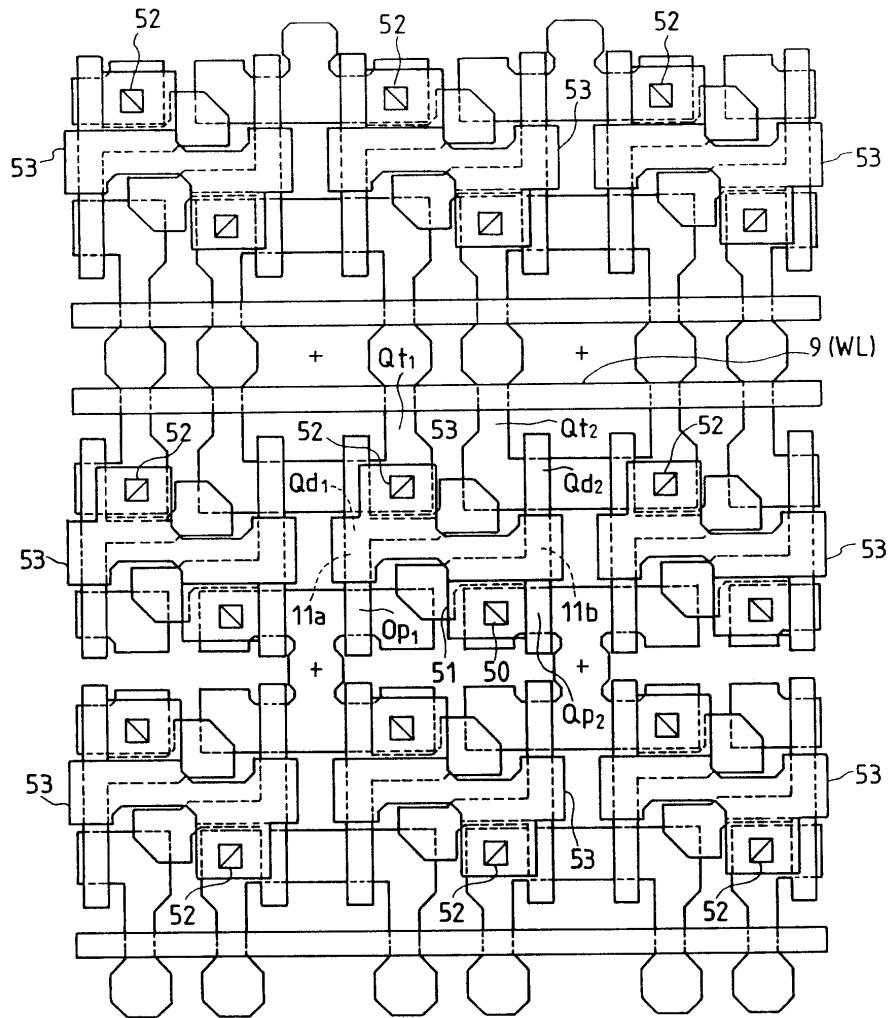
도면44



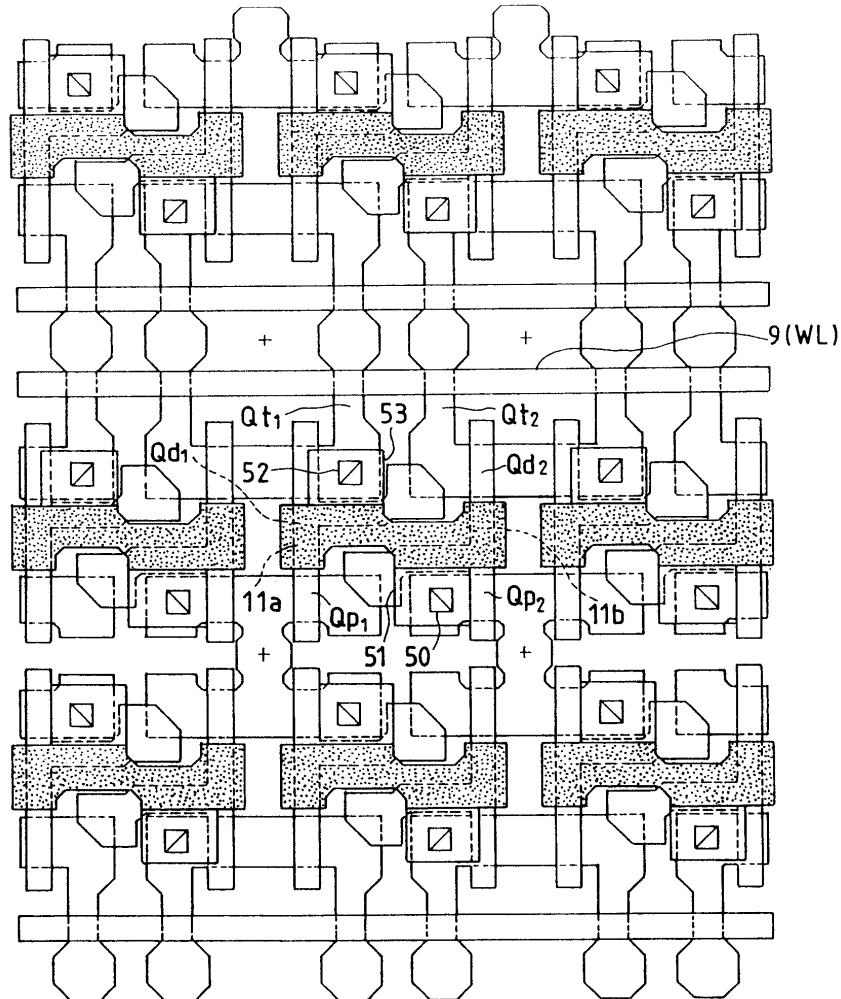
도면45



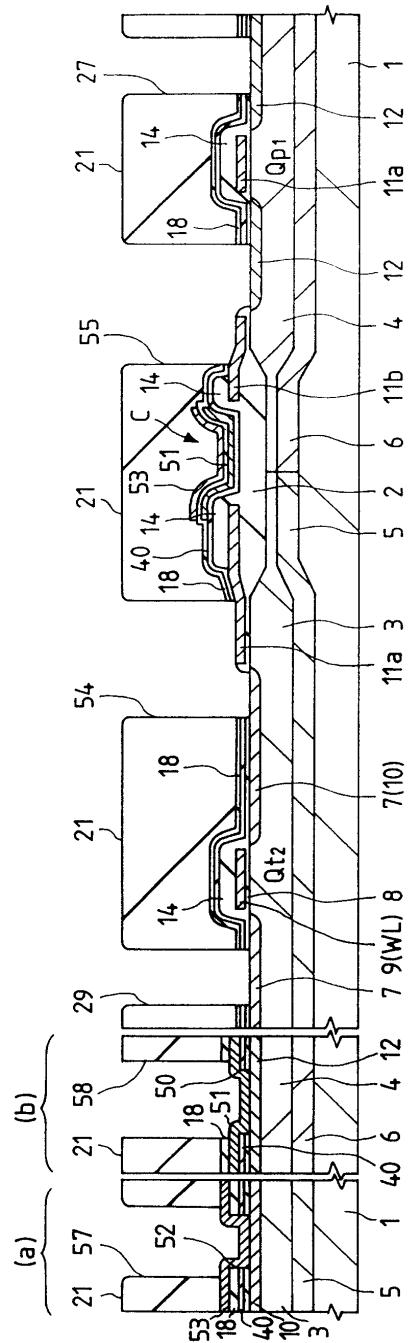
도면46



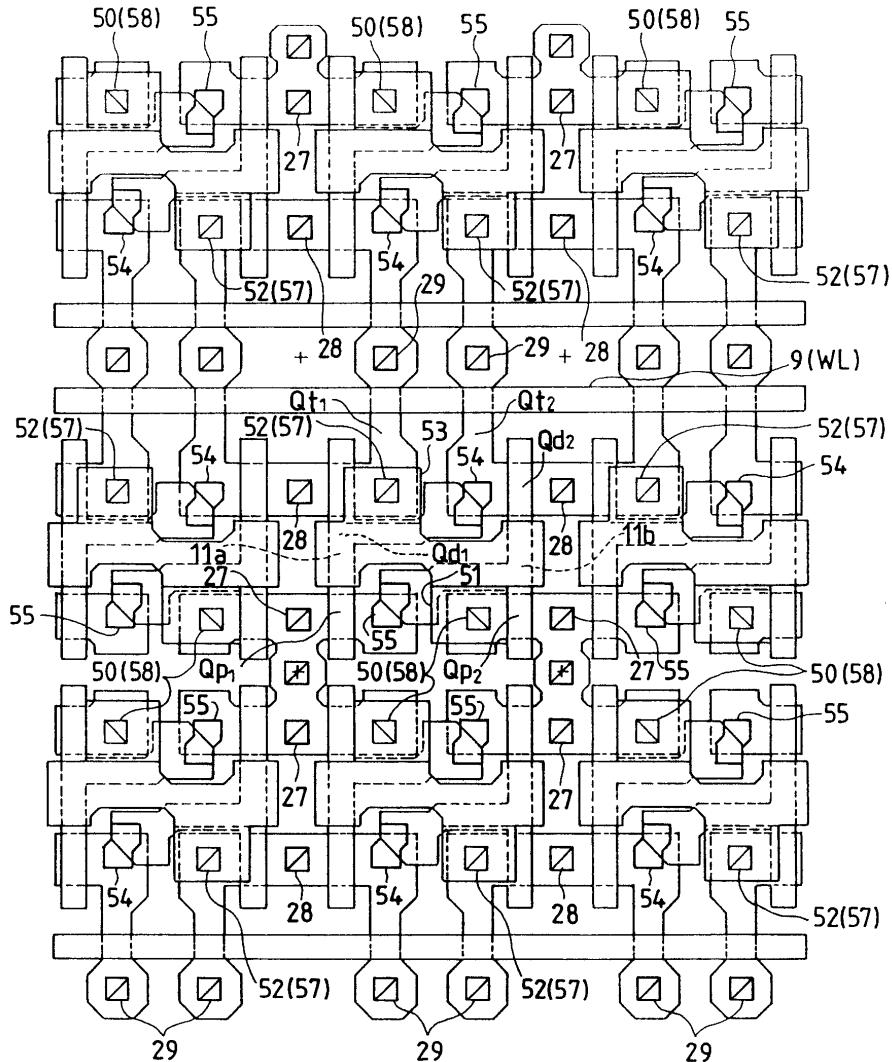
도면47



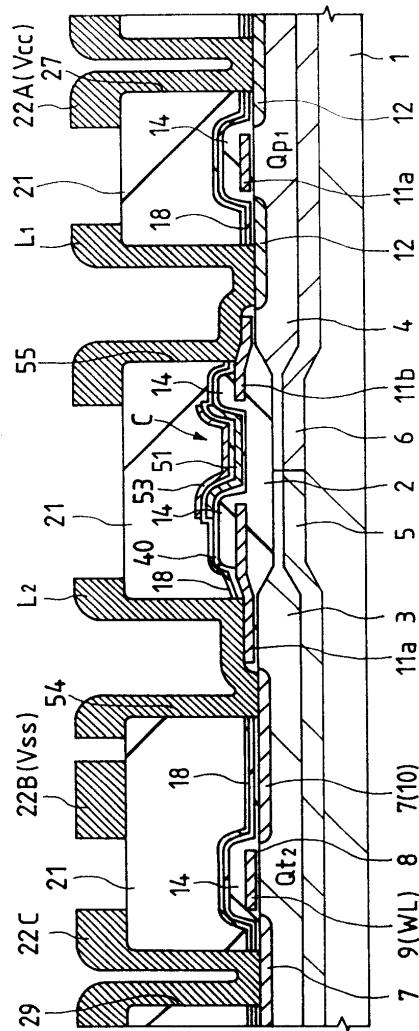
도면48



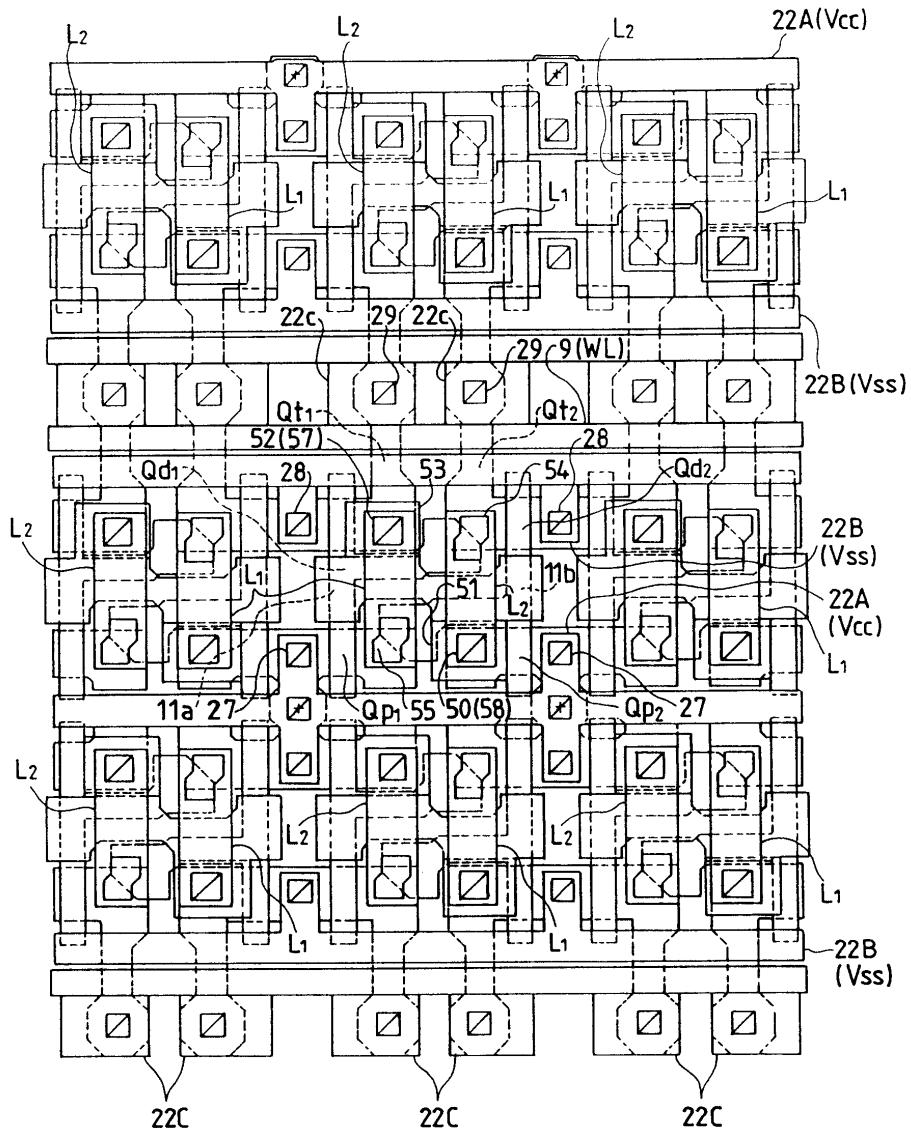
도면49



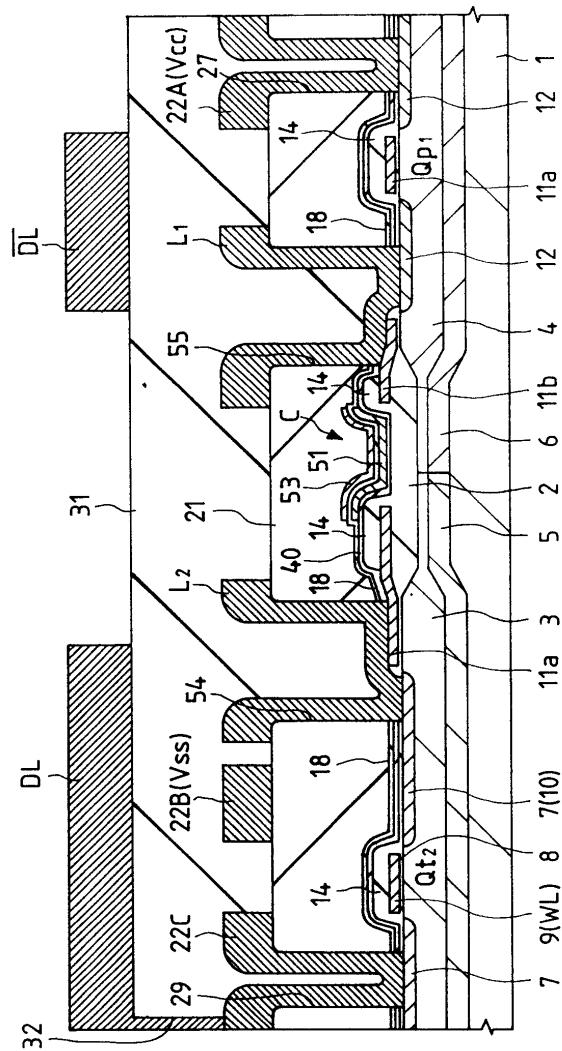
도면50



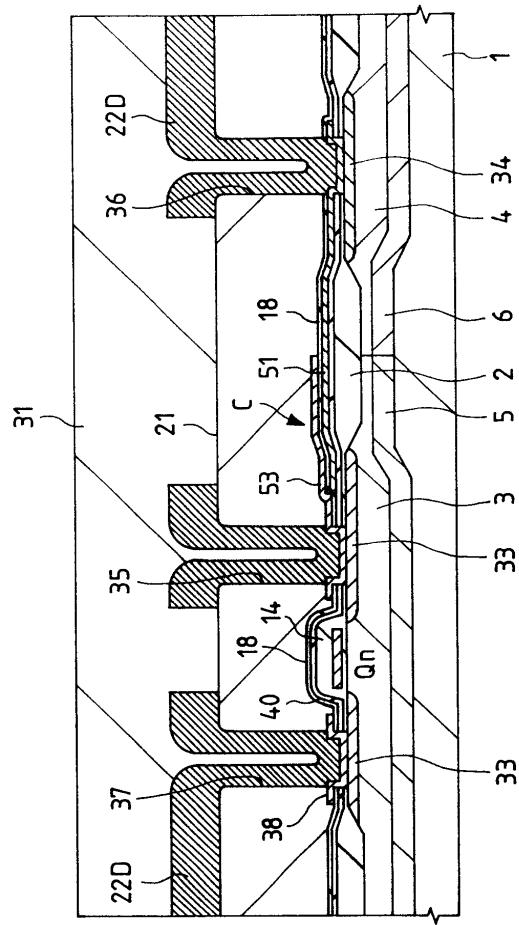
도면51



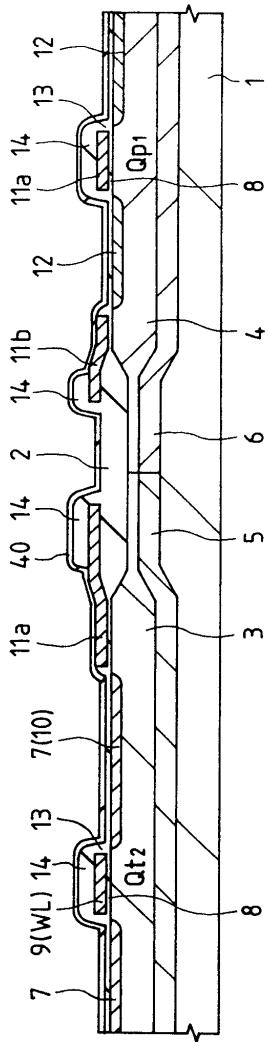
도면52



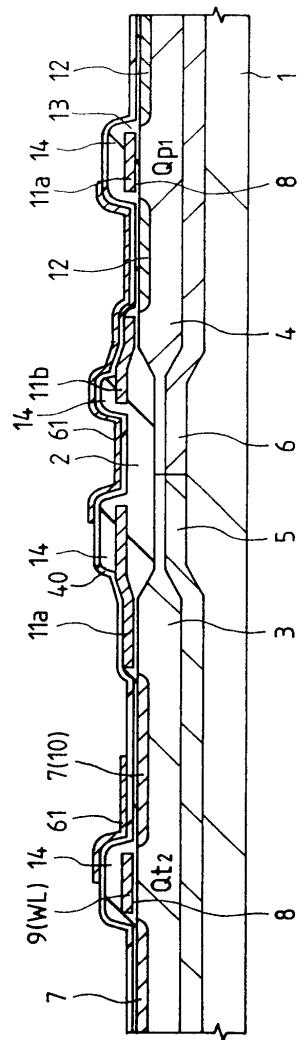
도면53



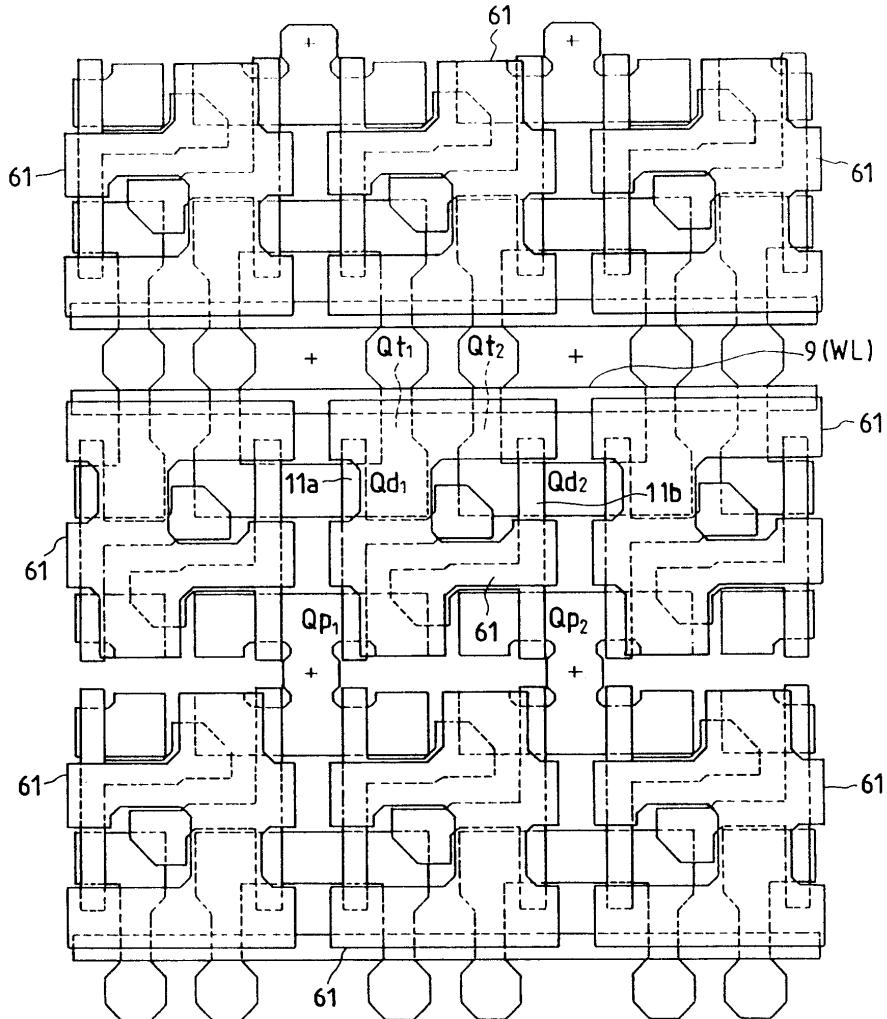
도면54



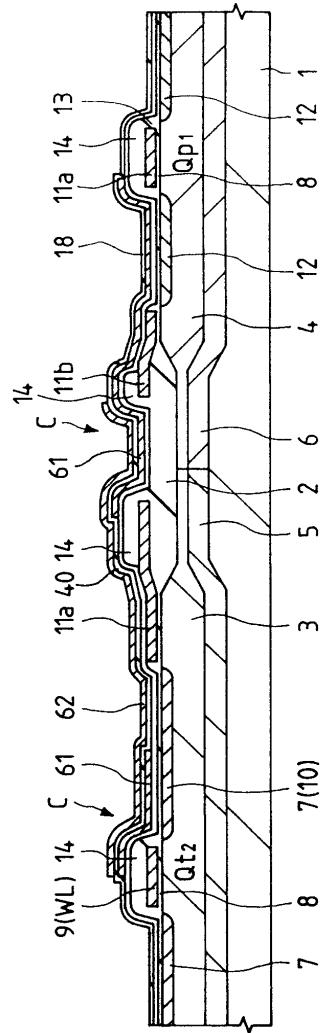
도면55



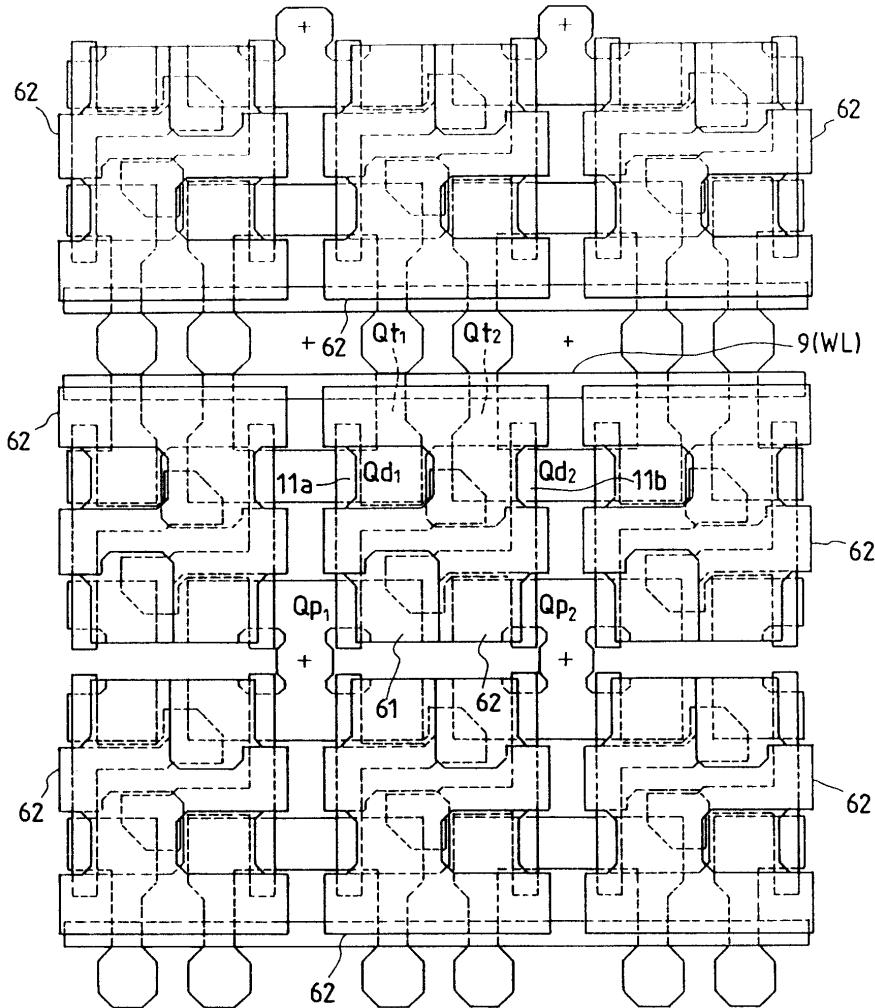
도면56



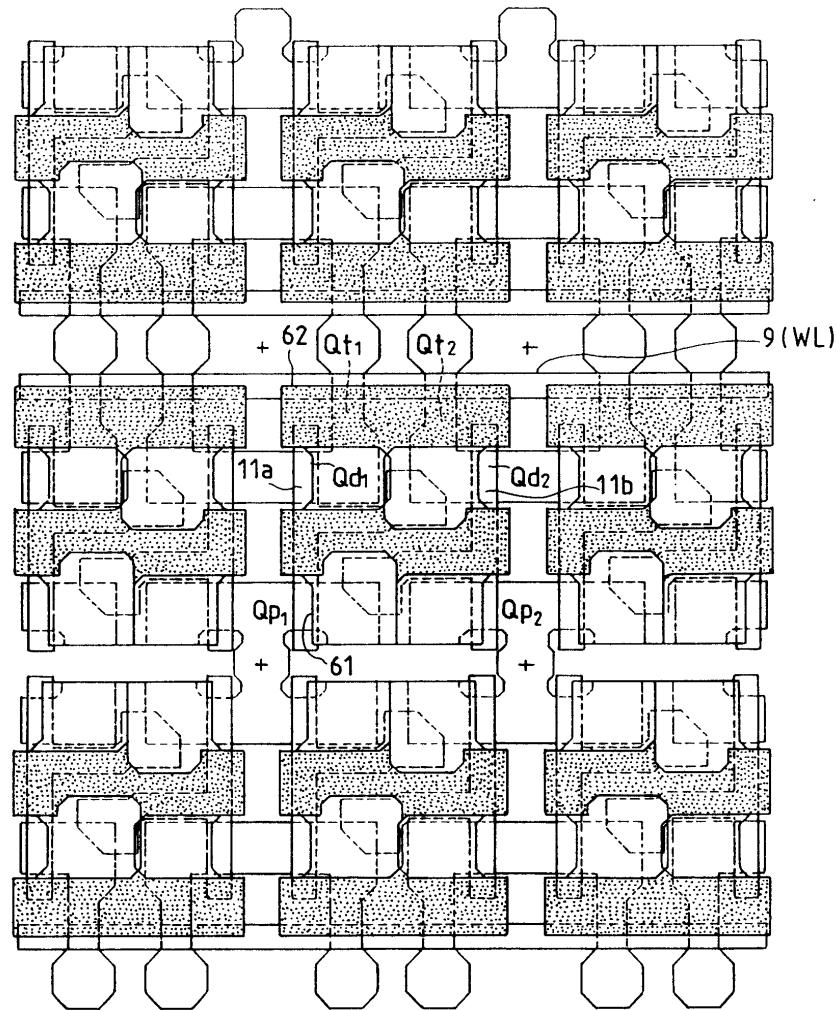
도면57



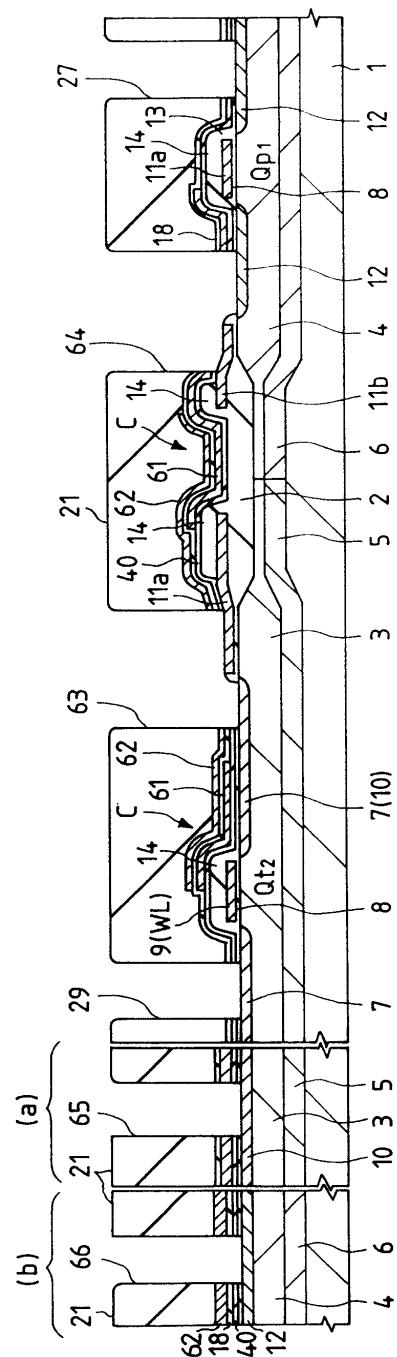
도면58



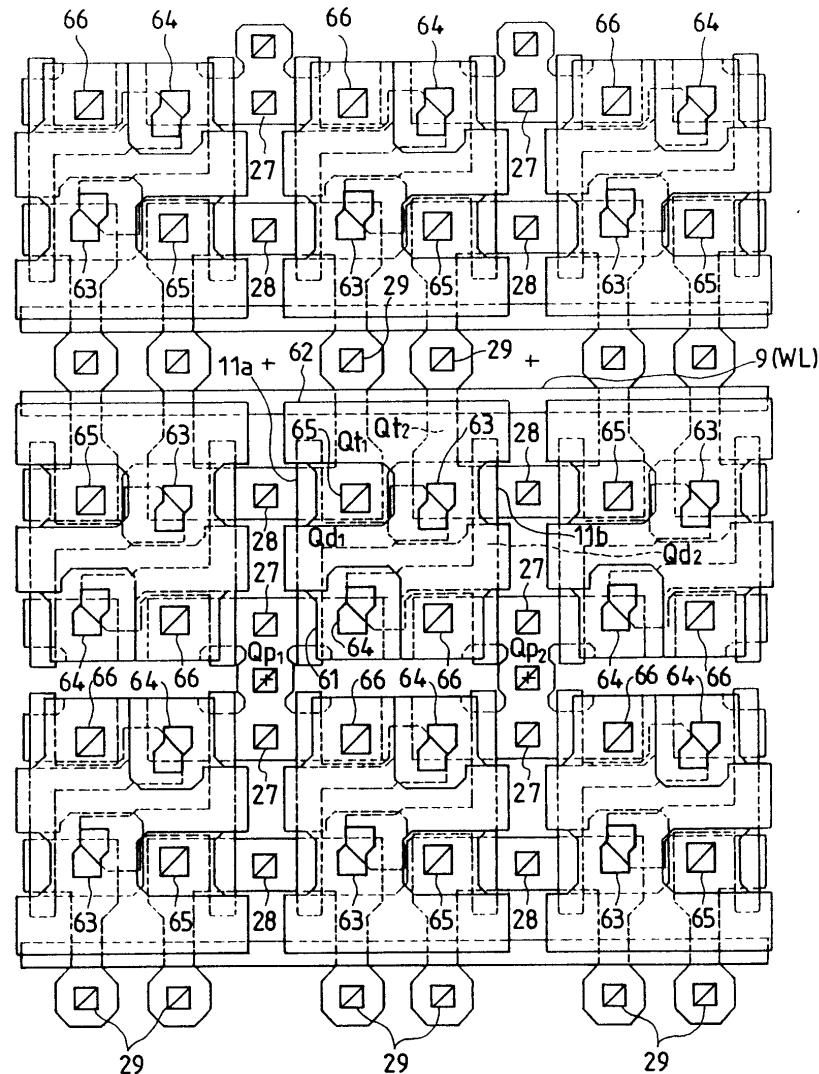
도면59



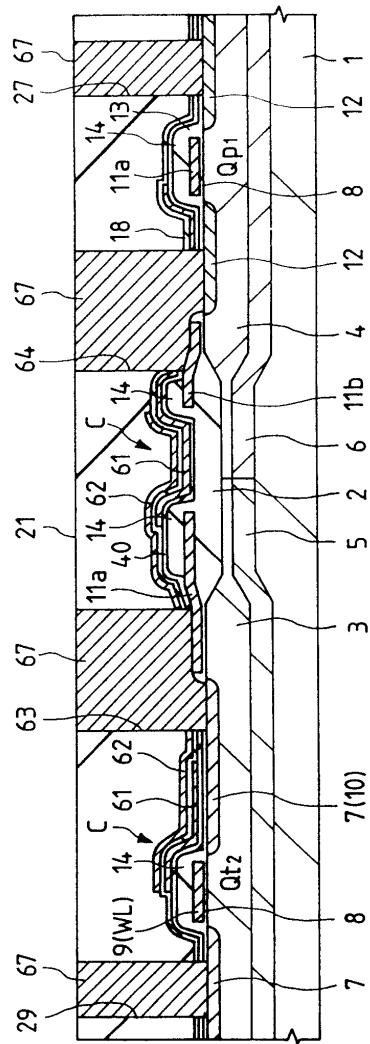
도면60



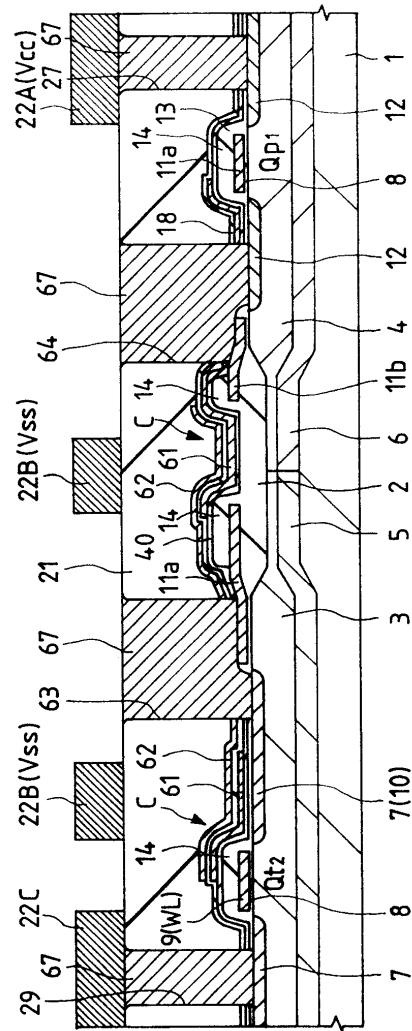
도면61



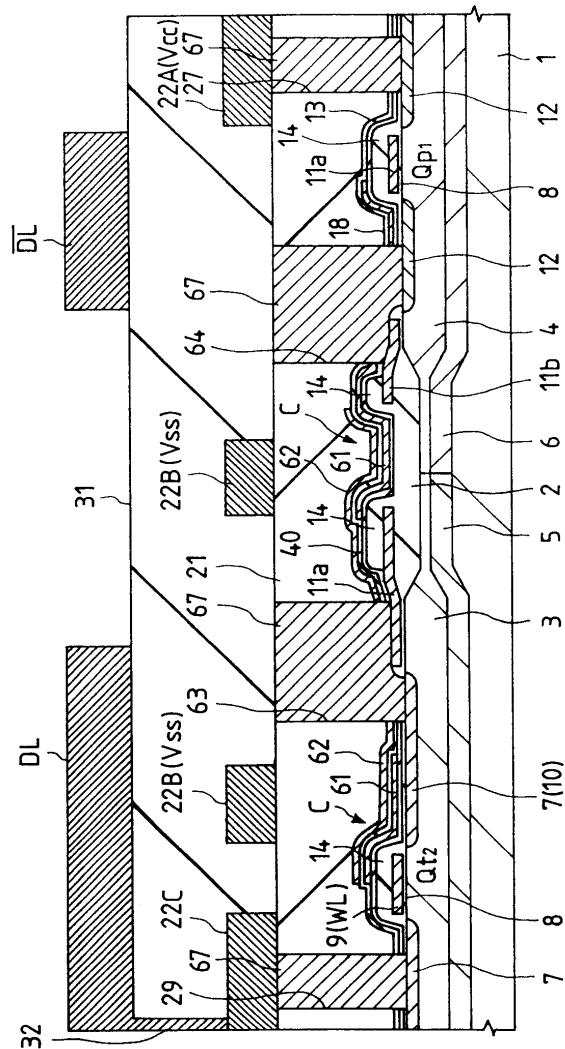
도면62



도면63



도면64



도면65

