

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-252558

(P2012-252558A)

(43) 公開日 平成24年12月20日(2012.12.20)

(51) Int.Cl.

G06F 12/16 (2006.01)

F I

G06F 12/16 320F

テーマコード (参考)

5B018

審査請求 未請求 請求項の数 18 O L (全 19 頁)

(21) 出願番号 特願2011-125079 (P2011-125079)
 (22) 出願日 平成23年6月3日 (2011.6.3)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094053
 弁理士 佐藤 隆久
 (72) 発明者 中西 健一
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 筒井 敬一
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 Fターム(参考) 5B018 GA02 HA14 MA01 MA02 MA22
 NA01 QA16

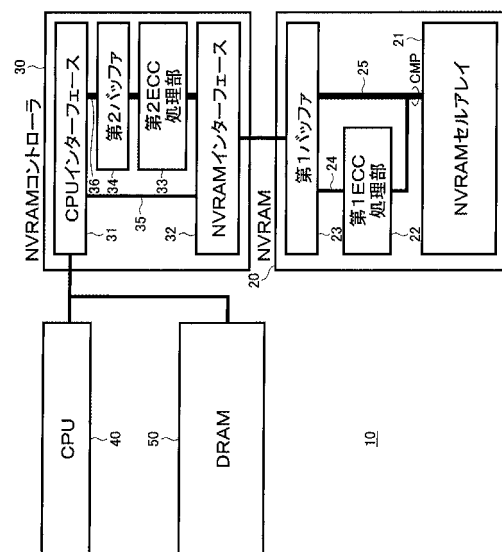
(54) 【発明の名称】 不揮発性メモリ、メモリコントローラ、不揮発性メモリのアクセス方法、およびプログラム

(57) 【要約】

【課題】 メモリセルとしてバイト単位のアクセスが可能であり、求められるアクセスに対して最適な単位でECC処理を行うことが可能な不揮発性メモリ、メモリコントローラ、不揮発性メモリのアクセス方法、およびプログラムを提供する。

【解決手段】 ワード単位でアクセス可能で固定レイテンシでアクセス可能な第1アクセスモードと可変レイテンシでアクセス可能な第2アクセスモードによりアクセス可能な不揮発性メモリセルアレイを少なくとも含む不揮発性メモリセルデバイスと、第1アクセス経路に配置され、第1アクセスモード時にメモリセルアレイから出力されたデータに対してECCを適用した誤り検出処理および訂正処理を行う第1ECC処理部と、第2アクセス経路に配置され、第2アクセスモード時にメモリセルアレイから出力されたデータに対してECCを適用した誤り検出処理および訂正処理を行う第2ECC処理部とを有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ワード単位でアクセス可能で、少なくとも固定レイテンシでアクセス可能な第 1 アクセスモードと可変レイテンシでアクセス可能な第 2 アクセスモードによりアクセス可能な不揮発性メモリセルアレイを少なくとも含む不揮発性メモリセルデバイスと、

上記第 1 アクセスモード時に適用される第 1 アクセス経路と、

上記第 2 アクセスモード時に適用される第 2 アクセス経路と、

上記第 1 アクセス経路に配置され、上記第 1 アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して誤り訂正コード（ECC）を適用した誤り検出処理および訂正処理を行う第 1 ECC 処理部と、

上記第 2 アクセス経路に配置され、上記第 2 アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、ECC を適用した誤り検出処理および訂正処理を行う第 2 ECC 処理部と

を有する不揮発性メモリ。

【請求項 2】

上記第 1 アクセスモードにおいて、

固定時間である読み出し時のアクセスレイテンシは、上記不揮発性メモリセルアレイからの読み出し時間と、上記第 1 ECC 処理部のビット誤り検出時間と、上記第 1 ECC 処理部のビット訂正時間を含む

請求項 1 記載の不揮発性メモリ。

【請求項 3】

上記第 1 アクセスモードにおいて、

上記第 1 ECC 処理部は、書き込み時には生成した第 1 ECC をデータに付加し、

書き込み時のアクセスレイテンシとして、上記第 1 ECC の生成時間と、上記不揮発性メモリセルアレイへの書き込み時間を含む

請求項 1 記載の不揮発性メモリ。

【請求項 4】

上記第 2 アクセスモードにおいて、

可変である読み出し時のアクセスレイテンシは、最小の場合として、上記不揮発性メモリセルアレイからの読み出し時間と、上記第 2 ECC 処理部のビット誤り検出時間を含み、最大の場合として、上記不揮発性メモリセルアレイからの読み出し時間と、上記第 2 ECC 処理部のビット誤り検出時間と、上記第 2 ECC 処理部のビット訂正時間を含む

請求項 1 記載の不揮発性メモリ。

【請求項 5】

上記第 2 アクセスモードにおいて、

上記第 2 ECC 処理部は、書き込み時には生成した第 2 ECC をデータに付加し、

書き込み時のアクセスレイテンシとして、上記第 2 ECC の生成時間と、上記不揮発性メモリセルアレイへの書き込み時間を含む

請求項 1 記載の不揮発性メモリ。

【請求項 6】

上記不揮発性メモリセルデバイスにアクセスするインターフェースは、

データの授受を監視するハンドシェーク信号による制御が可能で、

上記第 1 アクセスモード時にはハンドシェーク信号による制御を行わず、

上記第 2 アクセスモード時にハンドシェーク信号による制御を行う

請求項 1 記載の不揮発性メモリ。

【請求項 7】

上記第 1 アクセス経路および上記第 2 アクセス経路に接続された第 1 バッファと、

上記第 2 アクセス経路に接続された第 2 バッファと、を含み、

上記第 1 バッファは、

上記不揮発性メモリセルアレイから読み出され上記第 1 アクセス経路を伝送され第 1

10

20

30

40

50

E C C 処理部で処理されたデータ、上記不揮発性メモリセルアレイから読み出され上記第 2 アクセス経路を伝送されたデータ、上記不揮発性メモリセルアレイに書き込むために上記第 1 アクセス経路を伝送されたデータ、上記不揮発性メモリセルアレイに書き込むために上記第 2 アクセス経路を伝送され上記第 2 バッファおよび上記第 2 E C C 処理部を介したデータのうちの少なくともいずれかのデータを保持し、

上記第 2 バッファは、

上記不揮発性メモリセルアレイから読み出され上記第 2 アクセス経路を伝送され、上記第 1 バッファに保持され、さらに上記第 2 E C C 処理部で処理されたデータ、上記不揮発性メモリセルアレイに書き込むために上記第 2 アクセス経路を伝送されたデータのうちの少なくともいずれかのデータを保持する

10

請求項 1 から 6 のいずれかに記載の不揮発性メモリ。

【請求項 8】

上記第 1 バッファと上記第 2 バッファが共用され、上記第 1 バッファが上記第 2 バッファの機能を併せ持つ

請求項 7 記載の不揮発性メモリ。

【請求項 9】

ホスト装置とのホストインターフェースおよび上記不揮発性メモリセルアレイとのメモリアインターフェースを含み、上記不揮発性メモリセルデバイスへのアクセスを制御するメモリコントローラを有し、

上記メモリコントローラは、

20

上記第 1 アクセス経路、上記第 2 アクセス経路、並びに当該第 2 アクセス経路に配置された第 2 E C C 処理部および上記第 2 バッファを含み、

上記不揮発性メモリセルデバイスは、

上記不揮発性メモリセルアレイ、上記第 1 アクセス経路、上記第 2 アクセス経路、当該第 1 アクセス経路に接続された上記第 1 E C C 処理部、並びに、上記第 1 アクセス経路および上記第 2 アクセス経路に接続された上記第 1 バッファを含む

請求項 7 記載の不揮発性メモリ。

【請求項 10】

ホスト装置とのホストインターフェースを含み、

上記不揮発性メモリセルデバイスは、

30

上記不揮発性メモリセルアレイ、上記ホストインターフェース、上記第 1 アクセス経路、上記第 2 アクセス経路、当該第 1 アクセス経路に接続された上記第 1 E C C 処理部、上記第 1 アクセス経路および上記第 2 アクセス経路に接続された上記第 1 バッファ、並びに当該第 2 アクセス経路に配置された第 2 E C C 処理部および上記第 2 バッファを含む

請求項 7 または 8 記載の不揮発性メモリ。

【請求項 11】

ワード単位でアクセス可能で、少なくとも固定レイテンシでアクセス可能な第 1 アクセスモードと可変レイテンシでアクセス可能な第 2 アクセスモードによりアクセス可能な不揮発性メモリセルアレイと、

上記第 1 アクセスモード時に適用される第 1 アクセス経路と、

40

上記第 2 アクセスモード時に適用される第 2 アクセス経路と、

上記第 1 アクセス経路に配置され、上記第 1 アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、誤り訂正コード（E C C）を適用した誤り検出処理および訂正処理を行い、上記不揮発性メモリセルアレイへの書き込みデータに生成した第 1 E C C を付加第 1 E C C 処理部と

を有する不揮発性メモリ。

【請求項 12】

上記第 1 アクセス経路および上記第 2 アクセス経路に接続された第 1 バッファを含み、上記第 1 バッファは、

上記不揮発性メモリセルアレイから読み出され上記第 1 アクセス経路を伝送され第 1

50

E C C 処理部で処理されたデータ、上記不揮発性メモリセルアレイから読み出され上記第 2 アクセス経路を伝送されたデータ、上記不揮発性メモリセルアレイに書き込むために外部の第 1 アクセス経路を伝送されたデータ、上記不揮発性メモリセルアレイに書き込むために外部の第 2 アクセス経路を伝送され第 2 E C C 処理が施された入力データのうちの少なくともいずれかのデータを保持する

請求項 1 1 記載の不揮発性メモリ。

【請求項 1 3】

ホスト装置とのホストインターフェースと、

ワード単位でアクセス可能な不揮発性メモリセルアレイとのメモリインターフェースと

、

上記ホストインターフェースと上記メモリインターフェース間に接続され、固定レイテンシでアクセス可能な第 1 アクセスモード時に適用する第 1 アクセス経路と、

上記ホストインターフェースと上記メモリインターフェース間に接続され、可変レイテンシでアクセス可能な第 2 アクセスモード時に適用する第 2 アクセス経路と、

上記第 2 アクセス経路に配置され、上記第 2 アクセスモード時に、上記不揮発性メモリセルアレイから出力され上記メモリインターフェースを介して入力したデータに対して、誤り訂正符号 (E C C) を適用した誤り検出処理および訂正処理を行い、上記ホストインターフェースを通して入力された書き込みデータに第 2 E C C を付加して、上記メモリインターフェースに出力する第 2 E C C 処理部と、を少なくとも含み、

上記第 1 アクセス経路には、

上記第 1 アクセスモード時に、上記不揮発性メモリセルアレイから出力され第 1 E C C 処理が施され、上記メモリインターフェースを介して入力したデータ、および第 1 アクセスモード時に、上記ホストインターフェースを通して入力された書き込みデータが伝送される

メモリコントローラ。

【請求項 1 4】

上記第 1 アクセス経路に配置され、上記第 1 アクセスモード時に、上記不揮発性メモリセルアレイから出力され上記メモリインターフェースを介して入力したデータに対して、E C C を適用した誤り検出処理および訂正処理を行い、上記ホストインターフェースを通して入力された書き込みデータに第 1 E C C を付加して、上記メモリインターフェースに出力する第 1 E C C 処理部を含む

請求項 1 3 記載のメモリコントローラ。

【請求項 1 5】

上記ホストインターフェースと上記第 2 E C C 処理部との間の上記第 2 アクセス経路に接続された第 2 バッファを含む

請求項 1 3 記載のメモリコントローラ。

【請求項 1 6】

上記ホストインターフェースと上記第 1 E C C 処理部との間の上記第 1 アクセス経路、並びに、上記メモリインターフェースと上記第 2 E C C 処理部との間の上記第 2 アクセス経路に接続された第 1 バッファと、

上記ホストインターフェースと上記第 2 E C C 処理部との間の上記第 2 アクセス経路に接続された第 2 バッファと、を含む

請求項 1 4 記載のメモリコントローラ。

【請求項 1 7】

ワード単位でアクセス可能で不揮発性メモリセルアレイにアクセスする際に、

固定レイテンシでアクセス可能な第 1 アクセスモードで第 1 アクセス経路を介してアクセスする第 1 アクセスステップと、

可変レイテンシでアクセス可能な第 2 アクセスモードにより第 2 アクセス経路を介してアクセスする第 2 アクセスステップと、を含み

上記第 1 アクセスステップにおいては、

10

20

30

40

50

上記第 1 アクセス経路に配置され第 1 E C C 処理部で、上記第 1 アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、誤り訂正コード (E C C) を適用した誤り検出処理および訂正処理を行い、上記不揮発性メモリセルアレイへの書き込みデータに上記第 1 E C C 処理部で生成した第 1 E C C を付加し、

上記第 2 アクセスステップにおいては、

上記第 2 アクセス経路に配置され第 2 E C C 処理部で、上記第 2 アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、E C C を適用した誤り検出処理および訂正処理を行い、上記不揮発性メモリセルアレイへの書き込みデータに上記第 2 E C C 処理部で生成した第 2 E C C を付加する

不揮発性メモリのアクセス方法。

10

【請求項 18】

ワード単位でアクセス可能で不揮発性メモリセルアレイにアクセスする際に、

固定レイテンシでアクセス可能な第 1 アクセスモードで第 1 アクセス経路を介してアクセスする第 1 アクセス処理と、

可変レイテンシでアクセス可能な第 2 アクセスモードにより第 2 アクセス経路を介してアクセスする第 2 アクセス処理と、を含み

上記第 1 アクセス処理においては、

上記第 1 アクセス経路に配置され第 1 E C C 処理部で、上記第 1 アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、誤り訂正コード (E C C) を適用した誤り検出処理および訂正処理を行い、上記不揮発性メモリセルアレイへの書き込みデータに上記第 1 E C C 処理部で生成した第 1 E C C を付加し、

20

上記第 2 アクセス処理においては、

上記第 2 アクセス経路に配置され第 2 E C C 処理部で、上記第 2 アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、E C C を適用した誤り検出処理および訂正処理を行い、上記不揮発性メモリセルアレイへの書き込みデータに上記第 2 E C C 処理部で生成した第 2 E C C を付加する

不揮発性メモリのアクセス処理をコンピュータに実行させるプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は、ワード単位にアクセス可能な不揮発性メモリ、メモリコントローラ、不揮発性メモリのアクセス方法、およびプログラムに関するものである。

【背景技術】

【0002】

不揮発性メモリ (N V M) を代表する N A N D フラッシュではプロセスの微細化が進むに従ってデータ保持特性が低下するため、より強力なデータ誤り検出・訂正能力を持った誤り訂正符号 (E C C : Error Correction Code) が必要とされてきた。

【0003】

また近年開発、製品化の進む新しい不揮発性メモリである P C R A M や R e R A M においても、データ保持特性の改善は重要な課題の一つである。

40

P C R A M や R e R A M は N A N D フラッシュと異なり、D R A M や S R A M のようにワード単位でアクセスが可能であることから、N V R A M と呼ばれる。

N A N D フラッシュが連続データのシーケンシャルアクセスで高速であるのに対し、N V R A M は N A N D フラッシュでは実現できない高速なランダムアクセスに対応できることを大きな特徴とする不揮発性メモリである。

【0004】

N A N D フラッシュは、ストレージとして、セクタ単位でデータをワークメモリ上に読み出して実行する S t o r e a N d D o w n l o a d (S n D) モデルの用途で利用される。

これに対して、ワード単位でアクセス可能な N V R A M は、C P U から直接データにア

50

クセスが可能であるため不揮発性のワークメモリとしてeXecute In Place (XIP) モデルの用途で利用できることを特徴としている。

【0005】

XIPに対応するには、NVRAMのワード単位にアクセス可能である特徴を最大限に発揮する必要があるが、上記のようにデータ保持特性を改善するためにECCを付加することは、アクセス性能を低下させる。

【0006】

特許文献1には、NANDフラッシュデバイスを搭載した不揮発性メモリにおいて、ランダムアクセス性能を改善するための構成が開示されている。

NANDフラッシュをベースとした不揮発性メモリは、セクタ単位にECCを計算しており、エラー検出訂正には、最小でもセクタ単位で読み出す必要があるため、セクタ以下のサイズでのランダムアクセスが遅い欠点があった。

特許文献1では、32～128ビットのデータに対してECCによるエラー検出訂正をすることで、セクタより小さいデータのランダムアクセスパフォーマンスを改善している。

つまり、特許文献1では、NANDフラッシュを対象としているため、メモリセルのアクセスがページ単位であり、アクセス単位よりも小さいデータに対してECC処理を行う手法を提案している。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2008-84499号公報

【特許文献2】特開2007-310927号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

上述したように、XIPに対応するにはNVRAMのワード単位にアクセス可能である特徴を最大限に発揮する必要があるが、上記のようにデータ保持特性を改善するためにECCを付加することは、そのアクセス性能に対して以下のような課題があった。

・アクセスのレイテンシは固定であることが望ましい。

ECC処理によるアクセスのレイテンシへの影響を最小限にすることが望ましい。

前者については、メモリインターフェースではハンドシェークを省き、固定レイテンシでアクセスする方が高速である。ハンドシェーク信号をポーリングし、その結果を判断して信号制御に反映することは、アクセスサイクルを増加させる要因になる。

後者については、ECC処理に必要とするクロック数が単純に少ない方が好ましいことに加え、ビット誤りの訂正処理が発生した場合には、その分アクセスサイクルを増やす必要があり、前者の課題とも関連性を持つ。

また、逆にシーケンシャルアクセスでは、固定アクセスタイムにされたアクセスを複数繰り返した場合には、固定化によるパフォーマンスのオーバーヘッドが累積され、本来のパフォーマンスからの低下が増大する課題も発生する。

XIP対応と、シーケンシャルアクセス対応を両立させることにも課題がある。

【0009】

また、上記のようにNANDフラッシュを対象としている場合、書き込みにおいてはページ単位で行う必要があるため、特許文献1の手法を用いてもパフォーマンス改善の効果は得られない。

また、特許文献2にも同様の技術が開示されているが、この手法を用いてもパフォーマンス改善の効果を得ることは困難である。

【0010】

本発明は、メモリセルとしてバイト単位のアクセスが可能であり、求められるアクセスに対して最適な単位でECC処理を行うことが可能な不揮発性メモリ、メモリコントロー

10

20

30

40

50

ラ、不揮発性メモリのアクセス方法、およびプログラムを提供することにある。

【課題を解決するための手段】

【0011】

本発明の第1の観点の不揮発性メモリは、ワード単位でアクセス可能で、少なくとも固定レイテンシでアクセス可能な第1アクセスモードと可変レイテンシでアクセス可能な第2アクセスモードによりアクセス可能な不揮発性メモリセルアレイを少なくとも含む不揮発性メモリセルデバイスと、上記第1アクセスモード時に適用される第1アクセス経路と、上記第2アクセスモード時に適用される第2アクセス経路と、上記第1アクセス経路に配置され、上記第1アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して誤り訂正コード（ECC）を適用した誤り検出処理および訂正処理を行う第1ECC処理部と、上記第2アクセス経路に配置され、上記第2アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、ECCを適用した誤り検出処理および訂正処理を行う第2ECC処理部とを有する。

10

【0012】

本発明の第2の観点の不揮発性メモリは、ワード単位でアクセス可能で、少なくとも固定レイテンシでアクセス可能な第1アクセスモードと可変レイテンシでアクセス可能な第2アクセスモードによりアクセス可能な不揮発性メモリセルアレイと、上記第1アクセスモード時に適用される第1アクセス経路と、上記第2アクセスモード時に適用される第2アクセス経路と、上記第1アクセス経路に配置され、上記第1アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、誤り訂正コード（ECC）を適用した誤り検出処理および訂正処理を行い、上記不揮発性メモリセルアレイへの書き込みデータに生成した第1ECCを付加する第1ECC処理部とを有する。

20

【0013】

本発明の第3の観点のメモリコントローラは、ホスト装置とのホストインターフェースと、ワード単位でアクセス可能な不揮発性メモリセルアレイとのメモリインターフェースと、上記ホストインターフェースと上記メモリインターフェース間に接続され、固定レイテンシでアクセス可能な第1アクセスモード時に適用する第1アクセス経路と、上記ホストインターフェースと上記メモリインターフェース間に接続され、可変レイテンシでアクセス可能な第2アクセスモード時に適用する第2アクセス経路と、上記第2アクセス経路に配置され、上記第2アクセスモード時に、上記不揮発性メモリセルアレイから出力され上記メモリインターフェースを介して入力したデータに対して、誤り訂正符号（ECC）を適用した誤り検出処理および訂正処理を行い、上記ホストインターフェースを通して入力された書き込みデータに第2ECCを付加して、上記メモリインターフェースに出力する第2ECC処理部と、を少なくとも含み、上記第1アクセス経路には、上記第1アクセスモード時に、上記不揮発性メモリセルアレイから出力され第1ECC処理が施され、上記メモリインターフェースを介して入力したデータ、および第1アクセスモード時に、上記ホストインターフェースを通して入力された書き込みデータが伝送される。

30

【0014】

本発明の第4の観点の不揮発性メモリのアクセス方法は、ワード単位でアクセス可能で不揮発性メモリセルアレイにアクセスする際に、固定レイテンシでアクセス可能な第1アクセスモードで第1アクセス経路を介してアクセスする第1アクセスステップと、可変レイテンシでアクセス可能な第2アクセスモードにより第2アクセス経路を介してアクセスする第2アクセスステップと、を含み、上記第1アクセスステップにおいては、上記第1アクセス経路に配置され第1ECC処理部で、上記第1アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、誤り訂正コード（ECC）を適用した誤り検出処理および訂正処理を行い、上記不揮発性メモリセルアレイへの書き込みデータに上記第1ECC処理部で生成した第1ECCを付加し、上記第2アクセスステップにおいては、上記第2アクセス経路に配置され第2ECC処理部で、上記第2アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、ECCを適用した誤り検出処理および訂正処理を行い、上記不揮発性メモリセルアレイへの書き込みデータに

40

50

上記第 2 E C C 処理部で生成した第 2 E C C を付加する。

【0015】

本発明の第 5 の観点は、ワード単位でアクセス可能で不揮発性メモリセルアレイにアクセスする際に、固定レイテンシでアクセス可能な第 1 アクセスモードで第 1 アクセス経路を介してアクセスする第 1 アクセス処理と、可変レイテンシでアクセス可能な第 2 アクセスモードにより第 2 アクセス経路を介してアクセスする第 2 アクセス処理と、を含み、上記第 1 アクセス処理においては、上記第 1 アクセス経路に配置され第 1 E C C 処理部で、上記第 1 アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、誤り訂正コード (E C C) を適用した誤り検出処理および訂正処理を行い、上記不揮発性メモリセルアレイへの書き込みデータに上記第 1 E C C 処理部で生成した第 1 E C C を付加し、上記第 2 アクセス処理においては、上記第 2 アクセス経路に配置され第 2 E C C 処理部で、上記第 2 アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、E C C を適用した誤り検出処理および訂正処理を行い、上記不揮発性メモリセルアレイへの書き込みデータに上記第 2 E C C 処理部で生成した第 2 E C C を付加する不揮発性メモリのアクセス処理をコンピュータに実行させるプログラムである。

10

【発明の効果】

【0016】

本発明によれば、メモリセルとしてバイト単位のアクセスが可能であり、求められるアクセスに対して最適な単位で E C C 処理を行うことが可能となる。

【図面の簡単な説明】

20

【0017】

【図 1】本第 1 の実施形態に係る不揮発性メモリの構成を示す図である。

【図 2】メモリコントローラと N V R A M 間のインターフェースについて説明するための図である。

【図 3】ハンドシェーク信号を用いない固定サイクルを処理する第 1 インターフェースとハンドシェーク信号を用いた可変サイクルの第 2 インターフェースの制御信号、データの一例を示すタイミングチャートである。

【図 4】ライト (書き込み) 時間の分布について説明するための図である。

【図 5】本第 2 の実施形態に係る不揮発性メモリの構成を示す図である。

【図 6】本第 3 の実施形態に係る不揮発性メモリの構成を示す図である。

30

【図 7】本第 4 の実施形態に係る不揮発性メモリの構成を示す図である。

【発明を実施するための形態】

【0018】

以下、本発明の実施形態を図面に関連付けて説明する。

なお、説明は以下の順序で行う。

1. 第 1 の実施形態 (不揮発性メモリの第 1 の構成例)
2. 第 2 の実施形態 (不揮発性メモリの第 2 の構成例)
3. 第 3 の実施形態 (不揮発性メモリの第 3 の構成例)
4. 第 4 の実施形態 (不揮発性メモリの第 4 の構成例)

【0019】

40

< 1. 第 1 の実施形態 >

図 1 は、本第 1 の実施形態に係る不揮発性メモリの構成を示す図である。

【0020】

本第 1 の実施形態に係る不揮発性メモリ 10 は、ワード単位でランダムアクセス可能な N V R A M セルアレイを含む不揮発性メモリ (N V M) セルデバイスとしての N V R A M 20、メモリコントローラとしての N V R A M コントローラ 30 を有する。

不揮発性メモリ 10 は、メモリコントローラ 30 を通して N V R A M 20 にアクセス可能なホスト装置 (C P U) 40、およびホスト装置 40 が直接的にアクセス可能なワークメモリとしての D R A M 50 を含んで構成されている。

【0021】

50

〔本実施形態の特徴的な構成および機能〕

本実施形態の不揮発性メモリ 10 は、NVRAM 20 の不揮発性記憶領域に対するアクセスモードとして、XIP 用 ECC 処理を備えた第 1 アクセスモードと、シーケンシャル用 ECC 処理を備えた第 2 アクセスモードを持つことを特徴とする。

第 1 アクセスモードは、たとえば XIP 動作時のパフォーマンスオーバーヘッドについて最適化されたアクセスモードであり、固定レイテンシでアクセスが可能である。

第 2 アクセスモードは、シーケンシャルアクセスオーバーヘッドについて最適化されたアクセスモードであり、アクセスレイテンシが変化する。

本実施形態の不揮発性メモリ 10 は、不揮発性記憶領域について、この 2 つのアクセスモードによって使い分けることで、メモリシステムとしての動作効率を改善できることを特徴とする。

第 1 アクセスモードは、XIP 用として、CPU 40 からワード単位で直接アクセス可能な領域として使用するモードであって、XIP に最適な小さいデータ単位に対して ECC 処理を行い、ビット誤りの検出処理と訂正処理を行う。

さらに、第 1 アクセスモードは、固定時間のアクセスで完了する仕様である、第 1 アクセスモードは、ビット誤りが発生していないデータに対しても誤り訂正に必要な分の処理時間を含むことになる。本実施形態では、インターフェースで発生するハンドシェイクの処理を不要とすることで、アクセスサイクルを短縮することの特徴とする。

第 2 アクセスモードは、シーケンシャルアクセス用として、第 1 アクセスモードよりも大きなデータ単位に ECC 処理を行うため、第 1 のモードを繰り返してアクセスした場合よりも高速にアクセスが可能となる。

また、第 1 アクセスモードより大きなデータ単位である第 2 アクセスモードでは、ビット誤りが発生した場合の訂正時間が誤り数が多いほど長くなるため、ハンドシェイクを行うインターフェースを持つことで、アクセス時間を最適化することの特徴とする。

【0022】

〔NVRAM およびメモリコントローラの構成および機能〕

NVRAM 20 は、NVRAM セルアレイ 21、第 1 ECC 処理部 22、第 1 バッファ 23、第 1 アクセスモード時に適用される第 1 アクセス経路 24、および第 2 アクセスモード時に適用される第 2 アクセス経路 25 を有する。

第 1 アクセス経路 24 は固定レイテンシでアクセス可能な第 1 アクセスモード時に適用され、第 2 アクセス経路 25 は可変レイテンシでアクセス可能な第 2 アクセスモード時に適用される。

なお、図においては、NVRAM セルアレイ 21 の入出力は共通のアクセス経路 CMP として示されている。

【0023】

NVRAM セルアレイ 21 は、不揮発性メモリセルがアレイ状に配列され、NVRAM インターフェース 32 を介してワード単位（バイト単位）でアクセス可能な不揮発性ランダムアクセスメモリとして形成されている。

NVRAM セルアレイ 21 は、ホスト装置（CPU）40 から NVRAM コントローラ 30 を通して、固定レイテンシでアクセス可能な第 1 アクセスモードと可変レイテンシでアクセス可能な第 2 アクセスモードによりアクセス可能である。

第 1 ECC 処理部 22 は、第 1 アクセス経路 24 に配置され、第 1 アクセスモード時に NVRAM セルアレイ 21 から出力された（読み出された）データに対して、誤り訂正コード（ECC）を適用した誤り検出処理および訂正処理を行う。第 1 ECC 処理部 22 は、ECC 処理後のデータを第 1 バッファ 23 に出力する。

第 1 ECC 処理部 22 は、第 1 アクセスモード時に NVRAM コントローラ 30 から転送され、第 1 バッファ 23 に保持された NVRAM セルアレイ 21 への書き込みデータに、生成した第 1 ECC を付加する。第 1 ECC 処理部 22 は、第 1 ECC が付加された書き込みデータを第 1 アクセス経路 24 を介して NVRAM セルアレイ 21 に出力する。

【0024】

10

20

30

40

50

第1バッファ23は、第1アクセス経路24および第2アクセス経路25に接続されている。第1バッファ23は、NVRAMコントローラ30とのデータの授受が行われるインターフェース側において、第1アクセス経路24および第2アクセス経路25に接続されている。

第1バッファ23は、NVRAMセルアレイ21から読み出され第1アクセス経路24を伝送され第1ECC処理部22で処理されたデータ、NVRAMセルアレイ21から読み出され第2アクセス経路25を伝送されたデータを保持する。

第1バッファ23は、NVRAMセルアレイ21に書き込むために外部のNVRAMコントローラ30の第1アクセス経路を伝送されたデータを保持する。

第1バッファ23は、NVRAMセルアレイ21に書き込むためにNVRAMコントローラ30の第2アクセス経路を伝送され第2ECC処理が施された入力データを保持する。

【0025】

NVRAMコントローラ30は、ホスト装置(CPU)40とのインターフェースであるCPU(ホスト)インターフェース31、およびNVRAM20とのインターフェースであるメモリ(NVRAM)インターフェース32を有する。

NVRAMコントローラ30は、第2ECC処理部33、第2バッファ34、第1アクセス経路35、および第2アクセス経路36を有する。

第1アクセス経路35および第2アクセス経路36は、CPUインターフェース31とNVRAMインターフェース32との間に並列に配置されている。

第1アクセス経路35は固定レイテンシでアクセス可能な第1アクセスモード時に適用され、第2アクセス経路36は可変レイテンシでアクセス可能な第2アクセスモード時に適用される。

【0026】

第2ECC処理部33は、第2アクセス経路36に配置され、第2アクセスモード時にNVRAMセルアレイ21から出力されNVRAMインターフェース32を介して入力したデータに対して、ECCを適用した誤り検出処理および訂正処理を行う。第2ECC処理部33は、ECC処理後のデータを第2バッファ34に出力する。

第2ECC処理部33は、第2アクセスモード時にCPU40から転送され、CPUインターフェース31を通して入力された書き込みデータに第2ECCを付加して、第2アクセス経路36を通してNVRAMインターフェース32に出力する。

【0027】

第2バッファ34は、CPUインターフェース31と第2ECC処理部33との間の第2アクセス経路36に接続されている(配置されている)。

第2バッファ34は、NVRAMセルアレイ32から読み出され、第2アクセス経路25を伝送され、第1バッファ23に保持され、NVRAMインターフェース32を介して入力され、第2ECC処理部33で処理されたデータを保持する。

第2バッファ34は、CPUインターフェース31を通して入力され、NVRAMセルアレイ21に書き込むために第2アクセス経路36を伝送されたデータを保持する。

【0028】

本第1の実施形態においては、第1アクセス経路35には、次のデータが伝送される。

第1アクセス経路35には、第1アクセスモード時に、NVRAMセルアレイ21から出力され第1ECC処理部22で第1ECC処理が施され、第1バッファ23に保持され、さらにNVRAMインターフェース32を介して入力してデータが伝送される。

第1アクセス経路35には、第1アクセスモード時に、CPUインターフェース31を通して入力された書き込みデータが伝送される。

【0029】

図2は、メモリコントローラとNVRAM間のインターフェースについて説明するための図である。

図3(A)および(B)は、ハンドシェーク信号を用いない固定サイクルを処理する第

10

20

30

40

50

1 インターフェースとハンドシェーク信号を用いた可変サイクルの第2インターフェースの制御信号、データの一例を示すタイミングチャートである。

【0030】

前述したように、NVRAM20にアクセスするインターフェースは、図2に示すように、データの授受を監視するハンドシェーク信号による制御が可能である。

本技術では、図3(A)に示すように、第1アクセスモード時にはハンドシェーク信号による制御を行わず、第2アクセスモード時には、図3(B)に示すように、ハンドシェーク信号、図3(B)の例ではビジー信号x B s yによる制御を行う。

【0031】

図4は、ライト（書き込み）時間の分布について説明するための図である。

10

一般的に、不揮発性メモリセルの書き込みに要するビジー（Busy）時間（Program→Verifyの繰り返し回数）はある分布を持つ。

図4において、横軸はライトビジー（Write Busy）時間を示し、縦軸がメモリセル個数を示している。

固定サイクルにするには、少なくともオールパス（All Pass）の時間が必要である。

時間T_{yp}の時間で書き込みが完了できるセルではΔtはオーバーヘッドとなる。

シーケンシャルアクセスを固定サイクルの繰り返しで行うと、このオーバーヘッド分も加算されるため、可変サイクルで実現することが望ましい。

【0032】

また、第1アクセスモードにおいて、固定時間である読み出し時のアクセスレイテンシは、NVRAMセルアレイ21からの読み出し時間と、第1ECC処理部22のビット誤り検出時間と、第1ECC処理部22のビット訂正時間を含む。

20

第1アクセスモードにおいて、書き込み時のアクセスレイテンシとして、第1ECCの生成時間と、NVRAMセルアレイ21への書き込み時間を含む。

【0033】

第2アクセスモードにおいて、可変である読み出し時のアクセスレイテンシは、最小の場合として、NVRAMセルアレイ21からの読み出し時間と、第2ECC処理部33のビット誤り検出時間を含む。

第2アクセスモードにおいて、可変である読み出し時のアクセスレイテンシは、最大の場合として、NVRAMセルアレイ21からの読み出し時間と、第2ECC処理部33のビット誤り検出時間と、第2ECC処理部33のビット訂正時間を含む。

30

2アクセスモードにおいて、書き込み時のアクセスレイテンシとして、第2ECCの生成時間と、NVRAMセルアレイ21への書き込み時間を含む。

【0034】

次に、上記構成による動作を説明する。

図1の構成では、第1アクセスモードの処理を行うために、NVRAM20内に、第1アクセス経路24に配置された第1ECC処理部22、および第1バッファ23を有する。

NVRAM20では、第1ECC処理部22でNVRAMセルアレイ21から出力されたデータに対して直接誤り検出・訂正を行い、検出・訂正を行ったデータを第1バッファ23に保持する。

40

CPU40は、NVRAMコントローラ30を介して固定レイテンシで第1バッファ23のデータにバイトまたはワード単位でアクセス可能である。

第2アクセスモードの処理を行うために、NVRAMコントローラ30に、第2アクセス経路36に配置された第2ECC処理部33、および第2バッファ33を有する。

NVRAMコントローラ30では、NVRAMインターフェース32を介して読み出したデータに対して、第2ECC処理部33でデータの誤り検出・訂正を行い、検出・訂正を行ったデータを第2バッファ34に保持する。

【0035】

NVRAMコントローラ30は、CPU40からの第2アクセスモードでのアクセスに

50

対しては、ハンドシェーク信号を制御する。

そして、NVRAMコントローラ30は、NVRAM20へのアクセスと、NVRAM20からNVRAMコントローラ30へのデータ転送と、第2ECC処理部33の処理と、データが第2バッファ34に格納されるまでビジー信号x B s yを出力する。

【0036】

第1アクセスモードではCPU40からプログラム実行やそこに必要となるデータアクセスのために、直接NVRAM20上のデータにアクセスするためのモードであり、データ信頼性を改善するために第1ECCで保護される。

第1ECC処理部22は、第1バッファ23のサイズのデータに対して処理を行い、書き込み時には第1ECC処理部22が生成した第1ECCを付加して、NVRAMセルアレイ21へデータを保存する。

したがって、NVRAMセルアレイ21としては、第1バッファサイズがアクセスサイズとなるが、第1バッファサイズ上に保存されたデータは、NVRAMインターフェース32を介してバイトあるいはワード単位でアクセス可能である。

またそのインターフェースは、アクセスサイクルが固定され、第1バッファ23へのアクセスではNVRAMインターフェース32には、ハンドシェーク信号の制御を必要としない。

第1バッファ23のサイズの例としては、CPU40の内部のキャッシュエントリのサイズと一致することが望ましく、一般的な値としては、32バイト、64バイトといった値になる。

【0037】

第2アクセスモードは、CPU40から大量のデータへのアクセスや、ストレージからのデータの転送など、シーケンシャルなアクセスを効率よく行うためのモードであり、データ信頼性を改善するために第2ECCで保護される。

第2ECC処理部33は、第2バッファ34のサイズのデータに対して処理を行い、書き込み時には第2ECC処理部33が生成した第2ECCを付加して、NVRAMセルアレイ21にデータを保存する。

したがって、第2バッファ34のサイズは、第1バッファ23のサイズの整数倍であることが望ましい。ここでいう第1バッファサイズは、第1ECCを格納する領域まで含めたサイズを指す。

第2ECC処理はNVRAMコントローラ30内の第2ECC処理部33で処理されるため、第2バッファ34に読み込まれるデータはNVRAMインターフェース32を介して、複数回の第1バッファへのアクセスによって実行される。

このとき、第1アクセスモードにおいて有効だった第1ECCは無効とされ、第1ECC格納用の領域含めたすべてのデータが、NVRAM20のメモリセルから第1バッファ23に読み込まれたあと、NVRAMインターフェース33を介して出力される。

NVRAM20から出力されたデータは、NVRAMコントローラ30内で第2ECC処理部33に入力され、ビット誤りの検出、訂正処理が完了後のデータが最終的に第2バッファ34上に格納される。

CPU40は、第2バッファ34上のデータにアクセスを行うため、NVRAMコントローラ30に第2アクセスモードで指示を出したあと、すべての処理が完了するまで待つ必要がある。このため、NVRAMコントローラ30のインターフェースに存在するハンドシェーク信号（ビジー信号x B s y）を監視する。

第2バッファ34のサイズとしては、仮想メモリスシステムのページサイズに一致することが望ましく、一般的な値としては、2048バイト、4096バイトといった値になる。

【0038】

以上説明したように、本実施形態によれば、メモリセルとしてバイト単位のアクセスが可能であり、求められるアクセスに対して最適な単位でECC処理を行うことが可能となる。

10

20

30

40

50

N V R A MとしてE C Cによるデータの信頼性を改善しつつ、高速なランダムアクセス性能を提供する領域と、高速なシーケンシャルアクセス性能を提供する領域を使い分けることが可能であり、高速な不揮発性記メモリを実現することができる。

【0039】

< 2. 第2の実施形態 >

図5は、本第2の実施形態に係る不揮発性メモリの構成を示す図である。

【0040】

本第2の実施形態に係る不揮発性メモリ10Aが第1の実施形態に係る不揮発性メモリ10と異なる点は次の通りである。

本不揮発性メモリ10Aでは、N V R A M 2 0 AにN V R A Mコントローラの機能を持たせている。

これに対応して、N V R A M 2 0 Aに、C P Uインターフェース26が配置され、第2アクセスモードに必要な第2 E C C 処理部27と第2バッファ28が内蔵されている。

N V R A Mインターフェース（図示せず）は、第1アクセスモードではハンドシェーク信号を使用せず、第2アクセスモードではハンドシェーク信号を制御する。

第2 E C C 処理部27および第2バッファ28の構成および機能は、図1の第2 E C C 処理部33および第2バッファ34と同様である。

第2 E C C 処理部27および第2バッファ28は、C P Uインターフェース26と第1バッファ23との間の第2アクセス経路25に配置されている。

【0041】

本第2の実施形態によれば、上述した第1の実施形態と同様の効果を得ることができる。

【0042】

< 3. 第3の実施形態 >

図6は、本第3の実施形態に係る不揮発性メモリの構成を示す図である。

【0043】

本第3の実施形態に係る不揮発性メモリ10Bが第2の実施形態に係る不揮発性メモリ10Aと異なる点は次の通りである。

本不揮発性メモリ10Bでは、N V R A M 2 0 Bにおいて、N V R A Mセルアレイ21、第1 E C C 処理部22、第1バッファ23、第1アクセス経路24、第2アクセス経路25が複数（n個）配置されている。

そして、第1バッファと第2バッファが共用され、複数の第1バッファ23-1～23-nが第2バッファの機能を併せ持つ。

本第3の実施形態では、各第1バッファ21-1～21-nに接続されたN V R A Mセルアレイ21-1～21-nが同時並列的に制御されることを特徴とする。

そして、N V R A Mインターフェースは、第1アクセスモードではハンドシェーク信号を使用せず、第2アクセスモードではハンドシェーク信号を制御する。

【0044】

< 4. 第4の実施形態 >

図7は、本第4の実施形態に係る不揮発性メモリの構成を示す図である。

【0045】

本第4の実施形態に係る不揮発性メモリ10Cが第1の実施形態に係る不揮発性メモリ10と異なる点は次の通りである。

本不揮発性メモリ10Cでは、N V R A M 2 0 CにはN V R A Mセルアレイ21のみが配置され、N V R A Mコントローラ30Cに第1 E C C 処理部37および第1バッファ38が配置されている。

第1 E C C 処理部37および第1バッファ38の構成および機能は、図1の第1 E C C 処理部22および第1バッファ23と同様である。

【0046】

第1 ECC処理部37は、第1アクセス経路35に配置され、第1アクセスモード時に、NVRAMセルアレイ21から出力されNVRAMインターフェース32を介して入力したデータに対して、ECCを適用した誤り検出処理および訂正処理を行う。

第1 ECC処理部37は、CPUインターフェース31を通して入力された書き込みデータに第1 ECCを付加して、NVRAMインターフェース32に出力する。

第1バッファ38は、CPUインターフェース31と第1 ECC処理部37との間の第1アクセス経路35、並びに、NVRAMインターフェース32と第2 ECC処理部33との間の第2アクセス経路36に接続されている。

【0047】

本第4の実施形態によれば、上述した第1の実施形態と同様の効果を得ることができる。

10

【0048】

また、以上詳細に説明した方法は、上記手順に応じたプログラムとして形成し、CPU等のコンピュータで実行するように構成することも可能である。

また、このようなプログラムは、半導体メモリ、磁気ディスク、光ディスク、フロッピー（登録商標）ディスク等の記録媒体、この記録媒体をセットしたコンピュータによりアクセスし上記プログラムを実行するように構成可能である。

【0049】

なお、本技術は以下のような構成もとることができる。

(1) ワード単位でアクセス可能で、少なくとも固定レイテンシでアクセス可能な第1アクセスモードと可変レイテンシでアクセス可能な第2アクセスモードによりアクセス可能な不揮発性メモリセルアレイを少なくとも含む不揮発性メモリセルデバイスと、

20

上記第1アクセスモード時に適用される第1アクセス経路と、

上記第2アクセスモード時に適用される第2アクセス経路と、

上記第1アクセス経路に配置され、上記第1アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して誤り訂正コード（ECC）を適用した誤り検出処理および訂正処理を行う第1 ECC処理部と、

上記第2アクセス経路に配置され、上記第2アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、ECCを適用した誤り検出処理および訂正処理を行う第2 ECC処理部と

30

を有する不揮発性メモリ。

(2) 上記第1アクセスモードにおいて、

固定時間である読み出し時のアクセスレイテンシは、上記不揮発性メモリセルアレイからの読み出し時間と、上記第1 ECC処理部のビット誤り検出時間と、上記第1 ECC処理部のビット訂正時間を含む

上記(1)記載の不揮発性メモリ。

(3) 上記第1アクセスモードにおいて、

上記第1 ECC処理部は、書き込み時には生成した第1 ECCをデータに付加し、

書き込み時のアクセスレイテンシとして、上記第1 ECCの生成時間と、上記不揮発性メモリセルアレイへの書き込み時間を含む

40

上記(1)または(2)記載の不揮発性メモリ。

(4) 上記第2アクセスモードにおいて、

可変である読み出し時のアクセスレイテンシは、最小の場合として、上記不揮発性メモリセルアレイからの読み出し時間と、上記第2 ECC処理部のビット誤り検出時間を含み、最大の場合として、上記不揮発性メモリセルアレイからの読み出し時間と、上記第2 ECC処理部のビット誤り検出時間と、上記第2 ECC処理部のビット訂正時間を含む

上記(1)から(3)のいずれかーに記載の不揮発性メモリ。

(5) 上記第2アクセスモードにおいて、

上記第2 ECC処理部は、書き込み時には生成した第2 ECCをデータに付加し、

書き込み時のアクセスレイテンシとして、上記第2 ECCの生成時間と、上記不揮発

50

性メモリセルアレイへの書き込み時間を含む

上記（１）から（４）のいずれかに記載の不揮発性メモリ。

- （６）上記不揮発性メモリセルデバイスにアクセスするインターフェースは、データの授受を監視するハンドシェーク信号による制御が可能で、
上記第１アクセスモード時にはハンドシェーク信号による制御を行わず、
上記第２アクセスモード時にハンドシェーク信号による制御を行う

上記（１）から（５）のいずれかに記載の不揮発性メモリ。

- （７）上記第１アクセス経路および上記第２アクセス経路に接続された第１バッファと、
上記第２アクセス経路に接続された第２バッファと、を含み、
上記第１バッファは、

上記不揮発性メモリセルアレイから読み出され上記第１アクセス経路を伝送され第１ＥＣＣ処理部で処理されたデータ、上記不揮発性メモリセルアレイから読み出され上記第２アクセス経路を伝送されたデータ、上記不揮発性メモリセルアレイに書き込むために上記第１アクセス経路を伝送されたデータ、上記不揮発性メモリセルアレイに書き込むために上記第２アクセス経路を伝送され上記第２バッファおよび上記第２ＥＣＣ処理部を介したデータのうちの少なくともいずれかのデータを保持し、

上記第２バッファは、

上記不揮発性メモリセルアレイから読み出され上記第２アクセス経路を伝送され、上記第１バッファに保持され、さらに上記第２ＥＣＣ処理部で処理されたデータ、上記不揮発性メモリセルアレイに書き込むために上記第２アクセス経路を伝送されたデータのうちの少なくともいずれかのデータを保持する

上記（１）から（６）のいずれかに記載の不揮発性メモリ。

- （８）上記第１バッファと上記第２バッファが共用され、上記第１バッファが上記第２バッファの機能を併せ持つ

上記（７）記載の不揮発性メモリ。

- （９）ホスト装置とのホストインターフェースおよび上記不揮発性メモリセルアレイとのメモリインターフェースを含み、上記不揮発性メモリセルデバイスへのアクセスを制御するメモリコントローラを有し、

上記メモリコントローラは、

上記第１アクセス経路、上記第２アクセス経路、並びに当該第２アクセス経路に配置された第２ＥＣＣ処理部および上記第２バッファを含み、

上記不揮発性メモリセルデバイスは、

上記不揮発性メモリセルアレイ、上記第１アクセス経路、上記第２アクセス経路、当該第１アクセス経路に接続された上記第１ＥＣＣ処理部、並びに、上記第１アクセス経路および上記第２アクセス経路に接続された上記第１バッファを含む

上記（７）記載の不揮発性メモリ。

- （１０）ホスト装置とのホストインターフェースを含み、

上記不揮発性メモリセルデバイスは、

上記不揮発性メモリセルアレイ、上記ホストインターフェース、上記第１アクセス経路、上記第２アクセス経路、当該第１アクセス経路に接続された上記第１ＥＣＣ処理部、上記第１アクセス経路および上記第２アクセス経路に接続された上記第１バッファ、並びに当該第２アクセス経路に配置された第２ＥＣＣ処理部および上記第２バッファを含む

上記（７）または（８）記載の不揮発性メモリ。

- （１１）ワード単位でアクセス可能で、少なくとも固定レイテンシでアクセス可能な第１アクセスモードと可変レイテンシでアクセス可能な第２アクセスモードによりアクセス可能な不揮発性メモリセルアレイと、

上記第１アクセスモード時に適用される第１アクセス経路と、

上記第２アクセスモード時に適用される第２アクセス経路と、

上記第１アクセス経路に配置され、上記第１アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、誤り訂正コード（ＥＣＣ）を適用した誤り検出

10

20

30

40

50

処理および訂正処理を行い、上記不揮発性メモリセルアレイへの書き込みデータに生成した第1 ECCを付加第1 ECC処理部と

を有する不揮発性メモリ。

(12) 上記第1アクセス経路および上記第2アクセス経路に接続された第1バッファを含み、

上記第1バッファは、

上記不揮発性メモリセルアレイから読み出され上記第1アクセス経路を伝送され第1 ECC処理部で処理されたデータ、上記不揮発性メモリセルアレイから読み出され上記第2アクセス経路を伝送されたデータ、上記不揮発性メモリセルアレイに書き込むために外部の第1アクセス経路を伝送されたデータ、上記不揮発性メモリセルアレイに書き込むために外部の第2アクセス経路を伝送され第2 ECC処理が施された入力データのうちの少なくともいずれかのデータを保持する

上記(11)記載の不揮発性メモリ。

(13) ホスト装置とのホストインターフェースと、

ワード単位でアクセス可能な不揮発性メモリセルアレイとのメモリインターフェースと、

上記ホストインターフェースと上記メモリインターフェース間に接続され、固定レイテンシでアクセス可能な第1アクセスモード時に適用する第1アクセス経路と、

上記ホストインターフェースと上記メモリインターフェース間に接続され、可変レイテンシでアクセス可能な第2アクセスモード時に適用する第2アクセス経路と、

上記第2アクセス経路に配置され、上記第2アクセスモード時に、上記不揮発性メモリセルアレイから出力され上記メモリインターフェースを介して入力したデータに対して、誤り訂正符号(ECC)を適用した誤り検出処理および訂正処理を行い、上記ホストインターフェースを通して入力された書き込みデータに第2 ECCを付加して、上記メモリインターフェースに出力する第2 ECC処理部と、を少なくとも含み、

上記第1アクセス経路には、

上記第1アクセスモード時に、上記不揮発性メモリセルアレイから出力され第1 ECC処理が施され、上記メモリインターフェースを介して入力したデータ、および第1アクセスモード時に、上記ホストインターフェースを通して入力された書き込みデータが伝送される

メモリコントローラ。

(14) 上記第1アクセス経路に配置され、上記第1アクセスモード時に、上記不揮発性メモリセルアレイから出力され上記メモリインターフェースを介して入力したデータに対して、ECCを適用した誤り検出処理および訂正処理を行い、上記ホストインターフェースを通して入力された書き込みデータに第1 ECCを付加して、上記メモリインターフェースに出力する第1 ECC処理部を含む

上記(13)記載のメモリコントローラ。

(15) 上記ホストインターフェースと上記第2 ECC処理部との間の上記第2アクセス経路に接続された第2バッファを含む

上記(14)記載のメモリコントローラ。

(16) 上記ホストインターフェースと上記第1 ECC処理部との間の上記第1アクセス経路、並びに、上記メモリインターフェースと上記第2 ECC処理部との間の上記第2アクセス経路に接続された第1バッファと、

上記ホストインターフェースと上記第2 ECC処理部との間の上記第2アクセス経路に接続された第2バッファと、を含む

上記(14)のメモリコントローラ。

(17) ワード単位でアクセス可能で不揮発性メモリセルアレイにアクセスする際に、

固定レイテンシでアクセス可能な第1アクセスモードで第1アクセス経路を介してアクセスする第1アクセスステップと、

可変レイテンシでアクセス可能な第2アクセスモードにより第2アクセス経路を介して

10

20

30

40

50

アクセスする第 2 アクセスステップと、を含み

上記第 1 アクセスステップにおいては、

上記第 1 アクセス経路に配置され第 1 E C C 処理部で、上記第 1 アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、誤り訂正コード (E C C) を適用した誤り検出処理および訂正処理を行い、上記不揮発性メモリセルアレイへの書き込みデータに上記第 1 E C C 処理部で生成した第 1 E C C を付加し、

上記第 2 アクセスステップにおいては、

上記第 2 アクセス経路に配置され第 2 E C C 処理部で、上記第 2 アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、E C C を適用した誤り検出処理および訂正処理を行い、上記不揮発性メモリセルアレイへの書き込みデータに上記第 2 E C C 処理部で生成した第 2 E C C を付加する

10

不揮発性メモリのアクセス方法。

(18) ワード単位でアクセス可能で不揮発性メモリセルアレイにアクセスする際に、

固定レイテンシでアクセス可能な第 1 アクセスモードで第 1 アクセス経路を介してアクセスする第 1 アクセス処理と、

可変レイテンシでアクセス可能な第 2 アクセスモードにより第 2 アクセス経路を介してアクセスする第 2 アクセス処理と、を含み

上記第 1 アクセス処理においては、

上記第 1 アクセス経路に配置され第 1 E C C 処理部で、上記第 1 アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、誤り訂正コード (E C C) を適用した誤り検出処理および訂正処理を行い、上記不揮発性メモリセルアレイへの書き込みデータに上記第 1 E C C 処理部で生成した第 1 E C C を付加し、

20

上記第 2 アクセス処理においては、

上記第 2 アクセス経路に配置され第 2 E C C 処理部で、上記第 2 アクセスモード時に上記不揮発性メモリセルアレイから出力されたデータに対して、E C C を適用した誤り検出処理および訂正処理を行い、上記不揮発性メモリセルアレイへの書き込みデータに上記第 2 E C C 処理部で生成した第 2 E C C を付加する

不揮発性メモリのアクセス処理をコンピュータに実行させるプログラム。

【符号の説明】

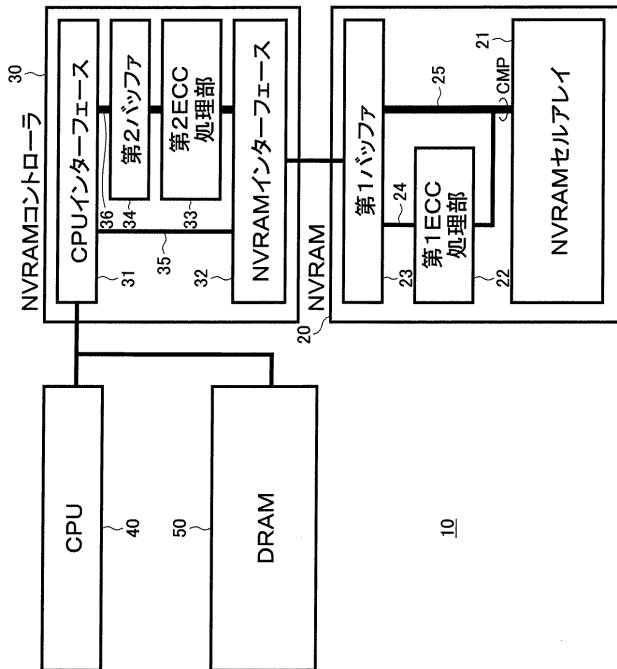
【0050】

30

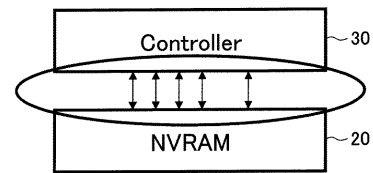
10, 10A~10C・・・不揮発性メモリ、20, 20A~20C・・・NVRAM (NVRAM) セルデバイス、21, 21-1~21-n・・・NVRAMセルアレイ、22, 22-1~22-n・・・第1ECC処理部、23, 23-1~23-n・・・第1バッファ、24, 24-1~24-n・・・第1アクセス経路、25, 25-1~25-n・・・第2アクセス経路、26・・・CPUインターフェース (ホストインターフェース)、27・・・第2ECC処理部、28・・・第2バッファ、30, 30C・・・NVRAMコントローラ (メモリコントローラ)、31・・・CPUインターフェース (ホストインターフェース)、32・・・NVRAMインターフェース (メモリインターフェース)、33・・・第2ECC処理部、34・・・第2バッファ、35・・・第1アクセス経路、36・・・第2アクセス経路、37・・・第1ECC処理部、38・・・第1バッファ。

40

【図 1】

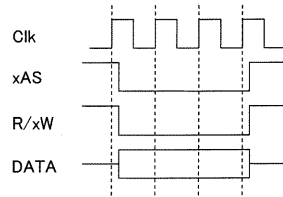


【図 2】

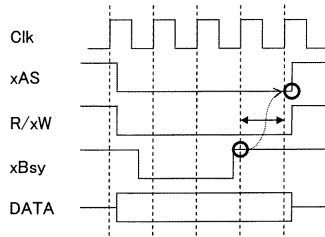


【図 3】

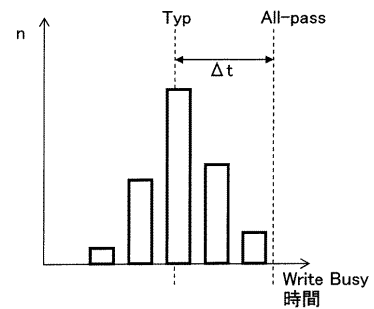
(A) 第1インターフェース(固定サイクル)



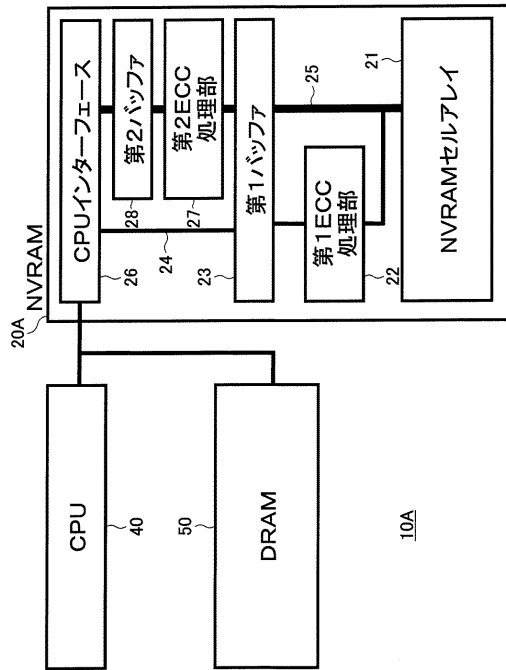
(B) 第2インターフェース(xBsyでハンドシェイク、可変サイクル)



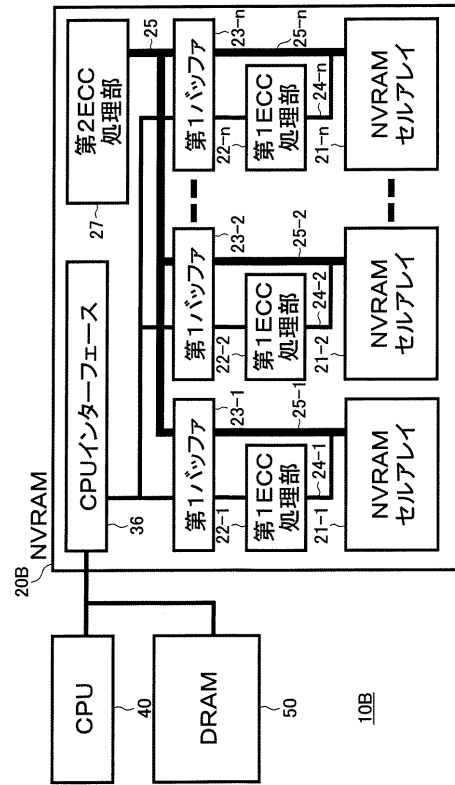
【図 4】



【 図 5 】



【図 6】



【图 7】

