

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> G11C 11/34	(11) 공개번호 (43) 공개일자	특 1997-0017618 1997년 04월 30일
(21) 출원번호	특 1996-0019903	
(22) 출원일자	1996년 06월 05일	
(30) 우선권주장	95-229175 1995년 09월 06일 일본(JP)	
(71) 출원인	미쓰비시 덴키 가부시키가이샤 기타오카 다카시 일본국 도쿄도 지요다구 마루노우치 2-2-3	
(72) 발명자	사카시와 나루미 일본국 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키 가부시키가이샤 내 아리모토 가즈타미 일본국 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시 덴키 가부시키가이샤 내	
(74) 대리인	이병호, 최달용	

심사청구 : 있음

(54) 반도체 메모리 장치

요약

DRAM은 반도체 기판(10) 및 단위 블럭(U1 내지 U4)을 포함한다. 각각의 단위 블럭은 주변 회로(11, 12, 13 또는 14) 및 주변 회로를 포위하도록 배치된 3개의 메모리 념력(B11 내지 B17, B18 내지 B21, B31 내지 B38 또는 B41 내지 B48)을 포함한다. 각각의 메모리 블럭은 다수의 워드 라인(17), 다수의 비트 라인(18, 19), 다수의 메모리 셀, 로 디코더(42) 및 칼럼 디코더(43)를 포함한다.

대표도

도 1

명세서

[발명의 명칭]

반도체 메모리 장치

[도면의 간단한 설명]

제1도는 본 발명의 제1의 실시예에 따른 DRAM의 레이아웃 도시도,

제2도는 제1도의 각 단위 블럭의 구조를 도시한 블럭도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체 기판(10)과; 상기 반도체 기판의 중심을 포위하도록 상기 반도체 기판상에 배치되며, 각각이 다수의 워드 라인(17), 상기 워드 라인과 교차하는 다수의 비트 라인(18, 19) 및, 상기 워드 라인과 상기 비트 라인의 교차점에 대응하는 다수의 메모리 셀(20)을 포함하는 다수의 메모리 칼럼(B1 내지 B64) 및; 상기 반도체 기판상에서 그 중심에 배치된 상기 다수의 메모리 블럭용 주변 회로(11 내지 14)를 포함하는 반도체 메모리 장치.

청구항 2

2로 및 2칼럼에 배치된 4개의 단위 블럭을 포함하며 상기 각각의 단위 블럭이 제2의 칼럼의 제2의 로를 제외하곤, 다수의 워드 라인(17), 상기 워드 라인과 교차하는 다수의 비트 라인(18, 19) 및, 상기 워드 라인과 상기 비트 라인에 대응하는 다수의 메모리 셀(20)을 각각 포함하는 3로 및 3칼럼에 배치된 8개의 메모리 블럭(B11 내지 B18, B21 내지 B28, B31 내지 B38) 및; 상기 제2의 칼럼의 상기 제2의 로에 배치된

상기 8개의 메모리 블록용 주변 회로(11 내지 14)를 포함하는 반도체 메모리 장치.

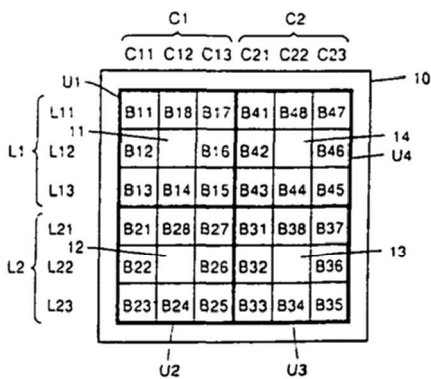
**청구항 3**

반도체 기판(10)과; 상기 반도체 기판의 중심을 포위하도록 상기 반도체 기판상에 배치되며, 각각이 장 방향을 구비하고, 다수의 워드 라인(17), 상기 워드 라인과 교차하는 다수의 비트 라인(18, 19), 상기 워드 라인과 상기 비트라인의 교차점에 대응하는 다수의 메모리 셀(20)을 포함하는 제1 내지 제4의 메모리 블록(B1 내지 B4) 및; 상기 반도체 기판상에서 중심에 배치된 상기 제1 내지 제4의 메모리 블록용 주변 회로(11)를 포함하는데, 상기 제1의 메모리 블록의 한 단축이 상기 제4의 메모리 블록의 한 단축에 인접하고 상기 제1의 메모리 블록의 한 단축이 상기 제4의 메모리 블록의 한 단축의 연장상에 배치되도록 상기 제1의 메모리 블록이 배치되며; 상기 제2의 메모리 블록의 한 단축이 상기 제1의 메모리 블록의 또다른 단축에 인접하고 상기 제2의 메모리 블록의 한 단축이 상기 제1의 메모리 블록의 또다른 단축의 연장상에 배치되도록 상기 제2의 메모리 블록이 배치되며; 상기 제3의 메모리 블록의 한 단축이 상기 제2의 메모리 블록의 또다른 단축에 인접하고, 상기 제3의 메모리 블록의 한 단축이 상기 제2의 메모리 블록의 또다른 단축의 연장상에 배치되도록 상기 제3의 메모리 블록이 배치되고; 상기 제4의 메모리 블록의 또다른 단축이 상기 제3의 메모리 블록의 또다른 단축에 인접하고 상기 제4의 메모리 블록의 또다른 단축이 상기 제3의 메모리 블록의 또다른 단축의 연장상에 배치되도록 상기 제4의 메모리 블록이 배치되는 반도체 메모리 장치.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

**도면**

**도면1**



**도면2**

