(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102725708 B
(45)授权公告日 2015.05.20

(21)申请号 201080056178.8
(22)申请日 2010.12.10
(30)优先权数据
12/635,942 2009.12.11 US
(85)PCT国际申请进入国家阶段日
2012.06.11
(86)PCT国际申请的申请数据
PCT/GB2010/002251 2010.12.10
(87)PCT国际申请的公布数据
WO2011/070328 EN 2011.06.16
(73)专利权人 ATI科技无限责任公司
地址 加拿大安大略省
(72)发明人 凯温·D·塞诺赫拉贝克
纳塔莱·巴尔别罗
戈登·F·卡鲁克
(74)专利代理机构 上海胜康律师事务所 31263
代理人 李献忠
(51)Int.Cl.
G06F 1/10(2006.01)
G06F 13/40(2006.01)
G06F 1/06(2006.01)
(56)对比文件
CN 1766781 A,2006.05.03,
US 2006288249 A1,2006.12.21, 全文.
CN 101482762 A,2009.07.15,
CN 101556571 A,2009.10.14,
审查员 周瑞瑞

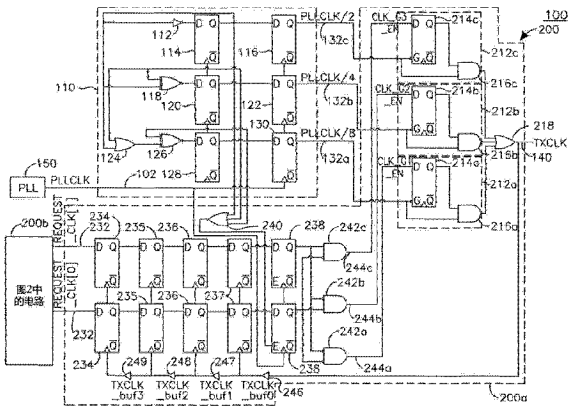
权利要求书2页 说明书7页 附图4页

(54)发明名称

用于切换运行在不同时钟频率下的多个链路的时钟频率的装置和用于切换时钟频率的方法

(57)摘要

本发明公开了用于切换运行在不同时钟频率下的多个链路的时钟频率的装置和用于切换时钟频率的方法。分频器从源时钟信号产生多个不同频率的时钟信号。时钟切换控制器从多个链路的端口所请求的数据速率中选择最大的数据速率并以所选定的最大数据速率将传送时钟信号与每一个端口的时钟使能信号一起被输出。每一个时钟使能信号选择性地使能传送时钟信号以用于匹配由每一个端口所请求的数据速率。根据端口的请求在已知时间内不中断到其他端口的数据传输无干扰地选定并更新时钟频率。



CN 102725708 B

1. 一种用于切换运行在不同时钟频率下的多链路的时钟频率的装置，该装置包括：

用于从源时钟信号生成多个不同频率的时钟信号的分频器；

用于在多个链路的端口所请求的多个数据速率中选择最大数据速率并且以所选择的所述最大数据速率将传送时钟信号连同用于所述多个端口中的每一个的时钟使能信号一同输出到所述端口的时钟切换控制器，所述时钟使能信号中的每一个选择性地使能所述传送时钟信号来匹配由所述多个端口中的每一个所请求的数据速率。

2. 如权利要求 1 所述的装置，其中所述时钟切换控制器包括：

用于计数所述传送时钟信号的时钟周期的计数器，使得在已经改变所述最大数据速率后切换所述传送时钟信号预定数量的时钟周期。

3. 如权利要求 1 所述的装置，其中所述时钟切换控制器包括：

存储器，其用于存储当前时钟信号，请求时钟信号，以及所述当前时钟信号的相位的信息，以便以所述传送时钟信号的预定相位切换所述传送时钟信号。

4. 如权利要求 1 所述的装置，其中所述时钟切换控制器包括：

用于门控在不同频率处生成的所述多个时钟信号的时钟门控单元，由此仅输出一个时钟信号作为与控制信号对应的所述传送时钟信号，其中所述控制信号基于请求时钟信号产生，以指示将生成的所述传送时钟信号的频率。

5. 如权利要求 1 所述的装置，其中该装置是高速外围组件互联 (PCIe) 兼容装置。

6. 如权利要求 1 所述的装置，其中该装置是超级传送兼容装置。

7. 如权利要求 1 所述的装置，其中所述分频器用于生成 250 兆赫兹 (MHz)，500MHz，和 1 千兆赫兹 (GHz) 的信号。

8. 如权利要求 1 所述的装置，其中所述源时钟信号是锁相环路时钟信号。

9. 一种用于切换运行不同时钟频率下的多链路的时钟信号的方法，该方法包括：

从源时钟信号生成多个不同频率的时钟信号；

在由多个链路端口请求的数据速率中确定最大数据速率；

为所述多个端口中的每一个提供所选定的所述最大数据速率的传送时钟信号；以及

为所述多个端口的每一个提供时钟使能信号，该时钟使能信号选择性地使能所述传送时钟信号以匹配由所述多个端口的每一个所请求的数据速率。

10. 如权利要求 9 所述的方法，进一步包括：

自所述最大数据速率已经改变起，计数所述传送时钟信号的时钟周期，使得所述最大数据速率已经改变之后切换所述传送时钟信号预定数量的时钟周期。

11. 如权利要求 9 所述的方法，其中所述传送时钟信号在所述传送时钟信号的预定相位处被切换。

12. 如权利要求 9 所述的方法，进一步包括：

门控所述多个时钟信号，以便输出一个时钟信号作为对应控制信号的所述传送时钟信号，其中所述控制信号基于请求时钟信号而生成以指示将生成的所述传送时钟信号的频率。

13. 如权利要求 9 所述的方法，其中所述时钟信号是 250 兆赫兹 (MHz)，500MHz，以及 1 千兆赫兹 (1GHz) 信号。

14. 如权利要求 9 所述的方法，其中所述源时钟信号是锁相环路时钟信号。

15. 一种用于切换运行在不同时钟频率下的多链路的时钟信号的系统，该系统包括：

生成装置，用于从源时钟信号生成多个不同频率的时钟信号；

确定装置，用于在由多个链路端口请求的数据速率中确定最大数据速率；

第一提供装置，用于以所选定的所述最大数据速率为所述多个端口的每一个提供传送时钟信号；以及

第二提供装置，用于为所述多个端口的每一个提供时钟使能信号，该时钟使能信号选择性地使能所述传送时钟信号以匹配由所述多个端口的每一个所请求的数据速率。

16. 如权利要求 15 所述的系统，该系统进一步包括：

计数装置，其用于自所述最大数据速率已经改变起，计数所述传送时钟信号的时钟周期，以便在所述最大数据速率已经改变之后切换所述传送时钟信号预定数量的时钟周期。

17. 如权利要求 15 所述的系统，该系统进一步包括，

门控装置，其用于门控所述多个时钟信号，以便输出一个时钟信号以作为对应控制信号的所述传送时钟信号，其中基于请求时钟信号生成控制信号以指示将生成的所述传送时钟信号的频率。

18. 如权利要求 15 所述的系统，其中所述源时钟信号是锁相环路时钟信号。

用于切换运行在不同时钟频率下的多个链路的时钟频率的装置和用于切换时钟频率的方法

[0001] 相关申请的交叉引用

[0002] 本申请要求的美国的非临时申请序列号为12/635,942,申请日为2009年12月11日的权利,将该申请的内容在此处全部引用以供参考。

技术领域

[0003] 本申请涉及计算机总线和互联协议,诸如高速外部组件互连协议(PCIe:Peripheral Component Interconnect Express),超级传递协议(HyperTransport),或者类似的协议。

背景技术

[0004] 在计算机系统中,提供多种总线用于将主机处理器和其他设备进行互连并且在其中传送数据。例如,已开发的取代旧版本的外部组件互连(PCI:Peripheral Component Interconnect)和PCI-X标准的高速外部组件互连(PCIe:Peripheral Component Interconnect Express)。PCIe被用在客户端、服务器以及工业应用中以作为主板(motherboard)级的互连来链接装配在主板上的外设以及作为附加主板的扩展卡接口。

[0005] PCIe和早期的PCI或PCI-X总线之间的区别是基于点到点串行链路的拓扑结构,而不是共享的并行总线结构。可以认为PCIe是取代旧的并行PCI和PCI-X总线的高速串行协议。在软件级上,PCIe则维持与PCI的兼容,这样的话,可在与PCIe的新特征没有直接的关系的遗留应用(legacy application)和操作系统中配置以及使用PCIe装置。

[0006] 在PCIe1.0或1.1版本中,每条通道支持的数据速率为250MB/s。而在2007年发布的PCIe2.0版本中,加入了第二代信号模式,将信号的传输速率翻倍为500MB/s。而在目前开发的PCIe3.0中,将加入第三代信号模式从而使速率达到1GB/s。

[0007] PCIe2.0和3.0也维持与早期版本的PCIe(例如,PCIe 1.x)的兼容性。由于市场中依然使用与PCIe 1.x兼容的装置,因此与PCIe 2.0或3.0兼容的装置则需要与PCIe 1.x兼容的装置相连。PCIe 2.0或3.0装置需要切换由一个端口所请求的时钟频率(clock speed)并且在一段时间内不中断在任意其他端口上的数据传输的情况下无干扰(glitch-free)的更新该时钟频率。

发明内容

[0008] 用于切换运行在不同时钟频率下的多链路的时钟频率的装置,包括分频器和时钟切换控制器。该分频器用于从源时钟信号生成多个不同频率的时钟信号。该时钟切换控制器用于在由多个链路端口请求的多个数据速率中选择一个最大的数据速率,并在选定的最大数据速率处将传送时钟信号与每个端口的时钟使能信号一起输出到端口,每个端口的时钟使能信号选择性地使能传输时钟信号来匹配由多个端口中的每一个所请求的数据速率。

[0009] 用于切换运行在不同时钟频率下的多链路的时钟频率的方法,包括从一个源时钟

信号生成多个不同频率的时钟信号。在由多个链路端口所请求的多个数据速率中确定一个最大的数据速率。在选定的最大速率处提供到多个端口中的每一个的传送时钟信号。提供时钟使能信号到多个端口中的每一个来选择性地使能传送时钟信号以匹配由多个端口的每一个所请求的数据速率。

[0010] 一种存储由通用计算机执行的切换运行在不同时钟频率下的多链路的时钟信号的指令组的计算机可读存储介质。该指令组包括用于从一个源时钟信号生成多个不同频率的时钟信号的生成代码部分(segment);用于在由多个链路端口请求的数据速率中确定最大数据速率的确定代码部分(segment);用于为多个端口的每一个提供最大数据速率的时钟信号的第一提供代码部分(segment);以及用于为多个端口的每一个提供时钟使能信号的第二提供代码部分(segment),该时钟使能信号选择性地使能传输时钟信号以匹配由多个端口的每一个所请求的数据速率。该指令组可以是用于构建装置的硬件描述语言(HDL:hardware description language)指令。

附图说明

[0011] 结合说明书中的实施例和附图,从下述说明书中可以得到更详细的描述,其中,

[0012] 图 1 显示了分频器和时钟切换控制器的第一部分 ;

[0013] 图 2 显示了时钟切换控制器的第二部分 ;

[0014] 图 3 显示了时钟使能信号生成器 ;

[0015] 图 4 显示了时钟生成器的时钟切换时序 ;以及

[0016] 图 5 显示了端口 A-C 的使能信号的示例性时序图。

具体实施方式

[0017] 本申请描述的实施例允许装置选择由多个端口中的一个所请求的多个时钟频率中的一个,并且使得时钟频率无干扰的(glitch-free)更新,即在已知的时间内不中断其他端口上的数据传输。本实施例为多频率下运行多链路的装置提供了时钟切换的方案。本实施例可用在符合任何计算机总线和互连协议的支持多时钟频率的任意装置上。例如,本实施例可应用在任何支持 PCIe 2.0 或 3.0,或未来将开发出来的任何版本的任意 PCIe 兼容设备上。随后,本实施例将参照 PCIe 协议来解释。然而,应该注意的是,本实施例适用于任何计算机总线和互连协议,包括但不限于高速外部组件互连协议(PCIe :Peripheral Component Interconnect Express),超级传递协议(HyperTransport),等等。

[0018] 图 1-3 显示了根据一个实施例在不同频率中用于生成三个时钟信号和改变时钟频率的示例性的时钟生成器。时钟生成器 100 包括分频器 110 和时钟切换控制器 200。图 1 显示了分频器 110 和时钟切换控制的第一部分 200a。图 2 显示了时钟切换控制器的第二部分 200b。图 3 显示了作为时钟切换控制器 200 的一部分的时钟使能信号产生器 300。图 4 显示了时钟生成器 100 的时钟切换时序图(timing)。应该注意的是,图 1-3 中所示的时钟生成器只是一个示例,并不是一个限定,任何用于频率分解和时钟信号切换的配置都可用来实现时钟生成器。此外,时钟生成器可生成不同的两个或多于三个频率信号并根据需要在这些信号中切换。

[0019] 参考图 1,时钟生成器 100 从锁相环路 150 (PLL:phase locked loop)接收锁相

环路时钟信号 102（PLLCLK :phase locked loop clock）。在这个实施例中，PLL 时钟信号 102 的频率是 2GHz 并且利用分频器 110 将该 PLL 时钟信号 102 除以 2,4,8 以分别对应于 PCIe 的第三、第二、第一代的处理(图 4 中线 1-4 显示了该 PLL 时钟信号和三个时钟信号)。应该注意的是，PLL 时钟信号 102 可以是任何频率并且可以根据系统的要求被分解为任意频率信号。尽管本实施例使用了 PLL 时钟信号，本领域技术人员应该知道也可以使用其他源时钟信号。

[0020] 图 1 中的示例性分频器 110 包括倒相器 112，专用或非(NOR)门 118,126，或(OR)门 124 和 D 触发器(D flip-flops) 114,116,120,122,128,130。D 触发器 114,116,120,122,128,130 由 PLL 时钟信号同步。D 触发器 114 的输出进入到 D 触发器 116 中并且经过反相器 112 后也反馈回 D 触发器 114。D 触发器 114 的输出使每一个 PLL 时钟周期被反相，因此，D 触发器 116 在 PLL 时钟信号的半频处输出 PCIe 第三代时钟信号 132c（即，生成 PCIe 第三代时钟信号)。

[0021] D 触发器 120 的输出进入到 D 触发器 122 中并且也通过专用或非逻辑门 118 后反馈回 D 触发器 120 中。D 触发器 114 的输出进入到专用或非逻辑门 118 的另一个输入中。D 触发器 122 在 PLL 时钟信号的四分之一频率处输出 PCIe 第二代时钟信号 132b。

[0022] D 触发器 128 的输出进入到 D 触发器 130 中并且也通过专用或非逻辑门 126 后反馈回 D 触发器 128 中。在进入专用或非 126 之前，D 触发器 114 和 D 触发器 120 的输出被或门 124 进行选通(gated)。D 触发器 130 在 PLL 时钟信号 102 的八分之一频率处输出 PCIe 第一代时钟信号 132a。

[0023] 时钟门控(clock-gating) 单元 212a,212b,212c 截止上面生成的时钟信号 132a,132b,132c 中的两个信号并且根据控制信号 244a,244b,244c(clk_g1_en,clk_g2_en,clk_g3_en) 上述时钟信号 132a,132b,132c 中仅有一个可被输出以作为提供给链路的传送时钟信号(TXCLK :tranmit clock signal)。TXCLK 信号在图 4 中由线 17 表示。控制信号 244a,244b,244c 在图 4 中由线 14-16 表示。时钟门控单元 212a,212b,212c 中的每一个分别包括门控 D 锁存器 214a,214b,214c 和与逻辑门 216a,216b,216c。控制信号 244a,244b,244c(clk_g1_en,clk_g2_en,clk_g3_en)中的每一个分别进入到门控 D 锁存器 214a,214b,214c 中的 D 输入并且时钟信号 132a,132b,132c 中的每一个分别通过反相器输入到门控 D 锁存器 214a,214b,214C 的 G 输入。时钟信号 132a,132b,132c 中的每一个经由门控 D 锁存器 214a,214b,214c 分别进入到与逻辑门 216a,216b,216c 中。与逻辑门 216a,216b,216c 的输出进入到或门 218 中。当选定 clk_g1_en 信号 244a 时，则输出第一代时钟信号 132a ;当选定 clk_g2_en 信号 244b 时，则输出第二代时钟信号 132b ;当选定 clk_g3_en 信号 244c 时，则第三代时钟信号 132c 被输出，分别通过或门 218 实现上述输出。

[0024] 基于 request_clk 信号 232 生成了控制信号 244a,244b,244c。参照图 2 将详细描述 request_clk 信号 232 的生成。request_clk 信号 232 信号是指示生成时钟信号的信号。request_clk 信号 232 可以是两位信号用来指示本实施例中的三个时钟频率中的一个(例如，“00”表示第一代时钟信号，“01”表示第二代时钟信号，“10”表示第三代时钟信号)。

[0025] 生成的 request_clk 信号 232（来自图 2 中的电路的输出信号）在进入到 D 触发器 238 之前可通过连续的 4 个 D 触发器 234,235,236,237 来进行门限控制。被连续的 4 个延时缓冲器 246,247,248,249 所延迟的传送时钟信号 140（TXCLK）为 D 触发器 234,235,

236,237 提供时钟。由 4 个延时缓冲器 246,247,248,249 延迟的 TXCLK 信号在图 4 中由线 21-24 表示。每一个延时缓冲器 246,247,248,249 可延迟时钟信号 140 一定的延迟时间(例如,1GHz 每个延迟缓冲器最多延迟 1 纳秒)。这是为了确保 TXCLK 信号嵌入延迟与内核逻辑的匹配,以及在时钟生成逻辑处将时钟延迟步进(step)返回以匹配上述嵌入的延迟。

[0026] PLL 时钟信号 102 为 D 触发器 238 提供时钟信号并且来自或非门 240 控制的 D 触发器 114,120,128 的三个输出信号分别进入到 D 触发器 238 的使能输入中,这样的话,只有在 D 触发器 114,120,128 的所有输出都低的时候,才传送由连续的 D 触发器 234-237 延迟的 request_clk 信号 232(并且改变 TX 时钟信号的频率)。经由 D 触发器 238 输出的 request_clk 信号 232 基于 request_clk 信号 232 驱动三个与逻辑门 242a,242b,242c 的一个为高另外两个为低,并且与逻辑门 242a,242b,242c 的输出分别成为时钟门控单元 212a,212b,212c 的控制信号 244a,244b,244c。

[0027] 参考图 2,详细描述了 request_clk 信号 232 的生成。可要求 PCIe 设备支持多于一个链路,并且每一个链路需要不同的时钟频率。由选择器 252 在多个链路所请求的时钟频率中(clk_sel_A,clk_sel_B,...,clk_sel_N)选择最大的时钟频率。在本实施例中,clk_sel[1:0] 信号 254 是一个两位信号以指示选定的最大时钟频率(在本实施例中用两位来指示从三个时钟频率中选择一个是足够的)。通过 D 触发器 256 输出的所选定的时钟频率信号(clk_sel[1:0])254 作为 request_clk 信号 232。该 clk_sel[1:0] 信号以及 request_clk 信号 232 在图 4 中用线 5 和 6 表示。

[0028] TXCLK 信号为 D 触发器 256 提供时钟并且基于计数信号 263 (D 触发器 262 的输出)来使能或无效该 D 触发器 256,计数信号 263 是由 current_clk 信号 274 (D 触发器 272 的输出)与 request_clk 信号 232 (D 触发器 256 的输出),以及相位信号 286 (D 触发器 284 的输出) 进行比较得到的。D 触发器 272 存储指示目前被选定的时钟频率的 current_clk 信号 274 (例如,“00”表示第一代时钟信号,“01”指示第二代时钟信号,“10”指示第三代时钟信号)。当 TXCLK 信号变换时,该 request_clk 信号 232 则成为 current_clk 信号 274。

[0029] 比较器 264 确定该 request_clk 信号 232 是否与 current_clk 信号 274 不同并且该比较器 264 的输出进入到 D 触发器 262 的使能输入。只有当 request_clk 信号 232 与 current_clk 信号 274 不同时,D 触发器 262 才被使能(即,该 request_clk 信号已经被改变)。在 request_clk 信号 232 和 current_clk 信号 274 变得不同之后,在指向 D 触发器 262 的 D 输入的反馈回路中的 D 触发器 262 和一个 +1 加法器 266 作为两位计数器来计数 TXCLK 周期的数量。计数信号 263 在图 4 中显示为线 12。

[0030] 当计数信号变为“11”时比较器 268 输出高位。比较器 268 的输出进入到 D 触发器 272 的使能输入端。因此,在本实施例中在 request_clk 信号 232 已经被改变了 4 个 TXCLK 周期之后,该 request_clk 信号 232 变成 current_clk 信号 274,如图 4 中所示的线 6-10。选择 4 个 TXCLK 周期是因为最快时钟信号(1GHz)与最慢时钟信号(250MHz)的比率是 4 并且根据系统所请求的时钟频率,不同的 TXCLK 周期是必须的。比较器 276 将 current_clk 信号 274 与 request_clk 信号 232 进行比较并输出到与逻辑门 292 处。

[0031] current_clk 信号 274 驱动第一和第二复用器 282,290。如果 current_clk 信号 274 是“00”,则第一复用器 282 输出“00”,并且如果 current_clk 信号 274 是“01”,则相位信号加 2,如果 current_clk 信号 274 是“10”,则相位信号加 1。复用器 282 的输出进入到

D 触发器 284 的 D 输入端，该触发器的两位输出是相位信号 286（图 4 中线 11）。在本实施例中相位信号 286 是两位信号。如果相位信号 286 是“00”的话，则比较器 288a 输出高位，否则其输出低位。如果相位信号 286 是“01”的话，则比较器 288b 输出高位，否则其输出低位。如果相位信号是“10”的话，则比较器 288c 输出高位，否则其输出低位。根据 current_clk 信号 274 第二复用器 290 输出比较器 288a，288b，288c 三个输出中的一个。来自比较器 276 和第二复用器 290 的输出由与逻辑门 292 进行门限控制，该与逻辑门的输出则使能或无效 D 触发器 256。

[0032] 包括计数信号 263 和相位信号 286 的生成以及 current_clk 信号 274 和 request_clk 信号 232 的比较的时钟切换控制器的逻辑确保了只在一个特定相位上发生时钟信号(TXCLK)的无干扰(glitch-free)的切换，并且在已知的时间内在不中断任何其他端口上的数据传输。

[0033] 参考图 3，详细描述了时钟使能信号的生成。期望源时钟运行在由 PCIe IP 支持的最高数据速率下(例如，PCIe 3.0 支持的 1GHz)。时钟生成器 100 生成 1GHz，500MHz，和 250MHz 时钟信号并且向所有的 PCIe 链路提供上述生成的时钟信号中的一个。时钟切换控制器 200 确定由 PCIe IP 内核中的活动链路所请求的最快时钟频率，并且将该最快时钟信号提供给所有 PCIe 链路。由于提供相同的时钟信号给所有的 PCIe 链路，因此该时钟切换控制器 200 也为请求较慢时钟信号的每一个链路生成时钟使能信号。例如，如果由链路请求的最快时钟频率是 1GHz 的话，那么时钟切换控制器 200 将生成并提供 1GHz 的时钟信号到所有的链路。时钟切换控制器 200 也为每一个链路提供时钟使能信号，这样的话该 1GHz 信号对请求 500MHz 时钟频率的链路每隔一个时钟周期使能一次，并且该时钟使能信号仅对请求 250MHz 的链路每四个时钟周期使能一次。时钟使能信号在图 4 中显示为线 18-20。每一个链路选择三个时钟使能信号中的一个信号。

[0034] 图 3 显示了链路 A 的示例性时钟使能信号生成电路 300。支持多链路的时钟切换控制器 200 包括多套图 3 中所示的电路 300。

[0035] 由链路 A 请求的时钟频率为 clk_sel_A，其为两位信号并根据所请求的时钟频率(例如，“00”表示第一代时钟信号，“01”表示第二代时钟信号，“10”表示第三代时钟信号)驱动复用器 310 输出三个输入(使能信号 309a，309b，309c)中的一个。

[0036] 基于 current_clk 信号 274，request_clk 信号 232，计数信号 263，相位信号 286 而生成三个使能信号 309a，309b，309c(clk_en[0]，clk_en[1]，clk_en[2])。根据计数信号 263（即，如果计数信号为“11”，则为 request_clk 信号，否则的话则为 current_clk 信号)，current_clk 信号 274 或者 request clk 信号 232 中的一个会进入到三个比较器 322，332，342 中。比较器 302 将计数信号 263 进行比较，该比较器的输出则控制复用器 304。

[0037] 如果 current_clk 信号 274 或者 request_clk 信号 232 是“00”的话，则根据 current_clk 信号 274，第一个分支 320 生成一个常开模式(always-on)信号，50% 占空比(duty cycle)信号，或者 25% 占空比信号。如果 current_clk 信号 274 或者 request_clk 信号 232 是“00”的话，则比较器 322 的输出(以及因此或门 324 的输出)总是为高位，因此则生成常开模式信号并通过 D 触发器 308 提供给复用器 310。比较器 325a 和 325c 将 current_clk 信号 274 分别与“01”和“10”进行比较，比较器 325b 和 325d 将 request_clk 信号 286 分别与“00”和“10”进行比较。如果 current_clk 信号 274 是“01”，则比较器 322 的输出和

与逻辑门 328 的输出为低，但是由于相位值为“00”，因此与逻辑门 326 被开启。当 current_clk 信号是“01”时，由于相位信号 286 在“00”和“01”之间变换，因此与逻辑门 326 的输出（以及相应地或门 324 的输出）有 50% 的时间被开启。如果 current_clk 信号 274 是“10”的话，则比较器 322 和与逻辑门 326 的输出为低位，但是由于相位信号是“00”，因此与逻辑门 328 被开启。当 current_clk 信号是“10”时，由于相位信号 286 在“00”，“01”，“10”，和“11”之间变换，因此，与逻辑门 328 的输出（以及相应的或门 324 的输出）有 25% 的时间是开启的。例如，如果 current_clk 信号是“10”（其意味着 TXCLK 信号是 1GHz），并且由链路 A 请求的时钟频率是 250MHz 时（即，clk_sel_A 是“00”），则复用器 310 输出第一分支信号，该第一分支信号为来自与逻辑门 328 输出的 25% 占空比信号，1GHz 的 TXCLK 信号仅有 25% 的时间是有效的能够为来自通用 1GHz TXCLK 的链路产生 250MHz 的时钟信号。如果 current_clk 信号是“01”时（其意味着 TXCLK 信号是 500MHz），为链路 A 请求的时钟频率是 250MHz（即，clk_sel_A 是“00”），复用器 310 输出第一分支信号，该第一分支信号为从与逻辑门 326 输出的 50% 占空比信号。

[0038] 如果 current_clk 信号 274 或者 request_clk 信号是 232 是“01”的话，则第二分支 303 或者生成常开模式信号或者生成 50% 占空比信号。如果 current_clk 信号 274 或者 request_clk 信号 232 是“01”的话，则比较器 332 的输出（以及相应地或逻辑门 334 的输出）为常高信号，因此则生成一个常开模式信号并且通过 D 触发器 308b 提供给复用器 310。比较器 335a 将 current_clk 信号与“10”进行比较，并且比较器 335b 将相位信号的第一位与“0”进行比较。如果 current_clk 信号 274 是“10”，比较器 332 的输出为低位，但是由于相位信号 286 的第一位为“0”，因此开启与逻辑门 336，其生成 50% 占空比信号。

[0039] 如果 current_clk 信号 274 或者 request_clk 信号是 232 是“10”的话，则第三个分支 340（即，比较器 342）生成常开模式信号，其通过 D 触发器来门控复用器 310。

[0040] 图 5 显示了端口 A-C 的使能信号的示例性时序图。首先，由端口 A-C 请求的数据速率都是 250MHz（即，每秒钟 2.5 千兆（GT/s））。因此，生成在 250MHz 的 TXCLK 信号并且端口 A-C 的使能信号为常开模式信号。当由链路 B 请求的数据速率增加到 500MHz 时（即，传输速率增加到 5GT/s），则将 TXCLK 信号切换为 500MHz 信号并且提供给所有链路 A-C。由于链路 A 和 C 的数据速率保持为 250MHz，因此提供 50% 占空比的时钟使能信号给链路 A 和 C。然后，链路 C 请求的数据速率增加到 1GHz。将 TXCLK 信号切换为 1GHz 信号并且提供给所有链路 A-C。由于链路 A 和 B 的数据速率分别保持在 250MHz 和 500MHz，因此链路 A 和 B 的时钟使能信号分别变为 25% 和 50% 的占空比信号。然后，由链路 C 请求的数据速率降为 250MHz。将 TXCLK 信号切换回 500MHz 信号并且提供给所有链路 A-C。链路 A-C 的时钟使能信号分别变为 50% 占空比信号，常开模式信号和 50% 占空比信号。然后，由端口 B 请求的数据速率降为 250MHz 并且将 TXCLK 信号切换为 250MHz。然后端口 C 的数据速率增加到 1GHz 并且将 TXCLK 切换为 1GHz。由于端口 A 和 B 的数据速率为 250MHz，因此端口 A 和 B 的时钟使能信号变为 25% 占空比信号。然后，端口 C 的数据速率降为 250MHz 并且将 TXCLK 切换为 250MHz，并且端口 A-C 的时钟使能信号变为常开模式信号。

[0041] 以上描述的符合本实施例的时钟切换具有节省空间和能量的优点，这样的话，在每一个 PCIe IP 内核中可以只使用一个 PLL 电路而不是在 PCIe IP 中的每一个 PCIe 链路中使用一个 PLL 电路。可使用一个 PCIe IP 内核来运行以不同速率运行的链路，以取代每

一个链路都必须启动一个PCIe IP。由于时钟切换电路无干扰的改变时钟频率的事实，本实施例使得未改变速率的链路运行不被中断。此外，按照本发明，可以保证在4个时钟周期内时钟切换来提供更新的时钟频率。

[0042] 目前，绝大多数电子电路是通过使用软件来设计和制造的(例如，硬件描述语言(HDL:hardware description language))。HDL是描述电子电路的结构、操作、和/或行为的计算机语言。时钟生成器100(即，电子电路)可使用软件(例如:HDL)来设计和制造。HDL可以是当下使用的传统HDL或者将来发展的HDL中的任意一种。HDL的指令组被生成来描述时钟生成器100的结构，操作，和/或行为。该指令组可存储在任何计算机可读存储介质中。

[0043] 尽管上面以特定的结合方式描述了特征和元素，实际上每一个特征或元素均可单独使用而不需要其他特征或元素或在具有或不具有其他特征和元素的各种组合中使用。本申请中的方法或流程图可通过计算机程序，软件或集成在计算机可读存储介质中的固件通过通用计算机或处理器来实现。计算机可读存储介质的例子包括只读存储器(ROM)，随机访问存储器(RAM)，寄存器，高速缓存，半导体存储器装置，诸如内置硬盘和可移动硬盘等磁介质，磁光介质，以及诸如CD-ROM盘和数字多功能磁盘(DVD)等光介质。

[0044] 本申请中合适的处理器包括例如通用目的处理器，特殊目的处理，传统处理器，数字信号处理器(DSP)，多个微处理器，与DSP内核相连的一个或多个微处理器，控制器，微控制器，特定用途集成电路(ASIC:Application Specific Integrated Circuit)，现场可编程门阵列电路(FPGA:fieldProgrammable Gate Arrays)，任何其他类型的集成电路(IC)，和/或状态机。

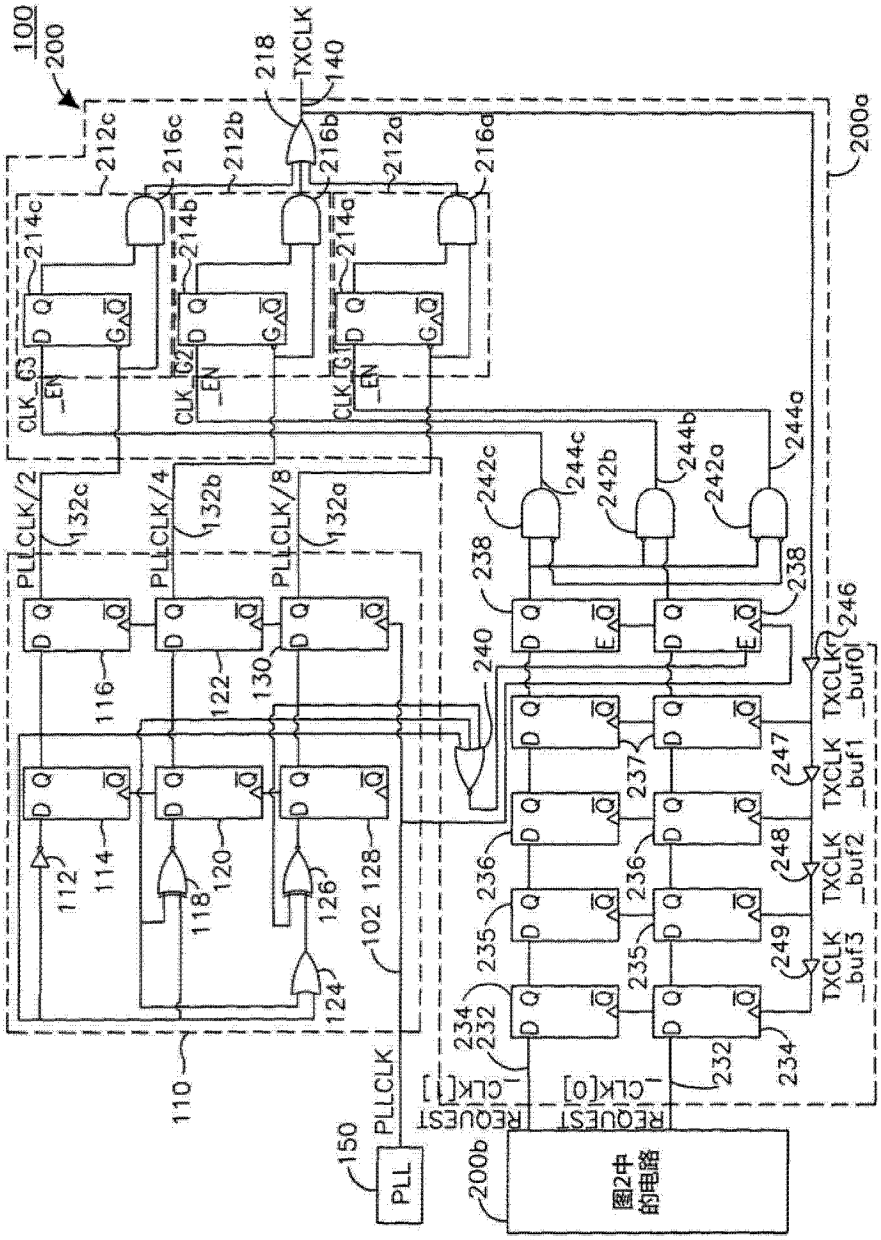

100
200
218
TXCLK
140
212c
216c
212b
216b
212a
216d
200a
214c
214b
214a
CLK_G3_EN
CLK_G2_EN
CLK_G1_EN
244a
244b
244c
242a
242b
242c
PLLCLK/2
PLLCLK/4
PLLCLK/8
132c
132b
132a
238
246
240
116
122
130
112
114
118
120
126
128
102
124
237
247
236
248
235
249
234
232
110
PLLCLK
150
PLL
REQUEST
CLK[1]
CLK[0]
200b
图2中的电路
TXCLK_buf0
TXCLK_buf1
TXCLK_buf2
TXCLK_buf3

图 1

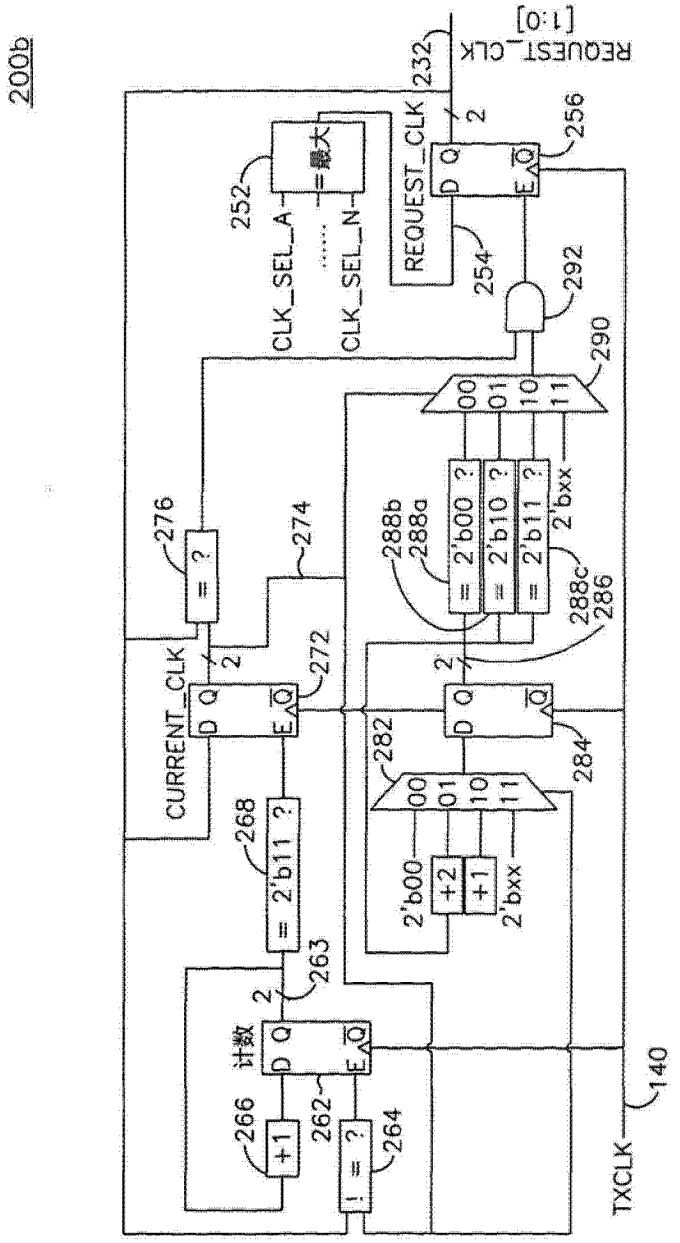

200b
REQUEST_CLK
[1:0]
232
2
REQUEST_CLK
256
D Q
E Q̄
254
292
290
00
01
10
11
2'bxx
2'b00 ?
2'b10 ?
2'b11 ?
288b
288a
288c
286
2
284
282
00
01
10
11
2'b00
+2
+1
2'bxx
252
CLK_SEL_A
CLK_SEL_N
=最大
276
= ?
274
CURRENT_CLK
272
268
= 2'b11 ?
263
计数
262
266
+1
264
! = ?
140
TXCLK

图 2

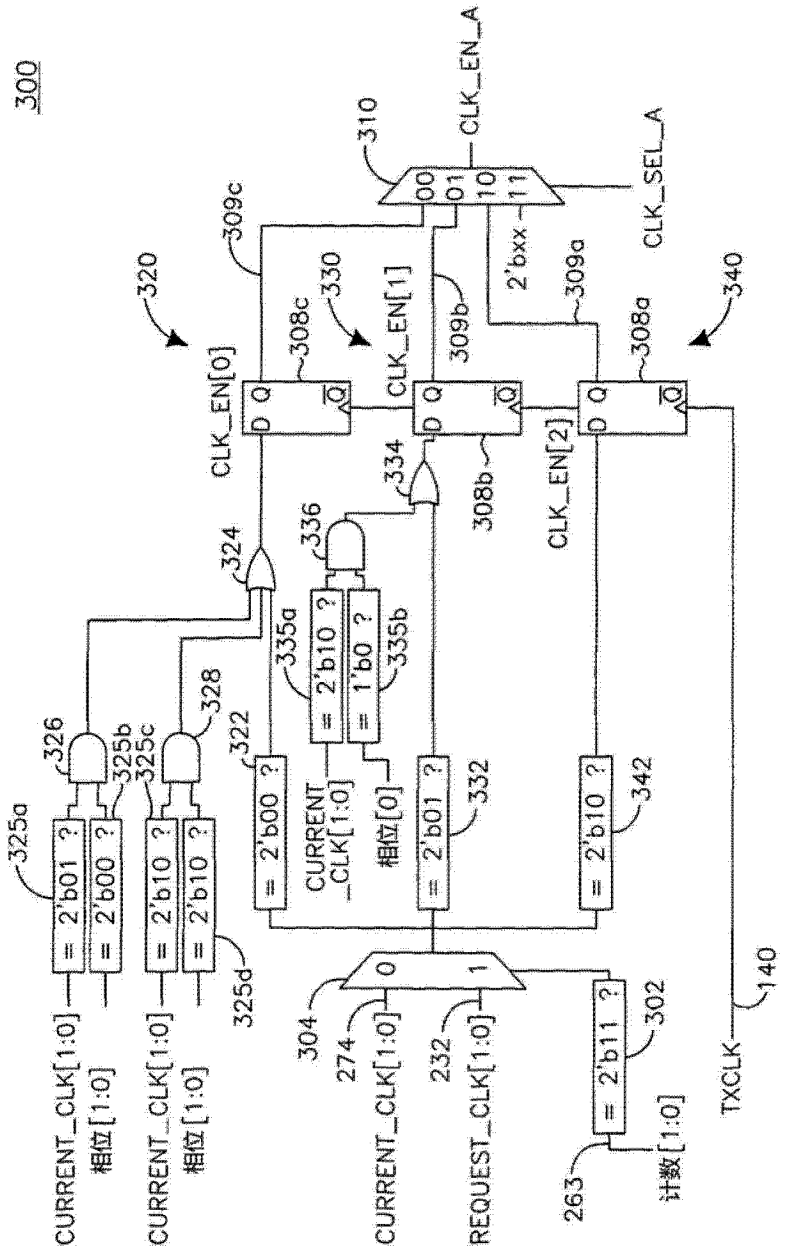

300
310
CLK_EN_A
CLK_SEL_A
00
01
10
11
2'bxx
309c
309b
309a
320
330
340
CLK_EN[0]
CLK_EN[1]
CLK_EN[2]
308c
308b
308a
D Q
Q
334
336
324
335a
335b
= 2'b10 ?
= 1'b0 ?
326
328
322
325a
325b
325c
325d
= 2'b01 ?
= 2'b00 ?
= 2'b10 ?
= 2'b10 ?
= 2'b00 ?
CURRENT_CLK[1:0]
相位[0]
= 2'b01 ?
332
= 2'b10 ?
342
0
1
304
274
232
CURRENT_CLK[1:0]
REQUEST_CLK[1:0]
= 2'b11 ?
302
263
计数[1:0]
TXCLK
140
CURRENT_CLK[1:0]
相位[1:0]
CURRENT_CLK[1:0]
相位[1:0]

图 3

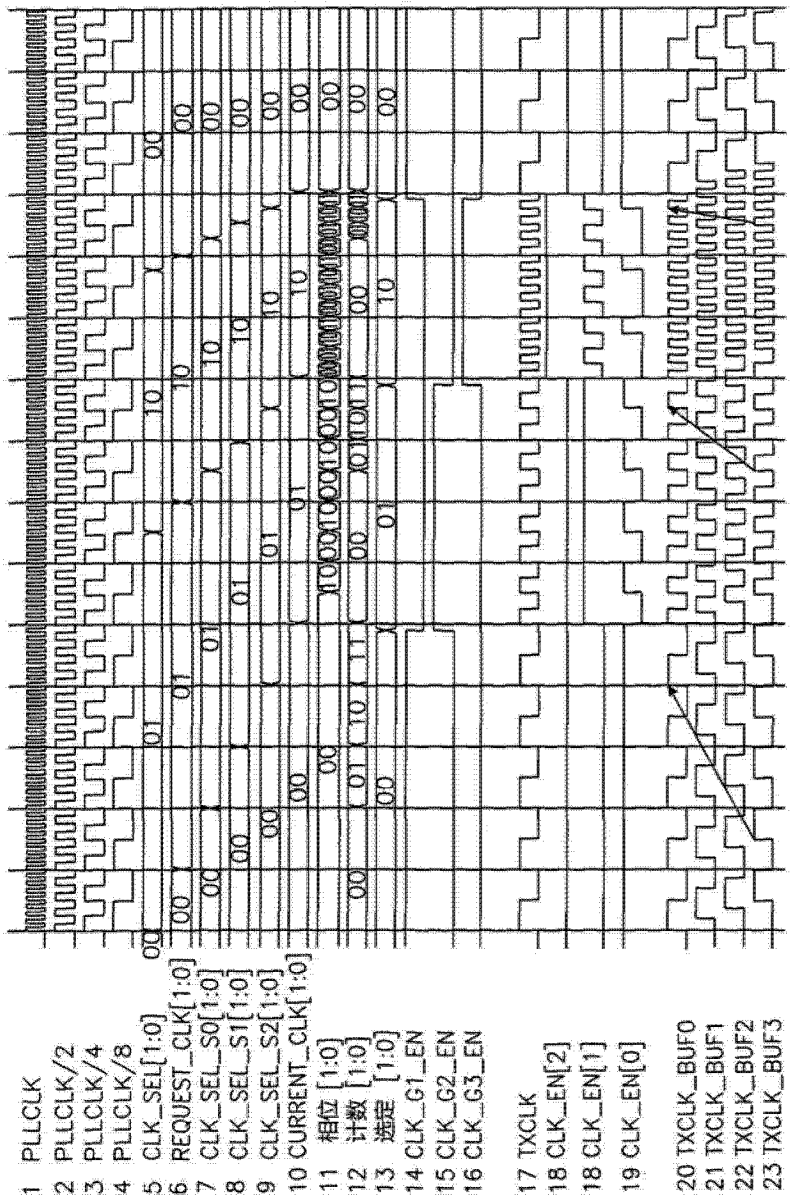

1 PLLCLK
2 PLLCLK/2
3 PLLCLK/4
4 PLLCLK/8
5 CLK_SEL[1:0]
6 REQUEST_CLK[1:0]
7 CLK_SEL_S0[1:0]
8 CLK_SEL_S1[1:0]
9 CLK_SEL_S2[1:0]
10 CURRENT_CLK[1:0]
11 相位 [1:0]
12 计数 [1:0]
13 选定 [1:0]
14 CLK_G1_EN
15 CLK_G2_EN
16 CLK_G3_EN
17 TXCLK
18 CLK_EN[2]
18 CLK_EN[1]
19 CLK_EN[0]
20 TXCLK_BUF0
21 TXCLK_BUF1
22 TXCLK_BUF2
23 TXCLK_BUF3

图 4

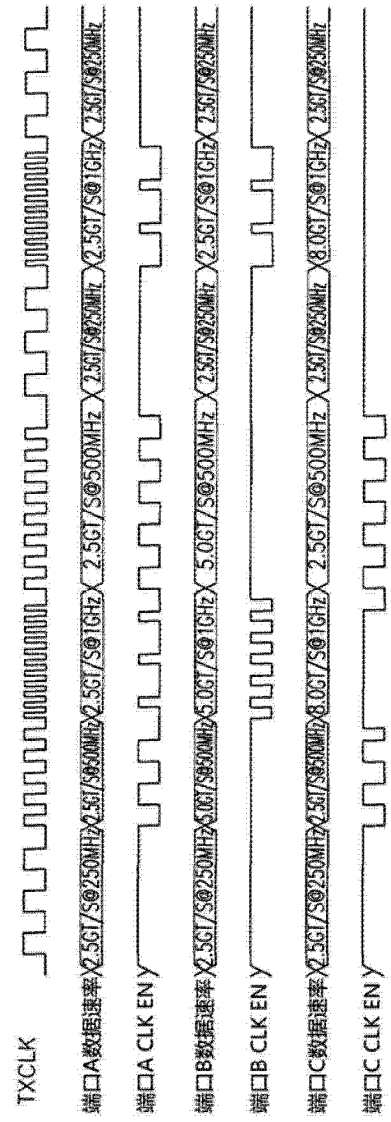

TXCLK
端口A数据速率
2.5GT/S@250MHz
2.5GT/S@500MHz
2.5GT/S@1GHz
端口A CLK EN
端口B数据速率
5.0GT/S@500MHz
5.0GT/S@1GHz
端口B CLK EN
端口C数据速率
8.0GT/S@1GHz
端口C CLK EN

图 5