



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I567927 B

(45)公告日：中華民國 106 (2017) 年 01 月 21 日

(21)申請案號：104140296

(22)申請日：中華民國 101 (2012) 年 10 月 03 日

(51)Int. Cl. : *H01L25/04 (2014.01)**H01L23/52 (2006.01)*

(30)優先權：2011/10/03 美國

61/542,553

2011/12/27 美國

13/337,575

2011/12/27 美國

13/337,565

2012/04/05 美國

13/440,515

(71)申請人：英帆薩斯公司 (美國) INVENSAS CORPORATION (US)

美國

(72)發明人：柯斯伯 理查 狄威特 CRISP, RICHARD DEWITT (US)；柔伊 華爾 ZOHNI,

WAEL (US)；哈芭 畢哥辛 HABA, BELGACEM (US)；藍布里奇 法蘭克

LAMBRECHT, FRANK (US)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

US 2003/0089982A1

US 2009/0273075A1

審查人員：黃鼎富

申請專利範圍項數：20 項 圖式數：14 共 105 頁

(54)名稱

用於具有平行窗之多晶粒導線結合總成之短線最小化

STUB MINIMIZATION FOR MULTI-DIE WIREBOND ASSEMBLIES WITH PARALLEL WINDOWS

(57)摘要

一種微電子封裝 10 可包括：一基板 20，其具有第一表面 21 及第二表面 22 以及在其間延伸之第一孔隙 26a 及第二孔隙 26b；第一微電子元件 30a 及第二微電子元件 30b，其各自具有面向該第一表面之一表面 31；及端子 25a，其在該第二表面處在該第二表面之一中心區 23 中曝露。該等孔隙 26a、26b 可具有在該等各別孔隙之長度之方向上延伸的平行之第一軸線 29a 及第二軸線 29b。該第二表面 22 之該中心區 23 可安置於該第一軸線 29a 與該第二軸線 29b 之間。該等端子 725a 可包括安置於一理論第三軸線 729c 之一第一側上之一第一格柵 715a 及安置於該第三軸線之與該第一側對置之一第二側上之一第二格柵 715b。該第一格柵 715a 中之該等第一端子 725a 之信號指派可為該第二格柵 715b 中之該等第一端子之信號指派的一鏡像。

A microelectronic package 10 can include a substrate 20 having first and second surfaces 21, 22 and first and second apertures 26a, 26b extending therebetween, first and second microelectronic elements 30a, 30b each having a surface 31 facing the first surface, and terminals 25a exposed at the second surface in a central region 23 thereof. The apertures 26a, 26b can have first and second parallel axes 29a, 29b extending in directions of the lengths of the respective apertures. The central region 23 of the second surface 22 can be disposed between the first and second axes 29a, 29b. The terminals 725a can include a first grid 715a disposed on a first side of a theoretical third axis 729c and a second grid 715b disposed on a second side of the third axis opposite from the first side. The signal assignments of the first terminals 725a in the first grid 715a can be a mirror image of the signal assignments of the first terminals in the second grid 715b.

指定代表圖：

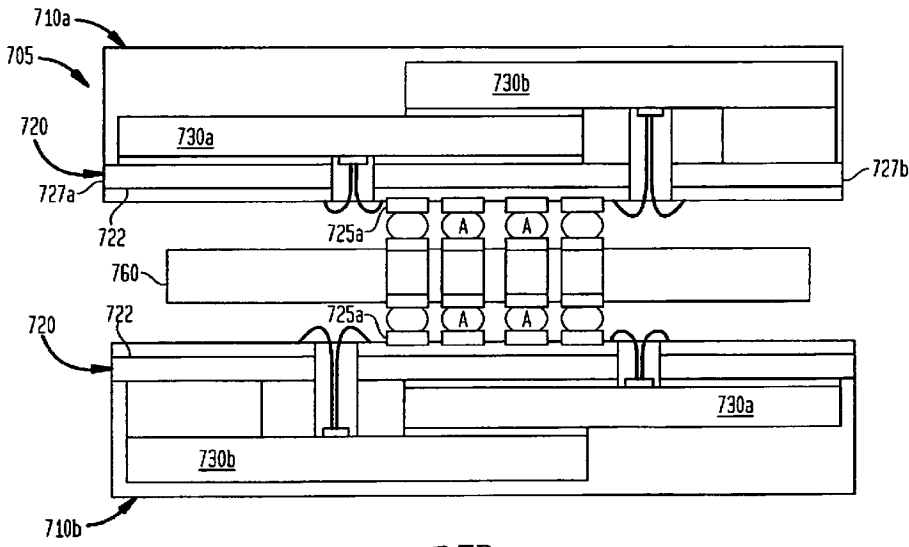


圖 7B

符號簡單說明：

- 705 . . . 微電子總成
- 710a . . . 第一微電子封裝
- 710b . . . 第二微電子封裝
- 720 . . . 基板
- 722 . . . 基板之第二表面
- 725a . . . 第一端子
- 727a . . . 第一邊緣
- 727b . . . 第二邊緣
- 730a . . . 第一微電子元件
- 730b . . . 第二微電子元件
- 760 . . . 電路面板

發明摘要

※ 申請案號：104/40296

※ 申請日：101.10.3

※IPC 分類：H01L 25/04
H01L 23/52

公告本

【發明名稱】(中文/英文)

用於具有平行窗之多晶粒導線結合總成之短線最小化

STUB MINIMIZATION FOR MULTI-DIE WIREBOND ASSEMBLIES WITH
PARALLEL WINDOWS

【中文】

一種微電子封裝 10 可包括：一基板 20，其具有第一表面 21 及第二表面 22 以及在其間延伸之第一孔隙 26a 及第二孔隙 26b；第一微電子元件 30a 及第二微電子元件 30b，其各自具有面向該第一表面之一表面 31；及端子 25a，其在該第二表面處在該第二表面之一中心區 23 中曝露。該等孔隙 26a、26b 可具有在該等各別孔隙之長度之方向上延伸的平行之第一軸線 29a 及第二軸線 29b。該第二表面 22 之該中心區 23 可安置於該第一軸線 29a 與該第二軸線 29b 之間。該等端子 725a 可包括安置於一理論第三軸線 729c 之一第一側上的一第一格柵 715a 及安置於該第三軸線之與該第一側對置之一第二側上的一第二格柵 715b。該第一格柵 715a 中之該等第一端子 725a 之信號指派可為該第二格柵 715b 中之該等第一端子之信號指派的一鏡像。

【英文】

A microelectronic package 10 can include a substrate 20 having first and second surfaces 21, 22 and first and second apertures 26a, 26b extending therebetween, first and second microelectronic elements 30a, 30b each having a surface 31 facing the first surface, and terminals 25a exposed at the second surface in a central region 23 thereof. The apertures 26a, 26b can have first and second parallel axes 29a, 29b extending in directions of the lengths of the respective apertures. The central region 23 of the second surface 22 can be disposed between the first and second axes 29a, 29b. The terminals 725a can include a first grid 715a disposed on a first side of a theoretical third axis 729c and a second grid 715b disposed on a second side of the third axis opposite from the first side. The signal assignments of the first terminals 725a in the first grid 715a can be a mirror image of the signal assignments of the first terminals in the second grid 715b.

【代表圖】

【本案指定代表圖】：第（ 7B ）圖。

【本代表圖之符號簡單說明】：

705	微電子總成
710a	第一微電子封裝
710b	第二微電子封裝
720	基板
722	基板之第二表面
725a	第一端子
727a	第一邊緣
727b	第二邊緣
730a	第一微電子元件
730b	第二微電子元件
760	電路面板

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用於具有平行窗之多晶粒導線結合總成之短線最小化

STUB MINIMIZATION FOR MULTI-DIE WIREBOND ASSEMBLIES WITH
PARALLEL WINDOWS

【技術領域】

【0001】 本申請案之標的物係關於微電子封裝及併有微電子封裝之總成。

【0002】 本申請案為 2012 年 4 月 5 日申請的美國專利申請案第 13/440,515 號之接續案，而該美國專利申請案為皆在 2011 年 12 月 27 日申請的美國專利申請案第 13/337,565 號及第 13/337,575 號之部分接續申請案，且主張 2011 年 10 月 3 日申請之美國臨時專利申請案第 61/542,553 號之申請日期的權利，該等專利申請案之揭示內容在此以引用的方式併入本文中。

【先前技術】

【0003】 通常將半導體晶片提供為個別已預封裝單元。標準晶片具有扁平矩形本體，其中大的正面具有連接至晶片之內部電路的接點。每一個別晶片通常含於具有連接至晶片之接點之外部端子的封裝中。該等端子(亦即，封裝之外部連接點)又經組態以電連接至電路面板(諸如，印刷電路板)。在許多習知設計中，晶片封裝佔用顯著大於晶片自身之面積的電路面板之面積。如在本發明中參考具有正面之扁平晶片所使用，「晶片之面積」應理解為指代正面之面積。

【0004】 在「覆晶」設計中，晶片之正面面對封裝介電元件(亦即，

封裝之基板)之面，且晶片上之接點藉由焊料凸塊或其他連接元件直接結合至基板之面上之接點。基板又可經由覆疊基板之外部端子結合至電路面板。「覆晶」設計提供相對緊密配置。一些覆晶封裝通常被稱為「晶片尺度封裝」，其中每一封裝佔用電路面板之等於或稍大於晶片正面之面積的面積，諸如揭示於(例如)共同讓渡之美國專利第 5,148,265、5,148,266 及 5,679,977 號之某些實施例中，該等專利之揭示內容以引用的方式併入本文中。某些發明性安裝技術提供接近或等於習知覆晶結合之緊密性的緊密性。

【0005】 在晶片之任何實體配置中，大小為重要考慮因素。隨著攜帶型電子裝置之快速發展，對晶片之更緊密實體配置的需求變得更加強烈。僅藉由實例，通常稱為「智慧型電話」之裝置整合蜂巢式電話與功能強大的資料處理器、記憶體及輔助裝置(諸如，全球定位系統接收器、電子相機及區域網路連接連同高解析度顯示器及相關聯之影像處理晶片)之功能。此等裝置可提供諸如完全網際網路連接性、娛樂(包括全解析度視訊)、導航、電子銀行及其他能力之能力，該等能力全部整合於口袋型裝置中。複雜的攜帶型裝置需要將眾多晶片包裝至小空間中。此外，晶片中的一些具有通常稱為「I/O」的許多輸入及輸出連接件。此等 I/O 必須與其他晶片之 I/O 互連。形成互連之組件不應極大地增加總成之大小。類似需要出現於如(例如)資料伺服器(諸如，用於需要效能增加及大小減小之網際網路搜尋引擎中的彼等資料伺服器)中之其他應用中。

【0006】 含有記憶體儲存陣列之半導體晶片(特定而言，動態隨機存取記憶體晶片(DRAM)及快閃記憶體晶片)通常封裝於單晶片或多晶片封裝及總成中。每一封裝具有用於在封裝中之端子與晶片之間攜載信號、電力

及接地之許多電連接件。電連接件可包括不同種類之導體，諸如水平導體(例如，跡線、梁式引線等)，其相對於晶片之接點承載表面在水平方向上延伸；諸如導通孔之垂直導體，其相對於晶片之表面在垂直方向上延伸；及導線結合作，其相對於晶片之表面在水平方向及垂直方向兩者上延伸。

【0007】 封裝內之信號至多晶片封裝之晶片的傳輸造成特定挑戰，尤其對於封裝中之兩個或兩個以上晶片所共同之信號(諸如，時脈信號)及用於記憶體晶片之位址及選通信號係如此。在此等多晶片封裝內，封裝之端子與晶片之間的連接路徑之長度可變化。不同路徑長度可使信號花更長或更短時間來在端子與每一晶片之間行進。信號自一點至另一點之行進時間稱作「傳播延遲」，且隨導體長度、導體之結構及與之緊密接近之其他介電或導體結構而變。

【0008】 兩個不同信號到達特定位置之時間差亦可稱作「時間誤差」。在兩個或兩個以上位置處之特定信號的到達時間之誤差為傳播延遲及特定信號開始朝向該等位置行進之時間之結果。誤差可能或可能不影響電路效能。當在一群同步信號中之所有信號一起存在誤差時(在該狀況下，需要用於操作之所有信號在需要時一起到達)，誤差常常對效能具有極少的影響。然而，當需要用於操作之一群同步信號中的不同信號在不同時間到達時，情況並非如此。在此狀況下，誤差影響效能，此係因為除非所有需要之信號已到達，否則不能執行操作。本文中描述之實施例可包括揭示於同在申請中之美國專利申請案第 13/306,068 號中的使誤差最小化之特徵，該專利申請案之揭示內容以引用的方式併入本文中。

【0009】 習知微電子封裝可併有經組態以主要提供記憶體儲存陣列

功能之微電子元件，亦即，體現數個主動裝置以提供記憶體儲存陣列功能之微電子元件，該數目大於用以提供任何其他功能之主動裝置的數目。微電子元件可為或包括 DRAM 晶片，或此等半導體晶片之堆疊電互連總成。通常，此封裝之所有端子置放成鄰近於封裝基板之一或多個周邊邊緣之行之集合，微電子元件安裝至該封裝基板。

【0010】 舉例而言，在圖 1 中所見之一習知微電子封裝 112 中，端子之三個行 114 可鄰近於封裝基板 120 之第一周邊邊緣 116 而安置，且端子之其他三個行 118 可鄰近於封裝基板 120 之第二周邊邊緣 122 而安置。習知封裝中之封裝基板 120 的中心區 124 不具有端子之任何行。圖 1 進一步展示封裝內之半導體晶片 111，該半導體晶片 111 在其面 128 上具有元件接點 126，該等元件接點 126 經由延伸穿過封裝基板 120 之中心區 124 中之孔隙(例如，結合窗)的導線結合件 130 與封裝 112 之端子之行 114、118 電互連。在一些狀況下，黏接層 132 可安置於微電子元件 111 之面 128 與基板 120 之間，以加強微電子元件與基板之間的機械連接，其中導線結合件 130 延伸穿過黏接層中之開口。

【0011】 依據前述內容，可對端子在微電子封裝上之定位進行某些改良以便改良電效能，尤其在包括此類封裝及此類封裝可安裝至且彼此電互連之電路面板的總成中係如此。

【發明內容】

【0012】 根據本發明之一態樣，一種微電子封裝可包括：一基板，其具有對置之第一表面及第二表面以及在該第一表面與該第二表面之間延伸的第一孔隙及第二孔隙；第一微電子元件及第二微電子元件，其各自具有

面向該基板之該第一表面之一表面及在該各別微電子元件之該表面處曝露且與該等孔隙中之至少一者對準的複數個接點；複數個端子，其在該第二表面處在該第二表面之一中心區中曝露；及引線，其電連接於每一微電子元件之該等接點與該等端子之間。該等孔隙可具有在該等各別孔隙之長度之方向上延伸的平行之第一軸線及第二軸線。該第二表面之該中心區可安置於該第一軸線與該第二軸線之間。

【0013】 每一微電子元件可具有記憶體儲存陣列功能。每一引線可具有與該等孔隙中之至少一者對準的一部分。該等端子可經組態以用於將該微電子封裝連接至該封裝外部之至少一部件。該等端子可包括安置於一理論第三軸線之一第一側上的端子之一第一集合及安置於該第三軸線之與該第一側對置的一第二側上的端子之一第二集合。端子之該第一集合及該第二集合中之每一者可經組態以攜載可由該微電子封裝內之電路使用以自該等微電子元件中之至少一者之一記憶體儲存陣列的所有可用可定址記憶體位置當中判定一可定址記憶體位置的位址資訊。該第一集合中之該等第一端子之信號指派可為該第二集合中之該等第一端子之信號指派的一鏡像。

【0014】 在一實例中，該等微電子元件中之每一者可體現數個主動裝置以提供記憶體儲存陣列功能，該數目大於用以提供任何其他功能之主動裝置的數目。在一例示性實施例中，該第一集合及該第二集合中之每一者的該等端子可經組態以攜載可由該微電子封裝內之該電路使用以判定該可定址記憶體位置的所有該位址資訊。在一特定實例中，該第一集合及該第二集合中之每一者的該等端子可經組態以攜載控制該等微電子元件之一操作模式的資訊。在一實施例中，該第一集合及該第二集合中之每一者的該

等端子可經組態以攜載傳送至該微電子封裝之所有命令信號，該等命令信號為寫入啟用信號、列位址選通信號及行位址選通信號。

【0015】 在一特定實施例中，該第一集合及該第二集合中之每一者的該等端子可經組態以攜載傳送至該微電子封裝之時脈信號，該等時脈信號為用於對攜載該位址資訊之信號進行取樣的時脈。在一實例中，該第一集合及該第二集合中之每一者的該等端子可經組態以攜載傳送至該微電子封裝之所有記憶庫位址信號。在一例示性實施例中，該第一集合及該第二集合之該等端子可安置於各別第一格柵及第二格柵內之位置處，且該第一格柵及該第二格柵中之端子之行可在平行於該基板之對置之第一邊緣及第二邊緣的一方向上延伸。在一特定實例中，該第三軸線相距平行於該基板之該第一邊緣及該第二邊緣且與該基板之該第一邊緣及該第二邊緣等距離之一線的一距離不超過該等端子之任何兩個鄰近行之間的一最小間距之 3.5 倍。

【0016】 在一實施例中，該第三軸線相距平行於該基板之該第一邊緣及該第二邊緣且與該基板之該第一邊緣及該第二邊緣等距離之一線的一距離不超過該等端子之任何兩個鄰近行之間的一最小間距。在一特定實施例中，該第一集合及該第二集合之該等端子可安置於各別第一格柵及第二格柵內之位置處，且該第一格柵及該第二格柵中之端子之行可在平行於該第一軸線及該第二軸線之一方向上延伸。在一實例中，延伸穿過含有至少一些端子之一特定行的該等端子中之大部分之中心的一行軸線可能並不延伸穿過此行之該等端子中之一或多者的該中心。在一例示性實施例中，該行軸線可能並不延伸穿過該行之該一或多個非居中端子中之至少一者。

【0017】 在一特定實例中，該第一集合及該第二集合之該等端子可安置於各別第一格柵及第二格柵內之位置處，且該第一格柵及該第二格柵中之每一者可包括該等端子之平行之第一行及第二行。在一實施例中，該第一格柵或該第二格柵中之至少一者可包括在此格柵之平行之該第一行與該第二行之間的至少一端子。在一特定實施例中，該第一集合及該第二集合之該等端子可安置於各別第一格柵及第二格柵內之位置處，且該第一格柵及該第二格柵中之每一者可包括該等端子之鄰近的平行之第一行及第二行。在一實例中，該等端子可為第一端子。該微電子封裝亦可包括在該基板之該第二表面處曝露的複數個第二端子，該等第二端子中之至少一些經組態以攜載不同於該位址資訊之資訊。

【0018】 在一例示性實施例中，經組態以攜載不同於該位址資訊之資訊的該等第二端子中之至少一些可在該第二表面處在該中心區中曝露。在一特定實例中，該第一集合及該第二集合之該等第一端子可安置於各別第一格柵及第二格柵內之位置處，且該等第二端子可安置於該第二表面上之不同於該第一格柵及該第二格柵中之位置的位置處。在一實施例中，該第一集合及該第二集合之該等第一端子可安置於各別第一格柵及第二格柵內之位置處，且該等第二端子中之至少一些可安置於該第一格柵及該第二格柵內。在一特定實施例中，該第一集合及該第二集合之該等第一端子可安置於各別第一格柵及第二格柵內之位置處。該等第二端子之一部分可配置於一第三格柵中，且該等第二端子之另一部分可配置於一第四格柵中。該第三格柵及該第四格柵中之端子之行可彼此平行且平行於該第一格柵及該第二格柵中之端子之行。該第三格柵中之該等第二端子之信號指派可為該

第四格柵中之該等第二端子之信號指派的一鏡像。

【0019】 在一實例中，該第一格柵及該第二格柵可與該第三格柵及該第四格柵彼此分離。在一例示性實施例中，該等端子可為第一端子，且該第二表面可具有在該中心區與對置之第一邊緣及第二邊緣之間的周邊區，該第一邊緣及該第二邊緣在該基板之該第一表面與該第二表面之間延伸。該微電子封裝亦可包括複數個第二端子。該等第二端子中之至少一些可在該第二表面處在該等周邊區域中之至少一者中曝露。該等第二端子可經組態以用於將該微電子封裝連接至該微電子封裝外部之至少一部件。在一特定實例中，該第一微電子元件之該表面可面對該基板之該第一表面，且該第二微電子元件之該表面可至少部分覆疊該第一微電子元件之一後表面。

【0020】 在一實施例中，該第一微電子元件及該第二微電子元件之該等表面可配置於平行於該基板之該第一表面的一單一平面中。在一特定實施例中，該第一集合之該等端子可與該第一微電子元件電連接，且該第二集合之該等端子可與該第二微電子元件電連接。在一實例中，該第一集合及該第二集合之該等端子可與該第一微電子元件及該第二微電子元件中之每一者電連接。在一例示性實施例中，該第一集合之該等第一端子可與該第一微電子元件電連接且可能不與該第二微電子元件電連接，且該第二集合之該等第一端子可與該第二微電子元件電連接且可能不與該第一微電子元件電連接。

【0021】 在一特定實例中，該基板可包括一介電元件，該介電元件在該介電元件之平面中具有小於每攝氏度百萬分之(「ppm/°C」)30之一熱膨脹係數(「CTE」)。在一實施例中，該基板可包括具有小於 12 ppm/°C 之一 CTE

的一元件。在一特定實施例中，該等引線中之至少一些可包括延伸穿過該等孔隙中之至少一者的導線結合作。在一實例中，該等引線中之至少一些可包括引線結合作。在一例示性實施例中，該等微電子元件之記憶體儲存陣列功能中之每一者可用 NAND 快閃記憶體、電阻性 RAM、相變記憶體、磁性 RAM、靜態 RAM、動態 RAM、自旋轉矩 RAM 或內容可定址記憶體技術來實施。

【0022】 在一實施例中，該微電子封裝亦可包括一第三微電子元件，該第三微電子元件具有面向該基板之該第一表面的一表面。該第三微電子元件可具有記憶體儲存陣列功能。在一特定實施例中，該基板可具有一第三孔隙，該第三孔隙具有在該第三孔隙之長度之一方向上延伸的一第四軸線。該第四軸線可平行於該第一軸線及該第二軸線。該第三微電子元件可具有在其該表面處曝露且與該等孔隙中之至少一者對準的複數個接點。該微電子封裝亦可包括電連接於該第三微電子元件之該等接點與該等端子之間的第二引線。該等第二引線中之每一者可具有與該等孔隙中之至少一者對準的一部分。在一實例中，該微電子封裝亦可包括一第四微電子元件，該第四微電子元件具有面向該基板之該第一表面的一表面。該第四微電子元件可具有記憶體儲存陣列功能。

【0023】 在一例示性實施例中，該基板可具有第三孔隙及第四孔隙。該第三微電子元件及該第四微電子元件可各自具有在其該表面處曝露且與該等孔隙中之至少一者對準的複數個接點。該微電子封裝亦可包括電連接於該第三微電子元件及該第四微電子元件中之每一者之該等接點與該等端子之間的第二引線。該等第二引線中之每一者可具有與該等孔隙中之至少

一者對準的一部分。在一特定實例中，該第三孔隙及該第四孔隙可具有在該等孔隙之該等長度之方向上延伸的各別平行之第四軸線及第五軸線，該第四軸線平行於該第一軸線。在一實施例中，該第一軸線可在該第三孔隙之該長度之一方向上延伸，且該第二軸線可在該第四孔隙之該長度之一方向上延伸。在一特定實施例中，該第一微電子元件及該第三微電子元件之該等表面可配置於平行於該基板之該第二表面的一單一平面中，且該第二微電子元件及該第四微電子元件中之每一者的該表面至少部分覆疊該第三微電子元件及該第一微電子元件中之至少一者的一後表面。

【圖式簡單說明】

【0024】

圖 1 為先前技術微電子封裝之側視截面圖。

圖 2 為展示微電子封裝之端子之間的電連接之微電子總成之圖解透視圖。

圖 3 為圖 2 之微電子總成之側視截面圖。

圖 4 為圖 3 之微電子封裝之端子之間的電連接之圖解仰視平面圖。

圖 5A 為根據本發明之一實施例的微電子封裝之圖解仰視平面圖。

圖 5B 為沿著圖 5A 之線 A-A 截取的圖 5A 之微電子總成之側視截面圖。

圖 5C 為圖 5A 中所展示之微電子元件中之一者的圖解仰視平面圖。

圖 5D 為圖 5A 中所展示之微電子元件中之一者的一替代實施例之圖解仰視平面圖。

圖 5E 為沿著圖 5A 之線 A-A 截取的包括如在圖 5A 中所展示之兩個微電子封裝的微電子總成之一可能側視截面圖。

圖 5F 為沿著圖 5A 之線 A-A 截取的包括如在圖 5A 中所展示之兩個微電子封裝的微電子總成之另一可能側視截面圖。

圖 5G 為展示微電子封裝之端子之間的電連接的圖 5E 之微電子總成之一可能圖解透視圖。

圖 6A 為根據另一實施例之具有配置成單一行之端子的格柵之微電子封裝之圖解仰視平面圖。

圖 6B 為沿著圖 6A 之線 6B-6B 截取的包括如在圖 6A 中所展示之兩個微電子封裝的微電子總成之可能側視截面圖。

圖 7A 為根據又一實施例之具有端子之兩個格柵(每一格柵配置成兩行)的微電子封裝之圖解仰視平面圖。

圖 7B 為沿著圖 7A 之線 7B-7B 截取的包括如在圖 7A 中所展示之兩個微電子封裝的微電子總成之可能側視截面圖。

圖 8A 為根據再一實施例之具有三個微電子元件的微電子封裝之圖解仰視平面圖。

圖 8B 為沿著圖 8A 之線 8B-8B 截取的包括如在圖 8A 中所展示之兩個微電子封裝的微電子總成之可能側視截面圖。

圖 9A 為根據另一實施例之具有四個微電子元件的微電子封裝之圖解仰視平面圖。

圖 9B 為沿著圖 9A 之線 9B-9B 截取的包括如在圖 9A 中所展示之兩個微電子封裝的微電子總成之可能側視截面圖。

圖 9C 為具有端子之兩個格柵(每一格柵配置成單一行)的圖 9A 之微電子封裝之變化。

圖 9D 為具有端子之四個格柵(每一格柵配置成兩行)的圖 9A 之微電子封裝之另一變化。

圖 9E 至圖 9H 為具有沿著兩個平行軸線對準之四個微電子元件的圖 9A 之微電子封裝之變化。

圖 10A 為根據又一實施例之具有在單一平面中定向之兩個微電子元件的微電子封裝之圖解仰視平面圖。

圖 10B 為具有端子之兩個格柵(每一格柵配置成兩行)的圖 10A 之微電子封裝之變化。

圖 11 為根據再一實施例之具有在單一平面中定向之三個微電子元件的微電子封裝之圖解仰視平面圖。

圖 12A 至圖 12D 為根據替代實施例之具有在單一平面中定向之四個微電子元件的微電子封裝之圖解仰視平面圖。

圖 13 為說明根據本發明之一實施例的系統之示意性截面圖。

圖 14 為說明根據本發明之一實施例的系統之示意性截面圖。

【實施方式】

【0025】 鑒於相對於圖 1 描述之說明性習知微電子封裝 112，發明者已認識到可進行可幫助改良併有記憶體儲存陣列晶片之微電子封裝及併有此微電子封裝之微電子總成的電效能之改良。

【0026】 可進行特別用於微電子封裝(在提供於諸如圖 2 至圖 4 中所展示之總成中時)之改良，其中將封裝 112A 安裝至電路面板之一表面且將另一類似封裝 112B 與封裝 112A 對置地安裝至電路面板之對置表面上。封裝 112A、112B 通常在功能及機械上彼此等效。在功能及機械上等效之封裝

的其他對 112C 與 112D 及 112E 與 112F 通常亦安裝至同一電路面板 134。電路面板及組裝至電路面板之封裝可形成通常稱為雙列記憶體模組(「DIMM」)之總成的一部分。封裝之每一對置安裝對中的封裝(例如，封裝 112A、112B)連接至電路面板之對置表面上的接點，使得每一對中之封裝通常彼此覆疊大於其各別面積之 90%。電路面板 134 內之局域佈線將每一封裝上之端子(例如，標示為「1」及「5」之端子)連接至電路面板上之全域佈線。全域佈線包括用以將一些信號傳導至電路面板 134 上之連接位點(諸如，位點 I、II 及 III)的匯流排 136 之信號導體。舉例而言，封裝 112A、112B 藉由耦接至連接位點 I 之局域佈線電連接至匯流排 136，封裝 112C、112D 藉由耦接至連接位點 II 之局域佈線電連接至匯流排，且封裝 112E、112F 藉由耦接至連接位點 III 之局域佈線電連接至匯流排。

【0027】 電路面板 134 使用看似十字交叉或「鞋帶」圖案之局域互連佈線來電互連各別封裝 112A、112B 之端子，其中靠近封裝 112A 之一邊緣 116 的標示為「1」之端子經由電路面板 134 連接至封裝 112B 之靠近封裝 112B 之同一邊緣 116 的標示為「1」之端子。然而，如組裝至電路面板 134 之封裝 112B 的邊緣 116 遠離封裝 12A 之邊緣 116。圖 2 至圖 4 進一步展示，靠近封裝 112A 之邊緣 122 的標示為「5」之端子經由電路面板 134 連接至封裝 112B 之靠近封裝 112B 之同一邊緣 122 的標示為「5」之端子。在總成 138 中，封裝 112A 之邊緣 122 遠離封裝 112B 之邊緣 122。

【0028】 每一封裝(例如，封裝 112A)上之端子至與該封裝對置安裝之封裝(亦即，封裝 112B)上之對應端子之間的穿過電路面板之連接件為相當長的。如在圖 3 中進一步可見，在類似微電子封裝 112A、121B 之此總成中，

當來自匯流排之同一信號待傳輸至每一封裝時，電路面板 134 可將匯流排 136 之信號導體與封裝 112A 之標記為「1」的端子及封裝 112B 之標記為「1」的對應端子電互連。類似地，電路面板 134 可將匯流排 136 之另一信號導體與封裝 112A 之標記為「2」的端子及封裝 112B 之標記為「2」的對應端子電互連。相同連接配置亦可應用於匯流排之其他信號導體及每一封裝之對應端子。

【0029】 電路面板 134 上之匯流排 136 與封裝之各別對中的每一封裝 (例如，封裝 112A、112B(圖 2))之間的在板之連接位點 I 處的局域佈線可呈無端短線之形式。如下文所論述，在一些狀況下，此局域佈線在相對長時可影響總成 138 之效能。此外，電路面板 134 亦需要局域佈線來將其他封裝 (該對封裝 112C 與 112D 及該對封裝 112E 與 112F)之某些端子電互連至匯流排 136 之全域佈線，且此佈線亦可以相同方式影響總成之效能。

【0030】 圖 4 進一步說明具有經指派以攜載信號之端子「1」、「2」、「3」、「4」、「5」、「6」、「7」及「8」之各別對的微電子封裝 112A、112B 之間的互連。如圖 4 中可見，端子之所有行 114、118 分別靠近每一封裝 112A、121B 之邊緣 116、122 曝露而非在基板之表面的中心區中曝露，在方向 140 上橫越電路面板 134 所需之佈線可為相當長的，該方向 140 橫向於端子之行 114、118 延伸的方向 142。認識到，DRAM 晶片之長度在每一側上可在 10 毫米之範圍內，對於一些信號，在圖 2 至圖 4 中可見之總成 138 中之電路面板 134 中的將同一信號投送至兩個對置安裝之封裝 112A、112B 之對應端子所需的局域佈線之長度之範圍可在 5 毫米與 10 毫米之間，且通常可為約 7 毫米。

【0031】 在一些狀況下，電路面板上之連接封裝之端子的相對長之無端佈線可能不會嚴重地影響總成 138 之電效能。然而，當將信號自電路面板之匯流排 136 傳送至如圖 2 中所展示連接至電路面板之封裝之多個對中的每一者時，發明者認識到，自匯流排 136 延伸至每一封裝上之匯流排 136 連接至之端子的短線(亦即，局域佈線)之電長度潛在地影響總成 138 之效能。無端短線上之信號反射可自每一封裝之所連接端子在反向方向上傳播回至匯流排 136 上，且因此使正自匯流排傳送至封裝之信號降級。該等影響對於含有當前製造之微電子元件的一些封裝可為可容許的。然而，在以增加之信號切換頻率、低電壓擺動信號或其兩者操作的當前或將來總成中，發明者認識到該等影響可變為嚴重的。對於此等總成，所傳輸信號之穩定時間、振鈴效應(ringing)、抖動或符號間干擾可增加至不可接受之程度。

【0032】 發明者進一步認識到，無端短線之電長度通常長於將電路面板上之匯流排 136 與安裝至電路面板之封裝之端子連接的局域佈線。每一封裝內之自封裝端子至封裝中之半導體晶片的無端佈線增加短線之長度。

【0033】 在一特定實例中，匯流排 136 為具有卓越記憶體儲存陣列功能之總成(諸如，DIMM)的命令-位址匯流排。命令-位址匯流排 136 可經組態以攜載傳送至微電子封裝之位址資訊，該位址資訊可由封裝內之電路(例如，列位址及行位址解碼器及記憶體庫選擇電路(若存在))使用以自微電子封裝中之微電子元件內的記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置。命令-位址匯流排 136 可經組態以將上文所提到之位址資訊攜載至連接位點(例如，展示於圖 2 中之位點 I、II 及 III)。此上文所提到之位址資訊可接著藉由局域佈線散佈至電路面板之對置表面上

的面板接點之各別集合，封裝 112A、112B、112C、112D、112E 及 112F 連接至該電路面板。

【0034】 在一特定實例中，當微電子元件為或包括 DRAM 晶片時，命令-位址匯流排 136 可經組態以攜載微電子元件之命令-位址匯流排之信號的群組中之全部，亦即，傳送至微電子封裝之命令信號、位址信號、記憶體庫位址信號及時脈信號，其中命令信號包括寫入啟用信號、列位址選通信號及行位址選通信號，且時脈信號為用於對位址信號進行取樣的時脈。雖然時脈信號可具有各種類型，但在一實施例中，由此等端子攜載之時脈信號可係作為差分或真及互補時脈信號接收之一或多對差分時脈信號。

【0035】 因此，本文中所描述之本發明之某些實施例提供一種微電子封裝，該微電子封裝經組態以便在第一及第二此等封裝彼此對置地安裝於電路面板(例如，電路板、模組板或卡，或可撓性電路面板)之對置表面上時准許減小短線之長度。併有彼此對置地安裝於電路面板上之第一微電子封裝及第二微電子封裝的總成可具有各別封裝之間的顯著減小之短線長度。對於由第一端子攜載且傳送至第一封裝及第二封裝兩者中之微電子元件之上文所提到之信號，此等電連接件之長度的減小可減小電路面板及總成中之短線長度，此可幫助改良電效能，諸如減少穩定時間、振鈴效應、抖動或符號間干擾連同其他者。此外，亦有可能獲得其他益處，諸如簡化電路面板之結構或降低設計或製造電路面板之複雜性及成本。

【0036】 本發明之某些實施例提供一封裝或微電子總成，其中微電子元件(例如，半導體晶片或半導體晶片之堆疊配置)經組態以主要提供記憶體儲存陣列功能。在此微電子元件中，微電子元件中之經組態(亦即，經建構

及與其他裝置互連)以提供記憶體儲存陣列功能的主動裝置(例如，電晶體)之數目大於經組態以提供任何其他功能的主動裝置之數目。因此，在一實例中，諸如 DRAM 晶片之微電子元件可具有作為其主要或僅有功能之記憶體儲存陣列功能。或者，在另一實例中，此微電子元件可具有混合用途，且可併有經組態以提供記憶體儲存陣列功能之主動裝置，且亦可併有經組態以提供另一功能(諸如，處理器功能或信號處理器或圖形處理器功能連同其他者)之其他主動裝置。在此狀況下，微電子元件可仍具有經組態以提供記憶體儲存陣列功能之數個主動裝置，該數目大於用以提供微電子元件之任何其他功能之主動裝置的數目。

【0037】 在一實施例中，封裝之端子可包括安置於基板或介電層之背對微電子總成的第二表面之中心區處之第一端子，該中心區安置於鄰近基板或介電層之第一周邊邊緣及第二周邊邊緣的周邊區之間。該中心區可為使得其不寬於端子之平行的行中之鄰近者之間的最小間距之 3.5 倍的區。

【0038】 在本發明之某些實施例中，中心區中之第一端子經組態以攜載微電子元件之命令-位址匯流排的信號群組中之全部，亦即，傳送至微電子封裝之命令信號、位址信號、記憶體庫位址信號及時脈信號，其中命令信號包括寫入啟用信號、列位址選通信號及行位址選通信號，且時脈信號為用於對位址信號進行取樣之時脈。雖然時脈信號可具有各種類型，但在一實施例中，由此等端子攜載之時脈信號可為作為差分或真及互補時脈信號接收的一或多對差分時脈信號。

【0039】 在一電路面板(例如，印刷電路板、模組卡等)上，命令-位址匯流排之此等上文所提到之信號(亦即，命令信號、位址信號、記憶體庫位

址信號及時脈信號)可用匯流排並行地傳送至連接至電路面板之多個微電子封裝，特定而言，用匯流排傳送至安裝至電路面板之對置表面之第一微電子封裝及第二微電子封裝。對於本文中之某些實施例，藉由將攜載命令-位址匯流排信號之端子置放於封裝表面之中心區中而非置放於靠近微電子封裝之邊緣的周邊區中，有可能減小用以將信號自電路面板上之命令-位址匯流排 136(圖 2)攜載至電連接微電子封裝之電路面板之表面上的個別連接位點的短線之長度。對於由第一端子攜載且傳送至第一封裝及第二封裝兩者中之微電子元件的上文所提到之信號，此等電連接件之長度的減小可減小電路面板及總成中之短線長度，此可幫助改良電效能，諸如減小穩定時間、振鈴效應、抖動或符號間干擾連同其他者。此外，亦有可能獲得其他益處，諸如簡化電路面板之結構或降低設計或製造電路面板之複雜性及成本。

【0040】 在一些實施例中，微電子封裝可在中心區中具有經組態以攜載如上文所描述之所有命令信號、位址信號、記憶體庫位址信號及時脈信號的端子之不超過四個行。在某些實施例中，可僅存在此等端子之兩個行。在其他實施例中，可僅存在此等端子之一個行。

【0041】 此外，有可能減小電路面板上之在連接微電子封裝之各別對所在的連接位點之間投送來自由第一端子攜載之上文所提到之信號的信號(例如，命令-位址匯流排信號)所需之由佈線組成的投送層之數目。具體而言，沿著電路面板投送此等信號所需之投送層之數目在一些狀況下可減小至四個或四個以下投送層。在一特定實例中，沿著電路面板投送此等信號所需之投送層之數目在一些狀況下可減小至四個、兩個或一個投送層。然而，在電路面板上，可存在比攜載上文所提到之位址或命令-位址匯流排信

號的投送層之數目多的數目個攜載其他信號之投送層。

【0042】 微電子封裝亦可具有不同於第一端子之第二端子，此等端子通常經組態以攜載與上文所提到之命令-位址匯流排信號端子所攜載不同的信號。在一實施例中，此等第二端子可安置於周邊區中之一或多者中，且可經組態以攜載資料信號。舉例而言，第二端子可包括用於攜載以下各者之端子：至及/或自微電子元件之單向或雙向資料信號，及資料選通信號，以及資料遮罩及用以接通或斷開並聯終端至終端電阻器之 ODT 或「晶粒上終端電阻(on die termination)」信號。諸如晶片選擇、重設、電源供應電壓(例如，Vdd、Vddq)及接地(例如，Vss 及 Vssq)之信號或參考電位可由第二端子攜載；該等信號或參考電位中無一者需要由第一端子攜載。在一些實施例中，經組態以攜載不同於上文所提到之位址或命令-位址匯流排信號的信號之一些或所有端子有可能作為第二端子安置於封裝上其可置放之任何位置中。

【0043】 本文中之本發明之實施例提供具有一個以上半導體晶片(亦即，其中之微電子元件)之封裝。多晶片封裝可減小將其中之晶片連接至電路面板(例如，封裝可經由諸如球狀格柵陣列、平台格柵陣列或接腳格柵陣列連同其他者之端子陣列以電及機械方式連接至的印刷佈線板)所需的面積或空間之量。此連接空間特定地限於小或攜帶型計算裝置(例如，通常組合個人電腦之功能與至更廣闊世界之無線連接性的手持型裝置，諸如，「智慧型手機」或平板電腦)中。多晶片封裝可特別適用於使大量相對不昂貴之記憶體可用於系統，該記憶體諸如進階高效能動態隨機存取記憶體(「DRAM」)晶片，例如，在 DDR3 型 DRAM 晶片及其改進型中。

【0044】 可藉由在封裝上提供共同端子(至少一些信號經由該等共同端子在其至或自封裝內之兩個或兩個以上晶片之路徑上行進)來減小電路面板之將多晶片封裝連接至其所需的面積之量。然而，以支援高效能操作之方式如此進行帶來挑戰。為了避免歸因於無端短線之不良效應(諸如，不良反射)，將在封裝之外部處的端子與電路面板上之全域佈線(諸如，匯流排 136(圖 2))電連接的跡線、導通孔及電路面板上之其他導體不得過長。熱耗散亦對進階晶片帶來挑戰，使得每一晶片之大的平表面中之至少一者需要耦接至熱散播器或曝露至已裝設系統內之流或空氣或與已裝設系統內之流或空氣熱連通。以下描述之封裝可幫助促進此等目標。

【0045】 本文中之本發明之實施例可提供減小總成上之信號之短線長度的方式。因此，封裝內之多個晶片之對應接點可與封裝之經組態用於與封裝外部之組件(例如，諸如印刷電路板之電路面板、外部微電子元件或其他組件)連接的單一共同端子電連接，且複數個此等微電子封裝可安裝至電路面板之對置表面。

【0046】 舉例而言，電路面板 60(圖 5E)上之將第一微電子封裝 10a 之第一行之第一端子 25a 與第二微電子封裝 10b 之第一行之對應第一端子電連接的短線之電長度可小於每一封裝上之第一端子之最小間距之 7 倍：例如，小於第一端子之鄰近行之間距之 7 倍。換言之，將在電路面板 60 之第一表面及第二表面處曝露的一對電耦接之第一面板接點 65a 與第二面板接點 65b 連接至電路面板上之命令-位址匯流排之對應信號導體的導電元件之總組合長度可小於面板接點之最小間距之 7 倍。在又一實例中，第一微電子封裝 10a 之第一端子 25a 與第二微電子封裝 10b 上之對應第一端子之

間的連接件之電長度可與第一表面 61 與第二表面 62 之間的電路面板之厚度大致相同。

【0047】 圖 5A 及圖 5B 說明特定類型之微電子封裝 10，其經組態以便准許在將第一及第二此等封裝彼此對置地安裝於電路面板(例如，電路板、模組板或卡或可撓性電路面板)之對置表面上時減小短線之長度。如在圖 5A 及圖 5B 中所見，微電子封裝 10 可包括封裝結構，例如，具有對置之第一表面 21 及第二表面 22 之基板 20。第一表面 21 及第二表面 22 面向相反方向，且因此相對於彼此對置，且為「對置表面」。

【0048】 在圖 5A 中且在本文中描述之微電子封裝之所有其他圖解仰視平面圖中，將基板 20 及端子格柵展示為透明的。如此進行，使得微電子元件之相對位置可自仰視圖較清楚地看到，同時仍展示在平行於基板之平面的 x-y 方向上基板及端子格柵相對於微電子元件之位置。

【0049】 在一些狀況下，基板 20 可本質上由在基板之平面中(在平行於基板之第一表面 21 之方向上)具有低熱膨脹係數(「CTE」)(亦即，小於每攝氏度百萬分之(下文稱為「ppm/°C」)12 的 CTE)之材料組成，該材料諸如半導體材料(例如，矽)或介電材料(諸如，陶瓷材料或二氧化矽，例如，玻璃)。或者，基板 20 可包括薄片狀基板，其可本質上由諸如聚醯亞胺、環氧樹脂、熱塑性塑膠、熱固性塑膠或其他合適聚合材料的聚合材料組成，或包括複合聚合無機材料或本質上由複合聚合無機材料組成，複合聚合無機材料諸如 BT 樹脂(雙順丁烯二醯亞胺三嗪)之玻璃強化結構或環氧樹脂玻璃(諸如，FR-4)連同其他者。在一實例中，此基板 20 可本質上由在基板之平面中(亦即，在沿著其表面之方向上)具有小於 30 ppm/°C 之 CTE 的材料組成。

【0050】 在圖 5A 及圖 5B 中，平行於基板 20 之第一表面 21 的方向在本文中被稱為「水平」或「側向」方向，而垂直於第一表面之方向在本文中被稱為向上或向下方向，且亦在本文中被稱為「垂直」方向。本文中參考之方向在所參考結構之參考座標中。因此，此等方向可位於重力參考座標中之正常「上」或「下」方向的任何定向。

【0051】 相比於另一特徵而將一特徵安置於「表面上方」較大高度處之陳述意謂：相比於另一特徵，一特徵在相同正交方向上相距該表面之距離較大。相反地，相比於另一特徵而將一特徵安置於「表面上方」較小高度處之陳述意謂：相比於另一特徵，一特徵在相同正交方向上相距該表面之距離較小。

【0052】 至少一孔隙 26 可在基板 20 之第一表面 21 與第二表面 22 之間延伸。如在圖 5A 中可見，基板 20 可具有延伸穿過其之兩個孔隙 26a 及 26b。孔隙 26a 及 26b 之最長尺寸可界定平行之第一軸線 29a 及第二軸線 29b(共同地為軸線 29)。平行之第一軸線 29a 及第二軸線 29b 可界定基板 20 之第二表面 22 的位於軸線 29a 與軸線 29b 之間的中心區 23。基板 20 之第二表面 22 之周邊區 28 可位於中心區 23 之外。此等周邊區 28 可在中心區 23 與基板 20 之第二表面 22 的對置之第一邊緣 27a 及第二邊緣 27b 之間延伸。

【0053】 基板 20 可具有複數個端子 25(例如，在基板之表面處曝露的導電襯墊、焊盤或導電柱桿)。如在圖 5B 中可見，此等端子 25 可在基板 20 之第二表面 22 處曝露。端子 25 可充當用於微電子封裝 10 與諸如電路面板(例如，印刷佈線板、可撓性電路面板、插槽、其他微電子總成或封裝、插入器或被動組件總成連同其他者(例如，圖 5E 及圖 5F 中所展示之電路面板))

之外部組件之對應導電元件的連接之端點。在一實例中，此電路面板可為主機板或 DIMM 模組板。

【0054】 微電子封裝 10 可包括附接至端子 25 以用於與外部組件連接之接合單元 11。接合單元 11 可為(例如)成塊之諸如焊料、錫、銲、共晶組合物或其組合之結合金屬或諸如導電膏或導電黏接劑之另一接合材料。在一特定實施例中，端子 25 與外部組件(例如，圖 5E 中所展示之電路面板 60)之接點之間的接頭可包括(諸如)在共同擁有之美國專利申請案第 13/155,719 號及第 13/158,797 號中所描述的導電基質材料，該等申請案之揭示內容在此以引用的方式併入本文中。在一特定實施例中，接頭可具有類似結構或以如本文中所描述之方式形成。

【0055】 如在本發明中所使用，導電元件「在」結構之表面「處曝露」的陳述指示，導電元件可用於與自結構外部朝向表面在垂直於表面之方向上移動之理論點接觸。因此，在結構之表面處曝露之端子或其他導電元件可自此表面突出；可與此表面齊平；或可相對於此表面凹進，且經由結構中之孔或凹入部曝露。

【0056】 端子 25 可包括在基板 20 之第二表面 22 之中心區 23 處曝露的第一端子 25a 及在第二表面之周邊區 28 中之至少一者處曝露的第二端子 25b。在本發明之某些實施例中，第一端子 25a 可經組態以攜載命令-位址匯流排之某些信號，亦即，具體而言，經組態以在微電子封裝 10 中提供動態記憶體儲存功能之微電子元件 30(以下所描述)之位址信號之集合中的全部。

【0057】 舉例而言，當微電子元件 30 包括或為 DRAM 半導體晶片時，第一端子 25a 可經組態以攜載傳送至微電子封裝 10 之足夠位址資訊，

位址資訊可由封裝內之電路(例如，列位址及行位址解碼器以及記憶體庫選擇電路(若存在))使用以自封裝中之微電子元件內的記憶體儲存陣列之所有可用可定址記憶體位置當中判定一可定址記憶體位置。在一特定實施例中，第一端子 25a 可經組態以攜載可由微電子封裝 10 內之此電路使用以判定此記憶體儲存陣列內之一可定址記憶體位置的所有位址資訊。

【0058】 在此實施例之一變化中，第一端子 25a 可經組態以攜載可由微電子封裝 10 內之此電路使用以判定此記憶體儲存陣列內之一可定址記憶體位置的位址資訊之大部分，且接著微電子封裝上之其他端子(諸如，以上提及之第二端子 25b 中之至少一些)將接著經組態以攜載位址資訊之剩餘部分。在此變化中，在一特定實施例中，第一端子 25a 可經組態以攜載可由微電子封裝 10 內之此電路使用以判定此記憶體儲存陣列內之一可定址記憶體位置的位址資訊中之四分之三或四分之三以上。

【0059】 在一特定實施例中，第一端子 25a 可未經組態以攜載晶片選擇資訊，例如，可用以選擇微電子封裝 10 內之特定晶片以用於存取晶片內之記憶體儲存位置的資訊。在另一實施例中，第一端子 25a 中之至少一者可實際上攜載晶片選擇資訊。

【0060】 通常，當微電子封裝 10 中之微電子元件 30 包括 DRAM 晶片時，在一實施例中，位址信號可包括自封裝外部之組件(例如，電路面板，諸如以下描述之電路面板 60)傳送至封裝之所有位址信號，該等位址信號用於判定微電子封裝內之隨機存取可定址記憶體位置以用於對其進行讀取存取或用於對其進行讀取或寫入存取。

【0061】 第二端子 25b 中之至少一些可經組態以攜載不同於由第一

端子 25a 攜載之位址信號的信號。諸如晶片選擇、重設、電源供應電壓(例如，Vdd、Vddq)及接地(例如，Vss 及 Vssq)之信號或參考電位可由第二端子 25b 攜載；在本文中提及之實施例中之任一者中，除非另外註明，否則此等信號或參考電位中無一者需要由第一端子 25a 攜載。

【0062】 在一特定實施例中，第一端子 25a 中之每一者可經組態以攜載控制微電子元件 30 中之至少一者之操作模式的資訊。更具體而言，第一端子 25a 可經組態以攜載傳送至微電子封裝 10 之命令信號及/或時脈信號之特定集合中的全部。在此實施例中，第一端子 25a 可經組態以攜載自外部組件傳送至微電子封裝 10 之所有命令信號、位址信號、記憶體庫位址信號及時脈信號，其中命令信號包括列位址選通、行位址選通及寫入啟用。

【0063】 在微電子元件中之一或多者經組態以提供動態記憶體儲存陣列功能(諸如，由動態隨機存取記憶體(「DRAM」)半導體晶片或 DRAM 晶片之總成提供)之實施例中，命令信號為寫入啟用信號、列位址選通信號及行位址選通信號。諸如 ODT(晶粒上終端電阻)、晶片選擇、時脈啟用之其他信號並非需要由第一端子 25a 攜載之命令信號之部分。時脈信號可為由微電子元件中之一或多者用於對位址信號進行取樣之時脈。舉例而言，如在圖 5A 中所見，第一端子 25a 可包括時脈信號 CK 及 CKB、列位址選通 RAS、行位址選通 CAS 及寫入啟用信號 WE，以及位址信號 A0 至 A15(包括位址信號 A0 及 A15)及記憶體庫位址信號 BA0、BA1 及 BA2。

【0064】 在此實施例中，第二端子 25b 中之至少一些可經組態以攜載不同於由第一端子 25a 攜載之命令信號、位址信號及時脈信號的信號。諸如晶片選擇、重設、電源供應電壓(例如，Vdd、Vddq)及接地(例如，Vss 及 Vssq)

之信號或參考電位可由第二端子 25b 攜載；在本文中提及之實施例中之任一者中，除非另外註明，否則此等信號或參考電位中無一者需要由第一端子 25a 攜載。

【0065】 在另一實施例中，當微電子元件中之一或多者經組態以提供在不同於用於 DRAM 之技術(諸如，NAND 快閃記憶體)中實施的記憶體儲存陣列功能時，需要由第一端子 25a 攜載之特定命令信號可為不同於在 DRAM 狀況下需要攜載之寫入啟用信號、位址選通信號及行位址選通信號之群組的不同信號集合。

【0066】 在一特定實例(諸如，在圖 5A 及圖 5B 中所展示之實例)中，第二端子 25b 可在周邊區 28 中之每一者中安置成至少一行。在一實施例中，經組態以攜載不同於命令信號、位址信號及時脈信號之信號的第二端子 25b 中之至少一些可在基板 20 之第二表面 22 之中心區 23 中曝露。

【0067】 儘管在諸圖中展示了第二端子(諸如，在圖 5A 及圖 5B 中所展示之第二端子 25b)之特定組態，但所展示之特定組態係為了說明性目的且並不意謂為限制性的。舉例而言，第二端子 25b 亦可包括經組態以連接至電源或接地信號之端子。儘管展示第二端子 25b 配置於各自具有兩行之兩個格柵中，但每一格柵中之第二端子 25b 可配置成(例如)三行，其中未展示之第三行含有經組態以連接至電源或接地之一些第二端子。

【0068】 基板 20 可視情況進一步包括覆疊第一表面 21 及/或第二表面 22 上之介電層 12。如在圖 5B 中所展示，介電層 12 可覆疊基板之第二表面 22。此介電層 12 可使諸如導電元件 24 之導電元件及端子 25 與基板 20 電絕緣(若需要此電絕緣)。此介電層 12 可被稱為基板 20 之「鈍化層」。介

電層 12 可包括無機或有機介電材料或無機及有機介電材料兩者。介電層 12 可包括電鍍保形塗層或其他介電材料，例如，可光成像聚合材料(例如，焊料遮罩材料)。在一特定實例中，介電層 12 可為諸如彈性體材料的柔性材料之層，其具有類似於在美國專利第 5,679,977 中描述之結構及功能的結構及功能，該專利之揭示內容在此以引用的方式併入本文中。

【0069】 在本文中描述之實施例中，覆疊基板 20 之第一表面 21 或第二表面 22 的介電層 12 可具有實質上小於基板之厚度的厚度，使得基板可具有大致等於基板之材料之 CTE 的有效 CTE，即使介電層之 CTE 實質上高於基板材料之 CTE 亦如此。在一實例中，基板 20 可具有小於 12 ppm/°C 之有效 CTE。

【0070】 微電子封裝 10 亦可包括複數個微電子元件 30，其各自具有面向基板 20 之第一表面 21 的前表面 31。儘管微電子元件 30 在圖 5A 及其他圖中展示為在軸線 29 之方向上彼此偏移，但情況未必如此。微電子元件 30 之此偏移在諸圖中係為了微電子元件相對於彼此之覆疊位置的改良之清晰性而展示。在一特定實施例中，微電子元件 30 中之每一者的周邊邊緣 34a 可在第一共同平面中對準，且與微電子元件中之每一者的周邊邊緣 34a 對置之周邊邊緣 34b 可在第二共同平面中對準。

【0071】 在一實例中，微電子元件 30 中之一或多者可為各自具有記憶體儲存陣列功能之裸晶片或微電子單元。然而，在一特定實例中，微電子元件 30 中之一或多者可併有諸如動態隨機存取記憶體(「DRAM」)儲存陣列之記憶體儲存元件，或可經組態以主要充當 DRAM 儲存陣列(例如，DRAM 積體電路晶片)。在後者狀況下，第一微電子元件及第二微電子元件中之一

或多者可具有經組態以提供記憶體儲存陣列功能之數個主動裝置(例如，電晶體)，該數目大於用以提供任何其他功能之主動裝置的數目。如本文中所使用，「記憶體儲存元件」指代配置成陣列之大量記憶體晶胞，連同可用以儲存及自其擷取資料(諸如，用於資料在電介面上之輸送)之電路。在一特定實例中，微電子封裝 10 可包括於單列記憶體模組(「SIMM」)或雙列記憶體模組(「DIMM」)中。

【0072】 在本文中所描述之實施例中之任一者中，微電子元件 30 中之一或多者可用以下技術中之一或多者來實施：DRAM、NAND 快閃記憶體、RRAM(「電阻性 RAM」或「電阻性隨機存取記憶體」)、相變記憶體(「PCM」)、磁阻性隨機存取記憶體(例如，可體現穿隧接面裝置)、靜態隨機存取記憶體(「SRAM」)、自旋轉矩 RAM 或內容可定址記憶體連同其他者。

【0073】 在一特定實例中，包括記憶體儲存元件之微電子元件 30 可具有至少一記憶體儲存陣列功能，但微電子元件可能不為全功能記憶體晶片。此微電子元件自身可能不具有緩衝功能，但其可電連接至微電子元件之堆疊中的其他微電子元件，其中堆疊中之至少一微電子元件具有緩衝功能(緩衝微電子元件可為緩衝器晶片、全功能記憶體晶片或控制器晶片)。

【0074】 在其他實例中，本文中所描述之封裝中之任一者中的微電子元件中之一或多者可經組態以主要提供記憶體儲存陣列功能，此係因為微電子元件中之一或多者可具有經組態以提供記憶體儲存陣列功能之數個主動裝置(例如，電晶體)，該數目大於用以提供任何其他功能(例如，作為快閃記憶體、DRAM 或其他類型之記憶體)之主動裝置的數目，且微電子元件

中之該一或多者可與經組態以主要提供邏輯功能之另一微電子元件或「邏輯晶片」一起配置於封裝中。在一特定實施例中，邏輯晶片可為可程式化或處理器元件，諸如微處理器或其他通用計算元件。邏輯晶片可為微控制器元件、圖形處理器、浮點處理器、共處理器、數位信號處理器等。在一特定實施例中，邏輯晶片可主要執行硬體狀態機功能，或以其他方式硬編碼以適於特定功能或目的。或者，邏輯晶片可為特殊應用積體電路(「ASIC」)或場可程式化閘陣列(「FPGA」)晶片。在此變化中，封裝接著可為「系統級封裝」(「SIP」)。

【0075】 在另一變化中，本文中所描述之封裝中之任一者中的微電子元件可具有嵌入於其中之邏輯功能及記憶體功能兩者，諸如可程式化處理器，其具有與其一起嵌入於同一微電子元件中之一或多個相關聯之記憶體儲存陣列。此微電子元件有時被稱為「系統單晶片」(「SOC」)，此係因為諸如處理器之邏輯與諸如記憶體儲存陣列或用於執行可為專業化功能之某一其他功能之電路的其他電路一起嵌入。

【0076】 每一微電子元件 30 可具有在其前表面 31 處曝露之複數個導電元件接點 35。如在圖 5C 及圖 5D 中所示，每一微電子元件 30 之接點 35 可配置成安置於前表面 31 的佔據前表面之區域之中心部分的中心區 37 中之一(圖 5C)或多個(圖 5D)行 36。舉例而言，中心區 37 可佔據前表面 31 的包括微電子元件 30 之對置周邊邊緣 32a、32b 之間的最短距離之中間三分之一的區域。在圖 5C 中所展示之特定實例中，當每一微電子元件 30 之接點 35 配置於微電子元件之中心區 37 中時，可沿著平分微電子元件之軸線 39 配置接點。如在圖 5B 中所展示，每一微電子元件 30 之接點 35 可與孔隙 26 中

之至少一者對準。

【0077】 在一種類型之此微電子元件 30 中，元件接點 35 中之一些接點中之每一者專用於接收供應至微電子元件之複數個位址信號中之各別位址信號。在此狀況下，此等接點 35 中之每一者能夠接收自外部供應至微電子元件 30 之複數個位址信號中之一各別位址信號。

【0078】 在此類型之微電子元件 30 之一特定實例中，在元件接點 35 處呈現之複數個位址信號中之每一者可相對於由各別微電子元件使用之時脈之邊緣(亦即，在不同之第一電壓狀態與第二電壓狀態之間的時脈轉變後即)進行取樣。亦即，每一位址信號可在時脈之較低電壓狀態與較高電壓狀態之間的上升轉變後或在時脈之較高電壓狀態與較低電壓狀態之間的下降轉變後即進行取樣。因此，複數個位址信號可皆在時脈之上升轉變後即進行取樣，或此等位址信號可皆在時脈之下降轉變後即進行取樣，或在另一實例中，在元件接點 35 中之一者處的位址信號可在時脈之上升轉變後即進行取樣，且在另一外部接點處之位址信號可在時脈之下降轉變後即進行取樣。

【0079】 在經組態以主要提供記憶體儲存陣列功能之另一類型之微電子元件 30 中，可以多工方式使用其上之位址接點中的一或多者。在此實例中，各別微電子元件 30 之特定元件接點 35 可接收自外部供應至微電子元件之兩個或兩個以上不同信號。因此，第一位址信號可在不同之第一電壓狀態與第二電壓狀態之間的第一時脈轉變(例如，上升轉變)後即在特定接點 35 處進行取樣，且不同於第一位址信號之信號可在第一電壓狀態與第二電壓狀態之間的第二時脈轉變(例如，下降轉變)後即在特定接點處進行取樣，

該第二轉變與第一轉變相反。

【0080】 以此多工方式，兩個不同信號可在各別微電子元件 30 之同一元件接點 35 上在時脈之同一循環內接收。在一特定狀況下，以此方式多工可允許在各別微電子元件 30 之同一元件接點 35 上在同一時脈循環中接收第一位址信號及不同信號。在又一實例中，以此方式多工可允許在各別微電子元件 30 之同一元件接點 35 上在同一時脈循環中接收第一位址信號及第二不同位址信號。

● 【0081】 在一特定實例中，微電子元件 30 中之每一者可在功能上及機械上等效於微電子元件中之其他者，使得每一微電子元件可具有在前表面 31 處曝露之導電接點 35 之相同型樣，伴有相同功能，但每一微電子元件之長度、寬度及高度的特定尺寸可與其他微電子元件之長度、寬度及高度的尺寸不同。

● 【0082】 在圖 5A 及圖 5B 中所展示之特定配置中，微電子封裝 10 可經組態以經由封裝之共同第一端子 25a 而非經由封裝之各自專用於微電子元件 30 中之特定者的兩個或兩個以上端子 25(諸如，第二端子 25b)來投送多個微電子元件 30 所共有之信號。以此方式，有可能減小電路面板(例如，圖 5E 中所展示之電路面板 60)上微電子封裝 10 可連接至的接點之數目。此外，有可能減小電路面板上下伏於微電子封裝 10 之接點、金屬化導通孔及投送層之數目，此可簡化電路面板之設計且降低其製造複雜性及成本。

【0083】 如在圖 5A 中所展示，微電子封裝 10 之第一端子 25a 可安置於配置於基板 20 之第二表面 22 之中心區 23 中的一或多個格柵 15 之位置處的第一端子之一或多個集合中。配置於格柵 15 之位置處的第一端子 25a 之

每一集合可包括第一端子之一或多個行 16。如在圖 5A 中所展示，格柵 15 之所有位置可由第一端子 25a 中之對應者佔據。或者(未圖示)，格柵 15 之一或多個行 16 的位置中之至少一者可能未由第一端子 25a 佔據。舉例而言，未由第一端子 25a 佔據之此位置可由第二端子 25b 佔據，或此位置可能未由任何端子佔據。如在圖 5A 中所展示，微電子封裝 10 可包括第一端子 25a 之兩個平行的行 16。此等行 16 可平行於孔隙 26 之軸線 29 而定向。

【0084】 微電子封裝 10 之第二端子 25b 可安置於配置於基板 20 之第二表面 22 之周邊區 28 中的一或多個格柵 17 之位置處的第二端子之一或多個集合中。配置於格柵 17 之位置處的第二端子 25b 之每一集合可包括第二端子之一或多個行 18。如在圖 5A 中所展示，格柵 17 之所有位置可由第二端子 25b 中之對應者佔據。或者(未圖示)，格柵 17 之位置中之至少一者可能未由第二端子 25b 佔據。如在圖 5A 中所展示，微電子封裝 10 之每一格柵 17 可包括第二端子 25b 之兩個平行的行 18。此等行 18 可平行於孔隙 26 之軸線 29 而定向(如在圖 5A 中所展示)，或在其他實例中，行 18 可具有其他定向(例如，如在圖 4A 中所展示)。

【0085】 在一實施例中，經組態以攜載不同於位址信號之信號的第二端子 25b 中之至少一些可配置於亦含有第一端子 25a 之格柵 15 內的位置處。在一實例中，經組態以攜載不同於命令信號、位址信號及時脈信號之信號的第二端子 25b 中之至少一些可配置於亦含有第一端子 25a 之格柵 15 內的位置處。

【0086】 儘管將第一端子 25a 及第二端子 25b 展示為在軸線 29 之方向上處於鄰近行 16 或 18 內之同一相對位置處，但此等端子實際上可安置於

在軸線 29 之方向上稍微偏移之位置處。舉例而言，儘管未在圖 5A 中展示，但可將第一端子 25a 及第二端子 25b 中之至少一者安置於端子之鄰近行之間。在另一實例中，格柵 15、17 中之一或多者可包括端子之一行，端子之該行之行軸線延伸穿過此行之大部分端子 25，亦即，相對於其而居中。然而，在此行中，端子中之一或多者可能並不相對於行軸線而居中。在此狀況下，將此等一或多個端子視為特定行之部分，即使此端子可能並不相對於行軸線而居中亦如此，此係因為相比於與任何其他行之軸線之接近程度此端子更接近彼特定行之軸線。行軸線可延伸穿過不相對於行軸線居中之此等一或多個端子，或在一些狀況下，非居中端子可較遠離行軸線，使得行軸線可能甚至不穿過該行之此等非居中端子。在一個行中或甚至在一個以上行中可存在並不關於格柵中之各別行之行軸線居中的一個、若干個或許多端子。此外，端子 25 之格柵 15、17 有可能含有以群組而非行進行之端子之配置，諸如，以形狀如環、多邊形或甚至端子之分散分佈的配置。

【0087】 在其他實施例中，微電子封裝 10 可包括其他數量及組態之行 16 及行 18，如將在以下參看圖 6A 至圖 9H 展示及描述。舉例而言，在本文中描述之實施例中的一些中，第一端子可配置成不超過四行或配置成不超過兩行。儘管在諸圖中展示了具有端子之一行及兩行之格柵，但在本文中描述之實施例中之任一者中的格柵可具有端子之任何數目行。

【0088】 接點 35 與端子 25 之間的電連接件可包括可選引線(例如，導線結合件 40)或引線之至少部分與孔隙 26 中之至少一者對準的其他可能結構。舉例而言，如在圖 5B 中所見，電連接件中之至少一些可包括導線結合件 40，其延伸超出基板中之孔隙 26 之邊緣，且接合至接點 35 及基板之

導電元件 24。在一實施例中，該等電連接件中之至少一些可包括引線結合件。此等連接件可包括在導電元件 24 與端子 25 之間沿著基板 20 之第一表面 21 及第二表面 22 中之任一者或兩者延伸的引線。在一特定實例中，此等引線可電連接於每一微電子元件 30 之接點 35 與第一端子 25a 之間，每一引線具有與孔隙 26 中之至少一者對準的一部分。

【0089】 通過封裝之第一端子 25a 的至少一些信號可為微電子元件 30 中之至少兩者所共有。可經由自端子 25 至微電子元件 30 之對應接點 35 的在平行於基板之第一表面 21 及第二表面 22 的方向上在基板 20 上或內延伸之連接件(諸如，導電跡線)來投送此等信號。舉例而言，安置於基板 20 之第二表面 22 之中心區 23 中的第一端子 25a 可經由導電跡線、導電元件 24(例如，結合襯墊)及接合至導電元件 24 及接點 35 之導線結合件 40 與每一微電子元件 30 之導電接點 35 電連接。

【0090】 如在圖 5A 及圖 5B 中所展示，微電子封裝 10 可包括相對於彼此堆疊之兩個微電子元件 30，包括第一微電子元件 30a 及第二微電子元件 30b。在圖 5A 及圖 5B 中所展示之實施例中，第一微電子元件 30a 之前表面 31 可面對基板 20 之第一表面 21，且第二微電子元件 30b 之前表面 31 與第一微電子元件 30a 之後表面 33 可面向彼此。第二微電子元件 30b 之前表面 31 的至少一部分可覆疊第一微電子元件 30a 之後表面 33 的至少一部分。第二微電子元件 30b 之前表面 31 的中心區 37 之至少一部分可突出於第一微電子元件 30a 之側向邊緣 32b 之外。因此，第二微電子元件 30b 之接點 35 可定位於突出於第一微電子元件 30a 之側向邊緣 32b 之外的位置中。

【0091】 間隔件 14 可定位於第二微電子元件 30b 之前表面 31 與基板

20 之第一表面 21 的一部分之間。此間隔件 14 可(例如)由諸如二氧化矽之介電材料、諸如矽之半導體材料或一或多個黏接劑層製成。若間隔件 14 包括黏接劑，則黏接劑可將第二微電子元件 30b 連接至基板 20。在一實施例中，間隔件 14 可在實質上垂直於基板 20 之第一表面 21 之垂直方向 V 上具有實質上與在第一微電子元件 30a 之前表面 31 與後表面 33 之間的第一微電子元件 30a 之厚度 T2 相同的厚度 T1。

【0092】 在一特定實施例中，可用一或多個微電子元件(包括經組態以執行緩衝功能之晶片)替換間隔件 14，此微電子元件具有面向基板 20 之第一表面 21 的表面。在一實例中，此緩衝晶片可覆晶結合至在基板 20 之第一表面 21 處曝露的接點。每一此緩衝器元件可用以提供封裝之端子(特定而言，對於在封裝之第一端子處接收到的上文所提到之命令位址匯流排信號)與封裝中之微電子元件中之一或多者之間的信號隔離。在一實例中，此緩衝晶片或緩衝器元件可電連接至微電子封裝 10 中之端子 25 中之至少一些及微電子元件 30 中之一或多者，緩衝器晶片經組態以再生在微電子封裝之端子中之一或多者處接收到的至少一信號。通常，該一或多個緩衝器元件再生在第一端子處接收到或在第二端子處接收到之信號，且將再生之信號傳送封裝中之微電子元件。

【0093】 在一特定實例中，此緩衝晶片可經組態以對位址資訊進行緩衝，或在一實例中，對傳送至微電子元件 30a 及 30b 中之一或多者的命令信號、位址信號及時脈信號進行緩衝。或者或除如上文所描述再生信號之外，在一特定實例中，此額外微電子元件亦可經組態以部分或完全解碼在端子處(諸如，在第一端子處)接收到之位址資訊或命令資訊中之至少一者。解碼

晶片可接著輸出此部分或完全解碼之結果以供傳送至微電子元件 30a 及 30b 中之一或多者。

【0094】 在一特定實施例中，替代前文所提及之緩衝晶片及/或解碼晶片或除前文所提及之緩衝晶片及/或解碼晶片之外，亦可將一或多個去耦電容器安置於由間隔件 14 佔據之空間之至少一部分中，且此等去耦電容器可電連接至在微電子封裝 10 內之內部電源供應器及/或接地匯流排。

【0095】 一或多個黏接層 13 可定位於第一微電子元件 30a 與基板 20 之間、第一微電子元件 30a 與第二微電子元件 30b 之間、第二微電子元件 30b 與間隔件 14 之間及間隔件 14 與基板 20 之間。此等黏接層 13 可包括用於將微電子封裝 10 之前文所提及之組件彼此結合的黏接劑。在一特定實施例中，該一或多個黏接層 13 可在基板 20 之第一表面 21 與第一微電子元件 30a 之前表面 31 之間延伸。在一實施例中，該一或多個黏接層 13 可將第二微電子元件 30b 之前表面 31 的至少一部分附著至第一微電子元件 30a 之後表面 33 的至少一部分。

【0096】 在一實例中，每一黏接層 13 可部分或完全由晶粒附著黏接劑製成，且可由低彈性模數材料(諸如，聚矽氧彈性體)組成。在一實施例中，晶粒附著黏接劑可為柔性的。在另一實例中，若兩個微電子元件 30 為由同一材料形成之習知半導體晶片，則每一黏接層 13 可完全或部分由高彈性模數黏接劑或焊料之薄層製成，此係因為該等微電子元件將傾向於回應於溫度改變而一致地膨脹及收縮。與使用之材料無關，黏接層 13 中之每一者在其中可包括單一層或多個層。在間隔件 14 係由黏接劑製成之一特定實施例中，可省略定位於間隔件 14 與第二微電子元件 30b 及基板 20 之間的黏接層

13。

【0097】 微電子封裝 10 亦可包括囊封劑 50，其可視情況覆蓋、部分覆蓋或不覆蓋微電子元件 30 之後表面 33。舉例而言，在圖 5B 中所展示之微電子封裝 10 中，可使囊封劑流動、模板印刷、網版印刷或施配至微電子元件 30 之後表面 33 上。在另一實例中，囊封劑 50 可為藉由包覆成型形成於後表面 33 上之模製化合物。

【0098】 微電子封裝 10 可進一步包括可視情況覆蓋導線結合件 40 及基板 20 之導電元件 24 的囊封劑(未圖示)。此囊封劑亦可視情況延伸至孔隙 26 內，且其可覆蓋微電子元件 30 之接點 35。

【0099】 在一特定實施例中，微電子封裝 10 可經組態以與另一此類微電子封裝及諸如以下描述之電路面板 60 之電路面板組裝在一起，使得微電子封裝中之每一者組裝至電路面板之對置表面。

【0100】 現參看圖 5E，微電子總成 5 可包括可安裝至共同電路面板 60 之兩個或兩個以上微電子封裝 10(例如，第一微電子封裝 10a 及第二微電子封裝 10b)。電路面板 60 可具有對置之第一表面 61 及第二表面 62 以及在各別第一表面及第二表面處曝露之複數個導電之第一面板接點 65a 及複數個導電之第二面板接點 65b(共同地為面板接點 65)。微電子封裝 10 可(例如)藉由可在端子 25 與面板接點之間延伸的接合單元 11 安裝至面板接點 65。如在圖 5E 中所展示，第一微電子封裝 10a 之基板 20 之第二表面 22 及第二微電子封裝 10b 之基板之第二表面可彼此覆蓋至少 90%。在一特定實例中，電路面板 60 可包括具有小於 30 ppm/°C 之 CTE 的元件。在一實施例中，此元件可本質上由半導體、玻璃、陶瓷或液晶聚合物材料組成。

【0101】 第一微電子封裝 10a 之第一端子 25a 可經由電路面板 60 電連接至第二微電子封裝 10b 之第一端子。第一微電子封裝 10a 之第一端子 25a 可配置於第一格柵 15a 之位置處，且第二微電子封裝 10b 之第一端子 25b 可配置於第二格柵 15b 之位置處。如在圖 5A 中所展示，第一微電子封裝 10a 之第一格柵 15a 之第一端子 25a 可與第二微電子封裝 10b 之第二格柵 15b 之對應第一端子 25b(第一端子 25a 連接至其)在一球間距內對準。

【0102】 如本文中所使用，在特定數目個球間距內之對準意謂關於垂直於基板之第一表面之水平方向在特定數目個球間距內對準。在一例示性實施例中，各別第一封裝 10a 及第二封裝 10b 之格柵 15a、15b 的每一對電連接之端子可在平行於電路面板 60 之第一表面 61 的正交 x 及 y 方向上在一球間距內彼此對準。

【0103】 在一實施例中，各別第一微電子封裝 10a 及第二微電子封裝 10b 之格柵 15a 及 15b 可在功能上及機械上匹配，使得格柵 15a 及 15b 中之每一者可具有在具有相同功能之各別微電子封裝 10a 或 10b 之基板 20 之第二表面 22 處的第一端子 25a 之相同圖案，但每一微電子封裝 10 之長度、寬度及高度的特定尺寸可不同於其他微電子封裝之長度、寬度及高度的尺寸。在具有功能上及機械上匹配之格柵 15a 及 15b 之此實施例中，每一微電子封裝 10 之第一端子 25a 可經定向，使得第一微電子封裝 10a 之格柵之功能頂端 19(其在圖 5A 中可見)可覆疊第二微電子封裝 10b 之格柵之功能頂端 19。

【0104】 在一特定實例(未圖示)中，第一端子 25a 沿著第一及第二微電子封裝 10 中之至少一者的基板 20 之第二表面 22 之空間分佈可不同於其

電連接至的對應面板接點 65 之空間分佈，使得第一端子 25a 中之至少一者並不直接覆疊其電連接至的對應面板接點 65。

【0105】 如在圖 5E 中所展示且在本文中之其他微電子總成側視截面圖中，為了清楚起見，自諸圖省略第二端子。舉例而言，在圖 5E 中，儘管在圖中未展示第二端子，但第二端子可存在於每一微電子封裝 10 之第二表面 22 之周邊區 28 中。每一微電子封裝 10 之第二端子可(例如)藉由可在第二端子與面板接點之間延伸的接合單元(諸如，接合單元 11)安裝至面板接點 65 中之對應者。

【0106】 如圖 5E 中所展示，微電子總成 5 之電路面板 60 可包括用於投送所有命令信號、位址信號、記憶體庫位址信號及時脈信號之一或多個投送層 66(例如，電路面板上之導電跡線層)。如在圖 5E 中所展示，延伸穿過電路面板 60 之金屬化導通孔 67 可藉由投送層 66 之導電結構 68(例如，跡線)耦接至面板接點 65。在一特定實例中，連接在電路面板 60 之各別第一表面 61 及第二表面 62 處曝露的一對電耦接之第一面板接點 65a 及第二面板接點 65b 的導電元件(例如，導通孔 67 及導電結構 68)之總組合長度可小於面板接點 65 之最小間距之 7 倍。

【0107】 在一實例中，在具有具格柵 15(各自具有配置成兩個平行的行 16 之第一端子 25a)之微電子封裝的微電子總成實施例中，電路面板 60 可包括投送所有命令信號、位址信號、記憶體庫位址信號及時脈信號所需之不超過兩個投送層 66。然而，電路面板 60 可包括用於投送不同於由第一端子 25a 攜載之特定信號之信號的兩個以上投送層。

【0108】 在圖 5E 中所展示之實施例中，第一面板接點 65a 可接合至

第一微電子封裝 10a 之第一端子 25a，且可配置成在電路面板 60 之第一表面 61 處曝露的第一及第二線性延伸的行，且第二面板接點 65b 可接合至第二微電子封裝 10b 之第一端子 25a，且可配置成在電路面板 60 之第二表面 62 處曝露的第一及第二線性延伸的行。展示為結合至藉由「A」標示之接合單元 11 的第一面板接點 65a 之第一行可與第二面板接點 65b 之第二行在電路面板之厚度之方向上對準，且第一面板接點 65a 之第二行可與第二面板接點 65b(亦展示為結合至藉由「A」標示之接合單元)之第一行在電路面板厚度之方向上對準。

【0109】 在第一表面 61 處之藉由「A」標示的第一面板接點 65a 中之每一者可電耦接至在第二表面 62 處之藉由「A」標示的對應第二面板接點 65b，使得在每一表面 61、62 處之第一行中之每一面板接點 65 可耦接至在對置表面處之第一行中之對應面板接點。在圖 5E 中，經由點線 69a 及 69b 展示面板接點 65 之對應者之間的示意性電連接。又，在每一表面 61、62 處之第二行中之每一面板接點 65 可耦接至在對置表面處之第二行中之對應面板接點。

【0110】 在微電子總成 5 中，第一微電子封裝 10a 之每一第一端子 25a 可經由電路面板 60 電耦接至具有相同功能之第二微電子封裝 10b 之對應第一端子，其中短線長度為相對短的。如本文中所使用，「短線長度」意謂在電路面板之第一表面處的微電子封裝 10 之端子 25 與電路面板之第二對置表面處的微電子封裝之對應端子之間的最短電連接件之總長度。在一實例中，第一微電子封裝 10a 與第二微電子封裝 10b 之間的電連接之短線長度可小於每一微電子封裝之第一端子 25a 的最小間距之 7 倍。

【0111】 圖 5F 說明上文相對於圖 5E 所描述之實施例之變化，其中延伸穿過電路面板 60' 之金屬化導通孔 67' 與第一微電子元件 10a 及第二微電子元件 10b 中之每一者的第一端子 25a 一起配置於共同垂直平面中。儘管導通孔 67' 與第一端子 25a 處於共同垂直平面中，但第一微電子封裝 10a 及第二微電子封裝 10b 中之每一者中的對應第一端子 25a 可彼此水平偏移，使得電路面板之水平及垂直延伸之導電結構(例如，跡線及金屬化導通孔)可電連接對應第一端子。類似於圖 5E，經由點線 69a 及 69b 展示圖 5F 中之面板接點 65 之對應者之間的示意性電連接。

【0112】 在微電子總成 5 之特定實施例(如在圖 5G 中所展示)中，可在電路面板(諸如，電路面板 60)上之複數個微電子封裝 10a、10b 連接所在的連接位點之間在至少一方向 D1 上投送命令-位址匯流排信號，使得命令-位址匯流排 137 之信號在稍微不同時間在各別連接位點 I、II 或 III 處到達每一對封裝 10a 及 10b。如在圖 5G 中所見，至少一方向 D1 可橫向於或正交於至少一微電子元件 30 上之複數個接點 35 之至少一行 36 延伸的方向 D2。以此方式，在一些狀況下，電路面板 60 上(亦即，電路面板 60 上或電路面板 60 內)之命令-位址匯流排 137 之信號導體可在平行於已連接至或待連接至電路面板 60 之封裝 10a 或 10b 內之微電子元件 30 上的接點 35 之至少一行 36 之方向 D2 上彼此隔開。

【0113】 特定而言，當每一微電子封裝 10a、10b 之第一端子 25a 配置成在此方向 D2 上延伸之一或多個行時，此組態可幫助簡化電路面板 60 上之用以投送命令-位址匯流排信號之一或多個投送層之信號導體的繞線。舉例而言，當將相對少之第一端子在每一封裝上安置於相同的垂直佈局位

置處時，有可能簡化在電路面板上之命令-位址匯流排信號之投送。因此，在圖 5A 中所展示之實例中，僅兩個第一端子 25a 在每一封裝上安置於相同的垂直佈局位置處，諸如經組態以接收位址信號 A3 及 A1 之第一端子。

【0114】 在一例示性實施例中，微電子總成 5 可具有可包括半導體晶片之微電子元件 30'，該微電子元件 30'經組態以主要執行邏輯功能(諸如，固態驅動控制器)，且微電子封裝 10a 及 10b 中之微電子元件 30 中的一或多者可各自包括諸如非揮發性快閃記憶體之記憶體儲存元件。微電子元件 30'可包括專用處理器，該專用處理器經組態以解除諸如系統 1300(圖 13)之系統之中央處理單元對至及自包括於微電子元件 30 中之記憶體儲存元件的資料傳送之監督。包括固態驅動控制器之此微電子元件 30'可提供至及自諸如系統 1300 之系統的主機板(例如，圖 13 中所展示之電路面板 1302)上之資料匯流排的 direct 記憶體存取。在一特定實施例中，微電子元件 30'可經組態以執行緩衝功能，例如，微電子元件 30'可經組態以再生上文所提到之命令-位址匯流排信號以供傳送至微電子封裝 10a 及 10b 中之每一者。此微電子元件 30'可經組態以幫助提供微電子元件 30 中之每一者關於微電子總成 5 外部之組件的阻抗隔離。

【0115】 在具有包括控制器功能及/或緩衝功能之微電子元件 30'的微電子總成 5 之此實施例中，可在各別連接位點 I、II 或 III 處在微電子元件 30'與每一對封裝 10a 及 10b 之間投送命令-位址匯流排信號。在圖 5G 中所展示之特定實例中，延伸經過連接位點 I、II 或 III 之命令-位址匯流排 137 之一部分可在方向 D2 上或在橫向於方向 D1 之另一方向上延伸以到達微電子元件 30'之接點。在一實施例中，命令-位址匯流排 137 可在方向 D1 上延伸

以到達微電子元件 30'之接點。

【0116】 圖 6A 說明上文相對於圖 5A 所描述之實施例之變化，其中微電子封裝 610 之第一端子 625a 配置於具有單一行 616 之格柵 615 中。儘管展示格柵 615 延伸超出微電子元件 630 之前表面 631 的外邊界，但情況未必如此。此實施例之潛在優勢可見於圖 6B 中，圖 6B 展示微電子總成 605，其可包括可安裝至共同電路面板 660 之兩個或兩個以上微電子封裝 610。如圖 6B 中所展示，第一微電子封裝 610a 及第二微電子封裝 610b 中之每一者中的對應第一端子 625a 可配置於共同垂直平面中。在具有此構造之微電子總成 605 中，亦可簡化電路面板構造，此係因為每一對電連接之第一端子 625a 之間的繞線可主要在垂直方向上，亦即，在穿過電路面板之厚度之方向上。亦即，電路面板 660 上之導通孔連接件可為電連接安裝至電路面板之對置表面 661、662 的微電子封裝 610 之每一對對應第一端子 625a 所需的全部。

【0117】 在此實施例中，在第一微電子封裝 610a 及第二微電子封裝 610b 中之每一者中的對應第一端子 625a 彼此可能並不水平偏移(或可最小程度地水平偏移，例如，歸因於製造容限)，因此第一微電子封裝 610a 及第二微電子封裝 610b 之第一端子 625a 之間的穿過電路面板 660 之攜載命令信號、位址信號、記憶體庫位址信號及時脈信號的電連接件中之至少一些可具有大致為電路面板之厚度的電長度。如本文中所使用，「固定電位之信號」包括電源及接地(參考電位)信號。

【0118】 此外，可減小電路面板 660 上的在連接各別對微電子封裝 610 所處之連接位點之間沿著電路面板投送命令-位址匯流排信號所需的佈

線之投送層之數目。具體而言，沿著電路面板 660 投送此等信號所需之投送層之數目在一些狀況下可減小至兩個或兩個以下投送層。在一特定實施例中，可存在沿著電路面板 660 投送此等信號所需之不超過一個投送層。然而，在電路面板 660 上及內，可存在用於攜載其他信號之數目大於用於攜載命令-位址匯流排之上文所提到之信號的投送層之數目的投送層。

【0119】 圖 7A 說明上文相對於圖 5A 所描述之實施例之變化，其中微電子封裝 710 之第一端子 725a 安置於配置於平行的第一格柵 715a 及第二格柵 715b 內之各別位置中的第一端子之第一集合及第二集合中，每一格柵具有第一端子之兩個鄰近行 716。在此實施例中，配置於第一格柵 715a 內之位置處的第一集合中之第一端子 725a 可經組態以攜載與配置於第二格柵 715b 內之位置處的第二集合中之第一端子相同的所有信號指派，且展示第一集合及第二集合中之第一端子中之對應者的位置關於第一格柵與第二格柵之間的第三理論軸線 729c 鏡像複製，該第三理論軸線平行於孔隙 726a 及 726b 之平行的第一軸線 729a 及第二軸線 729b。在此實施例中，配置於第一格柵 715a 內之位置處的第一端子之第一集合中的經組態以攜載特定信號之每一第一端子 725a 可相對於配置於第二格柵 715b 內之位置處的第一端子之第二集合中的經組態以攜載同一信號之對應第一端子關於第三理論軸線 729c 對稱。換言之，第一集合中之第一端子 725a 之信號指派對應於第二集合中之對應第一端子之信號指派，且為第二集合中之對應第一端子之信號指派之鏡像。

【0120】 第三理論軸線 729c(第一端子 725a 之信號指派關於其對稱)可位於基板 720 上之各種位置處。在一特定實施例中，第三軸線 729c 可為

封裝的位於相距基板之對置之第一邊緣 727a 及第二邊緣 727b 等距離處的中心軸線，尤其在第一端子之行 716 在平行於邊緣 727a、727b 之方向上延伸且第一格柵 715a 及第二格柵 715b 安置於關於此中心軸線對稱之位置處時。

【0121】 或者，此對稱軸線可在水平方向(垂直於第三軸線 729c 之方向)上自在邊緣 727a、727b 之間等距的中心軸線偏移。在一實例中，第三軸線 729c 可位於基板 720 之第二表面 722 之中心線的第一端子 725a 之一球間距內，該中心線位於相距第二表面之對置之第一邊緣 727a 與第二邊緣 727b 之間等距離處。

【0122】 在一特定實例中，第一格柵 715a 之第一端子 725a 可與第一微電子元件 730a 電連接，且第二格柵 715b 之第一端子可與第二微電子元件 730b 電連接。在此狀況下，第一格柵 715a 之第一端子 725a 亦可不與第二微電子元件 730b 電連接，且封裝 710 之第二格柵 715b 之第一端子 725a 亦可不與第一微電子元件 730a 電連接。在又一實例中，第一格柵 715a 及第二格柵 715b 中之每一者的第一端子 725a 可與第一微電子元件 730a 及第二微電子元件 730b 中之每一者電連接。

【0123】 在第二格柵 715b 中之信號指派為第一格柵 715a 中之信號指派的鏡像之情況下，第一格柵之經指派以攜載信號 CK(時脈)之第一端子 725a 在該格柵內處於與第二格柵之經指派以攜載信號 CK 之對應第一端子相同的相對垂直位置(沿著第三軸線 729c 之方向)中。然而，由於第一格柵 715a 含有兩個行 716，且第一格柵之經指派以攜載信號 CK 之端子處於第一格柵之兩個行當中的左側行中，因此鏡像配置需要第二格柵 715b 之經指派以攜載信號 CK 之對應端子處於第二格柵之兩個行當中的右側行中。

【0124】 在根據上述實例之另一實例中，顯而易見，第一端子之第一格柵 715a 及第二格柵 715b 中之每一者的展示為「A3」之經指派以攜載位址資訊之端子(圖 7A 中所展示)指定微電子封裝 710 內之一或多個微電子元件的對應元件接點(圖 7B 中所展示)，該元件接點具有名稱「A3」。因此，將第一端子之第一集合及第二集合中之每一者中的在微電子封裝 710 外部之此等對應第一端子 725a(資訊經由其傳送至具有相同名稱(例如，「A3」)之元件接點)視為具有鏡像信號指派，即使第一集合及第二集合中之對應第一端子之名稱不同亦如此。因此，在一實例中，指派至具有鏡像信號指派(例如，第一端子之第一集合及第二集合中之每一者中的指定為「A3」之信號指派)之每一對第一端子 725a 的信號有可能識別攜載待輸入至微電子元件上之具有名稱「A3」之元件接點的資訊之端子，但第一集合及第二集合中之每一者中的對應端子之名稱可不同，諸如，在第一集合中可被給予名稱 A3L(A3 左)，且在第二集合中可被給予名稱 A3R(A3 右)。

【0125】 另外，在一些狀況下，在於圖 7A 中展示為「A3」之第一端子之對應對處提供至微電子封裝 710 的位址資訊可源自微電子結構外部之位置處的驅動器電路之相同輸出。結果，第一格柵 715a 之經指派以攜載信號「A3」之第一端子 725a(亦即，如上文所描述，用於將其上之資訊傳送至微電子元件之名稱為「A3」的元件接點)在該格柵內處於與第二格柵 715b 之經指派以攜載信號「A3」之對應第一端子 725a 相同的相對垂直位置(在方向 142 上)中。

【0126】 此配置之另一結果在於，在第一格柵 715a 及第二格柵 715b 中之每一者中，經指派以攜載信號 WE(寫入啟用)之端子亦在該格柵內處於

相同的相對垂直位置中。然而，在第一格柵 715a 中，經指派以攜載 WE 之端子處於第一格柵之兩個行 716 當中的右側行中，且鏡像配置需要第二格柵 715b 之經指派以攜載信號 WE 之對應端子處於第二格柵之兩個行當中的左側行中。如在圖 7A 中可見，相同的關係適用於第一格柵 715a 及第二格柵 715b 中之每一者中的每一第一端子 725a，至少適用於經指派以攜載如上文所論述之命令-位址匯流排信號的每一第一端子。

【0127】 如在圖 7A 中所展示，第二端子 725b 可處於平行的第一格柵 717a 及第二格柵 717b 中，且此等第一格柵及第二格柵中之第二端子 725b 中之對應者的位置可關於第三軸線 729c 鏡像複製。在一特定實例(未圖示)中，第二端子 725b 中之一些或全部可配置於基板 720 上之配置有第一端子 725a 之相同格柵 715a、715b 中。第二端子 725b 中之一些或全部可安置於與第一端子 725a 中之一些或全部相同的行中或不同的行中。在一些狀況下，一或多個第二端子 725b 可與第一端子 725a 在其相同格柵或行中穿插。

【0128】 類似於圖 6A 之實施例，圖 7A 之實施例之潛在優勢可見於圖 7B 中，圖 7B 展示微電子總成 705，該微電子總成 705 可包括可安裝至共同電路面板 760 之兩個或兩個以上微電子封裝 710。如在圖 7B 中所展示，第一微電子封裝 710a 及第二微電子封裝 710b 中之每一者中的對應第一端子 725a 可配置於共同垂直平面中，此可允許第一微電子封裝 710a 及第二微電子封裝 710b 之第一端子 725a 之間的穿過電路面板 760 之攜載命令信號、位址信號、記憶體庫位址信號及時脈信號的電連接件中之至少一些具有大致為電路面板之厚度的電長度。

【0129】 圖 8A 說明上文相對於圖 7A 所描述之實施例之變化，其中

微電子封裝 810 包括三個微電子元件 830。在此實施例中，微電子封裝 810 包括：第一微電子元件 830a 及第二微電子元件 830b，其各自具有配置於平行於基板 820 之第一表面 821 之單一平面中的前表面 831；及第三微電子元件 830c，其具有至少部分覆疊第一微電子元件及第二微電子元件中之每一者之後表面 833 的前表面 831。在一實例中，在具有三個微電子元件 830 之此微電子封裝中，第三微電子元件 830c 可為 NAND 快閃記憶體元件。

【0130】 基板 820 可具有第三孔隙 826c，該第三孔隙 826c 具有在第三孔隙之長度之方向上延伸的第三軸線 829c，該第三軸線平行於各別第一孔隙 826a 及第二孔隙 826b 之第一軸線 829a 及第二軸線 829b。第三微電子元件 830c 可具有在其第一表面 831 處之與孔隙 826 中之至少一者對準的複數個接點 835。

【0131】 類似於圖 7A 中所展示之實施例，微電子封裝 810 之第一端子 825a 配置於平行的第一格柵 815a 及第二格柵 815b 中，每一格柵具有第一端子之兩個鄰近行 816，且第一格柵及第二格柵中之端子 825a 中之對應者的位置展示為關於第一格柵與第二格柵之間的平行於第一軸線 829a 及第二軸線 829b 之第四軸線 829d(其可與第三軸線 829c 重合)而鏡像複製。

【0132】 在此變化中，第二端子 825b 中的一些可位於平行於第一端子 825a 之格柵 815 而定向的格柵 817 中，且第二端子中的一些可位於垂直於第一端子 825a 之格柵 815 而定向的格柵 817a 及 817b 中。

【0133】 可覆疊微電子元件 830a、830b 及 830c 之部分且可與其電連接的第二端子 825b 之格柵 817、817a 及 817b 可具有以任何合適配置來安置之端子，不存在將此等第二端子置放於格柵中之一者中的信號指派為格柵

中之另一者中的端子之信號指派之鏡像的該等格柵中之要求。在圖 8A 中所展示之特定實例中，兩個格柵 817 之信號指派相對於彼此關於第四軸線 829d 對稱，其中第四軸線在此等格柵 817 之間在一方向上延伸。

【0134】 又，如在圖 8A 中所展示，格柵 817a 中之第二端子 825b 之信號類別指派可關於第四軸線 829d 對稱，且格柵 817b 中之第二端子之信號類別指派可關於第四軸線對稱。如本文中所使用，若信號指派在同一指派類別中，則即使該類別內之數值索引不同，兩個信號類別指派仍可相對於彼此對稱。例示性信號類別指派可包括資料信號、資料選通信號、資料選通互補信號，及資料遮罩信號。在一特定實例中，在格柵 817b 中，具有信號指派 DQSH#及 DQSL#之第二端子 825b 關於其信號類別指派(其為資料選通互補)而關於第四軸線 829d 對稱，即使彼等第二端子具有不同信號指派亦如此。

【0135】 如在圖 8A 中進一步展示，資料信號至微電子封裝 810 上之格柵 817a 及 817b 中的第二端子 825b 之空間位置的指派(諸如，對於資料信號 DQ0、DQ1…)可(例如)具有關於諸如第四軸線 829d 之垂直軸線的模 X 對稱性。模 X 對稱性可幫助保持(諸如)在圖 5E 中所見之總成 5 中之信號完整性，在總成 5 中，一或多對第一封裝與第二封裝彼此對置地安裝至電路面板，且電路面板使每一對置安裝之封裝對中的彼等第一封裝及第二封裝之對應的多對第二端子電連接。如本文中所使用，當端子之信號指派具有關於軸線之「模 X 對稱性」時，攜載具有相同的索引編號「模 X」之信號的端子安置於關於軸線對稱之位置處。因此，在(諸如)圖 5E 中之此總成 5 中，模 X 對稱性可准許經由電路面板進行電連接，使得第一封裝之端子 DQ0 可

經由電路面板電連接至第二封裝之具有相同的索引編號模 X (X 在此狀況下為 8) 之端子 DQ8，使得可在本質上筆直穿通(亦即，垂直於)電路面板之厚度的方向上進行連接。

【0136】 在一實例中，「 X 」可為數 2^n (2 的 n 次冪)，其中 n 大於或等於 2，或 X 可為 $8 \times N$ ， N 為 2 或大於 2。因此，在一實例中， X 可等於半個位元組(4 個位元)、1 個位元組(8 個位元)、多個位元組($8 \times N$ ， N 為 2 或大於 2)、1 個字組(32 個位元)或多個字組中的位元之數目。以此方式，在一實例中，當存在如在圖 8A 中所展示之模 8 對稱性時，格柵 817b 中之經組態以攜載資料信號 DQ0 之封裝端子 DQ0 的信號指派與經組態以攜載資料信號 DQ8 之另一封裝端子的信號指派關於第四軸線 829d 對稱。此外，相同情形適用於格柵 817a 中之封裝端子 DQ1 及 DQ9 之信號指派。如在圖 8A 中進一步所見，格柵 817b 中之封裝端子 DQ2 及 DQ10 之信號指派具有關於第四軸線 829d 之模 8 對稱性，且相同情形適用於格柵 817a 中之端子 DQ3 及 DQ11。在格柵 817a 及 817b 中可見關於封裝端子 DQ0 至 DQ15 之信號指派中之每一者的(諸如)本文中所描述之模 8 對稱性。

【0137】 注意到以下情形為重要的，儘管未展示，但模數「 X 」可為不同於 2^n (2 的 n 次冪)之數，且可為大於 2 之任何數。因此，對稱性所基於之模數 X 可取決於存在於藉以建構或組態封裝之資料大小中的位元之數目。舉例而言，當資料大小為 10 個位元而非 8 個位元時，則信號指派可具有模 10 對稱性。可甚至為如下狀況：當資料大小具有奇數個位元時，模數 X 可具有此數值。

【0138】 此實施例之一潛在優勢可見於圖 8B 中，圖 8B 展示微電子

總成 805，該微電子總成 805 可包括可安裝至共同電路面板 860 之兩個或兩個以上微電子封裝 810。如圖 8B 中所展示，第一微電子封裝 810a 及第二微電子封裝 810b 中之每一者中的對應第一端子 825a 可配置於共同垂直平面中。

【0139】 在此實施例中，第一微電子封裝 810a 及第二微電子封裝 810b 中之每一者中的對應第一端子 825a 彼此可能並不水平偏移(或可最小程度地水平偏移，例如，歸因於製造容限)，因此第一微電子封裝 810a 及第二微電子封裝 810b 之第一端子 825a 之間的穿過電路面板 860 之攜載命令信號、位址信號、記憶體庫位址信號及時脈信號的電連接件中之至少一些可具有大致為電路面板之厚度的電長度。

【0140】 圖 9A 說明上文相對於圖 8A 所描述之實施例之變化，其中微電子封裝 910 包括四個微電子元件 930。在此實施例中，微電子封裝 910 包括：第一微電子元件 930a 及第三微電子元件 930c，其各自具有配置於平行於基板 920 之第一表面 921 之單一平面中的前表面 931；及第二微電子元件 930b 及第四微電子元件 930d，其各自具有至少部分覆疊第一微電子元件及第三微電子元件中之至少一者之後表面 933 的前表面 931。

【0141】 基板 920 可具有第四孔隙 926d，該第四孔隙 926d 具有在第四孔隙之長度之方向上延伸的第四軸線 929d，該第四軸線平行於各別第一孔隙 926a、第二孔隙 926b 及第三孔隙 926c 之第一軸線 929a、第二軸線 929b 及第三軸線 929c。第四微電子元件 930c 可具有在其第一表面 931 處之與孔隙 926 中之至少一者對準的複數個接點 935。

【0142】 類似於圖 8A 中所展示之實施例，微電子封裝 910 之第一端

子 925a 配置於平行的第一格柵 915a 及第二格柵 915b 中，每一格柵具有第一端子之兩個鄰近行 916，且第一格柵及第二格柵中之端子 925a 中之對應者的位置展示為關於第一格柵與第二格柵之間的平行於第一軸線 929a、第二軸線 929b、第三軸線 929c 及第四軸線 929d 的第五軸線 929e 而鏡像複製。

【0143】 在具有四個微電子元件 930 及第一端子 925a(相對於彼此關於其間之軸線 929e 鏡像複製)之兩個格柵 915 的此實施例中，格柵中之每一者可電連接至微電子元件中之至少兩者。

【0144】 此實施例之一潛在優勢可見於圖 9B 中，圖 9B 展示微電子總成 905，該微電子總成 905 可包括可安裝至共同電路面板 960 之兩個或兩個以上微電子封裝 910。如圖 9B 中所展示，第一微電子封裝 910a 及第二微電子封裝 910b 中之每一者中的對應第一端子 925a 可配置於共同垂直平面中。

【0145】 在圖 9A 及圖 9B 中所展示之實施例之變化(未圖示)中，第四微電子元件 930d 可部分覆疊第一微電子元件 930a，但其可不覆疊第三微電子元件 930c。在此變化中，諸如圖 9B 中所展示之間隔件 914 的第二間隔件可添加至微電子封裝 910。此第二間隔件可鄰近第三微電子元件 930c 且在第四微電子元件 930d 之前表面 931 與基板 920 之第一表面 921 之間安置。以類似於圖 9B 中所展示之可向第二微電子元件 930b 提供某一機械支撐的間隔件 914 之方式，此間隔件可提供對第四微電子元件 930d 之額外機械支撐。此變化可包括微電子元件之兩個鄰近重疊對，其將具有覆疊同一基板之彼此鄰近安置的兩對微電子元件 30a、30b(圖 5B)之外觀。

【0146】 圖 9C 至圖 9F 展示圖 9A 中所展示的微電子封裝之實施例之

變化。圖 9C 展示具有配置於兩個平行格柵 915 中之第一端子 925a 的微電子封裝 901，每一格柵具有單一行 916。

【0147】 圖 9D 展示具有配置於四個平行格柵 915 中之第一端子 925a 的微電子封裝 902，每一格柵具有兩個行 916。如在圖 9D 中所展示，兩個外格柵 915a 及 915b 可關於外格柵之間的平行於第一軸線 929a、第二軸線 929b、第三軸線 929c 及第四軸線 929d 之第五軸線 929e 相對於彼此鏡像複製，且兩個內格柵 915c 及 915d 可關於第五軸線相對於彼此鏡像複製。在圖 9D 之變體(未圖示)中，每一外格柵 915a 及 915b 亦可相對於內格柵 915c 及 915d 中之鄰近者鏡像複製。

【0148】 圖 9E 至圖 9H 展示具有四個微電子元件 930 之微電子封裝 903、903'、904 及 904'，每一微電子元件具有在其第一表面 931 處之與孔隙 926 中之至少一者對準的複數個接點 935，但第一孔隙 926a 與第三孔隙 926c 具有在第一孔隙及第三孔隙之長度之方向上延伸的共同第一軸線 929a，且第二孔隙 926b 與第四孔隙 926d 具有在第二孔隙及第四孔隙之長度之方向上延伸的共同第二軸線 929b。第一軸線 929a 與第二軸線 929b 可彼此平行。

【0149】 圖 9E 中所展示之微電子封裝 903 具有配置於單一格柵 915 中之第一端子 925a，該單一格柵具有兩個平行的行 916。圖 9F 中所展示之微電子封裝 903'具有配置於兩個平行格柵 915 中之第一端子 925a，該兩個平行格柵關於在其間延伸之軸線 929e 相對於彼此鏡像複製，每一格柵具有兩個平行的行 916。

【0150】 圖 9G 中所展示之微電子封裝 904 具有配置於沿著第一中間軸線 929e'配置之兩個格柵 915 中的第一端子 925a，每一格柵具有兩個平行

的行 916。第一端子 925a 之兩個格柵 915 可關於第二中間軸線 929f 相對於彼此鏡像複製，該第二中間軸線橫向於第一中間軸線(亦即，與第一中間軸線交叉)。在一實施例中，第二中間軸線 929f 可與第一中間軸線 929e' 正交。第二端子 925b 之格柵 917 中之每一者亦可關於第一中間軸線 929e' 及/或第二中間軸線 929f 相對於格柵 917 中之另一者鏡像複製，或每一格柵 917 可關於在成對之格柵 917 之間延伸的任何其他中間軸線相對於其他格柵 917 中之一或多者鏡像複製。

【0151】 圖 9H 中所展示之微電子封裝 904' 具有配置於四個平行格柵 915 中之第一端子 925a，每一格柵具有兩個平行的行 916，每一格柵 915 關於在平行於第一軸線 929a 及第二軸線 929b 之方向上在鄰近格柵 915 之間延伸的第一中間軸線 929e 及/或關於在橫向於第一軸線及第二軸線之方向上在鄰近格柵 915 之間延伸的第二中間軸線 929f 相對於至少一額外格柵 915 鏡像複製。在一實施例中，第二中間軸線 929f 可與第一軸線 929a 及第二軸線 929b 正交。第二端子 925b 之格柵 917 中之每一者亦可關於第一中間軸線 929e 及/或第二中間軸線 929f 相對於格柵 917 中之另一者鏡像複製，或每一格柵 917 可關於在成對之格柵 917 之間延伸的任何其他中間軸線相對於其他格柵 917 中之一或多者鏡像複製。

【0152】 圖 10A 及圖 10B 分別展示在圖 5A 及圖 7A 中所展示的微電子封裝之實施例之變化。圖 10A 中所展示之微電子封裝 1010 與圖 5A 中所展示之微電子封裝 10 相同，惟微電子封裝 1010 之微電子元件 1030 各自具有配置於平行於基板 1020 之第一表面 1021 之單一平面中的前表面 1031 除外。圖 10B 中所展示之微電子封裝 1010' 與圖 7A 中所展示之微電子封裝 710

相同，惟微電子封裝 1010'之微電子元件 1030 各自具有配置於平行於基板 1020 之第一表面 1021 之單一平面中的前表面 1031 除外。

【0153】 圖 11 展示圖 8A 中所展示的微電子封裝之實施例之變化。圖 11 中所展示之微電子封裝 1110 與圖 8A 中所展示之微電子封裝 810 相同，惟微電子封裝 1110 之微電子元件 1130 各自具有配置於平行於基板 1120 之第一表面 1121 之單一平面中的前表面 1131 除外。

【0154】 圖 12A 及圖 12B 分別展示在圖 9E 及圖 9F 中所展示的微電子封裝之實施例之變化。圖 12A 中所展示之微電子封裝 1210 與圖 9E 中所展示之微電子封裝 903 相同，惟微電子封裝 1210 之微電子元件 1230 中各自具有配置於平行於基板 1220 之第一表面 1221 之單一平面中的前表面 1231 除外。圖 12B 中所展示之微電子封裝 1210'與圖 9F 中所展示之微電子封裝 903'相同，惟微電子封裝 1210'之微電子元件 1230 各自具有配置於平行於基板 1220 之第一表面 1221 之單一平面中的前表面 1231 除外。

【0155】 圖 12C 及圖 12D 分別展示在圖 9G 及圖 9H 中所展示的微電子封裝之實施例之變化。圖 12C 中所展示之微電子封裝 1201 與圖 9G 中所展示之微電子封裝 904 相同，惟微電子封裝 1201 之微電子元件 1230 各自具有配置於平行於基板 1220 之第一表面 1221 之單一平面中的前表面 1231 除外。圖 12D 中所展示之微電子封裝 1201'與圖 9H 中所展示之微電子封裝 904'相同，惟微電子封裝 1201'之微電子元件 1230 各自具有配置於平行於基板 1220 之第一表面 1221 之單一平面中的前表面 1231 除外。

【0156】 上文參看圖 5A 至圖 12D 描述之微電子封裝及微電子總成可用於諸如圖 13 中所展示之系統 1300 的多種電子系統之構造中。舉例而言，

根據本發明之另一實施例的系統 1300 包括複數個模組或組件 1306(諸如，如上文所描述之微電子封裝及/或微電子總成)連同其他電子組件 1308 及 1310。

【0157】 在所展示之例示性系統 1300 中，系統可包括電路面板、主機板或豎式面板(riser panel)1302(諸如，可撓性印刷電路板)，且電路面板可包括將模組或組件 1306 彼此互連之眾多導體 1304，在圖 13 中僅描繪該等導體 1304 中之一者。此電路面板 1302 可將信號輸送至系統 1300 中包括之微電子封裝及/或微電子總成中之每一者且自系統 1300 中包括之微電子封裝及/或微電子總成中之每一者輸送信號。然而，此情形僅為例示性的；可使用在模組或組件 1306 之間形成電連接之任何合適結構。

【0158】 在一特定實施例中，系統 1300 亦可包括諸如半導體晶片 1308 之處理器，使得每一模組或組件 1306 可經組態以在一時脈循環中並行傳送數目 N 個資料位元，且該處理器可經組態以在一時脈循環中並行傳送數目 M 個資料位元， M 大於或等於 N 。

【0159】 在一實例中，系統 1300 可包括經組態以在一時脈循環中並行傳送 32 個資料位元之處理器晶片 1308，且系統亦可包括四個模組 1306，諸如參看圖 5A 描述之微電子封裝 10，每一模組 1306 經組態以在一時脈循環中並行傳送 8 個資料(亦即，每一模組 1306 可包括第一微電子元件及第二微電子元件，該兩個微電子元件中之每一者經組態以在一時脈循環中並行傳送 4 個資料位元)。

【0160】 在另一實例中，系統 1300 可包括經組態以在一時脈循環中並行傳送 64 個資料位元之處理器晶片 1308，且系統亦可包括四個模組 1306，諸如參看圖 9A 描述之微電子封裝 910，每一模組 1306 經組態以在一

時脈循環中並行傳送 16 個資料位元(亦即，每一模組 1306 可包括四個微電子元件，該四個微電子元件中之每一者經組態以在一時脈循環中並行傳送 4 個資料位元)。

【0161】 在圖 13 中所描繪之實例中，組件 1308 為半導體晶片，且組件 1310 為顯示螢幕，但任何其他組件可用於系統 1300 中。當然，儘管為了說明清楚起見而在圖 13 中僅描繪兩個額外組件 1308 及 1310，但系統 1300 可包括任何數目個此類組件。

● 【0162】 模組或組件 1306 以及組件 1308 及 1310 可安裝於以虛線示意性地描繪之共同外殼 1301 中，且可在必要時彼此電互連以形成所要電路。將外殼 1301 描繪為可用於(例如)蜂巢式電話或個人數位助理之類型的攜帶型外殼，且螢幕 1310 可在該外殼之表面處曝露。在結構 1306 包括諸如成像晶片之感光元件之實施例中，亦可提供透鏡 1311 或其他光學裝置以用於將光導引至結構。再次，圖 13 中所展示之簡化系統僅為例示性；可使用上文所論述之結構來製造包括通常視為固定結構之系統的其他系統，諸如

● 桌上型電腦、路由器及其類似者。

【0163】 上文參看圖 5A 至圖 12D 所描述之微電子封裝及微電子總成亦可用於諸如圖 14 中所展示之系統 1400 的電子系統之構造中。舉例而言，根據本發明之另一實施例的系統 1400 與圖 13 中所展示之系統 1300 相同，惟組件 1306 已由複數個組件 1406 替換除外。

【0164】 組件 1406 中之每一者可為或可包括上文參看圖 5A 至圖 12D 所描述之微電子封裝或微電子總成中的一或多者。在一特定實例中，組件 1406 中之一或多者可為圖 5A 中所展示之微電子總成 5 的變化，其中電路面

板 60 包括曝露之邊緣接點，且每一微電子總成 5 之電路面板 60 可適合於插入至插槽 1405 內。

【0165】 每一插槽 1405 可包括在插槽之一側或兩側處的複數個接點 1407，使得每一插槽 1405 可適合於與對應組件 1406(諸如，微電子總成 5 之上述變化)之對應所曝露邊緣接點配合。在所展示之例示性系統 1400 中，系統可包括第二電路面板 1402 或主機板(諸如，可撓性印刷電路板)，且第二電路面板可包括將組件 1406 彼此互連之眾多導體 1404，在圖 14 中僅描繪該等導體 1404 中之一者。

【0166】 在一特定實例中，諸如系統 1400 之模組可包括複數個組件 1406，每一組件 1406 為微電子總成 5 之上述變化。每一組件 1406 可安裝至第二電路面板 1402 且與第二電路面板 1402 電連接，從而將信號輸送至每一組件 1406 且自每一組件 1406 輸送信號。系統 1400 之特定實例僅為例示性的；可使用用於在組件 1406 之間形成電連接之任何合適結構。

【0167】 在描述於前文中之微電子封裝中之任一者或全部中，在完成製造後，微電子元件中之一或多者之後表面可至少部分曝露於微電子封裝之外表面處。因此，在上文關於圖 5A 所描述之微電子封裝 10 中，微電子元件之後表面可部分或完全曝露於完成之微電子封裝 10 中的囊封劑之外表面處。

【0168】 在上文所描述之實施例中之任一者中，微電子封裝及微電子總成可包括部分或完全由任何合適的導熱材料製成之熱散播器。合適導熱材料之實例包括(但不限於)金屬、石墨、導熱黏接劑(例如，導熱環氧樹脂)、焊料或其類似者或此等材料之組合。在一實例中，熱散播器可為實質上連

續之金屬薄片。

【0169】 在圖 5B 中所展示之實例中，微電子封裝 10 可包括散熱片或熱散播器 55，其可(諸如)經由導熱材料(諸如，熱黏劑、導熱脂或焊料連同其他者)而熱耦接至微電子元件 30a 及 30b 中之一或多者的表面(例如，第二微電子元件 30b 之後表面 33)。在一特定實例(未圖示)中，熱散播器 55 可包括在其一或多個表面處之複數個鰭片。

【0170】 在一實施例中，熱散播器可包括鄰近微電子元件中之一或多者安置的金屬層。金屬層可在微電子封裝之後表面處曝露。或者，熱散播器可包括至少覆蓋微電子元件中之一或多者之後表面的包覆成型件或囊封劑。在一實例中，熱散播器可與微電子元件(諸如，圖 5A 及圖 5B 中所展示之微電子元件 30a 及 30b)中之一或多者的前表面及後表面中之至少一者熱連通。在一些實施例中，熱散播器可在微電子元件之鄰近者的鄰近邊緣之間延伸。熱散播器可改良至周圍環境之熱耗散。

【0171】 在一特定實施例中，由金屬或其他導熱材料製成的預先形成之熱散播器可藉由諸如導熱黏接劑或導熱脂之導熱材料附著至微電子元件中之一或多者之後表面或安置於微電子元件中之一或多者之後表面上。黏接劑(若存在)可為准許熱散播器與其附著至之微電子元件之間的相對移動之柔性材料，(例如)以適應柔性附著元件之間的熱膨脹。熱散播器可為單體結構。或者，熱散播器可包括彼此隔開之多個散播器部分。在一特定實施例中，熱散播器可為或可包括直接接合至微電子元件(諸如，圖 5A 及圖 5B 中所展示之微電子元件 30a 及 30b)中之一或多者的後表面之至少一部分的焊料層。

【0172】 儘管已參考特定實施例描述本文中之本發明，但應理解，此等實施例僅說明本發明之原理及應用。因此應理解，可對說明性實施例進行眾多修改，且在不脫離如由隨附申請專利範圍界定的本發明之精神及範疇之情況下，可想到其他配置。

【0173】 應瞭解，各種附屬請求項及其中所闡述之特徵可以不同於獨立請求項中呈現之方式的方式進行組合。亦應瞭解，結合個別實施例所描述之特徵可與所描述實施例中之其他實施例共用。

工業應用性

【0174】 本發明享有廣泛的工業應用性，包括(但不限於)微電子封裝及用於製造微電子封裝之方法。

【符號說明】

【0175】

- 5 微電子總成
- 10 微電子封裝
- 10a 第一微電子封裝
- 10b 第二微電子封裝
- 11 接合單元
- 12 介電層
- 13 黏接層
- 14 間隔件
- 15 格柵
- 15a 第一格柵

15b	第二格柵
16	端子之行
17	格柵
18	端子之行
19	功能頂端
20	基板
21	基板之第一表面
22	基板之第二表面
23	中心區
24	導電元件
25	端子
25a	第一端子
25b	第二端子
26	孔隙
26a	第一孔隙
26b	第二孔隙
27a	第一邊緣
27b	第二邊緣
28	周邊區
29a	第一軸線
29b	第二軸線
30	微電子元件

30'	微電子元件
30a	第一微電子元件
30b	第二微電子元件
31	第一微電子元件之前表面
32a	周邊邊緣
32b	周邊邊緣
33	第一微電子元件之後表面
34a	周邊邊緣
34b	周邊邊緣
35	導電元件接點
36	接點之行
37	中心區
39	軸線
50	囊封劑
55	散熱片或熱散播器
60	電路面板
60'	電路面板
61	電路面板之第一表面
62	電路面板之第二表面
65	面板接點
65a	第一面板接點
65b	第二面板接點

66	投送層
67	金屬化導通孔
68	導電結構
69a	點線
69b	點線
111	半導體晶片/微電子元件
112	微電子封裝
112A	微電子封裝
112B	微電子封裝
112C	封裝
112D	封裝
112E	封裝
112F	封裝
114	端子之行
116	第一周邊邊緣
118	端子之行
120	封裝基板
122	第二周邊邊緣
124	中心區
126	元件接點
128	微電子元件之面
130	導線結合作

- 132 黏接層
- 134 電路面板
- 136 命令-位址匯流排
- 137 命令-位址匯流排
- 138 總成
- 140 方向
- 142 方向
- 605 微電子總成
- 610 微電子封裝
- 610a 第一微電子封裝
- 610b 第二微電子封裝
- 615 格柵
- 616 端子之行
- 625a 第一端子
- 630 微電子元件
- 631 微電子元件之前表面
- 660 電路面板
- 661 電路面板之表面
- 662 電路面板之表面
- 705 微電子總成
- 710 微電子封裝
- 710a 第一微電子封裝

710b	第二微電子封裝
715a	第一格柵
715b	第二格柵
716	端子之行
717a	第一格柵
717b	第二格柵
720	基板
722	基板之第二表面
725a	第一端子
725b	第二端子
726a	孔隙
726b	孔隙
727a	第一邊緣
727b	第二邊緣
729a	第一軸線
729b	第二軸線
729c	第三軸線
730a	第一微電子元件
730b	第二微電子元件
760	電路面板
805	微電子總成
810	微電子封裝

- 815 格柵
- 815a 第一格柵
- 815b 第二格柵
- 816 端子之行
- 817 格柵
- 817a 格柵
- 817b 格柵
- 820 基板
- 821 基板之第一表面
- 825a 第一端子
- 825b 第二端子
- 826a 第一孔隙
- 826b 第二孔隙
- 826c 第三孔隙
- 829a 第一軸線
- 829b 第二軸線
- 829c 第三軸線
- 829d 第四軸線
- 830 微電子元件
- 830a 第一微電子元件
- 830b 第二微電子元件
- 830c 第三微電子元件

831	微電子元件之前表面
833	微電子元件之後表面
835	接點
901	微電子封裝
902	微電子封裝
903	微電子封裝
903'	微電子封裝
904	微電子封裝
904'	微電子封裝
905	微電子總成
910	微電子封裝
910a	第一微電子封裝
910b	第二微電子封裝
914	間隔件
915	格柵
915a	第一格柵/外格柵
915b	第二格柵/外格柵
915c	內格柵
915d	內格柵
916	端子之行
917	格柵
920	基板

- 921 基板之第一表面
- 925a 第一端子
- 925b 第二端子
- 926 孔隙
- 926a 第一孔隙
- 926b 第二孔隙
- 926c 第三孔隙
- 926d 第四孔隙
- 929a 第一軸線
- 929b 第二軸線
- 929c 第三軸線
- 929d 第四軸線
- 929e 第一中間軸線
- 929e' 第一中間軸線
- 929f 第二中間軸線
- 930 微電子元件
- 930a 第一微電子元件
- 930b 第二微電子元件
- 930c 第三微電子元件
- 930d 第四微電子元件
- 931 微電子元件之前表面/第一表面
- 933 微電子元件之後表面

935	接點
960	電路面板
1010	微電子封裝
1010'	微電子封裝
1020	基板
1030	微電子元件
1110	微電子封裝
1120	基板
1130	微電子元件
1201	微電子封裝
1201'	微電子封裝
1210	微電子封裝
1210'	微電子封裝
1220	基板
1230	微電子元件
1300	系統
1301	外殼
1302	電路面板
1304	導體
1306	模組或組件/結構
1308	電子組件/半導體晶片/處理器晶片
1310	電子組件/螢幕

1311	透鏡
1400	系統
1402	第二電路面板
1404	導體
1405	插槽
1406	組件
1407	接點
D1	方向
D2	方向
I	連接位點
II	連接位點
III	連接位點
T1	間隔件之厚度
T2	微電子元件之厚度
V	垂直方向

申請專利範圍

1. 一種微電子封裝，其包含：

基板，其具有對置之第一表面及第二表面、在該第一表面與該第二表面之間延伸的對置之第一邊緣及第二邊緣以及在該第一表面與該第二表面之間延伸的第一孔隙及第二孔隙，該孔隙具有在該各別孔隙之長度之方向上延伸的平行之第一軸線及第二軸線，該第二表面具有在該第一軸線與該第二軸線之間的中心區以及在該中心區與該第一邊緣及該第二邊緣之間的周邊區；

第一微電子元件及第二微電子元件，其各自具有面向該基板之該第一表面的表面及在該各別微電子元件之該表面處曝露且與該孔隙中之至少一者對準的接點，每一微電子元件具有記憶體儲存陣列功能；

端子，其在該第二表面處曝露且經組態以用於將該微電子封裝連接至該微電子封裝外部之至少一組件；以及

引線，其電連接於每一微電子元件之該接點與該端子之間，每一引線具有與該孔隙中之至少一者對準的部分，

其中，該端子包含：

第一端子，其安置在該周邊區中之至少一者中且經組態以攜載位址資訊，以及

第二端子，其安置在該中心區中且經組態以攜載第二資訊，該第二資訊不同於由該第一端子所攜載之資訊，該第二資訊包含資料信號。

2. 如請求項 1 之微電子封裝，其中該第一端子經組態以攜載可由該微電子封裝內之電路使用的所有該位址資訊。

3. 如請求項 1 之微電子封裝，其中該第一端子中之至少一些係安置在該周邊區中之每一者中。
4. 如請求項 1 之微電子封裝，其中該第一端子包含安置於理論第三軸線之第一側上的第一端子之第一集合以及安置於該第三軸線之與該第一側對置的第二側上的第一端子之第二集合，該第一集合及該第二集合中之每一者經組態以攜載位址資訊。
5. 如請求項 4 之微電子封裝，其中該第三軸線係位於該基板之中心線的該端子之一球間距內，該中心線位於對置之該第一邊緣與該第二邊緣之間等距離處。
6. 如請求項 4 之微電子封裝，其中該第一集合及該第二集合之該第一端子係安置於各別第一格柵及第二格柵內之位置處，且該第一格柵及該第二格柵中之該第一端子之行在平行於該基板之對置之該第一邊緣及該第二邊緣的方向上延伸。
7. 如請求項 1 之微電子封裝，其中該微電子元件中之每一者體現多個主動裝置，並且該微電子元件中之每一者所具有之經組態以提供記憶體儲存陣列功能之主動裝置是多於經組態以執行任何其他功能之主動裝置。
8. 如請求項 1 之微電子封裝，其中該第一端子經組態以攜載控制該微電子元件之操作模式的資訊。
9. 如請求項 1 之微電子封裝，其中該第一端子經組態以攜載傳送至該微電子封裝之所有命令信號，該命令信號為寫入啟用信號、列位址選通信號及行位址選通信號。

10. 如請求項 1 之微電子封裝，其中該端子經組態以攜載傳送至該微電子封裝之時脈信號，該時脈信號為用於對攜載該位址資訊之信號進行取樣的時脈。
11. 如請求項 1 之微電子封裝，其中該端子經組態以攜載傳送至該微電子封裝之所有記憶庫位址信號。
12. 如請求項 1 之微電子封裝，其中該第二端子包含安置於理論第三軸線之第一側上的第二端子之第一集合以及安置於該第三軸線之與該第一側對置的第二側上的第二端子之第二集合，該第一集合及該第二集合中之每一者經組態以攜載相同資料信號。
13. 請求項 12 之微電子封裝，其中該第三軸線係位於該基板之中心線的該端子之一球間距內，該中心線位於對置之該第一邊緣與該第二邊緣之間等距離處。
14. 請求項 12 之微電子封裝，其中該第一集合及該第二集合之該第二端子係安置於各別第一格柵及第二格柵內之位置處，且該第一格柵及該第二格柵中之該第二端子之行在平行於該基板之對置之該第一邊緣及該第二邊緣的方向上延伸。
15. 請求項 1 之微電子封裝，其中經組態以攜載不同於該位址資訊之資訊的該第二端子中之至少一些係在該第二表面處在該中心區中之至少一者中曝露。
16. 請求項 1 之微電子封裝，其中該引線中之至少一些包括延伸穿過該孔隙中之至少一者的導線結合作。
17. 請求項 14 之微電子封裝，其中全部的該引線係延伸穿過該孔隙中之至

少一者的導線結合作。

18. 請求項 1 之微電子封裝，其中該第一微電子元件之該表面面對該基板之該第一表面，且其中該第二微電子元件之該表面至少部分覆疊該第一微電子元件之後表面。
19. 一種微電子系統，其包含如請求項 1 之微電子封裝以及電連接至該微電子封裝之一或多個其他電子組件。
20. 請求項 19 之微電子系統，進一步包含外殼，該微電子封裝以及該一或多個其他電子組件與該外殼組裝在一起。

圖式

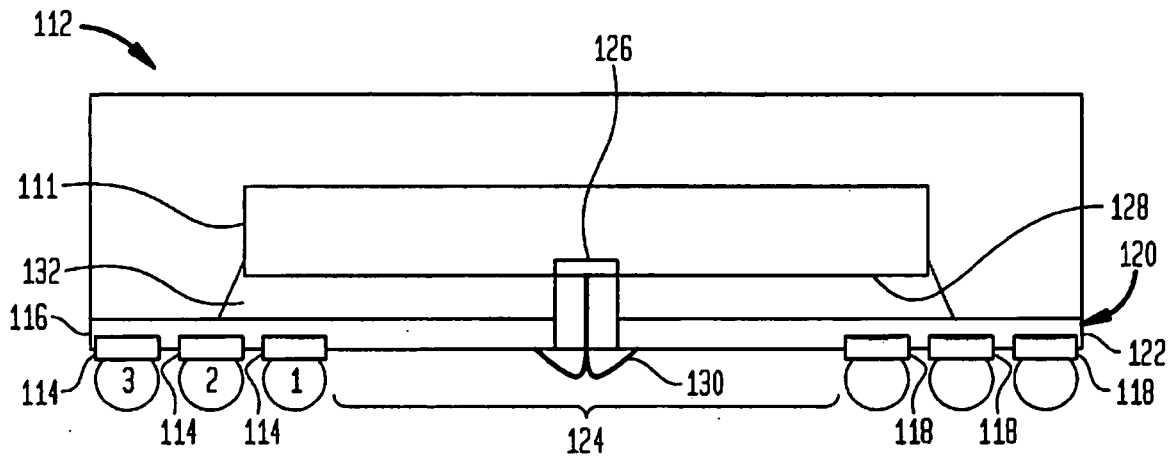


圖 1

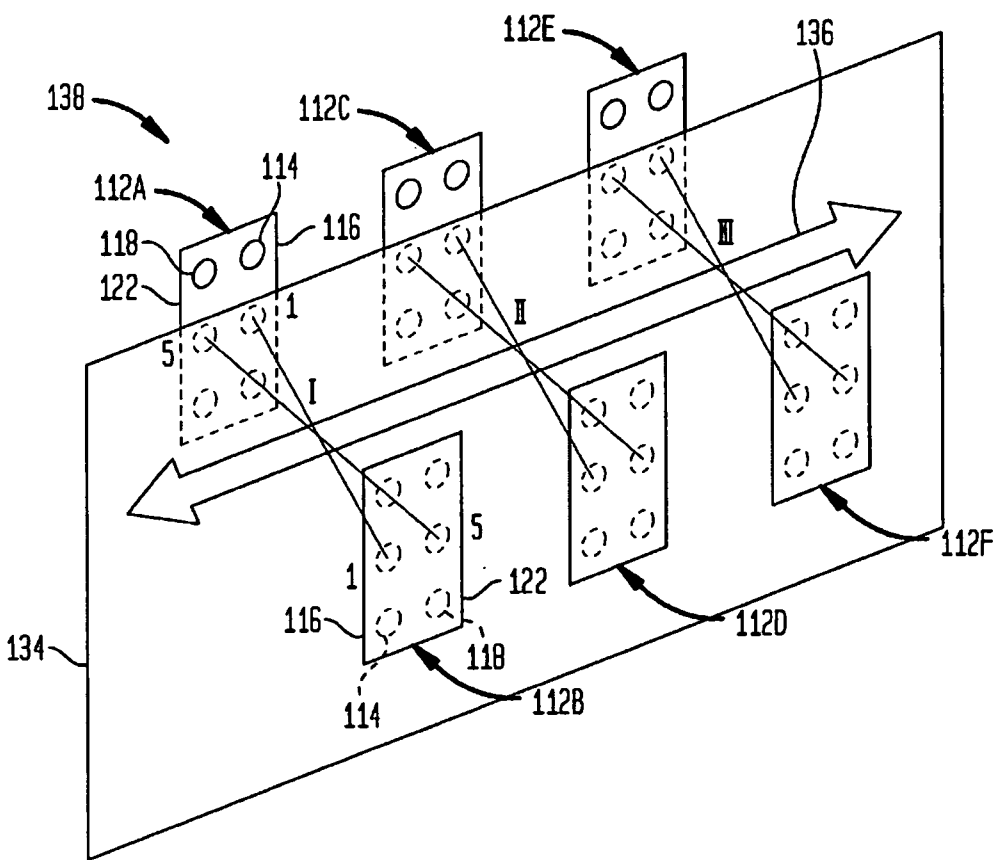


圖 2

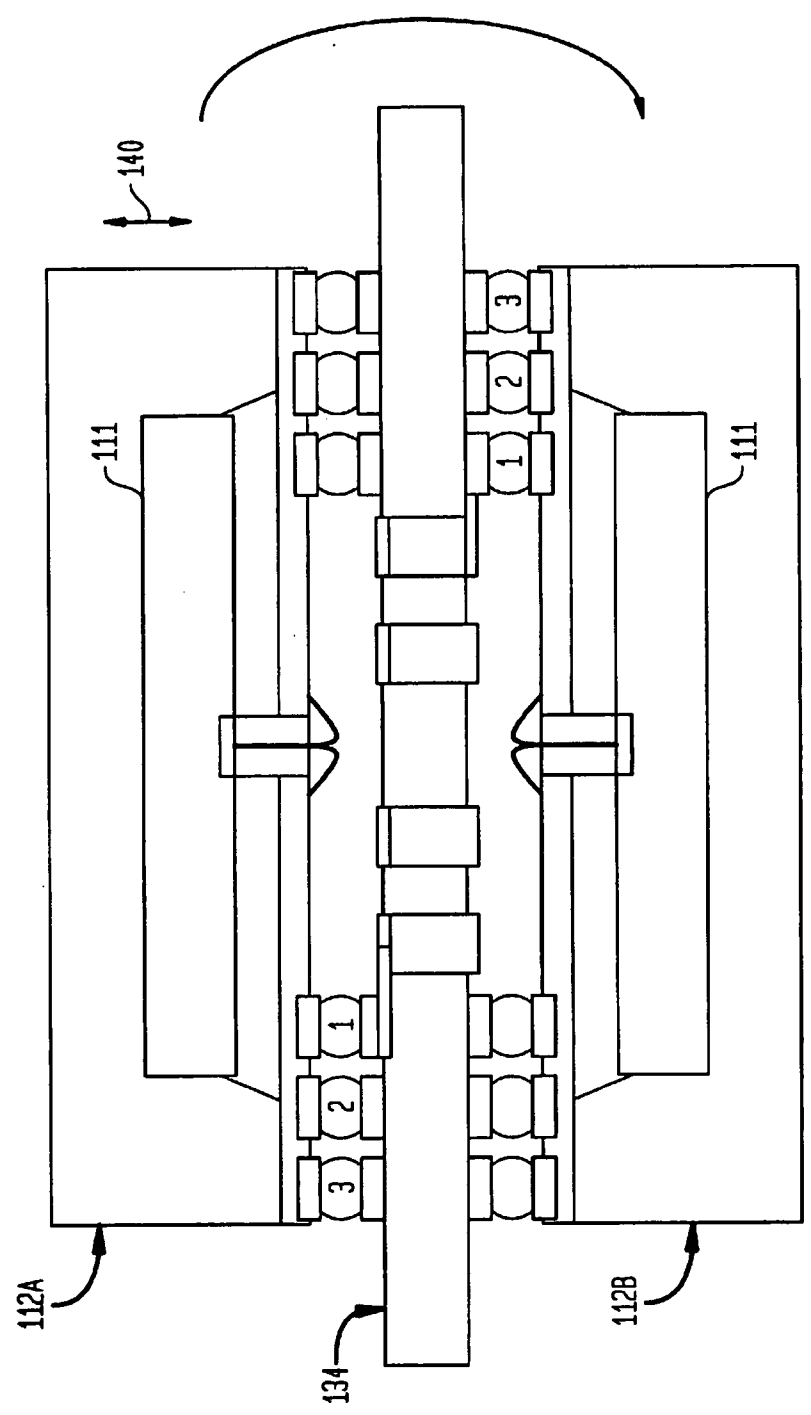


圖3

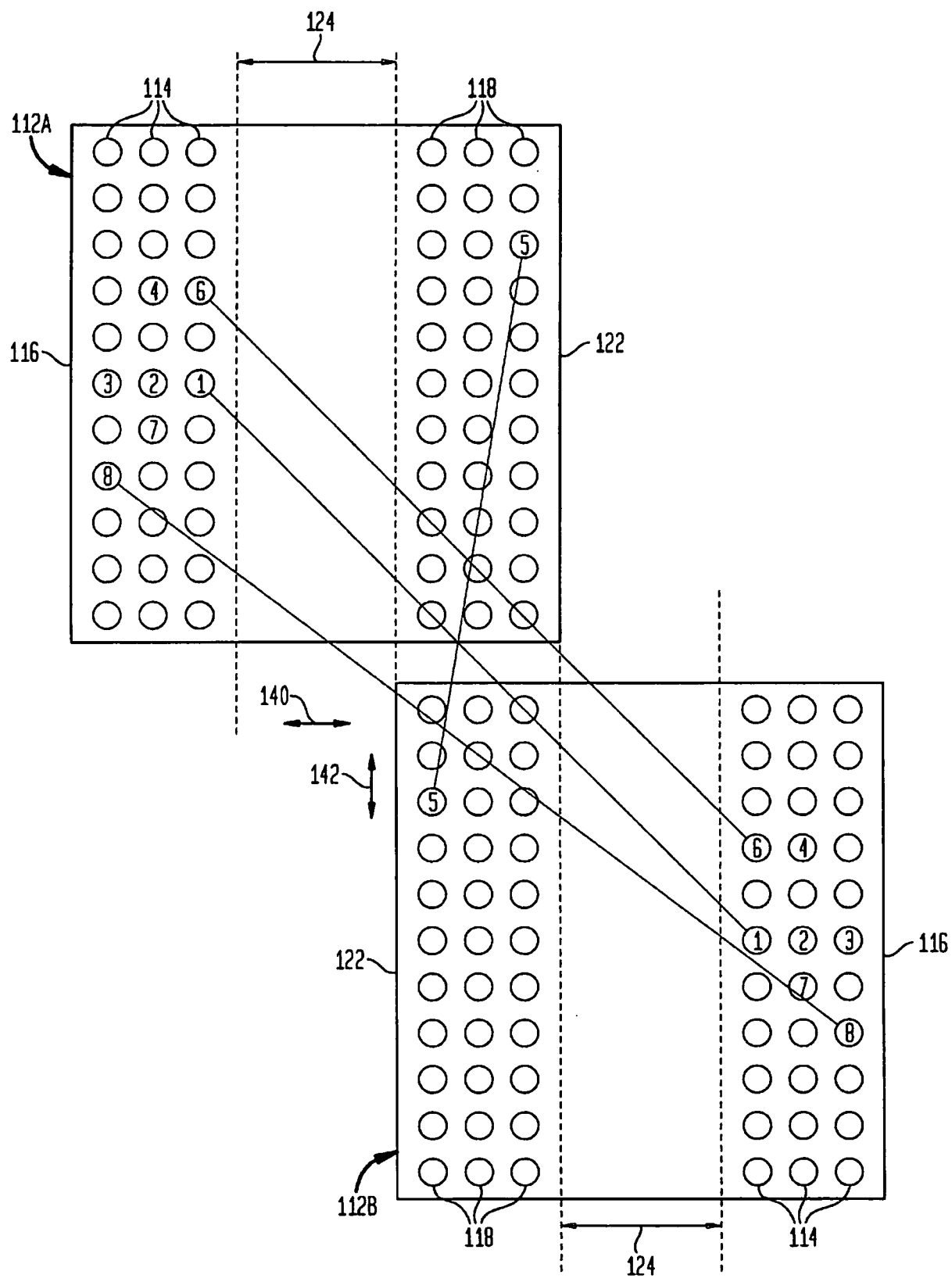


圖4

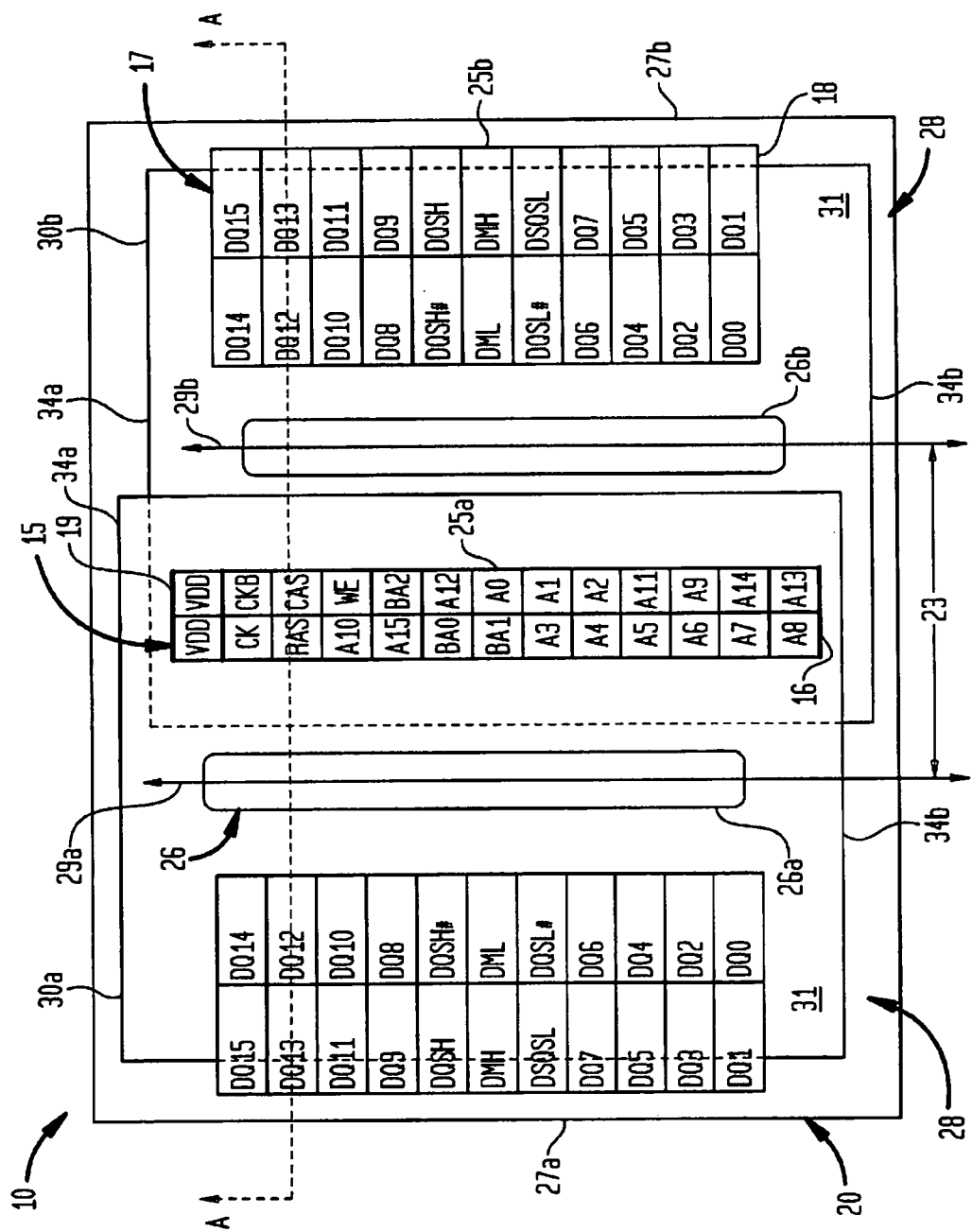
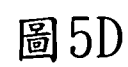


圖 5A



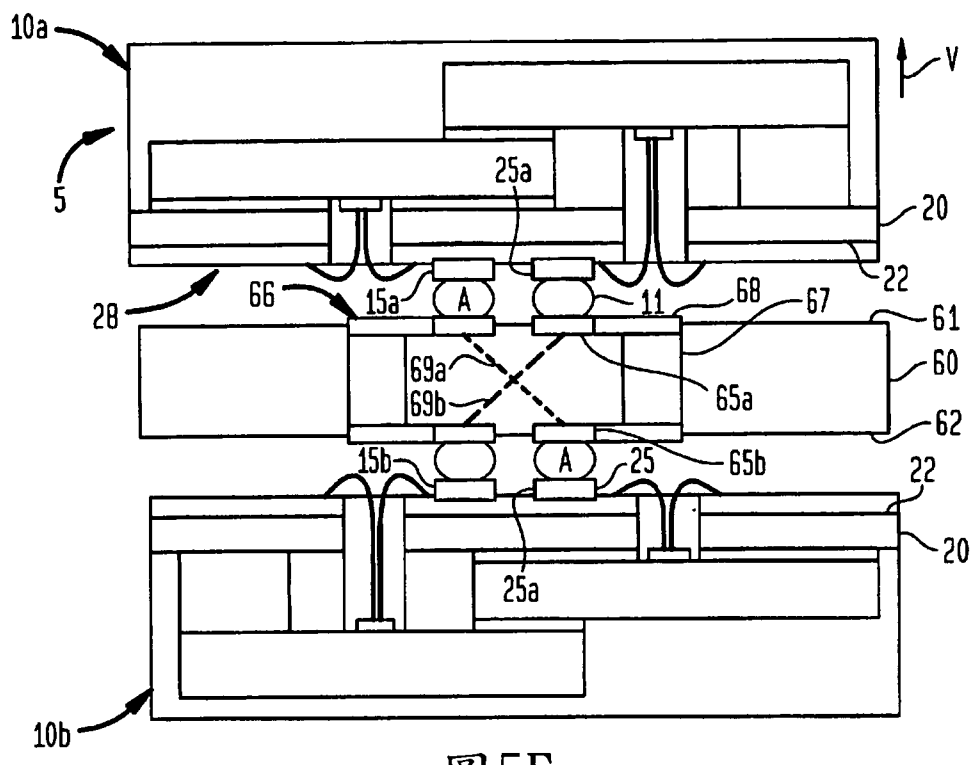


圖 5E

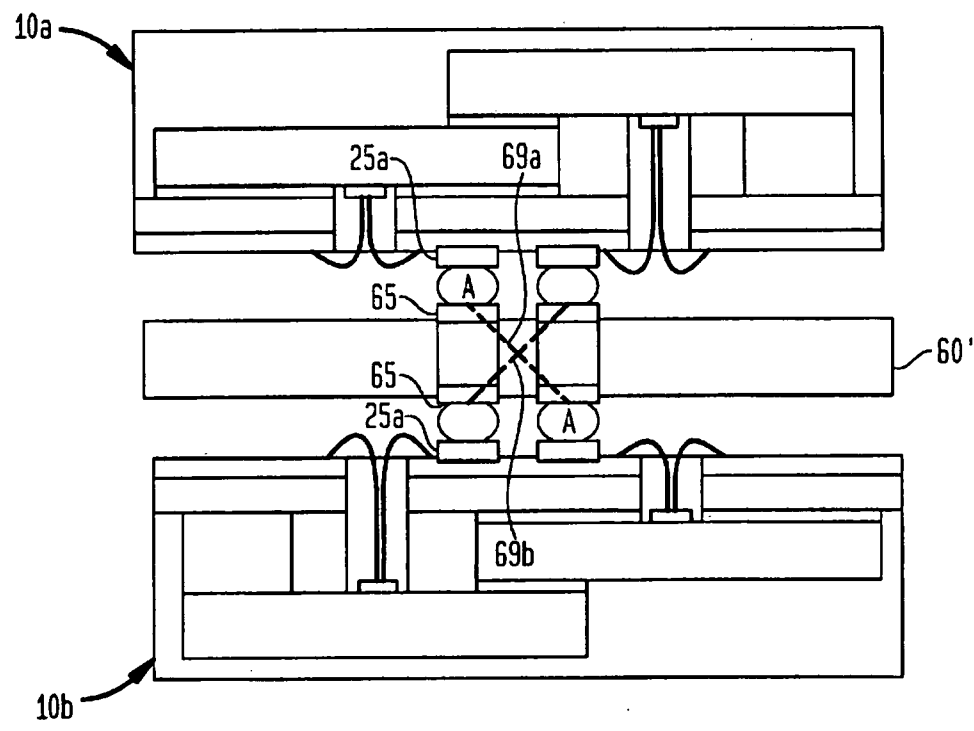


圖 5F

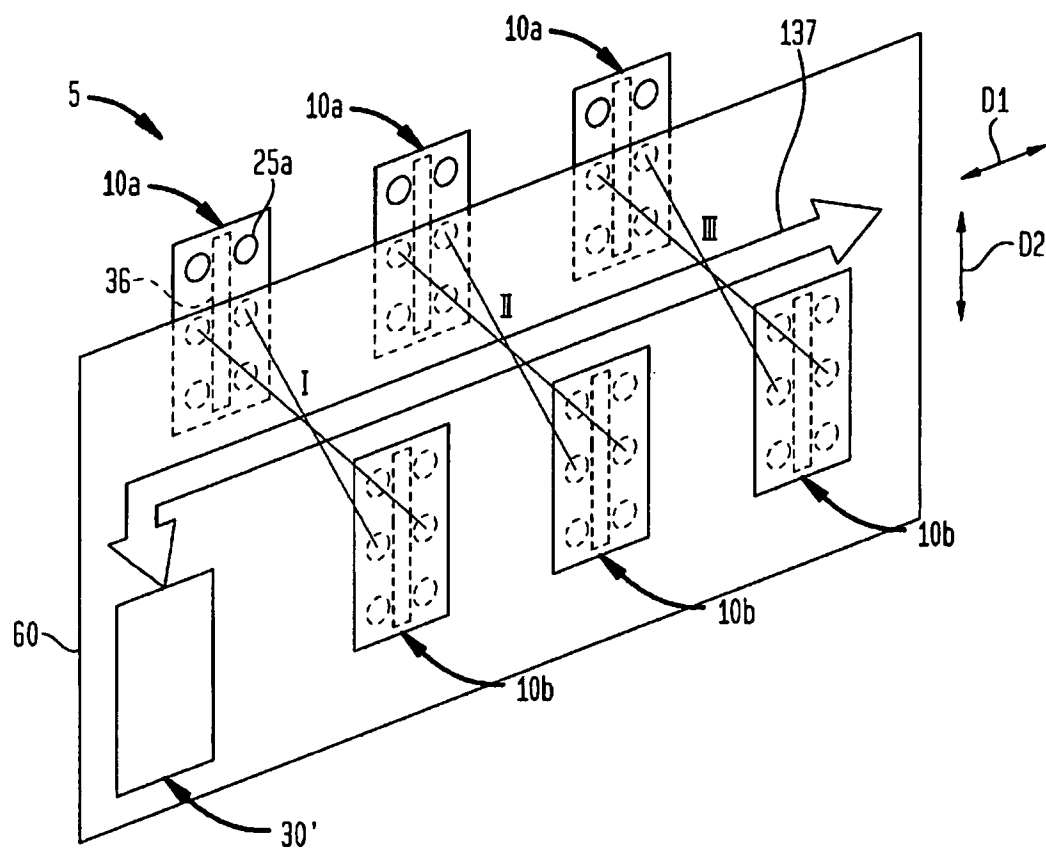


圖 5G

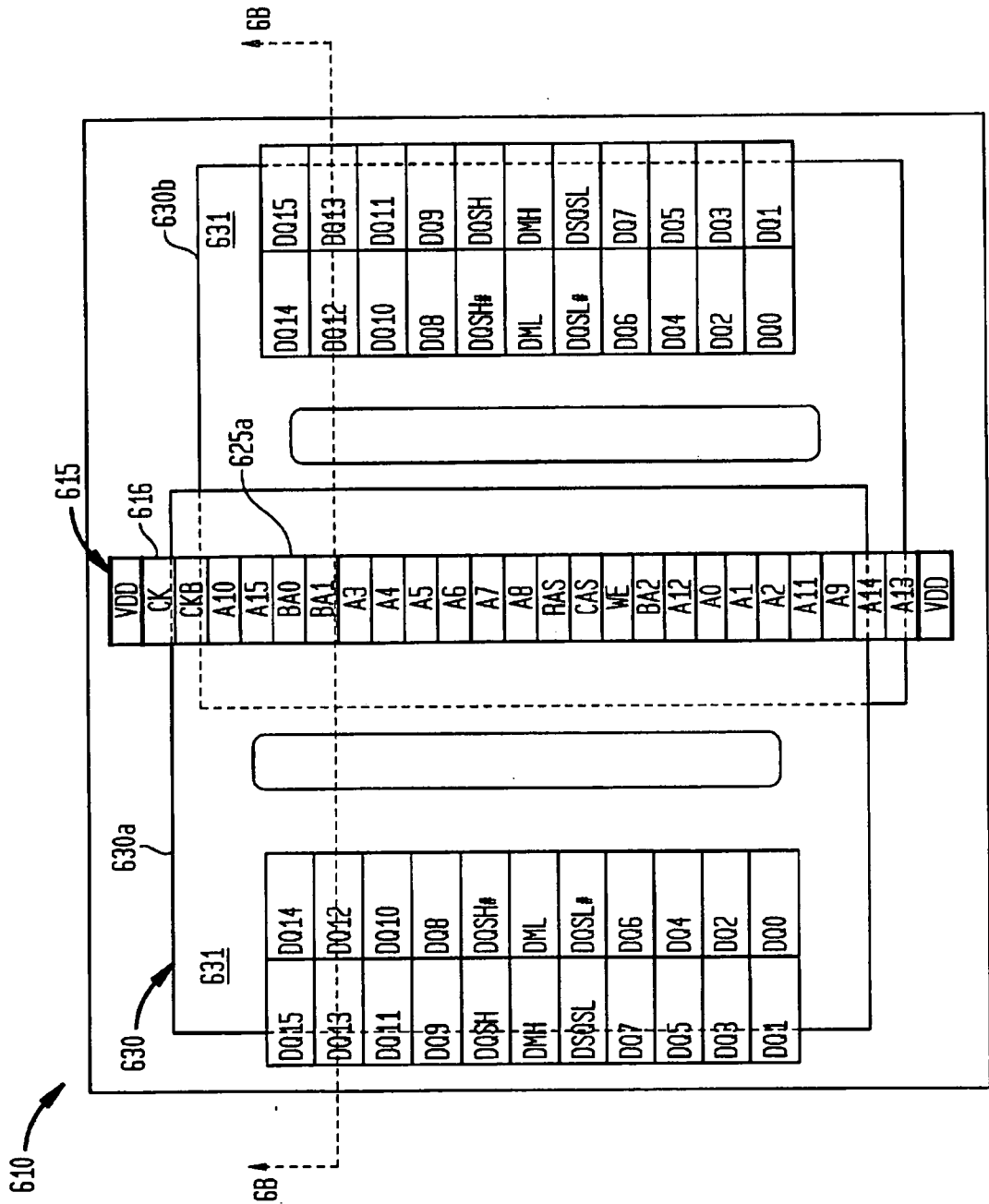


圖 6A

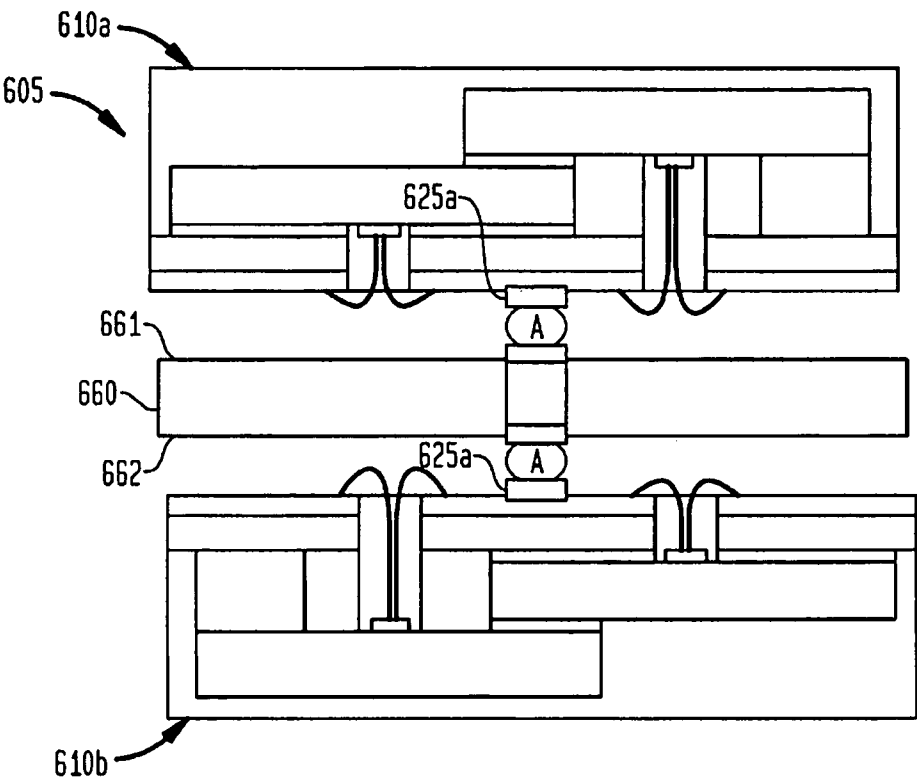


圖 6B

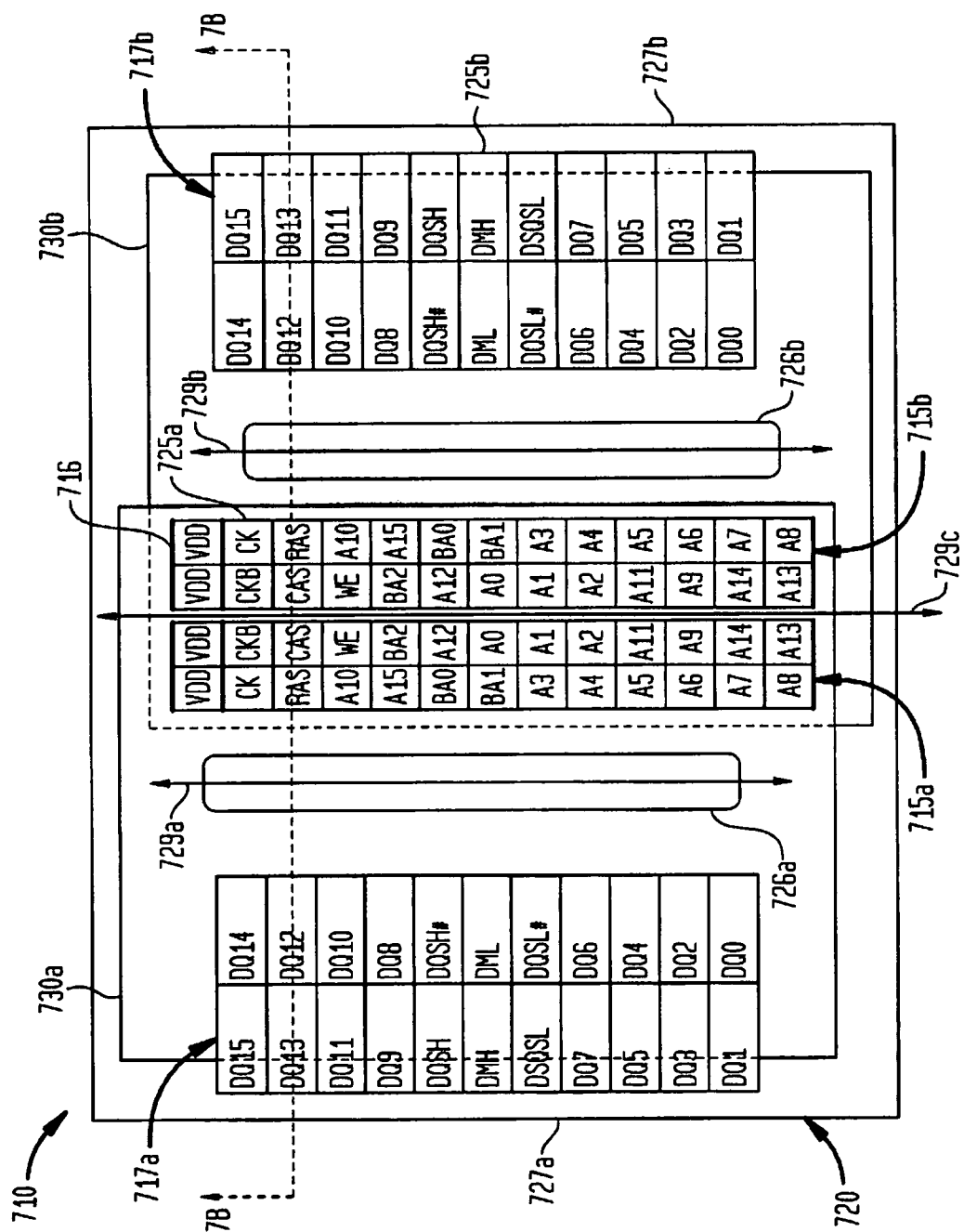


圖 7A

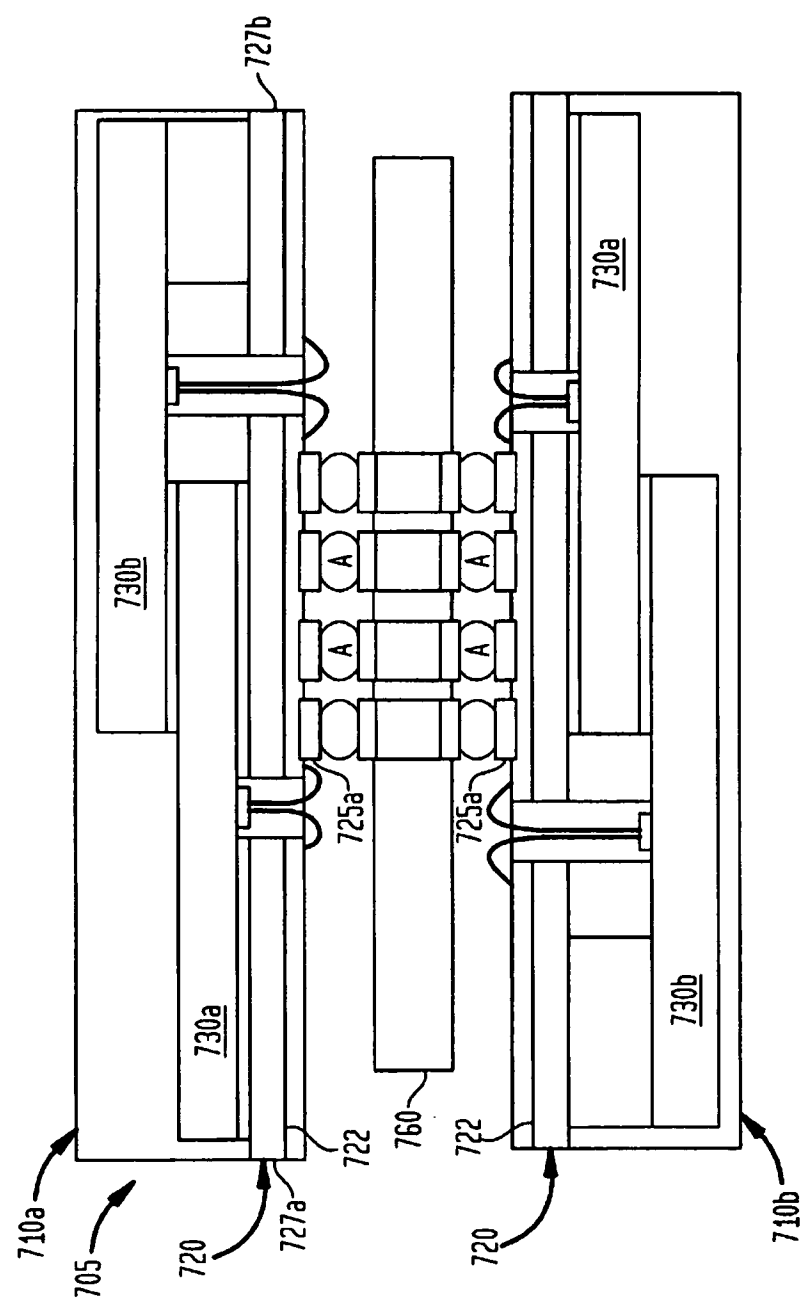
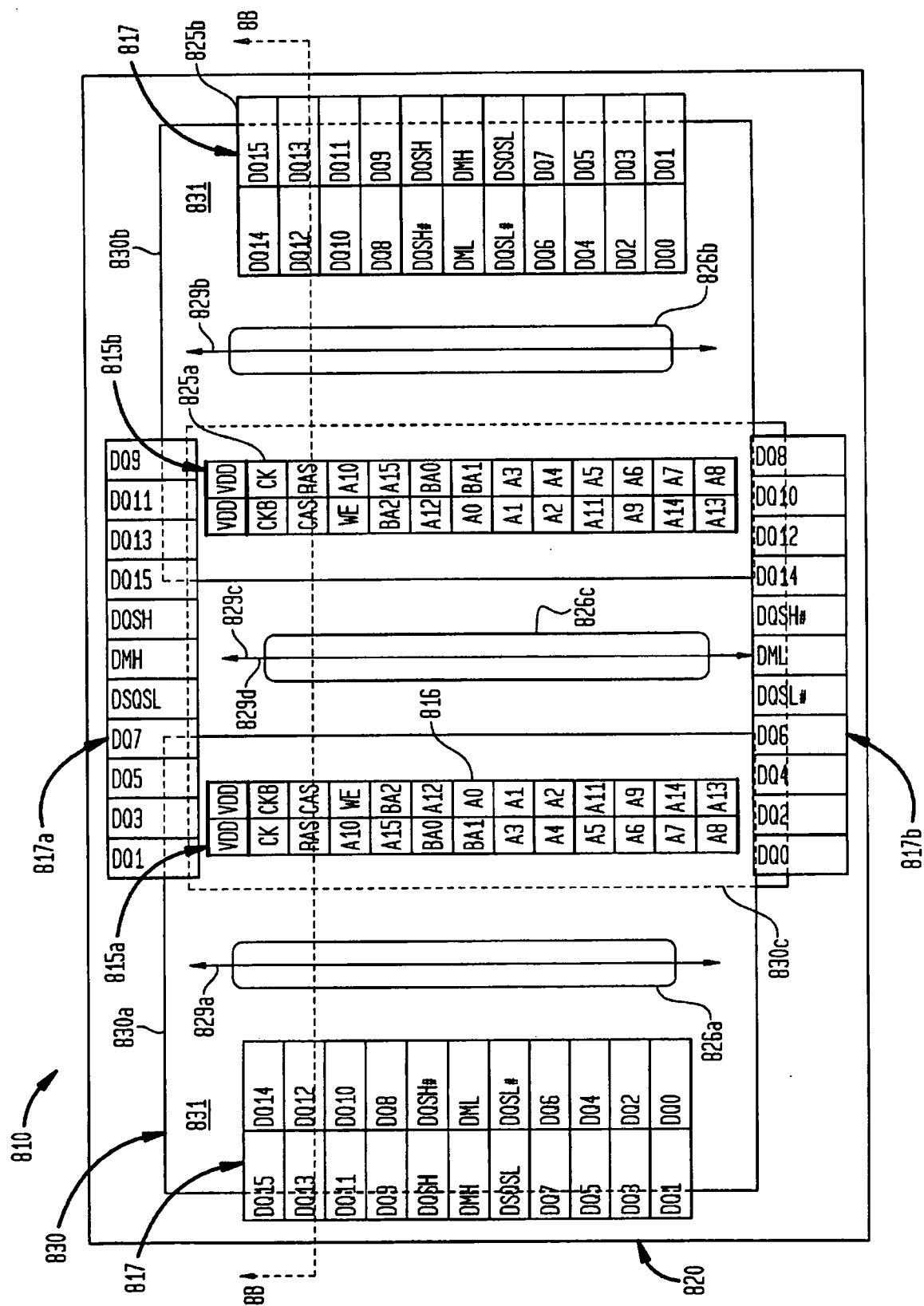


圖 7B



8A

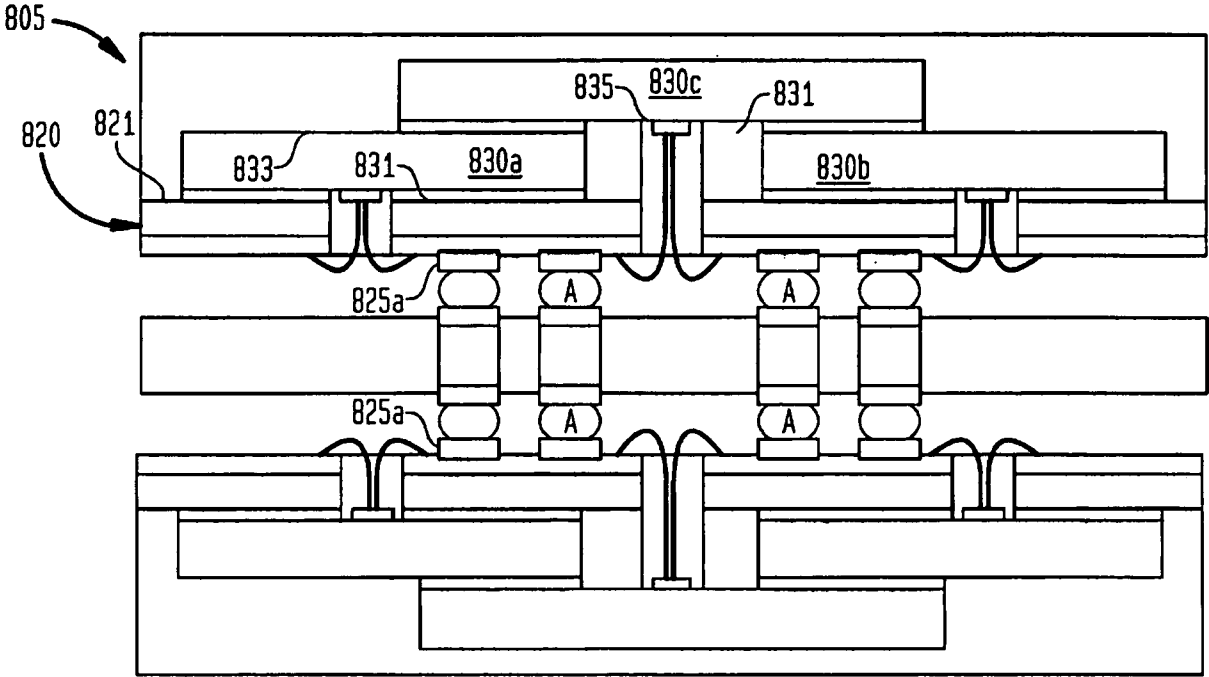


圖 8B



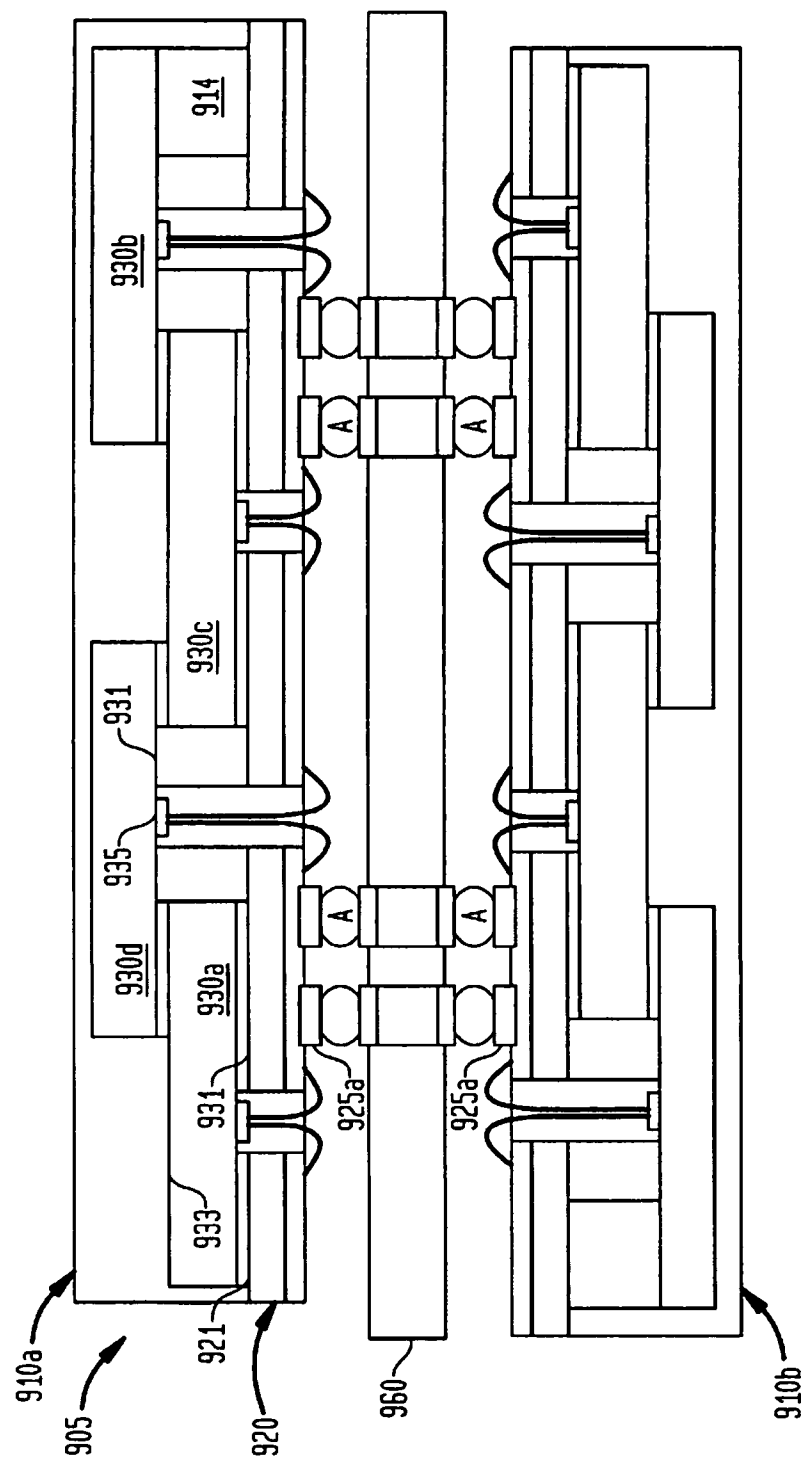


圖9B

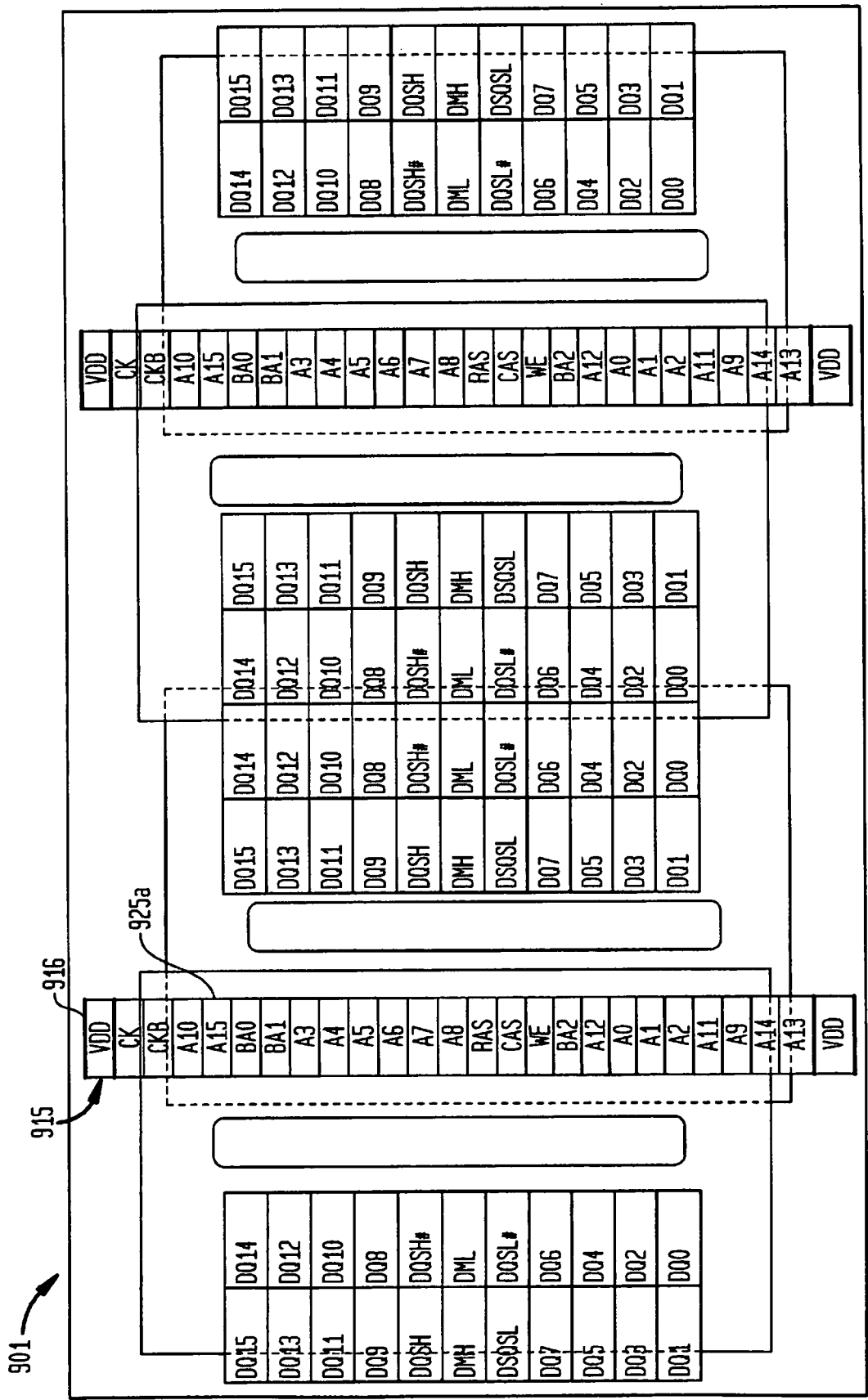


圖9C

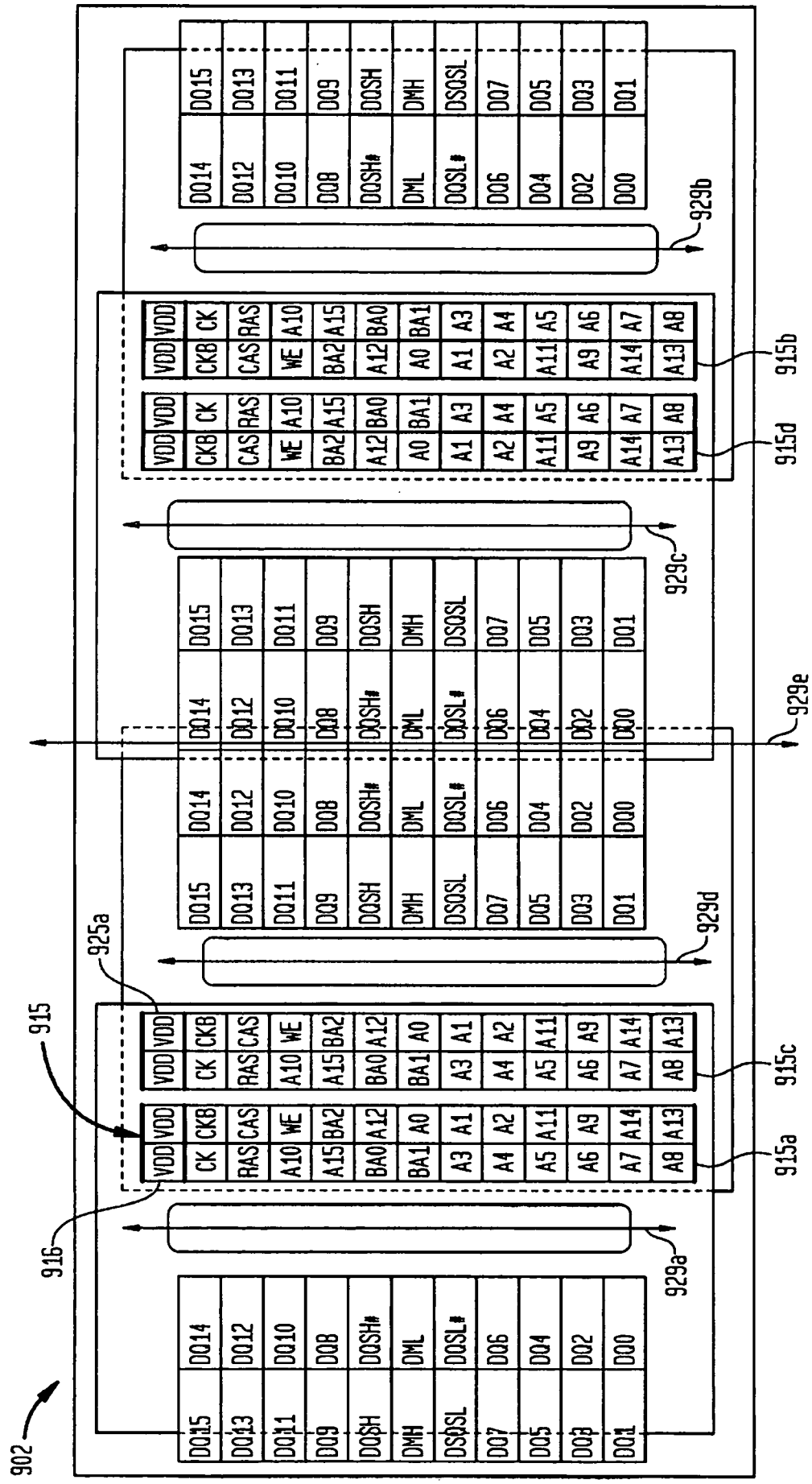


圖 9D

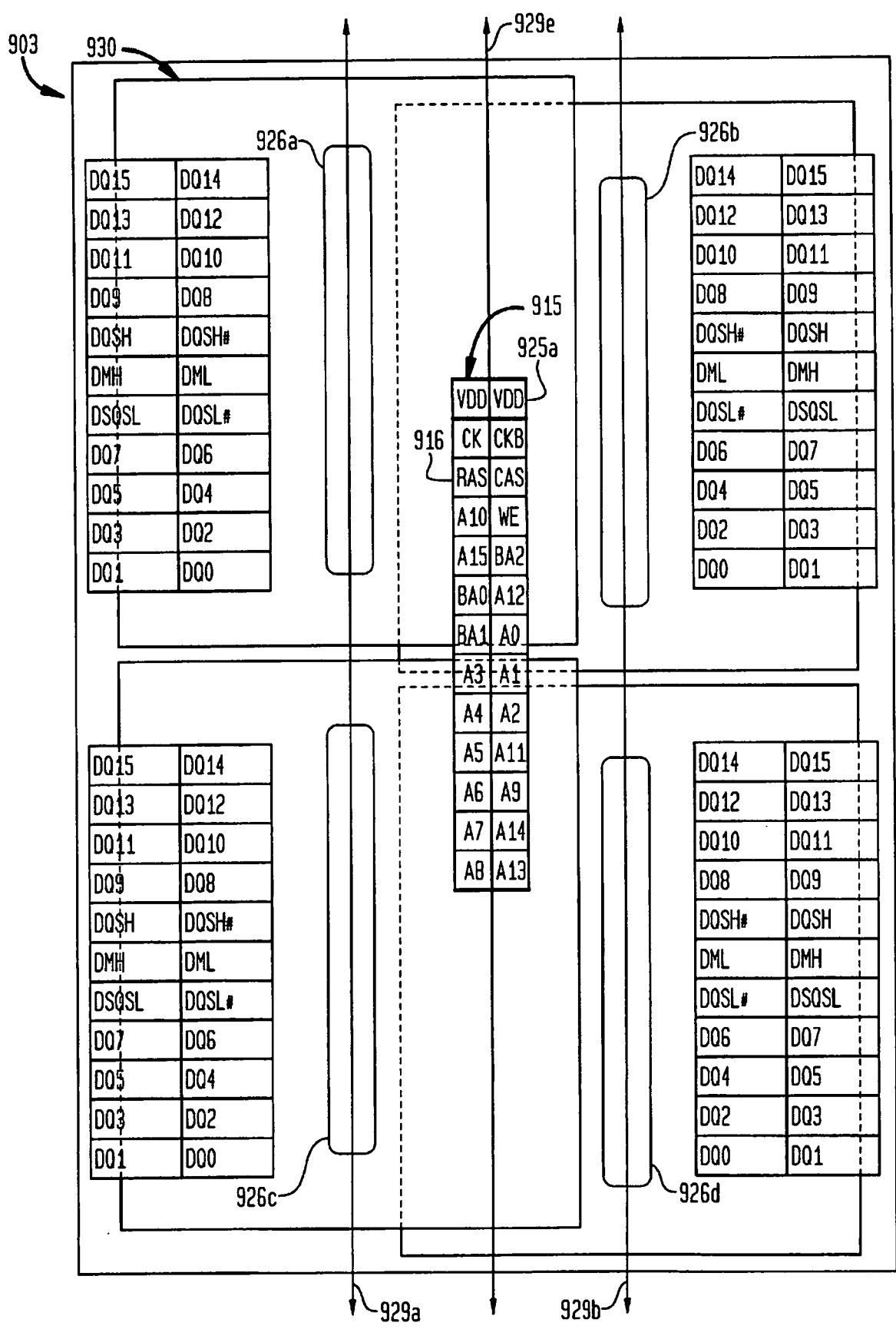


圖 9E

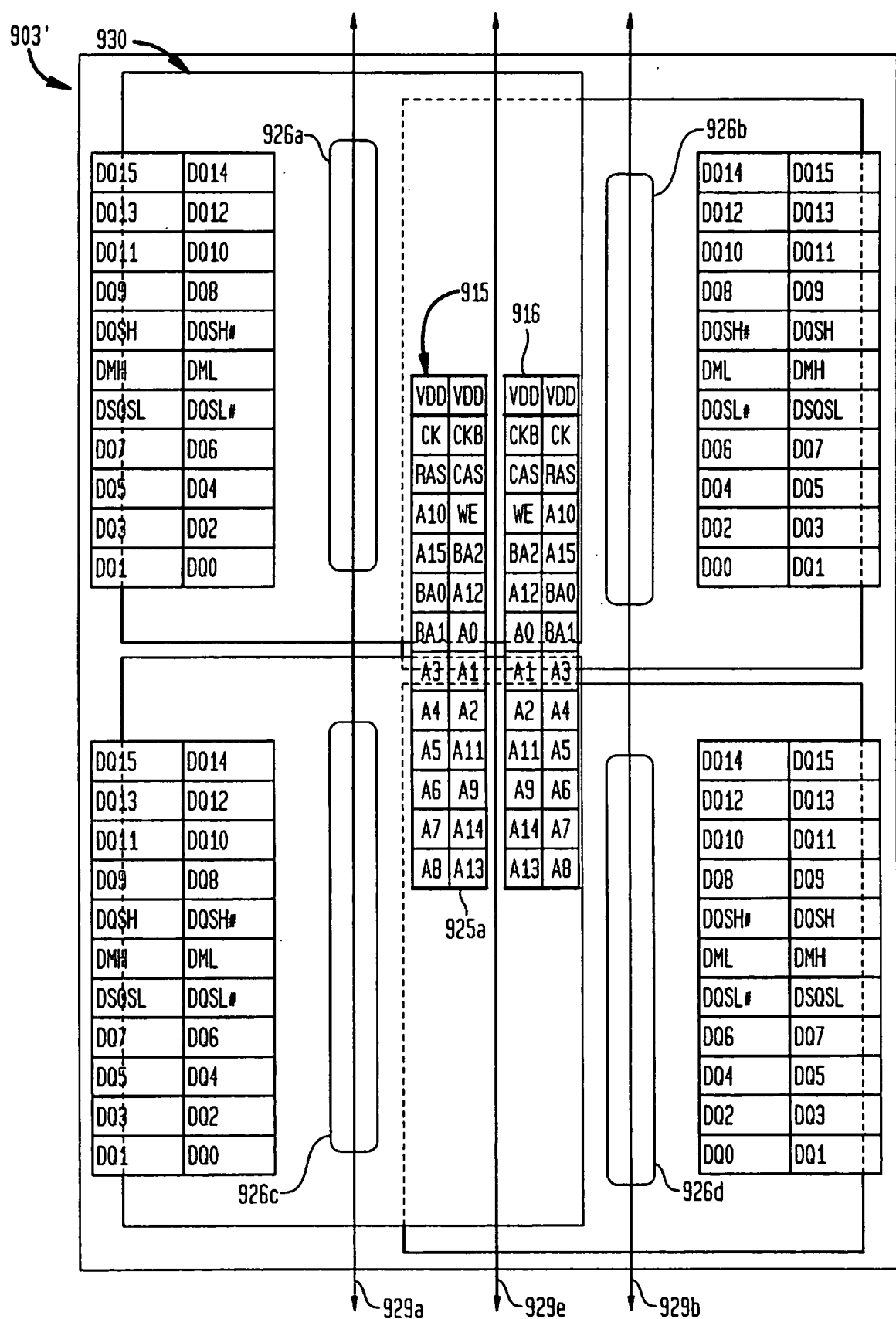


圖 9F

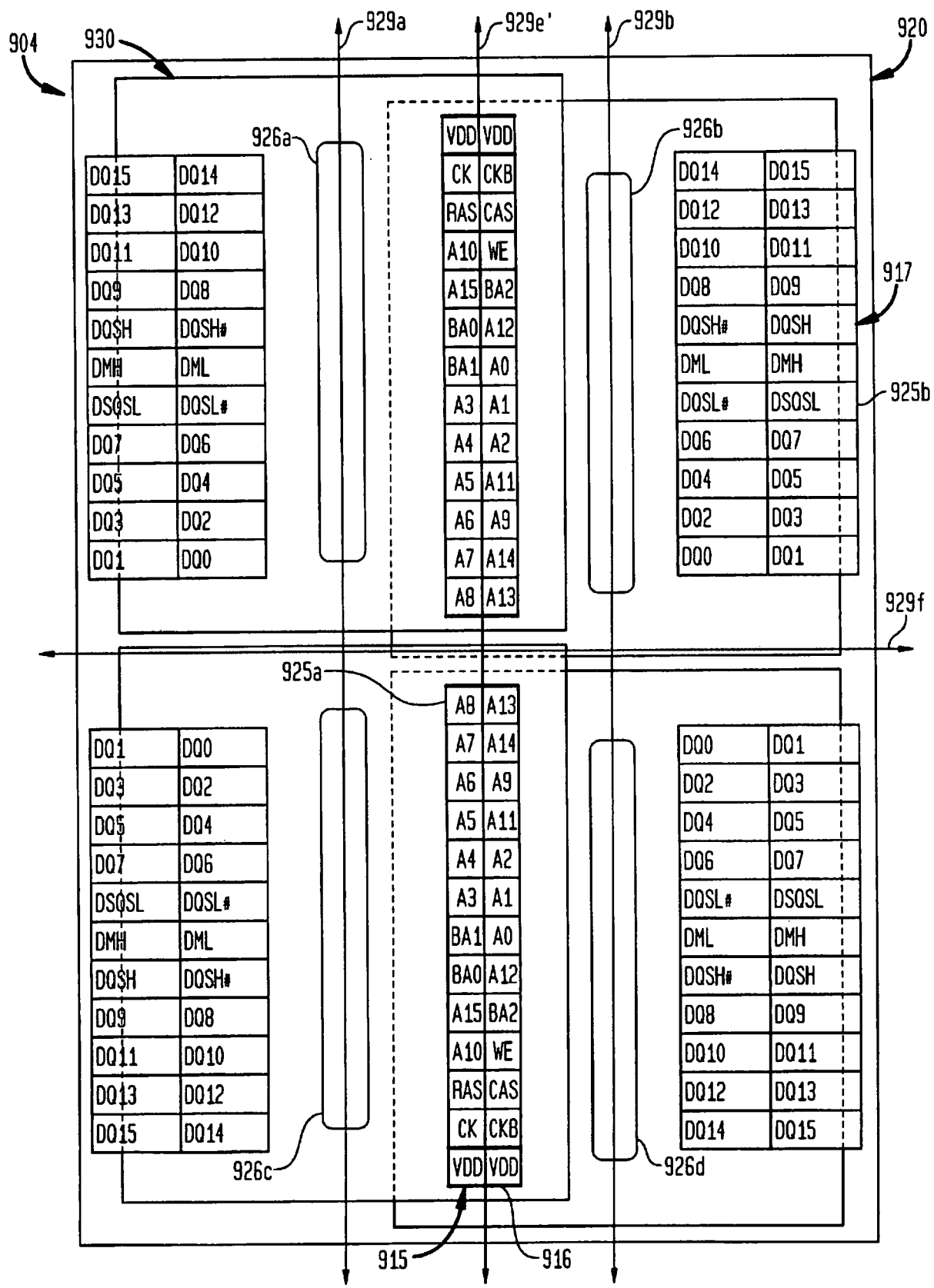


圖 9G

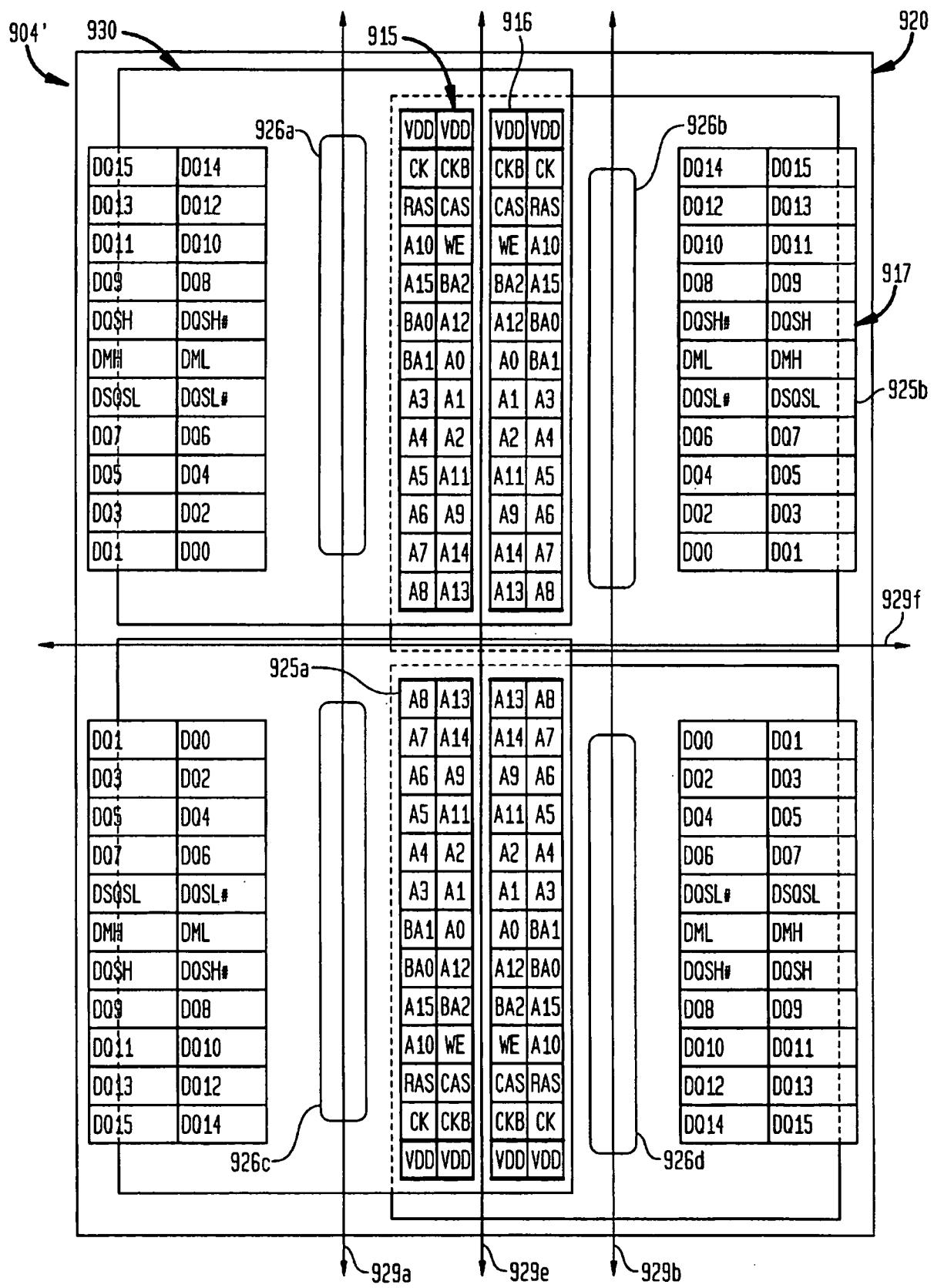


圖 9H

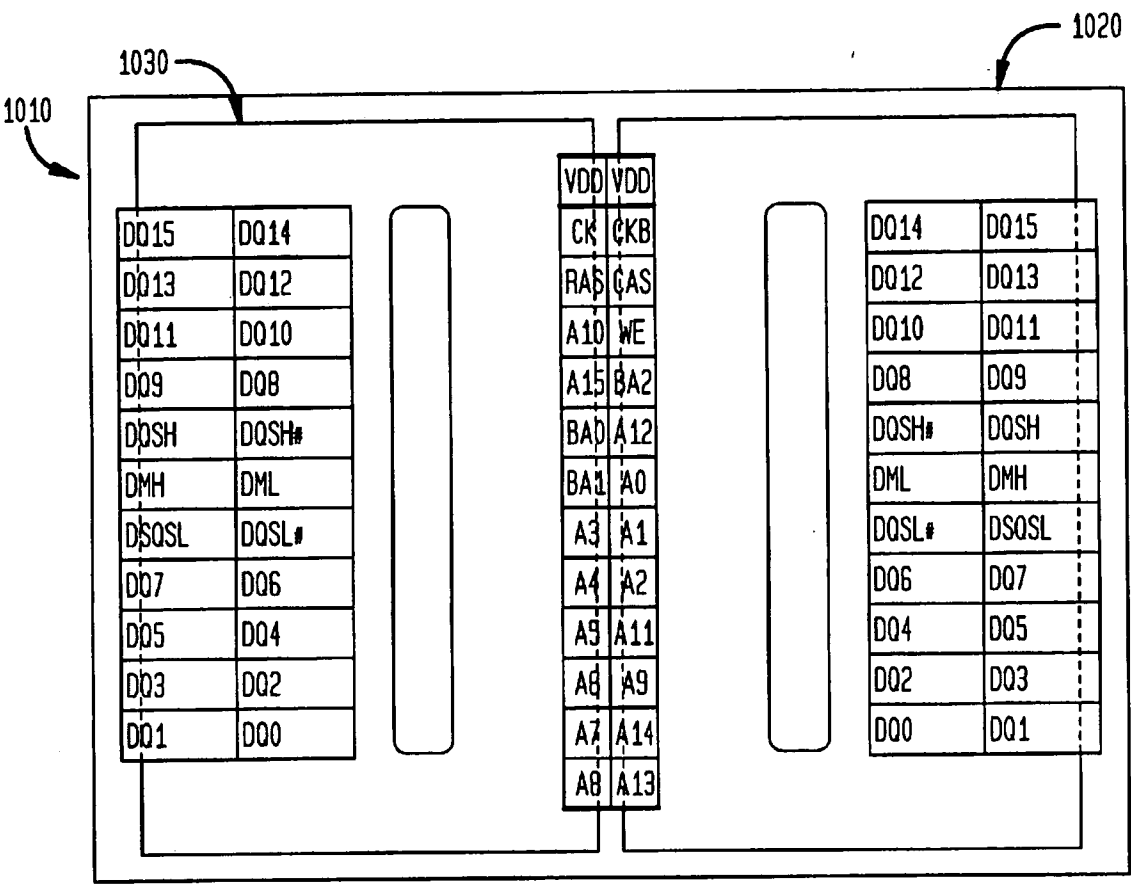


圖 10A

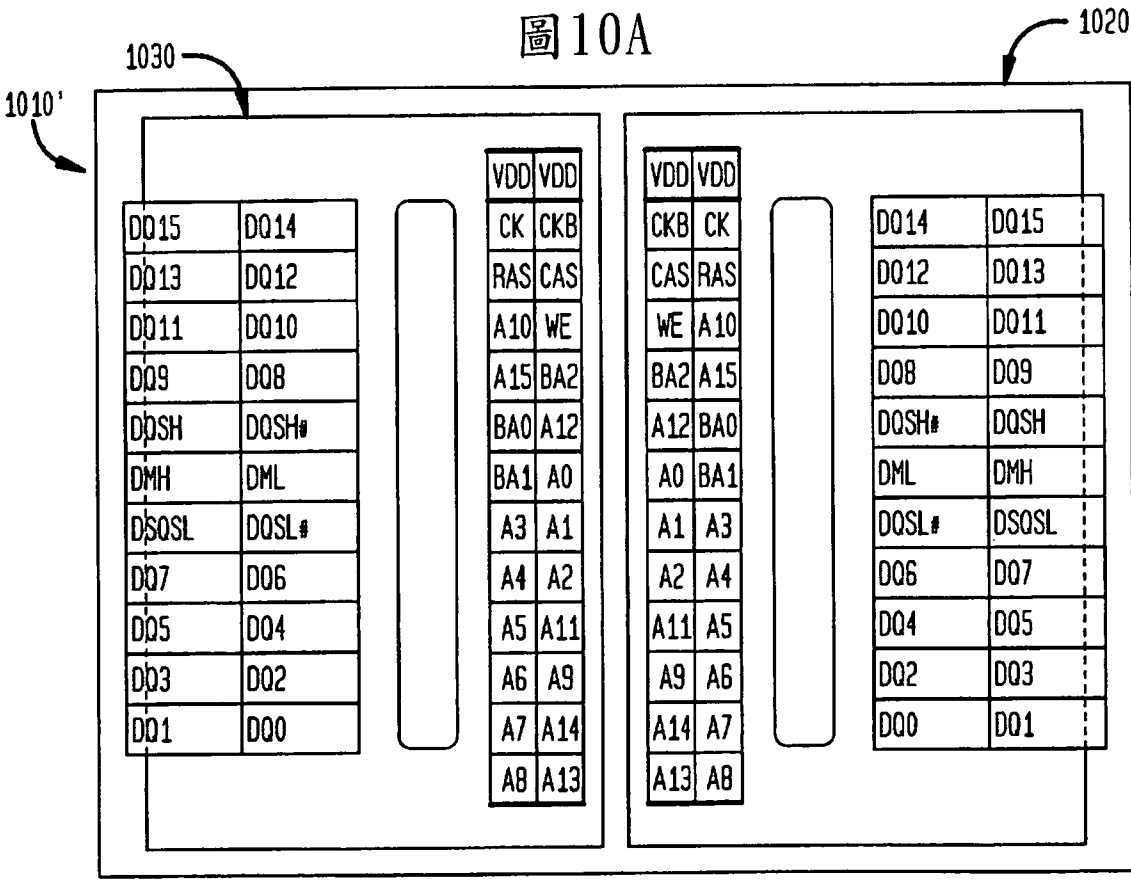


圖 10B

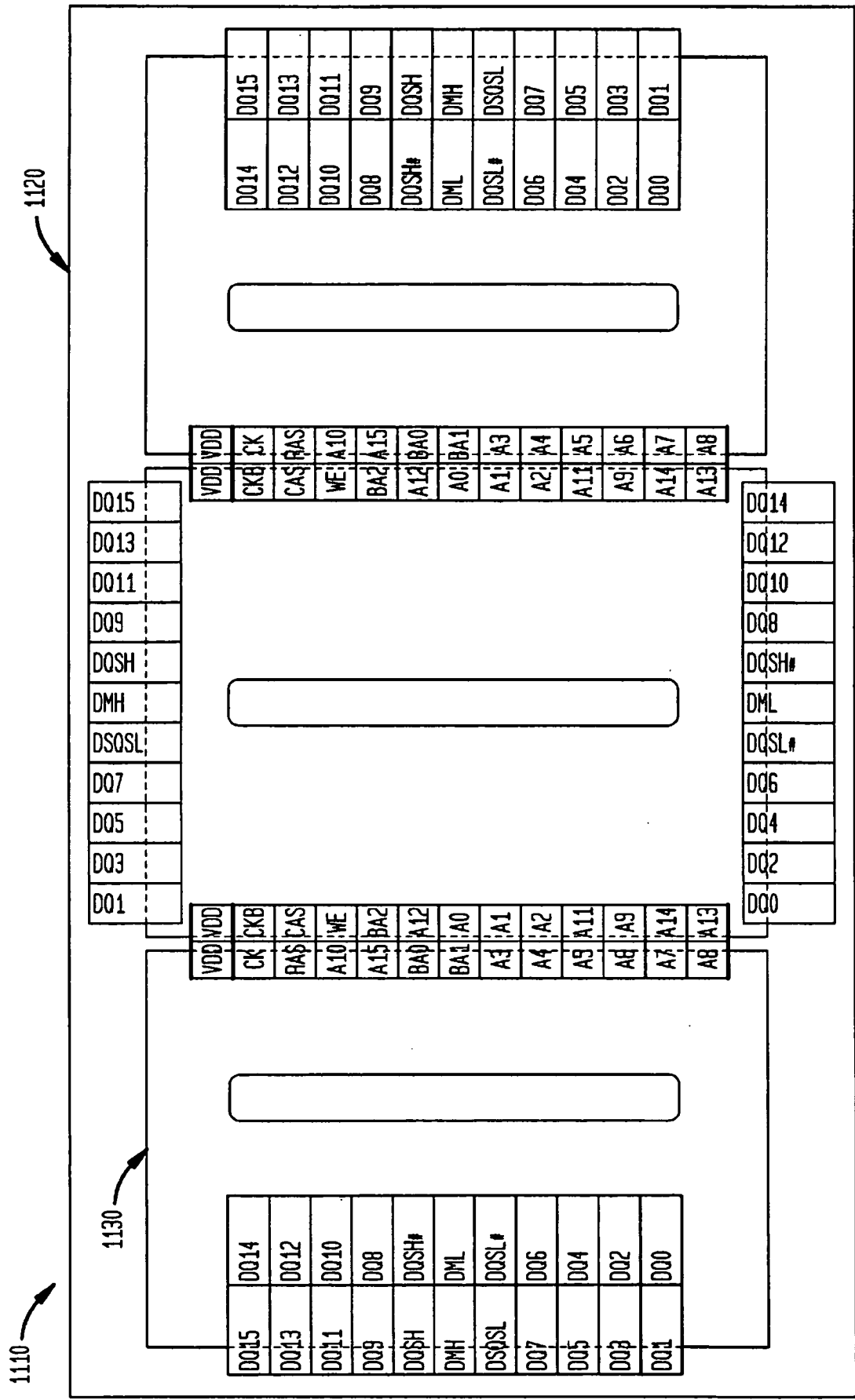


圖 11

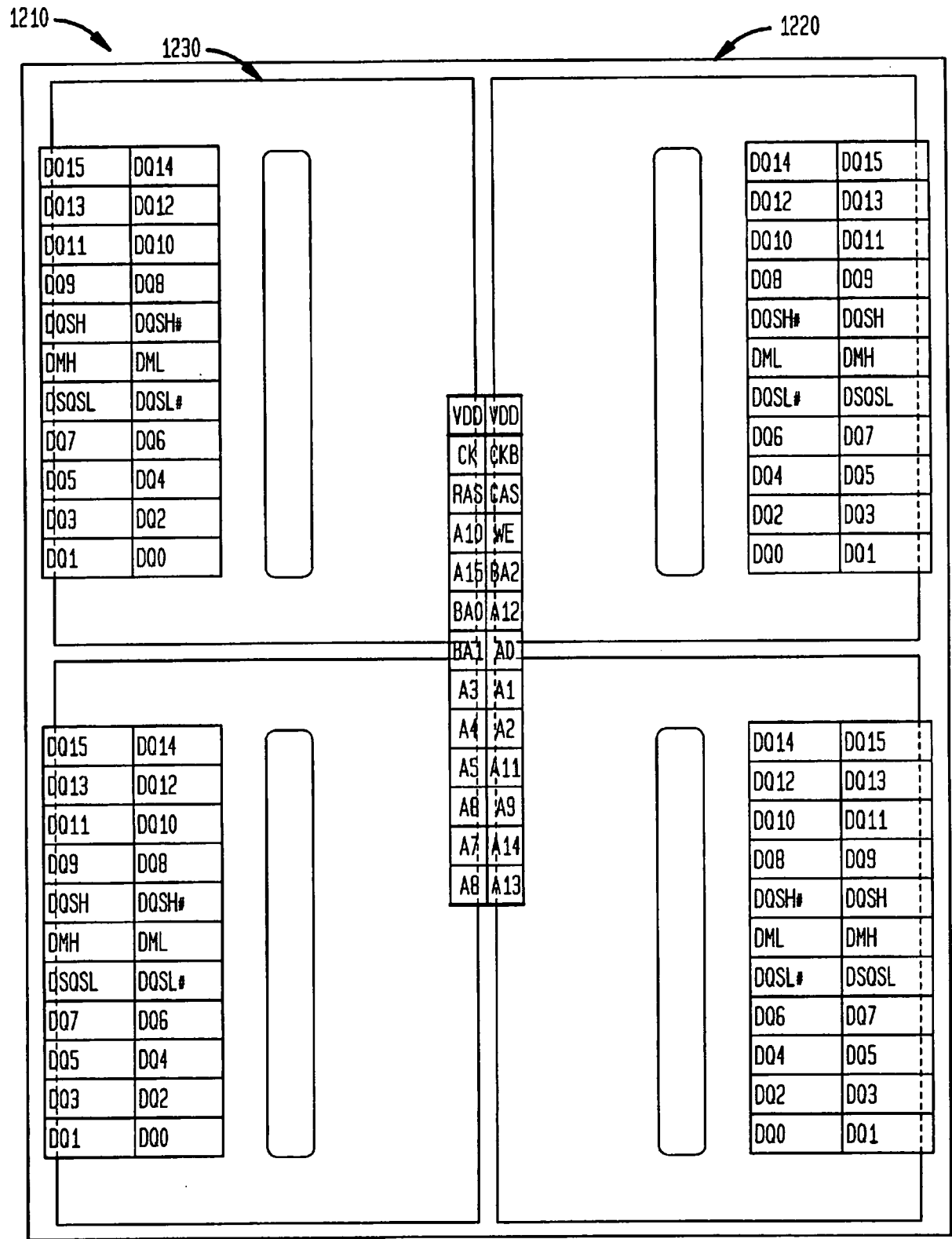


圖 12A

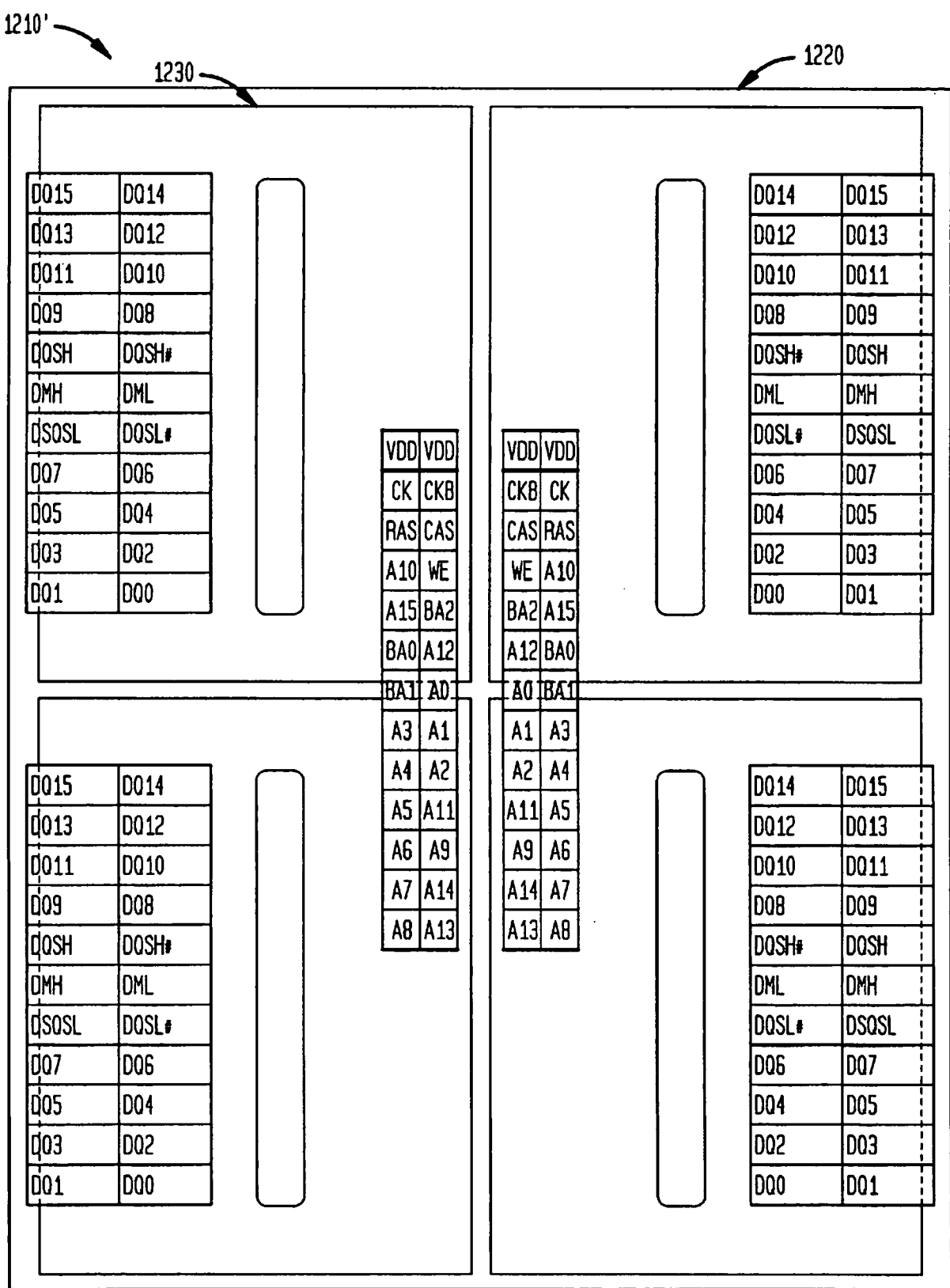


圖 12B

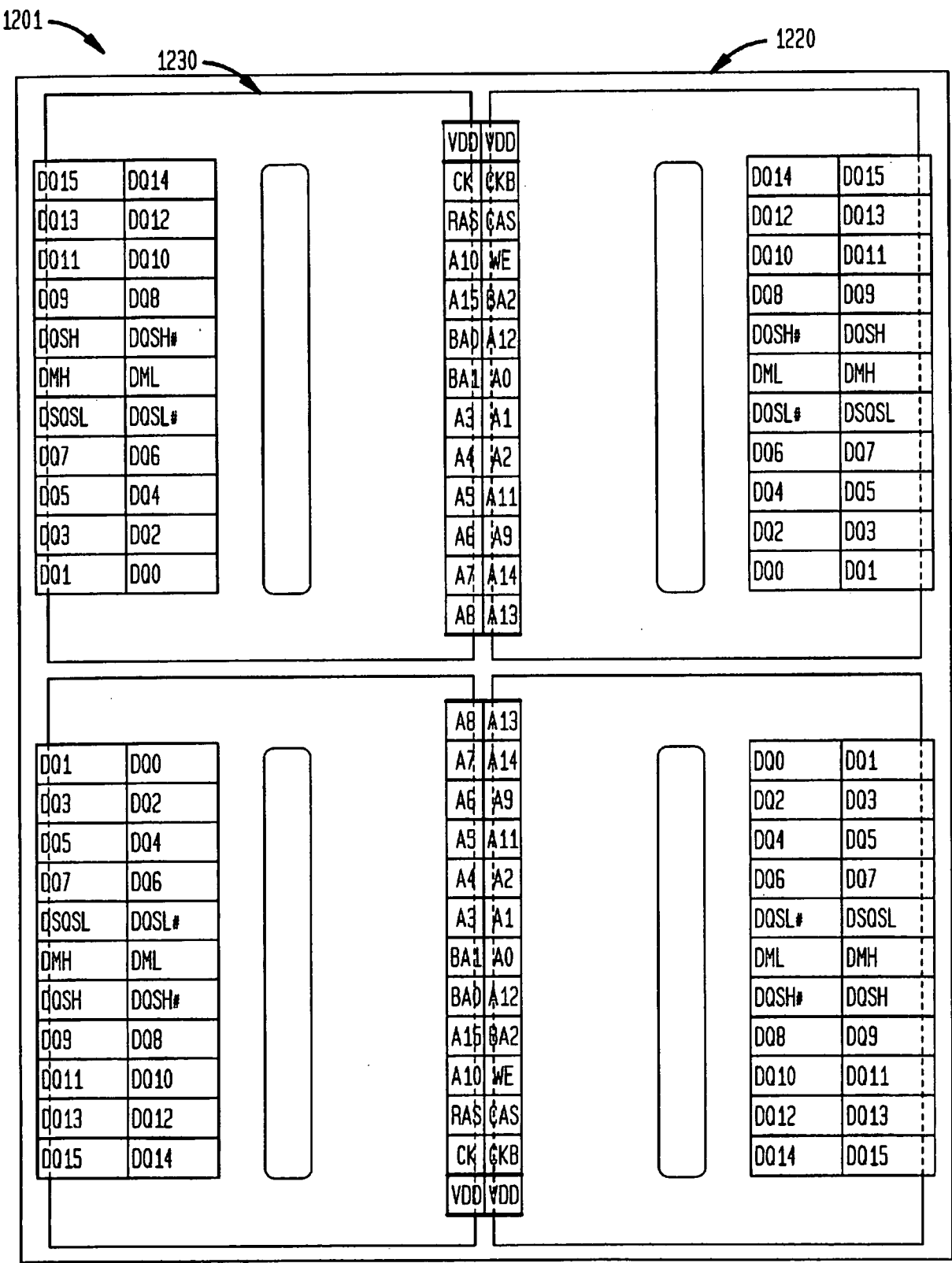


圖 12C

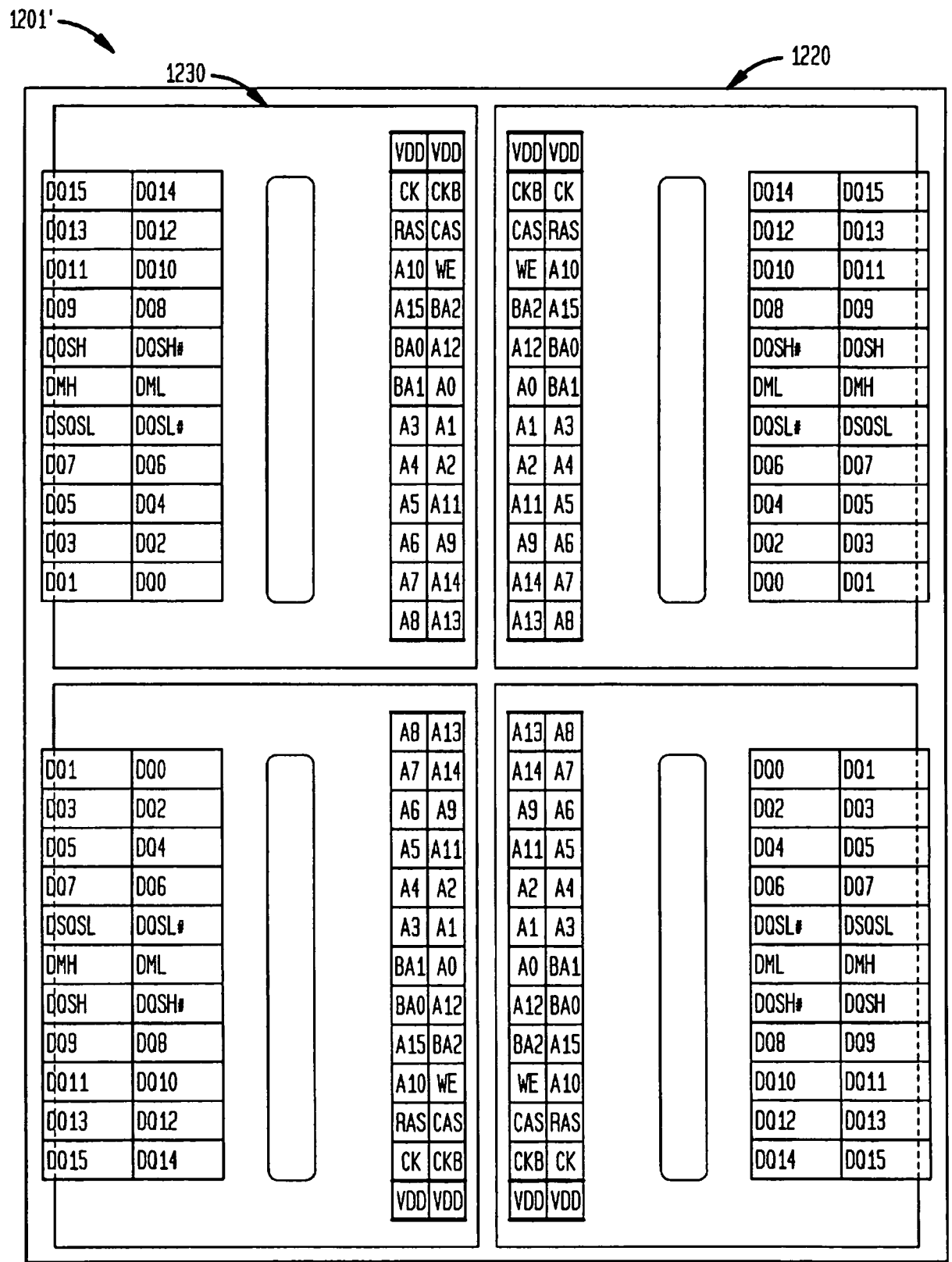


圖 12D

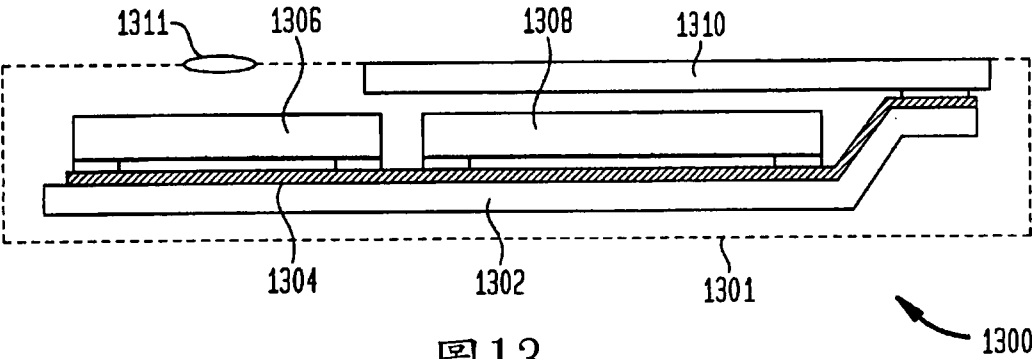


圖 13

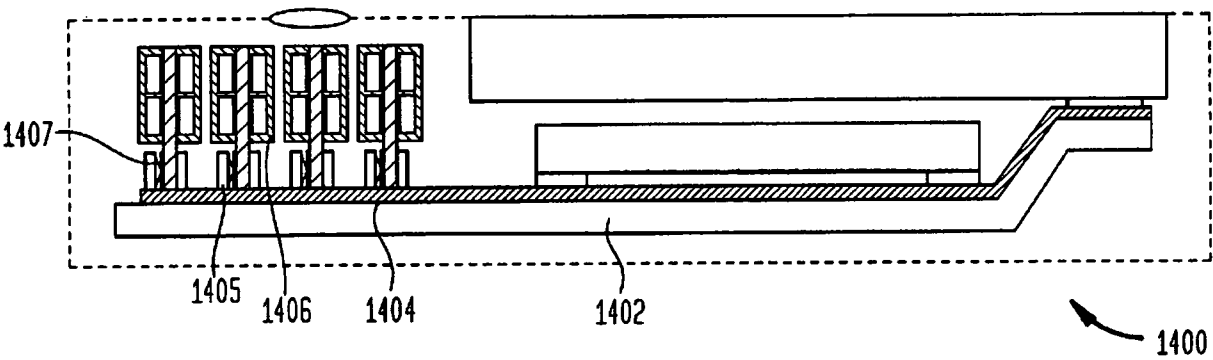


圖 14