【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】令和6年2月6日(2024.2.6)

【国際公開番号】WO2023/166545
【出願番号】特願2022-549633(P2022-549633)
【国際特許分類】
H01L 21/3205(2006.01)
H01L 21/60(2006.01)
H01S 5/042(2006.01)
H01S 5/22(2006.01)
【FI】
H01L 21/88 T
H01L 21/60 301N
H01S 5/042612
H01S 5/22

【手続補正書】
【提出日】令和4年8月18日(2022.8.18)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
半導体基板と、
前記半導体基板上に形成された第１半導体層と、
前記第１半導体層上に形成された絶縁膜と、
前記絶縁膜に接して形成され、底部側で前記絶縁膜が露出する複数の開口部を有する表面電極、及び前記表面電極に接して形成され前記開口部を覆い、前記開口部の側面に沿って前記開口部の底部側に向かって入り込む部位を有し、底部側の前記絶縁膜の表面の一部が露出するメッキ膜からなる接続電極と、
を備える半導体素子。
【請求項２】
前記表面電極が上面視において矩形状を呈する部位を有し、前記開口部が前記表面電極の矩形状を呈する部位に格子状に配列されることを特徴とする請求項１に記載の半導体素子。
【請求項３】
前記開口部は、前記表面電極の矩形状を呈する部位の全体にわたって格子状に配列されることを特徴とする請求項２に記載の半導体素子。
【請求項４】
前記開口部は、前記表面電極の矩形状を呈する部位の一部の領域において、格子状に配列されることを特徴とする請求項２に記載の半導体素子。
【請求項５】
前記複数の開口部は、一定の間隔で配列されることを特徴とする請求項２から４のいずれか１項に記載の半導体素子。
【請求項６】
前記表面電極が、前記絶縁膜側の第１表面電極及び前記第１表面電極上に形成された第２表面電極の２層で構成され、前記開口部の前記絶縁膜側の開口面積が前記メッキ膜側の

開口面積よりも広いことを特徴とする請求項１から５のいずれか１項に記載の半導体素子。
【請求項７】
半導体基板と、
前記半導体基板上に形成された第１半導体層と、
前記第１半導体層上に形成された絶縁膜と、
前記絶縁膜に接して形成され底部側で前記絶縁膜が露出する複数の開口部を有する表面電極、及び、前記表面電極に接して形成され、前記表面電極と接する面側において前記開口部に対向する凹部を有するメッキ膜からなる接続電極と、
を備える半導体素子。
【請求項８】
前記表面電極が上面視において矩形状を呈する部位を有し、前記開口部が前記表面電極の矩形状の部位の外縁部から内部側に向かって延在する切欠き状を呈することを特徴とする請求項７に記載の半導体素子。
【請求項９】
前記切欠き状を呈する前記複数の開口部が一定の間隔で配列されることを特徴とする請求項８に記載の半導体素子。
【請求項１０】
前記半導体基板上に、第１導電型の第２半導体層、半導体量子井戸層及び第２導電型の第３半導体層で構成されるリッジ構造からなる発光部が設けられ、
前記第２導電型の第３半導体層と前記接続電極が電気的に接続されることを特徴とする請求項１から９のいずれか１項に記載の半導体素子。
【請求項１１】
半導体基板上に第１半導体層を結晶成長する結晶成長工程と、
前記第１半導体層上に絶縁膜を成膜する絶縁膜形成工程と、
前記絶縁膜上に、底部側で前記絶縁膜が露出する複数の開口部を有する表面電極を形成する表面電極形成工程と、
前記表面電極上に、前記開口部を覆い一部が前記開口部の側面に沿って前記開口部の底部側に向かって入り込み底部側の前記絶縁膜の表面の一部が露出するメッキ膜を成膜するメッキ膜形成工程と、
を含む半導体素子の製造方法。
【請求項１２】
前記表面電極形成工程において、前記表面電極として前記絶縁膜側の第１表面電極及び前記第１表面電極上に形成された第２表面電極の２層を成膜し、
前記第２表面電極を選択的に溶解する薬液を用いて加工した後に、前記第１表面電極を選択的に溶解する薬液を用いて前記第１表面電極を加工することを特徴とする請求項１１に記載の半導体素子の製造方法。
【請求項１３】
半導体基板上に第１半導体層を結晶成長する結晶成長工程と、
前記第１半導体層上に絶縁膜を成膜する絶縁膜形成工程と、
前記絶縁膜上に、底部側で前記絶縁膜が露出する複数の開口部を有する表面電極を形成する表面電極形成工程と、
前記表面電極上に、前記表面電極と接する面側において前記開口部に対向する凹部を有するメッキ膜を成膜するメッキ膜形成工程と、
を含む半導体素子の製造方法。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】０００９
【補正方法】変更
【補正の内容】

【０００９】
本開示に係る半導体素子は、
半導体基板と、
前記半導体基板上に形成された第１半導体層と、
前記第１半導体層上に形成された絶縁膜と、
前記絶縁膜に接して形成され、底部側で前記絶縁膜が露出する複数の開口部を有する表面電極、及び前記表面電極に接して形成され前記開口部を覆い、前記開口部の側面に沿って前記開口部の底部側に向かって入り込む部位を有し、底部側の前記絶縁膜の表面の一部が露出するメッキ膜からなる接続電極と、を備える。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００１０
【補正方法】変更
【補正の内容】
【００１０】
本開示に係る半導体素子の製造方法は、
半導体基板上に第１半導体層を結晶成長する結晶成長工程と、
前記第１半導体層上に絶縁膜を成膜する絶縁膜形成工程と、
前記絶縁膜上に、底部側で前記絶縁膜が露出する複数の開口部を有する表面電極を形成する表面電極形成工程と、
前記表面電極上に、前記開口部を覆い一部が前記開口部の側面に沿って前記開口部の底部側に向かって入り込み底部側の前記絶縁膜の表面の一部が露出するメッキ膜を成膜するメッキ膜形成工程と、を含む。