

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019年7月11日 (11.07.2019)



(10) 国际公布号
WO 2019/134412 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2018/108723
- (22) 国际申请日: 2018年9月29日 (29.09.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201810001751.3 2018年1月2日 (02.01.2018) CN
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路10号,
Beijing 100015 (CN)。福州京东方光电科技
有限公司**(FUZHOU BOE OPTOELECTRONICS
TECHNOLOGY CO., LTD.)** [CN/CN]; 中国福建
省福州市福清市石竹街道西环北路36
号, Fujian 350300 (CN)。
- (72) 发明人: 翁祖伟(**WENG, Zuwei**); 中国北京市经济
技术开发区地泽路9号, Beijing 100176 (CN)。
- (74) 代理人: 中科专利商标代理有限责任
公司**(CHINA SCIENCE PATENT & TRADEMARK
AGENT LTD.)**; 中国北京市海淀区西三环北路
87号4-1105室, Beijing 100089 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(54) **Title:** SHIFT REGISTER UNIT, GATE DRIVING CIRCUIT AND DRIVING METHOD THEREFOR, AND DISPLAY DE-
VICE

(54) 发明名称: 移位寄存器单元、栅极驱动电路及其驱动方法以及显示装置

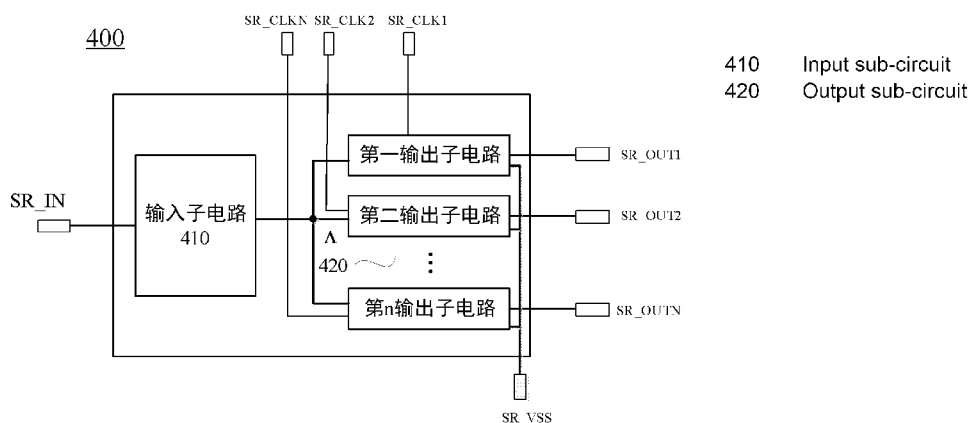


图 4

(57) **Abstract:** A shift register unit, a gate driving circuit and a driving method therefor, and a display device. A shift register unit (400) comprises: an input sub-circuit (410), coupled to an input signal terminal (SR_IN) and a pull-up node (A) and configured to transmit, under the control of an input signal from the input signal terminal, the input signal to the pull-up node (A); and n output sub-circuits (420), each output sub-circuit (420) of the n output sub-circuits (420) being coupled to the pull-up node (A), one of n clock signal terminals (SR_CLK1 - SR_CLKN), a first level signal terminal (SR_VSS), and one of n output signal terminals (SR_OUT1 - SR_OUTN) and being configured to transmit, under the control of a voltage signal at the pull-up node (A), a clock signal from a clock signal terminal (SR_CLK1 - SR_CLKN) coupled to an output sub-circuit (420) to an output signal terminal (SR_OUT1 - SR_OUTN) coupled to the output sub-circuit (420), and n being an integer greater than 1.



WO 2019/134412 A1

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种移位寄存器单元、栅极驱动电路及其驱动方法以及显示装置。移位寄存器单元(400)包括: 输入子电路(410), 与输入信号端(SR_IN)和上拉节点(A)耦接, 并且被配置为在来自输入信号端的输入信号的控制下将输入信号传送到上拉节点(A); 以及n个输出子电路(420), n个输出子电路(420)中的每一个输出子电路(420)与上拉节点(A)、n个时钟信号端(SR_CLK1- SR_CLKN)中的一个、第一电平信号端(SR_VSS)和n个输出信号端(SR_OUT1- SR_OUTN)中的一个耦接, 并且被配置为在上拉节点(A)处的电压信号的控制下, 将来自与输出子电路(420)耦接的时钟信号端(SR_CLK1- SR_CLKN)的时钟信号传送到与输出子电路(420)耦接的输出信号端(SR_OUT1- SR_OUTN), 其中n为大于1的整数。

移位寄存器单元、栅极驱动电路及其驱动方法以及显示装置

相关申请的交叉引用

本申请要求于 2018 年 1 月 2 日递交的中国专利申请 CN201810001751.3 的优先权，其全部公开内容通过引用合并于此。

技术领域

本公开涉及显示领域，具体地涉及一种移位寄存器单元、栅极驱动电路及其驱动方法以及显示装置。

背景技术

常规的栅极驱动电路包括多个级联的移位寄存器单元，其中，每一级移位寄存器单元控制一行栅线。然而，这种栅极驱动电路的占用空间相对较大，不利于实现具有更窄边框的显示面板。

发明内容

本公开提出了一种移位寄存器单元、栅极驱动电路及其驱动方法以及显示装置。

根据本公开的一个方面，提出了一种移位寄存器单元。所述移位寄存器单元包括：输入子电路，与输入信号端和上拉节点耦接，并且被配置为在来自输入信号端的输入信号的控制下将输入信号传送到上拉节点；以及 n 个输出子电路，所述 n 个输出子电路中的每一个输出子电路与上拉节点、 n 个时钟信号端中的一个、第一电平信号端和 n 个输出信号端中的一个耦接，并且被配置为在所述上拉节点处的电压信号的控制下，将来自与所述输出子电路耦接的时钟信号端的时钟信号传送到与所述输出子电路耦接的输出信号端，其中 n 为大于 1 的整数。

在实施例 中，所述移位寄存器单元还包括：复位子电路，与复位信号端、所述上拉节点和所述第一电平信号端耦接，并且被配置为在来自所述复位信号端的复位信号的控制下将来自所述第一电平信号端的第一电平信号传送到所述上拉节点；以及控制子电路，与第二电平信号端、所述上拉节点、所述第一电平信号端和所述下拉节点耦接，并且被配置为

在所述上拉节点处的电压信号的控制下，将来自所述第二电平信号端的第二电平信号或来自所述第一电平信号端的第一电平信号传送到所述下拉节点。

在实施例中，所述 n 个输出子电路中的每一个输出子电路还与下拉节点耦接，并且被配置为在所述下拉节点处的电压信号的控制下，将来自第一电平信号端的第一电平信号传送到与所述输出子电路耦接的输出信号端。

在实施例中，所述输入子电路包括第一晶体管，第一晶体管的第一极与第一晶体管的栅极与所述输入信号端耦接，第一晶体管的第二极与所述上拉节点耦接。

在实施例中，所述 n 个输出子电路中的每一个输出子电路包括第二晶体管和第三晶体管，第二晶体管的栅极与所述上拉节点耦接，第二晶体管的第一极与所述 n 个时钟信号端中的一个时钟信号端耦接，以及第三晶体管的栅极与所述下拉节点耦接，第三晶体管的第一极与所述第一电平信号端耦接，第二晶体管的第二极和第三晶体管的第二极与所述输出子电路的输出信号端耦接。

在实施例中，所述 n 个输出子电路中的至少一个输出子电路还包括电容器，所述电容器连接在所述上拉节点和与所述至少一个输出子电路耦接的输出信号端之间。

在实施例中，所述复位子电路包括第四晶体管，第四晶体管的第一极与所述上拉节点耦接，第四晶体管的第二极与所述第一电平信号端耦接，并且第四晶体管的栅极与所述复位信号端耦接。

在实施例中，所述控制子电路包括第五晶体管、第六晶体管、第七晶体管、第八晶体管和第九晶体管，第六晶体管的第一极、第六晶体管的栅极和第八晶体管的第一极与所述第二电平信号端耦接，第五晶体管的第一极、第七晶体管的栅极和第九晶体管的栅极与所述上拉节点耦接，第五晶体管的第二极、第七晶体管的第一极和第九晶体管的第一极与所述第一电平信号端耦接，第五晶体管的栅极、第八晶体管的第二极和第九晶体管的第二极与所述下拉节点耦接，以及第六晶体管的第二极和第八晶体管的栅极与第七晶体管的第二极耦接。

根据本公开的另一面，还提出了一种栅极驱动电路。所述栅极驱动电路，包括级联的根据以上各个实施例的多个移位寄存器单元。所述栅极驱动电路包括： $2k$ 个时钟信号线，所述 $2k$ 个时钟信号线按顺序依次循环与所述多级移位寄存器单元的各个时钟信号端耦接，

其中， k 为正整数，且 $(k+1) \geq n$ ，以及每一级移位寄存器单元的复位信号端与所述移位寄存器单元的后一级移位寄存器单元中的 n 个输出子电路之一的输出信号端耦接。

在实施例 1 中，每一级移位寄存器单元的复位信号端与所述移位寄存器单元后第 i 级到第 j 级移位寄存器单元之一的输出信号端耦接，其中， i 等于 $\lceil k/n \rceil$ ， j 等于 $\lceil (2k+1)/n-1 \rceil$ ，其中， $\lceil \rceil$ 为上取整函数。

在实施例 2 中，在 n 等于 $(k+1)$ 的情况下，每一级移位寄存器单元的复位信号端与下一级移位寄存器单元中的第 k 个输出子电路的输出信号端耦接。

在实施例 3 中，除第一级移位寄存器单元之外的每一级移位寄存器单元的输入信号端与来自上一级移位寄存器单元的第 n 个输出子电路的输出信号端耦接。

根据本公开的又一方面，还提出了一种对根据以上各个实施例所述的栅极驱动电路进行驱动的方法。所述方法包括：向第一级移位寄存器单元施加输入信号；以及依次向所述 $2k$ 个时钟信号线施加所述 $2k$ 个时钟信号。所述 $2k$ 个时钟信号中的第一时钟信号的第一沿滞后所述输入信号的第一沿 1 个时段。所述 $2k$ 个时钟信号中的每个时钟信号的第一沿领先下一时钟信号的第一沿 1 个时段。所述时段为 $(\text{时钟脉冲}/k)$ 。

根据本公开的又一方面，还提出了一种显示装置。所述显示装置包括根据以上各实施例所述的栅极驱动电路。

附图说明

图 1 示出了一种移位寄存器单元的电路图；

图 2 示出了包括图 1 所示的移位寄存器单元的栅极驱动电路的级联示意图；

图 3 示出了图 2 所示的栅极驱动电路的信号时序图；

图 4 示出了根据本公开实施例的移位寄存器单元的电路示意图；

图 5 示出了图 4 所示的移位寄存器单元的更为详细的电路图；

图 6 示出了图 5 所示的移位寄存器单元的一个示例的具体电路图；

图 7 示出了包括图 6 所示的示例移位寄存器单元的栅极驱动电路的级联示意图；

图 8 示出了图 7 所示的栅极驱动电路的信号时序图；

图 9 示出了包括另一示例移位寄存器单元的栅极驱动电路的级联示意图；

图 10 示出了包括又一示例移位寄存器单元的栅极驱动电路的级联示意图；以及图 11 示出了根据本公开实施例的栅极驱动电路的驱动方法的流程图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整的描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部。基于所描述的本公开实施例，本领域普通技术人员在无需创造性劳动的前提下获得的所有其他实施例都属于本公开保护的范围。应注意，贯穿附图，相同的元素由相同或相近的附图标记来表示。在以下描述中，一些具体实施例仅用于描述目的，而不应该理解为对本公开有任何限制，而只是本公开实施例的示例。在可能导致对本公开的理解造成混淆时，将省略常规结构或构造。应注意，图中各部件的形状和尺寸不反映真实大小和比例，而仅示意本公开实施例的内容。

除非另外定义，本公开实施例使用的技术术语或科学术语应当是本领域技术人员所理解的通常意义。本公开实施例中使用的“第一”、“第二”以及类似词语并不表示任何顺序、数量或重要性，而只是用于区分不同的组成部分。

此外，在本公开实施例的描述中，术语“耦接”、“相连”或“耦接到”、“连接至”可以是指两个组件直接耦接或连接，也可以是指两个组件之间经由一个或多个其他组件耦接或连接。此外，这两个组件可以通过有线或无线方式相耦接或连接。

本公开实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。优选地，本公开实施例中使用的薄膜晶体管可以是氧化物半导体晶体管。由于这里采用的薄膜晶体管的源极、漏极是对称的，所以其源极、漏极可以互换。在本公开实施例中，将源极和漏极中的一个称为第一极，将源极和漏极中的另一个称为第二极。在以下示例中以 N 型薄膜晶体管为例进行描述。本领域技术人员可以理解，本公开实施例显然可以应用于 P 型薄膜晶体管的情况。

在本公开实施例中，时钟信号是周期信号。在一个周期中，通过两个信号沿（第一沿和滞后于第一沿的第二沿）将时钟信号分为相继出现的高电平时段和低电平时段。术语“有效工作电平”是指能够导通受控晶体管的电平。当有效工作电平为高电平时（即受控晶体

管为 N 型), 第一沿为上升沿, 第二沿为下降沿。相反地, 当有效工作电平为低电平时 (即受控晶体管为 P 型), 第一沿为下降沿, 第二沿为上升沿。类似地, 也可通过有效工作电平限定输入信号、输出信号和复位信号的第一沿和第二沿, 在此不再赘述。

此外, 在本公开的描述中, 术语“第一电平信号”和“第二电平信号”仅用于区别两个电平信号的幅度不同。例如, 下文中以“第一电平信号”为低电平信号、“第二电平信号”为高电平信号、“第一电平信号端”为低电平信号端、“第二电平信号端”为高电平信号端为例进行描述。本领域技术人员可以理解, 本公开不局限于此。

以下参考附图对本公开进行具体描述。

图 1 示出了一种移位寄存器单元 100 的电路图。

如图 1 所示, 移位寄存器单元 100 采用 9T1C (9 个晶体管 1 个电容器) 结构。移位寄存器单元 100 只接收一个时钟信号 CLK1, 并且只输出一个输出信号 OUT。因此, 在包括移位寄存器单元 100 的栅极驱动电路中, 针对每一条栅线需要分别设置一个移位寄存器单元, 以便对该栅线进行驱动。

图 2 便示出了包括移位寄存器单元 100 的栅极驱动电路 200。从图 2 中可以看出, 栅极驱动电路 200 共接收六个时钟信号 CLK1-CLK6。这六个时钟信号按顺序依次输入到连续的六级移位寄存器单元, 从而每级移位寄存器单元分别产生单独的输出 (图 2 中仅示出了前六级移位寄存器单元及其对应的输出 OUT1-OUT6)。其中, 每一级移位寄存器单元的输出不但用于控制单独的栅线, 还用作下一级移位寄存器单元的输入。此外, 如图 2 所示, 从第五级移位寄存器单元开始, 每一级移位寄存器单元的输出还用于对前四级的移位寄存器单元进行复位。

图 3 则示出了栅极驱动电路 200 的时序图。从图 3 可以看出, 针对图 2 所示的栅极驱动电路 200, 通过施加如图 3 所示的时钟信号 CLK1-CLK6, 实现了特定的输出 (图中仅示出了 OUT1-OUT3)。

然而, 栅极驱动电路 200 的占用空间相对较大, 如果想要实现具有更窄边框的显示面板, 需要对其电路结构进行改变。

图 4 示出了根据本公开实施例的移位寄存器单元 400 的模块示意图。

从图 4 可见, 移位寄存器单元 400 包括输入子电路 410 和 n 个输出子电路 420 (包括第

一输出子电路、第二输出子电路、...、第 n 输出子电路), 其中, n 为大于 1 的整数。

输入子电路 410 分别与输入信号端 SR_IN 和上拉节点 A 耦接, 并配置为在来自输入信号端 SR_IN 的输入信号的控制下将输入信号传送到上拉节点 A。

n 个输出子电路 420 中的每一个输出子电路与上拉节点 A、时钟信号端 SR_CLK1-S_CLKN 中的一个、低电平信号端 SR_VSS 和输出信号端 SR_OUT1-SR_OUTN 中的一个耦接, 并且被配置为在上拉节点 A 处的电压信号的控制下将来自与该输出子电路耦接的时钟信号端的时钟信号传送到与该输出子电路耦接的输出信号端。

在一个实施例中, 移位寄存器单元 400 还包括复位子电路和控制子单元。复位子电路单元用于接收复位信号。控制子电路用于接收高电平信号和低电平信号, 并对 n 个输出子电路 420 的输出进行控制。

具体地, 图 5 示出了图 4 所示的移位寄存器单元 400 的更为详细的电路图。其中, 复位子电路和控制子电路分别标记为 430 和 440。

复位子电路 430 与复位信号端 SR_RESET、上拉节点 A 和低电平信号端 SR_VSS 耦接, 并且被配置为在来自复位信号端 SR_RESET 的复位信号的控制下, 将来自低电平信号端 SR_VSS 的低电平信号传送到上拉节点 A。

控制子电路 440 与高电平端 SR_VDD、上拉节点 A、低电平信号端 SR_VSS 和下拉节点 B 连接, 并被配置为在上拉节点 A 处的电压信号的控制下将来自高电平信号端 SR_VDD 的高电平信号或来自低电平信号端 SR_VSS 的低电平信号传送到下拉节点 B。

复位子电路 430 对 n 个输出子电路 420 中的每一个进行控制。n 个输出子电路 420 中的每个输出子电路 420 被配置为在上拉节点 A 处的电压信号的控制下将与该输出子电路耦接的时钟信号端的时钟信号 (clk_i, i=1、2、...、n) 传送到与该输出子电路耦接的输出信号端以发送输出信号 (out_i, i=1、2、...、n)。

应该理解的是, 这里时钟信号 clk 和输出信号 out 的索引 i 是从当前移位寄存器中的角度进行索引的, 而不是从当前移位寄存器所位于的栅极驱动电路的角度进行索引的。在下文中, 当描述栅极驱动电路时, 还将从栅极驱动电路的角度对时钟信号和输出信号进行索引。为了避免引起混淆, 在从当前移位寄存器的角度对时钟信号和输出信号进行索引时, 通过小写字母来标识时钟信号和输出信号, 例如 clk₁ 和 out₁ 分别表示针对当前移位寄

寄存器的第一个时钟信号和第一个输出信号。而在从栅极驱动电路的角度对时钟信号和输出信号进行索引时，采用大写字母进行索引，比如 CLK1 和 OUT1 分别表示栅极驱动电路接收的第一时钟信号以及输出的第一输出信号。

进一步地，在图 6 中示出了图 5 所示的移位寄存器单元的一种情形的移位寄存器单元 600 的电路示意图。具体地，在移位寄存器单元 600 中， $n=2$ 。也就是说，移位寄存器单元 600 中包括两个输出子电路 620，分别是第一输出子电路 620-1 和第二输出子电路 620-2。

如图 6 所示，在移位寄存器单元 600 中，输入子电路 610 包括第一晶体管 T1。T1 的第一极与 T1 的栅极并联并与输入信号端 SR_IN 耦接，以从输入信号端 SR_IN 接收输入信号 IN。T1 的第二极与上拉节点 A 耦接。

第一输出子电路 620-1 和第二输出子电路 620-2 中的每一个都包括一个第二晶体管(T2、T2') 和一个第三晶体管 (T3、T3')。在第一输出子电路 620-1 中，T2 的第一极与第一时钟信号端 SR_CLK1 耦接，用于从第一时钟信号端 SR_CLK1 接收时钟信号 clk1。T2 的栅极与上拉节点 A 耦接。T3 的栅极与下拉节点 B 耦接。T3 的第一极与低电平信号端 SR_VSS 耦接，用于接收低电平信号 VSS。T2 的第二极与 T3 的第二极与第一输出信号端 SR_OUT1 耦接，向第一输出信号端 SR_OUT1 发送输出信号 out1。

类似地，在第二输出子电路 620-2 中，T2' 的第一极与第二时钟信号端 SR_CLK2 耦接，用于从第二时钟信号端 SR_CLK2 接收时钟信号 clk2。T2' 的栅极与上拉节点 A 耦接。T3' 的栅极与下拉节点 B 耦接。T3' 的第一极与低电平信号端 SR_VSS 耦接，用于接收低电平信号 VSS。T2' 的第二极与 T3' 的第二极与第二输出信号端 SR_OUT2 耦接，用于向第二输出信号端 SR_OUT2 发送输出信号 out2。

复位子电路 630 包括第四晶体管 T4。T4 的第一极与上拉节点 A 耦接，T4 的第二极与低电平信号端 SR_VSS 耦接。在一个实施例中，T4 的第一极与上拉节点 A 耦接，而第二极用于接收低电平信号 VSS。在另一实施例中，T4 的第一极与低电平信号端 SR_VSS 耦接，第二极与上拉节点 A 耦接。此外，T4 的栅极与复位信号端 SR_RESET 耦接，以接收复位信号。

控制子电路 640 包括第五晶体管 T5、第六晶体管 T6、第七晶体管 T7、第八晶体管 T8 和第九晶体管 T9。

T6的第一极、T6的栅极和T8的第一极与高电平信号端SR_VDD耦接，用来接收高电平信号VDD。T5的第一极、T7的栅极和T9的栅极与上拉节点A耦接。T5的第二极、T7的第一极和T9的第一极与低电平信号端SR_VSS耦接，用于接收低电平信号VSS。T5的栅极、T8的第二极和T9的第二极与下拉节点B耦接。此外，T6的第二极和T8的栅极与T7的第二极耦接。

第一输出子电路620-1还包括电容器C1。电容器C1耦接在上拉节点A与第一输出信号端SR_OUT1之间。第二输出子电路620-2则被示为不包括任何电容器。应该理解的是，移位寄存器单元600中所示的结构只是示例，在其他实施例中，可以不在第一输出子电路620-1中设置电容器C1，和/或在第二输出子电路620-2中相应地在上拉节点A与第二输出信号端SR_OUT2之间设置电容器。

此外，图7中示出了包括图6所示的移位寄存器单元的栅极驱动电路700的级联示意图。图8示出了图7所示的栅极驱动电路700的信号时序图。

首先，从图7可见，栅极驱动电路700采用六时钟配置，接收CLK1-CLK6共六个时钟信号。参见图8，相邻时钟信号的相位之间相差1/6个周期。一般地，栅极驱动电路中共配置2k个时钟信号线，以施加2k个时钟信号，并且相邻时钟信号的相位相差1/2k个周期。其中，k为正整数。在图7所示的实施例中，以k=3作为示例。本领域技术人员应理解的是，本公开的技术方案同样适用于k为其他正整数的情况。

一般地，对于具有2k个时钟信号线的栅极驱动电路，在每个移位寄存器单元具有n个输出子电路的情况下，存在如下限制：

$$k+1 \geq n.$$

原因在于，每个移位寄存器单元中最先接收的时钟信号的下一周期的第一沿应该滞后于或同步于每个移位寄存器单元中最晚接收的时钟信号的当前周期的第二沿，否则无法在该移位寄存器单元中实现恰当的复位。从而，要求 $1+2k \geq n+k$ ，即 $k+1 \geq n$ 。

CLK1-CLK6这六个时钟信号按顺序依次循环提供到栅极驱动电路700中的各级移位寄存器单元的各个时钟信号端。作为示例，图7中只示出了栅极驱动电路700的前三级移位寄存器单元SR1、SR2和SR3。由于栅极驱动电路700采用图6所示的移位寄存器单元600作为其中的移位寄存器单元，因此，每一级移位寄存器单元具有两个输出子电路，即每一

级移位寄存器单元接收两个时钟信号，并输出两个输出信号。具体地，第一级移位寄存器单元 SR1 接收时钟信号 CLK1 和 CLK2，发送输出信号 OUT1 和 OUT2；第二级移位寄存器单元 SR2 接收时钟信号 CLK3 和 CLK4，发送输出信号 OUT3 和 OUT4；第三级移位寄存器单元 SR3 接收时钟信号 CLK5 和 CLK6，发送输出信号 OUT5 和 OUT6；以此类推。

如图 7 所示，第一级移位寄存器单元 SR1 接收来自外部的输入信号 IN。从第二级移位寄存器单元 SR2 开始，每一级移位寄存器单元 (SR2、SR3...) 接收来自上一级移位寄存器单元 (SR1、SR2...) 的最后一个输出子电路的输出信号，作为输入信号 IN。每一级移位寄存器单元接收来自其后一级移位寄存器单元中的输出子电路之一的输出信号，作为复位信号 RESET。具体地，图 7 中所示的栅极驱动电路 700 中，针对当前一级移位寄存器单元 (例如，SR1) 使用落后两级的移位寄存器单元 (例如，SR3) 中的第一个输出信号 (例如，从 SR3 输出的 OUT5) 来进行复位。

应该理解的是，在其他的实施例中，可以选择与 OUT5 不同的输出信号来对 SR1 进行复位。以下对此进行分析。

一般地，由于在每个移位寄存器单元中，复位信号 RESET 的第一沿滞后于或同步于时钟信号中在当前周期最晚接收的时钟信号的第二沿，并且领先于或同步于时钟信号中在当前周期最早接收的时钟信号的下一周期的第一沿，可以确定，每一级移位寄存器单元接收的复位信号 RESET 是来自其后第 i 级到第 j 级移位寄存器单元之一的输出信号，其中， i 等于 $\lceil k/n \rceil$ ， j 等于 $\lceil (2k+1)/n - 1 \rceil$ ，其中， $\lceil \cdot \rceil$ 为上取整函数。

具体地，对于 n 等于 $k+1$ 的情况， $i=1$ ， $j=1$ ，即每一级移位寄存器单元将接收来自下一级移位寄存器单元的输出信号作为复位信号。进一步地，由于复位信号 RESET 的第一沿要晚于当前移位寄存器单元中最晚接收的时钟信号的第二沿，可以确定，用于对移位寄存器单元进行复位的输出信号只能是下一级移位寄存器单元的最后一个输出信号。

对于 n 小于 $k+1$ (即 n 小于或等于 k) 的情况，当 $n=k$ 时， i 与 j 的差距最小，此时， $i=1$ ， $j=2$ ，也就是说，在 n 小于 $k+1$ 的情况下， i 比如小于 j 。这说明即使移位寄存器单元中的输出子电路的数量以及栅极驱动电路具有的时钟信号的数量是固定的，在 n 小于 $k+1$ 时，每一级移位寄存器单元在不同的栅极驱动电路配置中也可能从不同的移位寄存器单元接收复位信号。

回到图 7，图 7 所示的栅极驱动电路 700 中， n 等于 2， k 等于 3，满足 n 小于 $k+1$ 的情况。可以计算出， $i=2$ ， $j=3$ ，也就是说图 7 中的每一级移位寄存器单元可以从其后第二级移位寄存器或第三级移位寄存器接收复位信号。具体地，以移位寄存器 SR1 为例，除了图 7 中所示的从其后第二级移位寄存器 SR3 接收输出信号 OUT5 作为复位信号 RESET 的情况之外，可以确定的是，其还可以从移位寄存器 SR3 接收输出信号 OUT6 作为复位信号，或从移位寄存器 SR4 接收输出信号 OUT7 作为复位信号。

以下将参照图 7 所示的情况（即，以移位寄存器 SR3 的输出信号 OUT5 作为移位寄存器 SR1 的复位信号 RESET）并结合图 8 中的时序图对采用图 6 所示的移位寄存器 600 的结构移位寄存器 SR1 的操作进行描述。

根据图 8 中的时序图，一个时钟周期被等分为 6 个时段，6 个时钟信号 CLK1-CLK n 中的每个时钟信号的第一沿领先下一时钟信号的第一沿 1 个时段，即相邻时钟信号的相位相差 1/6 个时钟周期。此外，第一时钟信号 CLK1 在第一个周期的第一沿滞后输入信号 IN 的第一沿 1 个时段。

由于对于移位寄存器单元 SR1 来讲，clk1 和 clk2 等同于 CLK1 和 CLK2，out1 和 out2 等同于 OUT1 和 OUT2，所以在以下的操作描述中统一使用 CLK1、CLK2、OUT1 和 OUT2 进行描述，不再进行区分。

移位寄存器 SR1 的操作开始于时段 t1。在 t1 时段内，输入信号 IN 为低电平，第一时钟信号 CLK1 为低电平，第二时钟信号 CLK2 为低电平，复位信号 RESET 为低电平（RESET 的电位参见 CLK5）。高电平的 VDD 使得第六晶体管 T6 和第八晶体管 T8 导通，从而下拉节点 B 为高电平。进而，下拉节点 B 处的高电平使得第五晶体管 T5 以及第三晶体管 T3 和 T3' 都导通，使得上拉节点 A 为低电平。上拉节点 A 处的低电平使得第二晶体管 T2 和 T2' 截止。此时第一输出信号 OUT1 和第二输出信号 OUT2 均为低电平。

接下来，在 t2 时段内，输入信号 IN 为高电平，第一时钟信号 CLK1 为低电平，第二时钟信号 CLK2 为低电平，复位信号 RESET 为低电平。高电平的输入信号 IN 使得第一晶体管 T1 导通，从而上拉节点 A 提升为高电平。这进而使得第九晶体管 T9 以及第二晶体管 T2 和 T2' 导通。通过设置相关晶体管的沟道宽长比，可以使得下拉节点 B 变为低电平。这导致第五晶体管 T5 以及第三晶体管 T3 和 T3' 截止。此时，由于 CLK1 和 CLK2 仍为低电平，所

以第一输出信号 OUT1 和第二输出信号 OUT2 仍为低电平。

然后，在 t3 时段内，输入信号 IN 为高电平，第一时钟信号 CLK1 为高电平，第二时钟信号 CLK2 为低电平，复位信号 RESET 为低电平。第一晶体管 T1 开始是导通的，上拉节点 A 维持在 t2 时段的高电平，第二晶体管 T2 导通。由于第一时钟信号 CLK1 由低电平变为高电平，所以此时的第一输出信号 OUT1 由低电平变为高电平。通过第一电容器 C1 的作用，进一步提升上拉节点 A 的电位。此时，由于上拉节点 A 的电位高于 IN 的高电平，第一晶体管 T1 开始从导通变化为截止。第二晶体管 T2 继续导通，第一输出信号 OUT1 继续变为高电平，如此反复的正反馈，最后上拉节点 A 维持在比 CLK1 的高电平还高的高电平。此外，第二晶体管 T2' 也导通，由于第二时钟信号 CLK 仍为低电平，第二输出信号 OUT2 也保持为低电平。

在 t4 时段内，输入信号 IN 为高电平，第一时钟信号 CLK1 为高电平，第二时钟信号 CLK2 为高电平，复位信号 RESET 为低电平。第一晶体管 T1 截止，上拉节点 A 为高电平，与 t3 时段内同理，由于 CLK2 也由低电平变为高电平，从而 OUT2 由低电平变为高电平。此时第一输出信号 OUT1 和第二输出信号 OUT2 均为高电平。

在 t5 时段内，输入信号 IN 为低电平，第一时钟信号 CLK1 为高电平，第二时钟信号 CLK2 为高电平，复位信号 RESET 为低电平。由于第一电容器 C1 两端的电压不能突变，与 t4 时段内同理，上拉节点 A 为继续维持在比 CLK2 高电平还高的高电平，此时第一输出信号 OUT1 与第二输出信号 OUT2 仍为高电平。

在 t6 时段内，输入信号 IN 为低电平，第一时钟信号 CLK1 为低电平，第二时钟信号 CLK2 为高电平，复位信号 RESET 为低电平。由于第一电容器 C1 两端的电压不能突变，与 t5 时段内同理，上拉节点 A 为继续维持在比 CLK2 高电平还高的高电平，下拉节点 B 为低电平。此时，由于第一时钟信号 CLK1 变为低电平，所以第一输出信号 OUT1 也相应的变为低电平。但是，第二输出信号 OUT2 保持为高电平。

在 t7 时段内，输入信号 IN 为低电平，第一时钟信号 CLK1 为低电平，第二时钟信号 CLK2 为低电平，复位信号 RESET 为高电平。由于复位信号 RESET 变为高电平，第四晶体管 T4 导通，将上拉节点 A 拉为低电平。从而，第九晶体管 T9 截止，导致下拉节点 B 在 VDD 的作用下变为高电平。这使得第三晶体管 T3 和 T3' 导通。从而，第一输出信号 OUT1

和第二输出信号 OUT2 均被 VSS 拉为低电平。

如此，通过比较图 8 与图 3 中的 OUT1 和 OUT2 可知，通过如图 6 所示的移位寄存器单元 600 和如图 7 所示的栅极驱动电路 700，实现了与传统栅极驱动电路 200 相同的输出。但栅极驱动电路 700 与传统的栅极驱动电路相比使用的晶体管数量大大减少，总而能够节约栅极驱动电路的占用空间，实现更窄边框的显示面板。

以上描述是以第二级移位寄存器单元 SR3 接收输出信号 OUT5 作为复位信号 RESET 的情况作为示例进行的。本领域技术人员应该理解的是，通过 OUT6 和 OUT7 作为 SR1 复位信号的情况同样能够实现相同的效果，即实现与传统栅极驱动电路 200 相同的输出。原因在于，虽然使用 OUT6 或 OUT7 作为复位信号会使得复位延迟一个或两个时段，但在这两个时段期间，CLK1 和 CLK2 为低电平，从而不会影响 OUT1 和 OUT2 的输出结果。

图 6-7 示出了每个移位寄存器单元中包括两个输出子电路的情况（即， $n=2$ ）。通过上文分析可知，当 k 等于 3 时，在 $n \leq k+1$ 的限制下， n 还可以取值为 3 或 4。

本领域技术人员应该理解的是，对于 $n=3$ 或 $n=4$ 的情况，与 $n=2$ 的情况一样，同样能够实现与传统栅极驱动电路 200 相同的输出。在 $n=3$ 或 4 的情况下，栅极驱动电路的结构被进一步简化，总而能够进一步节约栅极驱动电路的占用空间，实现更窄边框的显示面板。

图 9 示出了 $n=3$ 的情况对应的栅极驱动电路的级联示意图。根据上文的，当 $n=3$ 时， $i = \lceil k/n \rceil = 1$ ， $j = \lceil (2k+1)/n-1 \rceil = 2$ ，即复位信号可以来自当前移位寄存器单元的下一移位寄存器单元或其后第二个移位寄存器单元。此时，能够用于对图 9 中的移位寄存器 SR1 进行复位的输出信号包括 OUT6（对应于图 9）和 OUT7。

图 10 示出了 $n=4$ 的情况对应的栅极驱动电路的级联示意图。根据上文的，当 $n=4$ 时， $i = \lceil k/n \rceil = 1$ ， $j = \lceil (2k+1)/n-1 \rceil = 1$ ，即复位信号只能来自当前移位寄存器单元的下一移位寄存器单元。此时，能够用于对图 10 中的移位寄存器 SR1 进行复位的输出信号为 OUT7（如图 10）。

图 11 示出了对根据本公开实施例的栅极驱动电路进行驱动的方法 1100 的流程图。如上文所述，根据本公开的栅极驱动电路一般地包括多个级联的移位寄存器单元并具有 $2k$ 个时钟信号线。其中，每个移位寄存器单元具有 n 个输出子电路。

所述方法 1100 始于步骤 S1110，其中，向所述栅极驱动电路的第一级移位寄存器单元施加输入信号。然后，在步骤 S1120 中，依次向 $2k$ 个时钟信号线施加上述 $2k$ 个时钟信

号。

所述 $2k$ 个时钟信号中的第一时钟信号在第一个周期的第一沿滞后所述输入信号的第一沿 1 个时段，并且所述 $2k$ 个时钟信号中的每个时钟信号的第一沿领先下一时钟信号的第一沿 1 个时段。在示例中，该时段为时钟脉宽/ n 。

此外，本公开实施例还提出了一种显示装置，所述显示装置包括根据以上各实施例所述的栅极驱动电路。具体地，所述显示装置可以为液晶显示装置，例如液晶面板、液晶电视、手机、电子阅读器、液晶显示器等。

虽然已参照几个典型实施例描述了本公开，但应当理解，所用的术语是说明和示例性、而非限制性的术语。由于本公开能够以多种形式具体实施而不脱离公开的精神或实质，所以应当理解，上述实施例不限于任何前述的细节，而应在随附权利要求所限定的精神和范围内广泛地解释，因此落入权利要求或其等效范围内的全部变化和改型都应为随附权利要求所涵盖。

权 利 要 求

1. 一种移位寄存器单元，包括：

输入子电路，与输入信号端和上拉节点耦接，并且被配置为在来自输入信号端的输入信号的控制下将输入信号传送到上拉节点；以及

n 个输出子电路，所述 n 个输出子电路中的每一个输出子电路与上拉节点、n 个时钟信号端中的一个、第一电平信号端和 n 个输出信号端中的一个耦接，并且被配置为在所述上拉节点处的电压信号的控制下，将来自与所述输出子电路耦接的时钟信号端的时钟信号传送到与所述输出子电路耦接的输出信号端，其中 n 为大于 1 的整数。

2. 根据权利要求 1 所述的移位寄存器单元，还包括：

复位子电路，与复位信号端、所述上拉节点和所述第一电平信号端耦接，并且被配置为在来自所述复位信号端的复位信号的控制下将来自所述第一电平信号端的第一电平信号传送到所述上拉节点；以及

控制子电路，与第二电平信号端、所述上拉节点、所述第一电平信号端和下拉节点耦接，并且被配置为在所述上拉节点处的电压信号的控制下，将来自所述第二电平信号端的第二电平信号或来自所述第一电平信号端的第一电平信号传送到所述下拉节点。

3. 根据权利要求 2 所述的移位寄存器单元，其中，所述 n 个输出子电路中的每一个输出子电路还与所述下拉节点耦接，并且被配置为在所述下拉节点处的电压信号的控制下，将来自第一电平信号端的第一电平信号传送到与所述输出子电路耦接的输出信号端。

4. 根据权利要求 1 所述的移位寄存器单元，其中，

所述输入子电路包括第一晶体管，第一晶体管的第一极与第一晶体管的栅极与所述输入信号端耦接，第一晶体管的第二极与所述上拉节点耦接。

5. 根据权利要求 1 所述的移位寄存器单元，其中，

所述 n 个输出子电路中的每一个输出子电路包括第二晶体管和第三晶体管，

第二晶体管的栅极与所述上拉节点耦接，第二晶体管的第一极与所述 n 个时钟信号端中的一个时钟信号端耦接，以及

第三晶体管的栅极与所述下拉节点耦接，第三晶体管的第一极与所述第一电平信号端

耦接，第二晶体管的第二极和第三晶体管的第二极与所述输出子电路的输出信号端耦接。

6. 根据权利要求 2 所述的移位寄存器单元，其中，

所述 n 个输出子电路中的至少一个输出子电路还包括电容器，所述电容器连接在所述上拉节点和与所述至少一个输出子电路耦接的输出信号端之间。

7. 根据权利要求 3 所述的移位寄存器单元，其中，

所述复位子电路包括第四晶体管，第四晶体管的第一极与所述上拉节点耦接，第四晶体管的第二极与所述第一电平信号端耦接，并且第四晶体管的栅极与所述复位信号端耦接。

8. 根据权利要求 3 所述的移位寄存器单元，其中，

所述控制子电路包括第五晶体管、第六晶体管、第七晶体管、第八晶体管和第九晶体管，

第六晶体管的第一极、第六晶体管的栅极和第八晶体管的第一极与所述第二电平信号端耦接，

第五晶体管的第一极、第七晶体管的栅极和第九晶体管的栅极与所述上拉节点耦接，第五晶体管的第二极、第七晶体管的第一极和第九晶体管的第一极与所述第一电平信号端耦接，

第五晶体管的栅极、第八晶体管的第二极和第九晶体管的第二极与所述下拉节点耦接，以及

第六晶体管的第二极和第八晶体管的栅极与第七晶体管的第二极耦接。

9. 一种栅极驱动电路，包括级联的根据权利要求 1 所述的多个移位寄存器单元，所述栅极驱动电路包括：

2k 个时钟信号线，所述 2k 个时钟信号线按顺序依次循环与所述多级移位寄存器单元的各个时钟信号端耦接，其中，k 为正整数，且 $(k+1) \geq n$ ，以及

每一级移位寄存器单元的复位信号端与所述移位寄存器单元的后一级移位寄存器单元中的 n 个输出子电路之一的输出信号端耦接。

10. 根据权利要求 9 所述的栅极驱动电路，其中，每一级移位寄存器单元的复位信号端与所述移位寄存器单元后第 i 级到第 j 级移位寄存器单元之一的输出信号端耦接，其中，i 等于 $\lceil k/n \rceil$ ，j 等于 $\lceil (2k+1)/n-1 \rceil$ ，其中， $\lceil \cdot \rceil$ 为上取整函数。

11. 根据权利要求 10 所述的栅极驱动电路, 其中,

在 n 等于 $(k+1)$ 的情况下, 每一级移位寄存器单元的复位信号端与下一级移位寄存器单元中的第 k 个输出子电路的输出信号端耦接。

12. 根据权利要求 9 所述的栅极驱动电路, 其中, 除第一级移位寄存器单元之外的每一级移位寄存器单元的输入信号端与来自上一级移位寄存器单元的第 n 个输出子电路的输出信号端耦接。

13. 一种对根据权利要求 9 所述的栅极驱动电路进行驱动的方法, 包括:

向第一级移位寄存器单元施加输入信号; 以及

依次向所述 $2k$ 个时钟信号线施加 $2k$ 个时钟信号, 所述 $2k$ 个时钟信号中的第一时钟信号的第一沿滞后所述输入信号的第一沿 1 个时段, 并且所述 $2k$ 个时钟信号中的每个时钟信号的第一沿领先下一时钟信号的第一沿 1 个时段,

其中所述时段为 (时钟脉宽/ $2k$)。

14. 一种显示装置, 包括根据权利要求 9 所述的栅极驱动电路。

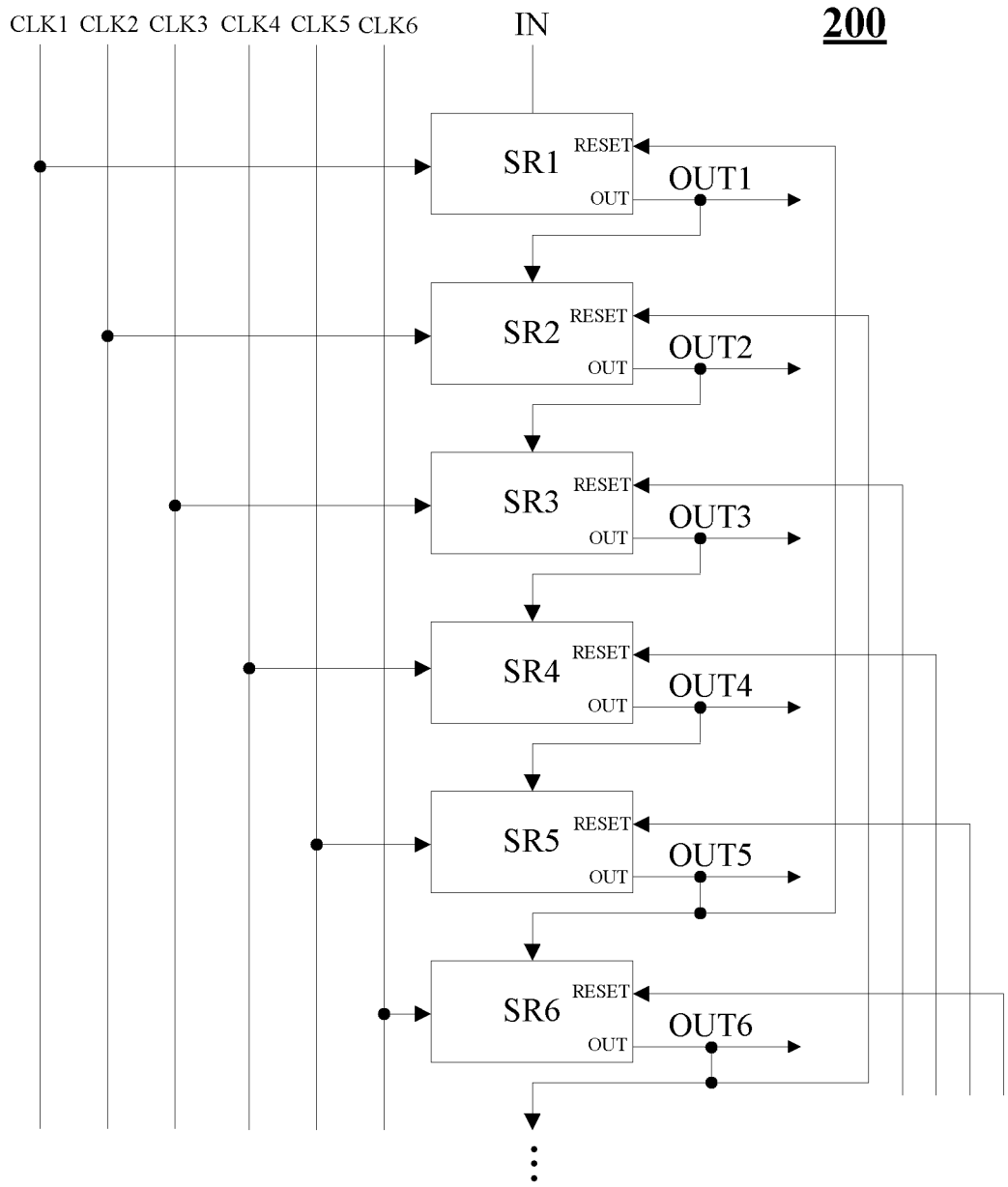


图 2

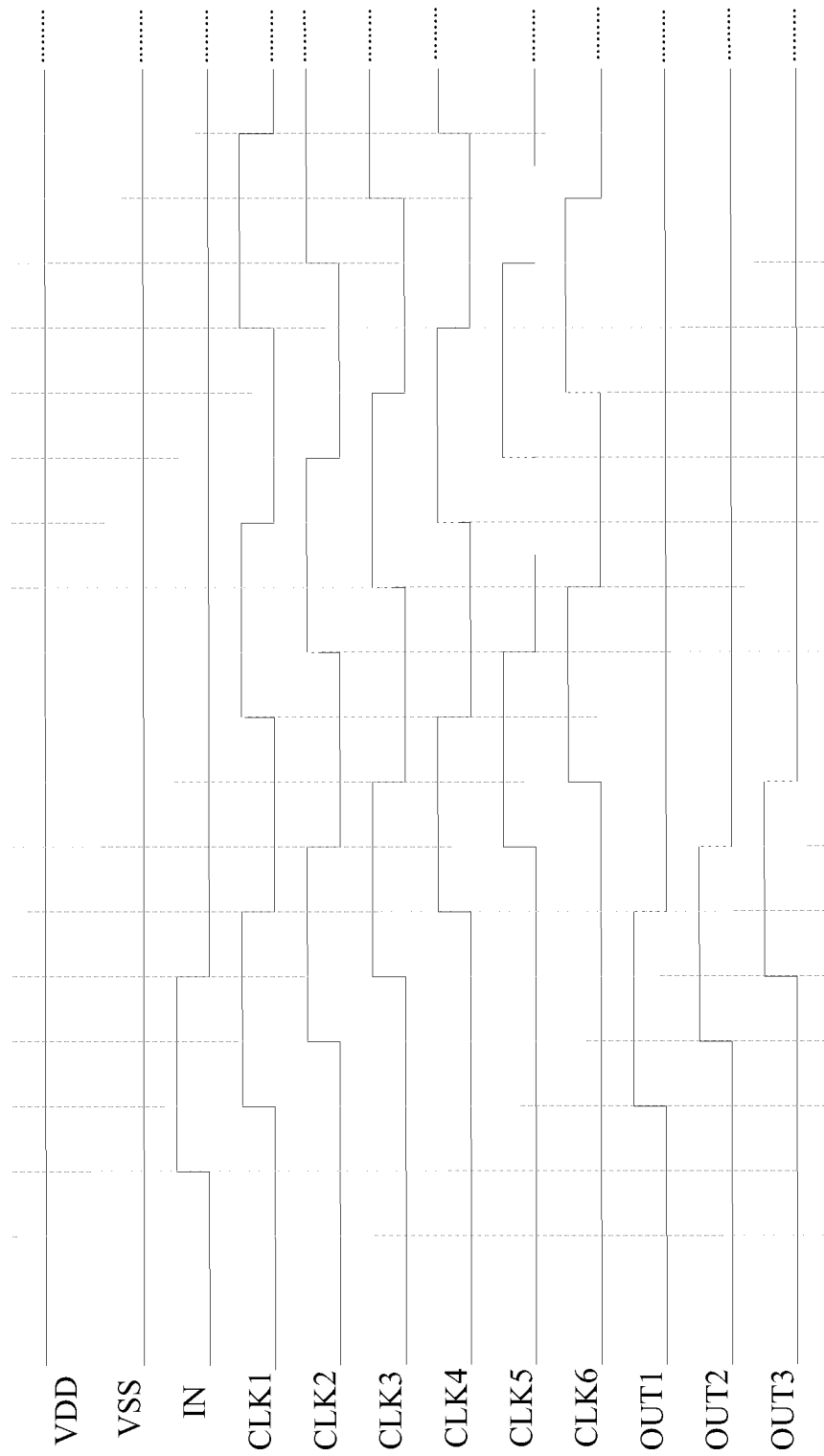


图 3

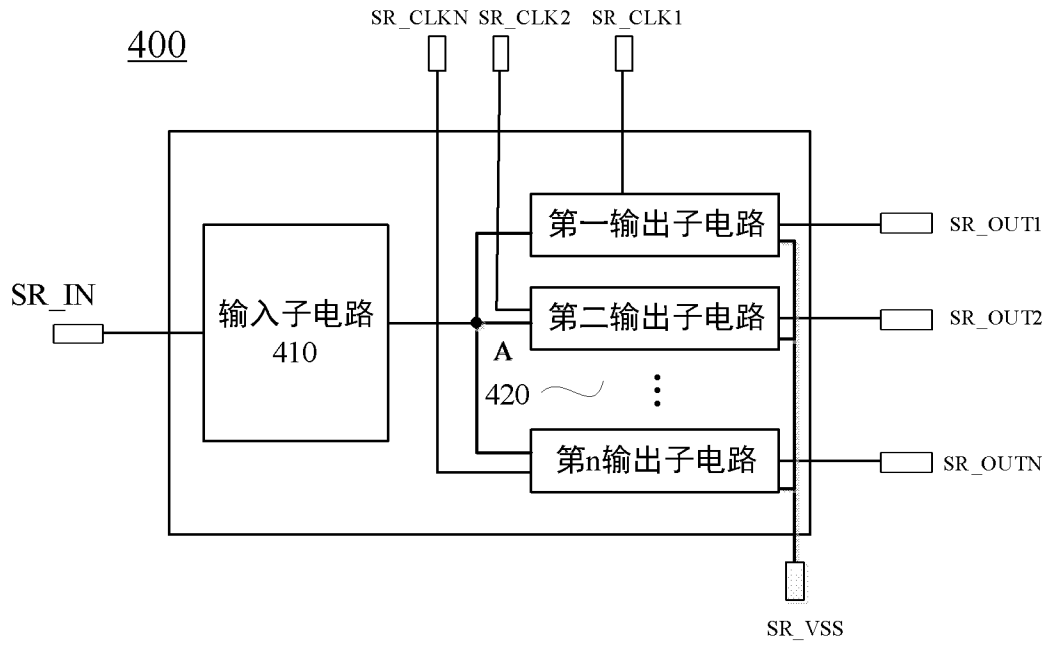


图 4

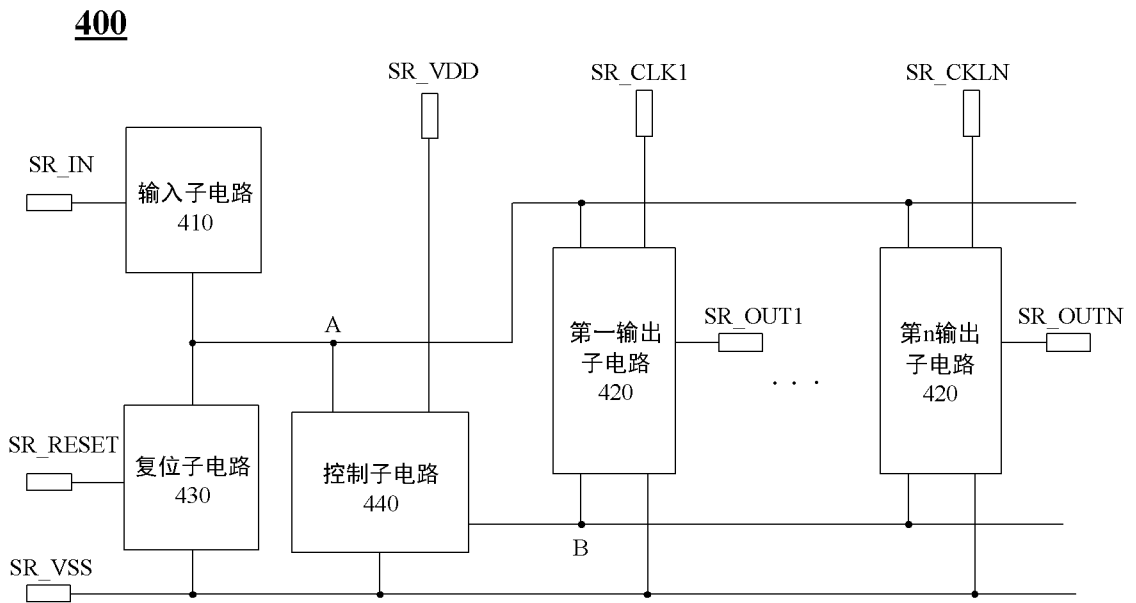


图 5

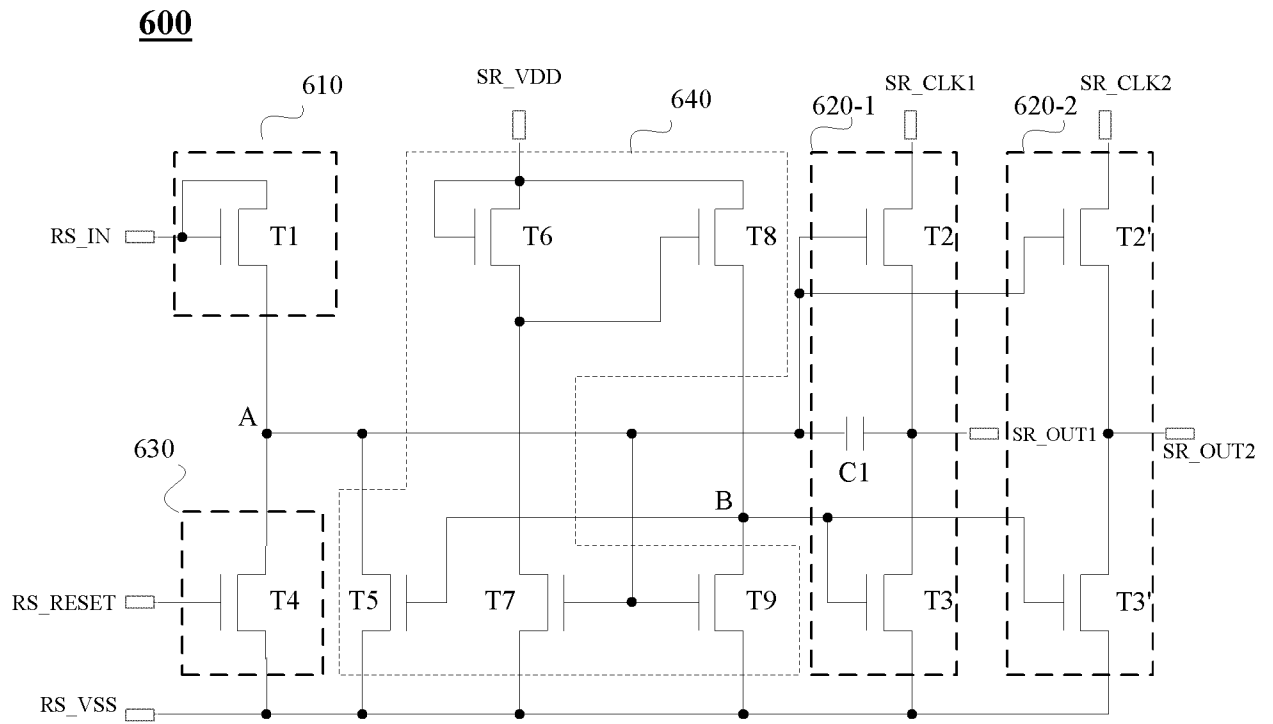


图 6

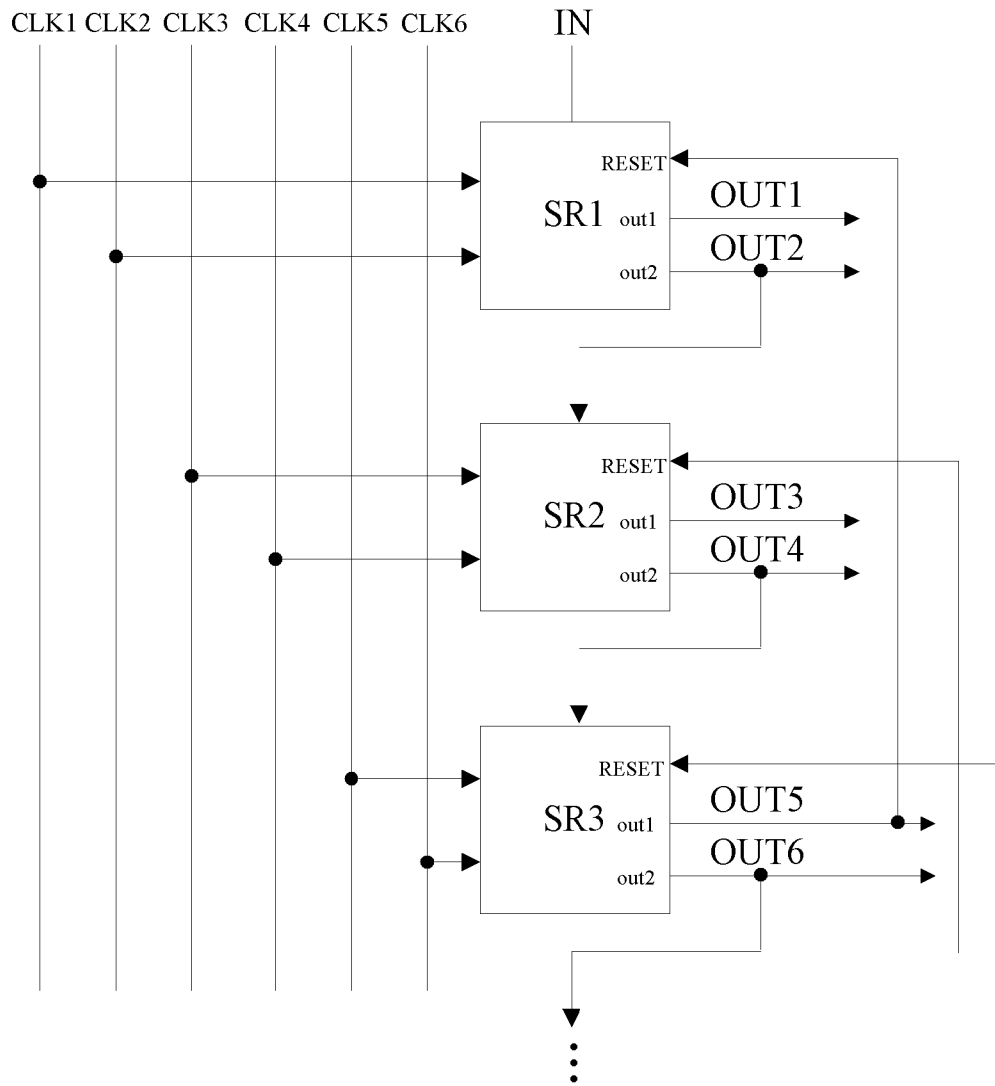


图 7

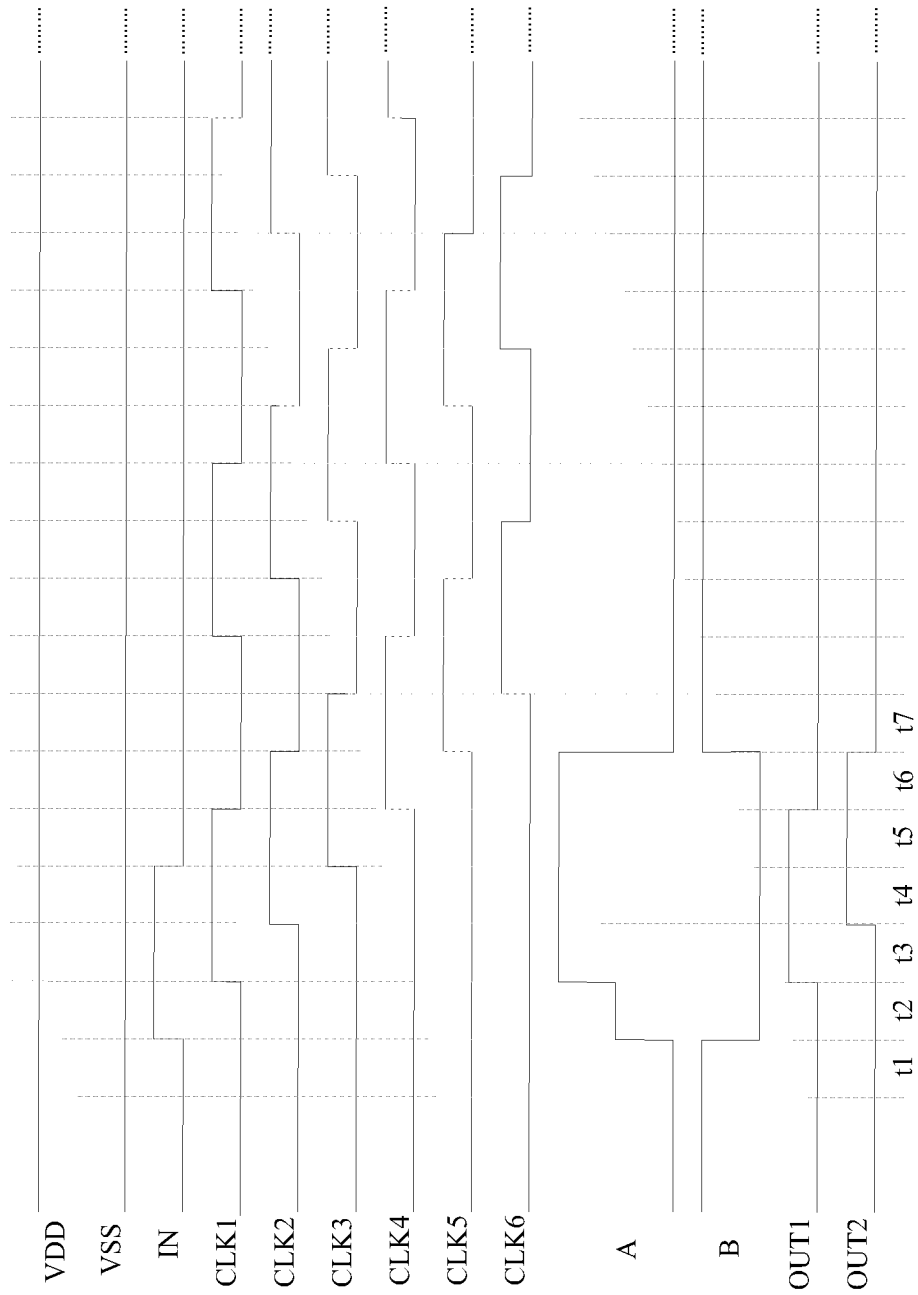


图 8

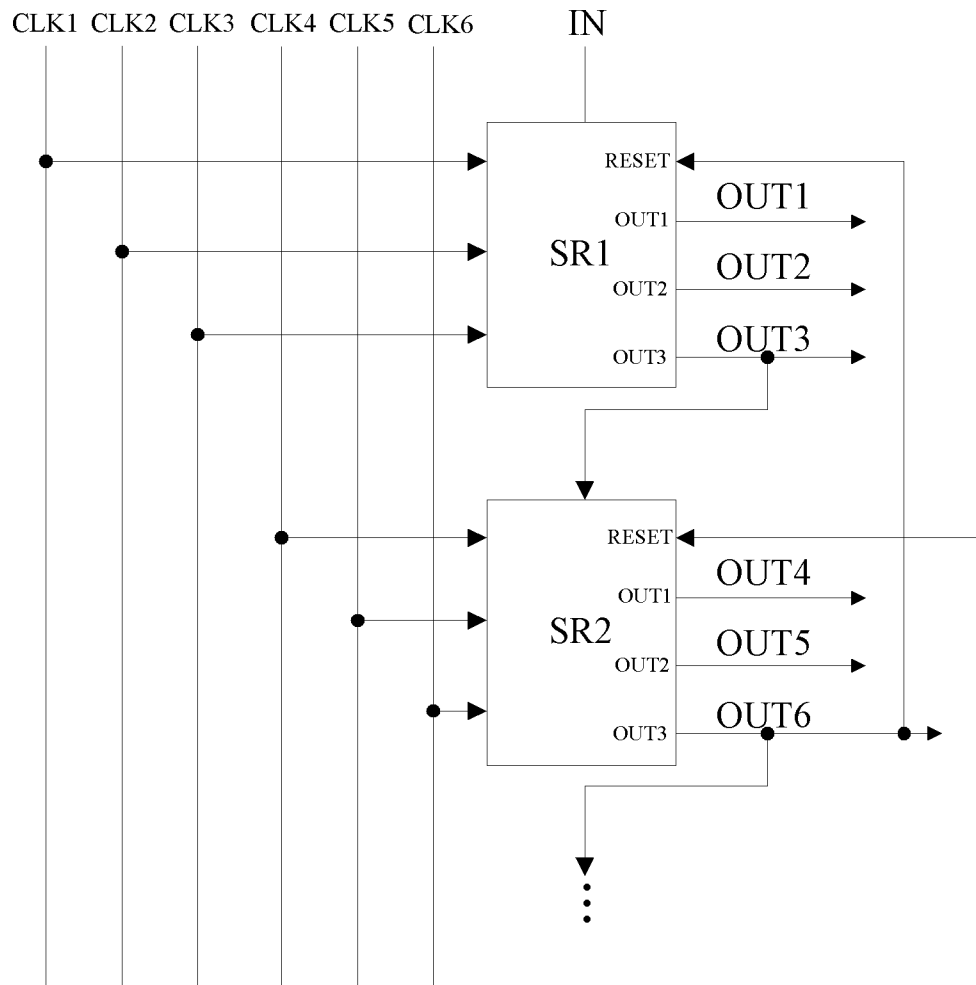


图 9

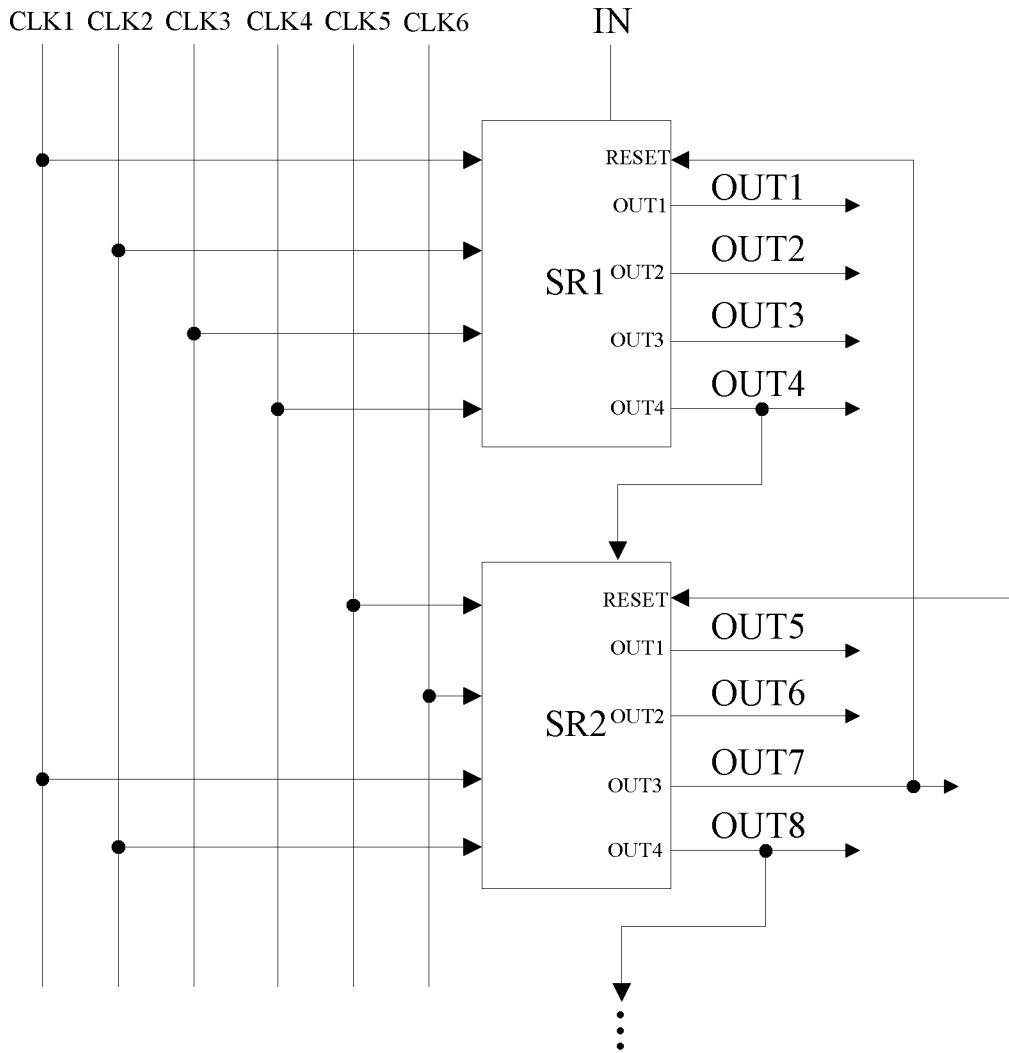


图 10

1100

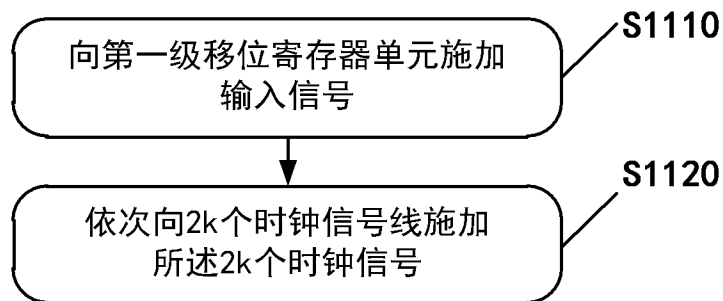


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/108723

A. CLASSIFICATION OF SUBJECT MATTER G09G 3/36(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNPAT, CNKI, WPI, EPODOC: 移位寄存器, 缓存器, 栅极驱动, 输入, 多, 两, 输出, 电路, 单元, 模块, 复位, 下拉, 控制, 维持, 窄边, 显示, shift, register, gate, driv+, input, several, two, many, output, circuit, unit, module, reset, pull, down, control, contain, narrow, bezel, frame, display		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 106023943 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 12 October 2016 (2016-10-12) description, paragraphs [0074]-[0115], and figures 2-5	1-14
A	CN 106531053 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 22 March 2017 (2017-03-22) entire document	1-14
A	CN 204102544 U (BOE TECHNOLOGY GROUP CO., LTD.) 14 January 2015 (2015-01-14) entire document	1-14
A	CN 105096865 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 25 November 2015 (2015-11-25) entire document	1-14
A	CN 105869566 A (BOE TECHNOLOGY GROUP CO., LTD.) 17 August 2016 (2016-08-17) entire document	1-14
A	KR 20170010283 A (SAMSUNG DISPLAY CO., LTD.) 26 January 2017 (2017-01-26) entire document	1-14
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 14 November 2018		Date of mailing of the international search report 28 December 2018
Name and mailing address of the ISA/CN State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China Facsimile No. (86-10)62019451		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/108723

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106023943	A	12 October 2016	None			
CN	106531053	A	22 March 2017	None			
CN	204102544	U	14 January 2015	None			
CN	105096865	A	25 November 2015	US	2017330526	A1	16 November 2017
				WO	2017020472	A1	09 February 2017
				CN	105096865	B	07 September 2018
CN	105869566	A	17 August 2016	None			
KR	20170010283	A	26 January 2017	US	2017018245	A1	19 January 2017

<p>A. 主题的分类 G09G 3/36 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号) G09G</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, WPI, EPODOC: 移位寄存器, 缓存器, 栅极驱动, 输入, 多, 两, 输出, 电路, 单元, 模块, 复位, 下拉, 控制, 维持, 窄边, 显示, shift, register, gate, driv+, input, several, two, many, output, circuit, unit, module, reset, pull, down, control, contain, narrow, bezel, frame, display</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 106023943 A (京东方科技集团股份有限公司 等) 2016年 10月 12日 (2016 - 10 - 12) 说明书第[0074]-[0115]段、附图2-5</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 106531053 A (京东方科技集团股份有限公司 等) 2017年 3月 22日 (2017 - 03 - 22) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 204102544 U (京东方科技集团股份有限公司) 2015年 1月 14日 (2015 - 01 - 14) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 105096865 A (京东方科技集团股份有限公司 等) 2015年 11月 25日 (2015 - 11 - 25) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 105869566 A (京东方科技集团股份有限公司) 2016年 8月 17日 (2016 - 08 - 17) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>KR 20170010283 A (SAMSUNG DISPLAY CO., LTD.) 2017年 1月 26日 (2017 - 01 - 26) 全文</td> <td>1-14</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 106023943 A (京东方科技集团股份有限公司 等) 2016年 10月 12日 (2016 - 10 - 12) 说明书第[0074]-[0115]段、附图2-5	1-14	A	CN 106531053 A (京东方科技集团股份有限公司 等) 2017年 3月 22日 (2017 - 03 - 22) 全文	1-14	A	CN 204102544 U (京东方科技集团股份有限公司) 2015年 1月 14日 (2015 - 01 - 14) 全文	1-14	A	CN 105096865 A (京东方科技集团股份有限公司 等) 2015年 11月 25日 (2015 - 11 - 25) 全文	1-14	A	CN 105869566 A (京东方科技集团股份有限公司) 2016年 8月 17日 (2016 - 08 - 17) 全文	1-14	A	KR 20170010283 A (SAMSUNG DISPLAY CO., LTD.) 2017年 1月 26日 (2017 - 01 - 26) 全文	1-14
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 106023943 A (京东方科技集团股份有限公司 等) 2016年 10月 12日 (2016 - 10 - 12) 说明书第[0074]-[0115]段、附图2-5	1-14																					
A	CN 106531053 A (京东方科技集团股份有限公司 等) 2017年 3月 22日 (2017 - 03 - 22) 全文	1-14																					
A	CN 204102544 U (京东方科技集团股份有限公司) 2015年 1月 14日 (2015 - 01 - 14) 全文	1-14																					
A	CN 105096865 A (京东方科技集团股份有限公司 等) 2015年 11月 25日 (2015 - 11 - 25) 全文	1-14																					
A	CN 105869566 A (京东方科技集团股份有限公司) 2016年 8月 17日 (2016 - 08 - 17) 全文	1-14																					
A	KR 20170010283 A (SAMSUNG DISPLAY CO., LTD.) 2017年 1月 26日 (2017 - 01 - 26) 全文	1-14																					
国际检索实际完成的日期	国际检索报告邮寄日期																						
2018年 11月 14日	2018年 12月 28日																						
ISA/CN的名称和邮寄地址	授权官员																						
中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451	谢建军 电话号码 86-(10)-53962524																						

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2018/108723

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106023943	A	2016年 10月 12日	无			
CN	106531053	A	2017年 3月 22日	无			
CN	204102544	U	2015年 1月 14日	无			
CN	105096865	A	2015年 11月 25日	US	2017330526	A1	2017年 11月 16日
				WO	2017020472	A1	2017年 2月 9日
				CN	105096865	B	2018年 9月 7日
CN	105869566	A	2016年 8月 17日	无			
KR	20170010283	A	2017年 1月 26日	US	2017018245	A1	2017年 1月 19日

表 PCT/ISA/210 (同族专利附件) (2015年1月)