



(12) 发明专利

(10) 授权公告号 CN 101897027 B

(45) 授权公告日 2012.02.29

(21) 申请号 200880120102. X

代理人 黄威 孙丽梅

(22) 申请日 2008.12.02

(51) Int. Cl.

(30) 优先权数据

H01L 29/739 (2006.01)

2007-317913 2007. 12. 10 JP

H01L 21/336 (2006.01)

2008-156240 2008.06.16 JP

H01L 29/12 (2006.01)

(85) PCT申请进入国家阶段日

H01L 29/78 (2006.01)

2010. 06. 10

审查员 韩冰

(86) PCT 申请的申请数据

PCT/JP2008/071858 2008. 12. 02

(87) PCT申请的公布数据

W02009/075200 JA 2009. 06. 18

(73) 专利权人 丰田自动车株式会社

地址 日本爱知县

(72) 发明人 青井佐智子 杉山隆英 铃木隆司

添野明高 西脇剛

(74) 专利代理机构 北京金信立方知识产权代理

有限公司 11225

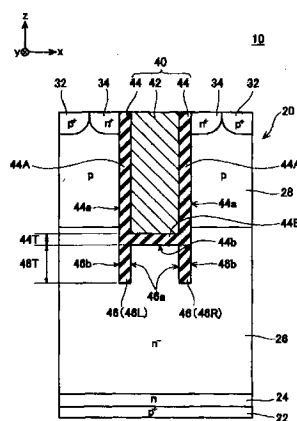
权利要求书 1 页 说明书 11 页 附图 20 页

(54) 发明名称

半导体装置及其制造方法和沟槽栅的制造方法

(57) 摘要

一种 IGBT(10), 具有 n^+ 型的发射区 (34)、 n^- 型的漂移区 (26)、被设置在发射区 (34) 和漂移区 (26) 之间的 p 型的体区 (28)、在体区 (28) 内从发射区 (34) 朝向漂移区 (26) 延伸的沟槽栅 (40)、和与沟槽栅 (40) 的表面接触的绝缘体的突出部 (60)。突出部 (60) 的至少一部分突出至漂移区 (26) 内。突出部 (60) 对从表面部半导体区供给的电子移动至沟槽栅 (40) 的下方的情况进行物理性抑制, 由此, 能够抑制空穴被该电子吸引而在沟槽栅 (40) 的下方集中的情况。其结果为, 能够对栅电容由于载流子的集中而随时间变动的情况进行抑制, 从而能够提供高耐压量的 IGBT(10)。



1. 一种绝缘栅双极性晶体管,具有:
第 1 导电型的表面部半导体区;
第 1 导电型的深部半导体区,其含有的第 1 导电型的杂质的浓度低于表面部半导体区;
第 2 导电型的中间部半导体区,其被设置在表面部半导体区和深部半导体区之间;
沟槽栅,其在中间部半导体区内从表面部半导体区朝向深部半导体区延伸,并具有栅绝缘膜和由该栅绝缘膜覆盖的栅电极;
空穴积蓄层,其为 n 型,并被设置在表面部半导体区和深部半导体区之间;
绝缘体的突出部,其与沟槽栅的表面接触,
其中,所述沟槽栅的栅绝缘膜具有:一对侧壁,其从表面部半导体区朝向深部半导体区延伸,且相互对置;底壁,其从一方的所述侧壁延伸至另一方的所述侧壁,
所述突出部与所述栅绝缘膜的底壁的边缘部接触,
所述空穴积蓄层与所述突出部接触,
所述突出部的至少一部分突出至深部半导体区内。
2. 如权利要求 1 所述的绝缘栅双极性晶体管,其中,多个突出部与所述栅绝缘膜的底壁接触。
3. 如权利要求 2 所述的绝缘栅双极性晶体管,其特征在于,
还具有第 2 导电型的底壁半导体区,其被设置在与所述栅绝缘膜的底壁接触的突出部和突出部之间,
该底壁半导体区是浮动半导体区。
4. 如权利要求 1 所述的绝缘栅双极性晶体管,其特征在于,所述突出部具有与所述栅绝缘膜的侧壁平行的侧面。
5. 如权利要求 1~4 中任意一项所述的绝缘栅双极性晶体管,其特征在于,表面部半导体区、中间部半导体区和深部半导体区的半导体材料为硅。
6. 如权利要求 5 所述的绝缘栅双极性晶体管,其特征在于,所述突出部在从所述栅绝缘膜突出的方向上的厚度,厚于所述栅绝缘膜的厚度。

半导体装置及其制造方法和沟槽栅的制造方法

技术领域

[0001] 本申请要求 2007 年 12 月 10 日提出的日本专利申请第 2007-317913 号以及 2008 年 6 月 16 日提出的日本专利申请第 2008-156240 号的优先权。在本说明书中以参照的方式引用这些申请的全部内容。

[0002] 本发明涉及一种具有沟槽栅的半导体装置及其制造方法。另外,本发明还涉及一种制造沟槽栅的方法。

背景技术

[0003] 在图 33 中,模式化地表示了具有沟槽栅 140 的 IGBT(Insulated Gate Bipolar Transistor:绝缘栅双极性晶体管)100 的主要部分剖视图。IGBT100 具有: p^+ 型的集电区 122、 n 型的缓冲区 124、 n^- 型的漂移区 126、 p 型的体区 128、 p^+ 型的体接触区 132、 n^+ 型的发射区 134 和沟槽栅 140。沟槽栅 140 从发射区 134 朝向漂移区 126 延伸并贯穿体区 128。沟槽栅 140 具有:栅绝缘膜 144 和由该栅绝缘膜 144 覆盖的栅电极 142。

[0004] 如图 33 所示,当 IGBT100 置为导通时,将从发射区 134 供给电子。电子沿着沟槽栅 140 的侧面通过体区 128,而被供给至漂移区 126。另一方面,从集电区 122 供给空穴。空穴通过缓冲区 124 而被供给至漂移区 126。

[0005] 如图 33 所示,从发射区 134 供给的电子由于被栅电极 142 的电压所吸引,所以从沟槽栅 140 的侧方移动至下方。另一方面,从集电区 122 供给的空穴由于被该电子吸引,所以移动至沟槽栅 140 的下方。因此,空穴集中在沟槽栅 140 的下方。当空穴集中在沟槽栅 140 的下方时,栅电容将随着时间而变化。例如,当 IGBT100 被从断开切换至导通时,如果栅电容随着时间变化,则集电极电流、集电极和发射极之间的电压也将随着时间而变化,其结果为,将引起浪涌电压。

[0006] 日本特开 2006-332591 号公报以及日本特开 2006-120951 号公报公开了一种技术,即,较厚地形成沟槽栅 140 的底面的栅绝缘膜 144。由于通过该技术,能够减少移动至沟槽栅 140 下方的电子量,因此也能够减少移动至沟槽栅 140 下方的空穴量。其结果为,能够缓和栅电容随时间的变化,从而能够抑制浪涌电压的产生。

发明内容

[0007] 发明所要解决的问题

[0008] 但是,在施加于栅电极 142 上的栅电压较大的情况下,即使较厚地形成栅绝缘膜 144,电子也会被栅电极 142 的电压吸引而移动至沟槽栅 140 的下方,从而导致空穴被该电子吸引,也移动至沟槽栅 140 的下方。较厚地形成栅绝缘膜 144 的技术,并不是根本的解决方法。

[0009] 本发明的目的在于,提供一种对载流子向沟槽栅的下方移动的情况进行物理性抑制的技术。

[0010] 用于解决问题的方法

[0011] 本说明书公开的技术的特征在于,在沟槽栅的一部分表面上设置绝缘体的突出部。突出部的至少一部分突出至漂移区内。因此,突出部中突出至漂移区内的一部分由漂移区包围,所以不会在突出部的一部分的一侧表面和与其对置的表面之间产生电位差。因此,不会在突出部中突出至漂移区内的一部分的表面上形成反转层。因此,从发射区供给的电子无法超过该突出部而进行移动。其结果为,移动至沟槽栅的下方的电子量将减少,从而被该电子吸引而移动至沟槽栅的下方的空穴量也将减少。

[0012] 即,在本说明书中公开的半导体装置,具有:第1导电型的表面部半导体区;第1导电型的深部半导体区;第2导电型的中间部半导体区,其被设置在表面部半导体区和深部半导体区之间;沟槽栅;绝缘体的突出部,其与沟槽栅的表面接触。沟槽栅在中间部半导体区内从表面部半导体区朝向深部半导体区延伸。沟槽栅既可以贯穿中间部半导体区而侵入到深部半导体区内,也可以不侵入到深部半导体区内。在沟槽栅未贯穿中间部半导体区的情况下,如后文叙述,可利用突出部的第2反转层来使载流子流动。沟槽栅具有栅绝缘膜和由该栅绝缘膜覆盖的栅电极。突出部的至少一部分突出至深部半导体区内。

[0013] 在上述半导体装置中,沟槽栅的栅绝缘膜也可以具有:一对侧壁,其从表面部半导体区朝向深部半导体区延伸,且相互对置;底壁,其从一方的侧壁延伸至另一方的侧壁。此时,突出部既可以与栅绝缘膜的底壁接触,也可以与栅绝缘膜的侧壁接触。

[0014] 在突出部与栅绝缘膜的底壁接触的情况下,优选为,多个突出部与该底壁接触。

[0015] 在上述半导体装置中,可利用离子注入技术,来形成中间部半导体区。当多个突出部与栅绝缘膜的底壁接触时,即使中间部半导体区超过沟槽栅的深度而扩散到更深的位置,也能够通过突出部来防止该中间部半导体区扩散至沟槽栅的下方的情况。因此,即使中间部半导体区超过沟槽栅的深度而扩散到了更深的位置,也可以使深部半导体区存在于相邻的突出部之间的沟槽栅的下方。即,深部半导体区和中间部半导体区隔着突出部而对置。此时,当半导体装置为导通状态时,由于在深部半导体区和中间部半导体区之间将产生电位差,所以将在突出部的表面中与中间部半导体区接触的一部分上形成第2反转层。因此,从表面部半导体区供给的载流子能够通过该第2反转层而移动至深部半导体区内。在现有的沟槽栅中,当中间部半导体区扩散到了超过沟槽栅的深度时,将不能对导通和断开进行切换。但是,当如上述的半导体装置这样,在栅绝缘膜的底壁上设置有多个突出部时,即使中间部半导体区超过沟槽栅的深度而扩散到更深的位置,在对导通和断开之间切换也不会存在障碍。上述实施方式的半导体装置具有易于制造的特征。另外,如前文所述,由于突出部的至少一部分存在于深部半导体区内,所以在该部分上不会形成第2反转层。因此,载流子不会超过突出部而移动至沟槽栅的下方。即,上述实施方式的突出部,具有对载流子移动至沟槽栅的下方的情况进行物理性抑制的效果,另外还具有使半导体装置的更易于制造的效果。

[0016] 在多个突出部与栅绝缘膜的底壁接触的情况下,优选为,上述半导体装置还具有第2导电型的底壁半导体区,其被设置在相邻的突出部之间。另外,优选为,该底壁半导体区为浮动半导体区。

[0017] 当在沟槽栅的下方设置有浮动的底壁半导体区时,由于能够减小栅电容,所以能够使切换高速化。

[0018] 在本说明书中公开的技术,还能够提供一种制造沟槽栅的方法。在本说明书中公

开的沟槽栅的制造方法包括第 1 工序,即通过干蚀刻而从半导体基板的沟槽栅形成区的一部分表面起形成具有第 1 深度的第 1 沟槽。并且,该沟槽栅的制造方法还包括第 2 工序,即通过干蚀刻而从半导体基板的沟槽栅形成区的表面的剩余部分起形成具有第 2 深度的第 2 沟槽。其中,第 1 深度深于第 2 深度。先实施第 1 工序与第 2 工序中的哪一个都可以。

[0019] 根据上述制造方法,第 1 沟槽比第 2 沟槽形成得更深。因此,从第 2 沟槽突出的第 1 沟槽成为从沟槽栅的底面突出的突出沟槽。当该突出沟槽的至少一部分位于深部半导体区内时,突出沟槽的一部分中的相互对置的侧面均与深部半导体区接触。因此,由于在突出沟槽的一部分中的一方的侧面与另一方的侧面之间不会产生电位差,所以在突出沟槽的一部分中的侧面上不会形成反转层。即,根据上述制造方法,能够制造将本说明书中公开的技术具体化了的沟槽栅。

[0020] 另外,形成第 1 沟槽的位置,只需为沟槽栅形成区中的至少一部分即可。例如,如果在沟槽栅形成区的中心侧形成第 1 沟槽,则会形成从沟槽栅底面的中心侧突出的突出沟槽。优选为,将第 1 沟槽形成在,沿着沟槽栅形成区边缘的位置中的至少一部分上。更优选为,沿着沟槽栅形成区的边缘一周而形成第 1 沟槽。

[0021] 在本说明书中公开的技术,还能够提供另一种制造沟槽栅的方法。在本说明书中公开的沟槽栅的制造方法包括第 1 工序,即通过干蚀刻而从半导体基板的沟槽栅形成区的一部分表面起形成多个沟槽。并且,该沟槽栅的制造方法还包括第 2 工序,即向多个沟槽内供给蚀刻液,从而通过湿蚀刻来形成从沟槽的底面起朝向下方突出的突出沟槽。在第 1 工序中形成的沟槽的侧面具有第 1 面方向,在第 2 工序中形成的突出沟槽的侧面具有第 2 面方向。第 1 侧面与第 2 侧面为非平行。另外,在第 2 工序中,既可以通过湿蚀刻而去除沟槽与沟槽之间的壁,也可以根据需要而不进行去除。例如,还可以通过追加对沟槽与沟槽之间的壁进行氧化的工序,从而使沟槽栅成为被分割成多个间隔的形态。

[0022] 在上述制造方法中,通过结合干蚀刻和湿蚀刻来形成沟槽栅,从而能够形成从各沟槽的底面向下方突出的突出沟槽。在上述制造方法中,由于多个沟槽划分出一个沟槽栅,所以在沟槽栅的底面形成有多个突出沟槽。当这些突出沟槽的至少一部分位于深部半导体区内时,突出沟槽的一部分中的相互对置的侧面,均与深部半导体区接触。因此,由于在突出沟槽的一部分中的一方的侧面与另一方的侧面之间不会产生电位差,所以在突出沟槽的一部分中的侧面上不会形成反转层。即,根据上述制造方法,能够制造将本说明书中公开的技术具体化了的沟槽栅。

[0023] 另外,在半导体基板采用硅基板的情况下,优选为,第 1 面方向为 (100) 面,第 2 面方向为 (111) 面。此时,例如在干蚀刻中可以采用 HBr 气体,在湿蚀刻中可以采用 KOH 水溶液。

[0024] 在本说明书中公开的技术,还能够提供另一种制造沟槽栅的方法。在本说明书中公开的沟槽栅的制造方法包括第 1 工序,即通过干蚀刻而从半导体基板的沟槽栅形成区的表面起形成沟槽。并且,该沟槽栅的制造方法还包括第 2 工序,即通过干蚀刻而进一步加深沟槽,其中,所述干蚀刻的条件为,由干蚀刻生成的、半导体基板与蚀刻气体相结合而成的挥发性物质在所述沟槽的底面堆积。

[0025] 在上述制造方法中,至少实施两次干蚀刻来形成沟槽。在第 2 工序中实施的干蚀刻,在半导体基板与蚀刻气体相结合而成的挥发性物质在沟槽的底面堆积的条件下进行。

通常,当在沟槽的底面堆积挥发性物质时,该挥发性物质在沟槽底面的中心侧堆积得较多。因此,当在该条件下继续实施干蚀刻时,在沟槽的底面上,边缘侧的蚀刻将比中心侧的蚀刻进行得更快。该结果为,将在沟槽的底面的边缘侧形成突出沟槽。当这些突出沟槽的一部分位于深部半导体区内时,突出沟槽的一部分中的相互对置的侧面将均与深部半导体区接触。因此,由于在突出沟槽的一部分中的一方的侧面与另一方的侧面之间不会产生电位差,所以在突出沟槽的一部分中的侧面上不会形成反转层。即,根据上述制造方法,能够制造将本说明书中公开的技术具体化了的沟槽栅。

[0026] 在本说明书中公开的技术,还能够提供另一种制造沟槽栅的方法。在本说明书中公开的沟槽栅的制造方法包括:第1工序,在半导体基板的沟槽栅形成区的一部分表面上形成掩膜;第2工序,通过干蚀刻而从半导体基板的沟槽栅形成区的表面起形成沟槽。在第2工序中,在沟槽栅形成区的表面的掩膜消失之后,仍继续进行干蚀刻。

[0027] 上述制造方法的第2工序被分成两个阶段。首先,在第1阶段中,对没有被掩膜覆盖的沟槽栅形成区的表面进行蚀刻。在该第1阶段中,虽然蚀刻率较慢,但在沟槽栅形成区的表面上形成的掩膜仍将被逐渐蚀刻,并最终消失。当掩膜消失时,进行对未被掩膜覆盖的部分的蚀刻,从而形成初始沟槽。即,在第1阶段中,通过在沟槽栅形成区的一部分表面上形成掩膜,从而对在沟槽栅形成区中的蚀刻进行程度设置差异。接下来,在第2阶段中,通过在掩膜消失之后仍继续进行干蚀刻,从而进一步加深沟槽栅形成区中的沟槽。通过在第1阶段中设置的蚀刻进行程度的差异,从而在第2阶段结束后的沟槽栅的底面上形成突出沟槽。当该突出沟槽的一部分位于深部半导体区内时,突出沟槽的一部分中的相互对置的侧面,均与深部半导体区接触。因此,由于在突出沟槽的一部分中的一方的侧面与另一方的侧面之间不会产生电位差,所以在突出沟槽的一部分中的侧面上不会形成反转层。根据上述制造方法,仅实施一次干蚀刻,便能够制造将本说明书中公开的技术具体化了的沟槽栅。

[0028] 另外,在第1工序中,优选为,将多个掩膜分散形成在沟槽栅形成区的表面上。通过分散配置多个掩膜,从而能够形成幅度较宽的沟槽。

[0029] 发明的效果

[0030] 在本说明书中公开的突出部,对从表面部半导体区供给的第1型的载流子移动至沟槽栅的下方的情况进行了物理性的抑制,由此,能够抑制第2型的载流子被该第1型的载流子吸引而在沟槽栅的下方集中的情况。该结果为,能够抑制栅电容由于载流子的集中而随着时间的变化的情况,从而能够提供高耐压量的半导体装置。

附图说明

[0031] 图1为模式化地表示 IGBT10 的主要部分剖视图(对应于图4的 I-I 线的剖视图)。

[0032] 图2为模式化地表示 IGBT10 的主要部分剖视图(对应于图4的 II-II 线的剖视图)。

[0033] 图3为模式化地表示 IGBT10 的主要部分剖视图(对应于图4的 III-III 线的剖视图)。

[0034] 图4为模式化地表示 IGBT10 的主要部分俯视图。

[0035] 图5为模式化地表示 IGBT10 的改变例的主要部分剖视图。

[0036] 图6为模式化地表示 IGBT10 的改变例的主要部分剖视图。

- [0037] 图 7 为模式化地表示 IGBT10 的改变例的主要部分剖视图。
- [0038] 图 8 为模式化地表示 IGBT10 的改变例的主要部分剖视图。
- [0039] 图 9 为模式化地表示 IGBT10 的改变例的主要部分剖视图。
- [0040] 图 10 为模式化地表示 IGBT11 的改变例的主要部分剖视图。
- [0041] 图 11 为模式化地表示 IGBT12 的改变例的主要部分剖视图。
- [0042] 图 12 为模式化地表示 IGBT13 的改变例的主要部分剖视图。
- [0043] 图 13 为模式化地表示 IGBT14 的改变例的主要部分剖视图。
- [0044] 图 14 表示沟槽栅的第 1 制造方法的工序 (1)。
- [0045] 图 15 表示沟槽栅的第 1 制造方法的工序 (2)。
- [0046] 图 16 表示沟槽栅的第 1 制造方法的工序 (3)。
- [0047] 图 17 表示沟槽栅的第 1 制造方法的工序 (4)。
- [0048] 图 18 表示沟槽栅的第 1 制造方法的工序 (5)。
- [0049] 图 19 表示沟槽栅的第 2 制造方法的工序 (1)。
- [0050] 图 20 表示沟槽栅的第 2 制造方法的工序 (2)。
- [0051] 图 21 表示沟槽栅的第 2 制造方法的工序 (3)。
- [0052] 图 22 表示沟槽栅的第 2 制造方法的工序 (4)。
- [0053] 图 23 表示沟槽栅的第 3 制造方法的工序 (1)。
- [0054] 图 24 表示沟槽栅的第 3 制造方法的工序 (2)。
- [0055] 图 25 表示沟槽栅的第 3 制造方法的工序 (3)。
- [0056] 图 26 表示沟槽栅的第 3 制造方法的工序 (4)。
- [0057] 图 27 表示沟槽栅的第 4 制造方法的工序 (1)。
- [0058] 图 28 表示沟槽栅的第 4 制造方法的工序 (2)。
- [0059] 图 29 表示沟槽栅的第 4 制造方法的工序 (3)。
- [0060] 图 30 表示沟槽栅的第 4 制造方法的改变例的工序 (1)。
- [0061] 图 31 表示沟槽栅的第 4 制造方法的改变例的工序 (2)。
- [0062] 图 32 表示沟槽栅的第 4 制造方法的改变例的工序 (3)。
- [0063] 图 33 为模式化地表示现有的 IGBT100 的主要部分剖视图。

具体实施方式

- [0064] 首先对在本申请的说明书中所公开的技术特征进行整理。
- [0065] (第 1 特征) 半导体装置具有, 沟槽栅和与该沟槽栅的表面接触的突出部。突出部具有, 电压不会因栅电压而变动的表面。
- [0066] (第 2 特征) 半导体装置具有, 沟槽栅和与该沟槽栅的表面接触的突出部。突出部在从栅绝缘膜突出的方向上的厚度, 厚于栅绝缘膜的厚度。
- [0067] (第 3 特征) 半导体装置具有, 沟槽栅和与该沟槽栅的表面接触的突出部。突出部具有, 第 1 表面和与该第 1 表面对置的第 2 表面。第 1 表面和第 2 表面沿着连接发射区和沟槽栅的下方的线对置。
- [0068] (第 4 特征) 半导体装置具有, 沟槽栅和与该沟槽栅的表面接触的突出部。突出部被设置在栅绝缘膜的底面的边缘部上。

[0069] 实施例

[0070] 以下,参照附图对各实施例进行说明。另外,在各附图中,对共通的结构要素标注共通的符号,且有时会省略其说明。另外,虽然在以下说明的各实施例中,是对非穿通(Non Punch Through)型的 IGBT 进行说明,但在本说明书中公开的技术,也可以适用于穿通(Punch Through)型的 IGBT。另外,虽然在以下说明的各实施例的 IGBT 中,半导体材料采用了硅。但是,在本说明书中公开的技术,也可以适用于硅以外的半导体材料的 IGBT。例如,也可以适用于半导体材料为氮化镓系、碳化硅系、镓砷系等的化合物半导体的 IGBT。

[0071] 在图 1~3 中,模式化地表示了 IGBT10 的主要部分剖视图,在图 4 中模式化地表示了 IGBT10 的主要部分俯视图。图 1 为对应于图 4 中的 I-I 线的剖视图,图 2 为对应于图 4 中的 II-II 线的剖视图,图 3 为对应于图 4 中的 III-III 线的剖视图。另外,图 1~4 为表示 IGBT10 的基本结构的图,实际上该基本结构被重复设置,从而构成一个半导体装置。

[0072] 如图 1 所示,IGBT10 采用单晶硅的半导体基板 20 而形成,并具有 p^+ 型的集电区 22、设置在集电区 22 上的 n 型的缓冲区 24、设置在缓冲区 24 上的 n^- 型的漂移区 26(深部半导体区的一例)、设置在漂移区 26 上的 p 型的体区 28(中间部半导体区的一例)。集电区 22 与未图示的集电极形成电连接。集电区 22 和缓冲区 24 利用离子注入技术而被形成在半导体基板 20 的里层部上。体区 28 也利用离子注入技术而被形成在半导体基板 20 的表层部上。 n 型的漂移区 26 以及缓冲区 24 将 p 型的体区 28 和集电区 22 隔开。

[0073] IGBT10 还具有,设置在体区 28 上并选择性地分散配置的 p^+ 型的体接触区 32 和 n^+ 型的发射区 34(表面部半导体区的一例)。发射区 34 和沟槽栅 40 的侧面接触。发射区 34 和漂移区 26 被体区 28 隔开。体接触区 32 和发射区 34 与未图示的发射极电连接。体接触区 32 和发射区 34 利用离子注入技术而被形成在半导体基板 20 的表层部上。

[0074] IGBT10 还具有沟槽栅 40。沟槽栅 40 在体区 28 内沿着纵向(z 轴方向)从发射区 34 朝向漂移区 26 延伸。沟槽栅 40 贯穿体区 28,且一端与发射区 34 接触,另一端侵入到漂移区 26 内。沟槽栅 40 具有栅绝缘膜 44 和由该栅绝缘膜 44 覆盖的栅电极 42。栅绝缘膜 44 采用了氧化硅,而栅电极 42 采用了含有高浓度杂质的多晶硅。

[0075] 如图 1 所示,沟槽栅 40 的栅绝缘膜 44 具有,沿纵向(z 轴方向)从发射区 34 朝向漂移区 26 延伸、且沿横向(x 轴方向)相互对置的一对侧壁 44A,和沿横向(x 轴方向)从一方的侧壁 44A 延伸至另一方的侧壁 44A 的底壁 44B。侧壁 44A 的侧面 44a 与发射区 34、体区 28 和漂移区 26 接触。底壁 44B 的底面 44b 与漂移区 26 接触。如图 4 所示,当俯视沟槽栅 40 时,沟槽栅 40 沿 y 轴方向较长地延伸。

[0076] 如图 1 所示,IGBT10 还具有两个突出部 46,该两个突出部 46 从沟槽栅 40 的底壁 44B 向下方突出至漂移区 26 内。右侧的突出部 46R 与栅绝缘膜 44 的底壁 44B 的右侧边缘部接触设置。左侧的突出部 46L 与栅绝缘膜 44 的底壁 44B 的左侧边缘部接触设置。如图 3 所示,突出部 46 沿着沟槽栅 40 的长度方向(y 轴方向)延伸,并沿着该长度方向(y 轴方向)与栅绝缘膜 44 的底壁 44B 接触。在突出部 46 中采用了氧化硅。

[0077] 如图 1 所示,突出部 46 具有第 1 表面 46a 和与该第 1 表面 46a 对置的第 2 表面 46b。第 1 表面 46a 和第 2 表面 46b,均被设置在连接发射区 34 和沟槽栅 40 的下方的线上,并被设置为,沿着连接发射区 34 和沟槽栅 40 下方的线对置。另外,第 1 表面 46a 和第 2 表面 46b 均与漂移区 26 接触。第 1 表面 46a 与栅绝缘膜 44 的底面 44b 不平行,并且不连续地

接触。第 2 表面 46b 与栅绝缘膜 44 的侧面 44a 平行,并且连续地接触。突出部 46 在从栅绝缘膜 44 的底壁 44B 突出的方向(z 轴方向)上的厚度 46T,厚于栅绝缘膜 44 的底壁 44B 的厚度 44T。

[0078] 接下来,对 IGBT10 的特征进行说明。IGBT10 的特征在于,具有突出部 46。并且,其特征在于,突出部 46 的第 1 表面 46a 和第 2 表面 46b 均与漂移区 26 接触。由于第 1 表面 46a 和第 2 表面 46b 均与漂移区 26 接触,所以在第 1 表面 46a 和第 2 表面 46b 之间不会产生电位差。因此,在突出部 46 的第 1 表面 46a 和第 2 表面 46b 之间不会形成反转层。因此,从发射区 34 供给的电子不能超过该突出部 46 而移动至沟槽栅 40 的下方。其结果为,移动至沟槽栅 40 的下方的电子量将减少,从而被该电子吸引而移动至沟槽栅 40 的下方的空穴量也将减少。

[0079] 如在上述问题部分中说明的那样,当空穴集中在沟槽栅 40 的下方时,栅电容将随着时间变化,从而成为引起浪涌电压的原因。IGBT10 通过设置突出部 46,从而能够对电子移动至沟槽栅 40 的下方的情况进行物理性抑制,由此,能够抑制空穴在沟槽栅 40 的下方集中的情况。其结果为,栅容量随着时间变化的情况被抑制,从而能够获得高耐压量的 IGBT10。

[0080] 另外,IGBT10 还具有以下的特征。如上文所述,IGBT10 的体区 28 是利用离子注入技术而形成的。如图 5 所示,在对体区 28 进行了热扩散时,有时体区 28 会超过沟槽栅 40 的深度而扩散至更深的位置。此时,如图 5 所示,突出部 46 能够防止体区 28 扩散至沟槽栅 40 的下方的情况。因此,即使体区 28 超过沟槽栅 40 的深度而扩散到了更深的位置,在相邻的突出部 46 之间的沟槽栅 40 的下方也将存在漂移区 26。由此,即使体区 28 超过沟槽栅 40 的深度而扩散到了更深的位置,体区 28 和漂移区 26 也会隔着突出部 46 而对置。在这种情况下,当 IGBT10 置为导通状态时,由于在漂移区 26 和体区 28 之间将产生电位差,所以在突出部 46 的第 2 表面 46b 的一部分 46c 上将形成第 2 反转层。因此,从发射区 34 供给的电子,能够通过该第 2 反转层而移动至漂移区 26。因此,在 IGBT10 中,当利用离子注入技术而形成了体区 28 时,即使体区 28 超过沟槽栅 40 的深度而扩散到了更深的位置,在切换导通和断开方面也不会存在障碍。IGBT10 也可以评价为,其具有缓和离子注入中的制造公差的结构。IGBT10 具有易于制造的特征。

[0081] 另外,如前文所述,由于突出部 46 的一部分存在于漂移区 26 内,所以在该部分中不会形成第 2 反转层。因此,电子不会超过突出部 46 而移动至沟槽栅 40 的下方。即,IGBT10 的突出部 46 除了具有对电子移动至沟槽栅 40 的下方的情况进行物理性抑制的效果之外,还具有易于制造 IGBT10 的效果。

[0082] 以下,对 IGBT10 的多个改变例进行说明。

[0083] 图 6 所示的改变例中的 IGBT10,其特征不在于,在漂移区 26 和体区 28 之间设置有 n 型的空穴积蓄层 27。空穴积蓄层 27 相对于空穴而形成能量屏障,从而防止空穴从漂移区 26 向体区 28 的移动。由此,能够提高漂移区 26 内的空穴浓度。因此,漂移区 26 的电阻值将下降,从而能够降低通态电压。

[0084] 图 7 所示的改变例中的 IGBT10,其特征不在于,在体区 28 内设置有 n 型的空穴积蓄层 29。空穴积蓄层 29 形成了相对于空穴的能量屏障,从而能够提高体区 28 内的空穴浓度。因此,体区 28 的电阻值将下降,从而能够降低通态电压。

[0085] 图 8 所示的改变例中的 IGBT10, 其特征在于, 在相邻的突出部 46 之间设置有 p 型的浮动半导体区 (底壁半导体区的一例) 52。浮动半导体区 52 与栅绝缘膜 44 的底壁 44B 接触。浮动半导体区 52 与体区 28 电气绝缘, 其电位根据漂移区 26 的电位而变动。当浮动半导体区 52 被设置在沟槽栅 40 的下方时, 栅电容将变小, 从而能够使切换高速化。

[0086] 另外, 也可以设置 i 型的半导体区来取代 p 型的浮动半导体区 52。

[0087] 图 9 所示的改变例中的 IGBT10, 其特征在于, 在相邻的突出部 46 之间设置有: p 型的浮动半导体区 52、n 型的浮动半导体区 54 和 p 型的第 2 浮动半导体区 56 的层叠。该作用效果也和图 8 所示的示例相同, 即栅电容将变小, 从而能够使切换高速化。

[0088] 以下, 对突出部的结构不同的多个改变例进行说明。

[0089] 在图 10 中, 模式化地表示了 IGBT11 的主要部分剖视图。IGBT11 的特征在于, 突出部 146 贯穿漂移区 26 而到达了缓冲区 24。通过 IGBT11, 能够彻底地防止从发射区 34 供给的电子移动至沟槽栅 40 的下方的情况。因此, 也可以显著地抑制从集电区 22 供给的空穴在沟槽栅 40 的下方集中的现象。

[0090] 另外, 在 IGBT11 中, 优选为, 采用在俯视观察时邻接的突出部 146 之间不形成集电区 22 的方式。由此, 因为不会向邻接的突出部 146 之间的漂移区 26 供给空穴, 所以能够进一步抑制空穴在沟槽栅 40 的下方集中的现象。

[0091] 在图 11 中, 模式化地表示了 IGBT12 的主要部分剖视图。IGBT12 的特征在于, 四个突出部 246 与栅绝缘膜 44 的底壁 44B 接触设置。如图 12 所示, 设置在沟槽栅 40 的底面上的突出部 246 的个数没有特别限定。另外, 该实施方式的结构可以通过后文叙述的第 2 制造方法来制作。

[0092] 在图 12 中, 模式化地表示了 IGBT13 的主要部分剖视图。IGBT13 的特征在于, 两个突出部 346 与栅绝缘膜 44 的侧壁 44A 接触设置。在该示例中, 突出部 346 的第 1 表面 346a 和第 2 表面 346b 也均被设置在连接发射区 34 和沟槽栅 40 的下方的线上。并且, 突出部 346 的第 1 表面 346a 和第 2 表面 346b 均与漂移区 26 接触。因此, 物理性地抑制了从发射区 34 供给的电子超过该突出部 346 而移动至沟槽栅 40 的下方的情况。

[0093] 在图 13 中, 模式化地表示了 IGBT14 的主要部分剖视图。IGBT14 的特征在于, 突出部 446 的一端与体区 28 内的栅绝缘膜 44 的侧壁 44A 接触设置。并且, IGBT14 的特征在于, 突出部 446 的顶端侵入到漂移区 26 内。在该示例中, 突出部 446 的第 1 表面 446a 和第 2 表面 446b 也均被设置在连接发射区 34 和沟槽栅 40 的下方的线上。并且, 突出部 446 的第 1 表面 446a 和第 2 表面 446b 的一部分与漂移区 26 接触。因此, 物理性地抑制了从发射区 34 供给的电子超过该突出部 446 而移动至沟槽栅 40 的下方的情况。

[0094] 另外, 突出部 446 的第 2 表面 446b 的一部分 446c 与漂移区 26 对置。因此, 当 IGBT14 置为导通时, 由于在漂移区 26 和体区 28 之间将产生电位差, 所以在突出部 446 的第 2 表面 446b 的一部分 446c 上, 将形成第 2 反转层。因此, 从发射区 34 供给的电子能够通过该第 2 反转层而移动至漂移区 26。

[0095] 以下, 对用于制造上述 IGBT 的沟槽栅的几种方法进行说明。在以下说明的制造方法, 仅对适合应用于在本说明书中首次公开的、新的沟槽栅的制造方法的工序进行说明。为了制造 IGBT 而需要的其他工序, 可以利用现有已知的技术。

[0096] (沟槽栅的第 1 制造方法)

[0097] 以下,参照图 14 ~ 18,对上述的沟槽栅 40 的第 1 制造方法进行说明。

[0098] 首先,如图 14 所示,准备 n^- 的半导体基板 20。

[0099] 接下来,如图 15 所示,在半导体基板 20 的表面上覆盖掩膜 62。掩膜 62 的材料采用 CVD 氧化膜。掩膜 62 的开口被形成在,半导体基板 20 中沿着沟槽形成区 40A 边缘的位置中的至少一部分上。优选为,掩膜 62 的开口围绕半导体基板 20 中的沟槽形成区 40A 边缘而形成。接下来,利用干蚀刻技术,对从掩膜 62 的开口露出的半导体基板 20 的表面进行蚀刻,从而形成向半导体基板 20 内延伸的第 1 沟槽 71。该干蚀刻中,采用 HBr 气体作为蚀刻气体。在形成了第 1 沟槽 71 之后,掩膜 62 被去除。

[0100] 接下来,如图 16 所示,利用热氧化技术,用热氧化膜 63 来填充第 1 沟槽 71。

[0101] 接下来,如图 17 所示,在热氧化膜的表面上覆盖掩膜 64。掩膜 64 的开口与沟槽形成区 40A 中未形成第 1 沟槽 71 的位置对应地形成。接下来,利用干蚀刻技术,对从掩膜 64 的开口露出的热氧化膜 63 和该热氧化膜 63 下方的半导体基板 20 进行蚀刻,从而形成向半导体基板 20 内延伸的第 2 沟槽 72。该干蚀刻中,采用 CF_4 、HBr 气体作为蚀刻气体。第 2 沟槽 72 的深度浅于第 1 沟槽 71 的深度。

[0102] 接下来,在去除热氧化膜 63 和掩膜 64 后,形成了如图 18 所示的沟槽 73。通过上述制造方法,使第 1 沟槽 71 被形成为,深于第 2 沟槽 72。因此,从第 2 沟槽 72 突出的第 1 沟槽 71 成为,从沟槽 73 底面的边缘部突出的突出沟槽 73a。在此后,利用热氧化技术,向突出沟槽 73a 填充热氧化膜,便可得到本说明书中公开的突出部。并且,可以利用已知的热氧化技术以及 CVD (Chemical Vapor Deposition: 化学气相沉积) 技术,来形成栅绝缘膜和栅电极,从而完成沟槽栅。

[0103] (沟槽栅的第 2 制造方法)

[0104] 以下,参照图 19 ~ 22,对沟槽栅 40 的第 2 制造方法进行说明。

[0105] 首先,如图 19 所示,在半导体基板 20 的表面上覆盖掩膜 65。掩膜 65 的材料采用 CVD 氧化膜。掩膜 65 的开口被形成为,在半导体基板 20 的沟槽形成区 40A 上设置有多个。

[0106] 接下来,如图 20 所示,利用干蚀刻技术形成多个沟槽 74,该多个沟槽 74 从自掩膜 65 的开口露出的半导体基板 20 的表面起,向半导体基板 20 内延伸。该干蚀刻中,采用 HBr 气体作为蚀刻气体。因此,多个沟槽 74 的侧面为 (100) 面。

[0107] 接下来,如图 21 所示,向多个沟槽 74 内供给蚀刻液,从而形成从沟槽 74 的底面朝向下方突出的突出沟槽 75a。蚀刻液采用 KOH 水溶液。因此,突出沟槽 75a 的侧面为 (111) 面。在这种湿蚀刻中,沟槽 74 与沟槽 74 之间的壁也同时被去除,从而形成一个沟槽 75。

[0108] 接下来,如图 22 所示,利用热氧化技术,在沟槽 75 的内壁上形成热氧化膜 44 (之后成为栅绝缘膜 44)。在该热氧化中,沟槽 75 底面的突出沟槽 75a 大体上被热氧化膜 44 所填充。经过这些工序,便能够得到本说明书中所公开的突出部。

[0109] (沟槽栅的第 3 制造方法)

[0110] 以下,参考图 23 ~ 26,对沟槽栅 40 的第 3 制造方法进行说明。

[0111] 首先,如图 23 所示,在半导体基板 20 的表面上覆盖掩膜 66。掩膜 66 的开口与半导体基板 20 的沟槽形成区 40A 对应地形成。接下来,利用干蚀刻技术,对从掩膜 66 的开口露出的半导体基板 20 的表面进行蚀刻,从而形成沟槽 76。该干蚀刻中采用 HBr 气体作为蚀刻气体。在该干蚀刻中,以由于干蚀刻生成的、半导体基板 20 与蚀刻气体 (HBr) 结合而成的

挥发性物质 (SiBr_4) 不在沟槽 76 的底面上堆积为条件而进行蚀刻。另外,如图示 82 所示,挥发性物质 (SiBr_4) 的一部分,有时会堆积在沟槽 76 的侧面上。

[0112] 接下来,变更干蚀刻的条件。在该干蚀刻中,以由于干蚀刻生成的、半导体基板 20 与蚀刻气体 (HBr) 结合而成的挥发性物质 (SiBr_4) 在沟槽 76 的底面上堆积为条件而进行蚀刻。具体而言,适合在蚀刻率变慢的条件下实施。例如,适合以通常的蚀刻率 ($4000\text{\AA}/\text{min}$) 的约 $1/2$ 的速度实施。如图 25 所示,如果在沟槽 75 的底面上堆积有挥发性物质 (SiBr_4),则在沟槽 76 底面的中间侧将堆积得较多 (参照图示 84)。因此,如果在该条件下继续实施干蚀刻,则在沟槽 76 的底面上,边缘侧的蚀刻将比中心侧的蚀刻进行得更快。该结果为,将在沟槽 76 底面的边缘侧形成突出沟槽 76a。

[0113] 接下来,如图 26 所示,将堆积的挥发性物质 (SiBr_4) 去除后,可得到在底面的边缘处具有突出沟槽 76a 的沟槽 76。然后,通过利用热氧化技术,向突出沟槽 76a 中填充热氧化膜,从而可得到本说明书中所公开的突出部。

[0114] (沟槽栅的第 4 制造方法)

[0115] 以下,参照图 27 ~ 29,对沟槽栅 40 的第 4 制造方法进行说明。

[0116] 首先,如图 27 所示,在半导体基板 20 的表面上覆盖掩膜 67。掩膜 67 的材料采用 CVD 氧化膜。掩膜 67 的开口与半导体基板 20 的沟槽形成区 40A 对应地形成。并且,如图 27 所示,掩膜 67 的一部分 67a (以下称为牺牲掩膜) 也被形成在半导体基板 20 的沟槽形成区 40A 的表面上。牺牲掩膜 67a 的宽度 67W 极小。另外,在本示例中,牺牲掩膜 67a 作为掩膜 67 的一部分而形成。也可以用不同于掩膜 67 的材料来形成牺牲掩膜 67a,以取代本示例。

[0117] 接下来,如图 28 所示,利用干蚀刻技术,对从掩膜 67 的开口露出的半导体基板 20 的表面进行蚀刻,从而形成初始沟槽 77e。该干蚀刻中,采用 HBr 气体作为蚀刻气体。尽管牺牲掩膜 67a 的蚀刻率较慢,但通过干蚀刻使得牺牲掩膜 67a 也被逐渐蚀刻。虽然根据牺牲掩膜 67a 的蚀刻选择比而变化,但牺牲掩膜 67a 的宽度 67W 被调节成,在初始沟槽 77e 到达最终的沟槽深度之前先消失。具体而言,如果在初始沟槽 77e 到达最终的沟槽深度时的牺牲掩膜 67a 的掩膜减少量为“X”,则牺牲掩膜 67a 的宽度 67W 将被调节成小于“2X”。在此,掩膜减少量“X”为,牺牲掩膜 67a 的从一方的侧面起被去除的长度。因此,当牺牲掩膜 67a 的宽度 67W 被调节成小于“2X”时,牺牲掩膜 67a 将在初始沟槽 77e 到达最终的沟槽深度时消失。通过在沟槽形成区 40A 的表面上形成牺牲掩膜 67a,从而能够使沟槽形成区 40A 中的蚀刻进行程度具有差异。

[0118] 干蚀刻在牺牲掩膜 67a 消失之后仍将被继续实施。由此,如图 29 所示,初始沟槽 77e 和初始沟槽 77e 之间的壁也被蚀刻,从而形成在底面上具有突出沟槽 77a 的沟槽 77。此后,通过利用热氧化技术,向突出部沟槽 77a 中填充热氧化膜,从而可得到本说明书中所公开的突出部。

[0119] (沟槽栅的第 4 制造方法的改变例)

[0120] 如图 30 所示,也可以在半导体基板 20 的沟槽栅形成区 40A 的表面上形成多个牺牲掩膜 68a。此时,如图 31 所示,由于牺牲掩膜 68a 的宽度 68W 极小,所以在实施干蚀刻时,牺牲掩膜 68a 也将在初始沟槽 78e、79e 到达某种程度的深度时消失。如果在牺牲掩膜 68a 消失之后仍继续实施干蚀刻,则如图 32 所示,将形成在底面上具有突出沟槽 78a 的沟槽 78。此后,通过利用热氧化技术,向突出沟槽 78a 中填充热氧化膜,从而可得到本说明书中所公

开的突出部。

[0121] 以此种方式,通过分散配置多个牺牲掩膜 68a,从而能够形成宽度较大的沟槽 78。

[0122] 另外,在本示例中,由于牺牲掩膜 68a 和牺牲掩膜 68a 之间的距离较窄,所以在其之间形成的初始沟槽 79e 的深度较浅。因此,通过其后的干蚀刻,初始沟槽 79e 的结构将在最终的沟槽 78 中消失。但是,如果增加牺牲掩膜 68a 和牺牲掩膜 68a 之间的距离,则初始沟槽 79e 也会被形成得较深,从而初始沟槽 79e 的结构将会在最终的沟槽 78 的底面上显现。此时,在最终的沟槽 78 的底面上将形成三个以上的突出沟槽。当需要此种结构时,可以通过对牺牲掩膜 68a 的覆盖方法进行设定来实现。

[0123] 以上虽然详细地对本发明的具体实施例进行了说明,但这些只不过是例示,并不用于限定专利的权利要求范围。在专利的权利要求书所记载的技术中,包括对以上所例示的具体实施例进行各种各样的变形、变更后的技术。

[0124] 另外,在本说明书或者附图中所说明的技术要素,是单独或者以各种组合的形式来发挥技术上的有用性的,其并不限于申请时权利要求中所记载的组合。另外,在本说明书或者附图中所例示的技术为,可以同时达成多个目的的技术,且达成其中一个目的本身,也具有技术上的有用性。

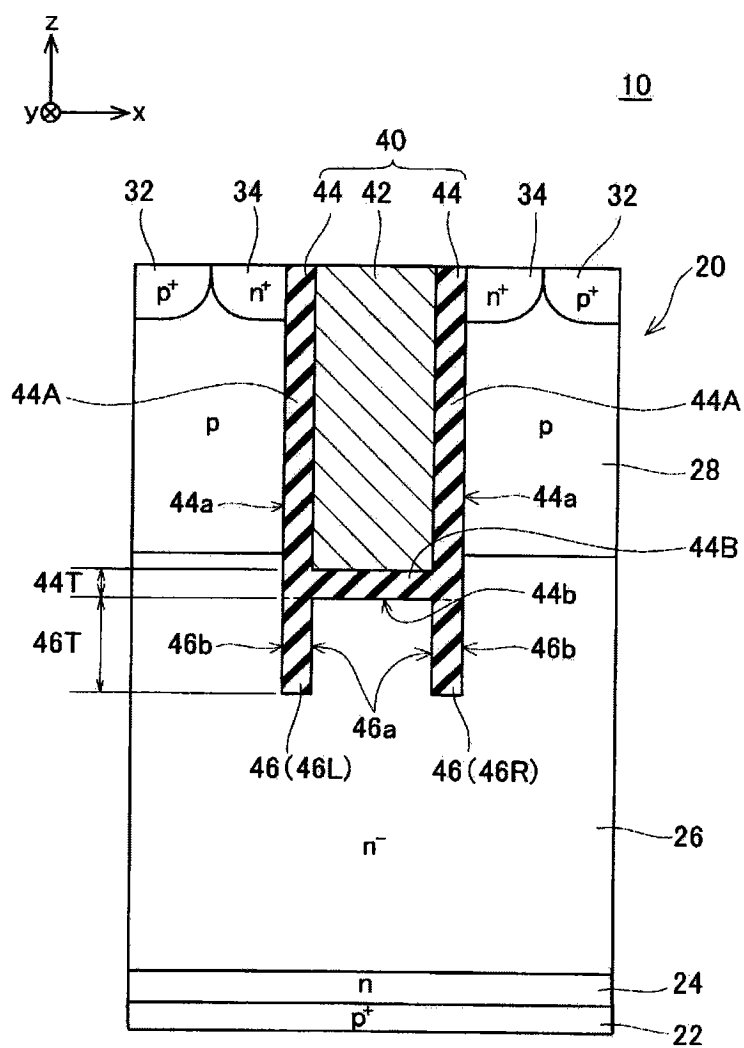


图 1

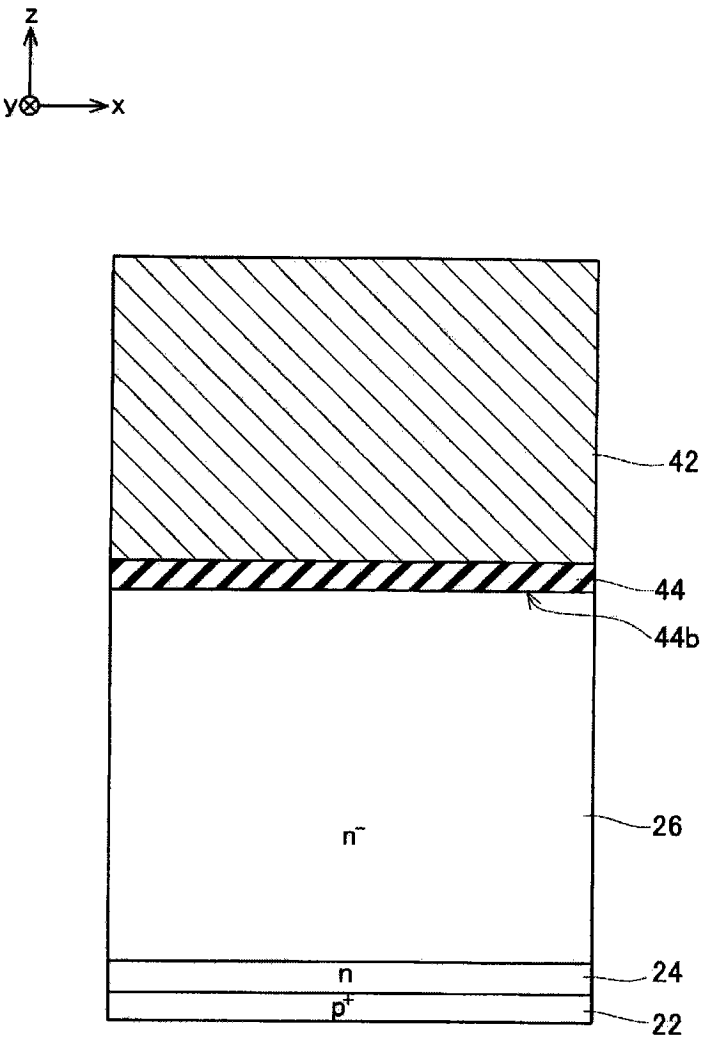


图 2

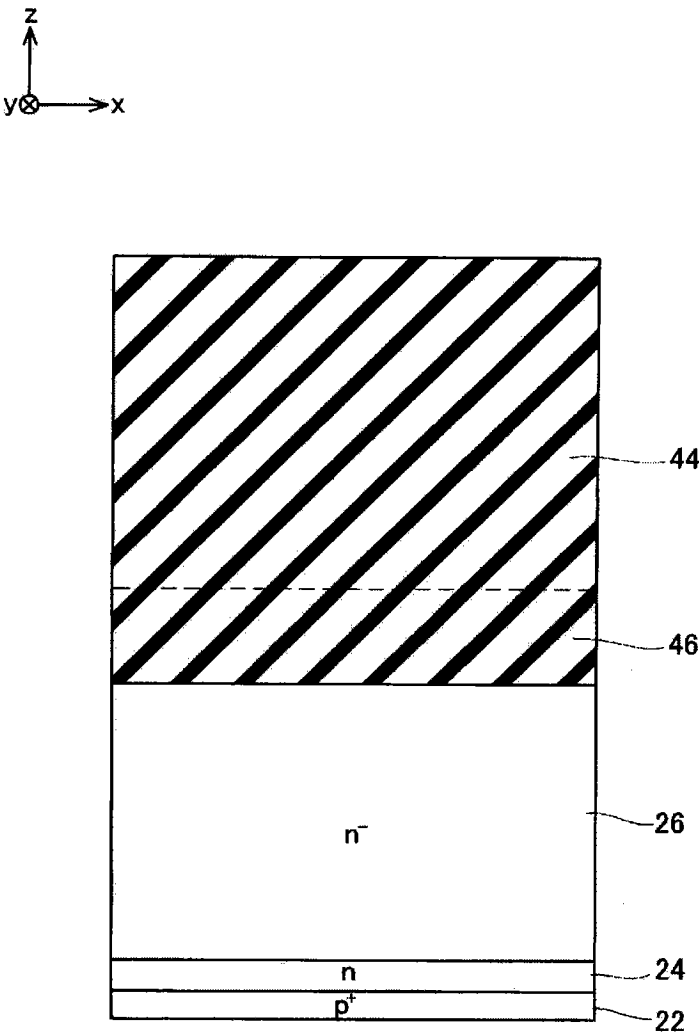


图 3

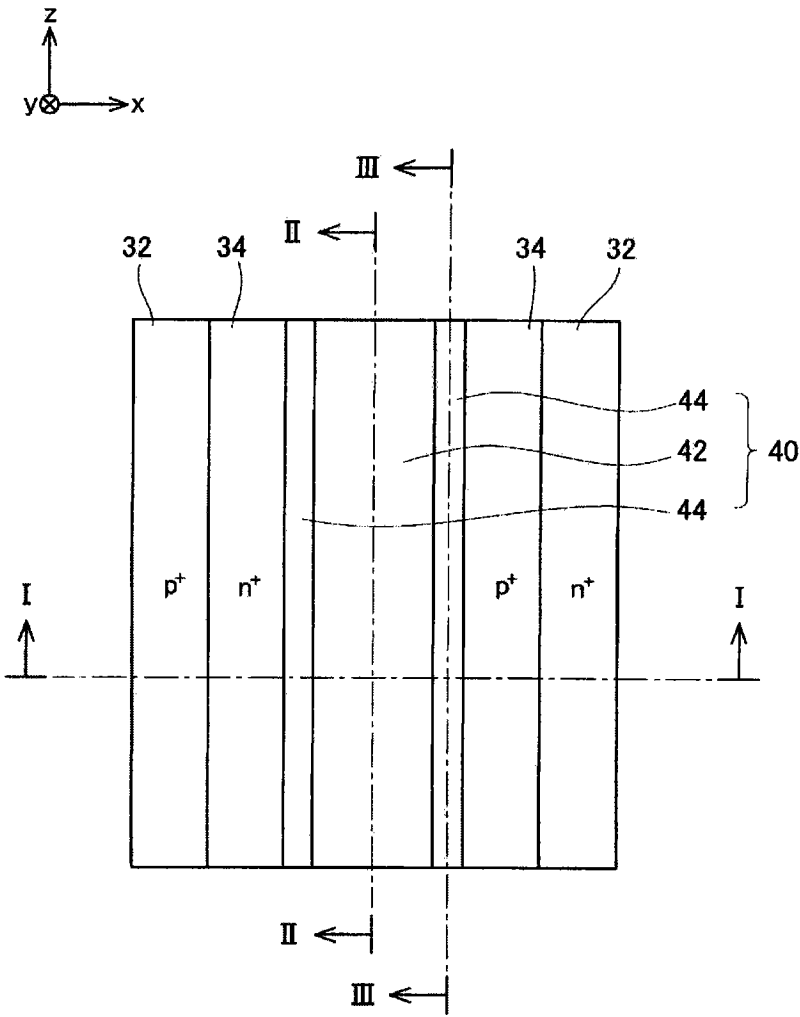


图 4

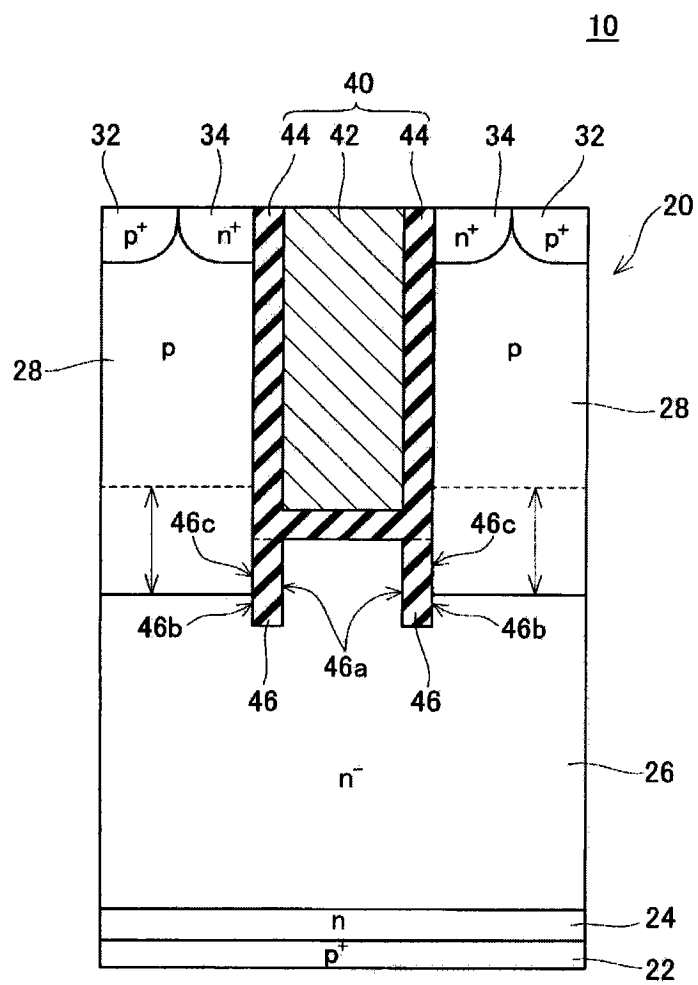


图 5

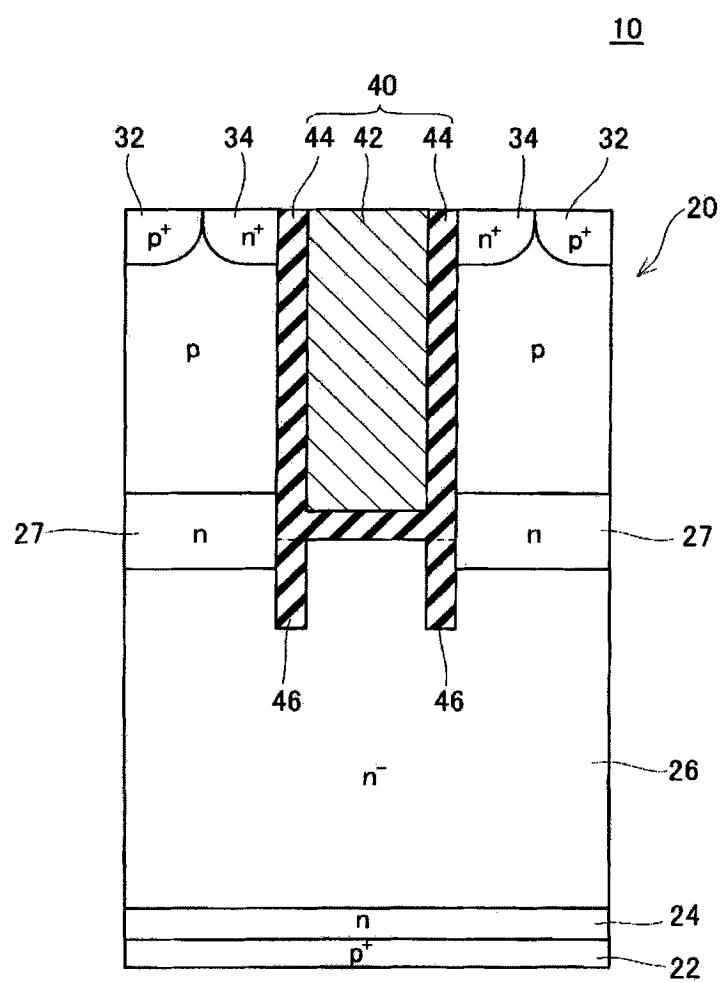


图 6

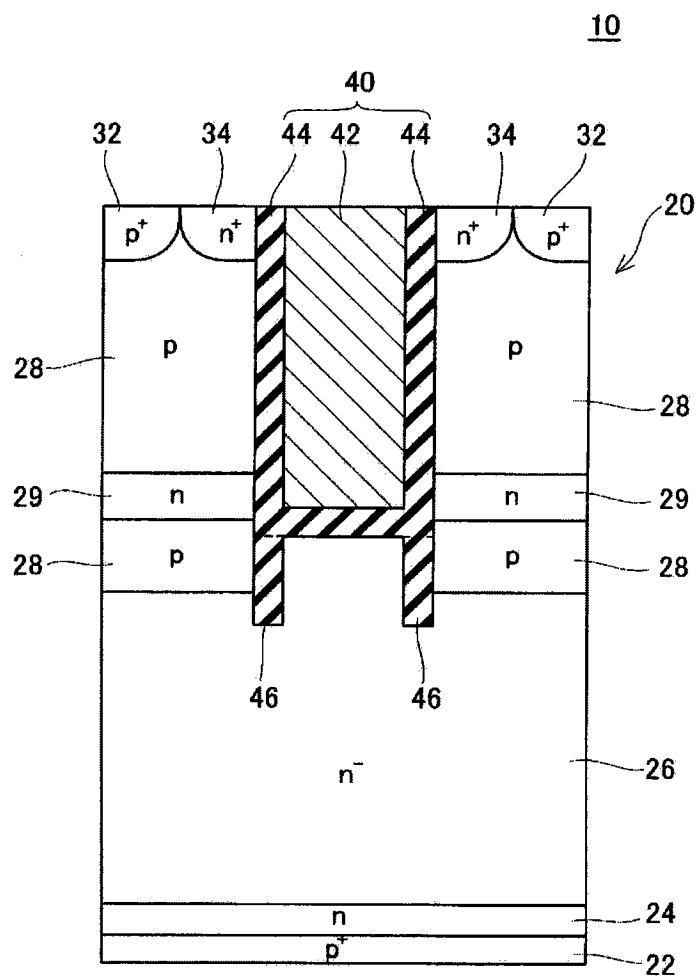


图 7

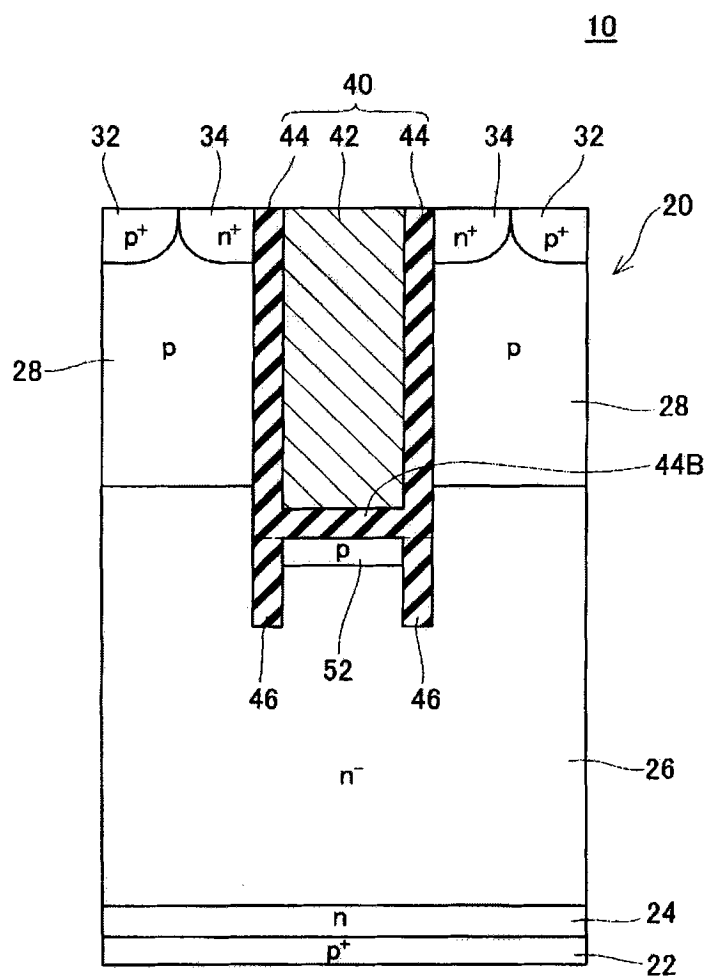


图 8

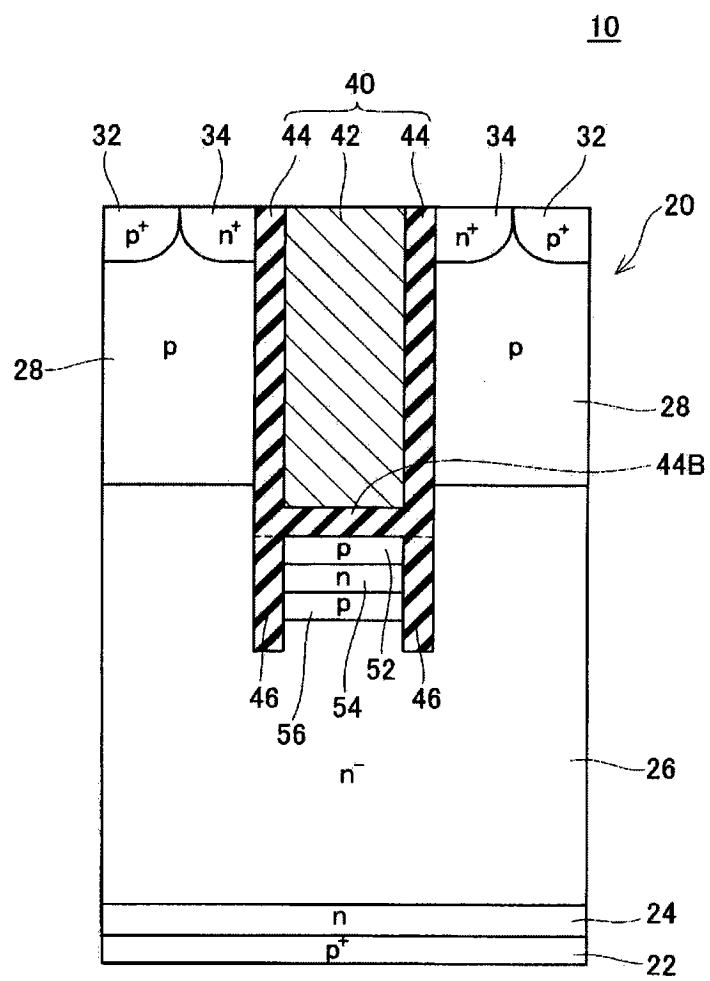


图 9

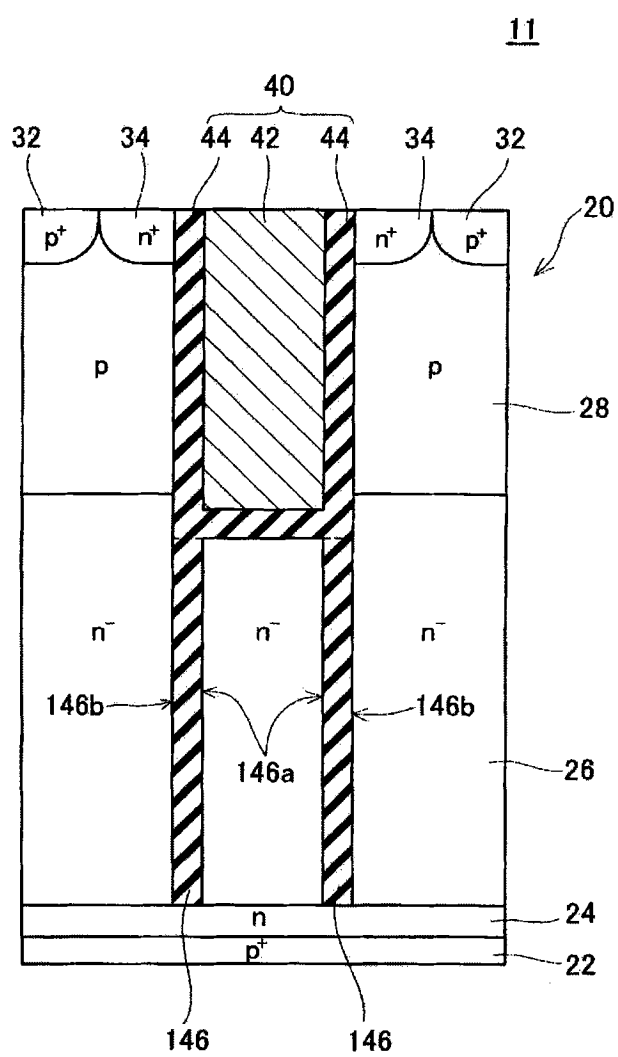


图 10

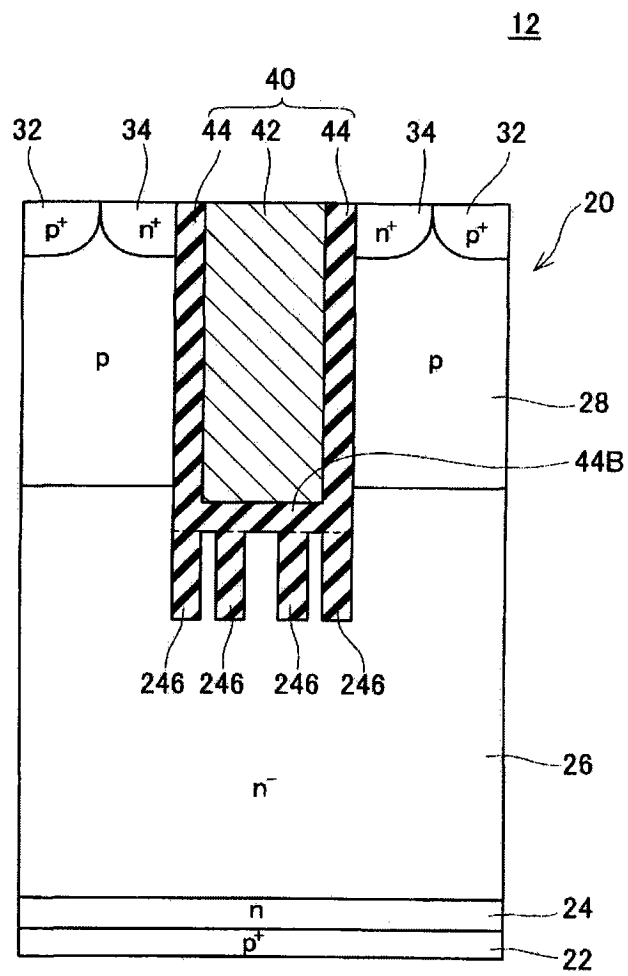


图 11

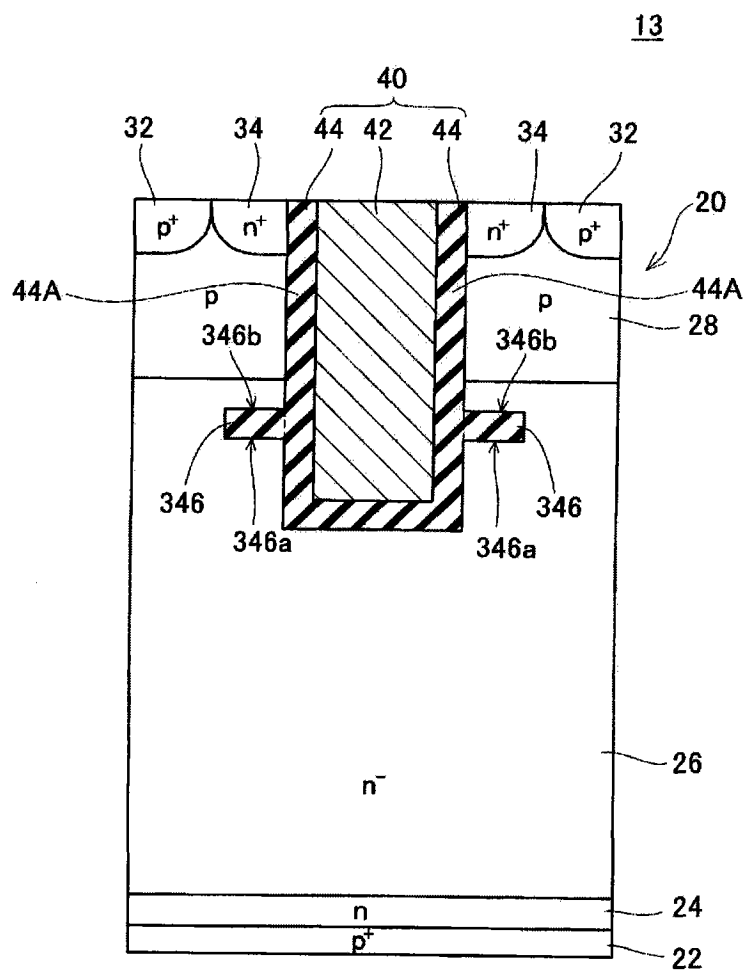


图 12

14

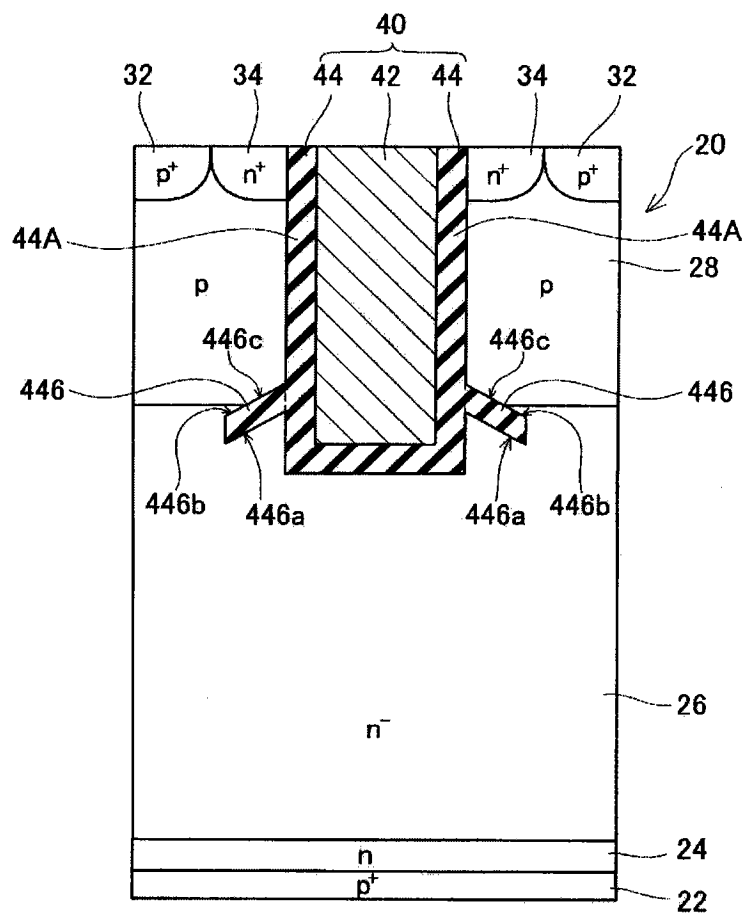


图 13

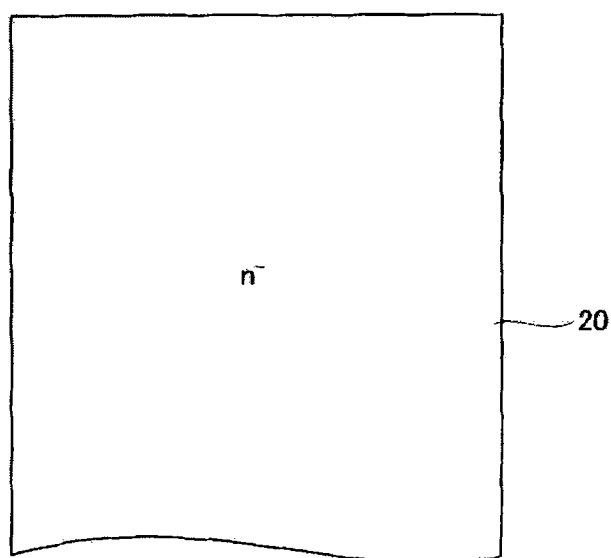


图 14

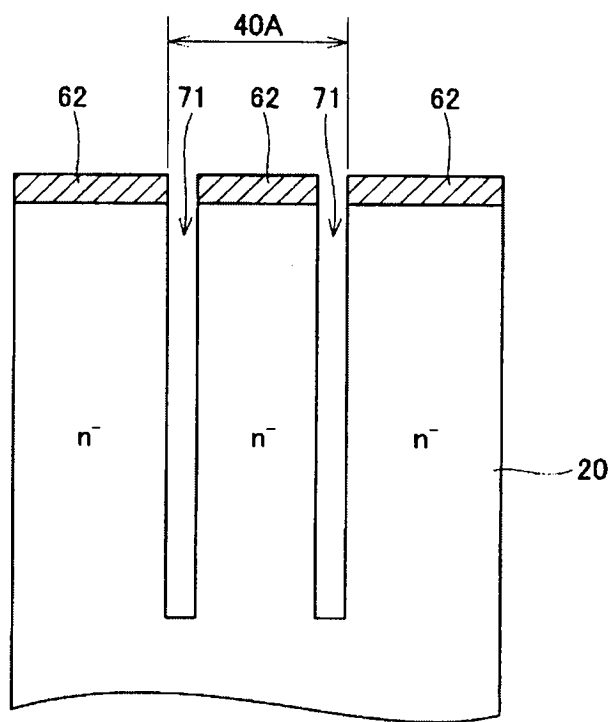


图 15

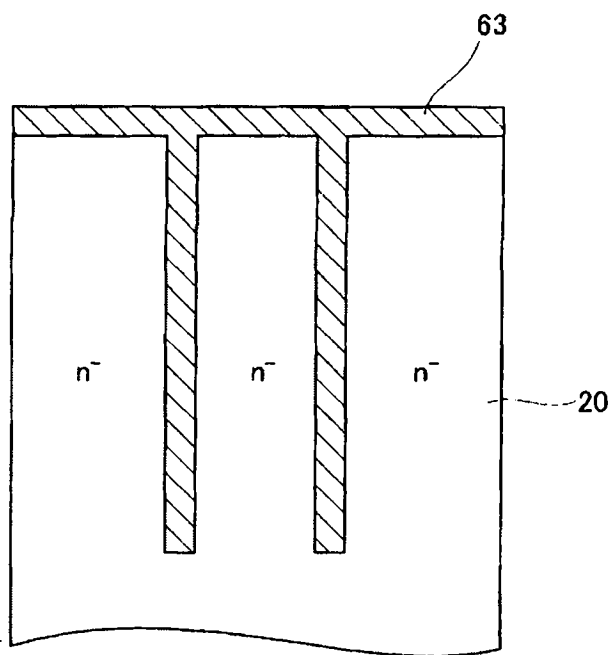


图 16

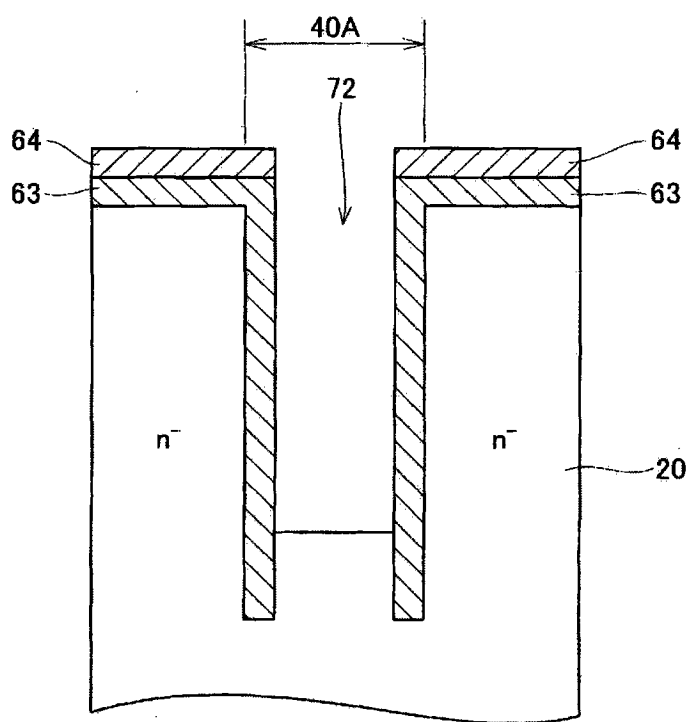


图 17

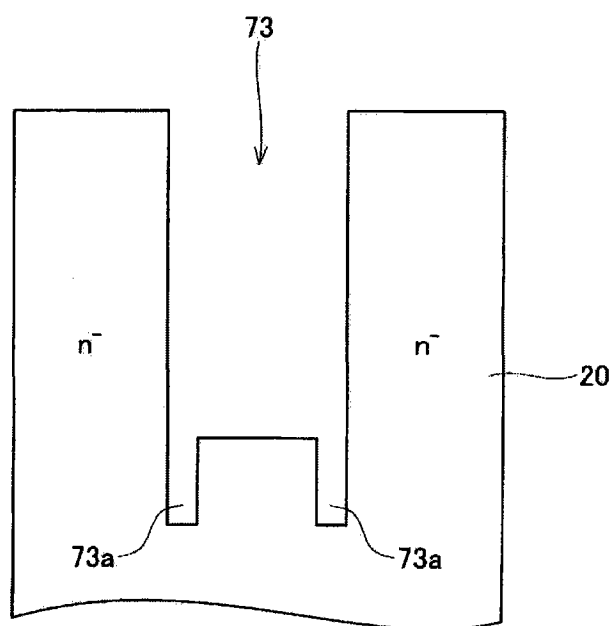


图 18

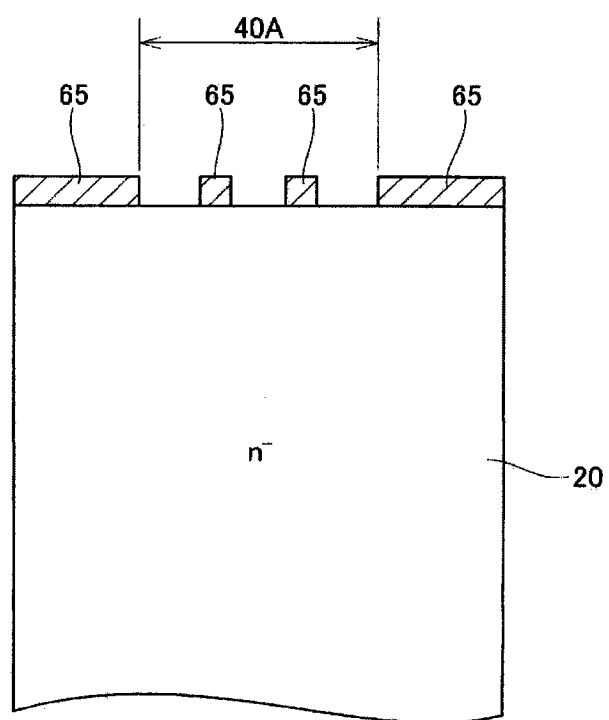


图 19

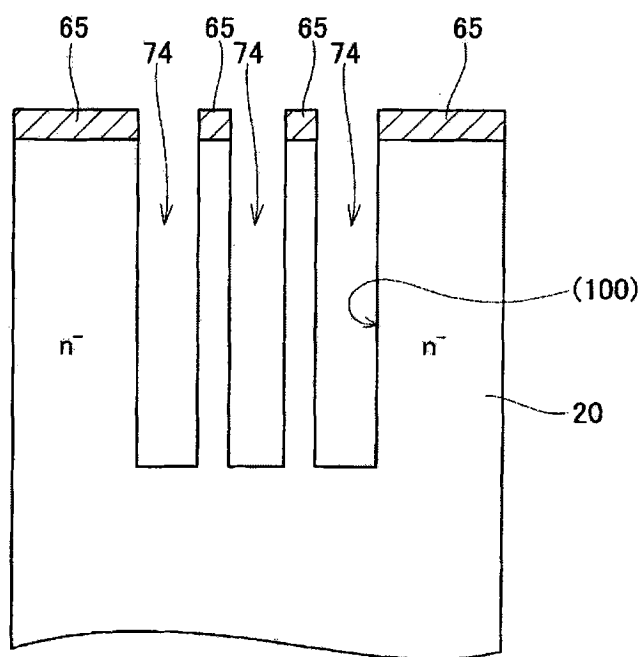


图 20

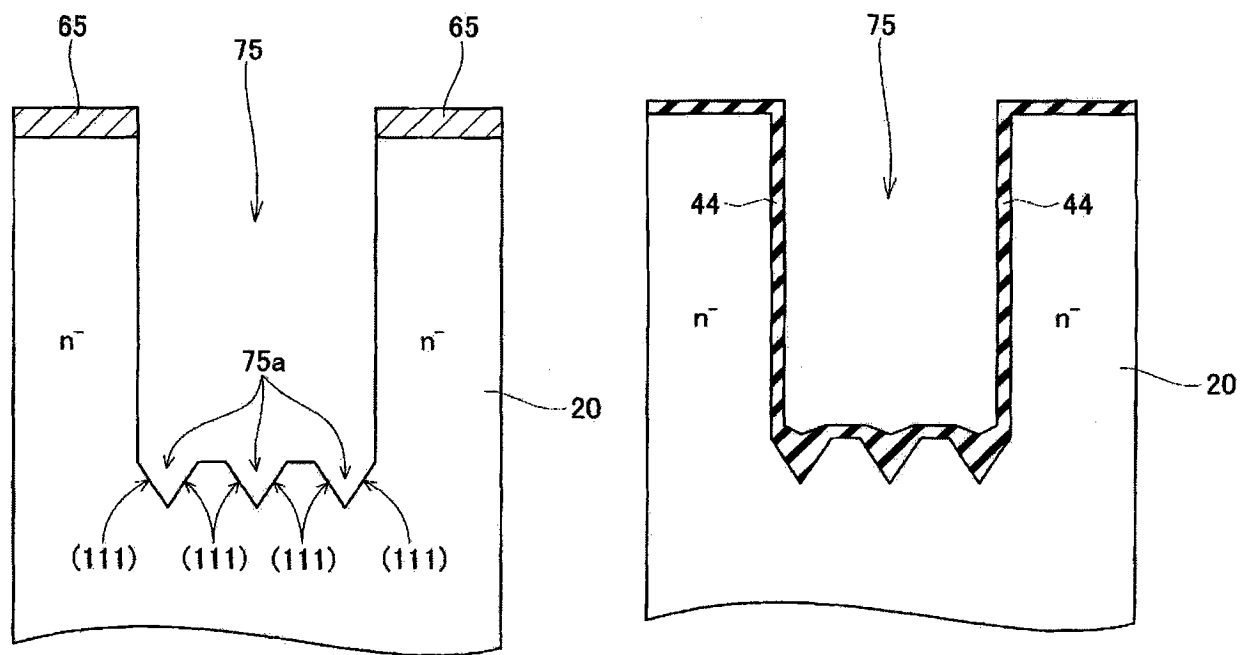


图 21

图 22

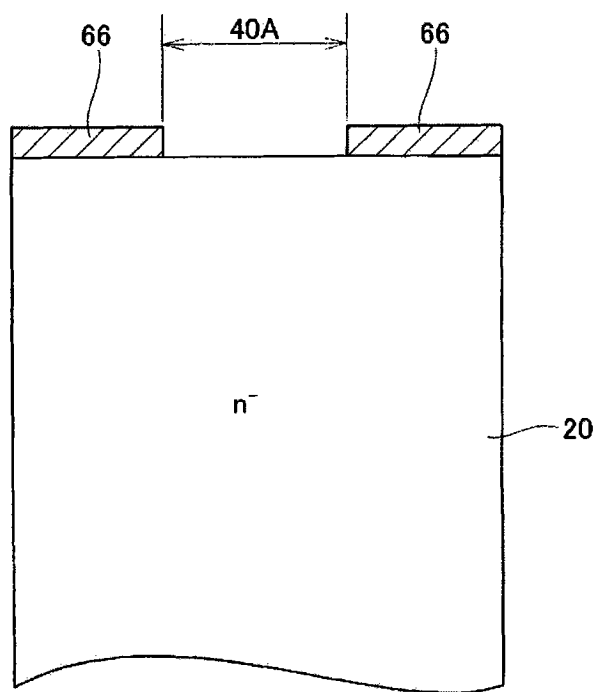


图 23

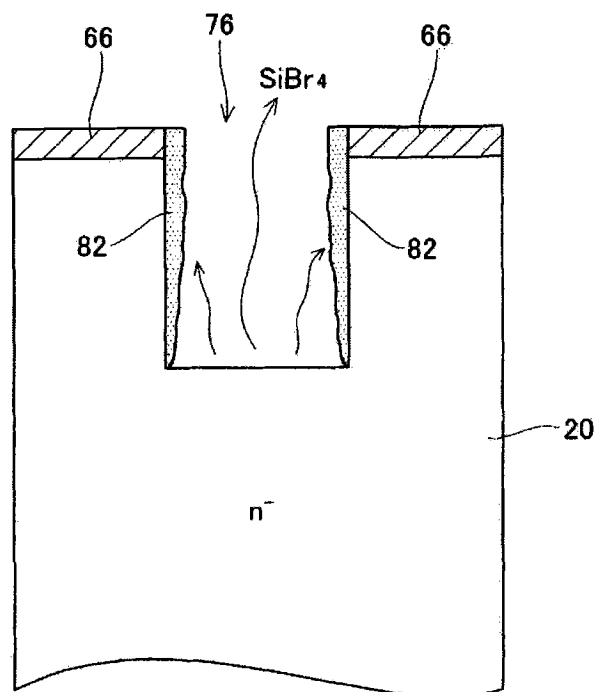


图 24

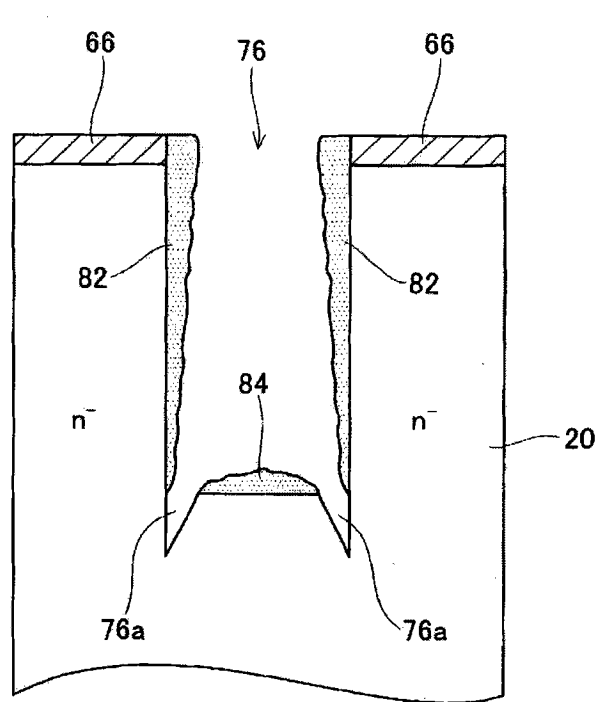


图 25

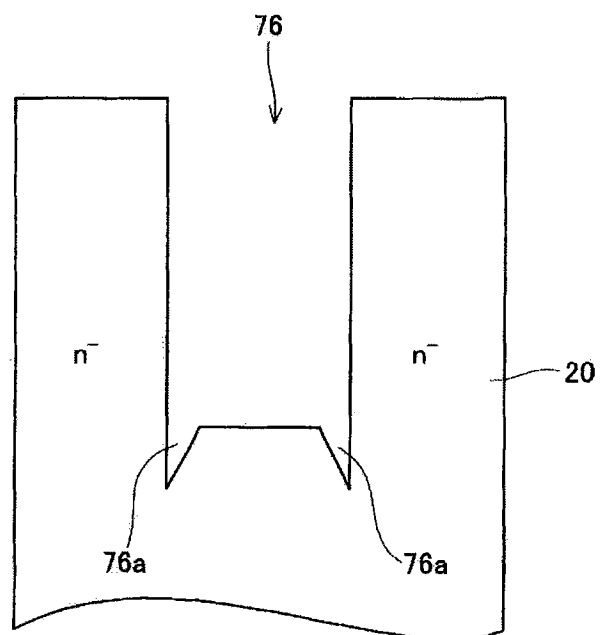


图 26

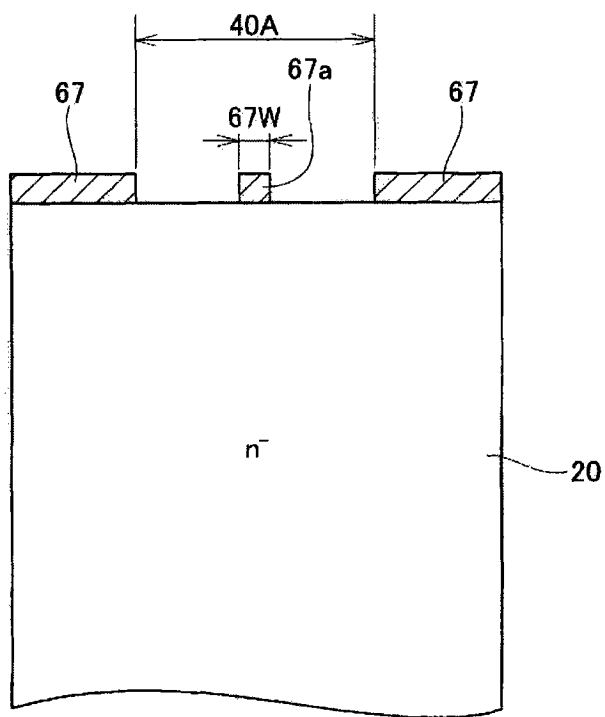


图 27

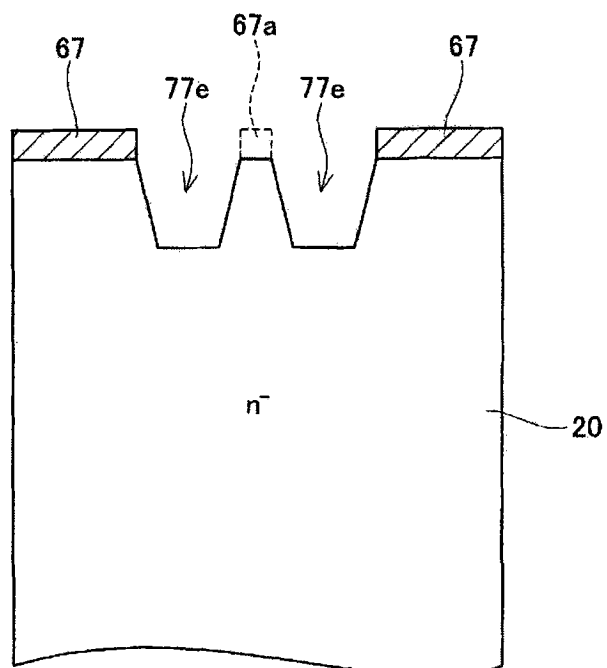


图 28

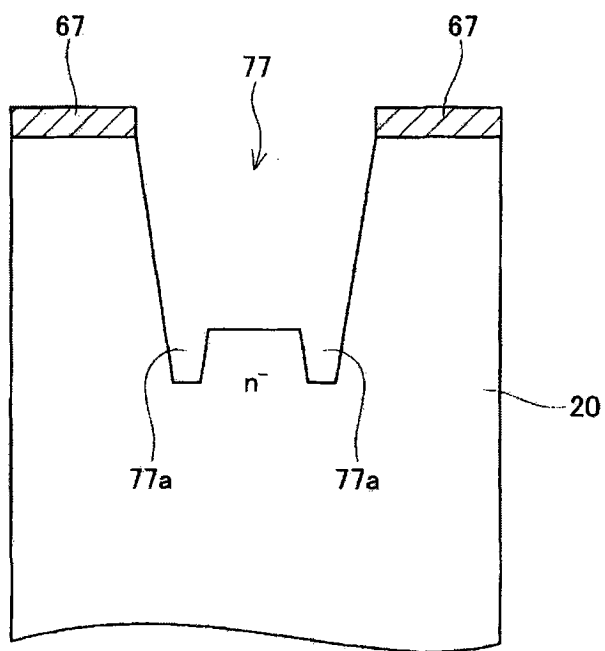


图 29

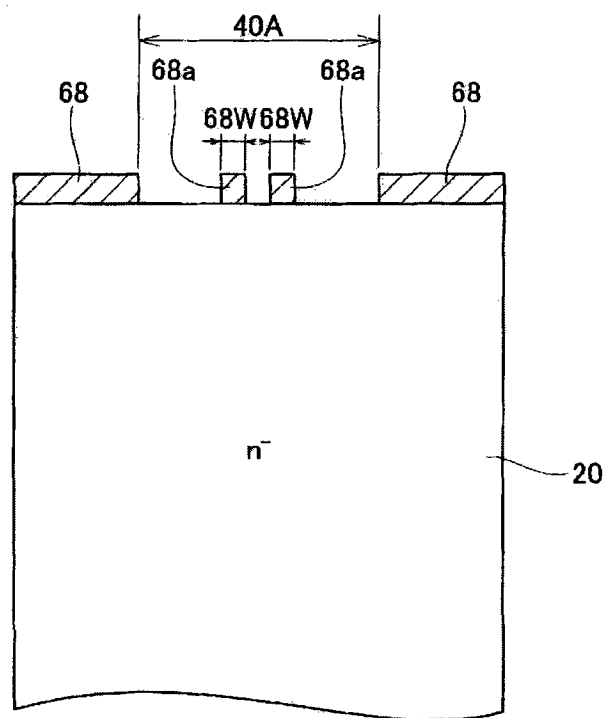


图 30

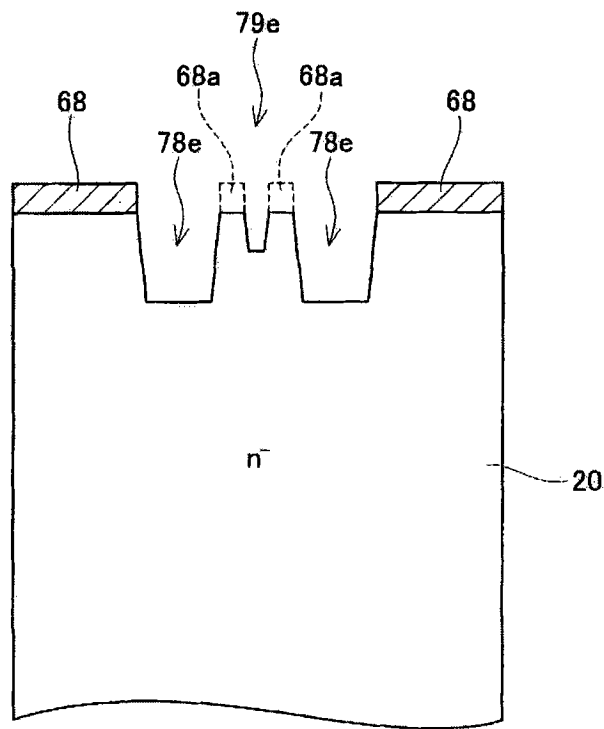


图 31

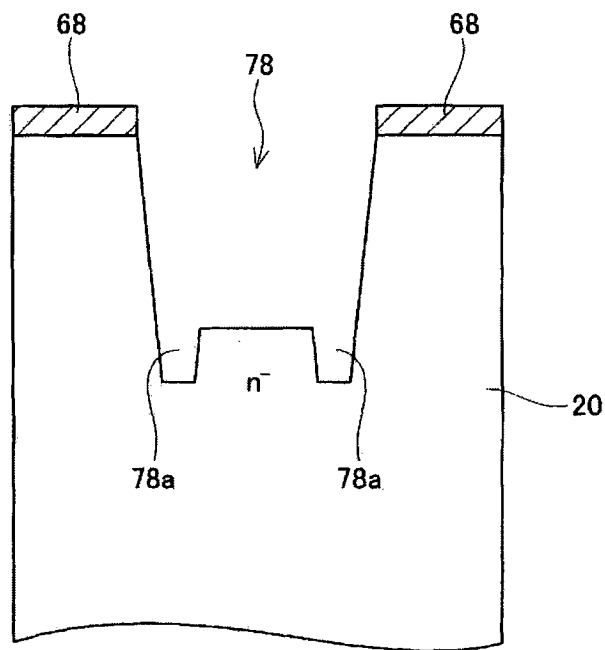


图 32

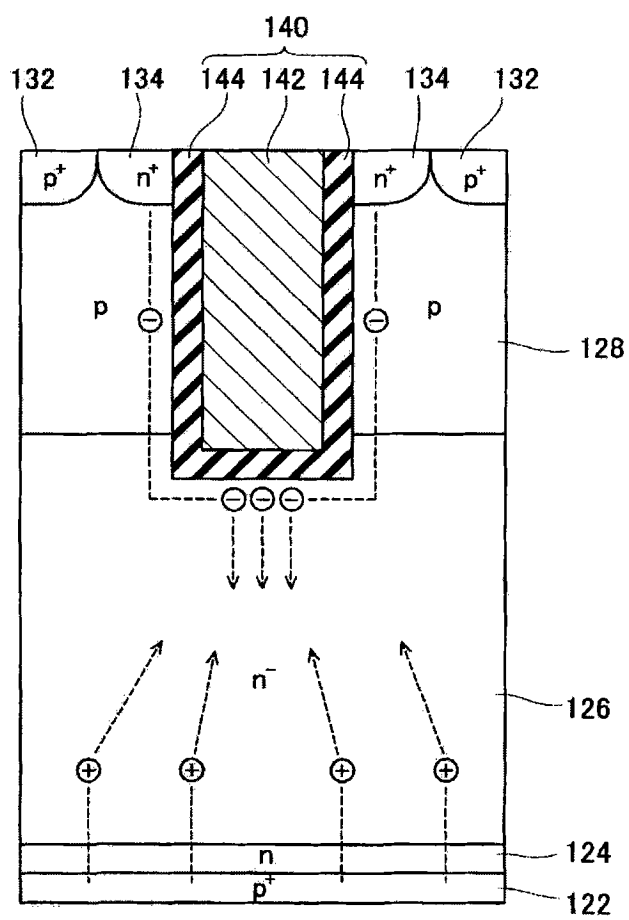
100

图 33