

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2014 年 9 月 18 日(18.09.2014)



(10) 国際公開番号  
**WO 2014/141958 A1**

- (51) 国際特許分類:  
*G09G 3/30* (2006.01) *H01L 51/50* (2006.01)  
*G09G 3/20* (2006.01)
- (21) 国際出願番号: PCT/JP2014/055550
- (22) 国際出願日: 2014 年 3 月 5 日(05.03.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2013-051293 2013 年 3 月 14 日(14.03.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 岸 宣孝(KISHI, Noritaka).
- (74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

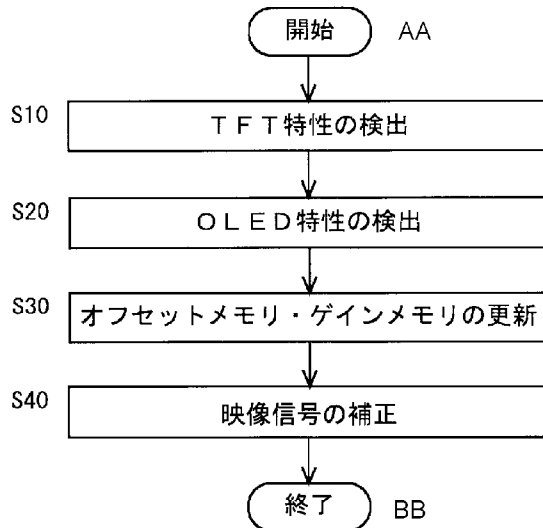
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING SAME

(54) 発明の名称: 表示装置およびその駆動方法



S10 Detect TFT characteristic  
S20 Detect OLED characteristic  
S30 Update offset memory/gain memory  
S40 Correct video signal  
AA Start  
BB End

(57) Abstract: Provided is a drive method whereby it is possible to simultaneously compensate for both degradation of a drive transistor and degradation of a light-emitting element without causing special light emission during detection of characteristics in a display device. A display device having a pixel circuit including an electro-optical element the luminance of which is controlled by a current, and a drive transistor for controlling the current to be supplied to the electro-optical element, wherein a drive method includes a first characteristic detection step (S10) for detecting a characteristic of the drive transistor, a second characteristic detection step (S20) for detecting a characteristics of the electro-optical element, a correction data storage step (S30) for storing characteristic data obtained on the basis of detection results in the first and second characteristic detection steps (S10, S20) as correction data for correcting a video signal, and a video signal correction step (S40) for correcting a video signal on the basis of the correction data. Here, the processing of the second characteristic detection step (S20) is performed in a light emission period.

(57) 要約:

[続葉有]

WO 2014/141958 A1



表示装置において駆動トランジスタの劣化および発光素子の劣化の双方を特性検出の際に特別な発光をさせることなく同時に補償することを可能にする駆動方法を提供する。電流によって輝度が制御される電気光学素子と当該電気光学素子に供給すべき電流を制御するための駆動トランジスタを含む画素回路を有する表示装置において、駆動トランジスタの特性を検出する第1の特性検出ステップ（S10）と、電気光学素子の特性を検出する第2の特性検出ステップ（S20）と、第1および第2の特性検出ステップ（S10、S20）での検出結果に基づいて得られる特性データを映像信号を補正するための補正データとして記憶する補正データ記憶ステップ（S30）と、補正データに基づいて映像信号を補正する映像信号補正ステップ（S40）とが駆動方法に含められる。ここで、第2の特性検出ステップ（S20）の処理は、発光期間に行われる。

## 明 細 書

発明の名称：表示装置およびその駆動方法

### 技術分野

[0001] 本発明は表示装置およびその駆動方法に関し、より詳しくは、有機ＥＬ（Electro Luminescence）素子などの電気光学素子を含む画素回路を備える表示装置およびその駆動方法に関する。

### 背景技術

[0002] 従来より、表示装置が備える表示素子としては、印加される電圧によって輝度が制御される電気光学素子と流れる電流によって輝度が制御される電気光学素子とがある。印加される電圧によって輝度が制御される電気光学素子の代表例としては液晶表示素子が挙げられる。一方、流れる電流によって輝度が制御される電気光学素子の代表例としては有機ＥＬ素子が挙げられる。有機ＥＬ素子は、ＯＬＥＤ（Organic Light-Emitting Diode）とも呼ばれている。自発光型の電気光学素子である有機ＥＬ素子を使用した有機ＥＬ表示装置は、バックライトおよびカラーフィルタなどを要する液晶表示装置に比べて、容易に薄型化・低消費電力化・高輝度化などを図ることができる。従って、近年、積極的に有機ＥＬ表示装置の開発が進められている。

[0003] 有機ＥＬ表示装置の駆動方式として、パッシブマトリクス方式（単純マトリクス方式とも呼ばれる。）とアクティブマトリクス方式とが知られている。パッシブマトリクス方式を採用した有機ＥＬ表示装置は、構造は単純であるものの、大型化および高精細化が困難である。これに対して、アクティブマトリクス方式を採用した有機ＥＬ表示装置（以下「アクティブマトリクス型の有機ＥＬ表示装置」という。）は、パッシブマトリクス方式を採用した有機ＥＬ表示装置に比べて大型化および高精細化を容易に実現できる。

[0004] アクティブマトリクス型の有機ＥＬ表示装置には、複数の画素回路がマトリクス状に形成されている。アクティブマトリクス型の有機ＥＬ表示装置の画素回路は、典型的には、画素を選択する入力トランジスタと、有機ＥＬ素

子への電流の供給を制御する駆動トランジスタとを含んでいる。なお、以下においては、駆動トランジスタから有機EL素子に流れる電流のことを「駆動電流」という場合がある。

[0005] 図44は、従来の一般的な画素回路91の構成を示す回路図である。この画素回路91は、表示部に配設されている複数のデータ線Sと複数の走査線Gとの各交差点に対応して設けられている。図44に示すように、この画素回路91は、2個のトランジスタT1、T2と、1個のコンデンサC<sub>st</sub>と、1個の有機EL素子OLEDとを備えている。トランジスタT1は入力トランジスタであり、トランジスタT2は駆動トランジスタである。

[0006] トランジスタT1は、データ線SとトランジスタT2のゲート端子との間に設けられている。そのトランジスタT1に関し、走査線Gにゲート端子が接続され、データ線Sにソース端子が接続されている。トランジスタT2は、有機EL素子OLEDと直列に設けられている。そのトランジスタT2に関し、ハイレベル電源電圧ELVDDを供給する電源線にドレイン端子が接続され、有機EL素子OLEDのアノード端子にソース端子が接続されている。なお、ハイレベル電源電圧ELVDDを供給する電源線のことを以下「ハイレベル電源線」といい、ハイレベル電源線にはハイレベル電源電圧と同じ符号ELVDDを付す。コンデンサC<sub>st</sub>については、トランジスタT2のゲート端子に一端が接続され、トランジスタT2のソース端子に他端が接続されている。有機EL素子OLEDのカソード端子は、ローレベル電源電圧ELVSSを供給する電源線に接続されている。なお、ローレベル電源電圧ELVSSを供給する電源線のことを以下「ローレベル電源線」といい、ローレベル電源線にはローレベル電源電圧と同じ符号ELVSSを付す。また、ここでは、トランジスタT2のゲート端子と、コンデンサC<sub>st</sub>の一端と、トランジスタT1のドレイン端子との接続点のことを便宜上「ゲートノードVG」という。なお、一般的には、ドレインとソースのうち電位の高い方がドレインと呼ばれているが、本明細書の説明では、一方をドレイン、他方をソースと定義するので、ドレイン電位よりもソース電位の方が高くなる

こともある。

[0007] 図45は、図44に示す画素回路91の動作を説明するためのタイミングチャートである。時刻 $t_1$ 以前には、走査線Gは非選択状態となっている。従って、時刻 $t_1$ 以前には、トランジスタT1がオフ状態になっており、ゲートノードVGの電位は初期レベル（例えば、1つ前のフレームでの書き込みに応じたレベル）を維持している。時刻 $t_1$ になると、走査線Gが選択状態となり、トランジスタT1がターンオンする。これにより、データ線SおよびトランジスタT1を介して、この画素回路91が形成する画素（サブ画素）の輝度に対応するデータ電圧 $V_{data}$ がゲートノードVGに供給される。その後、時刻 $t_2$ までの期間に、ゲートノードVGの電位がデータ電圧 $V_{data}$ に応じて変化する。このとき、コンデンサ $C_{st}$ は、ゲートノードVGの電位とトランジスタT2のソース電位との差であるゲート-ソース間電圧 $V_{gs}$ に充電される。時刻 $t_2$ になると、走査線Gが非選択状態となる。これにより、トランジスタT1がターンオフし、コンデンサ $C_{st}$ が保持するゲート-ソース間電圧 $V_{gs}$ が確定する。トランジスタT2は、コンデンサ $C_{st}$ が保持するゲート-ソース間電圧 $V_{gs}$ に応じて有機EL素子OLEDに駆動電流を供給する。その結果、駆動電流に応じた輝度で有機EL素子OLEDが発光する。

[0008] ところで、有機EL表示装置においては、駆動トランジスタとして、典型的には薄膜トランジスタ（TFT）が採用される。しかしながら、薄膜トランジスタについては、閾値電圧にばらつきが生じやすい。表示部内に設けられている駆動トランジスタに閾値電圧のばらつきが生じると、輝度のばらつきが生じるので表示品位が低下する。そこで、有機EL表示装置における表示品位の低下を抑制する技術が従来より提案されている。例えば、日本の特開2005-31630号公報には、駆動トランジスタの閾値電圧のばらつきを補償する技術が開示されている。また、日本の特開2003-195810号公報および日本の特開2007-128103号公報には、画素回路から有機EL素子OLEDに流れる電流を一定にする技術が開示されている。

。さらに、日本の特開２００７－２３３３２６号公報には、駆動トランジスタの閾値電圧や電子移動度に関わらず均一な輝度の画像を表示する技術が開示されている。

[0009] 上述の先行技術によれば、表示部内に設けられている駆動トランジスタに閾値電圧のばらつきが生じて、所望の輝度（目標輝度）に応じて有機ＥＬ素子（発光素子）に一定電流を供給することが可能となる。しかしながら、有機ＥＬ素子に関しては、時間の経過とともに電流効率が低下する。すなわち、たとえ一定電流が有機ＥＬ素子に供給されたとしても、時間の経過とともに輝度が徐々に低下する。その結果、焼き付きが生じる。

[0010] 以上より、駆動トランジスタの劣化および有機ＥＬ素子の劣化に対して何ら補償が行われなければ、図４６に示すように、駆動トランジスタの劣化に起因する電流低下が生じるとともに有機ＥＬ素子の劣化に起因する輝度低下が生じる。また、駆動トランジスタの劣化に対して補償が行われても、図４７に示すように、時間が経過するにつれて、有機ＥＬ素子の劣化に起因する輝度低下が生じる。そこで、日本の特表２００８－５２３４４８号公報には、駆動トランジスタの特性に基づいてデータを補正する技術に加えて、有機ＥＬ素子ＯＬＥＤの特性に基づいてデータを補正する技術が開示されている。

## 先行技術文献

### 特許文献

- [0011] 特許文献１：日本の特開２００５－３１６３０号公報  
特許文献２：日本の特開２００３－１９５８１０号公報  
特許文献３：日本の特開２００７－１２８１０３号公報  
特許文献４：日本の特開２００７－２３３３２６号公報  
特許文献５：日本の特表２００８－５２３４４８号公報

## 発明の概要

### 発明が解決しようとする課題

[0012]   ところが、日本の特表２００８－５２３４４８号公報に開示された技術によれば、選択期間中には駆動トランジスタまたは有機ＥＬ素子のいずれか一方の特性しか検出することができない。このため、駆動トランジスタの劣化および有機ＥＬ素子の劣化の双方を同時に補償することはできない。また、駆動トランジスタおよび有機ＥＬ素子の双方の特性を検出するためには選択期間を長くする必要がある。これに関し、日本の特表２００８－５２３４４８号公報に開示された技術においては、特性の検出を行う行の選択期間を長くした場合、特性の検出を行う行とそれ以外の行とで発光時間の長さが異なってしまう、所望の輝度表示が行われない。

[0013]   そこで、本発明は、表示装置において駆動トランジスタの劣化および発光素子の劣化の双方を特性検出の際に特別な発光をさせることなく同時に補償することを可能にする駆動方法を提供することを目的とする。

### 課題を解決するための手段

[0014]   本発明の第１の局面は、電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個（ $n$ および $m$ は２以上の整数）の画素回路からなる $n$ 行 $\times$  $m$ 列の画素マトリクスを有する表示装置の駆動方法であって、

前記駆動トランジスタの特性を検出する第１の特性検出ステップと、

前記電気光学素子の特性を検出する第２の特性検出ステップと、

前記第１の特性検出ステップでの検出結果および前記第２の特性検出ステップでの検出結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記 $n \times m$ 個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップと

を含み、

１フレーム期間は、前記電気光学素子を発光させる準備が行われる選択期

間と前記電気光学素子の発光が行われる発光期間とからなり、

前記第1の特性検出ステップおよび前記第2の特性検出ステップの一方または双方の処理が、1フレーム期間につき前記画素マトリクスの1つの行のみで行われ、

前記第2の特性検出ステップの処理は、前記発光期間に行われることを特徴とする。

[0015] 本発明の第2の局面は、本発明の第1の局面において、

前記第1の特性検出ステップおよび前記第2の特性検出ステップの双方の処理が、1フレーム期間につき前記画素マトリクスの1つの行のみで行われ、

各フレームにおいて前記第1の特性検出ステップおよび前記第2の特性検出ステップの双方の処理が行われる行をモニタ行と定義し、前記モニタ行以外の行を非モニタ行と定義したとき、前記モニタ行についての前記選択期間の長さは、前記非モニタ行についての前記選択期間の長さよりも長くなっていて、

前記第1の特性検出ステップの処理は、前記選択期間に行われることを特徴とする。

[0016] 本発明の第3の局面は、本発明の第1の局面において、

前記第1の特性検出ステップおよび前記第2の特性検出ステップの一方の処理が、1フレーム期間につき前記画素マトリクスの1つの行のみで行われ、

前記画素マトリクスの1つの行に着目したとき、前記第1の特性検出ステップの処理と前記第2の特性検出ステップの処理とは交互に行われ、

前記第1の特性検出ステップの処理は、前記発光期間に行われることを特徴とする。

[0017] 本発明の第4の局面は、本発明の第1の局面において、

前記第2の特性検出ステップでは、前記電気光学素子に一定の電流が与えられた状態で前記電気光学素子の陽極の電圧を測定することによって、前記

電気光学素子の特性が検出されることを特徴とする。

- [0018] 本発明の第５の局面は、本発明の第４の局面において、  
前記第２の特性検出ステップでは、目標輝度に応じて、前記一定の電流を前記電気光学素子に与える時間の長さが調整されることを特徴とする。
- [0019] 本発明の第６の局面は、本発明の第４の局面において、  
前記第２の特性検出ステップでは、１フレーム期間での発光電流の積分値が目標階調に相当する値となる範囲内で複数レベルの前記一定の電流が前記電気光学素子に与えられることによって、前記電気光学素子の特性として複数の特性が検出されることを特徴とする。
- [0020] 本発明の第７の局面は、本発明の第１の局面において、  
前記第２の特性検出ステップでは、前記電気光学素子に一定の電圧が与えられた状態で前記電気光学素子に流れる電流を測定することによって、前記電気光学素子の特性が検出されることを特徴とする。
- [0021] 本発明の第８の局面は、本発明の第７の局面において、  
前記第２の特性検出ステップでは、目標輝度に応じて、前記一定の電圧を前記電気光学素子に与える時間の長さが調整されることを特徴とする。
- [0022] 本発明の第９の局面は、本発明の第７の局面において、  
前記第２の特性検出ステップでは、１フレーム期間での発光電流の積分値が目標階調に相当する値となる範囲内で複数レベルの前記一定の電圧が前記電気光学素子に与えられることによって、前記電気光学素子の特性として複数の特性が検出されることを特徴とする。
- [0023] 本発明の第１０の局面は、本発明の第１の局面において、  
前記第１の特性検出ステップでは、前記駆動トランジスタのゲートソース間の電圧を所定の大きさにした状態で前記駆動トランジスタのドレインソース間を流れる電流を測定することによって、前記駆動トランジスタの特性が検出されることを特徴とする。
- [0024] 本発明の第１１の局面は、本発明の第１の局面において、  
前記補正データ記憶部は、前記補正データとしてオフセット値を記憶する

オフセット値記憶部と前記補正データとしてゲイン値を記憶するゲイン値記憶部とからなり、

前記補正データ記憶ステップでは、

前記第 1 の特性検出ステップでの検出結果に基づいて得られるオフセット値と前記第 2 の特性検出ステップでの検出結果に基づいて得られるオフセット値との和が、新たなオフセット値として前記オフセット値記憶部に記憶され、

前記第 1 の特性検出ステップでの検出結果に基づいて得られるゲイン値と前記第 2 の特性検出ステップでの検出結果に基づいて得られる補正係数との積が、新たなゲイン値として前記ゲイン値記憶部に記憶されることを特徴とする。

[0025] 本発明の第 1 2 の局面は、本発明の第 1 1 の局面において、

前記表示装置は、

前記駆動トランジスタの特性および前記電気光学素子の特性を検出するための特性検出部と、

前記画素マトリクス of 各列に対応するように設けられ、前記特性検出部および対応する列の画素回路と電気的に接続され得るように構成された m 本のモニタ線とを更に有し、

前記選択期間は、前記第 1 の特性検出ステップの処理が行われる第 1 期間と前記第 1 期間に続く第 2 期間とからなり、

前記オフセット値記憶部に記憶されているオフセット値と前記第 1 の特性検出ステップでの検出結果に基づいて得られるオフセット値との差分の値を第 1 の値と定義し、前記ゲイン値記憶部に記憶されているゲイン値と前記第 1 の特性検出ステップでの検出結果に基づいて得られるゲイン値とに基づいて得られる値を第 2 の値と定義したとき、前記第 2 期間には、各モニタ線に、前記第 1 の値と前記第 2 の値との和に相当する電圧が印加されることを特徴とする。

[0026] 本発明の第 13 の局面は、本発明の第 1 の局面において、

前記補正データ記憶部は、前記補正データとして前記駆動トランジスタに対応するオフセット値を記憶する駆動トランジスタ用オフセット値記憶部、前記補正データとして前記電気光学素子に対応するオフセット値を記憶する電気光学素子用オフセット値記憶部、前記補正データとして前記駆動トランジスタに対応するゲイン値を記憶する駆動トランジスタ用ゲイン値記憶部、および前記補正データとして前記電気光学素子に対応するゲイン値を記憶する電気光学素子用ゲイン値記憶部からなり、

前記補正データ記憶ステップでは、

前記第 1 の特性検出ステップでの検出結果に基づいて得られるオフセット値が、新たなオフセット値として前記駆動トランジスタ用オフセット値記憶部に記憶され、

前記第 1 の特性検出ステップでの検出結果に基づいて得られるゲイン値が、新たなゲイン値として前記駆動トランジスタ用ゲイン値記憶部に記憶され、

前記第 2 の特性検出ステップでの検出結果に基づいて得られるオフセット値が、新たなオフセット値として前記電気光学素子用オフセット値記憶部に記憶され、

前記第 2 の特性検出ステップでの検出結果に基づいて得られる補正係数が、新たなゲイン値として前記電気光学素子用ゲイン値記憶部に記憶されることを特徴とする。

[0027] 本発明の第 14 の局面は、本発明の第 13 の局面において、

前記第 2 の特性検出ステップでは、前記電気光学素子に一定の電流が与えられた状態で前記電気光学素子の陽極の電圧を測定することによって、前記電気光学素子の特性が検出され、

前記一定の電流の大きさは、前記電気光学素子用ゲイン値記憶部に記憶されているゲイン値に応じて調整されることを特徴とする。

[0028] 本発明の第 15 の局面は、本発明の第 13 の局面において、

前記第2の特性検出ステップでは、前記電気光学素子に一定の電圧が与えられた状態で前記電気光学素子に流れる電流を測定することによって、前記電気光学素子の特性が検出され、

前記一定の電圧の大きさは、前記電気光学素子用ゲイン値記憶部に記憶されているゲイン値に応じて調整されることを特徴とする。

[0029] 本発明の第16の局面は、本発明の第13の局面において、

前記表示装置は、

前記駆動トランジスタの特性および前記電気光学素子の特性を検出するための特性検出部と、

前記画素マトリクス of 各列に対応するように設けられ、前記特性検出部および対応する列の画素回路と電気的に接続され得るように構成されたm本のモニタ線と

を更に有し、

前記選択期間は、前記第1の特性検出ステップの処理が行われる第1期間と前記第1期間に続く第2期間とからなり、

前記第2期間には、各モニタ線に、前記電気光学素子用オフセット値記憶部に記憶されているオフセット値と前記電気光学素子用ゲイン値記憶部に記憶されているゲイン値に基づいて得られる値との和に相当する電圧が印加されることを特徴とする。

[0030] 本発明の第17の局面は、本発明の第1の局面において、

前記表示装置は、

電流を測定する電流測定部を少なくとも含み、前記駆動トランジスタの特性および前記電気光学素子の特性を検出するための特性検出部と、

前記画素マトリクス of 各列に対応するように設けられ、前記特性検出部および対応する列の画素回路と電気的に接続され得るように構成されたm本のモニタ線と

を更に有し、

前記第1の特性検出ステップでは、前記m本のモニタ線が対応する画素回

路および前記電流測定部と電氣的に接続された状態で、前記駆動トランジスタのゲートソース間の電圧を所定の大きさにした状態で前記駆動トランジスタのドレインソース間を流れる電流が前記電流測定部によって測定されることを特徴とする。

[0031] 本発明の第 18 の局面は、本発明の第 17 の局面において、  
前記特性検出部は、電圧を測定する電圧測定部を更に含み、  
前記第 2 の特性検出ステップでは、前記電気光学素子に一定の電流が与えられた状態で前記電気光学素子の陽極の電圧が前記電圧測定部によって測定されることを特徴とする。

[0032] 本発明の第 19 の局面は、本発明の第 17 の局面において、  
前記第 2 の特性検出ステップでは、前記電気光学素子に一定の電圧が与えられた状態で前記電気光学素子に流れる電流が前記電流測定部によって測定されることを特徴とする。

[0033] 本発明の第 20 の局面は、本発明の第 17 の局面において、  
前記特性検出部は、K 本のモニタ線（K は 2 以上 m 以下の整数）につき 1 つだけ設けられ、  
各フレームにおいて、  
前記 K 本のモニタ線のうちの 1 つが前記特性検出部と電氣的に接続され、  
前記特性検出部と電氣的に接続されていないモニタ線は、ハイインピーダンスの状態にされていることを特徴とする。

[0034] 本発明の第 21 の局面は、本発明の第 1 の局面において、  
前記 n 行 × m 列の画素マトリクスのうち黒色またはほぼ黒色の表示が行われる画素については、前記第 2 の特性検出ステップの処理が行われないことを特徴とする。

[0035] 本発明の第 22 の局面は、本発明の第 1 の局面において、  
前記表示装置の電源オフの際に、最後に前記第 1 の特性検出ステップおよび前記第 2 の特性検出ステップの一方または双方の処理が行われた領域を特

定する情報を予め用意されたモニタ領域記憶部に記憶するモニタ領域記憶ステップを更に含み、

前記表示装置の電源オン後には、前記モニタ領域記憶部に記憶されている情報に基づいて得られる領域近傍の領域から、前記第1の特性検出ステップおよび前記第2の特性検出ステップの一方または双方の処理が行われることを特徴とする。

[0036] 本発明の第23の局面は、本発明の第1の局面において、

温度を検出する温度検出ステップと、

前記特性データに対して前記温度検出ステップで検出された温度に基づく補正を施す温度変化補償ステップとを更に含み、

前記補正データ記憶ステップでは、前記温度変化補償ステップの処理で得られたデータが前記補正データとして前記補正データ記憶部に記憶されることを特徴とする。

[0037] 本発明の第24の局面は、本発明の第1の局面において、

前記駆動トランジスタは、酸化物半導体によりチャネル層が形成された薄膜トランジスタであることを特徴とする。

[0038] 本発明の第25の局面は、本発明の第24の局面において、

前記酸化物半導体は、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）、および酸素（O）を主成分とする酸化インジウムガリウム亜鉛であることを特徴とする。

[0039] 本発明の第26の局面は、電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む $n \times m$ 個（ $n$ および $m$ は2以上の整数）の画素回路からなる $n$ 行 $\times$  $m$ 列の画素マトリクスを有する表示装置であって、

前記駆動トランジスタの特性を検出する第1の特性検出処理および前記電気光学素子の特性を検出する第2の特性検出処理を行いつつ前記 $n \times m$ 個の画素回路を駆動する画素回路駆動部と、

前記第 1 の特性検出処理での検出結果および前記第 2 の特性検出処理での検出結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記  $n \times m$  個の画素回路に供給すべきデータ信号を生成する映像信号補正部と

を備え、

1 フレーム期間は、前記電気光学素子を発光させる準備が行われる選択期間と前記電気光学素子の発光が行われる発光期間とからなり、

前記画素回路駆動部は、

前記第 1 の特性検出処理および前記第 2 の特性検出処理の一方または双方の処理を、1 フレーム期間につき前記画素マトリクスの 1 つの行についてのみ行い、

前記第 2 の特性検出処理を前記発光期間に行うことを特徴とする。

## 発明の効果

[0040] 本発明の第 1 の局面によれば、電流によって輝度が制御される電気光学素子（例えば有機 EL 素子）と当該電気光学素子に供給すべき電流を制御するための駆動トランジスタを含む画素回路を有する表示装置において、駆動トランジスタの特性の検出と電気光学素子の特性の検出とが行われる。そして、双方の検出結果を考慮して得られて補正データを用いて映像信号が補正される。このようにして補正された映像信号に基づくデータ信号が画素回路に供給されるので、駆動トランジスタの劣化および電気光学素子の劣化が補償されるような大きさの駆動電流が電気光学素子に供給される。ここで、電気光学素子の特性の検出は、電気光学素子の発光期間中に行われる。従って、駆動トランジスタや電気光学素子の特性の検出するために発光期間の長さが従来よりも短くなることはない。以上より、表示装置において駆動トランジスタの劣化および電気光学素子の劣化の双方を特性検出の際に特別な発光をさせることなく同時に補償することが可能となる。

- [0041] 本発明の第2の局面によれば、モニタ行（各フレームにおいて特性の検出が行われている行）についての選択期間の長さは、非モニタ行についての選択期間の長さよりも長くなっている。そして、その選択期間に駆動トランジスタの特性の検出が行われる。このため、駆動トランジスタの特性を検出するための期間が十分に確保される。
- [0042] 本発明の第3の局面によれば、駆動トランジスタの特性の検出および電気光学素子の特性の検出の双方が電気光学素子の発光期間中に行われる。このため、選択期間中にも特性の検出が行われる構成とは異なり、モニタ行の選択期間を長くする必要がない。従って、十分な長さの発光期間が確保される。また、行によって選択期間の長さにはばらつきが生じることが防止される。以上のように、表示装置において、選択期間の長さのばらつきを生ずることなく発光期間を十分に確保しつつ駆動トランジスタの劣化および電気光学素子の劣化の双方を特性検出の際に特別な発光をさせることなく同時に補償することが可能となる。
- [0043] 本発明の第4の局面によれば、特性を検出する電気光学素子には一定電流が供給される。このため、一定電流を電気光学素子に供給する時間を調整することによって、当該電気光学素子を所望の輝度で発光させることが可能となる。
- [0044] 本発明の第5の局面によれば、電気光学素子の特性の検出を行いつつ当該電気光学素子を所望の輝度で発光させることが可能となる。
- [0045] 本発明の第6の局面によれば、電気光学素子の特性として複数の特性が検出されるので、より効果的に駆動トランジスタの劣化を補償することが可能となる。
- [0046] 本発明の第7の局面によれば、電気光学素子の特性を検出するための測定時間の短縮が可能となる。
- [0047] 本発明の第8の局面によれば、電気光学素子の特性の検出を行いつつ当該電気光学素子を所望の輝度で発光させることが可能となる。
- [0048] 本発明の第9の局面によれば、電気光学素子の特性として複数の特性が検

出されるので、より効果的に駆動トランジスタの劣化を補償することが可能となる。

[0049] 本発明の第10の局面によれば、電流を測定するための構成要素を表示装置が備えた態様において、本発明の第1の局面と同様の効果を奏することができる。

[0050] 本発明の第11の局面によれば、オフセット値記憶部には駆動トランジスタの特性および電気光学素子の特性の双方を考慮した補正データが記憶され、ゲイン値記憶部にも駆動トランジスタの特性および電気光学素子の特性の双方を考慮した補正データが記憶される。このため、駆動トランジスタの特性および電気光学素子の特性の双方を考慮して容易に映像信号を補正することが可能となる。

[0051] 本発明の第12の局面によれば、電気光学素子の劣化の程度に応じた電圧が発光期間の前にモニタ線に印加され、発光期間における充電時間の長さが短縮される。

[0052] 本発明の第13の局面によれば、オフセット値を記憶する記憶部およびゲイン値を記憶する記憶部のそれぞれが、駆動トランジスタの劣化を補償するために用いられる記憶部と電気光学素子の劣化を補償するために用いられる記憶部とに分けられている。このため、電気光学素子の劣化のみを考慮して当該電気光学素子に供給する電流を調整することが可能となる。その際、劣化の最も少ない画素の劣化レベルに合わせて電流を増加させることによって、焼き付きに対する補償を行うことが可能となる。

[0053] 本発明の第14の局面によれば、電気光学素子の特性の検出に関し、発光期間に電気光学素子に供給される電流の大きさは、電気光学素子用ゲイン値記憶部に記憶されているゲイン値（補正係数）に応じて調整される。すなわち、電気光学素子の劣化の程度に応じて電流の大きさの調整が行われる。これにより、電流効率の低下が補償される。

[0054] 本発明の第15の局面によれば、電気光学素子の特性の検出に関し、発光期間に電気光学素子に与えられる電圧の大きさは、電気光学素子用ゲイン値

記憶部に記憶されているゲイン値（補正係数）に応じて調整される。これにより、電気光学素子の劣化の程度に応じた大きさの電圧が発光期間に電気光学素子に与えられる。

[0055] 本発明の第 16 の局面によれば、電気光学素子の劣化の程度に応じた電圧が発光期間の前にモニタ線に印加され、発光期間における充電時間の長さが短縮される。

[0056] 本発明の第 17 の局面によれば、各列に含まれる駆動トランジスタおよび電気光学素子の双方の特性を 1 本のモニタ線によって検出することが可能となる。

[0057] 本発明の第 18 の局面によれば、より所望の階調に近い表示が行われるよう、電気光学素子が発光する。

[0058] 本発明の第 19 の局面によれば、電気光学素子の特性を検出するための測定時間の短縮が可能となる。

[0059] 本発明の第 20 の局面によれば、1 つの特性検出部が複数のモニタ線で共有化される。このため、回路面積の増大を抑制しつつ駆動トランジスタの劣化および電気光学素子の劣化の双方を特性検出の際に特別な発光をさせることなく同時に補償することが可能となる。

[0060] 本発明の第 21 の局面によれば、電気光学素子の不必要な発光が防止される。

[0061] 本発明の第 22 の局面によれば、例えば上方の行と下方の行との間で駆動トランジスタの特性および電気光学素子の特性の検出回数に差が生じることが防止される。このため、駆動トランジスタの劣化および電気光学素子の劣化に対する補償を画面全体で一様に行うことが可能となり、輝度のばらつきの発生が効果的に防止される。

[0062] 本発明の第 23 の局面によれば、温度変化を考慮した補正データを用いて映像信号が補正される。このため、表示装置において、温度の変化に関わらず駆動トランジスタの劣化および電気光学素子の劣化の双方を特性検出の際に特別な発光をさせることなく同時に補償することが可能となる。

- [0063] 本発明の第24の局面によれば、画素回路内に設けられる駆動トランジスタとして、チャネル層が酸化物半導体により形成された薄膜トランジスタが用いられる。このため、高精細化や低消費電力化の効果が得られる。また、オフ電流が極めて小さくなるので、電流の検出を行う際に十分なS/N比を確保できるという効果が得られる。
- [0064] 本発明の第25の局面によれば、チャネル層を形成する酸化物半導体として酸化インジウムガリウム亜鉛を用いることにより、本発明の第24の局面と同様の効果を確実に達成することができる。
- [0065] 本発明の第26の局面によれば、本発明の第1の局面と同様の効果を表示装置の発明において奏することができる。

### 図面の簡単な説明

- [0066] [図1]本発明の第1の実施形態において、TFT特性およびOLED特性の検出に関連する動作の概略を説明するためのフローチャートである。
- [図2]上記第1の実施形態において、有機EL表示装置の全体構成を示すブロック図である。
- [図3]上記第1の実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。
- [図4]上記第1の実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。
- [図5]上記第1の実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。
- [図6]上記第1の実施形態において、信号変換回路の概略構成を示すブロック図である。
- [図7]上記第1の実施形態における画素回路およびモニタ回路の構成を示す図である。
- [図8]上記第1の実施形態における電流測定部の一構成例を示す図である。
- [図9]上記第1の実施形態における電圧測定部の一構成例を示す図である。
- [図10]上記第1の実施形態において、各行の動作の推移について説明するた

めの図である。

[図11]上記第1の実施形態において、通常動作が行われる際の電流の流れについて説明するための図である。

[図12]上記第1の実施形態において、モニタ行に含まれる画素回路（i行j列の画素回路）の動作を説明するためのタイミングチャートである。

[図13]上記第1の実施形態において、TFT特性検出期間の電流の流れについて説明するための図である。

[図14]上記第1の実施形態において、TFT特性検出期間における参照電圧のデータ線への印加について説明するための図である。

[図15]上記第1の実施形態において、発光期間の電流の流れについて説明するための図である。

[図16]上記第1の実施形態において、有機EL素子の発光時間の調整について説明するための図である。

[図17]上記第1の実施形態において、モニタ行と非モニタ行とでの発光期間の長さの違いについて説明するための図である。

[図18]上記第1の実施形態において、オフセットメモリおよびゲインメモリの更新の手順を説明するためのフローチャートである。

[図19]上記第1の実施形態において、映像信号補正部の構成を示す図である。

[図20]上記第1の実施形態における効果について説明するための図である。

[図21]上記第1の実施形態の第1の変形例における有機EL表示装置の全体構成を示すブロック図である。

[図22]上記第1の実施形態の第1の変形例において、TFT用オフセットメモリ、OLED用オフセットメモリ、TFT用ゲインメモリ、およびOLED用ゲインメモリの更新の手順を説明するためのフローチャートである。

[図23]上記第1の実施形態の第1の変形例における効果について説明するための図である。

[図24]上記第1の実施形態の第2の変形例におけるモニタ線の一端部近傍の

構成を示す図である。

[図25]上記第1の実施形態の第3の変形例におけるモニタ線の一端部近傍の構成を示す図である。

[図26]上記第1の実施形態の第4の変形例における有機EL表示装置の全体構成を示すブロック図である。

[図27]有機EL素子の電流－電圧特性の温度依存性について説明するための図である。

[図28]上記第1の実施形態の第5の変形例における有機EL表示装置の全体構成を示すブロック図である。

[図29]上記第1の実施形態の第5の変形例において、オフセットメモリおよびゲインメモリの更新の手順を説明するためのフローチャートである。

[図30]上記第1の実施形態の第6の変形例におけるモニタ回路の詳細な構成を示す図である。

[図31]本発明の第2の実施形態に係るアクティブマトリクス型の有機EL表示装置の全体構成を示すブロック図である。

[図32]上記第2の実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。

[図33]上記第2の実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。

[図34]上記第2の実施形態において、ゲートドライバの動作について説明するためのタイミングチャートである。

[図35]上記第2の実施形態における画素回路およびモニタ回路の構成を示す図である。

[図36]上記第2の実施形態において、各行の動作の推移について説明するための図である。

[図37]上記第2の実施形態において、通常動作が行われる際の電流の流れについて説明するための図である。

[図38]上記第2の実施形態において、モニタ行に含まれる画素回路（ $i$ 行 $j$

列の画素回路)におけるOLED特性検出動作について説明するためのタイミングチャートである。

[図39]上記第2の実施形態において、OLED特性検出動作が行われる際の電流の流れについて説明するための図である。

[図40]上記第2の実施形態において、モニタ行に含まれる画素回路(i行j列の画素回路)におけるTF特性検出動作について説明するためのタイミングチャートである。

[図41]上記第2の実施形態において、TF特性検出動作が行われる際の電流の流れについて説明するための図である。

[図42]上記第2の実施形態において、オフセットメモリおよびゲインメモリの更新の手順を説明するためのフローチャートである。

[図43]上記第2の実施形態の変形例において、各行の動作の推移について説明するための図である。

[図44]従来の一般的な画素回路の構成を示す回路図である。

[図45]図44に示す画素回路の動作を説明するためのタイミングチャートである。

[図46]駆動トランジスタの劣化および有機EL素子の劣化に対して何ら補償が行われない場合について説明するための図である。

[図47]駆動トランジスタの劣化に対してのみ補償が行われた場合について説明するための図である。

### 発明を実施するための形態

[0067] 以下、添付図面を参照しながら、本発明の実施形態について説明する。なお、以下においては、 $m$ および $n$ は2以上の整数、 $i$ は1以上 $n$ 以下の整数、 $j$ は1以上 $m$ 以下の整数であると仮定する。また、以下においては、画素回路内に設けられている駆動トランジスタの特性のことを「TF特性」といい、画素回路内に設けられている有機EL素子の特性のことを「OLED特性」という。

[0068] <1. 第1の実施形態>

### < 1. 1 全体構成 >

図2は、本発明の第1の実施形態に係るアクティブマトリクス型の有機EL表示装置1の全体構成を示すブロック図である。この有機EL表示装置1は、表示部10、コントロール回路20、ソースドライバ（データ線駆動回路）30、ゲートドライバ（走査線駆動回路）40、オフセットメモリ51、およびゲインメモリ52を備えている。なお、ソースドライバ30およびゲートドライバ40の一方または双方が表示部10と一体的に形成された構成であっても良い。また、オフセットメモリ51とゲインメモリ52とは物理的には1つのメモリで構成されていても良い。

[0069] なお、本実施形態においては、ソースドライバ30およびゲートドライバ40によって画素回路駆動部が実現され、オフセットメモリ51およびゲインメモリ52によって補正データ記憶部が実現されている。

[0070] 表示部10には、 $m$ 本のデータ線 $S(1) \sim S(m)$ およびこれらに直交する $n$ 本の走査線 $G1(1) \sim G1(n)$ が配設されている。以下では、データ線の延伸方向を $Y$ 方向とし、走査線の延伸方向を $X$ 方向とする。 $Y$ 方向に沿った構成要素を「列」という場合があり、 $X$ 方向に沿った構成要素を「行」という場合がある。また、表示部10には、 $m$ 本のデータ線 $S(1) \sim S(m)$ と1対1で対応するように、 $m$ 本のモニタ線 $M(1) \sim M(m)$ が配設されている。データ線 $S(1) \sim S(m)$ とモニタ線 $M(1) \sim M(m)$ とは互いに平行になっている。さらに、表示部10には、 $n$ 本の走査線 $G1(1) \sim G1(n)$ と1対1で対応するように、 $n$ 本のモニタ制御線 $G2(1) \sim G2(n)$ が配設されている。走査線 $G1(1) \sim G1(n)$ とモニタ制御線 $G2(1) \sim G2(n)$ とは互いに平行になっている。さらにまた、表示部10には、 $n$ 本の走査線 $G1(1) \sim G1(n)$ と $m$ 本のデータ線 $S(1) \sim S(m)$ との交差点に対応するように、 $n \times m$ 個の画素回路11が設けられている。このように $n \times m$ 個の画素回路11が設けられることによって、 $n$ 行 $\times$  $m$ 列の画素マトリクスが表示部10に形成されている。また、表示部10には、ハイレベル電源電圧を供給するハイレベル電源線と、

ローレベル電源電圧を供給するローレベル電源線とが配設されている。

[0071] なお、以下においては、 $m$ 本のデータ線 $S(1) \sim S(m)$ を互いに区別する必要がない場合にはデータ線を単に符号 $S$ で表す。同様に、 $m$ 本のモニタ線 $M(1) \sim M(m)$ を互いに区別する必要がない場合にはモニタ線を単に符号 $M$ で表し、 $n$ 本の走査線 $G1(1) \sim G1(n)$ を互いに区別する必要がない場合には走査線を単に符号 $G1$ で表し、 $n$ 本のモニタ制御線 $G2(1) \sim G2(n)$ を互いに区別する必要がない場合にはモニタ制御線を単に符号 $G2$ で表す。

[0072] コントロール回路20は、ソースドライバ30にデータ信号 $DA$ ，ソース制御信号 $SC TL$ ，および切替制御信号 $SW$ を与えることによりソースドライバ30の動作を制御し、ゲートドライバ40にゲート制御信号 $GC TL$ を送信することによりゲートドライバ40の動作を制御する。ソース制御信号 $SC TL$ には、例えば、ソーススタートパルス，ソースクロック，ラッチストロブ信号が含まれている。ゲート制御信号 $GC TL$ には、例えば、ゲートスタートパルスおよびゲートクロックが含まれている。また、コントロール回路20は、ソースドライバ30から与えられるモニタデータ $MO$ を受け取り、オフセットメモリ51およびゲインメモリ52の更新を行う。なお、モニタデータ $MO$ とは、 $TFT$ 特性や $OLED$ 特性を求めるために測定されたデータである。

[0073] ゲートドライバ40は、 $n$ 本の走査線 $G1(1) \sim G1(n)$ および $n$ 本のモニタ制御線 $G2(1) \sim G2(n)$ に接続されている。ゲートドライバ40は、シフトレジスタおよび論理回路などによって構成されている。ところで、本実施形態に係る有機 $EL$ 表示装置1においては、 $TFT$ 特性および $OLED$ 特性に基づいて、外部から送られる映像信号（上記データ信号 $DA$ の元となるデータ）に補正が施される。これに関し、各フレームにおいて、1つの行についての $TFT$ 特性および $OLED$ 特性の検出が行われる。すなわち、或るフレームに1行目についての $TFT$ 特性および $OLED$ 特性の検出が行われると、次のフレームには2行目についての $TFT$ 特性および $OLED$

E D特性の検出が行われ、さらに次のフレームには3行目についてのT F T特性およびO L E D特性の検出が行われる。このようにして、nフレーム期間をかけて、n行分のT F T特性およびO L E D特性の検出が行われる。ここで、1行目についてのT F T特性およびO L E D特性の検出が行われるフレームを $(k+1)$ フレーム目と定義すると、n本の走査線G 1 (1) ~ G 1 (n) およびn本のモニタ制御線G 2 (1) ~ G 2 (n) は、 $(k+1)$ フレーム目には図3に示すように駆動され、 $(k+2)$ フレーム目には図4に示すように駆動され、 $(k+n)$ フレーム目には図5に示すように駆動される。なお、図3~図5に関し、ハイレベルの状態がアクティブな状態である。また、走査線G 1 がアクティブな状態になっている期間のことを「選択期間」という。この選択期間は、画素回路1 1内に設けられている有機E L素子を発光させる準備を行うための期間である。図3~図5より把握されるように、各フレームにおいて、T F T特性およびO L E D特性の検出が行われる行に対応する走査線のみが、他の走査線よりも長い期間アクティブな状態とされる。以下、任意のフレームに着目したときにT F T特性およびO L E D特性の検出が行われている行のことを「モニタ行」といい、モニタ行以外の行のことを「非モニタ行」という。各フレームにおいて、非モニタ行に対応するモニタ制御線G 2 は非アクティブな状態で維持される。モニタ行に対応するモニタ制御線G 2 については、選択期間のうち最初から所定期間にはアクティブな状態にされ、選択期間の残りの期間には非アクティブな状態とされ、その後、選択期間開始時点のほぼ1フレーム期間後までの期間には再びアクティブな状態とされる。本実施形態においては、以上のようにn本の走査線G 1 (1) ~ G 1 (n) およびn本のモニタ制御線G 2 (1) ~ G 2 (n) が駆動されるよう、ゲートドライバ4 0が構成されている。

[0074] ソースドライバ3 0は、m本のデータ線S (1) ~ S (m) およびm本のモニタ線M (1) ~ M (m) に接続されている。ソースドライバ3 0は、駆動信号発生回路3 1と、信号変換回路3 2と、m個の出力回路3 3 0からなる出力部3 3とによって構成されている。出力部3 3内のm個の出力回路3

30はそれぞれm本のデータ線S(1)～S(m)のうちの対応するデータ線Sおよびm本のモニタ線M(1)～M(m)のうちの対応するモニタ線Mに接続されている。

[0075] 駆動信号発生回路31には、シフトレジスタ、サンプリング回路、およびラッチ回路が含まれている。駆動信号発生回路31において、シフトレジスタは、ソースクロックに同期して、ソーススタートパルスを入力端から出力端へと順次に転送する。ソーススタートパルスのこの転送に応じて、シフトレジスタから各データ線Sに対応するサンプリングパルスが出力される。サンプリング回路は、サンプリングパルスのタイミングに従って1行分のデータ信号DAを順次に記憶する。ラッチ回路は、サンプリング回路に記憶された1行分のデータ信号DAをラッチストロブ信号に応じて取り込んで保持する。

[0076] 図6は、信号変換回路32の概略構成を示すブロック図である。図6に示すように、信号変換回路32は、階調信号発生回路321およびモニタ回路322によって構成されている。階調信号発生回路321には、D/Aコンバータが含まれている。上述のようにして駆動信号発生回路31内のラッチ回路に保持された1行分のデータ信号DAは、階調信号発生回路321内のD/Aコンバータによってアナログ電圧に変換される。その変換されたアナログ電圧は、出力部33内の出力回路330に与えられる。モニタ回路322には、A/Dコンバータが含まれている。モニタ回路322内のA/Dコンバータでは、モニタ線Mに現れTFT特性およびOLED特性を表すアナログ電圧が、デジタル信号であるモニタデータMOに変換される。そのモニタデータMOは、駆動信号発生回路31を介してコントロール回路20に与えられる。なお、モニタ回路322についての詳しい説明は後述する。

[0077] 出力部33内の出力回路330は、信号変換回路32内の階調信号発生回路321から与えられるアナログ電圧をバッファを介してデータ電圧としてデータ線Sに印加する。また、出力部33内の出力回路330は、切替制御信号SWに基づいて、モニタ線Mの接続先の切り替えを行う。なお、これに

についての詳しい説明は後述する。

[0078] オフセットメモリ51およびゲインメモリ52は、外部から送られる映像信号の補正に使用される補正データを記憶している。詳しくは、オフセットメモリ51は補正データとしてオフセット値を記憶し、ゲインメモリ52は補正データとしてゲイン値を記憶している。なお、典型的には、表示部10内の画素の数に等しい数のオフセット値およびゲイン値がそれぞれオフセットメモリ51およびゲインメモリ52に記憶される。また、オフセット値を一時的に保持するためのバッファメモリ（以下、「オフセット値用バッファ」という。）とゲイン値を一時的に保持するためのバッファメモリ（以下、「ゲイン値用バッファ」という。）とが例えばコントロール回路20内に設けられている。コントロール回路20は、ソースドライバ30から与えられるモニタデータM0に基づいて、オフセットメモリ51内のオフセット値およびゲインメモリ52内のゲイン値を更新する。また、コントロール回路20は、オフセットメモリ51に記憶されたオフセット値およびゲインメモリ52に記憶されたゲイン値を読み出して映像信号の補正を行う。その補正によって得られたデータが、データ信号DAとしてソースドライバ30に送られる。

[0079] <1. 2 画素回路およびモニタ回路の構成>

図7は、画素回路11およびモニタ回路322の構成を示す図である。なお、図7に示す画素回路11は、 $i$ 行 $j$ 列の画素回路11である。この画素回路11は、1個の有機EL素子OLED、3個のトランジスタT1～T3、および1個のコンデンサCstを備えている。トランジスタT1は画素を選択する入力トランジスタとして機能し、トランジスタT2は有機EL素子OLEDへの電流の供給を制御する駆動トランジスタとして機能し、トランジスタT3はTFT特性やOLED特性を検出するか否かを制御するモニタ制御トランジスタとして機能する。

[0080] トランジスタT1は、データ線S( $j$ )とトランジスタT2のゲート端子との間に設けられている。そのトランジスタT1に関し、走査線G1( $i$ )

にゲート端子が接続され、データ線S（j）にソース端子が接続されている。トランジスタT2は、有機EL素子OLEDと直列に設けられている。そのトランジスタT2に関し、トランジスタT1のド레인端子にゲート端子が接続され、ハイレベル電源線ELVDDにド레인端子が接続され、有機EL素子OLEDのアノード端子にソース端子が接続されている。トランジスタT3については、モニタ制御線G2（i）にゲート端子が接続され、有機EL素子OLEDのアノード端子にド레인端子が接続され、モニタ線M（j）にソース端子が接続されている。コンデンサCstについては、トランジスタT2のゲート端子に一端が接続され、トランジスタT2のソース端子に他端が接続されている。有機EL素子OLEDのカソード端子は、ローレベル電源線ELVSSに接続されている。

[0081] 本実施形態においては、画素回路11内のトランジスタT1～T3はすべてnチャネル型である。また、本実施形態においては、トランジスタT1～T3には、酸化物TFT（酸化物半導体をチャネル層に用いた薄膜トランジスタ）が採用されている。具体的には、インジウム（In），ガリウム（Ga），亜鉛（Zn），および酸素（O）を主成分とする酸化物半導体であるInGaZnO<sub>x</sub>（酸化インジウムガリウム亜鉛）（以下「IGZO」という。ただし、「IGZO」は登録商標である。）によりチャネル層が形成されたIGZO-TFTが採用されている。なお、IGZO-TFTなどの酸化物TFTは、特に、画素回路11に含まれるnチャネル型のトランジスタとして採用する場合に有効である。ただし、本発明は、pチャネル型の酸化物TFTの使用を排除するものではない。また、IGZO以外の酸化物半導体をチャネル層に用いたトランジスタを採用することもできる。例えば、インジウム，ガリウム，亜鉛，銅（Cu），シリコン（Si），錫（Sn），アルミニウム（Al），カルシウム（Ca），ゲルマニウム（Ge），および鉛（Pb）のうち少なくとも1つを含む酸化物半導体をチャネル層に用いたトランジスタを採用した場合にも同様の効果が得られる。さらにまた、本発明は、酸化物半導体をチャネル層に用いたトランジスタ以外のトランジス

タの使用を排除するものでもない。

[0082] 図7に示すように、モニタ回路322には、電流測定部38と電圧測定部39とが含まれている。本実施形態においては、このモニタ回路322によって特性検出部が実現されている。電流測定部38および電圧測定部39とモニタ線M(j)との関係に関し、コントロール回路20から出力回路330に与えられる切替制御信号SWに基づいて電流測定部38または電圧測定部39のいずれかにモニタ線M(j)が接続されるように構成されている。なお、図7では、出力回路330については一部の構成のみを示している。

[0083] 図8は、電流測定部38の一構成例を示す図である。この電流測定部38には、オペアンプ381とコンデンサ382とスイッチ383とA/Dコンバータ384とが含まれている。オペアンプ381については、非反転入力端子はローレベル電源線ELVSSに接続され、反転入力端子はモニタ線Mに接続されている。コンデンサ382およびスイッチ383は、オペアンプ381の出力端子とモニタ線Mとの間に設けられている。以上のように、この電流測定部38は積分回路で構成されている。このような構成において、まず、制御クロック信号ScIkによってスイッチ383がオン状態にされる。これにより、オペアンプ381の出力端子ー反転入力端子間が短絡状態となり、オペアンプ381の出力端子およびモニタ線Mの電位がローレベル電源線ELVSSの電位と等しくなる。電流の検出が行われる際には、制御クロック信号ScIkによってスイッチ383がオフ状態にされる。これにより、コンデンサ382の存在に起因して、モニタ線Mに流れる電流の大きさに応じてオペアンプ381の出力端子の電位が変化する。その電位の変化が、A/Dコンバータ384から出力されるデジタル信号に反映される。そして、そのデジタル信号がモニタデータMOとして電流測定部38から出力される。

[0084] 図9は、電圧測定部39の一構成例を示す図である。この電圧測定部39には、増幅器391とA/Dコンバータ392とが含まれている。このような構成において、定電流源37によって一定電流がモニタ線Mに流されてい

る状態で、節点393とローレベル電源線ELVSSとの間の電圧が増幅器391によって増幅される。そして、増幅後の電圧がA/Dコンバータ392によってデジタル信号に変換される。そのデジタル信号がモニタデータMOとして電圧測定部39から出力される。

[0085] <1.3 駆動方法>

次に、本実施形態における駆動方法について説明する。上述したように、本実施形態においては、各フレームに1つの行のTF特性およびOLED特性の検出が行われる。各フレームにおいて、モニタ行についてはTF特性およびOLED特性の検出を行うための動作（以下、「特性検出動作」という。）が行われ、非モニタ行については通常動作が行われる。すなわち、1行目についてのTF特性およびOLED特性の検出が行われるフレームを $(k+1)$ フレーム目と定義すると、図10に示すように、各行の動作は推移する。また、TF特性およびOLED特性の検出が行われると、その検出結果を用いて、オフセットメモリ51およびゲインメモリ52の更新が行われる。そして、オフセットメモリ51およびゲインメモリ52に記憶されている補正データを用いて映像信号の補正が行われる。

[0086] <1.3.1 画素回路の動作>

<1.3.1.1 通常動作>

各フレームにおいて、非モニタ行では、通常動作が行われる。非モニタ行に含まれる画素回路11では、目標輝度に対応するデータ電圧に基づく書き込みが選択期間に行われた後、トランジスタT1はオフ状態で維持される。データ電圧に基づく書き込みによってトランジスタT2はオン状態となる。トランジスタT3についてはオフ状態で維持される。以上より、図11で符号71で示す矢印のように、トランジスタT2を介して有機EL素子OLEDに駆動電流が供給される。これにより、駆動電流に応じた輝度で有機EL素子OLEDが発光する。

[0087] <1.3.1.2 特性検出動作>

各フレームにおいて、モニタ行では、特性検出動作が行われる。図12は

、モニタ行に含まれる画素回路 1 1 ( i 行 j 列の画素回路 1 1 とする) の動作を説明するためのタイミングチャートである。なお、図 1 2 では、 i 行目がモニタ行とされるフレームにおける i 行目の選択期間開始時点を基準にして「1 フレーム期間」を表している。モニタ行については、図 1 2 に示すように、1 フレーム期間には、T F T 特性の検出を行うための期間 ( 以下、「T F T 特性検出期間」という。) T a と、黒色表示に相当するデータを書き込むための期間 ( 以下、「黒書込期間」という。) T b と、有機 E L 素子 O L E D を発光させるための期間 ( 以下、「発光期間」という。) T c とが含まれている。選択期間のうちの最初の所定期間が T F T 特性検出期間 T a となっていて、選択期間のうちの T F T 特性検出期間 T a 以外の期間が黒書込期間 T b となっている。なお、本実施形態においては、T F T 特性検出期間 T a によって第 1 期間が実現され、黒書込期間 T b によって第 2 期間が実現されている。

[0088] T F T 特性検出期間 T a には、走査線 G 1 ( i ) およびモニタ制御線 G 2 ( i ) がアクティブな状態とされる。これにより、トランジスタ T 1 およびトランジスタ T 3 がオン状態となる。また、T F T 特性検出期間 T 1 には、T F T 特性を検出するための参照電圧 V r e f がデータ線 S ( j ) に印加される。これにより、参照電圧 V r e f の書き込みが行われ、トランジスタ T 2 もオン状態となる。その結果、図 1 3 で符号 7 2 で示す矢印のように、トランジスタ T 2 を流れる電流は、トランジスタ T 3 を介してモニタ線 M ( j ) に出力される。さらに、T F T 特性検出期間 T a には、切替制御信号 S W によってモニタ線 M ( j ) は電流測定部 3 8 に接続される。これにより、モニタ線 M ( j ) に出力された電流 ( シンク電流 ) が、電流測定部 3 8 によって測定される。以上のようにして、トランジスタ T 2 のゲートソース間の電圧を所定の大きさ ( 参照電圧 V r e f の大きさ ) にした状態で当該トランジスタ T 2 のドレインソース間を流れる電流の大きさが測定され、T F T 特性が検出される。

[0089] ところで、本実施形態においては、図 1 4 に示すように、T F T 特性検出

期間  $T_a$  には参照電圧  $V_{ref}$  として 2 種類の参照電圧（第 1 参照電圧  $V_{ref1}$  および第 2 参照電圧  $V_{ref2}$ ）がデータ線  $S(j)$  に印加される。これにより、第 1 参照電圧  $V_{ref1}$  に基づく TFT 特性と第 2 参照電圧  $V_{ref2}$  に基づく TFT 特性とが検出される。

[0090] 黒書込期間  $T_b$  には、走査線  $G1(i)$  はアクティブな状態で維持され、モニタ制御線  $G2(i)$  は非アクティブな状態とされる。これにより、トランジスタ  $T1$  はオン状態で維持され、トランジスタ  $T3$  はオフ状態となる。また、黒書込期間  $T_b$  には、黒色表示に相当する電圧  $V_{black}$  がデータ線  $S(j)$  に印加されるので、トランジスタ  $T2$  はオフ状態となる。以上より、トランジスタ  $T2$  には電流は流れない。なお、黒書込期間  $T_b$  には、“オフセットメモリ 51 に格納されているオフセット値と TFT 特性検出期間  $T_a$  に求められたオフセット値との差分”（第 1 の値）と“ゲインメモリ 52 に格納されているゲイン値と TFT 特性検出期間  $T_a$  に求められたゲイン値とから計算される、発光電圧相当分の電圧”（第 2 の値）との和の電圧がモニタ線  $M(j)$  に印加される。これにより、有機 EL 素子 OLED の劣化の程度に応じた電圧が発光期間  $T_c$  の前にモニタ線  $M(j)$  に印加され、発光期間  $T_c$  における充電時間の長さが短縮される。

[0091] 発光期間  $T_c$  には、走査線  $G1(i)$  は非アクティブな状態とされ、モニタ制御線  $G2(i)$  はアクティブな状態とされる。ここで、発光期間  $T_c$  の前の黒書込期間  $T_b$  に黒色表示に相当する電圧  $V_{black}$  に基づく書き込みが行われているので、トランジスタ  $T2$  はオフ状態になっている。また、発光期間  $T_c$  のうちの OLED 特性を検出するための期間には、モニタ線  $M(j)$  は電圧測定部 39 に接続され、一定電流がモニタ線  $M(j)$  に供給される。これにより、図 15 で符号 73 で示す矢印のように、モニタ線  $M(j)$  から有機 EL 素子 OLED に一定電流であるデータ電流が供給される。この状態において、電圧測定部 39 によって、有機 EL 素子 OLED の発光電圧が測定される。以上のように、有機 EL 素子 OLED に一定の電流が与えられた状態で有機 EL 素子 OLED の陽極の電圧を測定することによって、

OLED特性が検出される。

[0092]   ところで、発光期間 $T_c$ に有機EL素子OLEDに供給されるデータ電流は一定電流である。このため、本実施形態においては、所望の階調表示を行うために、有機EL素子OLEDが発光する時間の長さが調整される。例えば、上記一定電流を白色表示に相当する電流とし、階調が高いほど発光時間を長くし、階調が低いほど発光時間を短くする。これを実現するために、例えば、図16に示すように、階調が高いほどモニタ線Mが電圧測定部39に接続されている期間 $T_{c1}$ を長くし、階調が低いほどモニタ線Mが電流測定部38に接続されている期間 $T_{c2}$ を長くする。その際、ゲインメモリ52に格納されているゲイン値とTF特性検出期間 $T_a$ に求められたゲイン値との差分から求められる劣化補正係数に基づいて、上記期間 $T_{c1}$ 、 $T_{c2}$ の長さが調整される。以上のように、1フレーム期間での発光電流の積分値が所望の階調に相当する値となるよう、有機EL素子OLEDが発光する時間の長さが調整される。換言すれば、目標輝度に応じて、一定電流を有機EL素子OLEDに与える時間の長さが調整される。なお、1フレーム期間での発光電流の積分値が所望の階調に相当する値になるのであれば、発光期間 $T_c$ 中に電流値を変化させて、複数の動作点での特性（電流－電圧特性）を測定するようにしても良い。また、有機EL素子OLEDが発光する時間の長さを一定にして、階調に応じて電流値を変化させるようにしても良い。この場合、ゲインメモリ52に格納されているゲイン値とTF特性検出期間 $T_a$ に求められたゲイン値との差分から求められる劣化補正係数に基づいて、モニタ線Mに供給する電流の大きさを求めると良い。なお、ゲインメモリ52にはTF特性およびOLED特性の双方を考慮したゲイン値が格納されているので、ゲインメモリ52に格納されているゲイン値とTF特性検出期間 $T_a$ に求められたゲイン値との差分はOLED特性を表す値となる。

[0093]   また、本実施形態においては、図17に示すように、非モニタ行よりもモニタ行の方が選択期間の長さが長い。従って、モニタ行と非モニタ行とで発光期間の長さが異なっている。そこで、1フレーム期間での発光電流の積分

値が所望の階調に相当する値となるよう、データ電流の調整が行われる。

[0094] なお、目標とする階調が黒色表示に相当する階調あるいはそれに近い階調のときにはOLED特性の検出を行わないようにすることが好ましい。すなわち、 $n$ 行 $\times$  $m$ 列の画素マトリクスのうち黒色またはほぼ黒色の表示が行われる画素についてはOLED特性の検出が行われないようにすることが好ましい。これにより、不必要な発光を防止することができる。有機EL素子OLEDは非発光であれば劣化しないので、特性を検出する必要がない。

[0095] <1. 3. 2 オフセットメモリおよびゲインメモリの更新>

次に、オフセットメモリ51に格納されているオフセット値およびゲインメモリ52に格納されているゲイン値がどのように更新されるかについて説明する。図18は、オフセットメモリ51およびゲインメモリ52の更新の手順を説明するためのフローチャートである。なお、ここでは1つの画素に対応するオフセット値およびゲイン値に着目する。

[0096] まず、TF特性検出期間 $T_a$ の前半に、第1参照電圧 $V_{ref1}$ に基づくTF特性の検出が行われる（ステップS110）。このステップS110によって、映像信号を補正するためのオフセット値が求められる。ステップS110で求められたオフセット値は、オフセット値用バッファに格納される（ステップS120）。TF特性検出期間 $T_a$ の後半には、第2参照電圧 $V_{ref2}$ に基づくTF特性の検出が行われる（ステップS130）。このステップS130によって、映像信号を補正するためのゲイン値が求められる。ステップS130で求められたゲイン値は、ゲイン値用バッファに格納される（ステップS140）。

[0097] その後、発光期間 $T_c$ に、OLED特性の検出が行われる（ステップS150）。このステップS150によって、映像信号を補正するためのオフセット値および劣化補正係数が求められる。そして、オフセット値用バッファに格納されているオフセット値とステップS150で求められたオフセット値との和が、新たなオフセット値としてオフセットメモリ51に格納される（ステップS160）。また、ゲイン値用バッファに格納されているゲイン

値とステップS 1 5 0で求められた劣化補正係数との積が、新たなゲイン値としてゲインメモリ5 2に格納される（ステップS 1 7 0）。

[0098] 以上のようにして、1つの画素に対応するオフセット値およびゲイン値の更新が行われる。本実施形態においては、各フレームに1つの行についてのT F T特性およびO L E D特性の検出が行われるので、1フレームにつきオフセットメモリ5 1内のm個のオフセット値およびゲインメモリ5 2内のm個のゲイン値の更新が行われる。

[0099] なお、本実施形態においては、ステップS 1 1 0，ステップS 1 3 0，およびステップS 1 5 0での検出結果に基づいて得られるデータ（オフセット値，ゲイン値，劣化補正係数）によって特性データが実現されている。

[0100] ところで、上述したように、発光期間T<sub>c</sub>には有機E L素子O L E Dの発光電圧の測定が行われる。その測定結果としての検出電圧が大きいほど、有機E L素子O L E Dの劣化の程度は大きい。従って、検出電圧が大きいほど、オフセット値が大きくなるとゲイン値が大きくなるようにオフセットメモリ5 1およびゲインメモリ5 2の更新が行われる。

[0101] <1. 3. 3 映像信号の補正>

本実施形態においては、駆動トランジスタの劣化および有機E L素子O L E Dの劣化を補償するために、オフセットメモリ5 1およびゲインメモリ5 2に格納されている補正データを用いて、外部から送られる映像信号の補正が行われる。以下、映像信号のこの補正について説明する。

[0102] 外部から送られる映像信号の補正は、コントロール回路2 0内の映像信号補正部（不図示）で行われる。図1 9は、映像信号補正部の構成を示す図である。映像信号補正部は、L U T 2 1 1，乗算部2 1 2，および加算部2 1 3を備えている。このような構成において、各画素に対応する映像信号の値は次のように補正される。

[0103] まず、L U T 2 1 1を用いて、外部から送られる映像信号にガンマ補正が施される。すなわち、映像信号が示す階調Pがガンマ補正によって制御電圧V<sub>c</sub>に変換される。乗算部2 1 2は、制御電圧V<sub>c</sub>とゲインメモリ5 2から

読み出されたゲイン値 $B$ とを受け取り、それらを乗じて得られる値“ $V_c \cdot B$ ”を出力する。加算部213は、乗算部212から出力された値“ $V_c \cdot B$ ”とオフセットメモリ51から読み出されたオフセット値 $V_t$ とを受け取り、それらを加算することによって得られる値“ $V_c \cdot B + V_t$ ”を出力する。以上のようにして得られた値“ $V_c \cdot B + V_t$ ”がデータ信号 $DA$ としてコントロール回路20からソースドライバ30に送られる。

[0104] <1. 3. 4 駆動方法のまとめ>

図1は、TF特性およびOLED特性の検出に関連する動作の概略を説明するためのフローチャートである。まず、モニタ行において、TF特性検出期間 $T_a$ にTF特性の検出が行われる（ステップS10）。次に、モニタ行において、発光期間 $T_c$ にOLED特性の検出が行われる（ステップS20）。その後、ステップS10およびステップS20での検出結果を用いて、オフセットメモリ51およびゲインメモリ52の更新が行われる。そして、オフセットメモリ51およびゲインメモリ52に格納されている補正データを用いて、外部から送られる映像信号の補正が行われる（ステップS40）。

[0105] なお、本実施形態においては、ステップS10によって第1の特性検出ステップが実現され、ステップS20によって第2の特性検出ステップが実現され、ステップS30によって補正データ記憶ステップが実現され、ステップS40によって映像信号補正ステップが実現されている。また、ステップS10の処理によって第1の特性検出処理が実現され、ステップS20の処理によって第2の特性検出処理が実現されている。

[0106] <1. 4 効果>

本実施形態によれば、各フレームにおいて1つの行についてのTF特性およびOLED特性の検出が行われる。モニタ行に着目すると、1フレーム期間において、選択期間中の一部の期間（TF特性検出期間 $T_a$ ）にTF特性の検出が行われ、発光期間中にOLED特性の検出が行われる。そして、TF特性の検出結果およびOLED特性の検出結果の双方を考慮して

求められた補正データ（オフセット値およびゲイン値）を用いて、外部から送られる映像信号が補正される。このようにして補正された映像信号（上記データ信号DA）に基づくデータ電圧がデータ線Sに印加されるので、各画素回路11内の有機EL素子OLEDを発光させる際に、駆動トランジスタの劣化および有機EL素子OLEDの劣化が補償されるような大きさの駆動電流が有機EL素子OLEDに供給される（図20参照）。ここで、OLED特性の検出については、上述のように発光期間中に行われる。従って、TFT特性やOLED特性を検出するために発光期間の長さが従来よりも短くなることはない。以上のように、本実施形態によれば、有機EL表示装置において駆動トランジスタの劣化および有機EL素子OLEDの劣化の双方を特性検出の際に特別な発光をさせることなく同時に補償することが可能となる。

[0107] また、本実施形態においては、画素回路11内のトランジスタT1～T3に酸化物TFT（具体的にはIGZO-TFT）が採用されているので、十分なS/N比を確保できるという効果が得られる。これについて以下に説明する。IGZO-TFTとLTSS（Low Temperature Poly silicon）-TFTとを比較すると、LTSS-TFTよりもIGZO-TFTの方がオフ電流が極めて小さい。例えば、画素回路11内のトランジスタT3にLTSS-TFTが採用されている場合には、オフ電流は最大1 pA程度となる。これに対して、画素回路11内のトランジスタT3にIGZO-TFTが採用されている場合には、オフ電流は最大10 fA程度となる。従って、例えば1000行分のオフ電流は、LTSS-TFTが採用されている場合には最大1 nA程度となり、IGZO-TFTが採用されている場合には最大10 pA程度となる。検出電流については、いずれが採用されている場合にも10～100 nA程度となる。ところで、モニタ線Mは、モニタ行の画素回路11だけでなく非モニタ行の画素回路11とも接続されている。従って、モニタ線MのS/N比は、非モニタ行のトランジスタT3の漏れ電流の合計に依存する。具体的には、モニタ線MのS/N比は「検出電流／（漏れ電流

×非モニタ行の行数)」で表される。以上のことから、例えば、“L a n d s c a p e F H D”の表示部10を有する有機EL表示装置においては、LTPS-TFTが採用されている場合にはS/N比は10程度となるのに対し、IGZO-TFTが採用されている場合にはS/N比は1000程度となる。このように、本実施形態においては、電流の検出を行う際に十分なS/N比を確保することができる。

[0108] <1.5 変形例>

以下、上記第1の実施形態の変形例について説明する。なお、以下においては、第1の実施形態と異なる点についてのみ詳しく説明し、第1の実施形態と同様の点については説明を省略する。

[0109] <1.5.1 第1の変形例>

図21は、第1の実施形態の第1の変形例に係るアクティブマトリクス型の有機EL表示装置2の全体構成を示すブロック図である。本変形例においては、第1の実施形態におけるオフセットメモリ51およびゲインメモリ52に代えて、TFT用オフセットメモリ51a、OLED用オフセットメモリ51b、TFT用ゲインメモリ52a、およびOLED用ゲインメモリ52bが設けられている。すなわち、本変形例においては、オフセットメモリおよびゲインメモリのそれぞれが、駆動トランジスタの劣化を補償するために用いられるメモリと有機EL素子OLEDの劣化を補償するために用いられるメモリとに分けられている。

[0110] TFT用オフセットメモリ51aは、TFT特性の検出結果に基づくオフセット値を記憶する。OLED用オフセットメモリ51bは、OLED特性の検出結果に基づくオフセット値を記憶する。TFT用ゲインメモリ52aは、TFT特性の検出結果に基づくゲイン値を記憶する。OLED用ゲインメモリ52bは、OLED特性の検出結果に基づく劣化補正係数を記憶する。

[0111] 特性検出動作（図12）に関し、本変形例においては、黒書込期間Tbには、“OLED用オフセットメモリ51bに格納されているオフセット値”

と“OLED用ゲインメモリ52bに格納されている劣化補正係数から計算される、発光電圧相当分の電圧”との和の電圧がモニタ線Mに印加される。また、有機EL素子OLEDの発光時間の長さは、OLED用ゲインメモリ52bに格納されている劣化補正係数に基づいて調整される。有機EL素子OLEDの発光時間の長さを一定にして階調に応じて電流値を変化させる構成を採用する場合には、OLED用ゲインメモリ52bに格納されている劣化補正係数に基づいて、モニタ線Mに供給する電流の大きさを求めると良い。

[0112] 次に、本変形例におけるオフセットメモリおよびゲインメモリの更新について説明する。図22は、TFT用オフセットメモリ51a、OLED用オフセットメモリ51b、TFT用ゲインメモリ52a、およびOLED用ゲインメモリ52bの更新の手順を説明するためのフローチャートである。なお、ここでは1つの画素に対応するオフセット値およびゲイン値に着目する。

[0113] まず、TFT特性検出期間Taの前半に、第1参照電圧Vref1に基づくTFT特性の検出が行われる（ステップS210）。このステップS210によって、映像信号を補正するためのオフセット値が求められる。そして、ステップS210で求められたオフセット値が、新たなオフセット値としてTFT用オフセットメモリ51aに格納される（ステップS220）。TFT特性検出期間Taの後半には、第2参照電圧Vref2に基づくTFT特性の検出が行われる（ステップS230）。このステップS230によって、映像信号を補正するためのゲイン値が求められる。そして、ステップS230で求められたゲイン値が、新たなゲイン値としてTFT用ゲインメモリ52aに格納される（ステップS240）。その後、発光期間Tcに、OLED特性の検出が行われる（ステップS250）。このステップS250によって、映像信号を補正するためのオフセット値および劣化補正係数が求められる。そして、ステップS250で求められたオフセット値が、新たなオフセット値としてOLED用オフセットメモリ51bに格納される（ステ

ップS260)。また、ステップS250で求められた劣化補正係数が、新たな劣化補正係数としてOLED用ゲインメモリ52bに格納される（ステップS270）。本変形例においては、以上のようにして、オフセットメモリおよびゲインメモリの更新が行われる。

[0114] 次に、本変形例における効果について説明する。特性検出動作（図12）に関し、仮に、黒書込期間 $T_b$ にモニタ線Mの電位がローレベル電源線ELVSSの電位と等しくされた場合、発光期間 $T_c$ における書き込みの際にモニタ線Mの容量によっては遅延が生じうる。有機EL素子の発光電圧と書き込み直前におけるモニタ線Mの電位との差を $V_d$ とし、モニタ線Mに書き込む電流の大きさを $i_{\_L}$ とし、モニタ線Mの負荷を $C_{mp}$ とすると、充電に要する時間 $t_{\_charge}$ は、次式（1）で表される。

$$t_{\_charge} = C_{mp} \cdot V_d / i_{\_L} \quad \dots (1)$$

ここで、 $V_d$ が3Vであって、 $i_{\_L}$ が10nAであって、 $C_{mp}$ が30pFであれば、充電に要する時間 $t_{\_charge}$ は9ミリ秒となる。駆動周波数が60Hzのとき、1フレーム期間の長さは約16ミリ秒であるので、充電のために1フレーム期間の半分以上の期間が費やされる。この点、本変形例においては、黒書込期間 $T_b$ に、“OLED用オフセットメモリ51bに格納されているオフセット値”と“OLED用ゲインメモリ52bに格納されている劣化補正係数から計算される、発光電圧相当分の電圧”との和の電圧がモニタ線Mに印加される。すなわち、発光期間 $T_c$ の前に、モニタ線Mの電位が有機EL素子OLEDの発光閾値に近い電位になるよう予めモニタ線Mが充電される。これにより、上式（1）の $V_d$ が小さくなり、充電に要する時間が短縮される。

[0115] また、本変形例によれば、モニタ行での特性検出動作の際に、発光期間 $T_c$ にモニタ線Mから有機EL素子OLEDに供給される電流がOLED用ゲインメモリ52bに格納されている劣化補正係数に基づいて調整される。すなわち、有機EL素子OLEDの劣化の程度に応じて電流の調整が行われるので、電流効率の低下が補償される。なお、非モニタ行での通常動作の際に

は、駆動トランジスタの劣化および有機EL素子OLEDの劣化の双方を考慮した補償が行われる。

[0116] さらに、本変形例においては、オフセットメモリおよびゲインメモリのそれぞれが、駆動トランジスタの劣化を補償するために用いられるメモリと有機EL素子OLEDの劣化を補償するために用いられるメモリとに分けられている。このため、有機EL素子OLEDの劣化のみを考慮して有機EL素子に供給する電流を調整することが可能となる。その際、図23に示すように劣化の最も少ない画素の劣化レベルに合わせて電流を増加させることによって、焼き付きに対する補償を行うことが可能となる。

[0117] <1.5.2 第2の変形例>

上記第1の実施形態においては、図7に示すように、モニタ線Mは電流測定部38または電圧測定部39のいずれかに接続される構成となっていた。しかしながら、本発明はこれに限定されず、モニタ線Mをハイインピーダンスの状態にすることが可能な構成（本変形例の構成）を採用することもできる。

[0118] 図24は、本変形例におけるモニタ線Mの一端部近傍の構成を示す図である。図24から把握されるように、本変形例においては、切替制御信号SWによって、モニタ線Mは、電流測定部38に接続された状態または電圧測定部39に接続された状態またはハイインピーダンスの状態のいずれかとされる。

[0119] ところで、第1の実施形態においては、発光期間 $T_c$ （図12参照）における有機EL素子OLEDの発光時間の長さの調整に関し、図16に示すように、階調が高いほどモニタ線Mが電圧測定部39に接続されている期間 $T_{c1}$ を長くし、階調が低いほどモニタ線Mが電流測定部38に接続されている期間 $T_{c2}$ を長くしていた。これに対して、本変形例によれば、モニタ線Mを電流測定部38に接続する代わりに、モニタ線Mをハイインピーダンスの状態にすることができる。

[0120] <1.5.3 第3の変形例>

上記第 1 の実施形態においては、1 つの列につき電流測定部 3 8 と電圧測定部 3 9 とからなる 1 つのモニタ回路 3 2 2 が設けられていることを前提に説明していた。しかしながら、本発明はこれに限定されず、1 つのモニタ回路 3 2 2 を複数の列で共有化する構成（本変形例の構成）を採用することもできる。

[0121] 本変形例においては、上記第 2 の変形例（図 2 4 参照）と同様、モニタ線 M は、電流測定部 3 8 に接続された状態または電圧測定部 3 9 に接続された状態またはハイインピーダンスの状態のいずれかとされる。また、本変形例においては、モニタ線 M の一端部近傍は図 2 5 に示す構成となっている。すなわち、K 本のモニタ線 M 毎に 1 つのモニタ回路 3 2 2 が設けられている。

[0122] 以上のような構成において、各フレームにおいて、上記 K 本のモニタ線 M に対応する K 個の列のうちの 1 つの列のみが T F T 特性および O L E D 特性の検出を行う列（以下、「特性検出対象列という。）とされる。モニタ行での特性検出動作の際、特性検出対象列以外の列のモニタ線 M は、ハイインピーダンスの状態で維持される。また、モニタ行での特性検出動作の際、特性検出対象列以外の列では、データ線 D には参照電圧  $V_{ref}$  ではなく通常のデータ電圧（目標輝度に対応する電圧）が印加される。発光期間  $T_c$  中、モニタ行ではトランジスタ T 3 はオン状態になっているが、特性検出対象列以外の列では、モニタ線 M はハイインピーダンスの状態となっている。このため、特性検出対象列以外の列では、モニタ線 M には電流が流れず、有機 E L 素子 O L E D に電流が流れ、通常動作と同様に有機 E L 素子 O L E D が発光する。モニタ行のうちの特性検出対象列では、上述した特性検出動作が行われる。

[0123] 例えば、“L a n d s c a p e F H D” の表示部 1 0 を有し駆動周波数が 6 0 H z である有機 E L 表示装置では、1 列分のモニタ（T F T 特性および O L E D 特性の検出）に要する時間は 1 8 秒（ $= 1 0 8 0 / 6 0$ ）となる。ここで、各画素に対応するオフセット値およびゲイン値が仮に 3 0 分（1 8 0 0 秒）毎に更新されるようにするには、1 0 0 本のモニタ線 M 毎に 1 つ

のモニタ回路 322 を設ける構成にすれば良い。

[0124] 以上より、本変形例によれば、有機 EL 表示装置において、回路面積の増大を抑制しつつ駆動トランジスタの劣化および有機 EL 素子 OLED の劣化の双方を特性検出の際に特別な発光をさせることなく同時に補償することが可能となる。

[0125] < 1. 5. 4 第 4 の変形例 >

上記第 1 の実施形態によれば、有機 EL 表示装置 1 の短時間運転が繰り返されると、表示部 10 の上方の行と表示部 10 の下方の行との間で、TFT 特性および OLED 特性の検出の回数に大きな差が生じる。そこで、本変形例に係る有機 EL 表示装置 3 においては、図 26 に示すように、コントロール回路 20 内にモニタ行を記憶するためのモニタ行記憶部 201 が設けられている。このような構成において、電源オフの際に、最後に TFT 特性および OLED 特性の検出が行われた行を特定する情報がモニタ行記憶部 201 に格納される。この処理によってモニタ領域記憶ステップが実現されている。電源オン後には、モニタ行記憶部 201 に格納されている情報に基づいて特定される行の次の行から、TFT 特性および OLED 特性の検出が行われる。なお、本実施形態においては、モニタ行記憶部 201 によってモニタ領域記憶部が実現されている。

[0126] 以上より、本変形例によれば、表示部 10 の上方の行と表示部 10 の下方の行との間で TFT 特性および OLED 特性の検出の回数に差が生じることが防止される。このため、駆動トランジスタの劣化および有機 EL 素子 OLED の劣化に対する補償を画面全体で一様に行うことが可能となり、輝度のばらつきの発生が効果的に防止される。

[0127] なお、電源オン後に最初に TFT 特性および OLED 特性の検出が行われる行は、モニタ行記憶部 201 に格納されている情報に基づいて特定される行の次の行には限定されず、モニタ行記憶部 201 に格納されている情報に基づいて特定される行の近傍の行であっても良い。例えば、電源オフ直前と電源オン直後とで特性検出動作が重複して行われる行が存在しても良い。

[0128] また、最後にT F T特性およびO L E D特性の検出が行われた列を特定する情報を記憶するようにしても良いし、最後にT F T特性およびO L E D特性の検出が行われた行および列の双方を特定する情報を記憶するようにしても良い。

[0129] < 1. 5. 5 第5の変形例 >

図27は、有機E L素子の電流－電圧特性の温度依存性について説明するための図である。図27には、温度T E 1における有機E L素子の電流－電圧特性、温度T E 2における有機E L素子の電流－電圧特性、および温度T E 3における有機E L素子の電流－電圧特性を示している。なお、“T E 1 > T E 2 > T E 3”である。図27から把握されるように、有機E L素子に所定の電流を供給するためには、温度が低くなるほど電圧を高くする必要がある。このように、有機E L素子の電流－電圧特性は、温度に大きく依存している。そこで、温度変化を補償することのできる構成（本変形例の構成）を採用することが好ましい。

[0130] 図28は、本変形例における有機E L表示装置4の全体構成を示すブロック図である。本変形例においては、上記第1の実施形態における構成要素に加えて、温度センサ60が設けられている。また、コントロール回路20には、温度変化補償部202が設けられている。温度センサ60は、随時、温度を測定した結果である温度情報T Eをコントロール回路20に与える。温度変化補償部202は、ソースドライバ30から与えられるモニタデータM Oに対して、温度情報T Eに基づく補正を施す。詳しくは、温度変化補償部202は、検出時の温度に対応するモニタデータM Oの値を或る標準温度に対応する値に変換し、その変換で得られた値に基づいてオフセットメモリ51内のオフセット値およびゲインメモリ52内のゲイン値を更新する。

[0131] なお、温度センサ60の処理によって温度検出ステップが実現され、温度変化補償部202の処理によって温度変化補償ステップが実現されている。

[0132] 図29は、本変形例におけるオフセットメモリ51およびゲインメモリ52の更新の手順を説明するためのフローチャートである。なお、本変形例（

図29)におけるステップS310～ステップS350の処理は上記第1の実施形態(図18)におけるステップS110～ステップS150の処理と同じであり、本変形例(図29)におけるステップS360～ステップS370の処理は上記第1の実施形態(図18)におけるステップS160～ステップS170の処理と同じである。本変形例においては、OLED特性の検出が行われた後、オフセット値およびゲイン値の更新が行われる前に、温度センサ60によって与えられた温度情報TEに基づいて、オフセット値およびゲイン値に補正が施される(ステップS355)。

[0133] 以上より、本変形例によれば、外部から送られる映像信号は、温度変化を考慮した補正データ(オフセット値およびゲイン値)によって補正される。このため、有機EL表示装置において、温度の変化に関わらず駆動トランジスタの劣化および有機EL素子OLEDの劣化の双方を同時に補償することが可能となる。

[0134] <1.5.6 第6の変形例>

上記第1の実施形態においては、有機EL素子OLEDに一定の電流が与えられた状態で有機EL素子OLEDの陽極の電圧を測定することによってOLED特性の検出が行われていた。しかしながら、本発明はこれに限定されず、有機EL素子OLEDに一定の電圧が与えられた状態で有機EL素子OLEDに流れる電流を測定することによってOLED特性の検出が行われる構成(本変形例の構成)であっても良い。

[0135] 本変形例においては、TFT特性の検出もOLED特性の検出も電流を測定することによって行われる。このため、電圧を測定するための構成要素についてはモニタ回路内に設ける必要がない。従って、本変形例においては、モニタ回路の構成が上記第1の実施形態とは異なっている。図30は、本変形例におけるモニタ回路323の詳細な構成を示す図である。このモニタ回路323には、オペアンプ3231とコンデンサ3232と第1のスイッチ3233と第2のスイッチ3234とオフセット・増幅率調整部3235とA/Dコンバータ3236とが含まれている。オペアンプ3231について

は、非反転入力端子は第2のスイッチ3234に接続され、反転入力端子はモニタ線Mに接続されている。コンデンサ3232および第1のスイッチ3233は、オペアンプ3231の出力端子とモニタ線Mとの間に設けられている。オフセット・増幅率調整部3235は、オペアンプ3231の出力端子とA/Dコンバータ3236との間に設けられている。第2のスイッチ3234は、オペアンプ3231の非反転入力端子の電位をローレベル電源線ELVSSの電位とOLED特性検出用の電位 $V_{e1}$ との間で切り替えるためのスイッチとして機能する。以上のように、このモニタ回路323は積分回路で構成されている。なお、OLED特性検出用の電位 $V_{e1}$ は、“オフセットメモリ51に格納されているオフセット値とTF特性検出期間 $T_a$ に求められたオフセット値との差分”（第1の値）と“ゲインメモリ52に格納されているゲイン値とTF特性検出期間 $T_a$ に求められたゲイン値とから計算される、発光電圧相当分の電圧”（第2の値）との和に相当する電位である。

- [0136] 以上のような構成において、TF特性を検出するために電流の測定が行われる際には、第2制御クロック信号 $S_{ck2}$ によってオペアンプ3231の非反転入力端子の電位がローレベル電源線ELVSSの電位にされた状態で、上記第1の実施形態と同様の動作が行われる。OLED特性を検出するために電流の測定が行われる際には、まず、第2制御クロック信号 $S_{ck2}$ によってオペアンプ3231の非反転入力端子の電位がOLED特性検出用の電位 $V_{e1}$ にされるとともに、第1制御クロック信号 $S_{ck1}$ によって第1のスイッチ3233がオン状態にされる。これにより、オペアンプ3231の出力端子ー反転入力端子間が短絡状態となり、モニタ線Mの電位がOLED特性検出用の電位 $V_{e1}$ と等しくなる。そして、第1制御クロック信号 $S_{ck1}$ によって第1のスイッチ3233がオフ状態にされる。これにより、コンデンサ3232の存在に起因して、モニタ線Mに流れる電流（有機EL素子OLEDに供給されるソース電流）の大きさに応じてオペアンプ3231の出力端子の電位が変化する。その電位の変化が、A/Dコン

バータ 3 2 3 6 から出力されるデジタル信号に反映される。そして、そのデジタル信号がモニタデータ MO としてモニタ回路 3 2 3 から出力される。なお、オフセット・増幅率調整部 3 2 3 5 は、T F T 特性検出の際と O L E D 特性検出の際とで A / D コンバータ 3 2 3 6 への入力レベルを同じにする機能を有している。

[0137] 本変形例においては、以上のようにして、有機 E L 素子 O L E D に一定の電圧が与えられた状態で有機 E L 素子 O L E D に流れる電流を測定することによって O L E D 特性の検出が行われる。これにより、測定時間の短縮が可能となる。

[0138] なお、有機 E L 素子 O L E D に与える一定の電圧の大きさについては、ゲインメモリ 5 2 に格納されているゲイン値と T F T 特性検出期間 T a に求められたゲイン値との差分から求められる劣化補正係数に基づいて求めると良い。また、オフセットメモリ 5 1 およびゲインメモリ 5 2 に代えて、T F T 用オフセットメモリ 5 1 a, O L E D 用オフセットメモリ 5 1 b, T F T 用ゲインメモリ 5 2 a, および O L E D 用ゲインメモリ 5 2 b が設けられている場合（第 1 の変形例を参照）には、O L E D 用ゲインメモリ 5 2 b に格納されている劣化補正係数に基づいて、有機 E L 素子 O L E D に与える一定の電圧の大きさを求めると良い。

[0139] また、O L E D 特性の検出の際には、目標輝度に応じて、一定電圧を有機 E L 素子 O L E D に与える時間の長さが調整されることが好ましい。また、1 フレーム期間での発光電流の積分値が所望の階調に相当する値になるのであれば、発光期間 T c 中に電圧値を変化させて、複数の動作点での特性（電流－電圧特性）を測定するようにしても良い。

[0140] < 2. 1 第 2 の実施形態 >

< 2. 1 全体構成 >

図 3 1 は、本発明の第 2 の実施形態に係るアクティブマトリクス型の有機 E L 表示装置 5 の全体構成を示すブロック図である。図 3 1 に示すように、本実施形態においては、表示部 1 0 a には、m 本のデータ線 S ( 1 ) ～ S (

m), m本のモニタ線M(1)~M(m), n本の走査線G1(1)~G1(n), n本のモニタ制御線G2(1)~G2(n)に加えて、n本のハイレベル電源制御線G3(1)~G3(n)が設けられている。走査線G1(1)~G1(n)とモニタ制御線G2(1)~G2(n)とハイレベル電源制御線G3(1)~G3(n)とは互いに平行になっている。なお、以下においては、n本のハイレベル電源制御線G3(1)~G3(n)を互いに区別する必要がない場合にはハイレベル電源制御線を単に符号G3で表す。コントロール回路20およびソースドライバ30については、上記第1の実施形態と同様であるので説明を省略する。

[0141] 本実施形態におけるゲートドライバ40aは、n本の走査線G1(1)~G1(n), n本のモニタ制御線G2(1)~G2(n), およびn本のハイレベル電源制御線G3(1)~G3(n)に接続されている。ゲートドライバ40aは、シフトレジスタおよび論理回路などによって構成されている。ところで、本実施形態においては、上記第1の実施形態とは異なり、各フレームにおいて、1つの行についてのTF特性の検出または1つの行についてのOLED特性の検出のいずれかが行われる。なお、本実施形態に関しては、TF特性の検出またはOLED特性の検出が行われている行のことを「モニタ行」という。また、以下においては、TF特性の検出が行われるフレームを「TF特性検出フレーム」といい、OLED特性の検出が行われるフレームを「OLED特性検出フレーム」という。

[0142] 本実施形態においては、或るフレームに1行目についてのOLED特性の検出が行われると、次のフレームには2行目についてのOLED特性の検出が行われ、さらに次のフレームには3行目についてのOLED特性の検出が行われる。その後、4~n行目についてのOLED特性の検出が順次に行われる。n行目についてのOLED特性の検出が行われた後、1行目についてのTF特性の検出が行われる。そして、2~n行目についてのTF特性の検出が順次に行われる。このようにTF特性の検出とOLED特性の検出とは異なるフレームで行われる。但し、TF特性検出フレームとOLED

D特性検出フレームとでゲートドライバ40aは同じように走査線G1, モニタ制御線G2, およびハイレベル電源制御線G3を駆動する。

[0143] ここで、1行目についてのOLED特性の検出が行われるフレームを( $k+1$ )フレーム目と定義すると、 $n$ 本の走査線G1(1)~G1( $n$ ),  $n$ 本のモニタ制御線G2(1)~G2( $n$ ), および $n$ 本のハイレベル電源制御線G3(1)~G3( $n$ )は、( $k+1$ )フレーム目には図32に示すように駆動され、( $k+2$ )フレーム目には図33に示すように駆動され、( $k+n$ )フレーム目には図34に示すように駆動される。TFT特性の検出が行われるフレームについても同様である。図32~図34より把握されるように、各フレームにおいて、選択期間(走査線G1がアクティブな状態になっている期間)の長さは全ての行で同じにされる。すなわち、本実施形態においては、モニタ行であるか否かに関わらず、選択期間の長さは一定である。また、各フレームにおいて、非モニタ行に対応するモニタ制御線G2は非アクティブな状態で維持される。モニタ行に対応するモニタ制御線G2については、選択期間開始時点からその1フレーム期間経過後までアクティブな状態とされる。さらに、各フレームにおいて、非モニタ行に対応するハイレベル電源制御線G3はアクティブな状態で維持される。モニタ行に対応するハイレベル電源制御線G3については、選択期間開始時点からその1フレーム期間経過後まで非アクティブな状態とされる。本実施形態においては、以上のように $n$ 本の走査線G1(1)~G1( $n$ ),  $n$ 本のモニタ制御線G2(1)~G2( $n$ ), および $n$ 本のハイレベル電源制御線G3(1)~G3( $n$ )が駆動されるよう、ゲートドライバ40aが構成されている。

[0144] また、本実施形態においては、上記第1の実施形態の第1の変形例と同様、オフセットメモリおよびゲインメモリのそれぞれが、駆動トランジスタの劣化を補償するために用いられるメモリと有機EL素子OLEDの劣化を補償するために用いられるメモリとに分けられている。すなわち、この有機EL表示装置5には、外部から送られる映像信号の補正に使用される補正データを記憶するための構成要素として、TFT用オフセットメモリ51a, O

LED用オフセットメモリ51b, TFT用ゲインメモリ52a, およびLED用ゲインメモリ52bが設けられている。

[0145] <2. 2 画素回路およびモニタ回路の構成>

図35は、本実施形態における画素回路11aおよびモニタ回路322の構成を示す図である。なお、図35に示す画素回路11aは、i行j列の画素回路11である。モニタ回路322の構成については、上記第1の実施形態と同様であるので説明を省略する。但し、本実施形態においては、モニタ線Mが電流測定部38に接続されているときにはモニタ線Mにハイレベル電源電圧ELVDDが供給される構成となっている。

[0146] 画素回路11aは、1個の有機EL素子OLED, 4個のトランジスタT1~T4, および1個のコンデンサCstを備えている。トランジスタT1は画素を選択する入力トランジスタとして機能し、トランジスタT2は有機EL素子OLEDへの電流の供給を制御する駆動トランジスタとして機能し、トランジスタT3はTFT特性やOLED特性を検出するか否かを制御するモニタ制御トランジスタとして機能し、トランジスタT4はハイレベル電源線ELVDDからの駆動電流の供給を制御するハイレベル電源制御トランジスタとして機能する。

[0147] トランジスタT1は、データ線S(j)とトランジスタT2のゲート端子との間に設けられている。そのトランジスタT1に関し、走査線G1(i)にゲート端子が接続され、データ線S(j)にソース端子が接続されている。トランジスタT2は、有機EL素子OLEDと直列に設けられている。そのトランジスタT2に関し、トランジスタT1のドレイン端子にゲート端子が接続され、トランジスタT4のソース端子にドレイン端子が接続され、有機EL素子OLEDのアノード端子にソース端子が接続されている。トランジスタT3については、モニタ制御線G2(i)にゲート端子が接続され、トランジスタT2のドレイン端子にドレイン端子が接続され、モニタ線M(j)にソース端子が接続されている。トランジスタT4は、有機EL素子OLEDと直列に設けられている。そのトランジスタT4に関し、ハイレベル

電源制御線G3 (i) にゲート端子が接続され、ハイレベル電源線ELVDDにドレイン端子が接続され、トランジスタT2のドレイン端子にソース端子が接続されている。コンデンサCstについては、トランジスタT2のゲート端子に一端が接続され、トランジスタT2のソース端子に他端が接続されている。有機EL素子OLEDのカソード端子は、ローレベル電源線ELVSSに接続されている。トランジスタT1～T4には、例えば、IGZO-TFTなどの酸化物TFT（酸化物半導体をチャネル層に用いた薄膜トランジスタ）が採用される。但し、本発明は、酸化物TFT以外のトランジスタの使用を排除するものでもない。

[0148] <2. 3 駆動方法>

次に、本実施形態における駆動方法について説明する。上述したように、本実施形態においては、各フレームに、1つの行についてのTFT特性の検出または1つの行についてのOLED特性の検出のいずれかが行われる。各フレームにおいて、モニタ行についてはTFT特性の検出を行うための動作（以下、「TFT特性検出動作」という。）またはOLED特性の検出を行うための動作（以下、「OLED特性検出動作」という。）のいずれかが行われ、非モニタ行については通常動作が行われる。すなわち、1行目についてのOLED特性の検出が行われるフレームを(k+1)フレーム目と定義すると、図36に示すように、各行の動作は推移する。なお、(k+1)フレーム目から(k+n)フレーム目までは、いずれの行においてもTFT特性検出動作は行われない。また、(k+n+1)フレーム目から(k+2n)フレーム目までは、いずれの行においてもOLED特性検出動作は行われない。

[0149] <2. 3. 1 画素回路の動作>

<2. 3. 1. 1 通常動作>

各フレームにおいて、非モニタ行では、通常動作が行われる。非モニタ行に含まれる画素回路11aでは、目標輝度に対応するデータ電圧に基づく書き込みが選択期間に行われた後、トランジスタT1はオフ状態で維持される

。データ電圧に基づく書き込みによってトランジスタT2はオン状態となる。トランジスタT3についてはオフ状態で維持され、トランジスタT4についてはオン状態で維持される。以上より、図37で符号74で示す矢印のように、トランジスタT4およびトランジスタT2を介して有機EL素子OLEDに駆動電流が供給される。これにより、駆動電流に応じた輝度で有機EL素子OLEDが発光する。

[0150] <2. 3. 1. 2 OLED特性検出動作>

次に、OLED特性検出動作について説明する。図38は、モニタ行に含まれる画素回路11a（i行j列の画素回路11aとする）におけるOLED特性検出動作について説明するためのタイミングチャートである。なお、図38では、i行目がモニタ行とされるフレームにおけるi行目の選択期間開始時点を基準にして「1フレーム期間」を表している。図38に示すように、1フレーム期間には、選択期間Tpと発光期間Tqとが含まれている。

[0151] 選択期間Tpには、走査線G1（i）およびモニタ制御線G2（i）がアクティブな状態とされる。これにより、トランジスタT1およびトランジスタT3がオン状態となる。また、選択期間Tpには、ハイレベル電源制御線G3（i）が非アクティブな状態とされる。これにより、トランジスタT4がオフ状態となる。さらに、トランジスタT2を線形動作させるための高電圧V<sub>le n</sub>が選択期間Tpにデータ線S（j）に印加される。これにより、当該高電圧V<sub>le n</sub>に基づく書き込みが行われ、トランジスタT2はオン状態となる。

[0152] 発光期間Tqになると、走査線G1（i）が非アクティブな状態とされる。これにより、トランジスタT1はオフ状態となる。また、発光期間Tqには、モニタ制御線G2（i）はアクティブな状態で維持され、ハイレベル電源制御線G3（i）は非アクティブな状態で維持される。これにより、トランジスタT3はオン状態で維持され、トランジスタT4はオフ状態で維持される。また、発光期間Tqの前の選択期間Tpに高電圧V<sub>le n</sub>に基づく書き込みが行われているので、トランジスタT2はオン状態になっている。さ

らに、発光期間 $T_q$ のうちのOLED特性を検出するための期間には、モニタ線 $M(j)$ は電圧測定部39に接続され、一定電流がモニタ線 $M(j)$ に供給される。これにより、図39で符号75で示す矢印のように、モニタ線 $M(j)$ から有機EL素子OLEDに一定電流であるデータ電流が供給される。この状態において、電圧測定部39によって、有機EL素子OLEDの発光電圧が測定される。以上のようにして、OLED特性の検出が行われる。なお、所望の階調表示が行われるよう、上記第1の実施形態と同様にして、有機EL素子OLEDの発光時間の長さを調整する処理や階調に応じて電流値を変化させる処理が行われる。

[0153] <2. 3. 1. 3 TFT特性検出動作>

次に、TFT特性検出動作について説明する。図40は、モニタ行に含まれる画素回路11a(i行j列の画素回路11aとする)におけるTFT特性検出動作について説明するためのタイミングチャートである。

[0154] 選択期間 $T_p$ には、走査線 $G_1(i)$ およびモニタ制御線 $G_2(i)$ がアクティブな状態とされる。これにより、トランジスタ $T_1$ およびトランジスタ $T_3$ がオン状態となる。また、選択期間 $T_p$ には、ハイレベル電源制御線 $G_3(i)$ が非アクティブな状態とされる。これにより、トランジスタ $T_4$ がオフ状態となる。さらに、選択期間 $T_p$ には、通常動作の際と同様のデータ電圧がデータ線 $S(j)$ に印加される。データ電圧に基づく書き込みによってトランジスタ $T_2$ はオン状態となる。

[0155] 発光期間 $T_q$ になると、走査線 $G_1(i)$ が非アクティブな状態とされる。これにより、トランジスタ $T_1$ はオフ状態となる。また、発光期間 $T_q$ には、モニタ制御線 $G_2(i)$ はアクティブな状態で維持され、ハイレベル電源制御線 $G_3(i)$ は非アクティブな状態で維持される。これにより、トランジスタ $T_3$ はオン状態で維持され、トランジスタ $T_4$ はオフ状態で維持される。また、発光期間 $T_q$ の前の選択期間 $T_p$ にデータ電圧に基づく書き込みが行われているので、トランジスタ $T_2$ はオン状態になっている。さらに、発光期間 $T_q$ には、切替制御信号 $SW$ によってモニタ線 $M(j)$ は電流測

定部38に接続される。このときモニタ線M(j)の電位はハイレベル電源線ELVDDの電位となっているので、図41で符号76で示す矢印のように、データ電圧に応じた駆動電流がモニタ線M(j)から有機EL素子OLEDに供給される。その際、電流測定部38によって、モニタ線M(j)から有機EL素子OLEDに供給される電流が測定される。以上のようにして、TF特性の検出が行われる。

[0156] <2. 3. 2 オフセットメモリおよびゲインメモリの更新>

次に、本実施形態におけるオフセットメモリおよびゲインメモリの更新について説明する。図42は、TF用オフセットメモリ51a, OLED用オフセットメモリ51b, TF用ゲインメモリ52a, およびOLED用ゲインメモリ52bの更新の手順を説明するためのフローチャートである。なお、ここでは1つの画素に対応するオフセット値およびゲイン値に着目する。ところで、図36から把握されるように、本実施形態においては、任意の1つの画素に着目したとき、TF特性の検出はOLED特性の検出が行われたフレームのnフレーム後に行われる。そこで、ここでは、Kフレーム目にOLED特性の検出が行われ、(K+n)フレーム目にTF特性の検出が行われるものとする。

[0157] まず、Kフレーム目において、発光期間Tqに、OLED特性の検出が行われる(ステップS410)。このステップS410によって、映像信号を補正するためのオフセット値および劣化補正係数が求められる。そして、ステップS410で求められたオフセット値が、新たなオフセット値としてOLED用オフセットメモリ51bに格納される(ステップS420)。また、ステップS410で求められた劣化補正係数が、新たな劣化補正係数としてOLED用ゲインメモリ52bに格納される(ステップS430)。その後、(K+n)フレーム目において、発光期間Tqに、TF特性の検出が行われる(ステップS440)。このステップS440によって、映像信号を補正するためのオフセット値およびゲイン値が求められる。そして、ステップS440で求められたオフセット値が、新たなオフセット値としてTF

T用オフセットメモリ51aに格納される（ステップS450）。また、ステップS440で求められたゲイン値が、新たなゲイン値としてTFT用ゲインメモリ52aに格納される（ステップS460）。

[0158] 以上のようにして、1つの画素に対応するオフセット値およびゲイン値の更新が行われる。本実施形態においては、各フレームに、1つの行についてのOLED特性の検出または1つの行についてのTFT特性の検出のいずれかが行われる。従って、OLED特性の検出が行われるフレームにおいては1フレームにつきOLED用オフセットメモリ51b内のm個のオフセット値およびOLED用ゲインメモリ52b内のm個の劣化補正係数の更新が行われ、TFT特性の検出が行われるフレームにおいては1フレームにつきTFT用オフセットメモリ51a内のm個のオフセット値およびTFT用ゲインメモリ52a内のm個のゲイン値の更新が行われる。

[0159] <2. 3. 3 映像信号の補正>

外部から送られる映像信号の補正については、図19に示す乗算部212に与えられるゲイン値Bおよび図19に示す加算部213に与えられるオフセット値 $V_t$ が上記第1の実施形態とは異なる。本実施形態においては、TFT用ゲインメモリ52aから読み出される値とOLED用ゲインメモリ52bから読み出される値との積がゲイン値Bとして乗算部212に与えられ、TFT用オフセットメモリ51aから読み出される値とOLED用オフセットメモリ51bから読み出される値との和がオフセット値 $V_t$ として加算部213に与えられる。このような前提の下、映像信号が示す階調Pが“ $V_c \cdot B + V_t$ ”に補正される。なお、 $V_c$ は階調Pのガンマ補正後の制御電圧の値である。

[0160] <2. 4 効果>

本実施形態によれば、各画素について、nフレーム毎（nは画素マトリクスを構成する行の数）にOLED特性の検出とTFT特性の検出とが交互に行われる。そして、上記第1の実施形態と同様に、OLED特性の検出結果およびTFT特性の検出結果の双方を考慮して求められた補正データ（オフ

セット値およびゲイン値)を用いて、外部から送られる映像信号が補正される。このため、各画素回路11a内の有機EL素子OLEDを発光させる際に、駆動トランジスタの劣化および有機EL素子OLEDの劣化が補償されるような大きさの駆動電流が有機EL素子OLEDに供給される。ここで、本実施形態においては、OLED特性の検出についてもTF特性の検出についても発光期間中に行われる。このため、それら特性の検出が選択期間中に行われる構成とは異なり、モニタ行の選択期間を長くする必要がない。従って、十分な長さの発光期間が確保される。また、行によって選択期間の長さにばらつきが生じることが防止される。以上のように、本実施形態によれば、有機EL表示装置において、選択期間の長さのばらつきを生ずることなく発光期間を十分に確保しつつ駆動トランジスタの劣化および有機EL素子OLEDの劣化の双方を特性検出の際に特別な発光をさせることなく同時に補償することが可能となる。

[0161] <2. 5 変形例>

上記第2の実施形態においては、図36に示したように、まず1～n行目についてのOLED特性の検出が1フレームずつ順次に行われ、その後、1～n行目についてのTF特性の検出が1フレームずつ順次に行われていた。しかしながら、本発明はこれに限定されない。図43に示すように、連続する2フレームにおいて1行目についてのOLED特性の検出と1行目についてのTF特性の検出とを1フレームずつ行い、2～n行目について同様の動作を繰り返すようにしても良い。

[0162] 本変形例によれば、各画素について連続する2フレームの期間にOLED特性の検出とTF特性の検出とが行われるので、上記第1の実施形態のようにバッファ(オフセット値用バッファおよびゲイン値用バッファ)を用いてオフセットメモリおよびゲインメモリの更新を行う構成を採用することができる。すなわち、上記第2の実施形態においては、映像信号の補正に使用される補正データを記憶するためにTF用オフセットメモリ51a, OLED用オフセットメモリ51b, TF用ゲインメモリ52a, およびOLED

ＥＤ用ゲインメモリ５２ｂが設けられていたが、本変形例においては、それらに代えて１つのオフセットメモリおよび１つのゲインメモリを備えれば良い。

[0163] <３．その他>

本発明を適用可能な有機ＥＬ表示装置は、各実施形態および各変形例で例示した画素回路１１，１１ａを備えるものには限定されるものではない。画素回路は、少なくとも、電流によって制御される電気光学素子（有機ＥＬ素子ＯＬＥＤ），トランジスタＴ１～Ｔ３，およびコンデンサＣｓｔを備えていれば、各実施形態および各変形例で例示した構成以外の構成であっても良い。

## 符号の説明

[0164] １～５…有機ＥＬ表示装置

１０，１０ａ…表示部

１１，１１ａ…画素回路

２０…コントロール回路

３０…ソースドライバ

３１…駆動信号発生回路

３２…信号変換回路

３３…出力部

３８…電流測定部

３９…電圧測定部

４０，４０ａ…ゲートドライバ

５１…オフセットメモリ

５１ａ…ＴＦＴ用オフセットメモリ

５１ｂ…ＯＬＥＤ用オフセットメモリ

５２…ゲインメモリ

５２ａ…ＴＦＴ用ゲインメモリ

５２ｂ…ＯＬＥＤ用ゲインメモリ

6 0 … 温度センサ

2 0 1 … モニタ行記憶部

2 0 2 … 温度変化補償部

3 2 1 … 階調信号発生回路

3 2 2, 3 2 3 … モニタ回路

3 3 0 … 出力回路

T 1 ～ T 4 … トランジスタ

C s t … コンデンサ

G 1 ( 1 ) ～ G 1 ( n ) … 走査線

G 2 ( 1 ) ～ G 2 ( n ) … モニタ制御線

G 3 ( 1 ) ～ G 3 ( n ) … ハイレベル電源制御線

S ( 1 ) ～ S ( m ) … データ線

M ( 1 ) ～ M ( m ) … モニタ線

## 請求の範囲

- [請求項1] 電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む  $n \times m$  個（ $n$  および  $m$  は 2 以上の整数）の画素回路からなる  $n$  行  $\times m$  列の画素マトリクスを有する表示装置の駆動方法であって、
- 前記駆動トランジスタの特性を検出する第 1 の特性検出ステップと、
- 、
- 前記電気光学素子の特性を検出する第 2 の特性検出ステップと、
- 前記第 1 の特性検出ステップでの検出結果および前記第 2 の特性検出ステップでの検出結果に基づいて得られる特性データを、映像信号を補正するための補正データとして、予め用意された補正データ記憶部に記憶させる補正データ記憶ステップと、
- 前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記  $n \times m$  個の画素回路に供給すべきデータ信号を生成する映像信号補正ステップと
- を含み、
- 1 フレーム期間は、前記電気光学素子を発光させる準備が行われる選択期間と前記電気光学素子の発光が行われる発光期間とからなり、
- 前記第 1 の特性検出ステップおよび前記第 2 の特性検出ステップの一方または双方の処理が、1 フレーム期間につき前記画素マトリクスの 1 つの行のみで行われ、
- 前記第 2 の特性検出ステップの処理は、前記発光期間に行われることを特徴とする、駆動方法。
- [請求項2] 前記第 1 の特性検出ステップおよび前記第 2 の特性検出ステップの双方の処理が、1 フレーム期間につき前記画素マトリクスの 1 つの行のみで行われ、
- 各フレームにおいて前記第 1 の特性検出ステップおよび前記第 2 の特性検出ステップの双方の処理が行われる行をモニタ行と定義し、前

記モニタ行以外の行を非モニタ行と定義したとき、前記モニタ行についての前記選択期間の長さは、前記非モニタ行についての前記選択期間の長さよりも長くなっていて、

前記第1の特性検出ステップの処理は、前記選択期間に行われることを特徴とする、請求項1に記載の駆動方法。

[請求項3] 前記第1の特性検出ステップおよび前記第2の特性検出ステップの一方の処理が、1フレーム期間につき前記画素マトリクス of 1つの行のみで行われ、

前記画素マトリクス of 1つの行に着目したとき、前記第1の特性検出ステップの処理と前記第2の特性検出ステップの処理とは交互に行われ、

前記第1の特性検出ステップの処理は、前記発光期間に行われることを特徴とする、請求項1に記載の駆動方法。

[請求項4] 前記第2の特性検出ステップでは、前記電気光学素子に一定の電流が与えられた状態で前記電気光学素子の陽極の電圧を測定することによって、前記電気光学素子の特性が検出されることを特徴とする、請求項1に記載の駆動方法。

[請求項5] 前記第2の特性検出ステップでは、目標輝度に応じて、前記一定の電流を前記電気光学素子に与える時間の長さが調整されることを特徴とする、請求項4に記載の駆動方法。

[請求項6] 前記第2の特性検出ステップでは、1フレーム期間での発光電流の積分値が目標階調に相当する値となる範囲内で複数レベルの前記一定の電流が前記電気光学素子に与えられることによって、前記電気光学素子の特性として複数の特性が検出されることを特徴とする、請求項4に記載の駆動方法。

[請求項7] 前記第2の特性検出ステップでは、前記電気光学素子に一定の電圧が与えられた状態で前記電気光学素子に流れる電流を測定することによって、前記電気光学素子の特性が検出されることを特徴とする、請

求項 1 に記載の駆動方法。

[請求項8] 前記第 2 の特性検出ステップでは、目標輝度に応じて、前記一定の電圧を前記電気光学素子に与える時間の長さが調整されることを特徴とする、請求項 7 に記載の駆動方法。

[請求項9] 前記第 2 の特性検出ステップでは、1 フレーム期間での発光電流の積分値が目標階調に相当する値となる範囲内で複数レベルの前記一定の電圧が前記電気光学素子に与えられることによって、前記電気光学素子の特性として複数の特性が検出されることを特徴とする、請求項 7 に記載の駆動方法。

[請求項10] 前記第 1 の特性検出ステップでは、前記駆動トランジスタのゲートソース間の電圧を所定の大きさにした状態で前記駆動トランジスタのドレインソース間を流れる電流を測定することによって、前記駆動トランジスタの特性が検出されることを特徴とする、請求項 1 に記載の駆動方法。

[請求項11] 前記補正データ記憶部は、前記補正データとしてオフセット値を記憶するオフセット値記憶部と前記補正データとしてゲイン値を記憶するゲイン値記憶部とからなり、

前記補正データ記憶ステップでは、

前記第 1 の特性検出ステップでの検出結果に基づいて得られるオフセット値と前記第 2 の特性検出ステップでの検出結果に基づいて得られるオフセット値との和が、新たなオフセット値として前記オフセット値記憶部に記憶され、

前記第 1 の特性検出ステップでの検出結果に基づいて得られるゲイン値と前記第 2 の特性検出ステップでの検出結果に基づいて得られる補正係数との積が、新たなゲイン値として前記ゲイン値記憶部に記憶されることを特徴とする、請求項 1 に記載の駆動方法。

[請求項12] 前記表示装置は、

前記駆動トランジスタの特性および前記電気光学素子の特性を検

出するための特性検出部と、

前記画素マトリクス of 各列に対応するように設けられ、前記特性検出部および対応する列の画素回路と電気的に接続され得るように構成されたm本のモニタ線と

を更に有し、

前記選択期間は、前記第1の特性検出ステップの処理が行われる第1期間と前記第1期間に続く第2期間とからなり、

前記オフセット値記憶部に記憶されているオフセット値と前記第1の特性検出ステップでの検出結果に基づいて得られるオフセット値との差分の値を第1の値と定義し、前記ゲイン値記憶部に記憶されているゲイン値と前記第1の特性検出ステップでの検出結果に基づいて得られるゲイン値とに基づいて得られる値を第2の値と定義したとき、前記第2期間には、各モニタ線に、前記第1の値と前記第2の値との和に相当する電圧が印加されることを特徴とする、請求項11に記載の駆動方法。

[請求項13]

前記補正データ記憶部は、前記補正データとして前記駆動トランジスタに対応するオフセット値を記憶する駆動トランジスタ用オフセット値記憶部、前記補正データとして前記電気光学素子に対応するオフセット値を記憶する電気光学素子用オフセット値記憶部、前記補正データとして前記駆動トランジスタに対応するゲイン値を記憶する駆動トランジスタ用ゲイン値記憶部、および前記補正データとして前記電気光学素子に対応するゲイン値を記憶する電気光学素子用ゲイン値記憶部からなり、

前記補正データ記憶ステップでは、

前記第1の特性検出ステップでの検出結果に基づいて得られるオフセット値が、新たなオフセット値として前記駆動トランジスタ用オフセット値記憶部に記憶され、

前記第1の特性検出ステップでの検出結果に基づいて得られるゲ

イン値が、新たなゲイン値として前記駆動トランジスタ用ゲイン値記憶部に記憶され、

前記第2の特性検出ステップでの検出結果に基づいて得られるオフセット値が、新たなオフセット値として前記電気光学素子用オフセット値記憶部に記憶され、

前記第2の特性検出ステップでの検出結果に基づいて得られる補正係数が、新たなゲイン値として前記電気光学素子用ゲイン値記憶部に記憶されることを特徴とする、請求項1に記載の駆動方法。

[請求項14] 前記第2の特性検出ステップでは、前記電気光学素子に一定の電流が与えられた状態で前記電気光学素子の陽極の電圧を測定することによって、前記電気光学素子の特性が検出され、

前記一定の電流の大きさは、前記電気光学素子用ゲイン値記憶部に記憶されているゲイン値に応じて調整されることを特徴とする、請求項13に記載の駆動方法。

[請求項15] 前記第2の特性検出ステップでは、前記電気光学素子に一定の電圧が与えられた状態で前記電気光学素子に流れる電流を測定することによって、前記電気光学素子の特性が検出され、

前記一定の電圧の大きさは、前記電気光学素子用ゲイン値記憶部に記憶されているゲイン値に応じて調整されることを特徴とする、請求項13に記載の駆動方法。

[請求項16] 前記表示装置は、

前記駆動トランジスタの特性および前記電気光学素子の特性を検出するための特性検出部と、

前記画素マトリクス of 各列に対応するように設けられ、前記特性検出部および対応する列の画素回路と電気的に接続され得るように構成されたm本のモニタ線とを更に有し、

前記選択期間は、前記第1の特性検出ステップの処理が行われる第

1 期間と前記第 1 期間に続く第 2 期間とからなり、

前記第 2 期間には、各モニタ線に、前記電気光学素子用オフセット値記憶部に記憶されているオフセット値と前記電気光学素子用ゲイン値記憶部に記憶されているゲイン値に基づいて得られる値との和に相当する電圧が印加されることを特徴とする、請求項 13 に記載の駆動方法。

[請求項17]

前記表示装置は、

電流を測定する電流測定部を少なくとも含み、前記駆動トランジスタの特性および前記電気光学素子の特性を検出するための特性検出部と、

前記画素マトリクス of 各列に対応するように設けられ、前記特性検出部および対応する列の画素回路と電気的に接続され得るように構成された m 本のモニタ線とを更に有し、

前記第 1 の特性検出ステップでは、前記 m 本のモニタ線が対応する画素回路および前記電流測定部と電気的に接続された状態で、前記駆動トランジスタのゲートソース間の電圧を所定の大きさにした状態で前記駆動トランジスタのドレインソース間を流れる電流が前記電流測定部によって測定されることを特徴とする、請求項 1 に記載の駆動方法。

[請求項18]

前記特性検出部は、電圧を測定する電圧測定部を更に含み、

前記第 2 の特性検出ステップでは、前記電気光学素子に一定の電流が与えられた状態で前記電気光学素子の陽極の電圧が前記電圧測定部によって測定されることを特徴とする、請求項 17 に記載の駆動方法。

[請求項19]

前記第 2 の特性検出ステップでは、前記電気光学素子に一定の電圧が与えられた状態で前記電気光学素子に流れる電流が前記電流測定部によって測定されることを特徴とする、請求項 17 に記載の駆動方法。

。

[請求項20] 前記特性検出部は、K本のモニタ線（Kは2以上m以下の整数）につき1つだけ設けられ、  
各フレームにおいて、

前記K本のモニタ線のうちの1つが前記特性検出部と電氣的に接続され、

前記特性検出部と電氣的に接続されていないモニタ線は、ハイインピーダンスの状態にされていることを特徴とする、請求項17に記載の駆動方法。

[請求項21] 前記n行×m列の画素マトリクスのうち黒色またはほぼ黒色の表示が行われる画素については、前記第2の特性検出ステップの処理が行われないことを特徴とする、請求項1に記載の駆動方法。

[請求項22] 前記表示装置の電源オフの際に、最後に前記第1の特性検出ステップおよび前記第2の特性検出ステップの一方または双方の処理が行われた領域を特定する情報を予め用意されたモニタ領域記憶部に記憶するモニタ領域記憶ステップを更に含み、

前記表示装置の電源オン後には、前記モニタ領域記憶部に記憶されている情報に基づいて得られる領域近傍の領域から、前記第1の特性検出ステップおよび前記第2の特性検出ステップの一方または双方の処理が行われることを特徴とする、請求項1に記載の駆動方法。

[請求項23] 温度を検出する温度検出ステップと、

前記特性データに対して前記温度検出ステップで検出された温度に基づく補正を施す温度変化補償ステップと  
を更に含み、

前記補正データ記憶ステップでは、前記温度変化補償ステップの処理で得られたデータが前記補正データとして前記補正データ記憶部に記憶されることを特徴とする、請求項1に記載の駆動方法。

[請求項24] 前記駆動トランジスタは、酸化物半導体によりチャネル層が形成さ

れた薄膜トランジスタであることを特徴とする、請求項 1 に記載の駆動方法。

[請求項25] 前記酸化物半導体は、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn)、および酸素 (O) を主成分とする酸化インジウムガリウム亜鉛であることを特徴とする、請求項 24 に記載の駆動方法。

[請求項26] 電流によって輝度が制御される電気光学素子および前記電気光学素子に供給すべき電流を制御するための駆動トランジスタをそれぞれが含む  $n \times m$  個 ( $n$  および  $m$  は 2 以上の整数) の画素回路からなる  $n$  行  $\times m$  列の画素マトリクスを有する表示装置であって、

前記駆動トランジスタの特性を検出する第 1 の特性検出処理および前記電気光学素子の特性を検出する第 2 の特性検出処理を行いつつ前記  $n \times m$  個の画素回路を駆動する画素回路駆動部と、

前記第 1 の特性検出処理での検出結果および前記第 2 の特性検出処理での検出結果に基づいて得られる特性データを、映像信号を補正するための補正データとして記憶する補正データ記憶部と、

前記補正データ記憶部に記憶されている補正データに基づいて前記映像信号を補正して、前記  $n \times m$  個の画素回路に供給すべきデータ信号を生成する映像信号補正部とを備え、

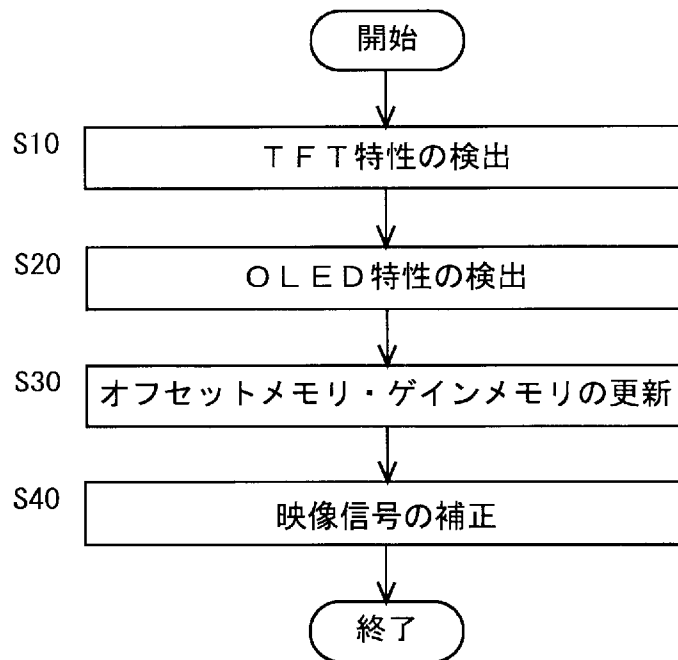
1 フレーム期間は、前記電気光学素子を発光させる準備が行われる選択期間と前記電気光学素子の発光が行われる発光期間とからなり、

前記画素回路駆動部は、

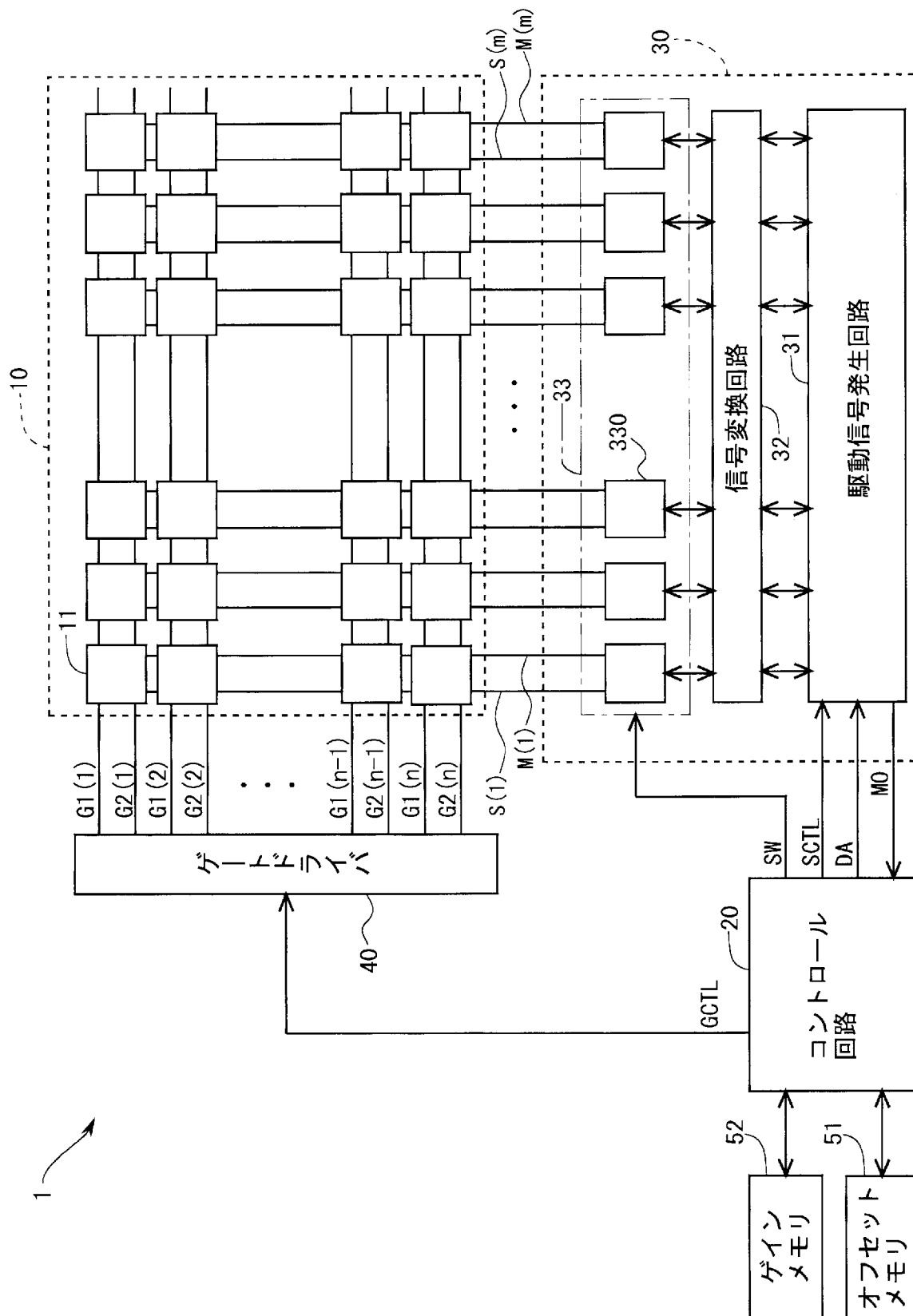
前記第 1 の特性検出処理および前記第 2 の特性検出処理の一方または双方の処理を、1 フレーム期間につき前記画素マトリクスの 1 つの行についてのみ行い、

前記第 2 の特性検出処理を前記発光期間に行うことを特徴とする、表示装置。

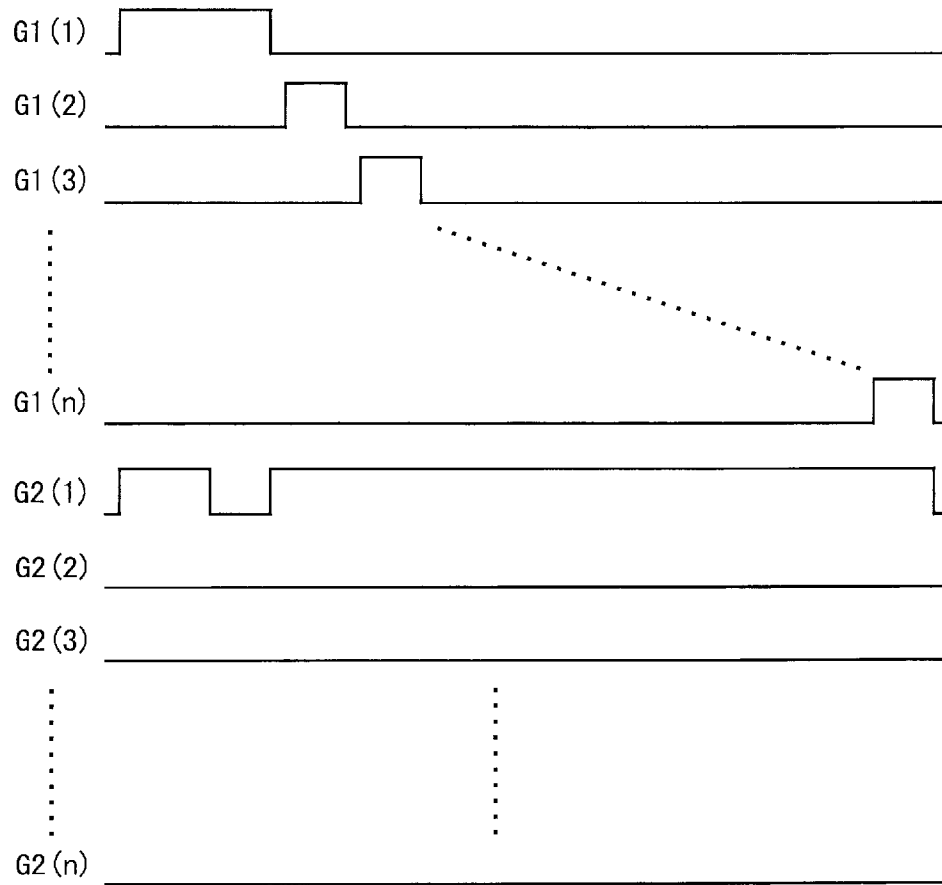
【図1】



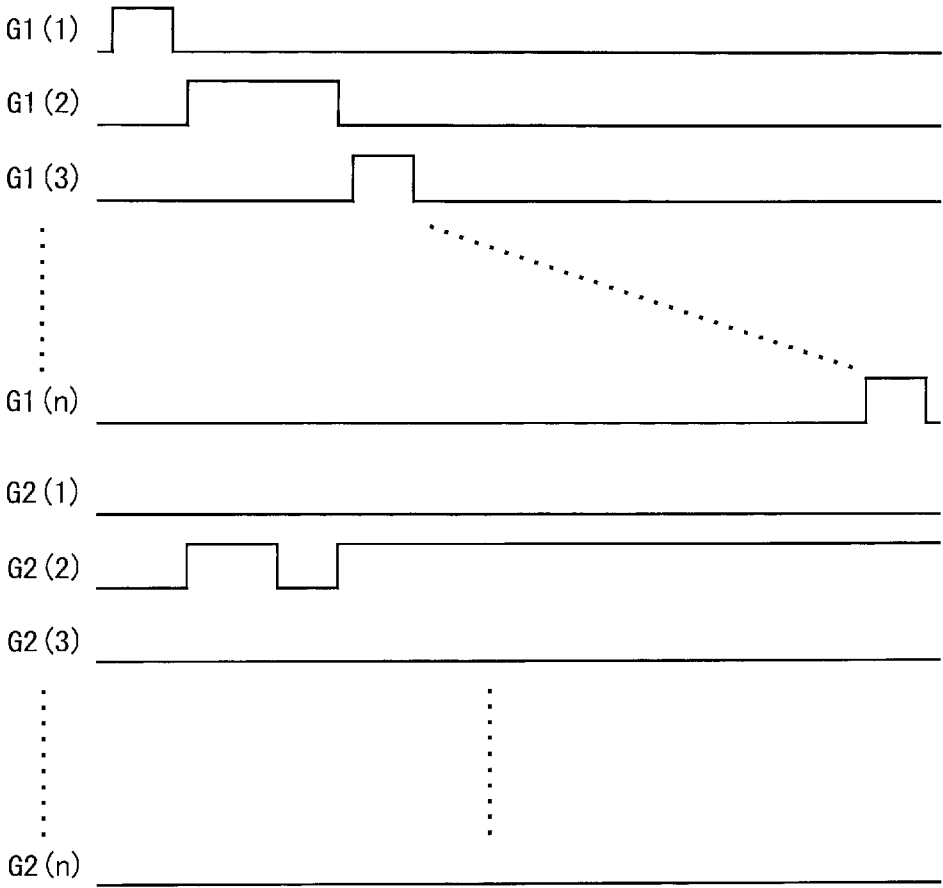
[図2]



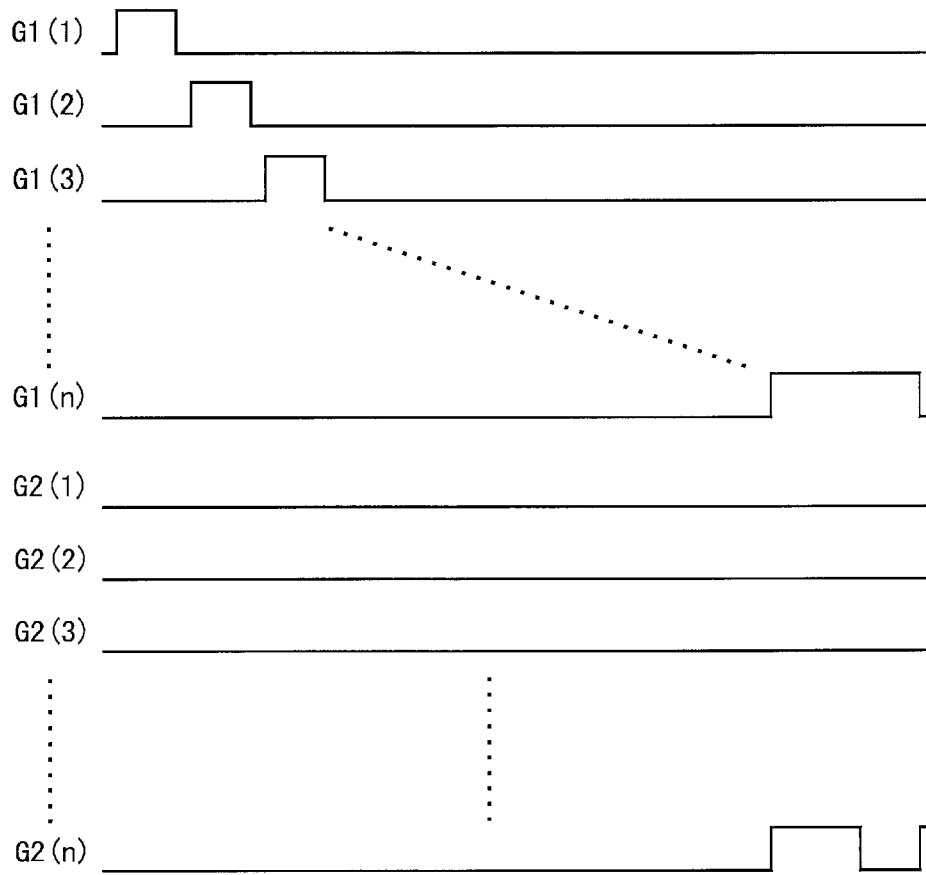
[図3]



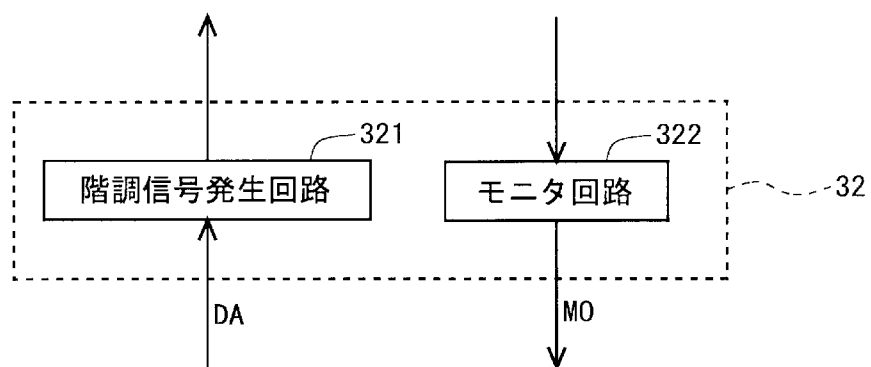
[図4]



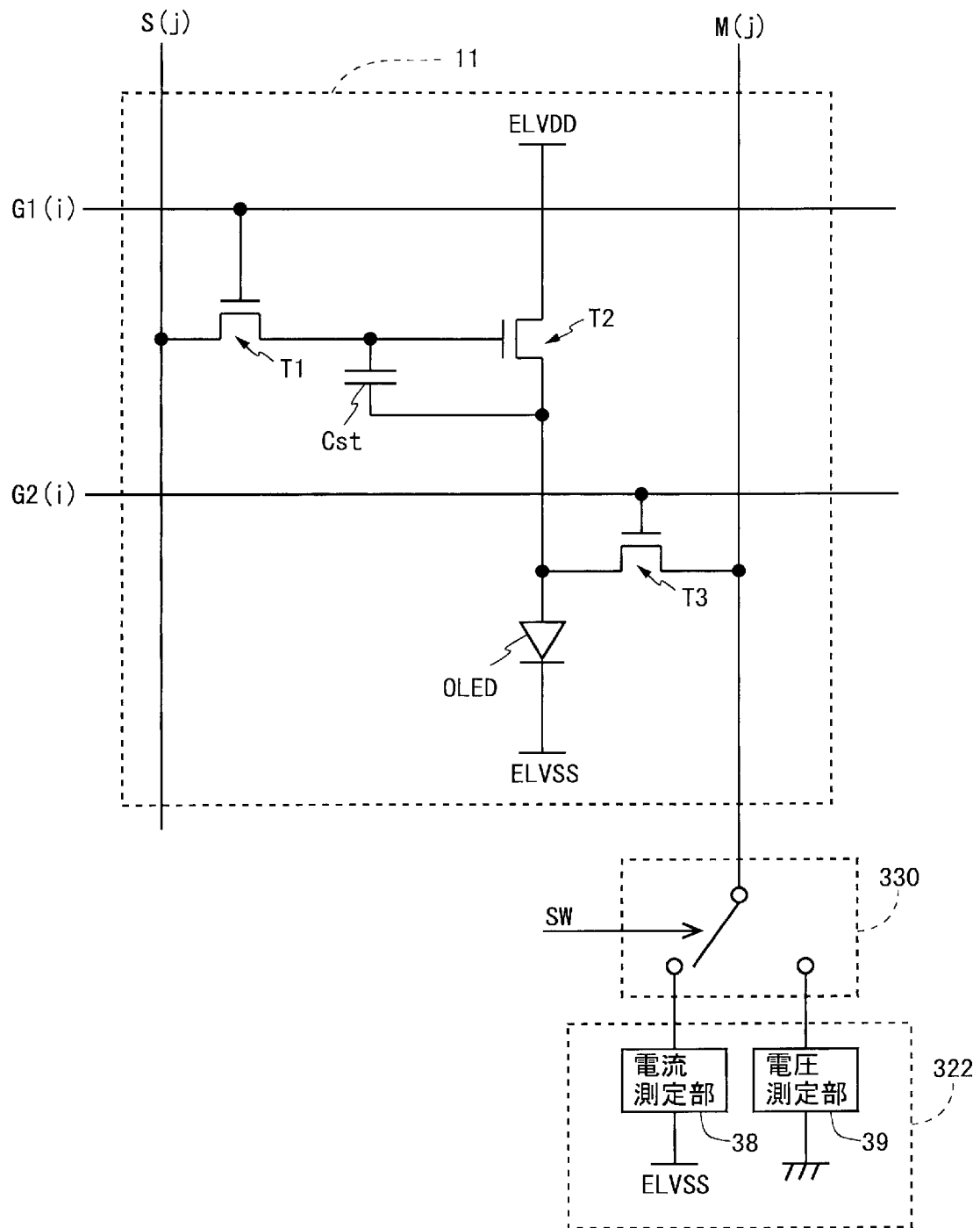
[図5]



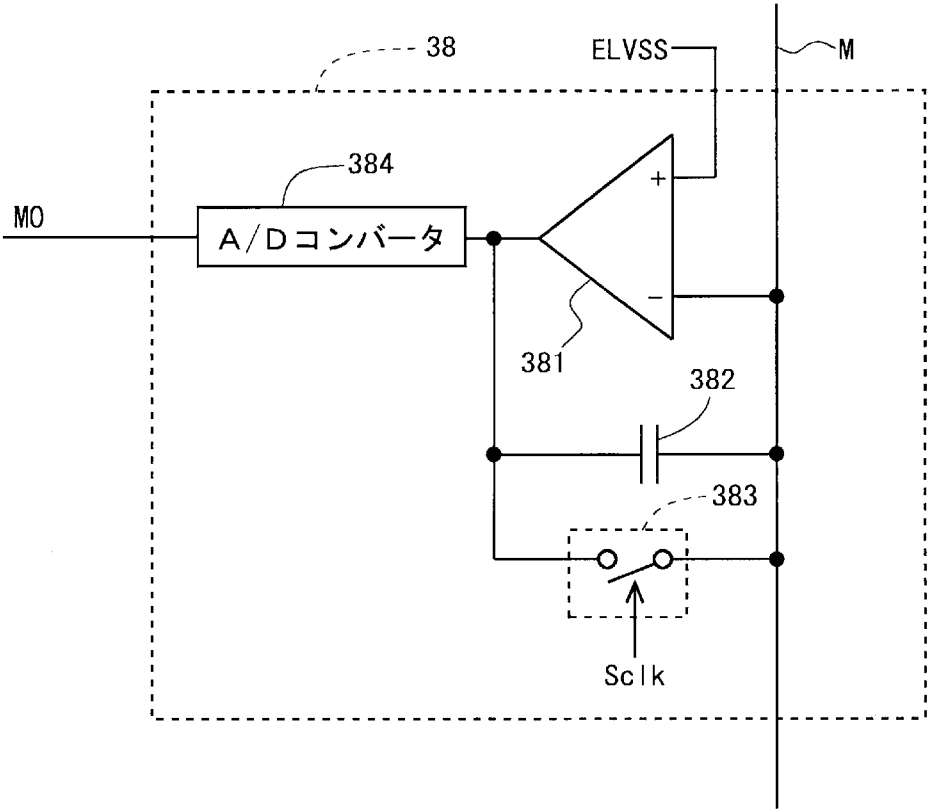
[図6]



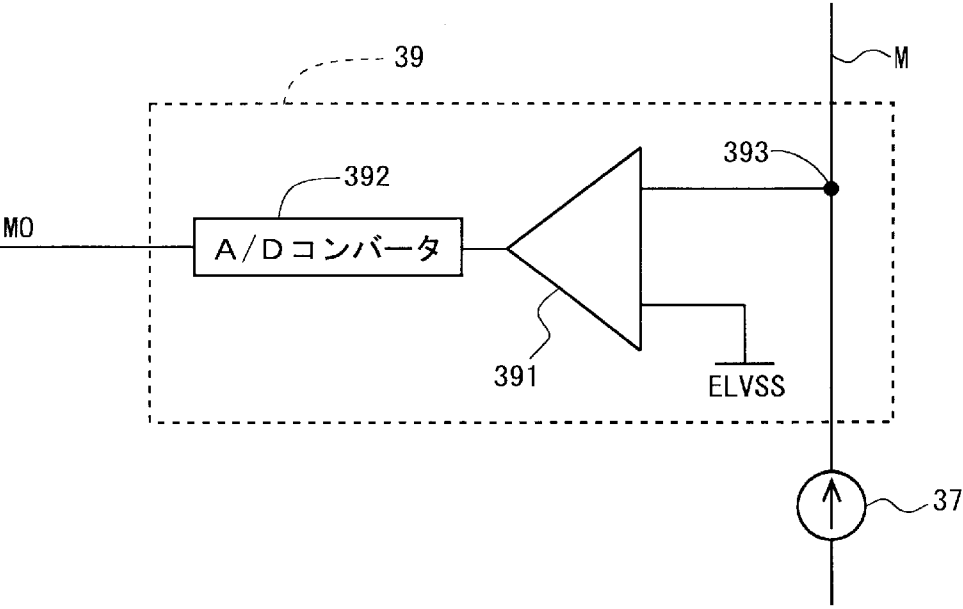
[図7]



[図8]



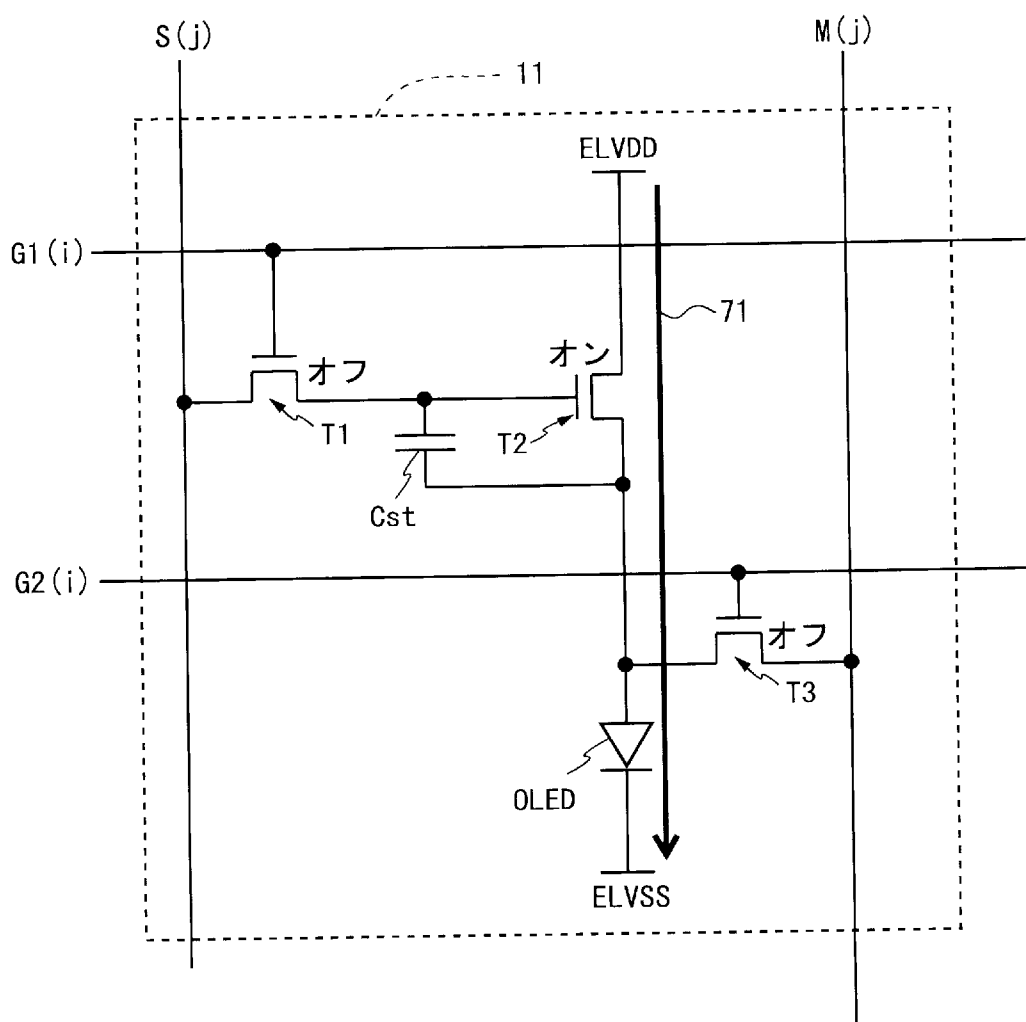
[図9]



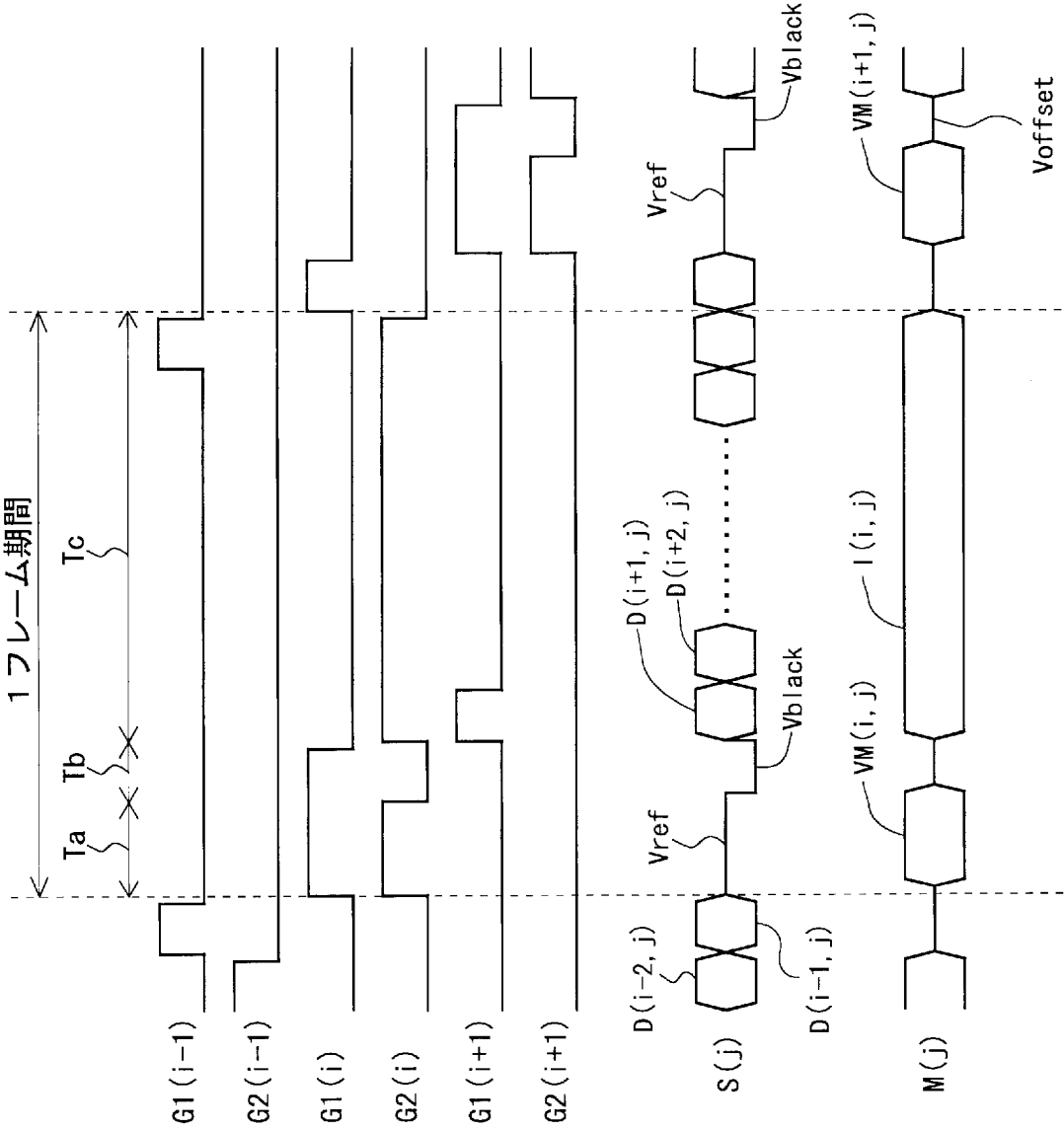
[図10]

|               | 特性検出動作 | 通常動作               |
|---------------|--------|--------------------|
| (k + 1) フレーム目 | 1 行目   | 2 ~ n 行目           |
| (k + 2) フレーム目 | 2 行目   | 1 行目, 3 ~ n 行目     |
| (k + 3) フレーム目 | 3 行目   | 1 ~ 2 行目, 4 ~ n 行目 |
| ⋮             | ⋮      | ⋮                  |
| (k + n) フレーム目 | n 行目   | 1 ~ (n - 1) 行目     |

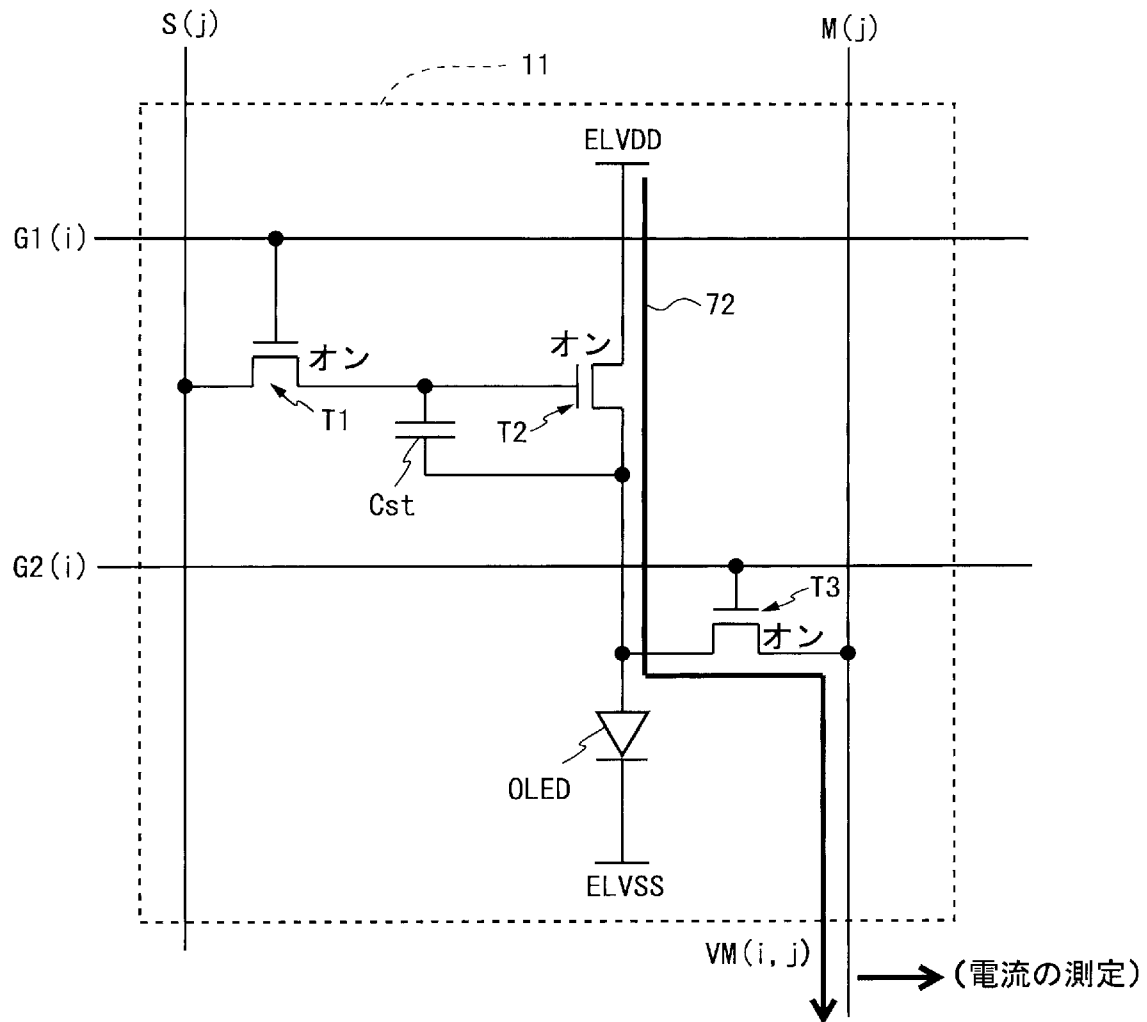
[図11]



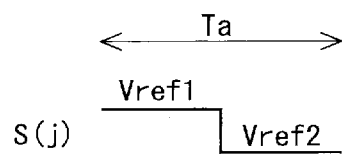
[図12]



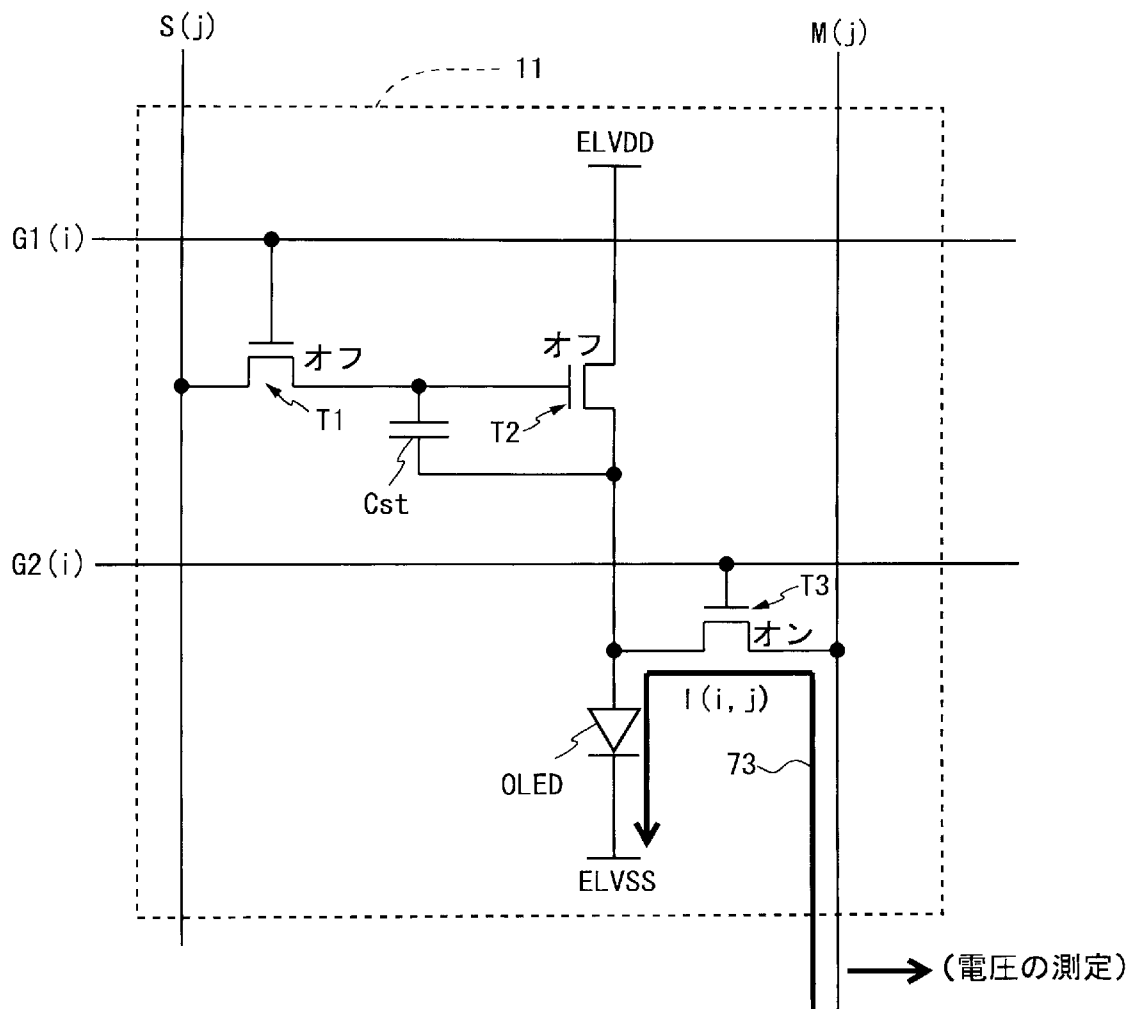
[図13]



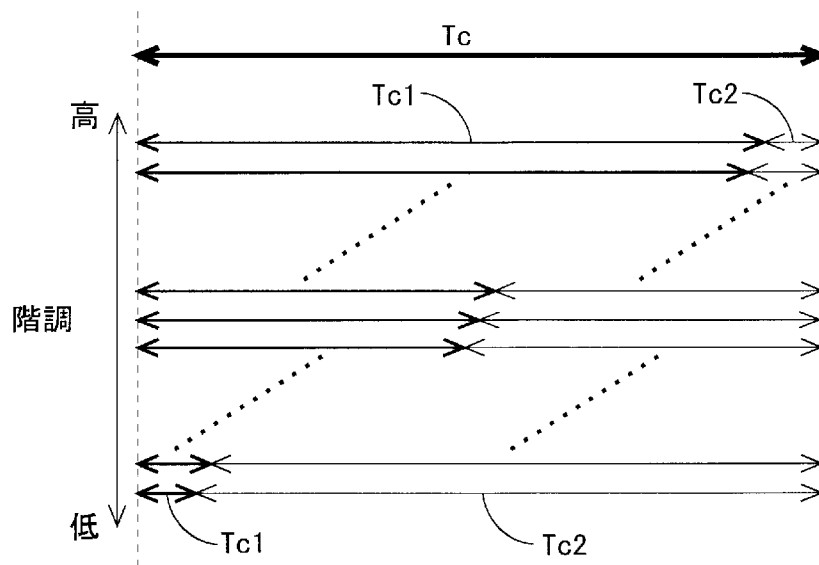
[図14]



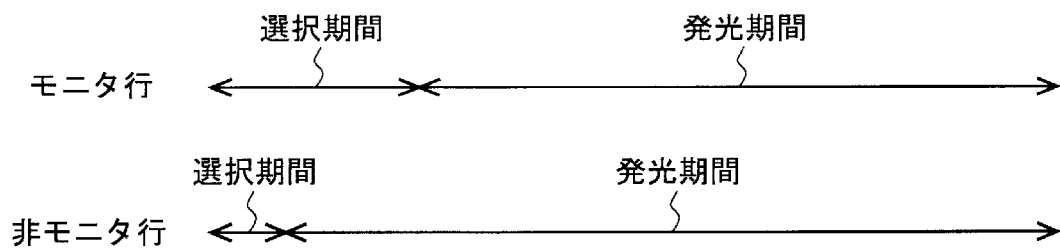
[図15]



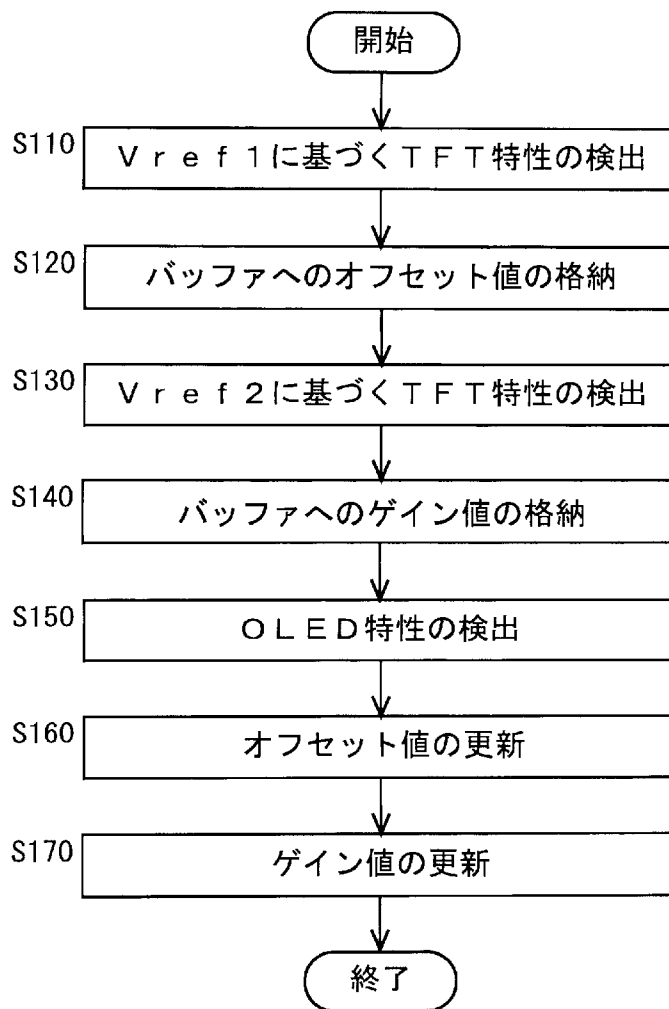
[図16]



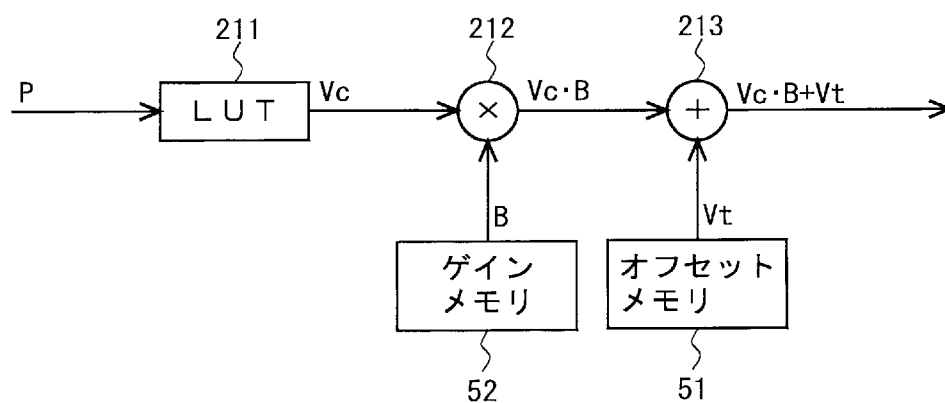
[図17]



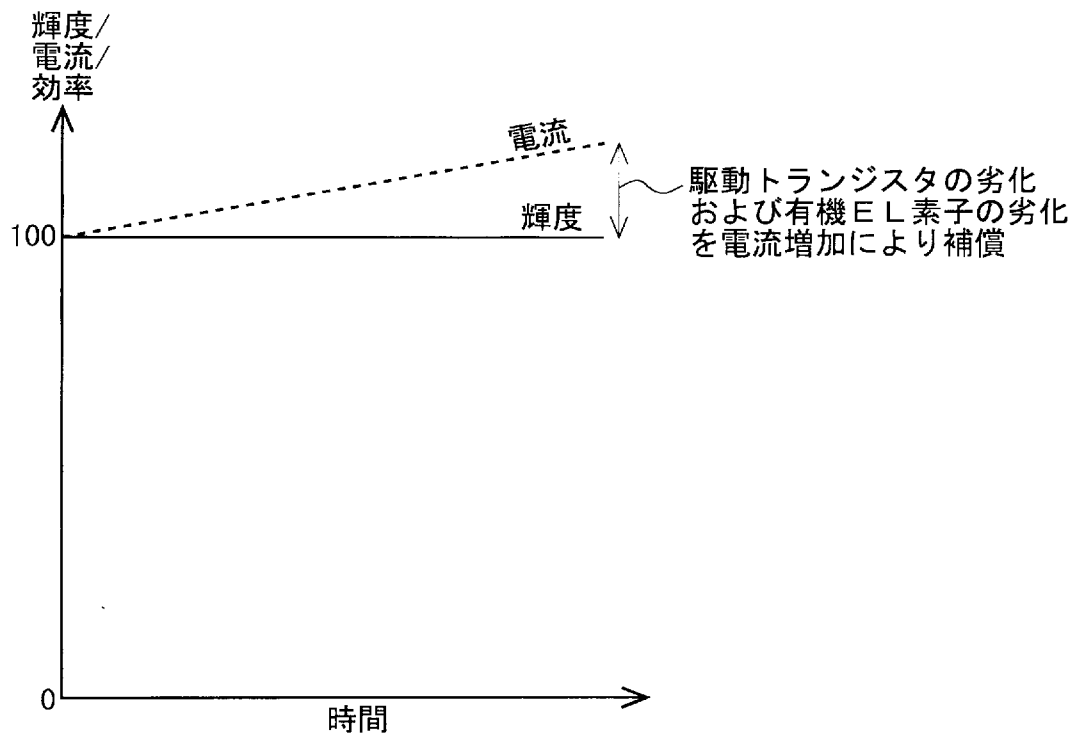
[図18]



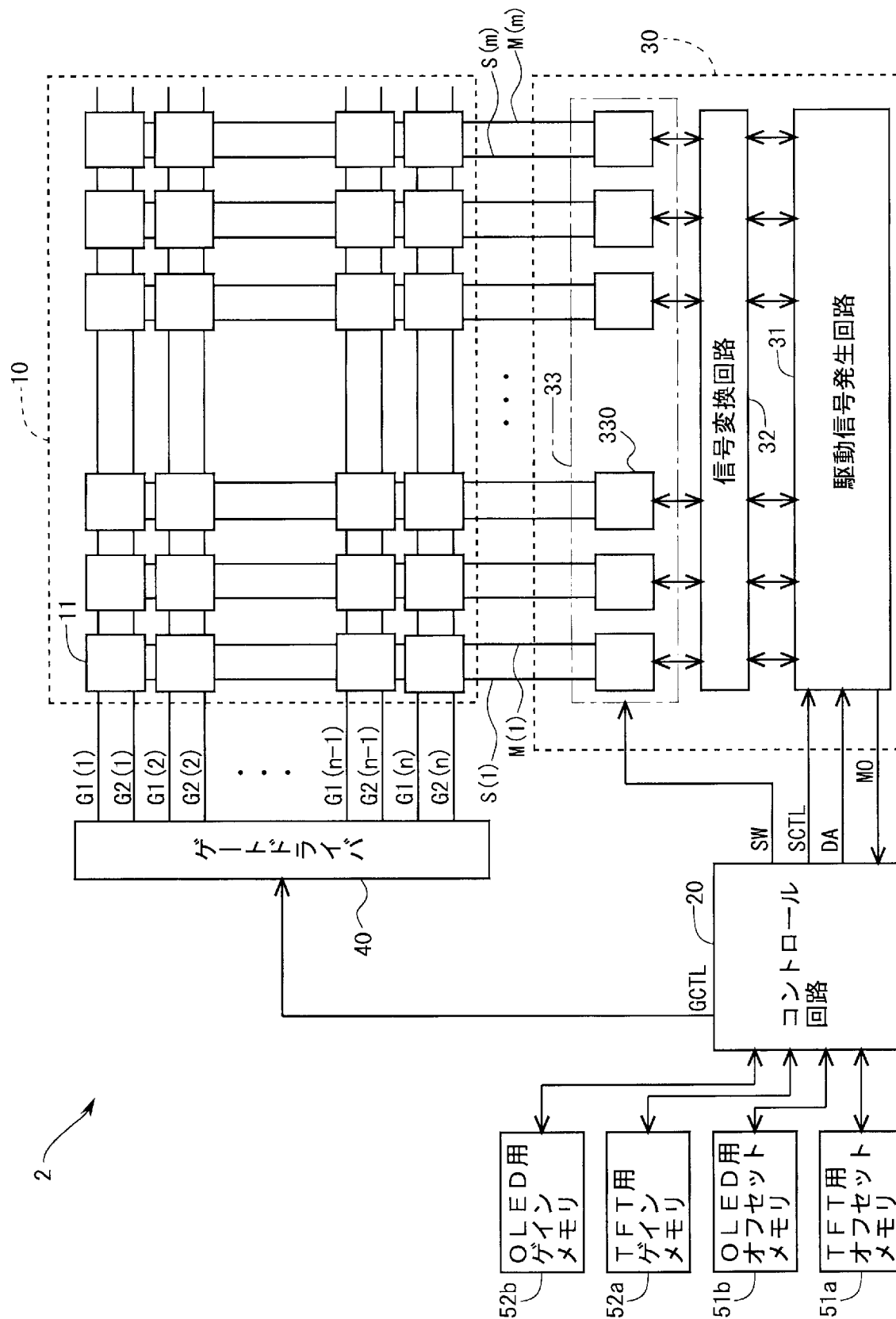
[図19]



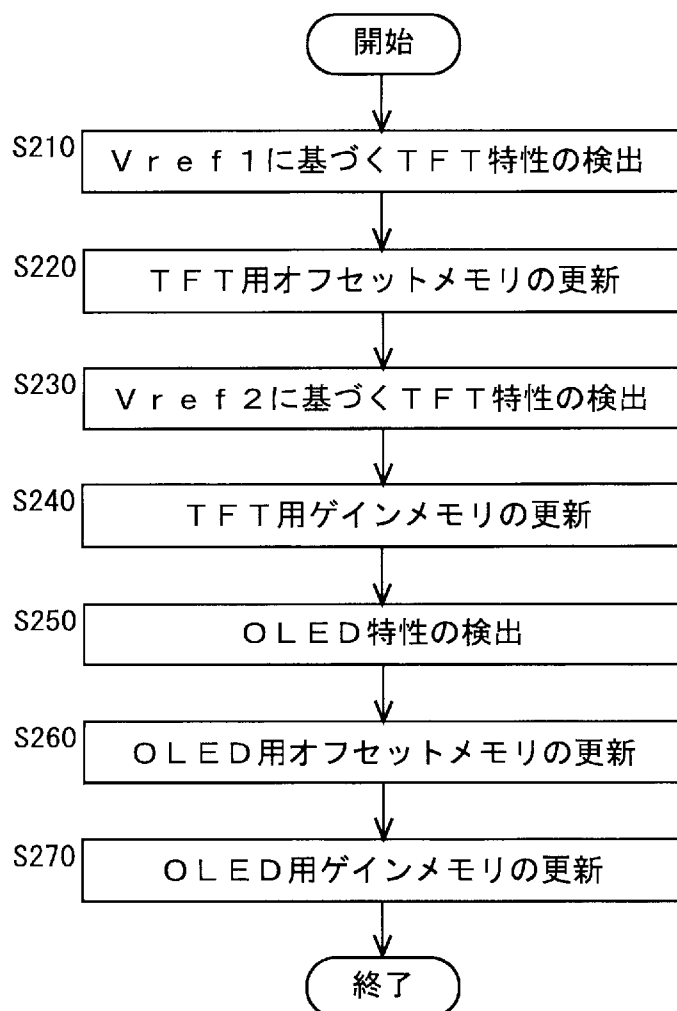
[図20]



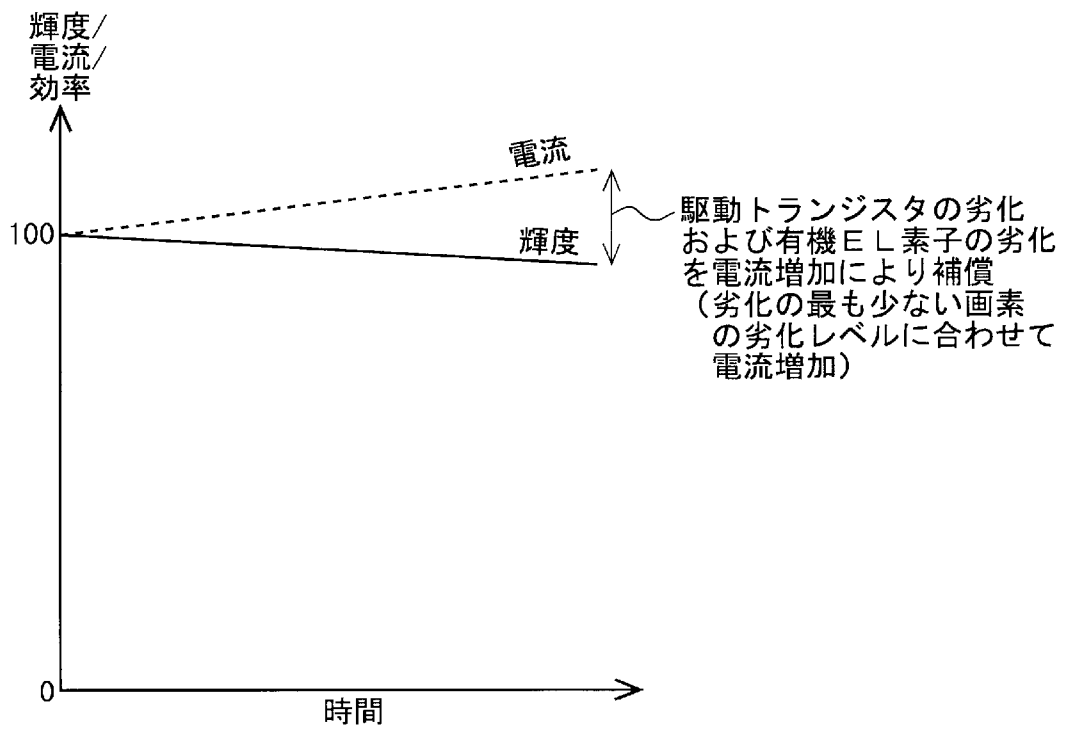
[図21]



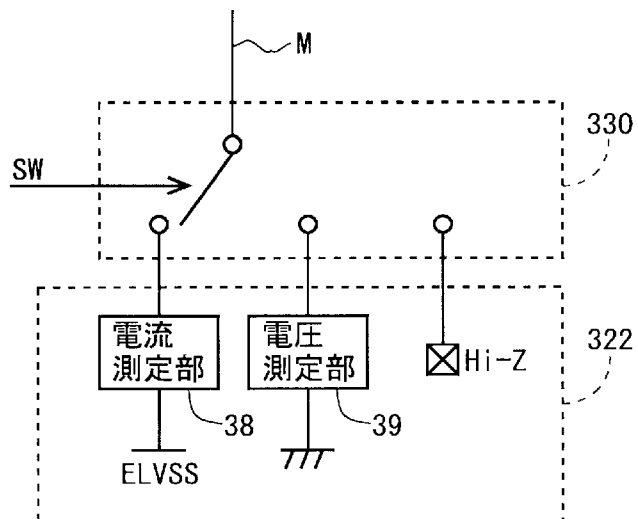
[図22]



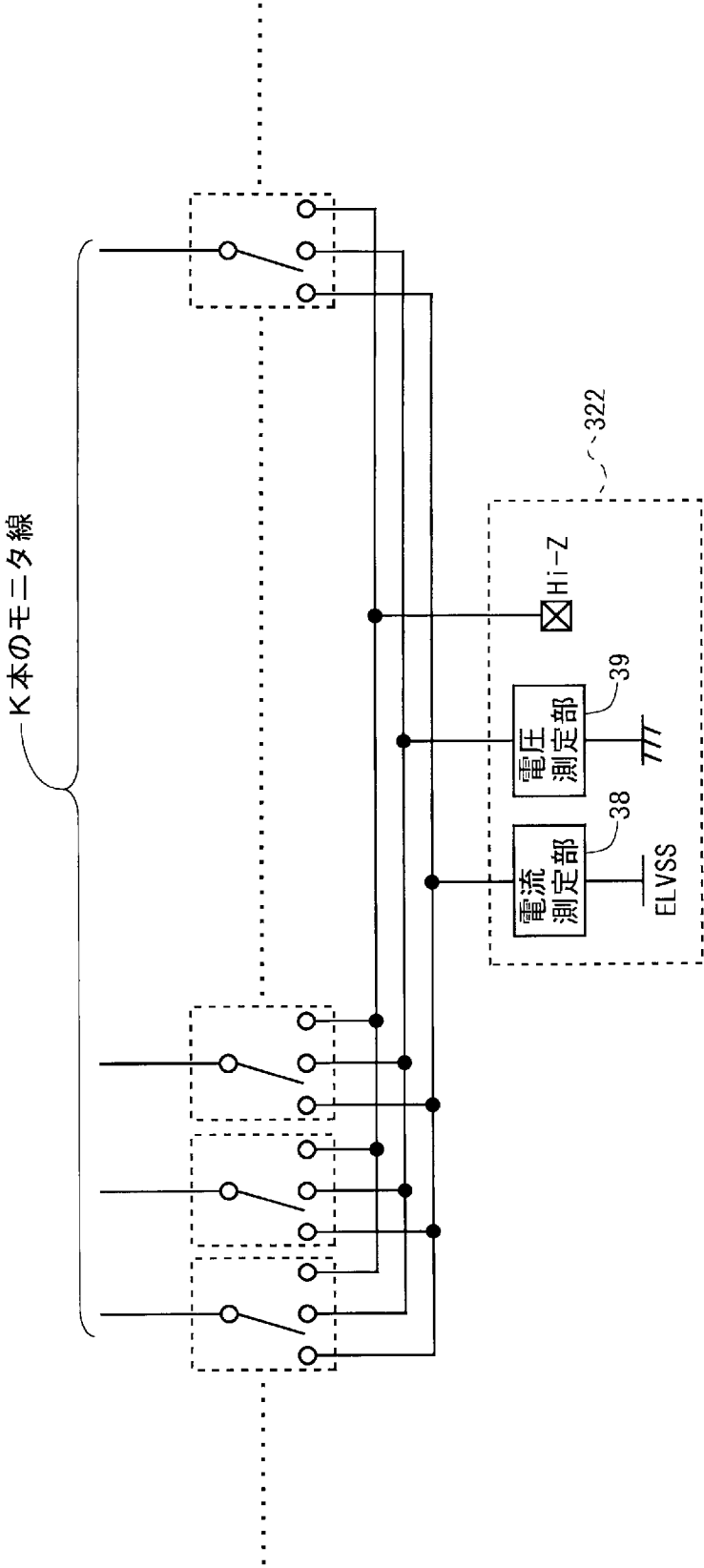
[図23]



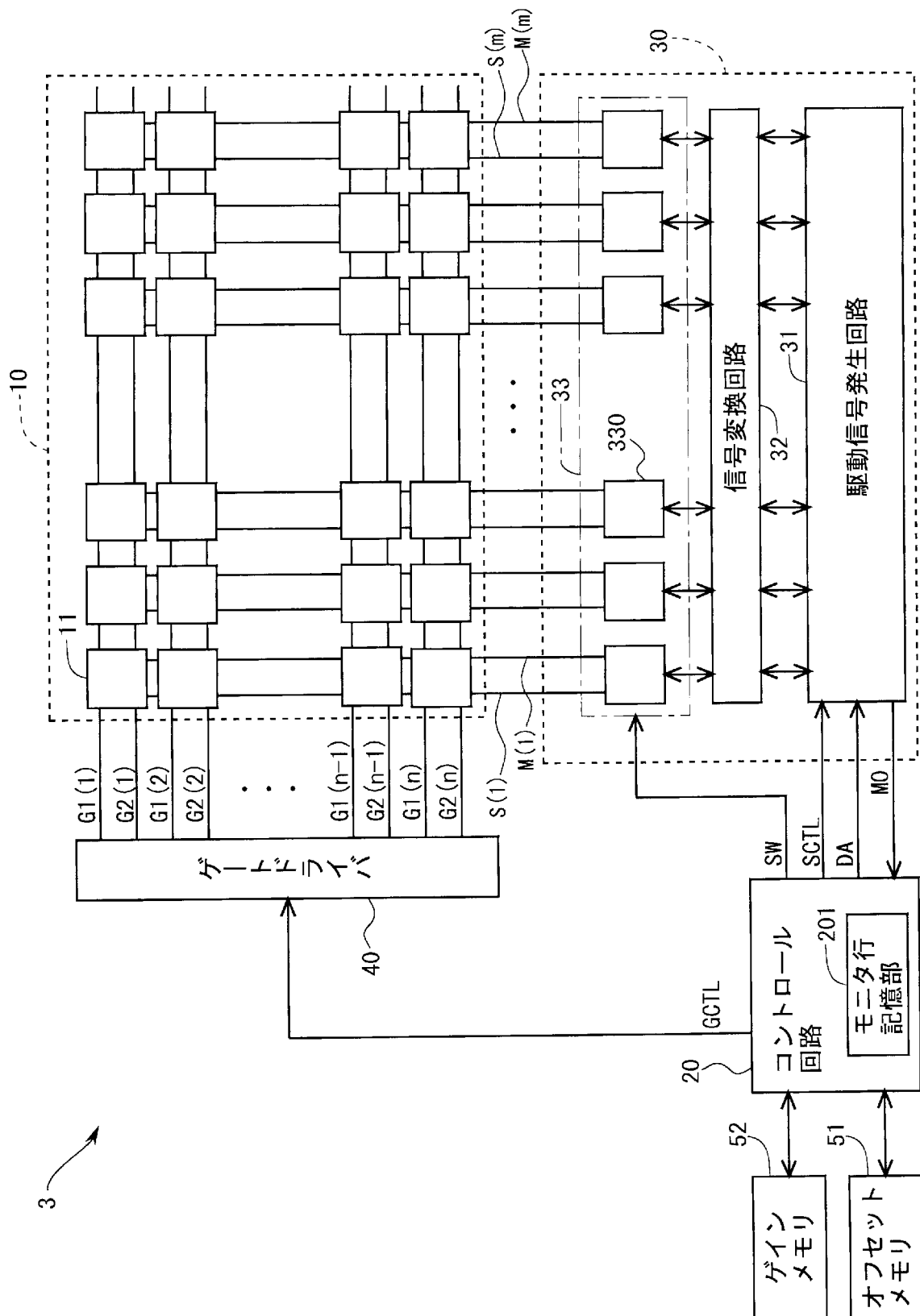
[図24]



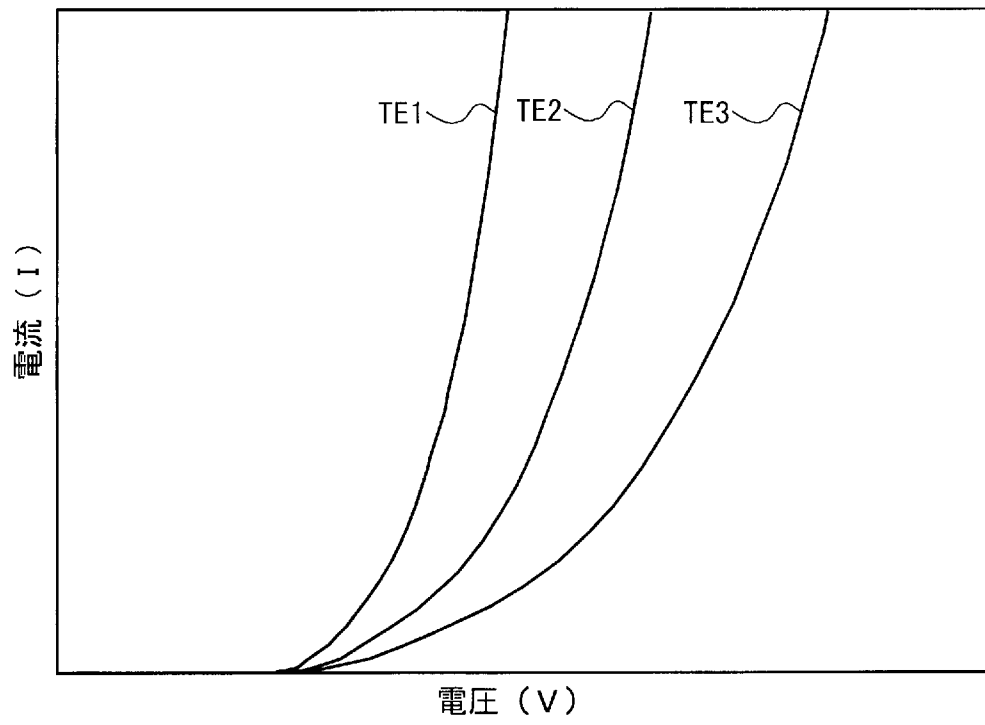
[図25]



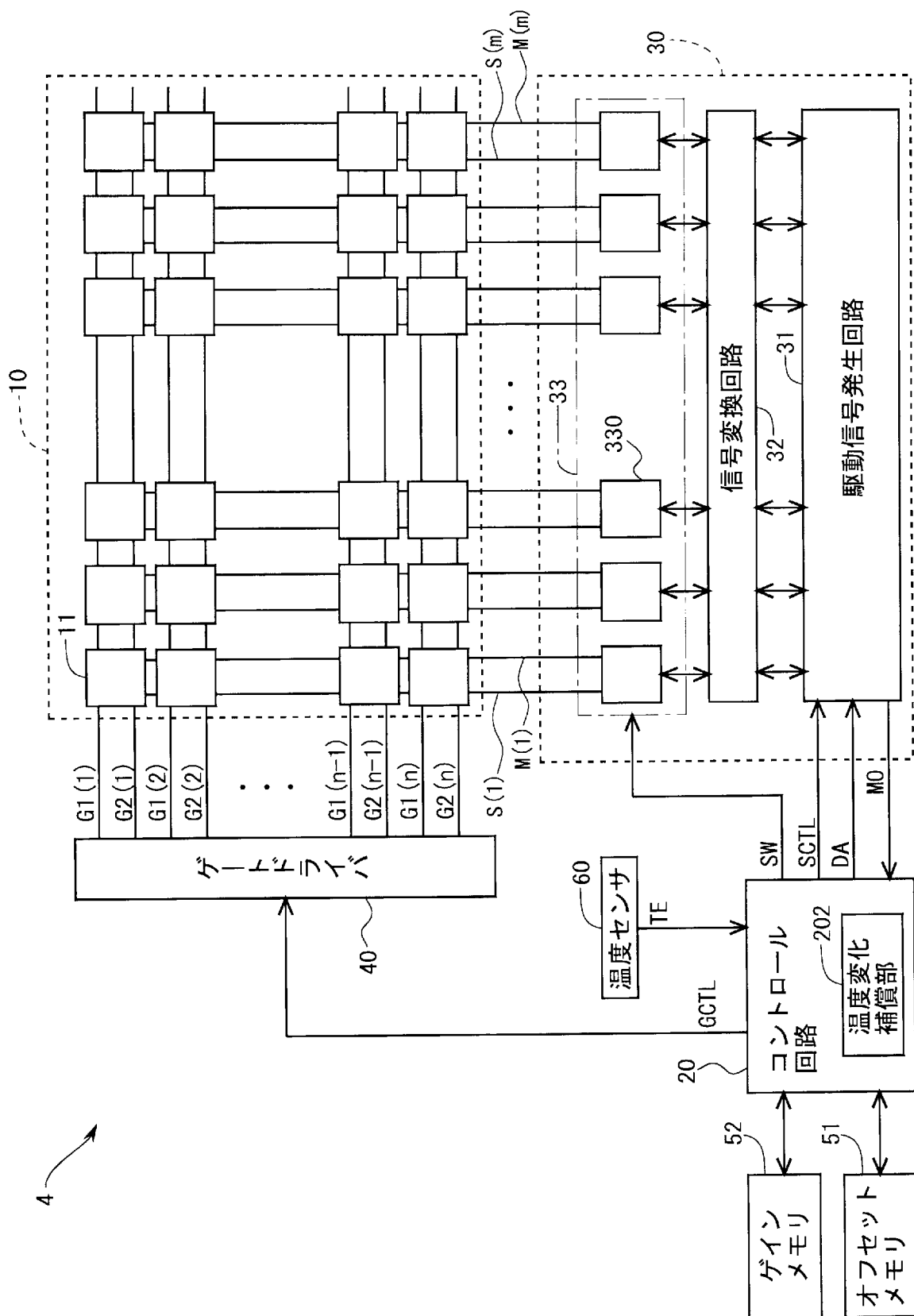
[図26]



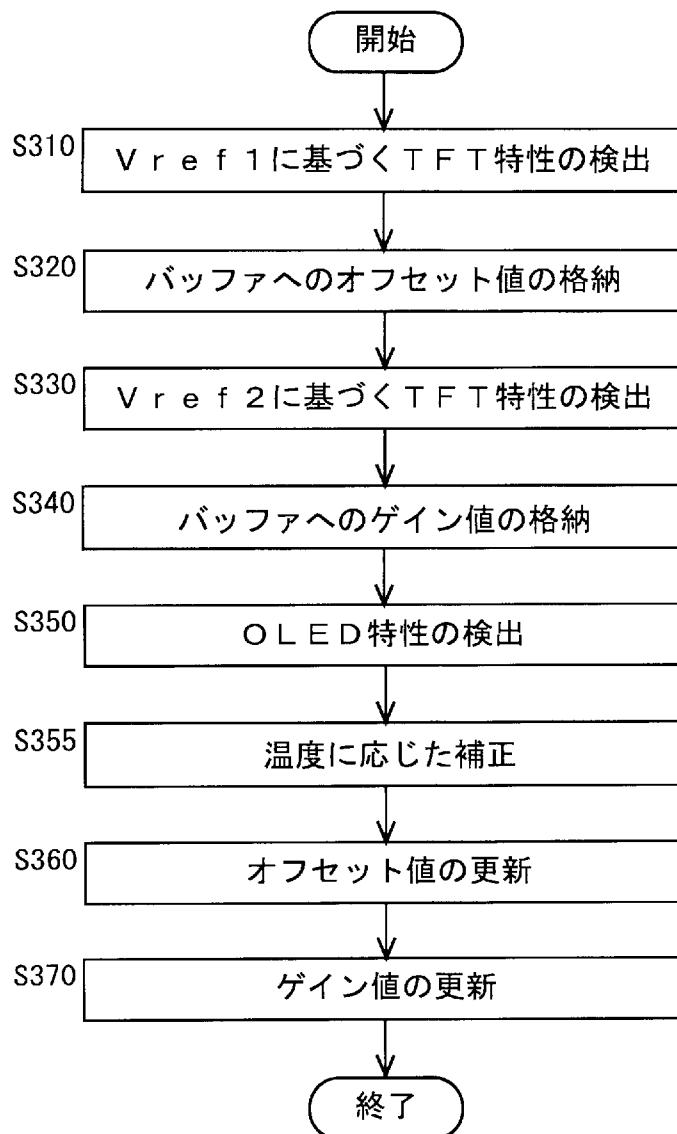
[図27]



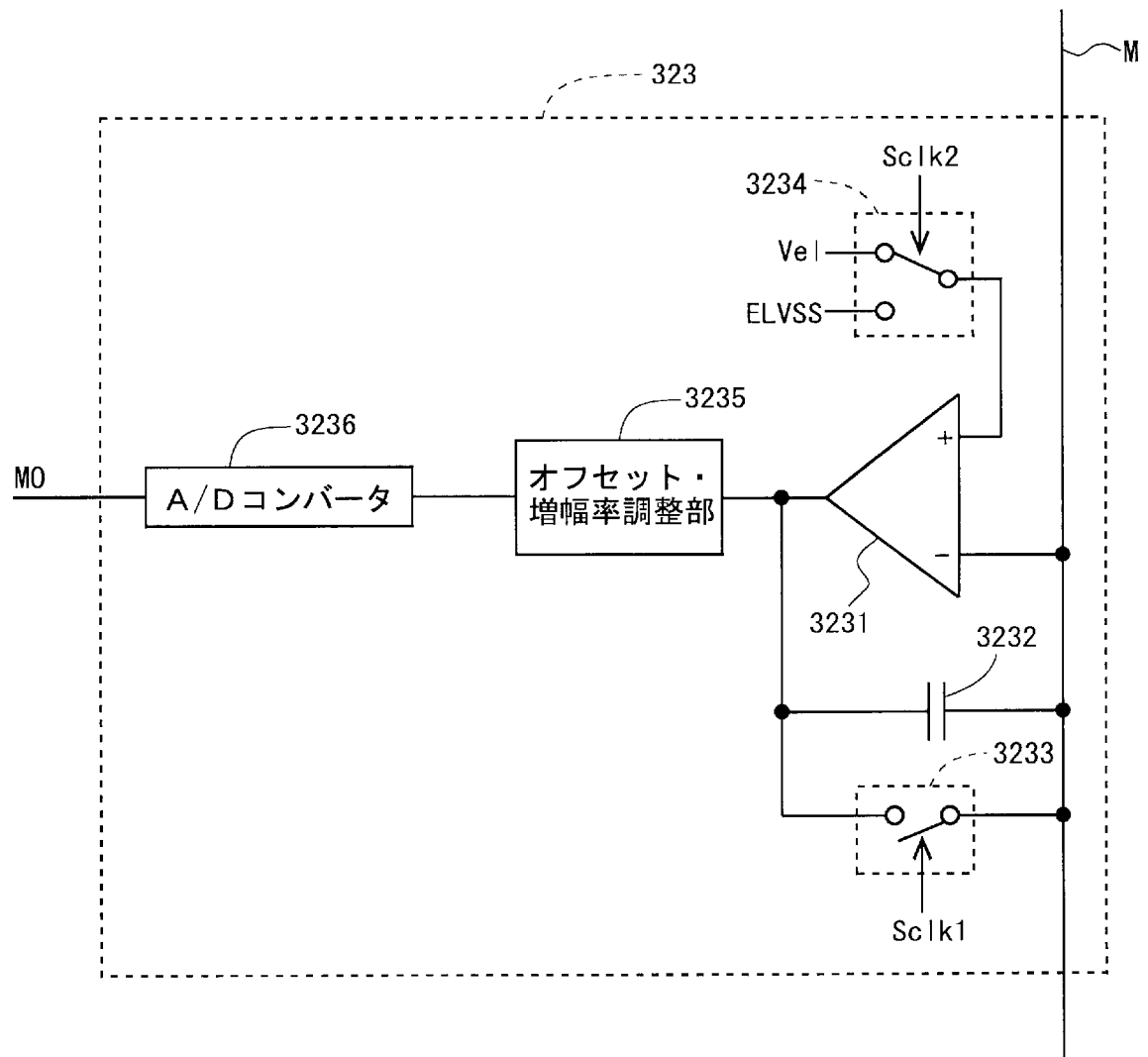
[図28]



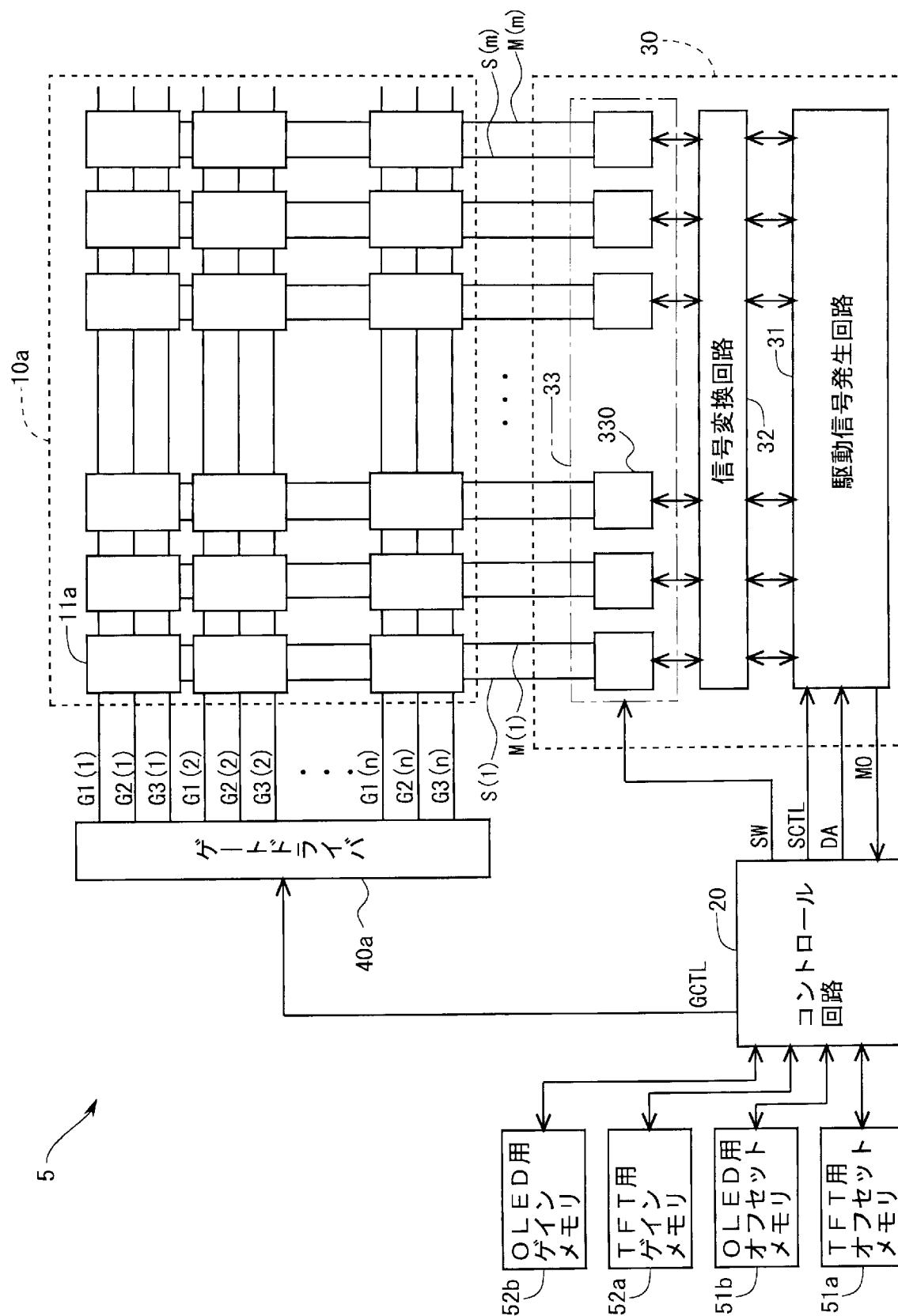
[図29]



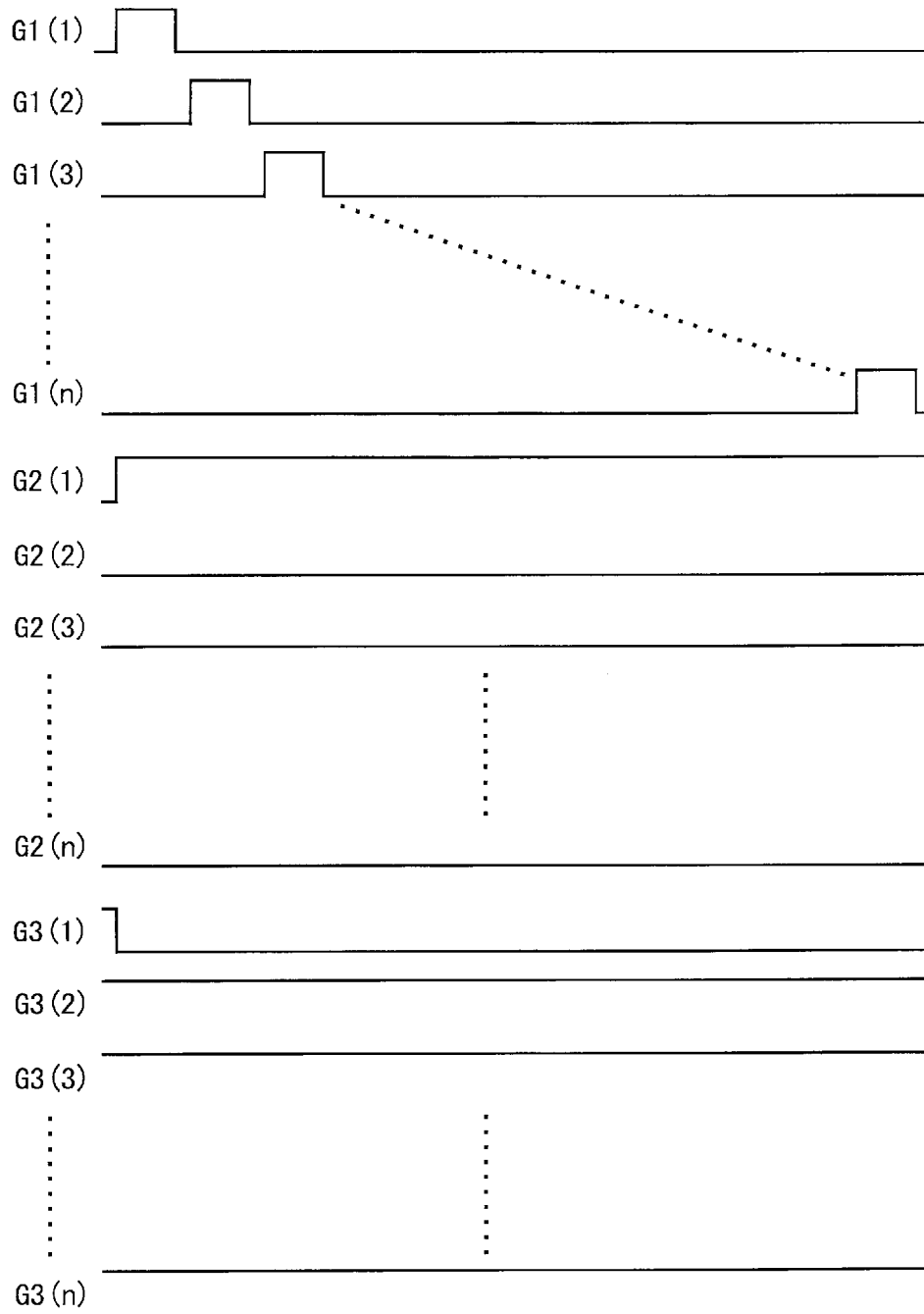
[図30]



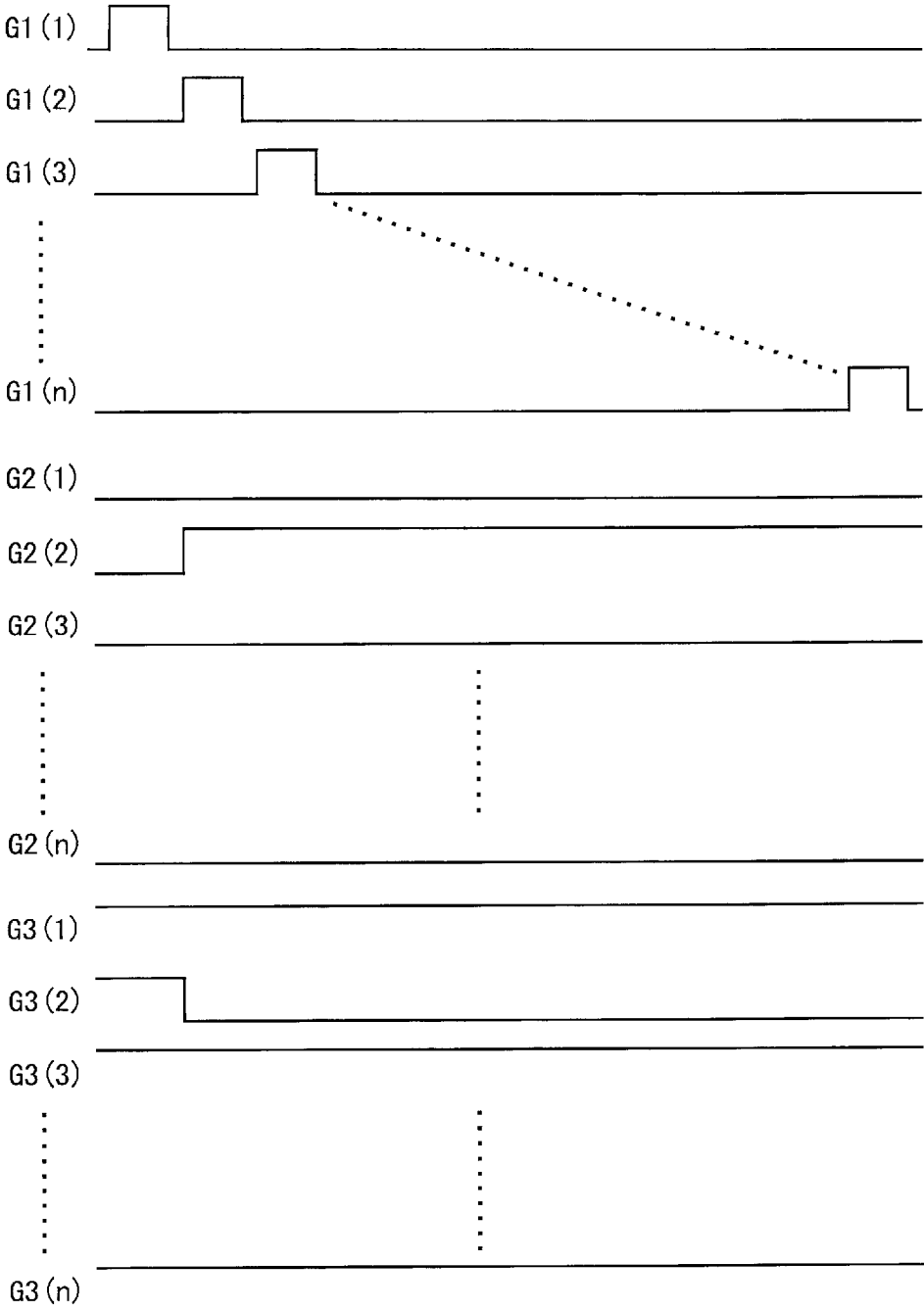
【図31】



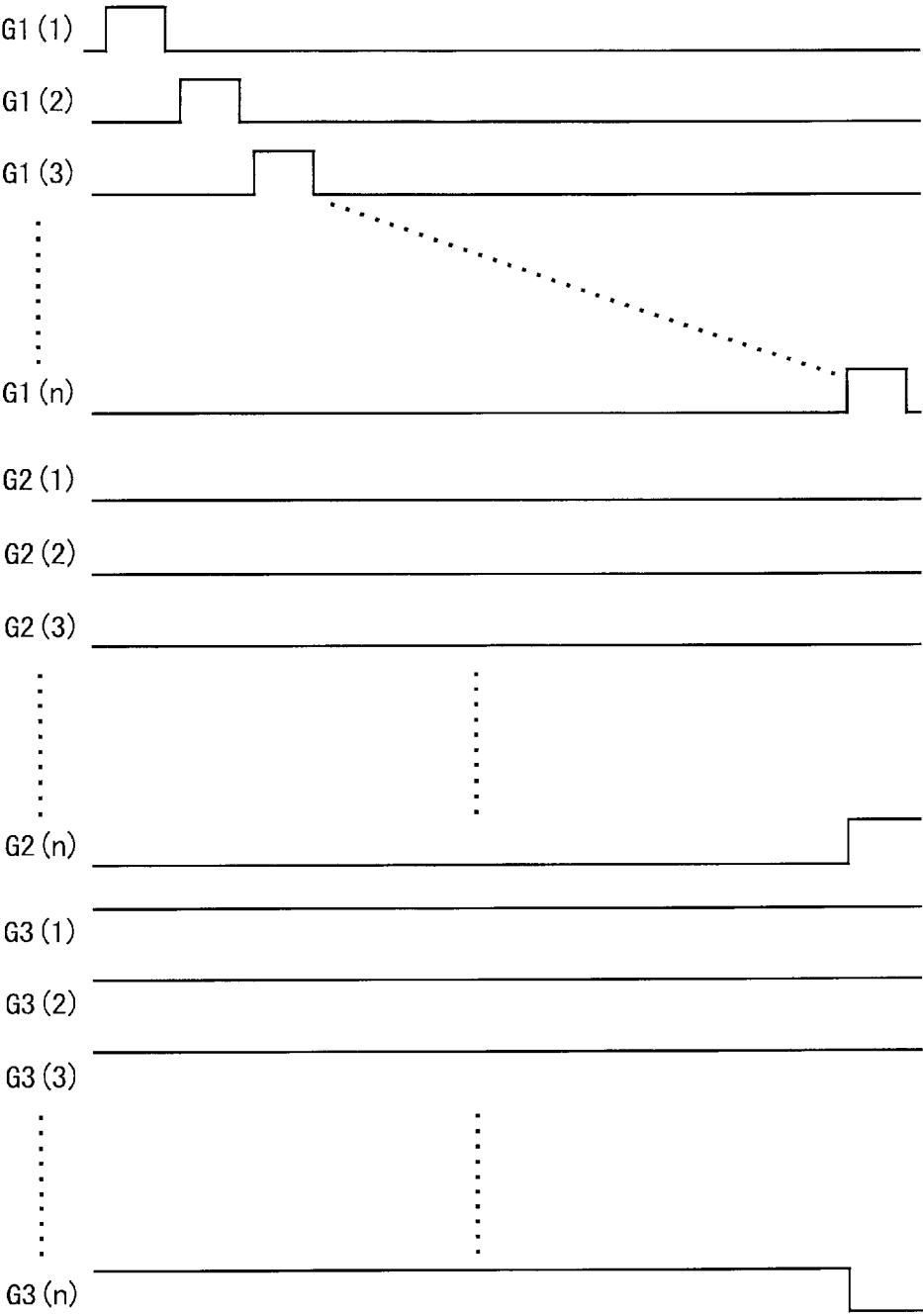
[図32]



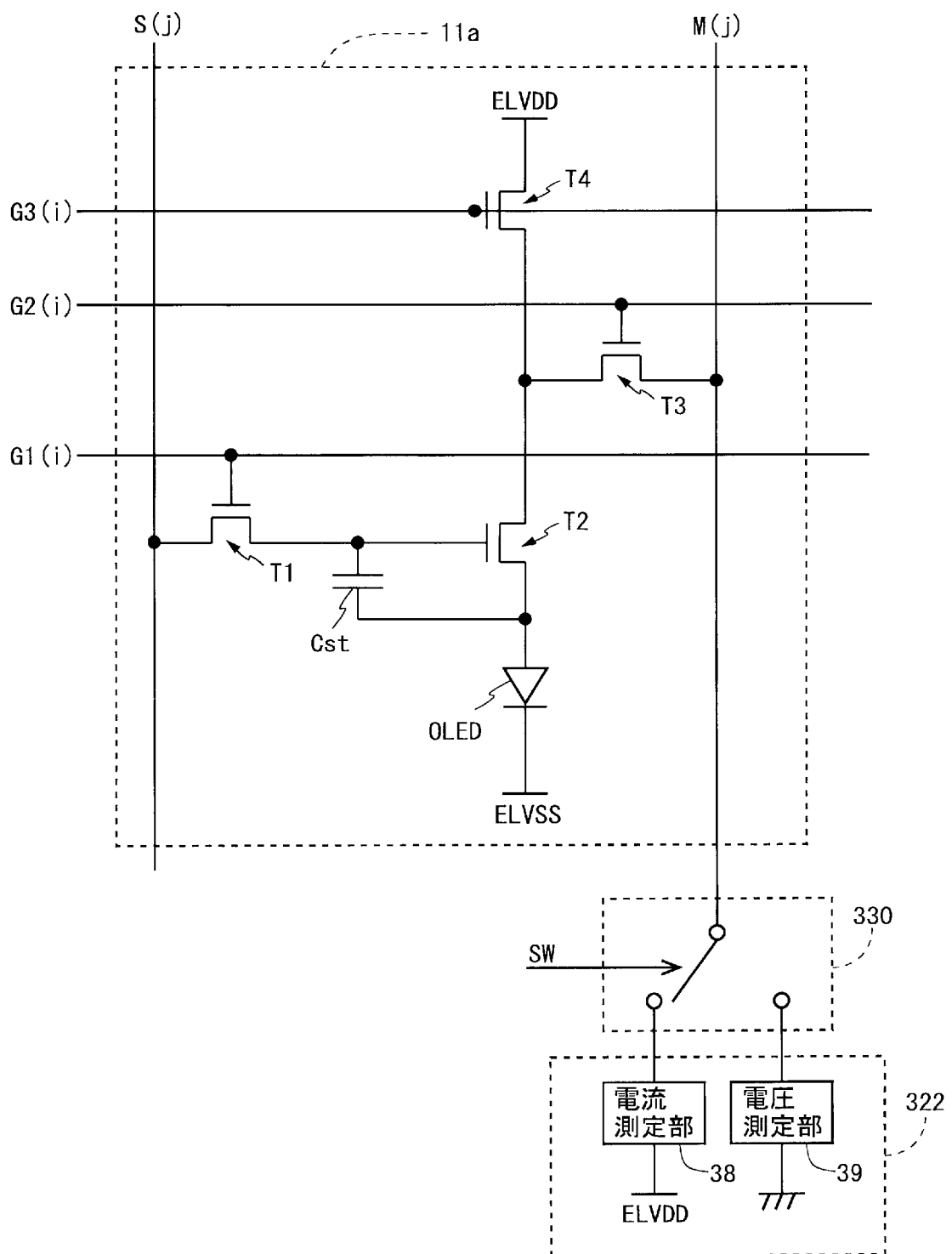
[図33]



[図34]



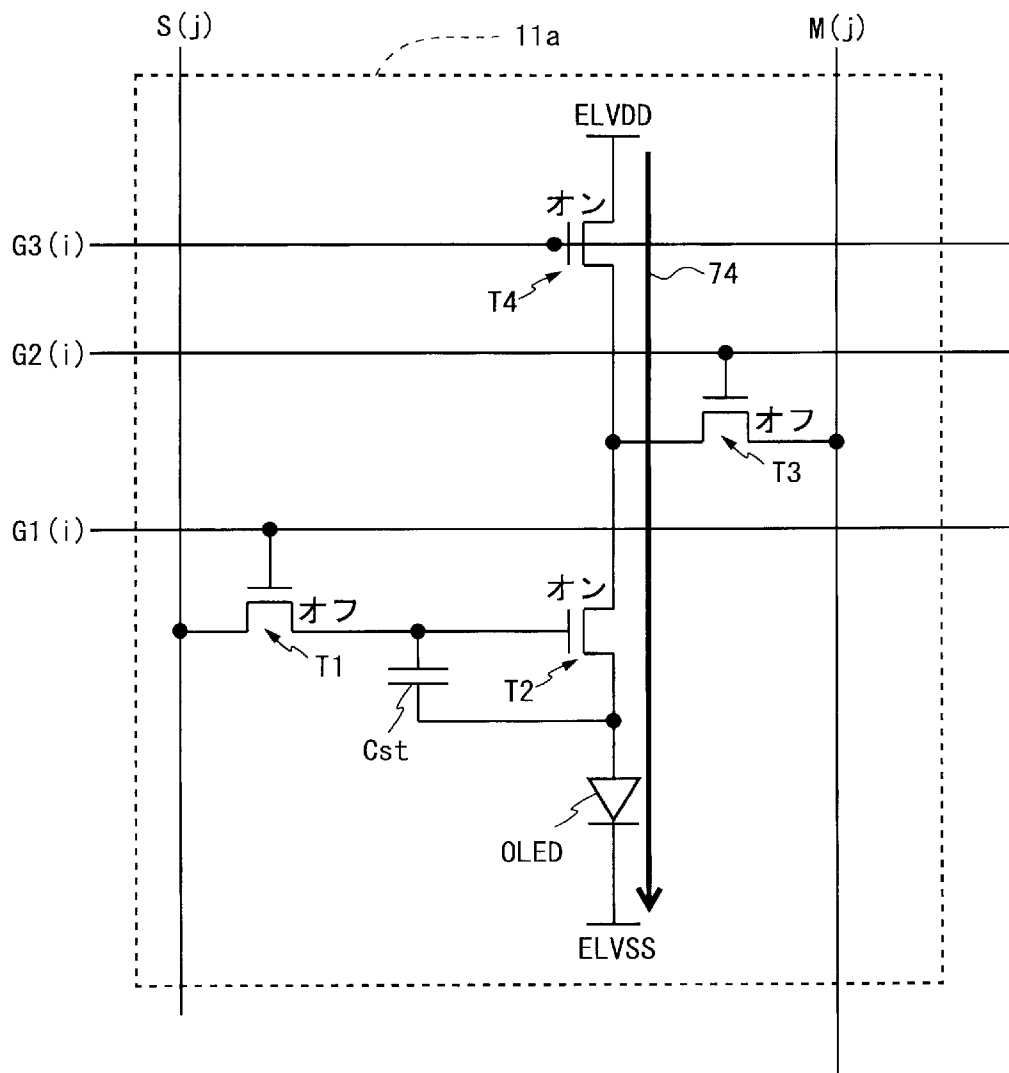
[図35]



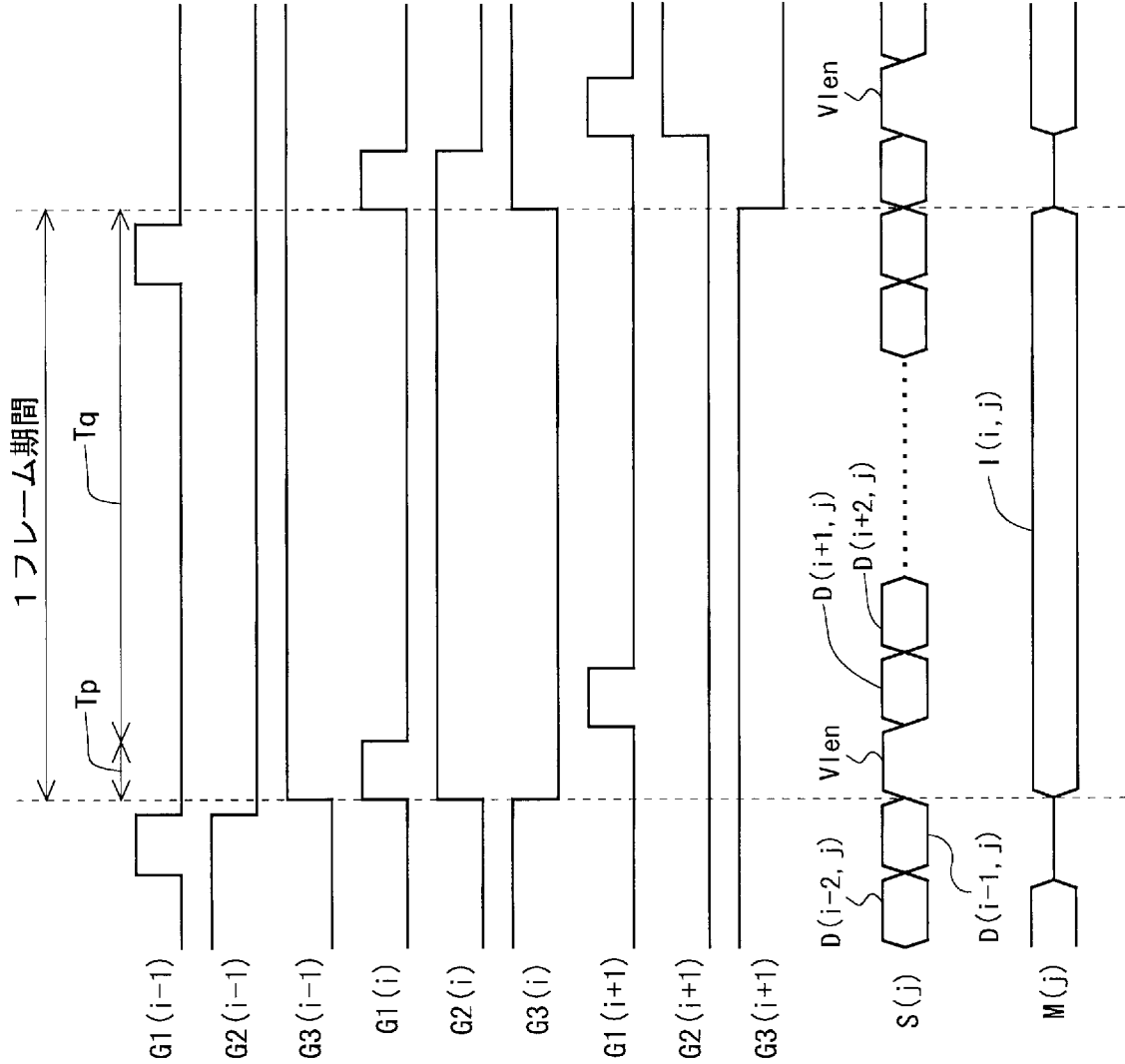
[図36]

|               | OLED特性検出動作 | TFT特性検出動作 | 通常動作               |
|---------------|------------|-----------|--------------------|
| (k+1) フレーム目   | 1 行目       |           | 2 ~ n 行目           |
| (k+2) フレーム目   | 2 行目       |           | 1 行目, 3 ~ n 行目     |
| (k+3) フレーム目   | 3 行目       |           | 1 ~ 2 行目, 4 ~ n 行目 |
| ...           | ...        |           | ...                |
| (k+n) フレーム目   | n 行目       |           | 1 ~ (n-1) 行目       |
| (k+n+1) フレーム目 |            | 1 行目      | 2 ~ n 行目           |
| (k+n+2) フレーム目 |            | 2 行目      | 1 行目, 3 ~ n 行目     |
| (k+n+3) フレーム目 |            | 3 行目      | 1 ~ 2 行目, 4 ~ n 行目 |
| ...           |            | ...       | ...                |
| (k+2n) フレーム目  |            | n 行目      | 1 ~ (n-1) 行目       |

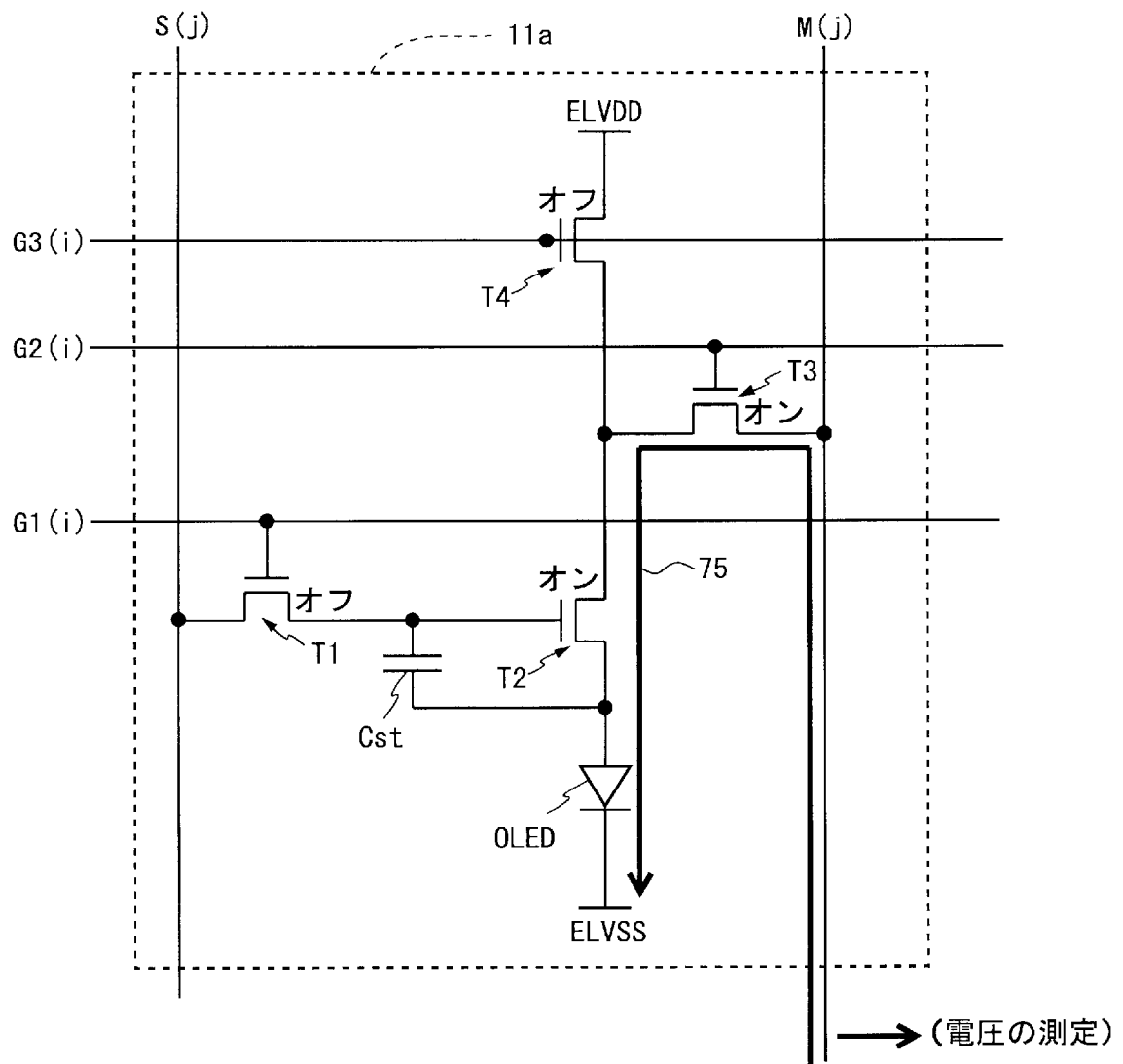
[図37]



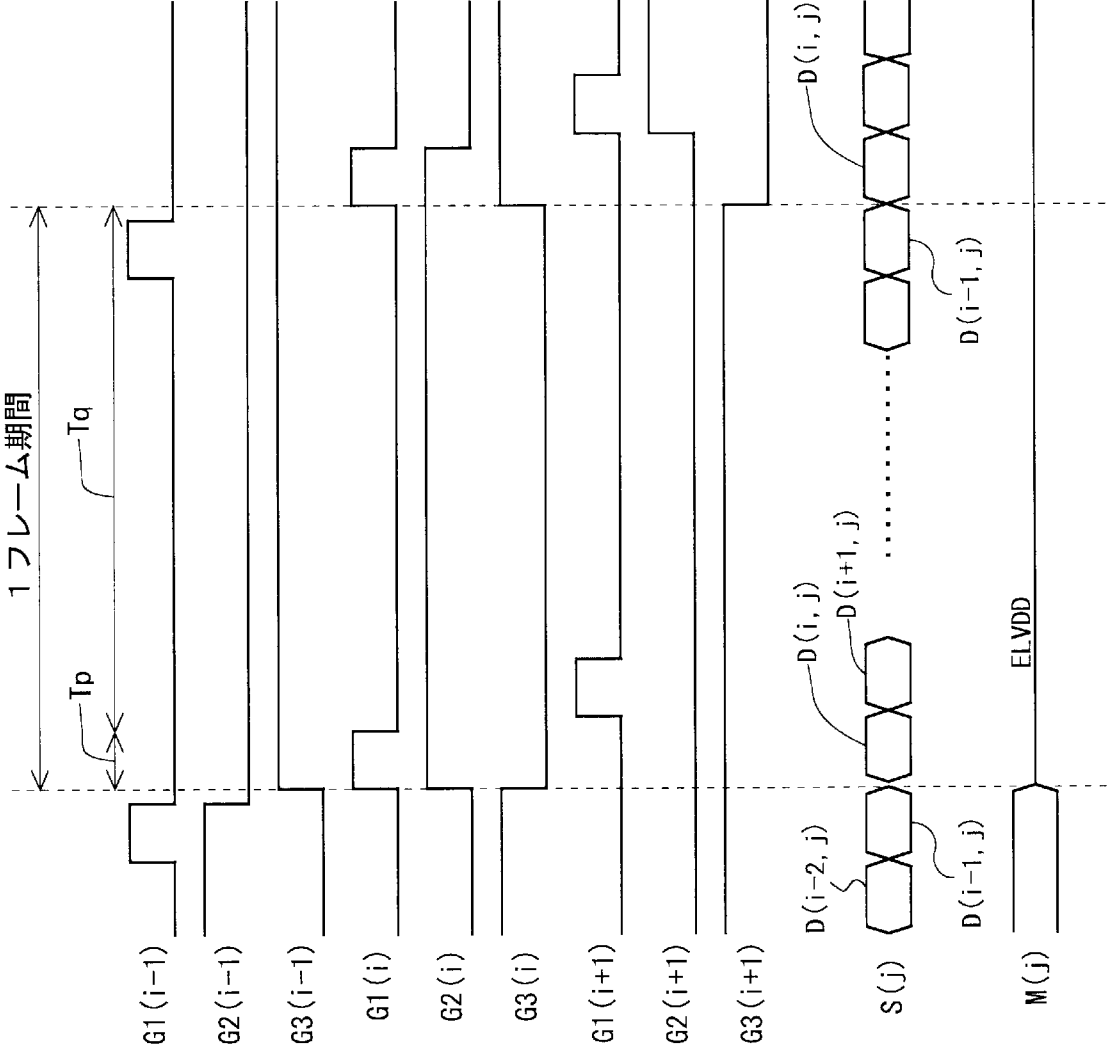
[図38]



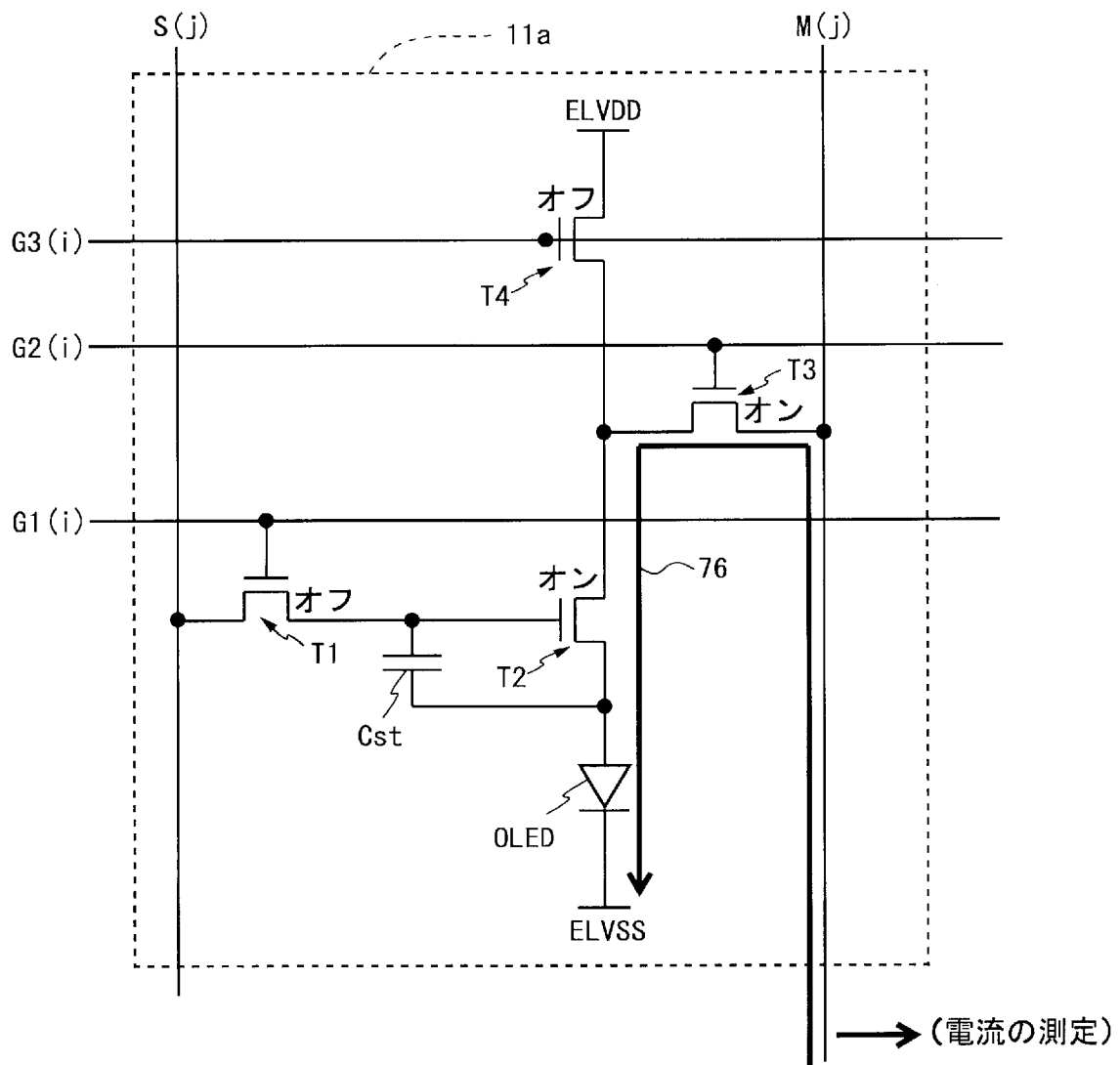
[図39]



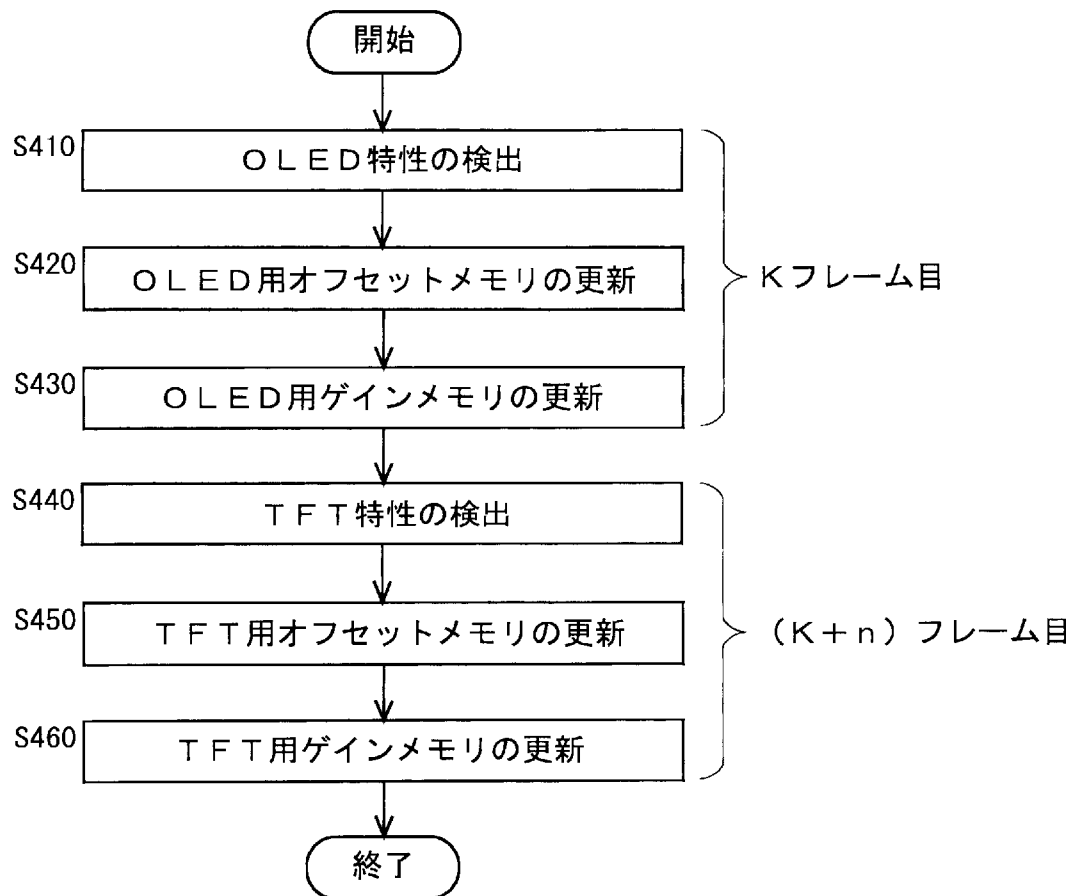
[図40]



[図41]



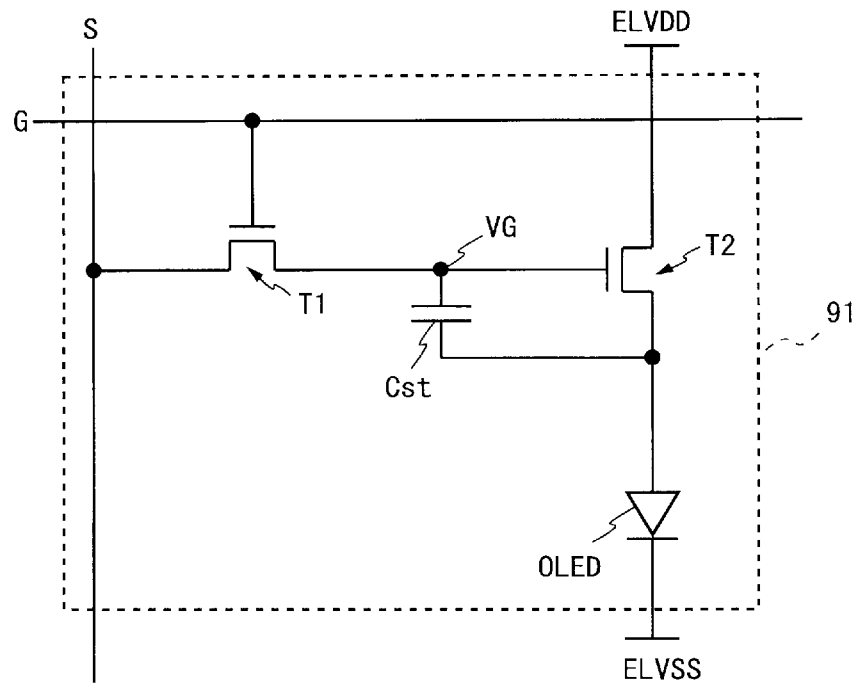
[図42]



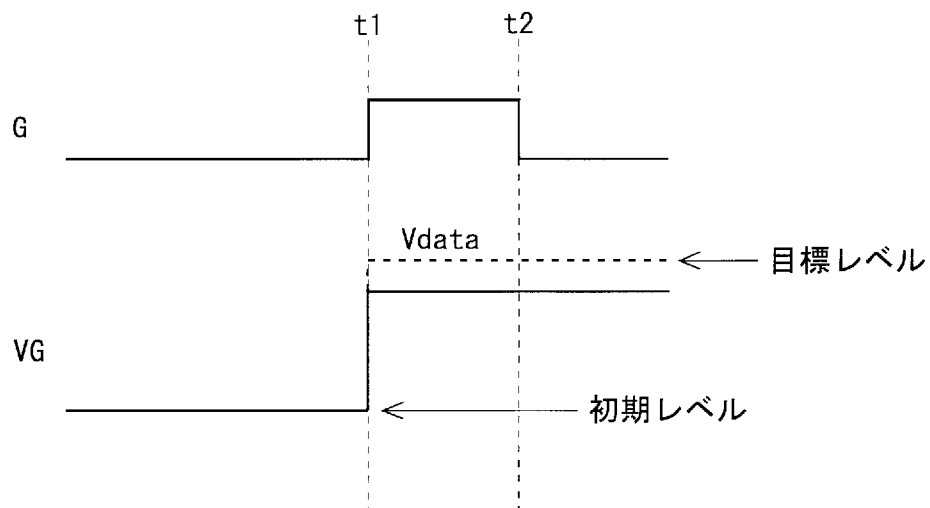
[図43]

|                | OLED特性検出動作 | TFT特性検出動作 | 通常動作               |
|----------------|------------|-----------|--------------------|
| (k+1) フレーム目    | 1 行目       |           | 2 ~ n 行目           |
| (k+2) フレーム目    |            | 1 行目      | 2 ~ n 行目           |
| (k+3) フレーム目    | 2 行目       |           | 1 行目, 3 ~ n 行目     |
| (k+4) フレーム目    |            | 2 行目      | 1 行目, 3 ~ n 行目     |
| (k+5) フレーム目    | 3 行目       |           | 1 ~ 2 行目, 4 ~ n 行目 |
| (k+6) フレーム目    |            | 3 行目      | 1 ~ 2 行目, 4 ~ n 行目 |
| ...            | ...        | ...       | ...                |
| (k+2n-1) フレーム目 | n 行目       |           | 1 ~ (n-1) 行目       |
| (k+2n) フレーム目   |            | n 行目      | 1 ~ (n-1) 行目       |

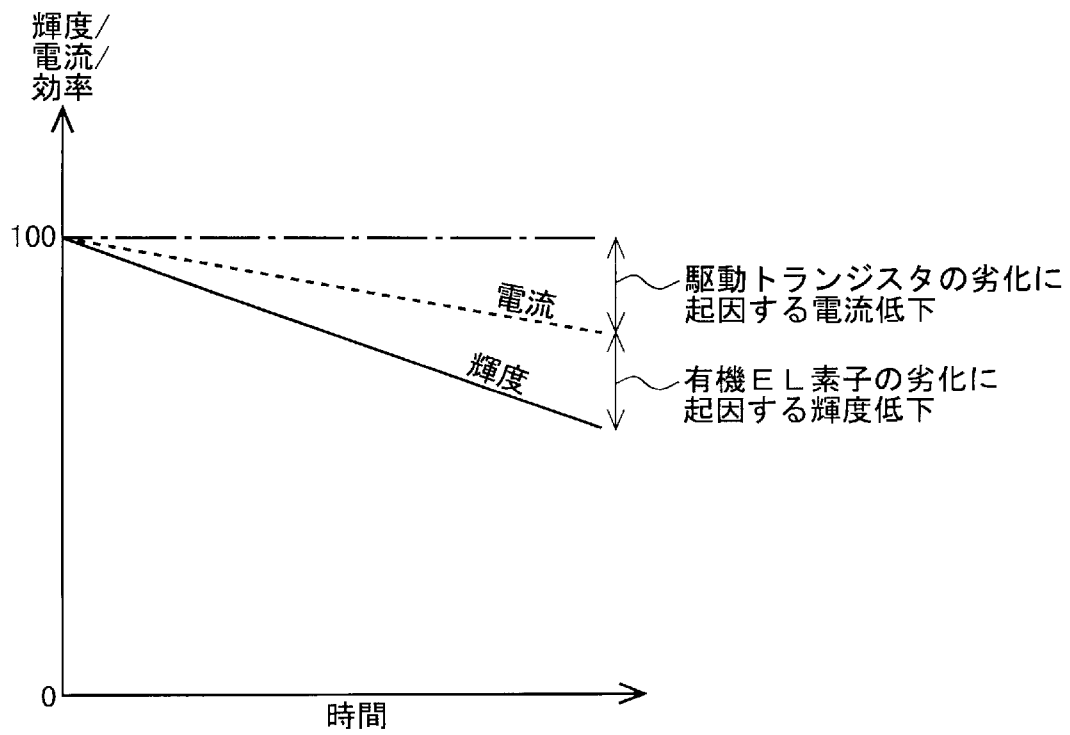
[図44]



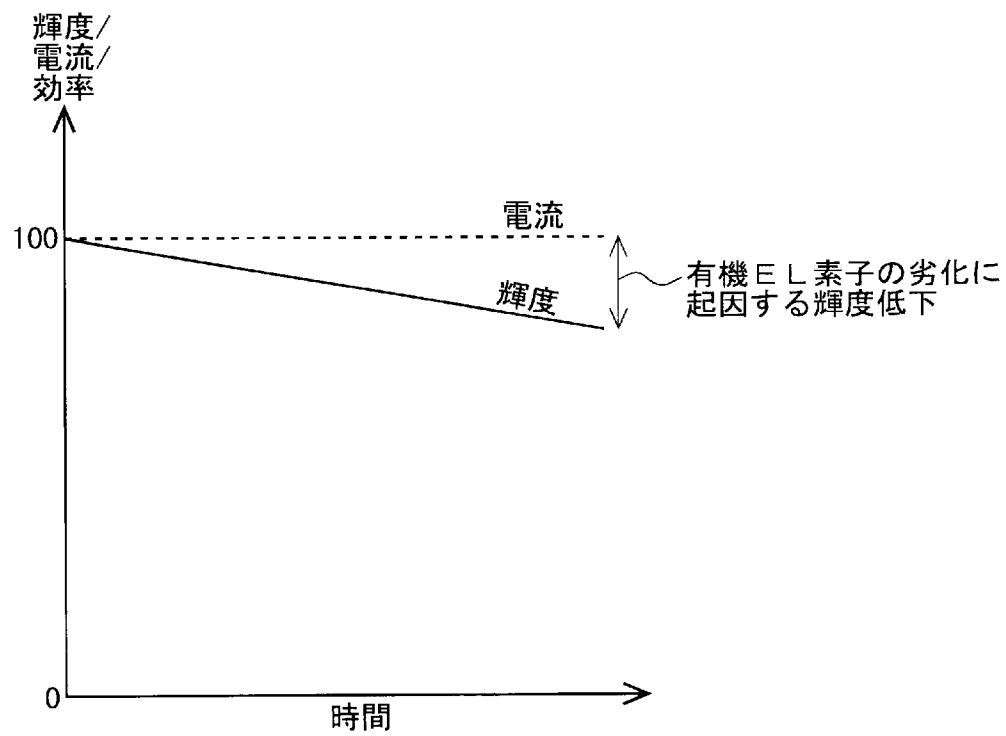
[図45]



[図46]



[図47]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/055550

## A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2014 |
| Kokai Jitsuyo Shinan Koho | 1971-2014 | Toroku Jitsuyo Shinan Koho | 1994-2014 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                        | Relevant to claim No.      |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------|
| X         | JP 2009-42486 A (Sanyo Electric Co., Ltd.),<br>26 February 2009 (26.02.2009),<br>entire text; all drawings<br>(Family: none)                                                              | 1-3, 10, 17,<br>22-26      |
| Y         |                                                                                                                                                                                           | 4, 7, 11, 13,<br>18-20     |
| A         |                                                                                                                                                                                           | 5-6, 8-9, 12,<br>14-16, 21 |
| Y         | JP 2010-160386 A (Seiko Epson Corp.),<br>22 July 2010 (22.07.2010),<br>entire text; all drawings<br>(Family: none)                                                                        | 4, 18                      |
| Y         | JP 2011-95720 A (Casio Computer Co., Ltd.),<br>12 May 2011 (12.05.2011),<br>entire text; all drawings<br>& US 2011/0074762 A1 & CN 102034429 A<br>& KR 10-2011-0035988 A & TW 201120851 A | 7, 19                      |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
03 June, 2014 (03.06.14)

Date of mailing of the international search report  
10 June, 2014 (10.06.14)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2014/055550

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                       | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2010-134169 A (Panasonic Corp.),<br>17 June 2010 (17.06.2010),<br>entire text; all drawings<br>(Family: none)                         | 11, 13                |
| Y         | WO 2009/087746 A1 (Panasonic Corp.),<br>16 July 2009 (16.07.2009),<br>entire text; all drawings<br>& US 2010/0259527 A1 & CN 101903933 A | 20                    |
| P, A      | WO 2014/021201 A1 (Sharp Corp.),<br>06 February 2014 (06.02.2014),<br>entire text; all drawings<br>(Family: none)                        | 1-26                  |

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/30, G09G3/20, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 4 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 4 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 4 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                            | 関連する<br>請求項の番号             |
|-----------------|--------------------------------------------------------------|----------------------------|
| X               | JP 2009-42486 A（三洋電機株式会社）2009.02.26, 全文, 全図<br>（ファミリーなし）     | 1-3, 10, 17,<br>22-26      |
| Y               |                                                              | 4, 7, 11, 13,<br>18-20     |
| A               |                                                              | 5-6, 8-9, 12,<br>14-16, 21 |
| Y               | JP 2010-160386 A（セイコーエプソン株式会社）2010.07.22,<br>全文, 全図（ファミリーなし） | 4, 18                      |

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

0 3 . 0 6 . 2 0 1 4

国際調査報告の発送日

1 0 . 0 6 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

武 田 悟

2 G

9 3 0 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

| C (続き) . 関連すると認められる文献 |                                                                                                                                     |                |
|-----------------------|-------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                   | 関連する<br>請求項の番号 |
| Y                     | JP 2011-95720 A (カシオ計算機株式会社) 2011.05.12, 全文, 全図<br>& US 2011/0074762 A1 & CN 102034429 A<br>& KR 10-2011-0035988 A & TW 201120851 A | 7, 19          |
| Y                     | JP 2010-134169 A (パナソニック株式会社) 2010.06.17,<br>全文, 全図 (ファミリーなし)                                                                       | 11, 13         |
| Y                     | WO 2009/087746 A1 (パナソニック株式会社) 2009.07.16,<br>全文, 全図 & US 2010/0259527 A1 & CN 101903933 A                                          | 20             |
| P, A                  | WO 2014/021201 A1 (シャープ株式会社) 2014.02.06, 全文, 全図<br>(ファミリーなし)                                                                        | 1-26           |