



(12) 发明专利申请

(10) 申请公布号 CN 104753499 A

(43) 申请公布日 2015.07.01

(21) 申请号 201510189259.X

(22) 申请日 2015.04.17

(71) 申请人 上海华虹宏力半导体制造有限公司

地址 201203 上海市浦东新区张江高科技园
区祖冲之路 1399 号

(72) 发明人 陈丹凤

(74) 专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 郑玮

(51) Int. Cl.

H03K 3/017(2006.01)

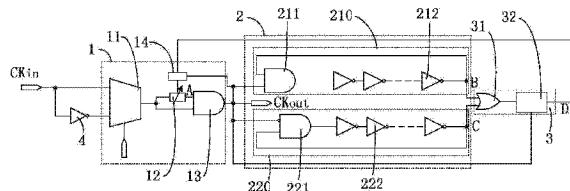
权利要求书1页 说明书5页 附图2页

(54) 发明名称

占空比较校准电路

(57) 摘要

本发明公开了一种占空比较校准电路，包括：信号选择电路，环形振荡电路以及双向计数电路，其中：信号选择电路，输入第一时钟信号，输出第二时钟信号；环形振荡电路，输入所述第二时钟信号，输出第三时钟信号和第四时钟信号；双向计数电路，输入第二、第三、第四时钟信号，输出控制信号至信号选择电路。本发明的占空比较校准电路的占用面积较现有技术小，无需使用电容和积分器，校准时间大大降低。



1. 一种占空比较准电路,其特征在于,包括:信号选择电路,环形振荡电路以及双向计数电路,其中:

信号选择电路,输入第一时钟信号,输出第二时钟信号;

环形振荡电路,输入所述第二时钟信号,输出第三时钟信号和第四时钟信号;

双向计数电路,输入第二、第三、第四时钟信号,输出控制信号至信号选择电路。

2. 如权利要求 1 所述的占空比较准电路,其特征在于,所述信号选择电路包括多路模拟开关、延时单元和第一与门;其中,

所述多路模拟开关,用于选择第一时钟信号的极性,输出占空比大于 50%的第一时钟信号;

延时单元,输入占空比大于 50%的第一时钟信号,输出延迟信号;

第一与门,一输入端输入占空比大于 50%的第一时钟信号,另一输入端输入延迟信号,输出第二时钟信号。

3. 如权利要求 2 所述的占空比较准电路,其特征在于,所述延时单元采用可调延时单元。

4. 如权利要求 2 所述的占空比较准电路,其特征在于,所述信号选择电路还包括累加器,所述累加器的一输入端连接至双向计数电路的输出端,另一输入端输入所述第二时钟信号,所述累加器的输出端连接至延时单元的输入端。

5. 如权利要求 2 所述的占空比较准电路,其特征在于,所述第一时钟信号分两路,一路直接输入到所述多路模拟开关的输入端,另一路通过第一反相器反相后输入到所述多路模拟开关的输入端。

6. 如权利要求 1 所述的占空比较准电路,其特征在于,所述环形振荡电路包括:第一振荡电路和第二振荡电路,其中,

第一振荡电路,输入第二时钟信号,输出第三时钟信号;

第二振荡电路,输入第二时钟信号,输出第四时钟信号。

7. 如权利要求 6 所述的占空比较准电路,其特征在于,所述第一振荡电路包括第二与门和与所述第二与门串接的若干第二反相器,所述第二与门的一输入端输入第二时钟信号,另一输入端与第一振荡电路的输出端连接。

8. 如权利要求 6 所述的占空比较准电路,其特征在于,所述第二振荡电路包括第三与门和与所述第三与门串接的若干第三反相器,所述第三与门的一输入端反相接收第二时钟信号,另一输入端与第二振荡电路的输出端连接。

9. 如权利要求 1 所述的占空比较准电路,其特征在于,所述双向计数电路包括:或门和双向计数器,所述或门的输入端接收第三、第四时钟信号,输出第五时钟信号,所述双向计数器接收第五时钟信号和第二时钟信号,输出控制信号。

10. 如权利要求 9 所述的占空比较准电路,其特征在于,所述第二时钟信号为高电平时,所述双向计数器为加法器;所述第二时钟信号为低电平时,所述双向计数器为减法器。

11. 如权利要求 1 所述的占空比较准电路,其特征在于,所述占空比较准电路的校准时间 = $\text{abs}(\text{第一时钟信号占空比}-50\%) \times T_{in} / (2 \times T_{osc})$, 其中, T_{in} 是第一时钟信号的时钟周期, T_{osc} 是环形振荡电路的时钟周期。

占空比较准电路

技术领域

[0001] 本发明涉及集成电路制造领域,特别涉及一种占空比较准电路。

背景技术

[0002] 随着集成电路工艺的不断发展,芯片的工作速度持续提高,工作速度的提高意味着更苛刻的时序精度,因此,对系统时钟性能的要求也在不断的提高。时钟的占空比是时钟性能中一个比较重要的性能指标。占空比 (Duty Cycle) 通常指在一串理想的脉冲周期序列中,正脉冲的持续时间与脉冲周期的比值。如:占空比为 50% 则意味着高电平时钟周期的宽度等于低电平时钟周期的宽度。就目前而言,50% 的占空比对数据的传输较有利,也是系统稳定工作的必要条件之一。例如:对于双倍速率同步动态随机存储器 (DDR-SDRAM, Double Date Synchronous Dynamic Random Access Memory) 而言,其是一个时钟周期内传输两次数据,即在时钟的上升沿和下降沿各传输一次数据,因此,时钟占空比达到 50% 就显得尤为重要。

[0003] 在实际应用场合中,由于需要较高的频率和严格的同步,系统时钟一般通过时钟数据恢复电路 (CDR, Clock and Date Recovery), 锁相环 (PLL, Phase-LockLoop) 或延迟锁相环 (DLL, Delay-Locked Loop) 来产生。由于电路设计本身产生的失配和芯片制造过程中工艺与仿真模型的偏差,经倍率、同步后产生的时钟往往不能保证 50% 的占空比。此外,即使产生的时钟占空比为严格的 50%,在之后的时钟信号的传输过程中,由于传输链路中存在的系统及工艺偏差,占空比也会发生失调,且在频率较高的情况下,占空比的失调甚至可以使得时钟信号不能正常翻转,因此导致严重的时序错误。故除了对 PLL, DLL 产生的系统时钟的占空比进行调整外,也需要对输入时钟的占空比进行调整。

[0004] 占空比较准电路广泛应用于需要 50% 占空比的数字模拟电路中,这些电路需要同时用到输入时钟的上升沿和下降沿,例如 DDR-SDRAM, Half-rate CDR, DLL 和 PLL 等。通常占空比较准电路分为数字占空比较准和模拟占空比较准两类。数字占空比较准电路存在校准范围小的问题。模拟占空比较准电路通常需要积分器和大电容,存在面积大和校准时间长的问题。

[0005] 如图 1 所示,现有的占空比较准电路,CKin 为输入信号,Ckout 为经过调整后的信号。具体地,现有的占空比较准电路通过环形振荡器 R0(Ring Oscillator) 和电荷泵 CP2 对电容 C2 充放电,产生代表 50% 脉宽的参考电压 Vref。输入信号 CKin 经过脉宽调整电路 100 后得到调整后的信号 CKout,该信号 CKout 被另一电荷泵 CP1 与电容 C1 检测脉宽,并与参考电压 Vref 比较。如果 Ckout 的脉宽小于 50%,则延长电容 C1 充电时间,使电容 C1 一端的电压 VC 升高至电压 VC > 参考电压 Vref,从而使电容 C3 上的控制电压升高,进而调整脉宽调整电路 100,使信号 CKout 的脉宽增加,如此反复检测、反馈、调整直至信号 CKout 的脉宽为 50%,该模拟的方式需要用到三个电容 C1、C2、C3,面积较大,且校准需要用到积分器,校准时间较长。

发明内容

[0006] 本发明提供一种占空比较准电路，以解决现有技术中占空比较准电路面积大、校准时间长的问题。

[0007] 为解决上述技术问题，本发明提供一种占空比较准电路，包括：信号选择电路，环形振荡电路以及双向计数电路，其中：信号选择电路，输入第一时钟信号，输出第二时钟信号；环形振荡电路，输入所述第二时钟信号，输出第三时钟信号和第四时钟信号；双向计数电路，输入第二、第三、第四时钟信号，输出控制信号至信号选择电路。

[0008] 作为优选，所述信号选择电路包括多路模拟开关、延时单元和第一与门；其中，所述多路模拟开关，用于选择第一时钟信号的极性，输出占空比大于50%的第一时钟信号；延时单元，输入占空比大于50%的第一时钟信号，输出延迟信号；第一与门，一输入端输入占空比大于50%的第一时钟信号，另一输入端输入延迟信号，输出第二时钟信号。

[0009] 作为优选，所述延时单元采用可调延时单元。

[0010] 作为优选，所述信号选择电路还包括累加器，所述累加器的一输入端连接至双向计数电路的输出端，另一输入端输入所述第二时钟信号，所述累加器的输出端连接至延时单元的输入端。

[0011] 作为优选，所述第一时钟信号分两路，一路直接输入到所述多路模拟开关的输入端，另一路通过反相器反相后输入到所述多路模拟开关的输入端。

[0012] 作为优选，所述环形振荡电路包括：第一振荡电路和第二振荡电路，其中，第一振荡电路，输入第二时钟信号，输出第三时钟信号；第二振荡电路，输入第二时钟信号，输出第四时钟信号。

[0013] 作为优选，所述第一振荡电路包括第二与门和与所述第二与门串接的若干反相器，所述第二与门的一输入端输入第二时钟信号，另一输入端与第一振荡电路的输出端连接。

[0014] 作为优选，所述第二振荡电路包括第三与门和与所述第三与门串接的若干第三反相器，所述第三与门的一输入端反相接收第二时钟信号，另一输入端与第二振荡电路的输出端连接。

[0015] 作为优选，所述双向计数电路包括：或门和双向计数器，所述或门的输入端接收第三、第四时钟信号，输出第五时钟信号，所述双向计数器接收第五时钟信号和第二时钟信号，输出控制信号。

[0016] 作为优选，所述第二时钟信号为高电平时，所述双向计数器为加法器；所述第二时钟信号为低电平时，所述双向计数器为减法器。

[0017] 作为优选，所述占空比较准电路的校准时间 = $\text{abs}(\text{第一时钟信号占空比} - 50\%) \times T_{in} / (2 \times T_{osc})$ ，其中， T_{in} 是第一时钟信号的时钟周期， T_{osc} 是环形振荡电路的时钟周期。

[0018] 与现有技术相比，本发明的占空比较准电路，包括：信号选择电路，环形振荡电路以及双向计数电路，其中：信号选择电路，输入第一时钟信号，输出第二时钟信号；环形振荡电路，输入所述第二时钟信号，输出第三时钟信号和第四时钟信号；双向计数电路，输入第二、第三、第四时钟信号，输出控制信号至信号选择电路。本发明的占空比较准电路基于环形振荡电路和双向计数电路，无需使用电容，占用面积较现有的占空比较准电路小，无需

使用积分器，校准时间大大降低。

附图说明

- [0019] 图 1 为现有的占空比校准电路图；
- [0020] 图 2 为本发明一具体实施方式中占空比校准电路图；
- [0021] 图 3 为本发明一具体实施方式中占空比校准电路的一种工作时序图。

具体实施方式

[0022] 为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。需说明的是，本发明附图均采用简化的形式且均使用非精准的比例，仅用以方便、明晰地辅助说明本发明实施例的目的。

[0023] 如图 2 所示，本发明提供一种占空比校准电路，包括：信号选择电路 1，环形振荡电路 2 以及双向计数电路 3。

[0024] 其中：所述信号选择电路 1 的输出端与所述环形振荡电路 2 的输入端连接，用于输入第一时钟信号 CKin，输出第二时钟信号 CKout；所述环形振荡电路 2，输入所述第二时钟信号 CKout，输出第三时钟信号 B 和第四时钟信号 C；双向计数电路 3，输入第二、第三、第四时钟信号 CKout、B、C，输出控制信号 D 至信号选择电路 1。

[0025] 具体地，所述信号选择电路 1 包括多路模拟开关 (MUX) 11、延时单元 12、第一与门 13 以及累加器 (ACC) 14。

[0026] 所述多路模拟开关 11 用于选择第一时钟信号 CKin 的极性，输出占空比大于 50% 的第一时钟信号 CKin。具体地，所述第一时钟信号 CKin 分两路，一路直接输入到所述多路模拟开关 11 的输入端，另一路通过第一反相器 4 反相后输入到所述多路模拟开关 11 的输入端。

[0027] 所述延时单元 12 采用可调延时单元 (DL)，输入端与多路模拟开关 11 的输出端连接，延时单元 12 的输出端连接至第一与门 13 的一输入端。具体地，延时单元 12 输入占空比大于 50% 的第一时钟信号 CKin，输出延迟信号 A。

[0028] 所述第一与门 13 的一输入端输入占空比大于 50% 的第一时钟信号 CKin，另一输入端输入延迟信号 A，输出第二时钟信号 CKout，该第一与门 13 的输出端与环形振荡电路 2 的输入端连接。

[0029] 所述累加器 14 的一输入端连接至双向计数电路 3 的输出端，另一输入端输入第二时钟信号 CKout，所述累加器 14 的输出端连接至延时单元 12 的输入端。

[0030] 继续参照图 2，所述环形振荡电路 2 包括：第一振荡电路 210 和第二振荡电路 220，其中，第一振荡电路 210 输入第二时钟信号 CKout，输出第三时钟信号 B；所述第二振荡电路 220 输入第二时钟信号 CKout，输出第四时钟信号 C。

[0031] 作为优选，所述第一振荡电路 210 包括第二与门 211 和与所述第二与门 211 串接的若干第二反相器 212，所述第二与门 211 的一输入端输入第二时钟信号 CKout，另一输入端与第一振荡电路 210 的输出端连接。所述第二振荡电路 220 包括第三与门 221 和与第三与门 221 串接的若干第三反相器 222，所述第三与门 221 的一输入端反相接收第二时钟信号 CKout，另一输入端与第二振荡电路 220 的输出端连接。也就是说，所述第一、第二振荡电路

210、220 之间的区别在于，第二振荡电路 220 的其中一个输入端输入的信号与第一振荡电路 210 反相；换句话说，第一振荡电路 210 在第二时钟信号 CKout 为高电平时工作，而第二振荡电路 220 在第二时钟信号 CKout 为低电平时工作。

[0032] 请继续参照图 2，作为优选，所述双向计数电路 3 包括：或门 31 和双向计数器 (UP/DOWN COUNTER) 32，所述或门 31 的一输入端与第一振荡电路 210 的输出端连接，用于接收第三时钟信号 B；另一输入端与所述第二振荡电路 220 的输出端连接，用于接收第四时钟信号 C，所述双向计数电路 3 输出第五时钟信号，所述双向计数器 32 的输入端接收第五时钟信号和第二时钟信号 CKout，输出控制信号 D 至所述累加器 14。

[0033] 作为优选，所述第二时钟信号 CKout 为高电平时，第一振荡电路 210 的输出端的第三时钟信号 B 为振荡输出时钟信号，此时，所述双向计数器 32 为加法器。当所述第二时钟信号 CKout 为低电平时，第二振荡电路 220 的输出端的第四时钟信号 C 为振荡输出时钟信号，所述双向计数器 32 为减法器。

[0034] 请参照图 2 和图 3，本发明的占空比校准电路的校准过程为：

[0035] 第一时钟信号 CKin 和其反相信号通入多路模拟开关 11 中，由多路模拟开关 11 选择极性，输出占空比大于 50% 的第一时钟信号 CKin，该占空比大于 50% 的第一时钟信号 CKin 分两路，一路信号通过延迟单元 13 形成延迟信号 A 通入第一与门 13 的输入端，另一路信号通入第一与门 13 的另一输入端，延迟信号 A 与第一时钟信号 CKin 经过第一与门 13 合成占空比大于或等于 50% 的第二时钟信号 CKout。

[0036] 接着，重点参照图 3，所述第二时钟信号 CKout 的具体校准过程如下：

[0037] 当第二时钟信号 CKout 为上升沿时，第一振荡电路 210 的输出端 (B 点所在位置) 为所述环形振荡电路 2 的振荡输出时钟，即此时第三时钟信号 B 为脉冲信号，第四时钟信号 C 为低电平信号。

[0038] 当第二时钟信号 CKout 为下降沿时，第三时钟信号 B 为低电平信号，第二振荡电路 220 的输出端 (C 点所在位置) 是所述环形振荡电路 2 的振荡输出时钟，即此时第四时钟信号 C 为脉冲信号。

[0039] 第三时钟信号 B 和第四时钟信号 C 经过或门 31 输入到所述双向计数器 32，由于第二时钟信号 CKout 为高电平时，双向计数器 32 为加法器，第二时钟信号 CKout 为低电平时的双向计数器 32 为减法器。因此，经过一个时钟周期的双向计数，由于最初选择的是占空比大于 50% 的第一时钟信号 CKin，所以第三时钟信号 B 的脉冲数大于第四时钟信号 C 的脉冲数，则双向计数器 32 的输出的控制信号为高电平，该控制信号送到累加器 14 (ACC) 中，在第二时钟信号 CKout 的上升沿时，累加器 14 内的数值与该高电平的控制信号累加一次，则累加器 14 的输出 +1，从而使可调延时单元增加一个单位延迟时间，进而降低第二时钟信号 CKout 的占空比。重复上述过程，几次之后当第二时钟信号 CKout 的占空比到达 50% 时，此时，第三时钟信号 B 和第四时钟信号 C 的脉冲数相等，则双向计数器 32 的输出为 0，累加器 14 输入一直为 0，整个电路稳定下来。进一步的，可以将所述可调延时单元的一个单位延迟时间设计成略小于环形振荡电路 2 的一个时钟周期，则最终的校准精度可以达到小于一个环形振荡电路 2 的时钟周期。

[0040] 进一步的，本发明的占空比校准电路的校准时间 = $\text{abs}(\text{第一时钟信号 CKin 占空比} - 50\%) \times T_{in} / (2 \times T_{osc})$ ，其中， T_{in} 是所述第一时钟信号 CKin 的时钟周期， T_{osc} 是环

形振荡电路 2 的时钟周期。

[0041] 综上所述,本发明的占空比较准电路,包括:信号选择电路 1,环形振荡电路 2 以及双向计数电路 3,其中:信号选择电路 1,输入第一时钟信号 CKin,输出第二时钟信号 CKout;环形振荡电路 2,输入所述第二时钟信号 CKout,输出第三时钟信号 B 和第四时钟信号 C;双向计数电路 3,输入第二、第三、第四时钟信号 CKout、B、C,输出控制信号至信号选择电路 1。本发明的占空比较准电路基于环形振荡电路 2 和双向计数电路 3,无需使用电容,占用面积较现有的占空比较准电路小,无需使用积分器,校准时间大大降低。

[0042] 显然,本领域的技术人员可以对发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包括这些改动和变型在内。

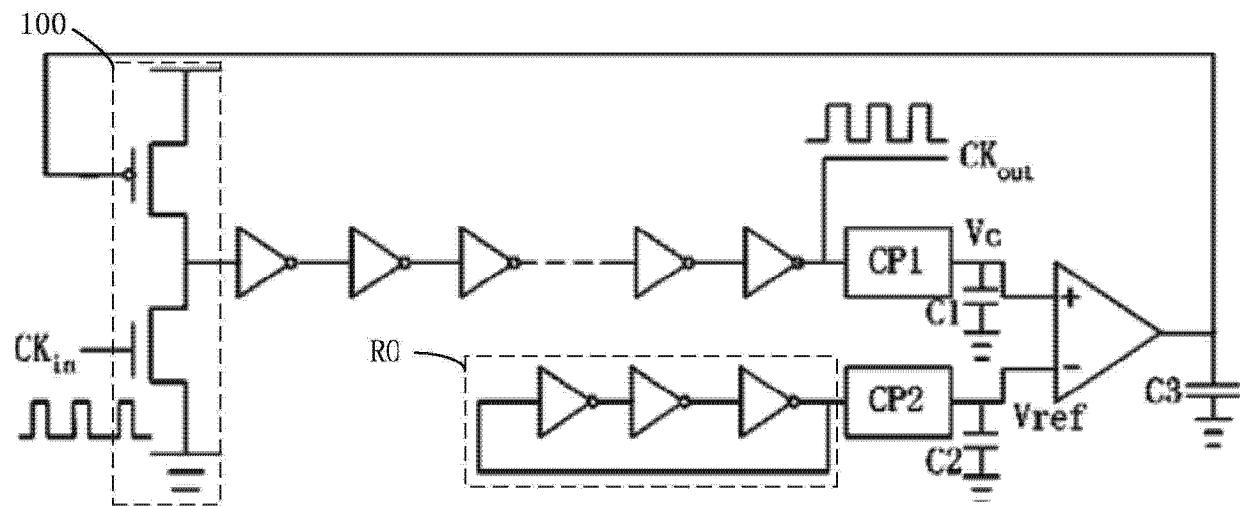


图 1

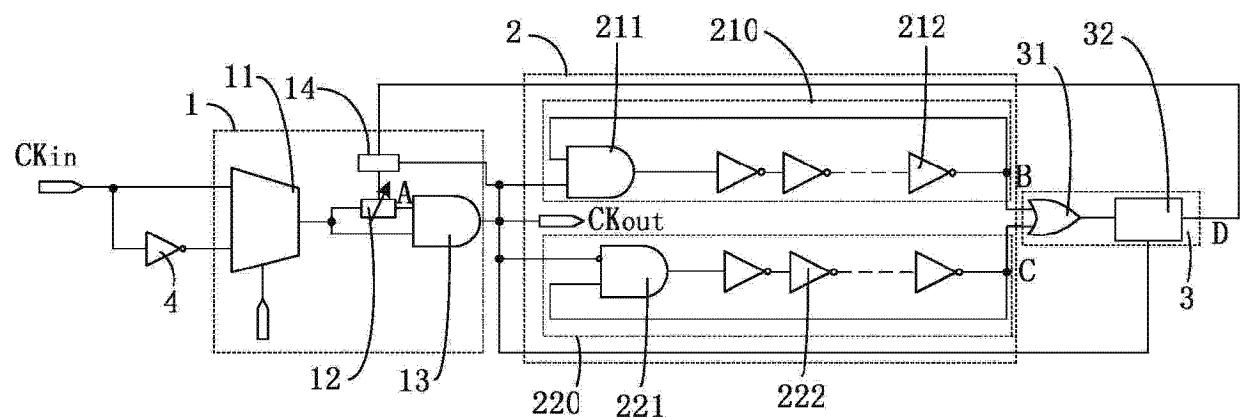


图 2

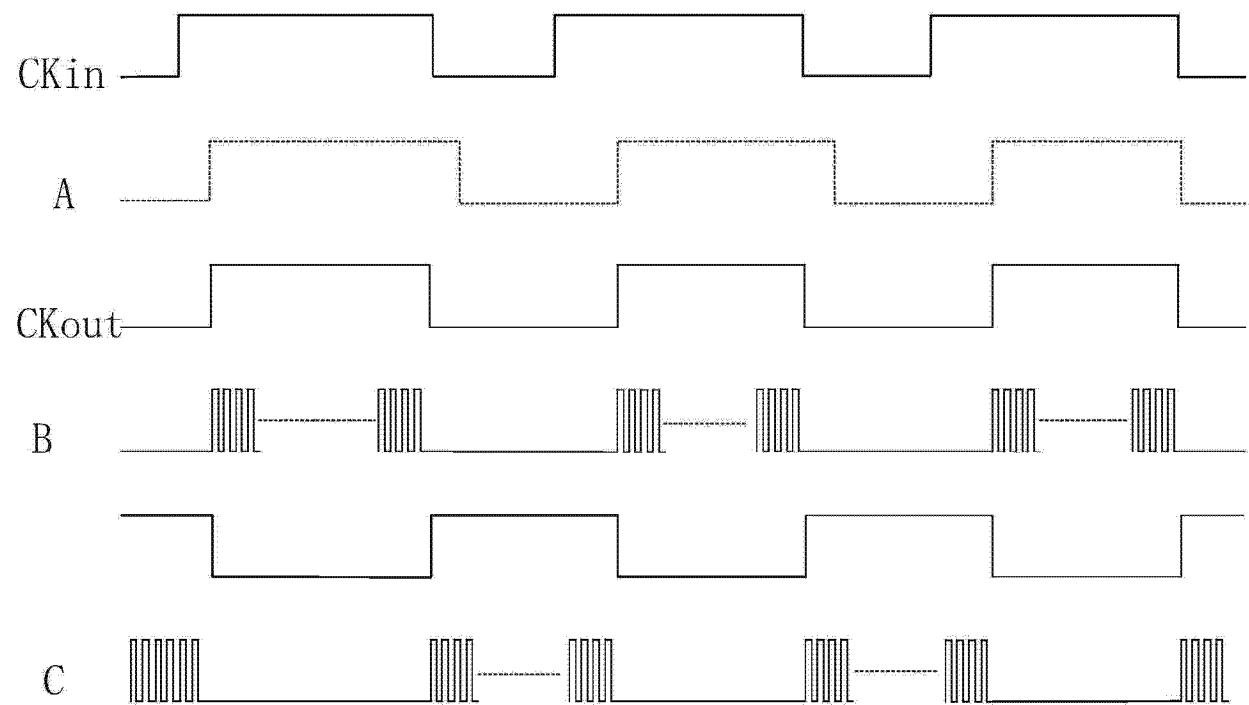


图 3