



Brevet d'invention délivré pour la Suisse et le Liechtenstein
Traité sur les brevets, du 22 décembre 1978, entre la Suisse et le Liechtenstein



FASCICULE DU BREVET A5

(11)

634 937

(21) Numéro de la demande: 5475/78

(73) Titulaire(s):
Amdahl Corporation, Sunnyvale/CA (US)

(22) Date de dépôt: 19.05.1978

(30) Priorité(s): 20.05.1977 US 798985

(72) Inventeur(s):
Richard Leslie Bishop, Sunnyvale/CA (US)
William Allen Gibson, Cupertino/CA (US)

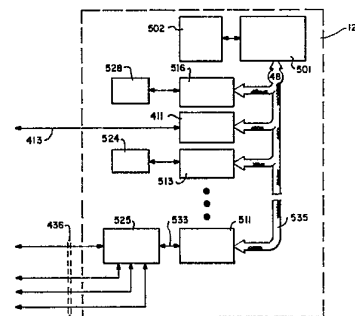
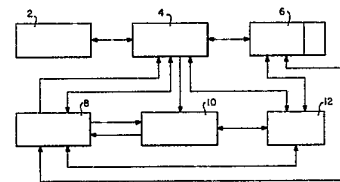
(24) Brevet délivré le: 28.02.1983

(45) Fascicule du brevet
publié le: 28.02.1983

(74) Mandataire:
Bovard & Cie., Bern

(54) Installation de traitement d'information, procédé de mise en action de cette installation.

(57) Dans le but de permettre la détection et l'analyse des pannes, l'installation, qui comprend un appareil principal (2, 4, 6, 8, 10) ayant plusieurs points de circuits principaux qui, en fonctionnement, prennent chacun un état réel censé correspondre à un état prévu, comprend de plus un appareil secondaire (12) qui traite les informations indépendamment de l'appareil principal et qui a accès (525) à l'information indiquant les états réels des points des circuits principaux (2-10). L'appareil secondaire (12) comprend un calculateur numérique (501) pouvant calculer et mémoriser dans une mémoire (502) une somme réelle de contrôle qui peut être comparée à une somme prévue de contrôle. Un organe de couplage (516) relie le calculateur (501) et un agencement de fichier à disques (528).



REVENDEICATIONS

1. Installation de traitement d'information comprenant un appareil principal (2, 4, 6, 8, 10) ayant plusieurs points (IB 0, IB 1, ..., IB 15) de circuits principaux dont chacun présente un état prévu et un état réel à tout instant pendant le fonctionnement dudit appareil principal, chaque point étant exempt d'erreur si l'état réel correspondant est identique à l'état prévu, et un appareil secondaire (12) de traitement d'information indépendamment de l'appareil principal, caractérisée en ce que ledit appareil secondaire comprend un dispositif (525) d'accès relié aux points des circuits principaux et destiné à atteindre les bits d'information indiquant l'état réel desdits points des circuits principaux sans affecter lesdits états réels, et un générateur (507) destiné à créer une somme réelle de contrôle par combinaison cyclique desdits bits d'information de telle façon que cette somme réelle a une valeur dépendant des états réels des points de circuits principaux et un nombre de bits inférieur au nombre de points de circuits principaux, ledit appareil secondaire comprenant un dispositif (502) destiné à conserver une somme prévue de contrôle dont la valeur est déterminée par les états prévus des points des circuits principaux de telle façon que la somme prévue de contrôle peut être comparée à la somme réelle de contrôle pour la détection des pannes dans l'appareil principal.

2. Installation selon la revendication 1, caractérisée en ce qu'elle comprend un dispositif d'identification (504, 505) de sous-ensembles déterminés de points destiné à provoquer la formation de la somme réelle de contrôle avec une valeur qui ne dépend que des états réels d'un seul sous-ensemble des points de ces circuits principaux.

3. Installation selon la revendication 2, caractérisée en ce que le dispositif d'identification de sous-ensembles comporte une mémoire (504) ayant des emplacements qui correspondent aux points dans l'appareil principal, des emplacements conservant des valeurs d'identification qui indiquent si les points correspondants doivent contribuer à la formation de la somme réelle de contrôle.

4. Installation selon la revendication 1, caractérisée en ce que l'appareil secondaire comporte un calculateur numérique programmable (501), commandé par un programme secondaire, et un dispositif de commande de couplage (511) monté entre le calculateur et le dispositif d'accès, ce dispositif d'accès comprenant un dispositif d'adressage (556, 590) en parallèle d'un groupe de points des circuits principaux en fonction du programme secondaire de telle façon que le dispositif d'accès atteint l'information indiquant les états réels du groupe de points des circuits principaux et forme un signal d'entrée du générateur (507).

5. Installation selon la revendication 4, caractérisée en ce que le dispositif d'adressage comporte un registre de données d'adresse de balayage (556) qui, lorsqu'il est validé, est relié au calculateur (501), et une ligne commune (590) d'adresse de balayage partant du registre de données d'adresse (556) et destinée à adresser un groupe différent de points des circuits principaux pour chaque adresse du registre de données d'adresse de balayage, chacun des points d'un groupe étant associé à une ligne différente de données de balayage, les lignes de données de balayage formant ensemble une ligne commune (591) de données de balayage donnant accès à une information parallèle indiquant les états réels des points des circuits principaux dans le groupe adressé, la ligne commune de données de balayage transmettant un signal d'entrée au générateur (507) pour chaque groupe adressé.

6. Installation selon la revendication 5, caractérisée en ce qu'elle comprend en outre plusieurs plaquettes (325, 330) de circuits intégrés comprenant chacune plusieurs points des circuits principaux, plusieurs supports (601-1, 601-2) de plaquettes ayant chacun plusieurs plaquettes associées comprenant chacune un certain nombre de points (IB 0, ..., IB 15) des circuits principaux et étant reliées chacune afin qu'elles reçoivent les données de la ligne commune d'adresse (590) et alimentent une ligne de données de balayage rejoignant la ligne commune de données de balayage (591), un dispositif (611-1, 611-2) associé à chaque support de plaquettes et destiné à adresser l'une des plaquettes en fonction de l'information de la ligne com-

mune d'adresse (590), et un dispositif (611-1, 611-2) monté sur chacune des plaquettes, commandé par la ligne commune d'adresse et destiné à adresser un point spécifié des circuits principaux sur la plaquette et à relier chaque point adressé à la ligne de données de balayage de la ligne commune de données de balayage (591) de telle façon que chacune des plaquettes transmet une information pour le générateur.

7. Installation selon la revendication 4, caractérisée en ce que l'appareil secondaire comporte une mémoire adressable (504) ayant des emplacements de conservation de bits correspondant de façon biunivoque aux points des circuits principaux et permettant l'identification d'un sous-ensemble de points, la mémoire (504) étant montée afin qu'elle puisse être adressée par le dispositif d'adressage et qu'elle fournisse les valeurs d'identification correspondant au groupe adressé de points des circuits principaux, et un dispositif (505) de combinaison de l'information représentant les états réels du groupe adressé des points des circuits principaux avec les valeurs correspondantes d'identification tirées de la mémoire, ce dispositif formant des signaux d'entrée du générateur (507) si bien que seul le sous-ensemble identifié de points a un effet sur la somme réelle de contrôle formée par le générateur.

8. Installation selon la revendication 7, caractérisée en ce que des valeurs d'identification de sous-ensembles sont conservées aux emplacements de la mémoire (504) sous la commande du programme secondaire d'instructions.

9. Installation selon la revendication 1, caractérisée en ce que le générateur comprend un circuit logique de réduction (674-1) destiné à combiner logiquement l'information indiquant les états réels des points des circuits principaux sous forme d'une représentation réduite, un registre de somme de contrôle (673) destiné à conserver une somme actuelle de contrôle, et un circuit logique de somme de contrôle (674-2) destiné à combiner logiquement la somme actuelle de contrôle et la représentation réduite, afin qu'il forme une nouvelle somme de contrôle qui constitue la somme réelle de contrôle.

10. Installation selon la revendication 9, caractérisée en ce que le registre (673) de somme de contrôle est un registre à décalage ayant plusieurs étages (673-0, ..., 673-15), les signaux d'entrée d'un ou plusieurs étages étant transmis par le circuit logique de somme de contrôle à partir d'une ou plusieurs sorties des étages.

11. Installation selon la revendication 9, caractérisée en ce qu'elle comprend un circuit de commande de séquence (503) qui provoque l'accès de l'appareil secondaire à un premier groupe, à un second groupe, à des groupes subséquents et à un dernier groupe de points, afin que le registre de somme de contrôle conserve la première somme, la seconde somme, les sommes suivantes et la dernière somme de contrôle, la dernière somme de contrôle dépendant logiquement de la première somme, de la seconde somme et des sommes suivantes de contrôle, et constituant la somme réelle de contrôle.

12. Installation selon la revendication 9, caractérisée en ce que le circuit logique de réduction comprend un circuit dilemme ramifié (681, 682, 683), et le circuit logique de somme de contrôle comprend plusieurs circuits dilemmes (684) destinés à assurer la combinaison de la somme actuelle de contrôle et de la représentation réduite.

13. Installation selon la revendication 12, caractérisée en ce que le circuit ramifié transmet à sa sortie (786) N signaux, le registre de somme du contrôle a N étages (673) ayant chacun une entrée et une sortie, et le circuit logique de somme de contrôle comprend N circuits dilemmes (684) destinés chacun à combiner l'un des signaux de sortie du circuit ramifié et l'un des signaux de sortie des N étages, les circuits dilemmes transmettant N signaux de sortie, le circuit logique de somme de contrôle comprenant un dispositif de transformation destiné à transmettre les signaux de sortie des circuits dilemmes aux entrées des N étages.

14. Installation selon la revendication 13, caractérisée en ce que le dispositif de transformation comprend un ou plusieurs circuits d'inversion (785) des signaux d'entrée ou de sortie d'un ou plusieurs circuits dilemmes.

15. Installation selon la revendication 14, caractérisée en ce que le circuit ramifié est un circuit binaire ayant 2^Y entrées et 2^X sorties, X et Y étant des nombres entiers, X étant inférieur à Y.

16. Installation selon la revendication 1, caractérisée en ce qu'elle comprend une mémoire (504) ayant plusieurs domaines de conservation de valeurs d'identification d'un sous-ensemble de points des circuits principaux dont chacune correspond à un point dans l'appareil principal, et un dispositif (505) de combinaison logique des valeurs d'identification tirées de la mémoire avec l'information atteinte aux points des circuits principaux pour fournir des signaux d'entrée du générateur (507), de manière que celui-ci forme une somme réelle de contrôle seulement en fonction des états réels des points du sous-ensemble identifié.

17. Installation selon la revendication 1, caractérisée en ce qu'elle comprend une mémoire (504) destinée à conserver des valeurs d'identification d'un sous-ensemble de points des circuits principaux, le dispositif d'accès (525) étant agencé de manière à atteindre sélectivement l'information indiquant les états réels du sous-ensemble des points des circuits principaux identifiés dans la mémoire.

18. Installation selon la revendication 17, caractérisée en ce que le dispositif (502) destiné à conserver la somme prévue de contrôle est agencé de manière à conserver les valeurs prévues des états prévus du sous-ensemble de points des circuits principaux de telle façon que les valeurs prévues peuvent être comparées aux valeurs réelles lors de la détection des pannes dans l'appareil principal.

19. Installation selon la revendication 1, caractérisée en ce qu'elle comprend une mémoire (504) ayant plusieurs emplacements de bits à raison de un par point des circuits principaux, ces emplacements de bits conservant les valeurs d'identification d'un sous-ensemble de points, un dispositif d'adressage (556) en parallèle d'un groupe de points des circuits principaux, le dispositif d'accès atteignant l'information indiquant les états réels du groupe de points des circuits principaux, un registre (670) destiné à conserver l'information, et une commande (503, 560) destinée à valider le registre afin qu'il conserve l'information indiquant les états réels de tous les points du sous-ensemble de points du groupe de points.

20. Appareil selon la revendication 19, caractérisé en ce que la commande comprend un circuit de commande de séquence (503) destiné à faire progresser le dispositif d'adressage qui adresse ainsi successivement tous les points du sous-ensemble de points, le registre conservant ainsi sélectivement l'information indiquant les états réels de tous les points du sous-ensemble de points.

21. Procédé de mise en action de l'installation selon la revendication 1, caractérisé en ce qu'il comprend l'accès des bits d'information indiquant les états réels des points des circuits principaux indépendamment du fonctionnement de l'appareil principal, la création d'une somme réelle de contrôle par combinaison cyclique desdits bits d'information de façon que la valeur de cette somme dépende des bits d'information indiquant les états réels des points des circuits principaux, et la comparaison de la somme réelle de contrôle avec une somme prévue de contrôle pour la détection des pannes de l'appareil principal.

La présente invention concerne une installation de traitement d'information, agencée en vue de la détection et de l'analyse des pannes, et un procédé de mise en action de cette installation.

Dans les systèmes de traitement de données à grande échelle et à vitesse élevée, la possibilité de la détection de l'état d'une bascule quelconque ou d'un autre circuit du système de traitement de données est souhaitable afin que les conditions des pannes puissent être détectées et analysées. Les systèmes connus ont souvent des points clés reliés directement, dans le système de traitement, à une console ou à un panneau de commande afin qu'ils provoquent l'éclairage de lampes de la console et donnent ainsi une indication de l'état de

circuit de mémoire du système. Le principe du câblage direct devient cependant peu commode dans les systèmes importants de traitement de données, étant donné que le nombre de lampes éclairées sur la console du système devient trop important pour que l'analyse par l'opérateur soit utile et commode.

D'autres systèmes connus mettent en œuvre les possibilités du système de traitement de données lui-même pour l'enregistrement de données indiquant l'état des circuits. Lors de l'enregistrement des données, les trajets classiques des données du système sont utilisés pour la conservation des données enregistrées à des emplacements prédéterminés de la mémoire. Une telle utilisation des trajets classiques de données dans le système pose un problème car, lorsque les trajets ou circuits de commande associés sont défectueux, l'information enregistrée est erronée si bien que la localisation de la panne devient à la fois difficile et longue.

La demande de brevet des Etats-Unis d'Amérique N° 693551, déposée le 7 juin 1976 par Richard L. Bishop et David L. Anderson sous le titre «Data Processing System and Information Scan out», décrit un système perfectionné de détection et d'analyse des pannes, constituant une solution des problèmes posés. Le système de traitement de données décrit comprend un appareil primaire destiné à la mise en œuvre des manipulations principales des données sous la commande des instructions, et un appareil secondaire d'adressage indépendant d'emplacements de mémoire et d'autres points de l'appareil principal. L'appareil secondaire a un calculateur numérique commandé par des instructions et qui peut avoir accès à l'information de l'appareil primaire, et il peut aussi analyser l'information qu'il atteint en vue de l'identification des pannes ou de la mise en œuvre d'autres tâches. Dans cette demande précitée, l'appareil primaire est par exemple un système de traitement de données à très grande échelle, par exemple un système Amdahl 470V/6.

L'identification des pannes dans le système de traitement de données décrit dans la demande précitée ou, plus généralement, dans tout système nécessite la comparaison des valeurs prévues d'une information avec ses valeurs réelles. La présence de différences entre les valeurs prévues et les valeurs réelles indique qu'une panne s'est manifestée. Les points provoquant la différence sont utilisés pour l'identification de la panne. Il est souhaitable qu'un grand nombre de points du système soit vérifié ou contrôlé afin que la probabilité de détection d'une panne soit accrue. Dans les systèmes de traitement à très grande échelle, une comparaison est par exemple nécessaire sur des milliers de points, afin que la détection et l'analyse des pannes soient convenables. En outre, l'espace d'adresse utilisé pour la spécification des points est habituellement encore supérieur au nombre de points utilisés en réalité pour la détection ou l'analyse des pannes. Plus le nombre de points à comparer est important, cependant, et plus les comparaisons sont longues, plus la base de données des valeurs prévues nécessaires est importante. Une plus grande consommation de temps pour la détection des pannes est évidemment indésirable, car ce temps accru réduit le rendement du système et sa disponibilité pour des tâches plus utiles. En outre, la nécessité de l'utilisation d'une base de données plus importante est peu souhaitable, car elle nécessite une plus grande mémoire pour la conservation de la base de données.

Bien que la demande précitée décrive un perfectionnement important de la détection et de l'analyse des pannes, il reste encore des problèmes lorsque le nombre de points à examiner pour la détection des pannes est important. Des procédés et appareils de détection des pannes à partir d'un grand nombre de points d'un système de traitement de données sont donc très souhaitables et le but de l'invention est de fournir une installation atteignant cette performance.

Conformément à l'invention, ce but est atteint par la présence des caractères énoncés dans la première revendication.

Les revendications dépendantes définissent des formes d'exécution particulièrement avantageuses qui permettent d'atteindre le but visé d'une façon remarquablement efficace, assurant à la fois une grande fiabilité et une grande souplesse de fonctionnement.

D'autres particularités et avantages de l'invention ressortiront mieux de la description qui va suivre, faite en référence aux dessins annexés sur lesquels:

la fig. 1 est un diagramme synoptique de l'ensemble d'une installation de traitement de données conforme à l'invention,

la fig. 2 représente schématiquement une console de l'installation de la fig. 1,

la fig. 3 est un schéma de l'organe de commande de couplage et du processeur de couplage de la console et de l'unité centrale de traitement, qui font partie de la console de la fig. 2,

la fig. 4 est un schéma plus détaillé du processeur de couplage de la fig. 3,

les fig. 5 et 6 forment ensemble un schéma d'un organe de commande de séquence synchrone faisant partie du processeur de la fig. 4,

la fig. 7 représente plus en détail le circuit logique de formation de la somme de contrôle qui fait partie du générateur de somme de contrôle incorporé au processeur de la fig. 4, et

la fig. 8 est un schéma d'un circuit représentant un exemple de points à examiner pour la détection des pannes, dans l'ensemble d'instructions du système de la fig. 1.

On considère d'abord, en référence à la fig. 1, la totalité de l'installation de traitement de données selon l'invention dans laquelle un appareil principal comprend une mémoire principale 2, une unité 4 de commande de mémoire, une unité 8 d'instructions, une unité 10 d'exécution, une unité 6 à canaux ayant un circuit associé d'entrée-sortie, et une console 12, celle-ci se rattachant en partie à l'appareil principal, mais comprenant aussi un calculateur de console qui fait partie d'un appareil secondaire, indépendant de l'appareil principal. Evidemment, l'emplacement et la nature du calculateur de l'appareil secondaire ne sont pas des éléments primordiaux de l'installation selon l'invention.

On note que, dans la suite, on utilise fréquemment le terme système; celui-ci doit être compris comme signifiant installation. De même, sous-jeu de points signifie sous-ensemble de points et paillette (de circuit intégré) signifie plaquette (de circuit intégré).

Le système de la fig. 1, en tant qu'appareil principal, fonctionne sous la commande d'un système primaire d'instructions, un groupe organisé de ces instructions formant un programme primaire du système. Les instructions primaires et les données auxquelles elles sont appliquées sont transmises par l'appareillage d'entrée-sortie et l'unité 6, par l'intermédiaire de l'unité 4 de commande de mémoire et dans la mémoire principale 2. A partir de cette dernière, les instructions et les données sont décalées par l'unité 8 d'instructions dans l'unité 4 de commande de mémoire et sont traitées afin que l'exécution soit commandée dans l'unité 10. L'appareil principal du système de la fig. 1 peut évidemment être tout système de traitement de données.

Dans tout système de traitement de données du type considéré, les pannes qui apparaissent provoquent un fonctionnement erroné de l'appareil principal. Le rôle de l'appareil secondaire est de détecter ces pannes et de faciliter l'identification des points qui, dans l'appareil principal, provoque ces pannes.

On considère maintenant, en référence à la fig. 2, l'unité 12 à console de la fig. 1 qui est représentée plus en détail. La console 12 comprend des éléments faisant partie de l'appareil secondaire, destiné à la détection et à l'analyse des pannes de l'appareil principal. La console 12 a un calculateur numérique 501 qui est relié à une mémoire 502 de console de manière classique. Le calculateur 501 est relié à plusieurs organes de commande, notamment un organe 516 de commande de disque, un organe 411 de commande de canaux, un organe 513 de commande de panneau et un organe 511 de commande de couplage. D'autres organes de commande peuvent être reliés au calculateur 501 de manière classique.

Le calculateur 501 et ses organes de commande et sa mémoire forment un appareil secondaire programmable qui fonctionne indépendamment de l'appareil principal. L'indépendance porte à la fois sur le

traitement et sur les trajets de données et de commande de l'appareil principal.

La disposition du calculateur 501, de la mémoire 502 et des organes de commande de la fig. 2 est classique. Le calculateur 501 est d'un type bien connu, par exemple du type indiqué dans la demande précitée de brevet des Etats-Unis d'Amérique N° 693551. En outre, les organes de commande qui sont reliés au calculateur 501 sont des dispositifs bien connus. L'organe 516 de commande de disque assure le couplage entre le calculateur 501 et un système 528 de fichier à disques, de manière classique. L'organe 411 de commande de canal est du type associé à l'unité 6 de la fig. 1. L'organe 513 de commande de panneau assure la connexion de manière classique entre le calculateur 501 et le panneau 524 de commande.

L'organe 511 de commande assure le couplage entre le processeur 525 de couplage de console et d'unité centrale de traitement CCIP et le calculateur numérique 501. L'organe 511 de commande est relié au calculateur 501 par une ligne commune 535 à 48 bits et au processeur 525 par la ligne commune 533. Le processeur 525 est lui-même relié par une ligne commune 436 à de nombreux points, par exemple des registres et des bascules de ligne de commande, par l'intermédiaire du système de traitement de données de la fig. 1.

L'appareil secondaire comprend le calculateur 501 de console, l'organe 511 de commande de couplage et le processeur 525. L'appareil secondaire communique avec l'appareil primaire de la fig. 1 afin qu'il assure la détection et l'analyse des pannes ainsi que d'autres tâches. Plus précisément, l'appareil secondaire a accès à des points internes à l'appareil primaire et provoque la création d'une somme réelle de contrôle en fonction des niveaux de données aux points atteints par l'appareil secondaire. Ensuite, ce dernier compare la somme réelle ainsi obtenue à la somme prévue de contrôle conservée dans la mémoire de l'appareil secondaire.

On considère maintenant, en référence à la fig. 3, l'organe de commande de couplage 511 et le processeur 525 de couplage de la console et de l'unité centrale de traitement ainsi que leurs connexions, plus en détail. Le rôle du processeur 525 est, sous la commande du calculateur 501, d'atteindre les données des points adressés dans l'appareil principal, de former les sommes réelles de contrôle à l'aide de ces données atteintes, et de transmettre les sommes réelles au calculateur 501 afin qu'il les compare aux sommes prévues. Les transferts entre le calculateur 501 et le processeur 525 s'effectuent dans les deux sens par l'intermédiaire de l'organe 511 de commande.

L'organe 511 de commande de couplage est relié par la ligne commune 535 à 48 bits au calculateur 501 de la console, de manière classique. Cette ligne commune 535 est reliée par des portes 567 de sélection d'entrée et de sortie, de type classique, aux divers éléments de l'organe 511. Plus précisément, une ligne commune à 16 bits est reliée au registre de données de sortie ODR 575. Une ligne commune à 4 bits est reliée au registre d'adresse choisie SAR 574. Une ligne commune à 3 bits assure la connexion au registre EER 578. Une ligne commune à 4 bits assure la connexion au registre de cache d'entrée IMR 579. La ligne 549 de chargement, la ligne 550 de mise en route et la ligne 551 d'effacement constituent des lignes individuelles de sortie. La ligne 585 indiquant le signal effectué et la ligne commune à 8 bits 588 sont des lignes d'entrée des portes 576. La porte d'entrée IG 572 forme une ligne commune d'entrée à 16 bits parvenant aux portes 576.

Le rôle du registre 575 est le chargement des adresses spécifiant les points particuliers de l'appareil primaire de la fig. 1 de l'appareil secondaire au processeur 525. En outre, le registre 575 commande l'état de fonctionnement du processeur 525.

Le rôle du registre 574 est la commande de la partie du processeur 525 qui doit recevoir les données de l'organe 511 de commande ou de la partie qui doit renvoyer les données à l'organe 511.

Le rôle des portes IG 572 est la transmission des données d'un jeu de portes à 16 bits de la série de portes 508 aux portes 506 de sélection. Le rôle du registre 578, de la porte intersection 583 et du registre 579 n'entre pas directement dans le cadre de l'invention. Le rôle et les détails de ces éléments sont décrits dans la demande de brevet des

Etats-Unis d'Amérique N° 693552, déposée le 7 juin 1976 par Richard L. Bishop et David L. Anderson sous le titre « Console and Data Processing System ».

La fig. 3 indique que le processeur 525 est relié à l'organe 511 de commande par les lignes 533. De manière analogue, le processeur 525 a des lignes 436 d'entrée-sortie reliées à l'appareil principal de la fig. 1 de la manière décrite dans la suite. En résumé, la ligne commune 590 d'adresse de balayage à 9 bits adresse l'un des 512 points de circuit de chacune des 128 sections, celles-ci étant appelées MCC, dans l'appareil principal de la fig. 1. La valeur des données des 128 points adressés est renvoyée par la ligne commune 591 de données balayées à 128 bits. Les détails particuliers de l'organisation du système principal de la fig. 1 pour l'adressage et l'accès de l'information sont décrits dans la demande précitée de brevet des Etats-Unis d'Amérique N° 693551.

La fig. 3 indique que le processeur 525 a un décodeur classique 597 à 4 bits. Celui-ci est chargé par la ligne commune 580 à 4 bits, à partir du registre 574 de l'organe 511 de commande. Le décodeur 597 fonctionne de manière classique et sélectionne l'une de ses sorties, jusqu'à 16, et détermine ainsi la ou les parties du processeur 525 qui doivent être validées pour la réception d'informations ou la transmission d'informations, échangées avec l'organe 511.

Une première partie du processeur 525 est formée par le registre d'adresse de balayage 556 à 16 bits. Ce registre est chargé par la ligne commune 599 à 16 bits, en provenance du registre 575 de l'organe 511. Le chargement du registre 556 a lieu sous la commande de l'un des signaux décodés de sortie, la sortie 621-10 du décodeur 597, en combinaison avec le signal de chargement de la ligne 549. Ces signaux sont combinés dans la porte intersection 559 et commandent le chargement dans le registre 556 d'une manière classique.

Une autre partie du processeur 525 est le registre d'état de fonctionnement 557 à 16 bits. Ce registre est chargé à partir de la ligne commune 559 à 16 bits et du registre 575. La commande du chargement s'effectue à l'aide du signal décodé de la sortie 621-8 du décodeur 597, en combinaison avec le signal de chargement de la ligne 549. Ces signaux de commande sont combinés dans la porte intersection 558 et commandent le chargement du registre 557. Le signal de sortie de ce dernier parvient à une entrée de l'unité 553 de commande de séquence qui est ainsi commandée.

Une autre partie du processeur 525 est formée par le circuit 506 de sélection et de mémoire. Ce circuit 506 fonctionne lorsqu'il est choisi par la porte intersection 560 et il sélectionne l'une des lignes d'entrée de la ligne commune 593 à 128 bits et assure le stockage interne de ce bit. Le bit particulier d'adresse choisi parmi les 128 sections MCC est déterminé par la ligne commune à 7 bits 590-1 reliée au registre 556. Les données de la ligne commune 593, sélectionnées par le circuit 506, représentent les données apparaissant dans la ligne commune 593 de données balayées à 128 bits, modifiées le cas échéant par le circuit 505 de cache. La porte intersection 560 qui permet le fonctionnement du circuit 506 est validée par le signal de chargement provenant de la ligne 549 et le signal décodé de la sortie 621-7 du décodeur 597. Le signal de sortie à 16 bits du circuit 506 parvient à l'un des groupes de portes 508 de sélection.

Le groupe des portes 508 comprend plusieurs portes 561 à 568 et 569-1 à 569-5 à 16 bits. Chacune des portes de sélection du groupe 508 est validée par un signal décodé du décodeur 597. Une seule des portes à 16 bits du groupe des portes 508 est validée à un moment donné. La porte qui est validée transmet le signal à la ligne commune 589 à 16 bits qui est reliée aux portes 572 de l'organe 511 de commande de couplage.

La relation entre la source des informations à transmettre, la porte à 16 bits utilisée, la sortie qui transmet le signal du décodeur 597, dans le circuit de la fig. 3, est représentée par le tableau ci-dessous:

| Source | Porte N° | Sortie décodeur |
|----------------|----------|-----------------|
| Ligne 593: | | |
| balayage 0-15 | 561 | 621-0 |
| balayage 16-31 | 562 | 621-2 |

| Source | Porte N° | Sortie décodeur |
|-------------------|----------|-----------------|
| balayage 32-47 | 563 | 621-1 |
| balayage 48-63 | 564 | 621-11 |
| balayage 64-79 | 565 | 621-5 |
| balayage 80-95 | 566 | 621-4 |
| balayage 96-111 | 567 | 621-12 |
| balayage 112-127 | 568 | 621-13 |
| Ligne commune 592 | 569-1 | 621-8 |
| Générateur 507 | 569-2 | 621-6 |
| Circuit 506 | 569-3 | 621-10 |
| Registre 556 | 569-4 | 621-5 |
| Registre 575 | 569-5 | 621-7 |
| Portes 523 | 569-6 | 621-14 |

La fig. 3 indique que le processeur 525 a une mémoire 504 de processeur de couplage de console et d'unité centrale de traitement. La mémoire 504 est une mémoire classique à accès direct qui conserve 512 mots de 128 bits. Les emplacements dans la mémoire 504 correspondent de façon biunivoque aux points adressables et accessibles dans l'appareil principal de la fig. 1. La mémoire 504 est utilisée pour la conservation d'une valeur cachée (état 1) ou non cachée (état 0) indiquant l'état de l'un quelconque des 65 536 points adressables dans l'appareil principal et accessibles dans celui-ci. Les valeurs atteintes dans la mémoire 504 sont utilisées pour la commande du sous-jeu de points adressés et atteints qui ne doit pas être choisi (valeurs cachées) et du sous-jeu qui doit être choisi (valeurs non cachées). La mémoire 504 est adressée par la ligne commune de sortie à 16 bits 590-2 du registre 556. Les 9 bits d'ordre supérieur spécifient l'un des 512 mots à 128 bits. Les 7 bits d'ordre inférieur spécifient les positions de bits dans un mot à 128 bits. Le contenu du mot adressé dans la mémoire 504 apparaît dans la ligne commune 534 de sortie à 128 bits. Tout emplacement de la ligne 534 à l'état 1 provoque l'occultation du bit correspondant provenant de la ligne commune 591 dans le circuit 505 de cache. Lorsque tous les bits de la ligne commune 534 sont des 0, l'information de la ligne commune 593 et destinée au circuit 505 est identique à l'information inversée de la ligne commune 591.

Sur la fig. 3, le circuit 503 de commande synchrone de séquence SS commande de nombreuses autres parties du processeur 525. La connexion des signaux de commande de la ligne commune 521 au reste des parties du processeur 525 est décrite dans la suite. En résumé, le circuit 503 de commande de séquence reçoit les signaux des lignes 551, 550 et 549 d'effacement, de mise en route et de chargement, provenant de l'organe 511, et reçoit les signaux décodés de sortie 621-6, 621-7 et 621-10 du décodeur 597. Le circuit 503, d'après ces signaux, transmet des signaux convenables de sortie à la ligne commune 521 pour la commande du processeur 525 qui assure la détection des pannes et d'autres fonctions. Lorsque l'opération de détection des pannes est mise en œuvre, le circuit 503 progresse 512 fois, une pour chacun des 512 bits par section MCC accessible à partir de l'appareil principal de la fig. 1.

Comme indiqué sur la fig. 3, le générateur 507 de somme de contrôle reçoit le signal de la ligne commune 593 à 128 bits. Le générateur 507 forme une somme de contrôle chaque fois que l'information d'un nouveau jeu de points apparaît dans la ligne commune 593. Dans l'appareil principal de la fig. 1, ce phénomène se présente 512 fois à des moments différents pour un balayage complet de tous les points. En conséquence, dans un contrôle de l'appareil principal, 511 sommes intermédiaires différentes de contrôle et une somme finale de contrôle sont formées. Chaque somme intermédiaire a une valeur déterminée à la fois par le contenu de l'information de la ligne commune 593 et par la valeur de la somme intermédiaire précédente. Lorsque les 512 itérations de la séquence ont été terminées, la somme finale apparaît dans la ligne commune de sortie à 16 bits reliée à la porte 569-2 qui fait partie du groupe de portes 508.

On considère maintenant, en référence à la fig. 4, le processeur 525 de couplage de la console et de l'unité centrale de traitement, représenté sur la fig. 3.

Le registre d'adresse balayée SADR a un étage 556-1 d'adresse de balayage à 7 bits et un étage 556-2 à 9 bits. Ces deux étages sont chargés des 7 bits d'ordre inférieur et des 9 bits d'ordre supérieur respectivement provenant de la ligne commune 599 à 16 bits. Les étages 556-1 et 556-2 sont chargés sous la commande d'un signal parvenant à leurs entrées de chargement, à partir de la porte 559. L'étage 556-1 progresse sous la commande d'un signal de l'entrée I transmis par l'intermédiaire de la ligne 661 en provenance du circuit 503 de séquence, et l'étage 556-2 progresse sous la commande d'un signal parvenant à son entrée I par l'intermédiaire de la ligne 662, en provenance du circuit 503. Les étages 556-1 et 556-2 sont effacés par les signaux des entrées CLR d'effacement parvenant par des lignes 566 et 567 reliées au circuit 503. Un report à l'entrée CI apparaît dans l'étage 556-1 par l'intermédiaire de la ligne 667, en provenance du circuit 503. Les reports aux sorties CO sont transmis par les étages 556-1 et 556-2 par des lignes 663 et 664. Ces dernières sont reliées au circuit 503 de commande de séquence. Les données parallèles extraites des étages 556-1 et 556-2 parviennent à la ligne commune 590-1 à 7 bits et à la ligne commune 590-2 à 9 bits qui forment ensemble la ligne commune 590 à 16 bits. La ligne 590-1 détermine l'une quelconque des 128 sections différentes utilisées dans l'appareil principal de la fig. 1. La ligne 590-1 est utilisée pour l'adressage du multiplexeur 668 du circuit 506. Ce multiplexeur est un dispositif classique de sélection qui reçoit les signaux de la ligne 593 à 128 bits et sélectionne un seul des signaux d'entrée qui est transmis par la ligne 669 de sortie à 1 bit. Cette ligne constitue l'entrée de données DI d'un registre à décalage 670 à 16 bits. Les données présentées sur la ligne 669 sont décalées dans le registre 670 sous la commande des signaux de la ligne de décalage S 671, provenant du circuit 503 de commande de séquence. En outre, l'information de la ligne commune 590 est chargée dans le registre 670 sous la commande du signal L de chargement provenant d'une porte intersection 560. Des données série DO de sortie du registre 670 apparaissent dans une ligne 672 qui constitue l'entrée de données DI de la mémoire 504. Le signal parallèle de sortie à 16 bits du registre 670 parvient aux portes 508 et est extrait après sélection par le décodeur 597, par l'intermédiaire de la ligne commune 589.

La fig. 4 indique que le générateur 507 de somme de contrôle comporte un registre 673 CSR et un circuit logique 674 de somme de contrôle. Le registre 673 reçoit le signal parallèle à 16 bits de la ligne 675 provenant du circuit logique 674. Le registre 673 transmet à son tour un signal de 16 bits à la ligne commune 595 qui rejoint les portes de sortie 508 et le circuit logique 674. Le registre 673 est chargé du contenu de la ligne commune 675 sous la commande de la ligne 676 de chargement, provenant du circuit 503. Le registre 673 est effacé et ne contient que des 0, à l'aide d'un signal transmis par la ligne 677 d'effacement, en provenance du circuit 503.

La fig. 4 indique que le circuit 505 de cache comprend des portes 539 et 547 à 128 bits. La porte 539 est par exemple formée par 128 portes réunion-négation à deux entrées, l'une des entrées de chaque porte correspond à une des lignes de la ligne commune 591 alors que l'autre entrée, commune à toutes les portes, reçoit le signal d'une ligne 678 de commande reliée au circuit 503 de commande de séquence. Lorsque la ligne 678 est à l'état 1, les portes 539 sont obligées de transmettre toutes un signal 0 à la porte 538. Chaque fois que la ligne 678 est à l'état 0, le signal de sortie à 128 bits de la porte 539 a les niveaux inversés de la ligne commune 591 à 128 bits. La porte 539 est donc destinée à transmettre ou arrêter le passage des données sur la ligne commune 591.

La porte 547 à 128 bits reçoit les signaux de la ligne commune 534, en provenance de la mémoire 504. La porte 547 est par exemple formée de 128 portes à deux entrées, une première entrée de chaque porte recevant un bit différent de la ligne commune 534 et l'autre entrée, commune à toutes les portes, recevant le signal de la ligne 679 de commande provenant du circuit 503 de commande de séquence. Lorsque le signal de la ligne 679 est égal à 0, les valeurs des données de la ligne commune 534 apparaissent à la sortie de la porte 547. Chaque fois que le niveau logique de la ligne 679 est un 1, les données

transmises par la porte 547 sont formées de 0 uniquement. La porte réunion 538 à 128 bits assure l'opération logique réunion sur les données des portes 547 et 539, et transmet le résultat dans la ligne commune 593. Le niveau logiquement vrai des données de la ligne commune 593 est 0. En conséquence, l'effet d'un 1 à un emplacement de bit de la ligne commune 534 coïncidant avec un signal 0 de la ligne 679 provoque le passage à 1 à l'emplacement correspondant de la ligne commune 593, c'est-à-dire à un niveau logique non vrai. Ce passage à un bit 1 a l'effet de cacher les bits particuliers considérés. Tout bit de données de la ligne 593 peut être choisi par le multiplexeur 668. En outre, la ligne 593 transmet des signaux au circuit logique 674 et elle peut être choisie par groupes de 16 bits par l'intermédiaire des groupes de portes 508.

La mémoire 504 reçoit les données bit par bit par une ligne 672 à 1 bit, en provenance du registre 670 à décalage. Les données de la ligne 672 sont écrites dans la mémoire 504 avec un ordre de commande W apparaissant par la ligne 679 provenant du circuit 503 de séquence. L'emplacement d'écriture des données dans la mémoire 504 est commandé par les lignes d'adresse à 16 bits provenant des lignes communes 590-1 et 590 d'adresse.

La fig. 4 représente d'autres détails du circuit 509 de commande. Son fonctionnement, en coopération avec le processeur 525, est comme décrit dans la demande précitée de brevet des Etats-Unis d'Amérique N° 693552, si bien qu'on ne le décrit pas dans le cadre de l'invention; on note simplement que la sortie AS7 de la porte 582 est ouverte par le signal de la ligne 680 provenant du circuit 503 de commande de séquence.

On considère maintenant, en référence aux fig. 5 et 6, le circuit 503 de commande de séquence de la fig. 4, plus en détail. Ce circuit 503, dans le mode de réalisation considéré, commande le processeur 525 des fig. 3 et 4 lorsqu'il effectue l'une quelconque des trois opérations choisies. Les trois modes de fonctionnement sont la mémoire d'écriture (décrite en référence au tableau V), la somme de contrôle (décrite en référence au tableau VI) et le balayage condensé (décrit en référence au tableau VII).

La fig. 5 indique que la ligne 621-6 d'entrée provenant du décodeur 597 de la fig. 4 permet l'établissement du circuit 503 pour une opération de formation d'une somme de contrôle. La ligne 621-6 est reliée à une porte intersection 685-1 qui est préparée par le signal de la ligne 550 de mise en route provenant de l'organe 511 de commande de la fig. 3. Lorsqu'elle est ouverte, la porte 685-1 établit la bascule RS 686-1. Le signal de cette bascule parvient aux points A des fig. 5 et 6. Un signal transmis aux points A indique que le circuit 503 est préparé pour une opération de formation d'une somme de contrôle.

Sur la fig. 5, la ligne 621-7 d'entrée provenant du décodeur 597 de la fig. 4 assure, par l'intermédiaire d'une porte intersection 685-2, l'établissement de la bascule 686-2 donc du circuit 503 qui sont préparés pour une opération de la mémoire d'écriture. La porte 685-2 est préparée par le signal de la ligne 549 de chargement reliée à l'organe 511 de la fig. 3. Le signal transmis par la bascule 686-2 parvient aux points B de l'appareil des fig. 5 et 6. Un signal transmis à ces points B indique que le circuit 503 est préparé pour une opération de la mémoire d'écriture.

La fig. 5 indique que le signal de la ligne d'entrée 621-10 provenant du décodeur 597 de la fig. 4 prépare le circuit 503 à une opération de balayage condensé, par l'intermédiaire de la porte intersection 585-3. Celle-ci est préparée par le signal de la ligne 550 de mise en route, provenant de l'organe 511 de la fig. 3, et elle provoque l'établissement de la bascule 686-3. Le signal de cette dernière parvient à tous les points C de l'appareil des fig. 5 et 6. Un signal transmis à ces points C indique que le circuit 503 est préparé pour une opération de balayage condensé.

Lorsque l'une quelconque des portes 685-1, 685-2 et 685-3 est ouverte et indique une opération, deux des portes réunion 648-1, 648-2 et 648-3 rétablissent deux des bascules 686-1, 686-2 et 690-3 afin que les deux autres opérations ne soient pas signalées à ce moment. En outre, lorsque l'une quelconque des portes 685-1 à 685-3 est ouverte, la porte réunion 648-4 crée un signal de rétablissement qui est trans-

mis dans le circuit des fig. 5 et 6 et provoque l'établissement ou le rétablissement des bascules et des étages de registre.

Sur la fig. 5, les états des modes de somme de contrôle, de mémoire d'écriture et de balayage condensé sont déterminés par des étages 687-1 à 687-6 de basculeur. L'étage 687-1 désigne un état à vide, l'étage 687-2 un état en marche, l'étage 687-3 un état de déclenchement INIT, l'étage 687-4 désigne un état de procédure de balayage SOP, l'étage 687-5 indique un état d'absence de procédure de balayage NSOP, et l'étage 687-6 indique un état final END.

Lorsque le système des fig. 5 et 6 a été rétabli, les étages 687-1 et 687-2 sont établis afin qu'ils transmettent des 1 à leur sortie. Pourvu que l'étage final 687-6 ait été rétabli convenablement avec un 0 à sa sortie, l'étage 687-2 reste établi et permet à l'étage 687-3 d'être établi et de transmettre un 1 à sa sortie.

Le signal de sortie de l'étage 687-3 prépare les portes intersections 620-1 et 620-2 destinées à transmettre le signal d'effacement de registre de somme de contrôle par la ligne 677 et les signaux d'effacement de registre d'adresse de balayage des lignes 666 et 667 lorsqu'une opération de somme de contrôle doit être réalisée comme indiqué par un signal A transmis par la bascule 686-1. L'étage 687-3 rétablit aussi la bascule 695 de sortie. Le signal de cette dernière figure dans la ligne AS7 680 qui indique le moment où l'opération commandée par le circuit 503 est terminée. L'étage 687-3 permet aussi l'ouverture de la porte 689-1 qui permet l'établissement de l'étage SOP 687-4 et le déclenchement d'une procédure de balayage. Le signal de l'étage 687-3 permet aussi l'ouverture de la porte 689-2 qui permet l'établissement de l'étage 687-5 chaque fois qu'une opération de balayage n'a pas à être réalisée. L'étage 687-4, lorsqu'il est validé, est préparé soit pour l'opération de somme de contrôle désignée par la bascule 686-1 (signal de sortie A), soit par le signal de sortie de balayage condensé désigné par la bascule 686-1 (sortie C) par l'intermédiaire de la porte réunion 649. L'étage 687-5, lorsqu'il est validé, est préparé par commande de la bascule 686-2 de mémoire d'écriture (sortie B). L'étage 687-4, lorsqu'il est préparé antérieurement, l'étage 687-5, lorsqu'il est préparé antérieurement, et l'étage final 687-6 changent d'état sous la commande d'un signal END provenant du circuit de la fig. 6. Ce signal final END provenant du circuit de la fig. 6 indique que l'opération (qu'il s'agisse d'une somme de contrôle, d'une mémoire d'écriture ou d'un balayage condensé) s'est terminée et permet la remise des étages 687-4 et 687-5 à 0, l'étage 687-6 transmettant un 1 en sortie. Ce 1 établit la bascule 695 qui provoque la transmission du signal AS7 par la ligne 680 et le rétablissement de l'étage 687-2. Le rétablissement de ce dernier étage provoque l'établissement de l'étage 687-1. Les signaux de rétablissement, INIT, SOP et NSOP, en association avec les étages 687, sont transmis aux entrées de l'appareil de la fig. 6.

La fig. 6 représente l'appareil de commande de l'état dans le temps du processeur 525 des fig. 3 et 4. L'appareil de la fig. 6 reçoit les signaux d'état de mode INIT, SOP et NSOP et les signaux d'opération A, B et C de l'appareil de la fig. 5. En outre, l'appareil de la fig. 6 reçoit le signal de rétablissement de l'étage final et renvoie le signal END à l'appareil de la fig. 5.

Sur la fig. 6, l'état dans le temps du circuit de commande de séquence est déterminé par le registre à décalage 696 d'état dans le temps qui comprend des étages 696-0 à 696-5. Ce registre est commandé par chargement d'un 1 dans l'étage 696-0 par commande du signal INIT provenant de la fig. 5. Ce signal assure aussi la préparation de la porte intersection 607 lorsqu'une opération de balayage condensé C doit être mise en œuvre. La porte 607, par l'intermédiaire de la porte réunion 605, établit la bascule 633 afin qu'un signal de non-validation de balayage soit transmis par la ligne 678. Le 1 chargé dans l'étage 696-0 prépare une entrée d'intersection de la bascule 610 et parvient à l'étage 696-1. Lorsque, lors d'une opération de balayage condensé C, un 0 est lu dans la mémoire 504 de la fig. 4, à l'adresse choisie par le multiplexeur 668 et apparaît dans la ligne 669, ce 0 empêche l'établissement de la bascule 610 de la fig. 6. Lorsqu'un 1 apparaît dans la ligne 669 dans les mêmes conditions, la bascule 610 est établie afin que l'étage 696-6 à retard soit court-circuité. Le signal de l'étage 696-1 est chargé dans l'étage 696-2. En outre, le signal de

l'étage 696-1 provoque la transmission d'un signal de chargement LD à un compteur 697 de retard à 8 bits. Le signal de chargement provenant de l'étage 696-1 provoque le chargement des bits 0 à 7 de la ligne commune 616 provenant du registre 557 de la fig. 4 par l'intermédiaire de l'entrée de données DI dans le compteur 697. Le nombre de ce dernier est utilisé pour la détermination de la durée du retard dû à l'étage 696-6, pourvu que cet étage ne soit pas court-circuité.

Le signal de sortie de l'étage 696-2 constitue un signal ayant subi une opération intersection, transmis à l'étage de retard 696-6. L'autre signal ayant subi une opération intersection provient de la porte 649. En l'absence d'une opération de balayage condensé, le signal de la porte 610 est un 0 qui prépare la porte 649. En outre, pendant l'opération de balayage condensé, le signal de la porte 610 reste seulement à 0 lorsque le bit de cache atteint dans la mémoire 504 de la fig. 4 n'est pas un 1 comme l'indique la ligne 669. La porte 649 transmet donc un signal 1 lorsque l'état de mode est SOP et, pendant une opération de balayage condensé, le balayage n'a pas détecté un signal logique 0 d'un point de données adressé dans la mémoire 504. Un signal 1 transmis par la porte 649 subit une opération intersection avec le signal de l'étage 696-2 si bien que l'étage 696-6 de retard est établi. Lorsque ce dernier étage est établi, son signal de sortie assure la validation, par l'entrée de décodage DEC, du compteur 697 de retard qui doit régresser. Lorsqu'il peut fonctionner, le compteur 697 régresse jusqu'à ce qu'il transmette un signal logique 0 indiquant qu'il a atteint 0.

Le signal logique 1 provenant du compteur 697 subit une opération intersection avec le signal de sortie de l'étage 696-6 et forme un signal destiné à l'étage 696-6 qui commute le signal de sortie de l'étage 696-6 de 1 à 0. Le signal 0 provenant de l'étage 696-6 subit une opération intersection avec le signal de la porte 649 afin que l'étage 696-3 soit commuté et transmette un signal logique 1 à sa sortie. Il faut noter que l'étage 696-3 est aussi directement établi par la combinaison, après opération intersection, d'un signal d'état de mode NSOP ou d'un 1 provenant d'une bascule 610 par l'intermédiaire de la porte réunion 650, et du signal direct de sortie de l'étage 696-2. Ainsi, lorsque aucune procédure de balayage ne doit être entreprise (NSOP) ou pendant un balayage condensé, lorsque les données atteintes dans la mémoire 504 sont à 1, le retard de l'étage 696-6 est court-circuité. En outre, lorsque les données atteintes dans la mémoire 504 sont égales à 0 dans un balayage condensé (le signal de sortie 610 est un 0), la porte 609 est préparée et permet au compteur 698 de progresser lorsque le signal de la porte 690-4 apparaît. L'étage 696-3 valide l'ouverture des portes 647-1 à 647-4 et établit la bascule 633. Celle-ci est rétablie lorsqu'un nouveau nombre est chargé dans le compteur 697, par le signal de sortie de l'étage 696-1. La bascule 633 valide à son tour des portes 632-1 et 632-2 qui, par l'intermédiaire des portes 630, 629-1 et 629-2, créent le signal de non-validation de mémoire par la ligne 679 et le signal de non-validation de balayage dans la ligne 678, suivant qu'une opération de somme de contrôle est réalisée ou non.

De manière analogue, les portes 647-1 à 647-4 commandent la création du signal de mémoire d'écriture par la ligne 679, du signal de registre à décalage par la ligne 671 et du signal de chargement du registre de somme de contrôle de la ligne 676. Le signal de sortie de l'étage 694-4 subit une opération intersection avec le signal de sortie de la porte réunion 618, dans une porte intersection 635. Lorsque le signal de la porte 618 est un 1, la porte 635 transmet le signal de fin END indiquant la fin d'une opération. Lorsque le signal de la porte 618 est à 0, ce signal est inversé, puis subit une opération intersection avec le signal de l'étage 696-4, si bien que l'étage 696-5 est établi. Ce dernier renvoie alors un signal d'entrée au premier étage 696-0 et les étages du registre 696 fonctionnent ensuite successivement de la manière décrite précédemment.

Le signal 1 ou 0 provenant de la porte 618 détermine ou non le fait que l'opération est terminée. Pendant le balayage condensé ou une opération en mémoire d'écriture, la porte 699-1 ou 699-2 est validée et la durée de l'opération est réglée par le compteur 698 à 4 bits qui compte au total 16 unités. Ensuite, la porte 699-1 ou 699-2 est

préparée et transmet un signal 1 à la sortie de la porte réunion 618, afin que le signal final END soit formé.

Pendant une opération de somme de contrôle, une porte intersection 699-3 est préparée lors d'un report CO transmis par la ligne 664 à partir de l'étage 656-2 à 9 bits (bits 0-8). Le signal de cet étage 556-2 indique qu'un total de 512 répétitions du registre 596 a eu lieu et indique ainsi que le signal de fin doit être créé.

On considère maintenant le générateur de somme de contrôle en référence à la fig. 7, ce générateur portant la référence 507 sur la fig. 4. Ce générateur 507 est formé par le circuit logique 674-1 de réduction, le circuit logique 674-2 de somme de contrôle et le registre CSR 673 de somme de contrôle. Le rôle du générateur 507 est la création d'une somme réelle de contrôle dans la ligne commune 595 de sortie, avec une valeur qui dépend des états réels des points principaux de circuit car ces états réels sont représentés sur la ligne commune 593 d'entrée. Le générateur 507 crée aussi la somme réelle ayant une valeur qui dépend du contenu du registre 673 lorsque le contenu est habituellement une somme intermédiaire de contrôle formée antérieurement.

Le registre 673 est par exemple un registre à décalage ayant 16 étages 673-0, 673-1, ..., 673-15. Les signaux de sortie de ces étages parviennent aux entrées des circuits dilemmes 684-0, 684-1, ..., 684-15 respectivement. Ces circuits ou portes 684 sont incorporés au circuit logique 674-2. Les signaux de sortie des étages 673 forment aussi les signaux de la ligne commune 595 à 16 bits qui, comme représenté sur la fig. 4, parviennent aux portes 508 de sortie en vue du retour d'une somme réelle de contrôle au calculateur 501 de l'appareil secondaire de la fig. 2.

Sur la fig. 7, les signaux destinés aux étages 673-1, 673-2, ..., 673-15, 673-0 sont transmis par les sorties des circuits 684-0, 684-1, ..., 674-14, 684-15 respectivement. Les étages 673-0 à 673-15 de registre à décalage sont chargés par les signaux des circuits 684, sous la commande d'un signal de la ligne de chargement de registre CSR 676. De manière analogue, les étages 673 sont effacés par un signal de la ligne 677. Les lignes 676 et 677 reçoivent les signaux du circuit 503 de commande de séquence de la fig. 4.

Sur la fig. 7, le circuit logique 674-1 de réduction comprend un circuit ramifié à circuits dilemmes formés par trois niveaux de circuits dilemmes 681, 682 et 683. Le circuit logique de réduction est un circuit ramifié binaire car la ligne commune 593 a 2^Y entrées (par exemple 128 lorsque Y est égal à 7) et la ligne commune 786 a 2^X sorties (par exemple 16 lorsque X est égal à 4). Le premier niveau comprend les circuits dilemmes 681-0, 681-1, ..., 681-7 à 8 voies. Chacun de ces circuits dilemmes 681 a 8 circuits dilemmes à deux entrées (non représentés explicitement). Chacun des circuits dilemmes à deux entrées reçoit le signal d'une des lignes différentes d'entrée 0 à 7 et le signal d'une des lignes différentes d'entrée 8 à 15. Chacun des circuits dilemmes à 2 entrées transmet un signal, si bien que le circuit 681-0 transmet 8 signaux, chacun des autres circuits dilemmes transmettant aussi 8 signaux.

Sur la fig. 7, le second niveau comprend les quatre circuits dilemmes 682-0, 682-1, 682-2 et 682-3 à 8 voies. Le circuit 682-0 reçoit 8 paires de signaux d'entrée, un signal de chaque paire provenant de la porte 681-1 et l'autre de la porte 681-4. La porte 682-0 transmet donc 8 signaux de sortie de circuits dilemmes. De manière analogue, la porte 682-1 combine les signaux provenant des portes 681-1 et 681-5 et forme huit signaux de sortie de circuits dilemmes. La porte 682-2 combine les signaux des portes 681-6 et 681-2 et transmet huit signaux de sortie de circuits dilemmes. Enfin, la porte 682-3 combine les signaux des portes 681-3 et 681-7 et forme huit signaux de sortie de circuits dilemmes.

Le troisième niveau comprend les circuits dilemmes 683-0, 683-1, 683-2 et 683-3 à quatre voies. Les portes 683 comportent chacune quatre circuits dilemmes à deux entrées. La porte 683-0 assure l'opération dilemme sur quatre paires de signaux de sortie de la porte 682-0 avec formation de quatre signaux de sortie de circuits dilemmes. De manière analogue, les portes 683-1, 683-2 et 683-3 combinent les signaux des portes 682-1, 682-2 et 683-3 respectivement.

Les 16 signaux de sortie des portes 683-0 à 683-3 parviennent chacun à une entrée différente des circuits dilemmes 684-0, 684-1, ..., 684-15 à deux entrées. Le circuit logique 674-2, en plus des portes 684, comprend un circuit comportant un circuit 785 d'inversion, destiné à transformer la somme réelle de contrôle qui vient d'être formée avant stockage dans le registre de somme de contrôle. Le circuit 785 d'inversion traite le signal du dernier étage et transmet un signal au premier étage. Bien que ce mode de réalisation mette en œuvre un simple décalage d'un étage et une inversion du dernier étage au premier, d'autres types de redondances cycliques peuvent être utilisés. Par exemple, des connexions du circuit 785 d'inversion peuvent être réalisées avec les entrées des étages 673-1 à 674-14.

Le fonctionnement du générateur de somme de contrôle de la fig. 7 a pour but le chargement successif en 512 cycles du registre 673 à l'aide d'une nouvelle somme réelle de contrôle, c'est-à-dire une nouvelle somme pour chaque groupe de 128 bits des points de la ligne commune 593, en provenance de l'appareil principal. La nouvelle somme réelle est alors la combinaison transformée après les opérations dilemmes, réalisée sur la somme actuelle conservée dans le registre 673 et le signal réduit transmis par la ligne commune 786.

Lors du fonctionnement, au cours du contrôle des 65 536 points de l'appareil principal, 512 groupes successifs à 128 bits sont balayés (adressés et atteints) et forment des signaux à 128 bits destinés au circuit logique 674-1. Chacun des 128 bits est transmis au circuit logique 674 par la ligne commune 593 et forme une représentation réduite à 16 bits sur la ligne commune 786. Avant le premier des 512 groupes successifs à 128 bits, le registre 673 est effacé et mis uniquement avec des 0, à l'aide du signal d'effacement de registre de somme de contrôle de la ligne 677. Ensuite, le premier signal d'entrée à 128 bits de la ligne 593 est traité dans le circuit logique 674-1 et le circuit logique 674-2 afin qu'une première somme intermédiaire de contrôle soit formée, cette somme étant chargée, après transformation (inversion du dernier étage) dans le registre 673 à l'aide du signal de chargement de registre de la ligne 676, si bien que le signal forme la somme actuelle de contrôle.

Lorsque le second signal d'entrée à 128 bits apparaît dans la ligne commune 593, il est combiné à la première somme intermédiaire de contrôle conservée dans le registre 673, sous la forme d'une seconde somme intermédiaire de contrôle qui est à nouveau conservée dans le registre 673 par commande d'un signal de la ligne 676. Pour chaque signal d'entrée successif à 128 bits de la ligne commune 593, le registre 673 est à nouveau chargé par une nouvelle somme réelle de contrôle. Le registre 673 est chargé 512 fois au total et forme 511 sommes intermédiaires et une 512^e somme réelle finale de contrôle. Celle-ci dépend logiquement évidemment de toutes les sommes intermédiaires antérieures. De cette manière, les 65 536 points de l'appareil principal sont logiquement comprimés en une somme réelle de contrôle de 16 bits qui apparaît par la ligne commune 595.

La somme réelle de contrôle de la ligne commune 595 est transférée du registre 673 aux portes de sortie 508 des fig. 3 et 4 et à l'organe 511 de commande d'interface et au calculateur 501 de la console de la fig. 2. Ce calculateur 501 compare alors la somme réelle de contrôle à une somme prévue obtenue à l'aide de la mémoire 502. Lorsque les sommes réelle et prévue ne sont pas les mêmes, une condition de panne dans l'appareil principal a été détectée.

On considère maintenant en référence à la fig. 8 un exemple particulier de points de l'appareil principal de la fig. 1. Ces points doivent être adressés et atteints lors de la formation d'une somme de contrôle permettant la détection des pannes ou lors d'un balayage condensé permettant l'analyse des pannes. Sur la fig. 8, un registre tampon 330 d'instruction comprend deux étages, un étage inférieur 330-1 et un étage supérieur 330-2, chaque étage ayant 16 bits de données et 2 bits de parité, soit au total 18 bits par étage. Les bits de données d'un étage sont IB 0, IB 1, ..., IB 7, avec le bit de parité IBP (0-7), et les bits de données IB 8, IB 9, ..., IB 15 et le bit de parité IBP (8 à 15). Des données sont conservées dans les étages 330-1, 330-2 du registre 330, à partir de l'une des quatre lignes communes à 18 bits. Ces lignes communes 690, 691, 692 et 693 ont des portes de commande non ex-

pliquement représentées sur la fig. 8 et qui sont préparées par des signaux de commande des transmissions.

Quatre signaux de commande NSI 0, NSI 1, NSI 2 et NSI 3, commandent des portes de sortie non représentées associées au registre IB 330 et à d'autres registres non représentés. Dans un mode de réalisation particulier de portes non représenté, chacun des signaux de commande NSI 0, NSI 1 et NSI 2 est utilisé en double afin qu'il forme dans chaque cas trois copies identiques pour un total de neuf signaux de commande. Le dixième signal de commande NSI 3 n'est pas traité en double. La duplication des signaux identiques dans les circuits logiques pour la commande du déclenchement est bien connue et on l'utilise en général pour la satisfaction des critères d'éclatement ou de rassemblement ou d'un autre traitement des signaux, pour le type particulier de circuit logique utilisé.

Dans le circuit de la fig. 8, les dix signaux de commande des portes du registre 330 et d'autres registres proviennent d'une unité 325 de commande de séquence. Les dix signaux de commande (à savoir NSI 0 (copies 1, 2, 3), NSI 1 (copies 1, 2, 3), NSI 2 (copies 1, 2, 3) et NSI 3) apparaissent par la ligne commune 694 à 10 bits provenant du circuit 325.

Dans un exemple particulier, le registre 330 de la fig. 8 constitue le circuit tampon de l'instruction suivante qui apparaît dans l'unité 8 d'instruction du système principal de traitement de données de la fig. 1. Le rôle de ce registre IB 330 est décrit plus en détail dans le brevet des Etats-Unis d'Amérique N° 3840861. Le registre 330 et le circuit 325 sont décrits en référence à la fig. 3 de ce brevet. En résumé, l'unité 8 d'instructions fonctionne de manière classique dans des cycles synchrones successifs de l'appareil principal. Un compteur de cycles non représenté peut être utilisé pour l'identification de façon originale de cycles particuliers de l'appareil principal. Pendant un cycle par exemple, le registre 330 et les signaux de commande de portes ont un jeu de valeurs. Pendant un cycle suivant, un autre jeu différent de valeurs apparaît. Chaque jeu différent de valeurs conduit à la formation d'une somme différente de contrôle.

Dans un exemple de réalisation du circuit logique du circuit 325 de commande de séquence et du registre 330, on utilise des circuits intégrés à grande échelle. Ces circuits sont placés par exemple sur les sections MCC du type décrit en référence à la demande précitée de brevet des Etats-Unis d'Amérique N° 693551. Le registre 330 se trouve par exemple sur l'une des sections MCC 601-1. Une telle section a un circuit paillette logarithmique 611-1 qui a des connexions avec chacun des points de données constituant les bits IB 0 à IB 7, IBP (0-7), IB 8, IB 9, ..., IB 15, IBP (8-15) dans l'étage élevé 330-2. Les points des bits de l'étage 330-2 du registre constituent seulement 18 des 512 points différents qui peuvent être contenus dans la section MCC 601-1. Par exemple, 18 points de l'étage inférieur 330-1 forment un autre jeu de points de la section MCC 601-1. Les 512 points adressables de la section 601-1 sont adressés un par un à l'aide de l'adresse de balayage à 9 bits provenant de la ligne commune 590. Celle-ci alimente le circuit paillette 611-1 de type logarithmique. Le signal de sortie de ce dernier circuit apparaît par une ligne à 1 bit qui est collecté sous forme de l'un des 128 bits, par la ligne 591 de données balayées.

Sur la fig. 8, le circuit 325 de séquence et ses dix lignes de commande de sortie apparaissent sur une autre section MCC 601-2. Cette section comprend de façon analogue une paillette logarithmique 611-2 qui est aussi adressable par la ligne commune 590 pour la sélection, un par un, de l'un quelconque des 512 points de la section 601-2. Les dix points de commande NSI 0 (copies 1, 2, 3), NSI 1 (copies 1, 2, 3), NSI 2 (copies 1, 2, 3) et NSI 13 peuvent être choisis chacun à l'aide du circuit paillette 611-2, comme décrit dans la demande précitée de brevet des Etats-Unis d'Amérique N° 693551.

Il faut noter, en référence au circuit de la fig. 8, que les dix lignes de commande de la ligne commune 694 provenant du circuit 325 de commande de séquence et les 18 bits de données provenant du registre 330 sont adressées et atteintes à l'aide du programme du calculateur de la console indiqué dans le tableau I de la demande de brevet précitée N° 693551. Les adresses réelles en code octal, utilisées avec le

tableau I précité de la demande précitée, sont indiquées dans le tableau I qui suit. L'appareil décrit dans la demande précitée se rapporte cependant à un mode de réalisation dans lequel l'appareil principal utilise jusqu'à 64 sections MCC alors que, dans le présent mémoire, l'appareil principal peut utiliser jusqu'à 128 sections MCC. Le tableau II indique la correspondance entre les adresses (en code octal) pour un système à 64 sections MCC et un système à 128 sections. En ce qui concerne les points adressables de la fig. 8, le tableau II indique la relation entre les adresses octale, binaire et hexadécimale, à l'aide par exemple de trois des adresses du tableau I.

Tableau I

Adresses des points de la fig. 8

| Nom | Adresse à 16 bits de 64 MCC (octal) | Adresse à 17 bits de 128 MCC (octal) |
|-----------------|-------------------------------------|--------------------------------------|
| NSI 0 (copie 1) | 057060 | 214071 |
| NSI 0 (copie 2) | 057064 | 215071 |
| NSI 0 (copie 3) | 057064 | 214271 |
| NSI 1 (copie 1) | 057074 | 217071 |
| NSI 1 (copie 2) | 057062 | 214471 |
| NSI 1 (copie 3) | 057072 | 216471 |
| NSI 2 (copie 1) | 057070 | 216071 |
| NSI 2 (copie 2) | 057063 | 214671 |
| NSI 2 (copie 3) | 057066 | 215471 |
| NSI 3 | 057071 | 216271 |
| IB 0 | 054001 | 000261 |
| IB 1 | 054012 | 002461 |
| IB 2 | 054100 | 020061 |
| IB 3 | 054101 | 020261 |
| IB 4 | 054112 | 022361 |
| IB 5 | 054200 | 040061 |
| IB 6 | 054201 | 040261 |
| IB 7 | 054212 | 042461 |
| IBP (0-7) | 054000 | 000061 |
| IB 8 | 054301 | 060261 |
| IB 9 | 054312 | 062461 |
| IB 10 | 054400 | 100061 |
| IB 11 | 054401 | 100261 |
| IB 12 | 054412 | 102461 |
| IB 13 | 054500 | 120061 |
| IB 14 | 054501 | 120261 |
| IB 15 | 054512 | 122461 |
| IBP (8-15) | 054300 | 060061 |

(Tableau en page suivante)

Le tableau II indique les 16 adresses octales et binaires à partir de l'adresse octale 000061 jusqu'à l'adresse octale 003661. Dans le tableau I, l'adresse 000061 correspond à l'adresse du bit de parité IBP (0-7). Comme la mémoire 504 des fig. 3 et 4 est adressée par raison de commodité 16 bits à un moment donné pour l'écriture des données, 16 bits de données doivent être considérés à un moment, obligatoirement. En conséquence, lorsque la valeur des données de la mémoire correspondant à IBP (0-7) doit être écrite sous la forme d'un 0, les 16 adresses 000061 à 003661 indiquées par le tableau II ont aussi des valeurs écrites.

L'appareil principal de la fig. 1 a aussi, entre les adresses 000061 et 003661, deux autres adresses intéressantes provenant du tableau I. Ces deux autres adresses correspondent aux bits IB 0 et IB 1 du registre 330-2 de la fig. 8 et ont des adresses octales 000261 et 002461 respectivement. Les autres adresses du tableau II, c'est-à-dire 000461 à 002261 et 002661 à 003661 ne sont pas utilisées dans le tableau I. Ces autres adresses sont disponibles pour une utilisation avec d'autres points non décrits, sur la section MCC du tableau II. Comme trois

Tableau II
Adressage octal/binaire

| Référence du tableau I | Adresse octale | Valeur de mémoire du processeur | Adresses binaires | | Adresses hexadécimales bit MCC | |
|------------------------|----------------|---------------------------------|-------------------|--------------|--------------------------------|------|
| | | | bit MCC | NO MCC | | |
| IBP (0-7) IB 0 | 000061 | 0 0 | 0 000 000 00 | 0 110 001 | 0 00 | |
| | 000261 | 0 | 0 000 000 01 | 0 110 001 | 0 01 | |
| | 000461 | 3 1 | 0 000 000 10 | 0 110 001 | 0 02 | |
| | 000661 | 1 | 0 000 000 11 | 0 110 001 | 0 03 | |
| | 001061 | 1 | 0 000 001 00 | 0 110 001 | 0 04 | |
| | 001261 | 7 1 | 0 000 001 01 | 0 110 001 | 0 05 | |
| | 001461 | 1 | 0 000 001 10 | 0 110 001 | 0 06 | |
| | 001661 | 1 | 0 000 001 11 | 0 110 001 | 0 07 | |
| | 002061 | 7 1 | 0 000 010 00 | 0 110 001 | 0 08 | |
| | 002261 | 1 | 0 000 010 01 | 0 110 001 | 0 09 | |
| | IB 1 | 002461 | 0 | 0 000 010 10 | 0 110 001 | 0 0A |
| | | 002661 | 3 1 | 0 000 010 11 | 0 110 001 | 0 0B |
| | | 003061 | 1 | 0 000 011 00 | 0 110 001 | 0 0C |
| | | 003261 | 1 | 0 000 011 01 | 0 110 001 | 0 0D |
| | | 003461 | 7 1 | 0 000 011 10 | 0 110 001 | 0 0E |
| | | 003661 | 1 | 0 000 011 11 | 0 110 001 | 0 0F |

seulement des adresses du tableau II sont intéressantes dans l'exemple particulier de la fig. 8 et du tableau I, trois 0 seulement sont écrits pour les valeurs des données dans la mémoire du processeur de couplage de la console et de l'unité centrale de traitement, pour les 16 adresses du tableau II. Ces trois adresses octales recevant un 0 sont 000061, 000261 et 002461. Comme indiqué dans le tableau II, le dessin des bits 1 et 0 (côté droit de la colonne représentant la valeur des données de la mémoire de processeur) pour les 16 bits du tableau II, peut être transformé en représentation octale (côté gauche de la colonne). Par exemple les trois 1 de la partie droite de la colonne des données, pour les trois adresses 003261, 003461 et 003661 sont transformés, dans la colonne gauche, en valeur octale 7. De manière analogue, les autres adresses ont leurs valeurs de données transformées afin que la représentation octale des données dans la mémoire, pour les références du tableau I, dans les 16 adresses du tableau II, devienne 037737.

D'une manière analogue à celle qu'on a décrite en référence au tableau II, chacune des autres adresses du tableau I doit être corrélée à un mot à 16 bits de la mémoire du processeur.

Sur le tableau I, les adresses de IB 2, IB 3 et IB 4 tombent dans la plage d'adresses octales à 16 bits 020061 à 023661. Les bits IB 5, IB 6 et IB 7 tombent dans les adresses octales comprises entre 040061 et 043661. Les bits IB 8, IB 9 et IBP (8-15) se trouvent entre les adresses octales 060061 et 063661. Les bits IB 10, IB 11, IB 12 tombent entre les adresses octales 100061 et 103661. Les bits IB 13, IB 14 et IB 15 tombent entre les adresses octales 120061 et 123661. Enfin, les 10 bits de commande du tableau I tombent entre les adresses octales 214071 et 217671.

Les valeurs des données de la mémoire du processeur, égales à 1 et 0, nécessaires à la validation des seules adresses du tableau I, sont dérivées de la manière indiquée pour les valeurs des données de la mémoire du processeur du tableau II. Ces valeurs de données en code octal pour toutes les adresses du tableau I figurent dans le tableau III.

(Tableau en tête de la colonne suivante)

On considère maintenant le chargement de la mémoire du processeur de couplage pour l'identification d'un sous-jeu. A titre d'exemple, on décrit la création d'une somme de contrôle pour le sous-jeu

Tableau III
Données pour le tableau IV

| Adresse de départ (octal) | Donnée de mémoire du processeur (octal) | Fonction |
|---------------------------|---|--|
| 014071 | 002417 | Valide les 10 bits correspondant aux 10 lignes de commande NSI |
| 000061 | 037737 | Valide IBP (0-7), IB 0, 1 |
| 020061 | 037737 | Valide IB 2, 3, 4 |
| 040061 | 037737 | Valide IB 5, 6, 7 |
| 060061 | 037737 | Valide IBP (8-15) 8, 9 |
| 100061 | 037737 | Valide IB 10, 11, 12 |
| 120061 | 037737 | Valide IB 13, 14, 15 |

comprenant uniquement les 28 points de la fig. 8. Ces 28 points constituent évidemment uniquement un petit sous-jeu des 65 536 points de l'appareil principal de la fig. 1. Tout autre sous-jeu de l'appareil principal peut être choisi. Les sous-jeux sont choisis par conservation de valeurs d'identification (sous forme de 1 ou de 0) dans la mémoire 504, sous forme de valeurs cachées (1) ou non cachées (0).

Initialement, le sous-jeu des points non cachés pour lesquels une somme de contrôle doit être créée doit d'abord être écrit dans la mémoire 504 du processeur de couplage. Les points intéressants sont indiqués sur la fig. 8 et comprennent les 18 bits de l'étage 330-2 du registre IB et les 10 bits de commande NSI qui sont associés. Les adresses de balayage de chacun de ces points de la fig. 8 sont indiquées dans le tableau I. Les points de données de la fig. 8 (et le tableau I) concernent 7 mots à 16 bits de la mémoire 504. Les valeurs de données nécessaires à l'écriture de 1 et de 0 aux emplacements appropriés de ces 7 mots à 16 bits sont indiquées dans le tableau III en code octal. Tous les autres mots à 16 bits de la mémoire 504 sont écrits afin qu'ils contiennent uniquement des 1. Les 65 536 emplacements de la mémoire 504 contiennent 4096 mots à 16 bits. Sept de ces mots sont écrits comme indiqué dans le tableau III et les 4089 mots restants

sont écrits avec des 1 uniquement. De cette manière, les 28 points du sous-jeu sont identifiés.

Lors de l'écriture des valeurs d'identification du sous-jeu dans la mémoire 504, le programme du tableau IV, comprenant les instructions indiquées, est exécuté par le calculateur 501 représenté sur la fig. 2.

Tableau IV
Mémoire d'écriture

| | | |
|-------------|--------|----------|
| S1 WRMEM: | STA | 3, RET |
| S2 | DOB | 0, CCI1 |
| S3 | LDA | 0, SADRA |
| S4 | DOAP | 0, CCI1 |
| S5 | LDA | 0, OSRA |
| S6 | DOA | 0, CCI1 |
| S7 | LDA | 0, OSRV |
| S8 | DOBP | 0, CCI1 |
| S9 | LDA | 0, WMA |
| S10 | DOA | 0, CCI1 |
| S11 | DOBP | 1, CCI1 |
| S12 WTAS 7: | DIA | 0, CCI2 |
| S13 | MOVS | 0,0 |
| S14 | MOVZR | 0,0, SNC |
| S15 | JMP | WTAS7 |
| S16 | JMP | RET |
| S17 RET: | 0 | |
| S18 SADRA: | 120000 | |
| S19 OSRA: | 100000 | |
| S20 OSRV: | 000004 | |
| S21 WMA: | 70000 | |

Avant le début du programme du tableau IV, l'accumulateur 0 (non représenté) du calculateur 501 est chargé par le complément de l'adresse à 16 bits du premier emplacement de bit de la mémoire 504 dans lequel une information doit être écrite. De manière analogue, l'accumulateur 1 non représenté est chargé du complément du dessin de données à 16 bits qui doit être écrit dans la mémoire du processeur à partir de l'emplacement spécifié par l'accumulateur 0. Le programme d'instructions du tableau IV provoque la commande par le circuit 503 de commande de séquence, du processeur 525 afin que chaque mot à 16 bits de données soit écrit dans la mémoire 504 à raison d'un bit à la fois, à partir du registre à décalage SR 670. Le programme du tableau IV est exécuté 4089 fois pour le chargement de 1 uniquement et 7 fois pour le chargement de l'information du tableau III.

Pour la déclaration S1, une adresse de retour présente dans l'accumulateur 3 est conservée à l'adresse RET, en S17.

Pour les déclarations S2, S3 et S4, le registre SADR 556 est déclenché à l'aide du complément de la valeur spécifiée dans l'accumulateur 0.

Pour les déclarations S5, S6, S7 et S8, le registre OSR 557 est mis à la valeur initiale 0 000004 (octal).

Pour la déclaration S9, l'accumulateur 0 est chargé à partir de l'emplacement WMA, en S21, par la valeur 70000 (octal).

Pour la déclaration S10, le contenu de l'accumulateur 0 est transmis à l'organe 511 de commande de couplage et est conservé dans le registre 574. Le décodeur 597 décode le code octal 70000 afin qu'il permette le fonctionnement du circuit 503 de commande de séquence et de la porte 560, alimentant le registre 670, par l'intermédiaire de la ligne 612-7.

Pour la déclaration S11, le contenu de l'accumulateur 1 est transmis à l'organe 511 de commande et est conservé dans le registre ODR 575. Pour cette même déclaration S11, un signal de chargement est créé dans la ligne 549 et, en coopération avec le signal de validation de la ligne 621-7, il provoque l'ouverture de la porte 560, si bien que le registre 670 est chargé en parallèle du complément de la valeur présente dans le registre 575.

Le signal de chargement de la ligne 549 et le signal de validation de la ligne 621-7 du décodeur provoquent l'exécution par l'organe 503 d'une séquence de la mémoire d'écriture. Pendant cette séquence, les données provenant du registre 670 sont écrites bit par bit aux 16 emplacements successifs de la mémoire 504. Les 16 emplacements écrits sont ceux qui commencent avec l'adresse du registre 536 au début de l'opération et comprenant les 15 états suivants du registre 556 lorsqu'ils progressent d'une unité à la fois. Pendant l'opération, la ligne 667 de report qui parvient à l'étage 556-1, reçoit un signal de la ligne 664 de report de sortie, relié à l'étage 556-2. Après la fin de l'opération, le registre 556 progresse à nouveau afin qu'il adresse l'emplacement qui suit le dernier emplacement écrit et la ligne AS7 680 est excitée afin que la fin de la séquence soit signifiée.

Pour les déclarations S12 à S15, le programme d'instructions du tableau IV attend jusqu'à l'excitation de la ligne 680, avant exécution de la déclaration S16.

Pour la déclaration S16, le programme du tableau IV revient à l'adresse conservée à l'emplacement RET.

On considère maintenant la création de la somme de contrôle. Lorsque la mémoire 504 a été écrite comme indiqué par le tableau IV, le processeur 525 est prêt pour le début de la formation d'une somme de contrôle. La création de cette somme s'effectue sous la commande du calculateur 501 de la console qui exécute le programme d'instructions du tableau V. Ce programme forme une somme de contrôle qui dépend des valeurs des données des 65 536 points de l'appareil principal, convenablement cachés par le contenu des 65 536 emplacement de la mémoire 504. Le programme du tableau V peut être commandé par toute source commode, par exemple par un programme principal de diagnostic (non décrit) ou par un ordre manuel donné au calculateur 501.

Tableau V
Somme de vérification

| | | |
|------------|-------------|----------|
| S1 CKSUM: | STA | 3, RET |
| S2 | LDA | 0, OSRA |
| S3 | DOA | 0, CCI1 |
| S4 | LDA | 0, OSRV |
| S5 | DOBP | 0, CCI1 |
| S6 | LDA | 0, CKSA |
| S7 | DOA | 0, CCI1 |
| S8 | NIOP | CCI2 |
| S9 WTAS 7: | DIA | 0, CCI2 |
| S10 | MOVS | 0,0 |
| S11 | MOVZR | 0,0, SNC |
| S12 | JMP | WTAS7 |
| S13 | DIA | 0, CCI1 |
| S14 | JMP | RET |
| S15 RET: | 0 | |
| S16 OSRA: | 1 0 0 0 0 0 | |
| S17 OSRV: | 1 7 0 0 0 0 | |
| S18 CKSA | 6 0 0 0 0 | |

Pour la déclaration S1 du tableau V, une adresse de retour dans l'accumulateur 3 est conservée à l'adresse RET, pour S15.

Pour la déclaration S2, l'accumulateur 0 est chargé du contenu de l'adresse OSRA, pour S16. Comme indiqué en S16, la valeur de OSRA est 1 0 0 0 0 0 (octal).

Pour la déclaration S3, le contenu de l'accumulateur 0 est transmis à l'organe 511 de commande et est conservé dans le registre 574. Le décodeur 597 décode le code octal 1 0 0 0 0 0 et valide, par l'intermédiaire de la ligne 621-8, la porte 558 d'entrée qui alimente le registre 557.

Pour la déclaration S4, l'accumulateur 0 est chargé du contenu de l'adresse OSRV en S17. Comme indiqué en S17, la valeur de OSRV est 1 7 0 0 0 0 (octal).

Pour la déclaration S5, le contenu à 16 bits de l'accumulateur 0 est transmis à l'organe 511 de commande et est conservé dans le re-

giste 575. Toujours en S5, un signal de chargement est créé par la ligne 549 pour la préparation de la porte 558 qui, avec le signal de la ligne 621-8, assure la conservation des 16 bits du registre 575 dans le registre 557.

Pour la déclaration S6, l'accumulateur 0 est chargé du contenu de l'adresse CKSA en S18. Comme indiqué, la valeur de CKSA est 6 0 0 0 0 (octal).

Pour la déclaration S7, le contenu de l'accumulateur 0 est transmis à l'organe 511 de commande et est conservé dans le registre 574. Le décodeur 597 décode le code octal 6 0 0 0 0 afin qu'il valide le circuit 503 de séquence par l'intermédiaire de la ligne 621-6.

Pour la déclaration S8, un signal est créé dans la ligne 550 de mise en route et ce signal, avec celui de la ligne 621-6, provoque l'excitation du circuit 503 de commande de séquence. Ce dernier progresse alors dans les états suivants et commande les actions suivantes.

Etat 1. La ligne d'effacement du registre CSR 677 provoque la remise à 0 de tous les bits du registre 673. Les lignes 666 et 667 d'effacement du registre SADR 556 remettent ce dernier à 0.

Toutes les autres lignes de sortie du circuit 503 de commande de séquence ne sont pas excitées. Le fait que les lignes de sortie 679 de non-validation de mémoire et 678 de non-validation de balayage ne sont pas excitées provoque une opération logique réunion des données des lignes communes 591 et 534, dans le circuit 505 de cache, la mémoire étant placée dans la ligne commune 593. Le signal de sortie de chacune des 128 lignes de la ligne commune 534 est déterminé par le contenu des 128 cellules de mémoire adressées par la ligne commune 590 d'adresse de balayage à 9 bits. Cette dernière ligne commune alimente aussi le circuit logique d'adressage de balayage des circuits paillettes logarithmiques 611, pour chacune des sections MCC de l'appareil principal, de la manière représentée sur la fig. 8. L'adresse à 8 bits est transmise par le registre SADR initialement effacé et ne contenant que des 0, par l'intermédiaire de la ligne commune 590 qui alimente les sections MCC 601.

Comme indiqué en référence à la fig. 8, le circuit logique d'adressage de balayage du circuit paillette 611, pour chaque section MCC, sélectionne un seul point de balayage de la section MCC et place sa valeur de données (1 ou 0) dans la ligne commune 591 de données de balayage, assignée à cette section MCC. Il existe une correspondance biunivoque entre les cellules de la mémoire 504 et les points de l'appareil principal, adressés par le balayage assuré par la ligne commune 590.

Etat 2. Cet état ne provoque aucun changement des lignes de sortie du circuit 503 de commande de séquence. Cet état est un état de retard fixe donnant du temps pour l'accès des données de l'appareil principal et pour que le circuit logique 674 forme une nouvelle somme de contrôle pour le registre 673, en fonction de l'état actuel du registre 673 et de la ligne commune 593.

Etat 3. Le circuit 503 de séquence excite la ligne 676 de chargement du registre CSR 673 qui reçoit la nouvelle somme de contrôle déterminée par le circuit logique 674.

Etat 4. Le circuit 503 de commande de séquence cesse l'excitation de la ligne 676 et, lorsque la ligne de report en sortie 664 de l'étage 556-20 du registre SADR est excitée, il passe à l'état 7. Lorsque la ligne 664 n'est pas excitée, le circuit de commande de séquence passe à l'état 5.

Etat 5. Le circuit 503 de commande de séquence excite la ligne INCR 662 qui assure la progression du nombre à 9 bits dans l'étage 556-2 du registre SADR. Lorsque les étages 556-2 atteignent la valeur décimale 511 et la valeur binaire 1 1 1 1 1 1 1 1, la ligne de report de sortie 664 est excitée. Les 512 sommes de contrôle ont alors été chargées dans le registre 673 qui contient alors la somme finale.

Etat 6. Le circuit 503 de séquence arrête l'excitation de la ligne 662 qui alimente l'étage 556-2 et passe à l'état 2.

Etat 7. Le circuit 503 de commande de séquence excite la ligne AS 7 680, indiquant que la somme finale de contrôle est terminée et se trouve dans le registre 673. Le circuit 503 de commande de séquence reste dans cet état jusqu'à ce qu'une nouvelle séquence soit commencée.

Pour la déclaration S9, la porte 582 d'état actif AS est interrogée

afin que l'état de la ligne 680 soit chargé dans l'accumulateur 0, au bit 7.

Pour la déclaration S10, les octets présents dans l'accumulateur 0 sont échangés, l'état de la ligne 680 étant placé au bit 15 de l'accumulateur 0.

Pour la déclaration S11, l'état du bit 15 de l'accumulateur 0 est vérifié et la déclaration S12 est sautée lorsque la ligne 680 a été excitée lors de l'interrogation dans la déclaration S9.

Pour la déclaration S12 qui est exécutée lorsque la ligne AS7 714 n'est pas excitée, le programme saute à la déclaration S9 afin qu'il réinterroge l'état de la ligne 680. De cette manière, le processeur secondaire 501 attend jusqu'à ce que le processeur 525 signifie la fin avant de progresser.

Pour la déclaration S13, l'accumulateur 0 est chargé de la somme finale de contrôle provenant du registre 673 qui a été choisi à l'aide de la porte IG 572 par la porte de sortie 569-2 qui a été excitée par la ligne 621-6 du décodeur, étant donné l'action correspondant à la déclaration S7.

Pour la déclaration S14, le programme du tableau V saute à l'adresse de retour contenu à l'emplacement RET.

On considère maintenant le balayage condensé. Lors de la formation de la somme de contrôle suivant le programme du tableau V, les 65 536 points de l'appareil principal sont balayés. Cependant, seul le sous-jeu de points identifié dans la mémoire 504 est en réalité capable de participer à la formation des sommes de contrôle. Lorsque la somme réelle de contrôle obtenue pour un tel balayage indique une condition de panne, il est souhaitable qu'un sous-jeu de points de l'appareil principal soit balayé afin que le ou les points réels du sous-jeu qui provoquent la condition de panne soient déterminés. Un tel sous-jeu de points peut être par exemple le sous-jeu associé à l'appareil de la fig. 8.

Lors du balayage d'un sous-jeu choisi de points dans l'appareil principal, le programme d'instructions du tableau VI est exécuté par le calculateur 501 de la console de la fig. 2. Le sous-jeu de points balayé est celui qui est identifié dans la mémoire 504.

Tableau VI
Balayage condensé

| | | | |
|----|------------|--------|----------|
| 40 | S1 CSCAN: | STA | 3, RET |
| | S2 | DOB | 0, CCI1 |
| | S3 | LDA | 0, SADRA |
| | S4 | DOAP | 0, CCI1 |
| | S5 | LDA | 0, OSRA |
| 45 | S6 | DOA | 0, CCI1 |
| | S7 | LDA | 0, OSRV |
| | S8 | DOBP | 0, CCI1 |
| | S9 | LDA | 0, SADRA |
| | S10 | DOA | 0, CCI1 |
| 50 | S11 | NIOP | CCI2 |
| | S12 WTAS7: | DIA | 0, CCI2 |
| | S13 | MOVS | 0,0 |
| | S14 | MOVZR | 0,0, SNC |
| | S15 | JMP | WTAS7 |
| 55 | S16 | DIA | 1, CCI1 |
| | S17 | JMP | RET |
| | S18 RET: | 0 | |
| | S19 SADRA: | 120000 | |
| | S20 OSRA: | 100000 | |
| 60 | S21 OSRV: | 170004 | |

Avant passage au programme du tableau VI, l'accumulateur 0 contient le complément de l'adresse à 16 bits qui doit former la valeur de départ du balayage condensé qui doit être chargée dans le registre 556. Le programme d'instructions du tableau VI provoque la commande du processeur 525 par le circuit 503 afin qu'il ait accès à 16 points de balayage de l'appareil principal et conserve leurs états dans le registre SR 670. Les 16 points à atteindre sont déterminés par le contenu de la mémoire 504 de la manière suivante.

La cellule de la mémoire du processeur de couplage, choisie par le contenu à 16 bits du registre 556, est lue par le circuit 503. Lorsque le contenu de cette cellule est 0, le point balayé dans le processeur principal adressé par le registre 556 est atteint par le multiplexeur 668 et est décalé dans le registre 670. Le circuit 503 compte alors le nombre de 0 lu dans la mémoire 504, dans son compteur, et lorsque ce nombre est égal à 16, le fonctionnement est terminé. Lorsque le nombre n'est pas égal à 16, le registre 556 progresse et l'état de la cellule de mémoire adressé par la nouvelle valeur du registre est lu par le circuit de séquence. Cette séquence d'opérations se répète jusqu'à ce que la valeur des 16 points balayés ait été décalée dans le registre 670.

Pour la déclaration S1, une adresse de retour dans l'accumulateur 3 est conservée à l'adresse RET, à S18.

Pour les déclarations S2, S3 et S4, le registre 556 est chargé initialement du complément de la valeur spécifiée dans l'accumulateur 0.

Pour les déclarations S5, S6, S7 et S8, le registre 557 est chargé initialement de la valeur 170004 (octal).

Pour la déclaration S9, l'accumulateur 0 est chargé à partir de l'emplacement SADRA en S19, avec la valeur 120000 (octal).

Pour la déclaration S10, le contenu de l'accumulateur 0 est transmis à l'organe 511 de commande de couplage et est conservé dans le registre 574. Le décodeur 597 décode le code octal 120000 et permet le fonctionnement du circuit 503 de séquence par la ligne 621-10.

Pour la déclaration S11, un signal est créé dans la ligne 550 de mise en route et ce signal, avec celui de la ligne 621-10 du décodeur, provoque l'exécution par le circuit 503 de séquence de l'opération de balayage condensé. La séquence détaillée d'opérations du circuit 503 est anagogue à celle qu'on a indiquée en référence à la formation de la somme de contrôle, comme indiqué dans le tableau V.

Pour les déclarations S12 à S15 du tableau VI, le code est identique à celui des déclarations S9 à S12 du tableau V, et la fonction est la même. La déclaration S16 du tableau VI n'est pas exécutée tant que le circuit 503 de séquence n'a pas signalé la fin de la séquence par excitation de la ligne 680.

Pour la déclaration S16, le contenu du registre 670 est transféré par la porte 572 d'entrée à l'accumulateur 1.

Pour la déclaration S17, le programme du tableau VI revient à l'adresse conservée à l'emplacement RET, avec les 16 valeurs des points de balayage de l'appareil principal dans l'accumulateur 1.

On considère maintenant les sommes intermédiaire et finale de contrôle. On décrit un exemple particulier de sommes intermédiaire et finale de contrôle pour un état particulier de l'étage 330-2 du registre 330 de la fig. 8. On suppose dans cet exemple que l'étage 330-2 contient les 16 bits IB 0, IB 1, ..., IB 15, représentant le nombre hexadécimal 47F 0 qui est le nombre binaire 0100 0111 1111 0000. Pour ces 7 bits conservés dans l'étage 330-2 de la fig. 8, le bit de parité impaire IBP (0-7) est un 1 puisqu'il existe un nombre pair (4) de 1 dans les étapes IB 0, IB 1, ..., IB 7. De manière analogue, le bit de parité IBP (8-15) est aussi un 1. On suppose aussi dans cet exemple que les 10 bits de commande NSI 0, NSI 1, NSI 12 et NSI 13 sont à l'état logique 0, si bien qu'ils ne contiennent pas de signal logique 1 qui a un effet sur la description de la somme de contrôle qui suit. Toutes les sommes intermédiaires de contrôle et la somme finale de contrôle IDFD (colonne 1F SADR (4-8) et rangée F SADR (0-3)) sont indiquées dans le tableau VII. Dans ce dernier, le balayage est réalisé pour chaque ligne de SADR (0-3) pour les 32 colonnes, c'est-à-dire 00, 01, ..., 0F 10, 11, ..., 1F, le balayage se répétant toutes les 32 colonnes pour la ligne suivante.

Tableau VII

| SADR | | SADR (4-8) | | | | | | | | | | | | | | | |
|------|------|------------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|--|
| 0-3 | 00 | 01 | 02 | 03 | 04 | 05 | 06 | 07 | 08 | 09 | 0A | 0B | 0C | 0D | 0E | 0F | |
| 0 | 8020 | C010 | E008 | F004 | F802 | FC01 | 7E00 | BF00 | DF80 | EFC0 | F7C0 | FBE0 | FD00 | FEF8 | FF7C | FFBE | |
| 1 | 0020 | 8010 | C008 | E004 | F002 | F801 | 7C00 | BE00 | DF00 | EF80 | F7C0 | FBE0 | FD00 | FEF8 | FF7C | FFBE | |
| 2 | 0E9E | 874F | 43A7 | 21D3 | 10E9 | 0874 | 843A | C21D | 610E | B087 | 5843 | 2C21 | 1610 | 8B08 | C584 | E2C2 | |
| 3 | 0E9E | 874F | 43A7 | 21D3 | 10E9 | 0874 | 843A | C21D | 610E | B087 | 5843 | 2C21 | 1610 | 8B08 | C584 | E2C2 | |
| 4 | 0EBE | 877F | 43BF | 21DF | 10EF | 0877 | 043B | 021D | 010E | 8087 | 4063 | 2031 | 1018 | 880C | C406 | E203 | |
| 5 | 8EFE | C77F | 63BF | 31DF | 18EF | 0C77 | 063B | 031D | 018E | 80C7 | 4063 | 2031 | 1018 | 880C | C406 | E203 | |
| 6 | 8EDE | C74F | 63A7 | 31D3 | 18E9 | 0C74 | 863A | C31D | 618E | B0C7 | 5843 | 2C21 | 1610 | 8B08 | C584 | E2C2 | |
| 7 | 0E9E | 874F | 43A7 | 21D3 | 10E9 | 0874 | 843A | C21D | 610E | B087 | 5843 | 2C21 | 1610 | 8B08 | C584 | E2C2 | |
| 8 | 0EBE | 877F | 43BF | 21DF | 10EF | 0877 | 043B | 021D | 010E | 8087 | 4043 | 2021 | 1010 | 8808 | C404 | E202 | |
| 9 | 0EFE | 877F | 43BF | 21DF | 10EF | 0877 | 043B | 021D | 010E | 8087 | 4043 | 2021 | 1010 | 8808 | C404 | E202 | |
| A | | | | | | | | | | | | | | | | | |
| B | | | | | | | | | | | | | | | | | |
| C | | | | | | | | | | | | | | | | | |
| D | | | | | | | | | | | | | | | | | |
| E | | | | | | | | | | | | | | | | | |
| F | 0EFE | 877F | 43BF | 21DF | 10EF | 0877 | 043B | 021D | 010E | 8087 | 4043 | 2021 | 1010 | 8808 | C404 | E202 | |

| SADR | | SADR (4-8) | | | | | | | | | | | | | | | |
|------|------|------------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|--|
| 0-3 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 1A | 1B | 1C | 1D | 1E | 1F | |
| 0 | FFDF | 7FEF | 3FF7 | 1FFB | 0FFD | 07FE | 83FF | 41FF | 20FF | 107F | 083F | 041F | 020F | 0107 | 0083 | 0041 | |
| 1 | FFDD | 7FEC | BFF4 | DF88 | EFFE | F7FF | 7BFD | 3DFE | 9EFD | 4F7C | A7BC | D3DE | E9EF | 74F7 | 3A7B | 1D3D | |
| 2 | F161 | 78B0 | BC58 | DE2C | EF16 | F78B | 7BC5 | 3DE2 | 9EF1 | 4F78 | A7BC | D3DE | E9EF | 74F7 | 3A7B | 1D3D | |
| 3 | F161 | 78B0 | BC58 | DE2C | EF16 | F78B | 7BC5 | 3DE2 | 9EF1 | 4F78 | A7BC | D3DE | E9EF | 74F7 | 3A7B | 1D3D | |
| 4 | 7101 | 3880 | 9C40 | CE20 | E710 | F388 | F9C4 | FCE2 | FE71 | 7F38 | BF9C | DFCE | EFE7 | 77F3 | 3BF9 | 1DFC | |
| 5 | 7101 | 3880 | 9C40 | CE20 | E710 | F388 | F9C4 | FCE2 | FE71 | 7F38 | BF9C | DFCE | EFE7 | 77F3 | 3BF9 | 1DFC | |
| 6 | F161 | 78B0 | BC58 | DE2C | EF16 | F78B | 7BC5 | 3DE2 | 9EF1 | 4F78 | A7BC | D3DE | E9EF | 74F7 | 3A7B | 1D3D | |
| 7 | F161 | 78B0 | BC58 | DE2C | EF16 | F78B | 7BC5 | 3DE2 | 9EF1 | 4F78 | A7BC | D3DE | E9EF | 74F7 | 3A7B | 1D3D | |
| 8 | F101 | 7880 | BC40 | DE20 | EF10 | F788 | FBC4 | FDE2 | FEF1 | 7F78 | BFBC | DFDE | EFEF | 77F7 | 3BFB | 1DFD | |
| 9 | F101 | 7880 | BC40 | DE20 | EF10 | F788 | FBC4 | FDE2 | FEF1 | 7F78 | BFBC | DFDE | EFEF | 77F7 | 3BFB | 1DFD | |
| A | | | | | | | | | | | | | | | | | |
| B | | | | | | | | | | | | | | | | | |
| C | | | | | | | | | | | | | | | | | |
| D | | | | | | | | | | | | | | | | | |
| E | | | | | | | | | | | | | | | | | |
| F | F101 | 7880 | BC40 | DE20 | EF10 | F788 | FBC4 | FDE2 | FEF1 | 7F78 | BFBC | DFDE | EFEF | 77F7 | 3BFB | 1DFD | |

Dans le tableau VII, les lignes représentent les 4 bits d'ordre inférieur de l'étage 556-2 du registre SADR en code hexadécimal. Les colonnes du tableau VII représentent les 5 bits d'ordre supérieur (4 à 8) de l'étage 556-2 en code hexadécimal.

Les désignations de lignes et de colonnes du tableau VII correspondent à l'adresse à 9 bits qui est transmise à chaque section MCC, de la manière décrite en référence à la fig. 8. La première adresse de bit MCC apparaît au coin supérieur gauche du tableau VII.

Comme indiqué par le tableau II, l'adresse MCC 0 formée uniquement de 0, pour la section MCC 601-1 de la fig. 8, assure l'adressage du bit de parité IBP (0-7). Comme celui-ci, pour une parité impaire, est à l'état logique 1 lorsque le registre IB contient les données 47F 0 (code hexadécimal), le circuit paillette 611-1 renvoie un signal logique 1 à la sortie sous la commande de l'adresse à 9 bits ne contenant que des 0. Le signal logique 1 du circuit paillette 611-1 de la fig. 8 apparaît sous la forme d'un bit de la ligne commune 591 à 128 bits. Cette ligne 591 provenant du circuit de la fig. 8 parvient à l'entrée du circuit 505 de cache de la fig. 4. A ce moment, les 128 lignes 678 parvenant à la porte 539 à 128 voies transmettent un signal logique 0. La valeur 1 des données pour le bit IBP (0-7) provenant de la paillette 611-1 de la fig. 8 est inversée dans la porte 539 et apparaît sous la forme d'un signal 0 à la porte réunion 538. La valeur correspondante provenant de la mémoire du processeur par l'intermédiaire de la porte 547 de la fig. 4 est 0, comme l'indique le tableau II. Le signal 0 de la porte 547 et celui de la porte 539 sont combinés par la porte 538 qui transmet un signal 0 à l'une des lignes de la ligne commune 593 correspondant à la sortie de la paillette 611-1. Simultanément, les 127 autres signaux de sortie de la mémoire 504 et de la porte 547 sont à l'état logique 1, si bien qu'un seul signal 0 apparaît dans la ligne commune 593.

Sur la fig. 7, la ligne particulière, qui contient un 0, dans l'exemple particulier décrit en référence à la fig. 8, est la ligne 33 (qui n'est pas représentée explicitement) faisant partie du groupe de lignes 32 à 39 de la ligne commune 593. Tous les autres signaux d'entrée de la ligne 593 sont à l'état logique 1. Le signal 0 de la ligne 33 parvient au circuit dilemme 681-2 à 8 voies. L'une des 8 sorties de ce circuit est donc à l'état logique 1 alors que les 7 autres sont à l'état logique 0. Le signal 1 du circuit 681-2 parvient à l'entrée du circuit dilemme 682-2 qui transmet lui-même un signal 1 à l'une de ses sorties, par exemple le bit 1. Ce signal 1 du circuit 682-2 parvient à l'entrée du circuit dilemme à 4 voies 683-2. Ainsi, l'un des quatre signaux du circuit dilemme 683-2 est à l'état logique 1. Ce signal constitue un signal 1 d'entrée du circuit dilemme 684-9 (non explicitement représenté sur la fig. 7).

Comme le registre 673 a été effacé et est à 0 avant la première adresse du registre SADR, le signal du circuit dilemme 684-9 est à l'état logique 1. Ce signal est chargé dans l'étage 673-10 du registre SADR (non explicitement représenté sur la fig. 7). Simultanément, le signal 0 de l'étage 673-15 de ce registre est combiné au signal 0 du circuit 683-1, à l'entrée du circuit dilemme 684-15. Le signal de ce dernier circuit est donc à l'état 1 et il est chargé dans l'étage 673-0 du registre CSR.

Le résultat des opérations précédentes est la première somme intermédiaire de contrôle, avec un 1 dans l'étage 673-0 et un 1 dans l'étage 673-10, tous les autres étages du registre 673 étant à 0. La représentation hexadécimale du contenu de la somme intermédiaire de contrôle dans le registre 673 est 8020 comme indiqué dans le tableau VII, à l'adresse hexadécimale 0 00. Lorsqu'une erreur est apparue, si bien que le bit de parité IBP (0-7) a été à l'état 0 et non à l'état 1, un signal 1 s'est propagé dans le circuit logique 674 à circuit dilemme de la fig. 7. Ainsi, aucun signal 1 n'aurait été chargé dans l'étage 673-10, si bien que le contenu du registre de somme de contrôle aurait été 8000 au lieu de 8020 (en code hexadécimal).

A ce moment, le circuit 503 de séquence des fig. 5 et 6 a terminé une séquence complète du registre 696 d'état dans le temps. A la sortie de l'étage 696-4 de la fig. 6, l'étage 656-2 du registre SADR progresse au nombre suivant qui est 001 (code hexadécimal).

On se réfère à nouveau au tableau II qui indique que l'adresse 001

de bit MCC (en code hexadécimal), pour la section contenant le registre 330 de la fig. 8, correspond au bit IB0. Comme indiqué dans le tableau II, le signal de la mémoire du processeur de couplage utilisant l'adresse à 9 bits apparaissant dans l'étage 556-2 forme un signal 0 transmis à la porte 547. Lorsque le registre IB contient la donnée 47F 0 en code hexadécimal, la valeur de IBS0 est un 0. Ce signal 0 est renvoyé, comme indiqué sur la fig. 8, à la sortie du circuit paillette 611-1 sous la forme d'un bit de la ligne commune 591 à 128 bits. Le signal 0 de la ligne 591 est inversé dans la porte 539 et paraît sous la forme d'un signal 1 à l'entrée de la porte réunion 530. Bien que le signal de sortie de la mémoire 504 soit à l'état logique 0 et se propage sous la forme d'un signal 0 dans la porte 547, le signal de sortie de la porte 538 correspondant au bit IB 0 est un signal logique 1. Comme les 127 autres signaux de sortie de la porte 547 sont aussi à l'état logique, le contenu de la ligne commune 593 est formé uniquement de 1.

Le signal formé uniquement de 1 de la ligne commune 593, transmis au circuit logique 674 de la fig. 7, constitue un signal d'entrée ne contenant que des 0 pour le dernier niveau des circuits dilemmes 684. Ainsi, le signal 1 qui se trouvait dans l'étage 673-0 est décalé dans le circuit 674-0 sous la forme d'un signal 1 dans l'étage 673-1. Le signal 1 qui se trouvait dans l'étage 376-10 est décalé et devient un signal 1 dans l'étage 673-11. Le signal 0 qui se trouvait dans l'étage 673-15 est inversé par le circuit 684-15 et devient un nouveau signal 1 dans l'étage 673-0.

Le résultat est la seconde somme intermédiaire de contrôle C0 10 comme indiqué dans le tableau VII pour l'adresse 0 01 (hexadécimale). A ce moment, une nouvelle somme intermédiaire doit être créée et le circuit 503 des fig. 5 et 6 provoque la progression du registre SADR à l'adresse suivante hexadécimale 002. Ensuite, pour chacune des adresses hexadécimales 002 à 009, les signaux de la mémoire 504 sont tous des 1, si bien qu'aucune valeur renvoyée par l'appareil principal n'est intéressante. La somme intermédiaire et le contenu du registre CSR après l'adresse 009 sont EFC0. Comme indiqué sur le tableau II, l'adresse suivante pour le registre SADR, soit 00A en code hexadécimal, est intéressante et un 0 est atteint dans la mémoire du processeur de couplage. La valeur du bit IB 1 est un 1 et le registre IB conserve la valeur 47F 0. La raison pour laquelle le bit IB 1 est à l'état 1 est que, pour la valeur hexadécimale 4, l'équivalent binaire 0100 contient un 1 au second emplacement, c'est-à-dire à l'emplacement IB 1. Ce signal 1 de l'emplacement IB 1 de la fig. 8 est renvoyé par le circuit logique 674, est inversé sous la forme d'un signal 0 dans la porte 539 et, avec le signal de 0 de la porte 547, apparaît à l'entrée 0 de la ligne 33 de la fig. 7. Ce signal 0 se propage dans le circuit logique 674 et forme un signal logique 1 d'entrée du circuit dilemme 684-9. Ce signal 1 combiné à un signal 1 provenant de l'étage 673-9 provoque la formation d'un signal 0 conservé dans l'étage 673-10. Ainsi, la somme intermédiaire de contrôle est F7C 0 pour le registre SADR à l'adresse hexadécimale 009.

Lorsqu'un signal 1 n'a pas été obtenu pour le bit IB 1 de la fig. 8, la somme intermédiaire pour l'adresse hexadécimale 00A est alors F7E 0. Ensuite, les sommes intermédiaires sont formées dans le registre 673 de la fig. 7 pour chacune des adresses restant dans le tableau II. Celui-ci représente 16 des 512 sommes au total qui doivent être formées. Toutes les adresses, comprenant celles du tableau I, sont balayées comme partie du total des 512 adresses de la manière décrite en référence au tableau II. Chaque somme intermédiaire apparaît dans le tableau VII pour les 512 balayages. La somme finale apparaissant à l'adresse hexadécimale FIF est 1 DFD. Il faut noter que les sommes de contrôle sont répétitives sur une base de modules 32 lorsqu'il n'y a pas de modification à l'entrée de données. La répétition est observée en ce qu'il n'y a pas de changement des sommes intermédiaires pour chacune des lignes hexadécimales A à F du tableau VII.

On a considéré la somme finale pour le registre IB contenant la valeur 47F 0, mais la somme finale du registre IB ayant le contenu 46F 0 avec IBP (8-7) égal à 1 et IBP (8-15) égal à 1 serait 1 DFC (en code hexadécimal).

On considère maintenant d'autres modes de réalisation. Le géné-

rateur 507 de la fig. 4 a un circuit logique 674-1 de réduction, un registre 673 de somme de contrôle et un circuit logique 674-2 de somme de contrôle. Bien que le circuit logique de réduction ait été décrit en référence à la fig. 7 sous la forme d'un circuit ramifié binaire, un circuit ramifié n'est évidemment pas nécessaire. Un nombre quelconque de signaux de sortie à dépendance logique peut être tiré des signaux d'entrée avec toute réduction de type ramifié ou non. La réduction peut être réalisée à partir de N bits d'entrée, N étant un nombre entier quelconque, jusqu'à un ou plusieurs bits de sortie. Le circuit logique de somme de contrôle qui combine logiquement la somme actuelle conservée dans le registre de somme de contrôle au signal du circuit logique de réduction peut aussi être de types très divers. Par exemple, dans un cas extrême, le circuit logique de réduction peut réduire le signal de sortie à un seul bit. Quel que soit le nombre de bits de sortie, ceux-ci sont combinés au signal de sortie du registre de somme de contrôle. Ce dernier registre lui-même peut aussi comprendre un ou plusieurs bits.

Dans un mode de réalisation avantageux de générateur de somme de contrôle décrit en référence à la fig. 7, le circuit logique 674-2 de somme de contrôle comprend un circuit de transformation ayant un circuit d'inversion destiné à transmettre le signal de sortie du circuit dilemme 684-15 qui reçoit un signal de sortie du énième étage 673-15, afin qu'il forme le signal inversé d'entrée du premier étage 673-0. Evidemment, d'autres techniques à redondance cyclique peuvent être utilisées. Par exemple, le circuit de transformation peut connecter et combiner logiquement le signal du circuit 785 d'inversion avec le signal de l'étage 673-14 pour la formation d'un signal d'entrée du dernier étage 673-15. Toutes les techniques de vérification par redondance cyclique peuvent être utilisées dans le générateur de somme de contrôle.

Le générateur 507 des fig. 4 et 7 a été décrit sous la forme d'un ensemble unique pour tous les points dans l'appareil principal. Dans une variante, le générateur peut être réparti à des emplacements différents. Par exemple, chacune des 128 sections MCC qui constitue un appareil principal peut comprendre son propre générateur de somme de contrôle. Chaque générateur de ce type peut créer une somme intermédiaire. Les sommes intermédiaires des sections MCC peuvent alors être combinées logiquement sous la forme d'une somme finale unique de contrôle. La somme, dans chaque cas, peut comprendre un ou plusieurs bits transmis à l'appareil secondaire en série ou en parallèle. La nature de l'appareil d'adressage des groupes de points utilisée pour la formation des sommes intermédiaires dépend évidemment de la répartition particulière choisie. Dans de telles variantes, chaque section MCC peut comprendre sa propre mémoire d'identification de sous-jeu analogue à la mémoire MCC 504 de la fig. 4, ou la fonction de cache peut aussi rester entièrement dans le processeur 525.

Bien que la mémoire 504 ait été décrite dans un mode de réalisation dans lequel il existe une corrélation biunivoque entre les emplacements de bits de la mémoire et les points de l'appareil principal, la mémoire peut aussi être un autre type de dispositif de transformation. Ainsi, cette corrélation biunivoque peut être remplacée par la conservation dans la mémoire des valeurs d'identification sous forme codée. Dans ce mode de réalisation, l'information codée est adressée et décodée afin qu'elle forme le signal voulu de sortie de la mémoire. La dimension de la mémoire peut alors être réduite par utilisation d'informations codées.

Bien que l'installation soit décrite essentiellement en liaison avec la détection des pannes en des points de l'appareil principal, elle permet aussi l'analyse des points de l'appareil secondaire. Ainsi, dans le circuit de la fig. 3, les portes 523 du processeur sont reliées en de nombreux points non représentés par l'intermédiaire du processeur 525. Tous ces points peuvent être atteints convenablement par l'intermédiaire de la porte 569-6 afin qu'ils soient reliés au calculateur 501 de la fig. 2 par l'intermédiaire de l'organe 511 de commande. De cette manière, la détection ou l'analyse des pannes de l'appareil secondaire peuvent être réalisées par cet appareil lui-même.

Des pannes ne sont pas détectées avec une certitude absolue, étant donné la nature de la réduction logique utilisée. Lorsqu'un

nombre impair de pannes apparaît simultanément dans le registre 330 de la fig. 8, une panne est détectée. D'autre part, si un nombre pair de pannes apparaît simultanément, les pannes peuvent se compenser et il existe une possibilité pour qu'aucune détection de pannes n'ait lieu dans le cycle d'apparition. La probabilité de détection augmente dans les cycles suivants. Lorsque deux pannes apparaissent exactement simultanément sont disposées de façon aléatoire dans l'appareil principal, la probabilité de la compensation dans un cycle est d'environ 6,3%. Lorsqu'il apparaît plus de deux pannes aléatoires, la probabilité d'une telle compensation diminue rapidement avec le nombre de pannes, c'est-à-dire que la probabilité de détection des pannes augmente rapidement lorsque le nombre de pannes augmente.

Dans l'appareil principal du type décrit, le traitement de l'information a lieu dans des cycles synchrones successifs de l'appareil principal. Au cours de la détection et de l'analyse des pannes, il est souhaitable que le premier cycle pendant lequel une panne apparaît soit localisé car il est très probable que, dans les cycles suivants, la panne se propage et devienne plus complexe. Habituellement, plus le nombre de cycles écoulés depuis la panne initiale est élevé et plus l'isolement de la cause initiale de la panne est difficile.

La probabilité de la détection d'une erreur au premier cycle ou lors des cycles suivants est intéressante pour l'évaluation de la puissance de l'appareil. Selon une analyse, la probabilité de détection d'une panne dans le cycle dans lequel elle est apparue pour la première fois dépasse 99%. En outre, la probabilité augmente encore pour que la panne soit détectée dans les cycles suivants de l'appareil principal.

Un procédé de mise en action de l'appareil principal et de l'appareil secondaire est le suivant. L'appareil principal assure le traitement de l'information, par exemple l'exécution d'un programme principal connu tel qu'un programme de diagnostic, de manière classique, jusqu'à ce que les techniques classiques de détection d'erreur signifient que l'appareil principal a une panne. Cette détection de panne peut par exemple être obtenue à l'aide des techniques normales de détection d'erreur par parité. Après indication d'une panne d'un type quelconque dans l'appareil principal, un ordre est transmis automatiquement, ou sous la commande du programme, au calculateur 501 de la console. Le numéro du cycle de l'appareil principal est conservé après détection de la première panne. L'appareil principal est alors commandé afin qu'il essaie à nouveau l'opération qui a fait apparaître l'indication d'erreur pour une période initiale. La période initiale correspond au nombre quelconque de cycles comptés par le compteur de cycles de l'appareil principal. Lorsque le compteur de cycles approche un nombre qui précède le nombre pour lequel des pannes ont été détectées initialement, l'appareil principal est arrêté de manière classique. Ensuite, les sommes de contrôle sont formées pour chaque cycle de l'appareil principal et sont comparées par l'appareil secondaire. Lorsque la valeur réelle d'une somme de contrôle formée diffère de la valeur prévue, une analyse par balayage condensé des points contribuant à la somme de contrôle peut être réalisée dans un essai d'identification de la source de la panne. Le nombre de points contribuant initialement à la somme de contrôle peut être de 65 536 qui est le nombre maximal ou peut être celui de tout sous-jeu choisi parmi ces points.

Par exemple, lorsque le circuit normal de détection d'erreur de l'appareil principal a indiqué qu'une erreur n'est apparue que dans le cadre de l'unité 10 d'exécution de la fig. 1, un sous-jeu de points entièrement compris dans l'unité 10 est choisi et tous les autres points sont cachés. Evidemment, les spécialistes peuvent noter que de nombreuses variantes peuvent être utilisées lors de la mise en action de l'installation.

Il est nécessaire, normalement, qu'il existe un état commun de l'appareil principal avant la détection et l'analyse des pannes. En conséquence, tout programme principal ou toute opération de l'appareil principal doit avoir été préalablement déterminé comme dépourvu de panne afin que les valeurs prévues soient formées en vue du stockage dans l'appareil secondaire.

Les valeurs prévues des sommes de contrôle sont conservées et sont accessibles au calculateur 501 de la console de la fig. 2. En outre, les valeurs prévues pour les états des points individuels dans l'appareil principal sont aussi conservées et accessibles à l'aide du calculateur 501. Lorsqu'une comparaison de la somme de contrôle ne détecte pas une panne, les valeurs conservées des points qui ont contribué à la formation de la somme de contrôle ne nécessitent pas une analyse plus poussée. Lorsqu'une comparaison des sommes réelle et prévue indique qu'une panne existe dans le sous-jeu de points contribuant à la somme de contrôle, les valeurs prévues de ces points et les valeurs réelles de ces points peuvent être comparées par le calculateur 501. Dans le mode de réalisation décrit, les valeurs prévues d'un sous-jeu de points sont obtenues dans des groupes de 16 bits à un moment et sont conservées dans le registre 696. Ces 16 bits peuvent alors être transférés par les portes 508 de sortie et l'organe 511 de commande au calculateur 501. Celui-ci, de manière classique, compare alors ces 16 bits aux 16 bits correspondants du calculateur 501 qui constituent les valeurs prévues. Lorsque le groupe de 16 bits réels

correspond aux valeurs des 16 bits prévus, le processeur 525 peut continuer à avoir accès au groupe suivant de 16 bits. Normalement, lorsque aucune erreur n'est détectée dans un groupe quelconque de 16 bits, les valeurs atteintes pour ce groupe de 16 bits peuvent être rejetées sans analyses supplémentaires. Lorsqu'une erreur est détectée entre une valeur quelconque d'un bit prévu et un bit réel, l'erreur détectée peut être analysée pour la détermination de l'emplacement dans l'appareil principal.

La conservation des valeurs prévues pour les sommes de contrôle et les valeurs des bits peut être réalisée par mise en œuvre de l'appareil selon l'invention. L'appareil principal peut fonctionner dans tout état pour lequel une somme de contrôle et des valeurs prévues doivent être formées. Ensuite, toutes les valeurs prévues sont obtenues à partir de l'appareil principal et conservées dans la mémoire associée au calculateur 501. De manière analogue, la somme de contrôle formée est conservée à un emplacement convenable. Lorsque l'appareil principal revient au même état, les valeurs prévues nécessaires ont déjà été conservées dans l'appareil secondaire.

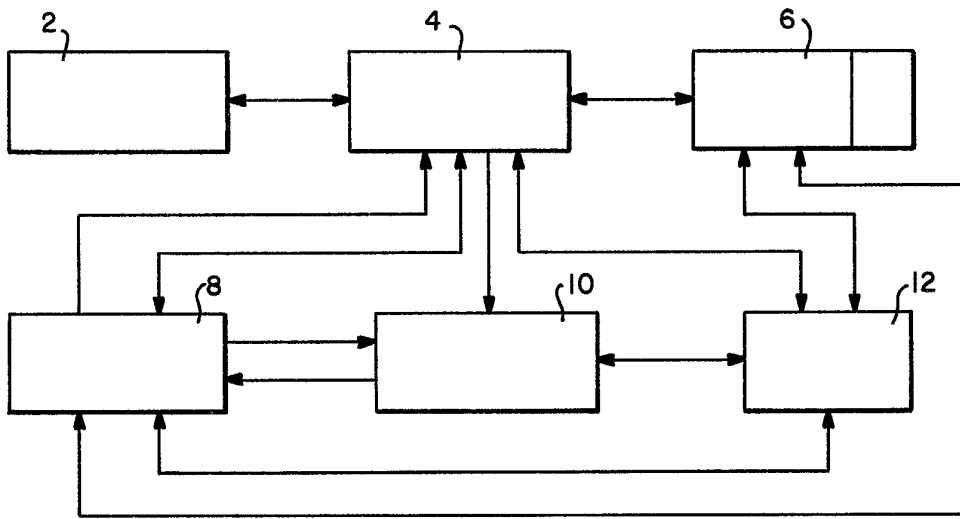


FIG.—1

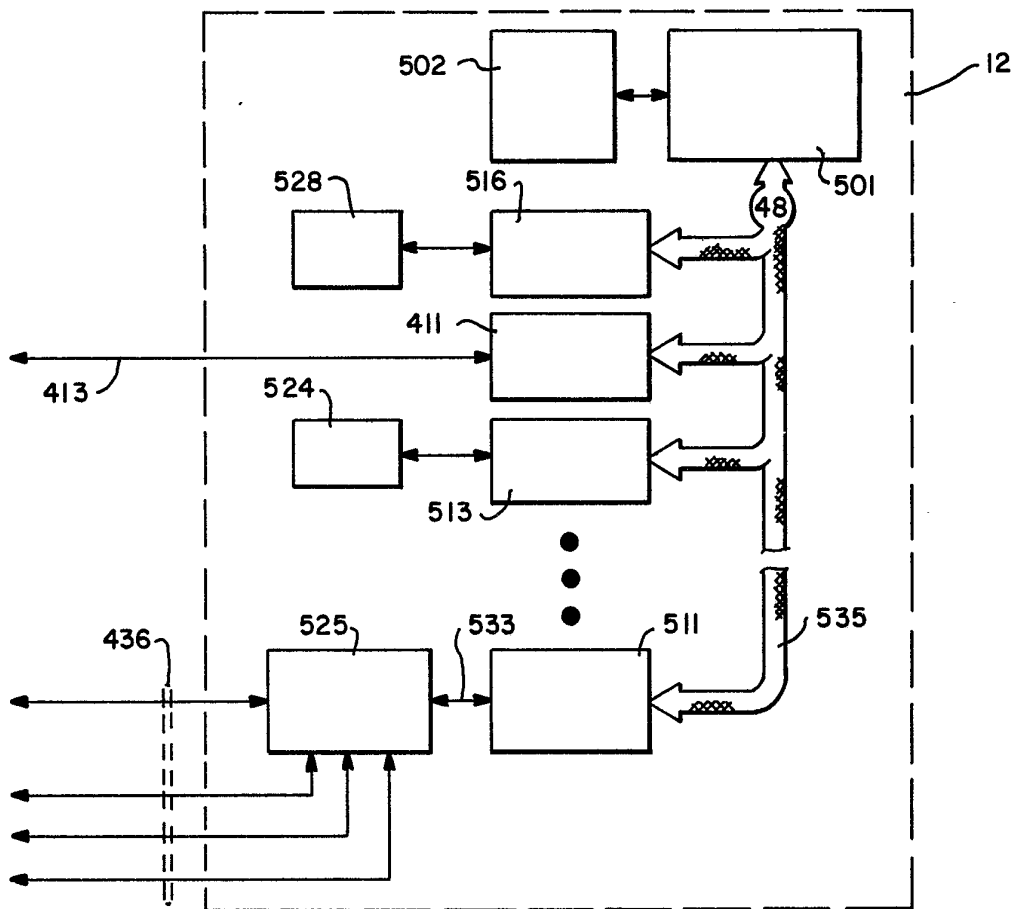


FIG.—2

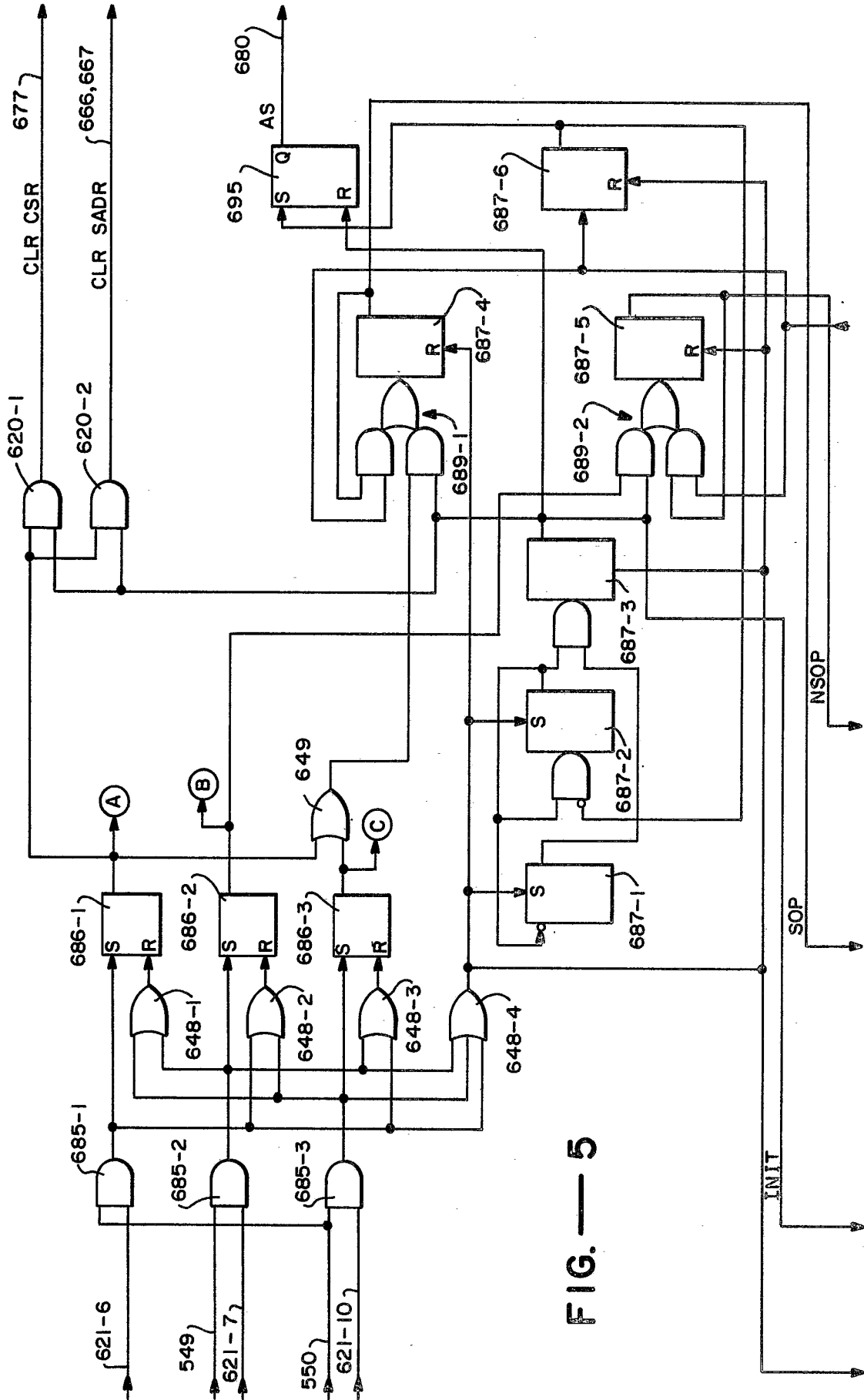


FIG. — 5

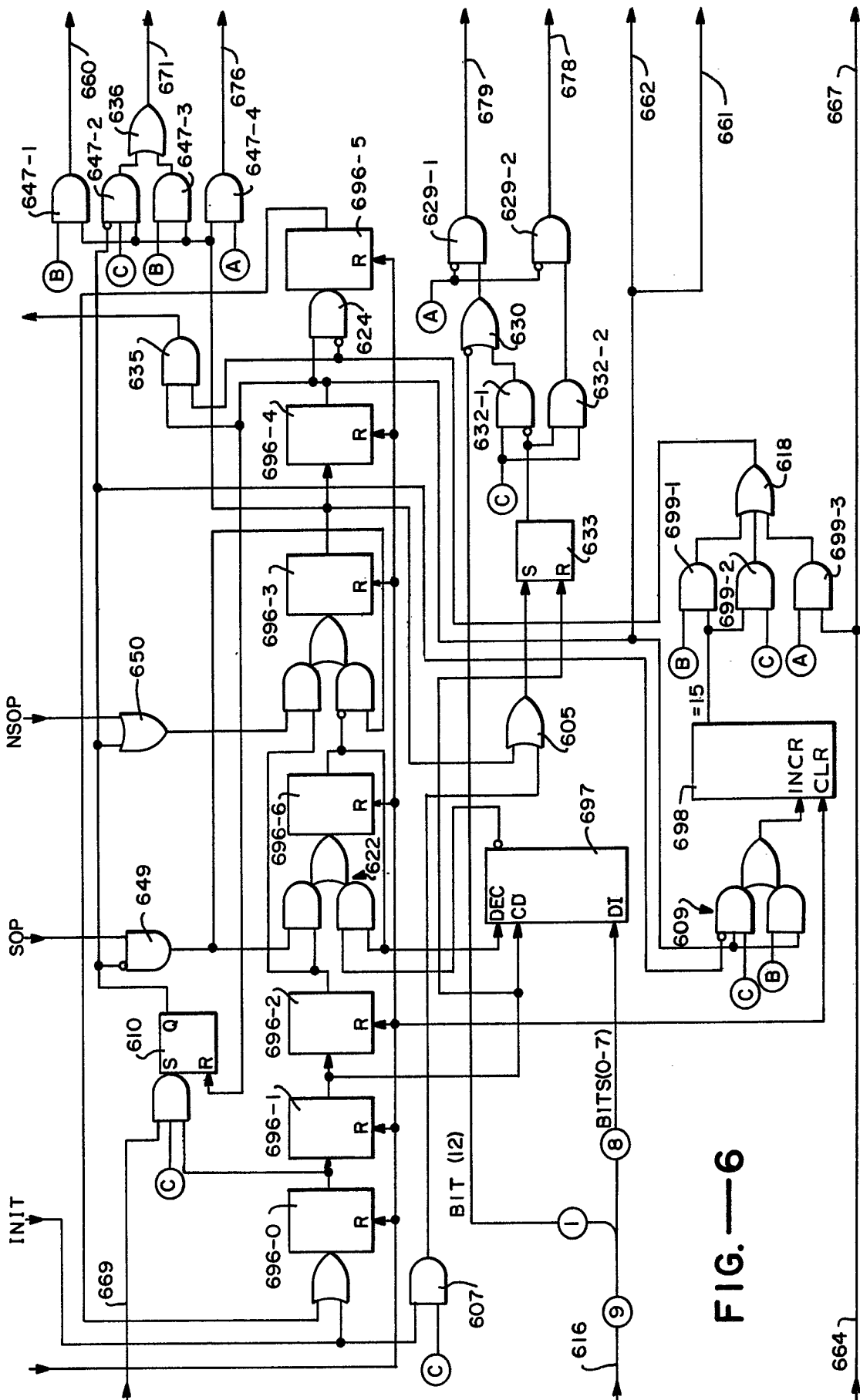


FIG.—6

