

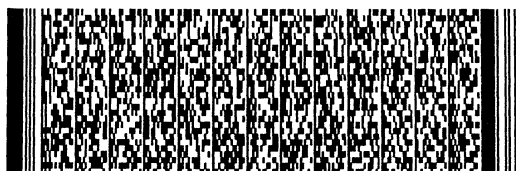
申請日期： 93-2-3	IPC分類 G01R31/00
申請案號： 9310247	

(以上各欄由本局填註)

發明專利說明書

200416401

一、 發明名稱	中 文	測量半導體晶圓電性質之裝置及方法
	英 文	Apparatus and Method for Measuring Semiconductor Wafer Electrical Properties
二、 發明人 (共2人)	姓 名 (中文)	1. 威廉·郝蘭德 2. 羅伯特·馬策
	姓 名 (英文)	1. William H. HOWLAND 2. Robert G. MAZUR
	國 籍 (中英文)	1. 美國 US 2. 美國 US
	住居所 (中文)	1. 美國賓夕凡尼亞州15090衛克斯福特秘書道2535號 2. 美國賓夕凡尼亞州15143瑟維克萊西班牙道
	住居所 (英文)	1. 2535 Secretariat Drive, Wexford, Pennsylvania 15090, U.S.A. 2. Spanish Tract, Sewickley, PA 15143, U.S.A.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 固態量測股份有限公司
	名稱或 姓 名 (英文)	1. Solid State Measurements, Inc.
	國 籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國賓夕凡尼亞州15275匹茲堡科技道110號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 110 Technology Drive, Pittsburgh, Pennsylvania 15275, U.S.A.
	代表人 (中文)	1. 查里斯·湯姆斯
代表人 (英文)	1. Charles A. Thomas	



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
美國 US	2003/02/10	10/361,309	有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

發明之領域

本發明係關於一種用於測量半導體晶圓電性質之裝置及方法。

相關技藝之描述

決定半導體晶圓介電質之電性質與/或該半導體晶圓中載體密度概況(carrier density profile)，係為晶圓製造中的關鍵因素。為了決定經圓電性質，故使用多種不同的技術，其包含電容-電壓(CV)測量技術，電流-電壓(IV)測量技術，傳導性-電壓(GV)技術，以及/或電流-時間(Ct)或生命期(lifetime)測量技術。

在某些例子中，必須瞭解接近半導體表面區域的摻質濃度。典型地，無金屬氧化物半導體(MOS)層存在時，係藉由CV測量而完成，作為一Schottky障蔽。直接使用一金屬至矽或是半導體材質表面，以形成一Schottky障蔽。然而，可生長一氧化物在該半導體材質表面，且製造一暫時的或永久的金屬接觸於該氧化物表面，以形成一MOS接合。利用MOS接合形成更佳表現，其中可自該氧化物/材質表面的德拜(Debye)深度內，測量該摻質濃度。然而，在某些例子中，使用者並不製造氧化物，所以必須使用該Schottky方法。

電流測量技術的另一問題，在於該標的區域或該晶圓的測試位置以及/或周圍區域的探針之間的電通訊或干擾。需要減少自該周圍區域的少數載體產生。最近，該通訊或干擾的最小化，係藉由沈積一永久的保衛環2在該氧



五、發明說明 (2)

化物上或是在一沈積測試點或標的區域1周圍的介電質表面上(請參閱第一圖)。然而,使用這些沈積的保衛環,會大幅增加處理時間。

為了進行該半導體材質表面的繪圖,需要在CV與生命期測量的過程中,進行該探針與該晶圓之間的橫向移動。再者,如上所述,由於少數載體的干擾,容易造成測量錯誤。

所以本發明的目的係為了避免或克服上述問題,且提供一裝置,用以測量具有一改良式探針結構的半導體晶圓之特性,其可將自該標的區域的外部區域至該標的或該探針的干擾或電通訊最小化。本發明的另一目的係提供一種測量裝置,其可減少繪圖(mapping)以及測量處理時間與成本。熟知本技藝之人士在閱讀且瞭解下列說明後,即可瞭解本發明的其他目的。

發明之概述

本案申請人係提供一種用於測量半導體晶圓之至少一電性質的裝置。該裝置包含一探針,其含有末端具傳導頂端的一桿。該傳導頂端係與該半導體晶圓之標的區域電通訊。該裝置包含在該傳導頂端與該標的區域之間使用一電刺激的工具,以及可用於測量該半導體晶圓對於該電刺激的反應與可用於自該反應決定該半導體晶圓之標的區域之至少一電性質之工具。該裝置亦包含一探針防護物,其係至少包圍在鄰接該探針末端的該探針之該桿,且其可避免該探針與該半導體晶圓之標的區域之外部區域間的通訊或



五、發明說明 (3)

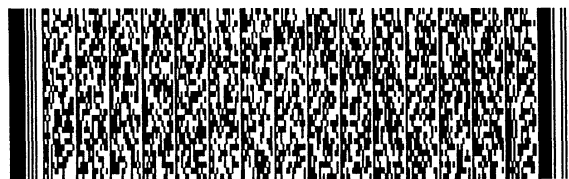
是自該半導體晶圓絕緣該傳導頂端。

在一實施例中，該探針防護物係完全包圍該探針的該傳導頂端與至少一部份該桿。再者，該探針防護物係由絕緣材質所組成。

在另一實施例中，該探針防護物係包含一絕緣物，其係包圍鄰接該探針末端之該探針之桿。在此實施例中，該探針防護物係包含一絕緣物，其係包圍鄰接該探針末端之該探針之桿。在此實施例中，該探針防護物亦具有一傳導物，其係包圍該絕緣物。同樣地，可想像的是可使用交流偏壓(alternating current bias)、直流偏壓、電接地(electrical ground)或其某些組合至該傳導物。

在另一實施例中，該探針防護物係包含一第二絕緣體，以包圍該傳導物。在此實施例中，可用一傳導材質，例如氧化銦錫(indium tin oxide)，以形成該傳導探針頂端，其可透光，以及該探針可包含一光源，例如一發光二極體(light emitting diode, LED)，其發射光線透過該探針機尖的透光材質而至該半導體晶圓之標的區域。該探針亦可包含一不透光部分包圍該LED，以防止光線透過該探針之該部分而不是透過透光材質部分。在此實施例中，可經由該LED與/或該透光材質傳導探針頂端，將信號通訊至該標的區域。然而，不管導論中的技術，自所獲得之測量，即為該探針頂端之反應。

本發明的裝置及其操作方法，以本發明的其他目的與優點，可藉由下列實施例之說明與圖式，而得以瞭解。



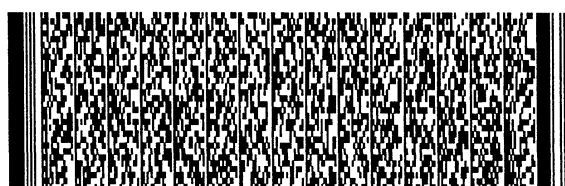
五、發明說明 (4)

發明之詳細說明

請參閱第二圖，其係一種用於測量半導體晶圓12電性質的裝置，其包含一探針14，其具有一桿16，該桿具有一末端18定義為一傳導頂端20，其可使得探針14與一標的區域22之間建立電通訊，其中該標的區域22係在半導體晶圓12的前表面24上且/或鄰近該前表面。標的區域22係該半導體晶圓12之一區域，其電性質為使用者所欲測量者。用以實施一電性刺激的裝置26係被連接於傳導頂端20與半導體晶圓12之標的區域22之間。實施裝置26係含有習知技藝所使用之裝置，例如一高頻率AC電壓，與DC偏壓電壓所結合之高頻率AC電壓，或是一DC壓力電壓或是該探針14之傳導頂端20與第二電接觸之間的電流，典型係為該半導體晶圓12被嵌合後處的墊塊28。裝置30係用於測量該半導體晶圓12特別是標的區域22，對於該電性刺激的反應之，且用於自該反應決定半導體晶圓12之標的區域22至少一電性質係被連接於傳導頂端20與該半導體晶圓12之標的區域22之間。一探針防護物32係包圍探針14，至少其鄰接末端18。

在操作中，實施裝置26可經由探針14於標的區域22上，施加一電容電壓(CV)形式的刺激與/或電容時間(Ct)或生命期形式電性刺激。在該刺激已被施加於該標的區域22之後的一合適時間，測量裝置30係測量該標的區域22個別的CV，IV，GV，與Ct對於對應電性刺激的反應。

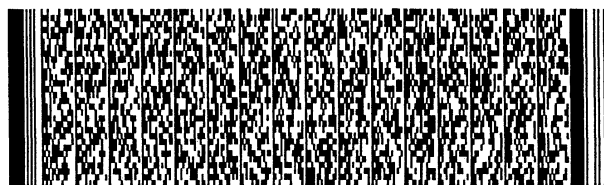
探針14之第一實施例係如第三圖中所示。在此實施例



五、發明說明 (5)

中，探針防護物32係含有一絕緣物38，其係包圍傳導頂端20以及鄰接傳導頂端20之至少一部分桿16。在使用中，藉由已知裝置，不受限地例如美國專利5,023,561中所揭露的Kinematic探針臂合併於此處作為參考資料，該探針14係被壓向該半導體晶圓12之表面24。更特別地，直接與形成該半導體晶圓12之半導體材質34接觸，而壓該絕緣物38。而後該實施裝置26經由傳導頂端20，施加一信號至半導體材質34之標的區域22。接著，該探針14接收該半導體材質34，特別係標的區域22，的反應，且將其傳送至該測量裝置30。在第二圖中，墊塊28係被用以完成該實施裝置26與該測量裝置30的電路。然而，由於習知技藝中可使用其他完成電路的裝置，故此並不會限制本發明。

在此實施例中，該探針防護物32的使用，可使得MOS技術的進行不需要直接在該半導體材質34上，沈積或生長一氧化物層或介電質層。特別地，由於絕緣物38係一絕緣體或介電質，其係在該傳導頂端20的遠端18被接收，覆蓋該探針14遠端18的該絕緣物38可接觸暴露的半導體材質34，以形成一MOS接合，用於測量標的區域22中半導體材質34之性質。該MOS接合係包含傳導頂端20(金屬)，絕緣物38代替或是除了表面24(氧化物)上一自然氧化物(native oxide)層或薄介電質層(未顯示)，以及半導體材質34(半導體)。較佳為，該傳導頂端20係為具彈性可變形的材質，例如係為傳導的彈性體，一傳導聚合物等。然而，此並不限制本發明。



五、發明說明 (6)

在第一實施例中，在利用一或多種形式的MOS測量技術以測量半導體晶圓12之前，探針14，探針防護物32係排除在半導體材質34上使用例如氧化物之絕緣層的需要。此外，該探針防護物32之使用係擴大此技術的空間分辨率。為達此目的，習知技藝的測量技術係可在五德拜(Debye)長度線之內進行測量。然而，第一實施例之探針14係可在一德拜(Debye)長度線之內進行測量。

在許多情形下，半導體晶圓12之前表面24係含有一介電質層36。第四圖係說明第二實施例之探針14，其係用於測量在前表面24上具有介電質層36之半導體晶圓12電性質。在此實施例中，探針防護物32係含有絕緣物38包圍鄰接探針14末端18的桿16。一傳導物42係直接鄰接且包圍絕緣物38。在第二實施例中，傳導頂端20係被暴露。在該標的區域32的CV，GV與/或Ct測量過程中，含有絕緣物38與傳導物42的探針防護物32，係減小該半導體材質34中少部分載體的效應。

在使用第二實施例的探針14時，藉由習知技藝的方法，該探針14之傳導頂端20係被壓至或移動至該介電質層36表面24上之間隔。接著，當進行CV測量時，實施裝置26係使用適當的AC與DC偏壓電壓至傳導頂端20，傳導物42與墊塊28，若需要亦可包含一參考接地(reference ground)，其在使用CV形式電性刺激的過程中，會先造成大部分而後少部分的載體累積在該標的區域22中，而大部分載體會累積在該標的區域22周圍的一累積區域44中。對



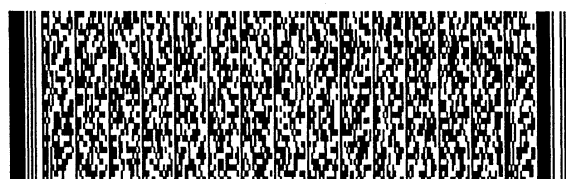
五、發明說明 (7)

於p型矽，在該CV形式電性刺激的過程中，係使用一負DC偏壓電壓至該傳導物42，然而對於n型矽，係使用一正偏壓電壓。在該標的區域22周圍形成該累積區域44可避免不經意地形成一倒轉層45，其係由少部分載體所組成可立即包圍該標的區域22。根據第二實施例的探針14，在無該探針防護物32的情況下，包圍的倒轉層可藉由增加有效的測量區域而增加所測量的電容。

當以第二實施例的探針14進行Ct測量時，其目的係測量該標的區域22中少部分載體的產生速度。若該累積區域44含有一倒轉層，則該倒轉層中少部分載體可漂流至該標的區域22中，且在該標的區域22中降低該少部分載體的產生速度。此效應形成明顯變短的產生生命期，其定義係為產生一少部分載體的平均時間。然而，當使用第四圖中所示第二實施例的探針14時，該累積區域44至少部分「阻擋」該少部分載體進入該半導體晶圓12之該標的區域22。

當以第二實施例的探針14進行GV測量時，其目的係自該GV測量，決定該半導體材質34上該介電質層36之介面狀態密度。當GV測量的進行無這些少部分載體的干擾之後，使用第三實施例的探針14可至少部分「阻擋」該少部分載體進入該標的區域22。

第五圖與第六圖係說明第三實施例的探針14。在此實施例中，探針14之傳導頂端20末端18係被暴露，且該探針防護物32係包含絕緣物38鄰接且包圍傳導頂端20與該傳導物42，其係鄰接且包圍該絕緣物38。此外，在第三實施例



五、發明說明 (8)

的探針14中，該探針防護物32係包含一第二絕緣物48鄰接且包圍該傳導物42。在此實施例中，該實施裝置26係可施加合適的AC與/或DC偏壓電壓於傳導頂端20，傳導物42與墊塊28，視需要加上一參考接地偏壓。

在該探針14的第三實施例中，該探針防護物32亦可包含一第二傳導物58，其係緊鄰且包圍該第二絕緣物48。在此實施例中，該實施裝置26除了施加於該傳導頂端20、傳導物42與墊塊28之合適AC與/或DC偏壓電壓之外，亦可施加一合適的AC與/或DC偏壓電壓至該第二傳導物58。如同此一應用所需，施加於該傳導頂端20、傳導物42、墊塊28與/或第二傳導物58之之DC偏壓電壓，可為一參考接地電壓。

探針14之第三實施例亦可包含一發光二極體(LED) 50，且該傳導頂端20之材質係可供LED50所發射的光56穿透。LED50發射光56，其係通過該傳導頂端20，朝向該半導體晶圓12之標的區域22。為了防止該LED所發出的光56影響該標的區域22之外部區域或區帶，探針14亦可在LED50周圍包含不透明的部分52。由於當該LED50發射光56時，該傳導頂端20的材質係可供LED50發射的光56穿透，而光56被防止穿透該探針14之不透明部分52，所以該光56係穿過傳導頂端20朝向該標的區域。可想而知該實施裝置26可選擇性地施加一電子信號至LED50與/或該傳導頂端20。

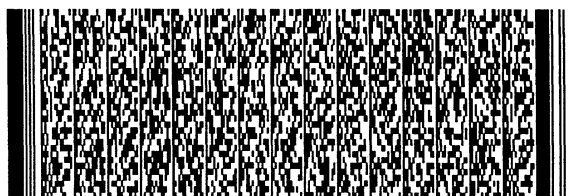
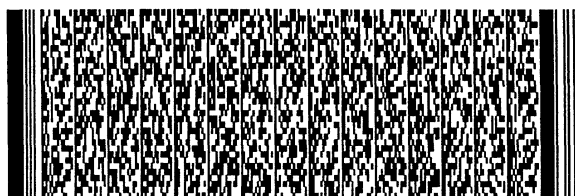
在操作過程中，第三實施例的探針14之傳導頂端20係



五、發明說明 (9)

直接與介電質層36接觸。或者，第三實施例的探針14之傳導頂端20之位置係與介電質層36之前表面有距離，因而形成一間隔。又或者，若需要，在該傳導頂端20之遠端18上形成一絕緣層54(如虛線所示)，面對該半導體晶圓12之探針防護物32的全部或部分，係與該介電質層36接觸。絕緣層54可為氮化矽(Si_2N_4)，但其並不被用以限制本發明。絕緣層54或該第三實施例之探針14與該介電質層36之間的間隔，係在該半導體晶圓12的電性質測量過程中，用以減少薄介電質層36的漏損。儘管如此，當探針14之該傳導頂端20或絕緣層54接觸該介電質層36的外層54時，或是當該傳導頂端20與該介電質層36之前表面相距一距離時，實施裝置26係施加一或多適當的電子刺激至該探針防護物32，特別係施加於該傳導物42，以及若已提供第二傳導物58，則在該探針14下的該標的區域22係於一累積狀態。

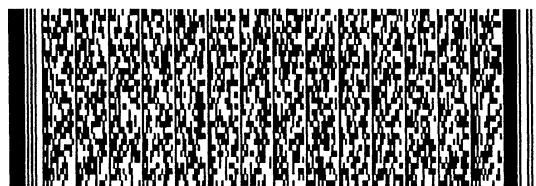
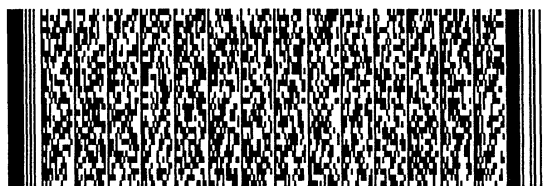
如第五圖中所示，第三實施例中探針14的傳導頂端20可被同時使用於該半導體晶圓12該介電質層36。使用多個探針14可高速對應生命期與以CV為基礎的係數，不需要通過該半導體晶圓12之前表面而側向移動單一探針14。第三實施例中探針14上探針防護物32的使用不僅減少來自於每一標的區域外的區域之電性通訊與干擾，亦可以減少每一探針彼此間的電性通訊與干擾。當提供第三實施例之探針14時，可想而知該實施裝置26可使用一變換矩陣70，用以個別選擇每一探針14，用於測量每一探針14下的標的區域。更特別地，實施裝置26可使用變換矩陣70用以個別選



五、發明說明 (10)

擇每一探針14之該傳導頂端20，用於測量每一探針14下的標的區域。同時，該實施裝置26可使用該變換矩陣70，以同時或個別施加一或多適當的偏壓電壓至每一探針14之該探針防護物32。

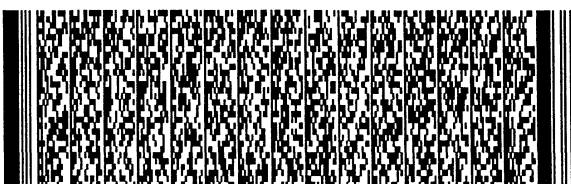
每一探針可於兩模式之一中運作。在第一模式中，可施加一適當的電性刺激至該傳導頂端20以及一個或兩個傳導物42，58。在施加該刺激後的一適當時間，藉由該測量裝置30測量且記錄對應的標的區域22之反應。例如，在該半導體材質34與該傳導頂端20之間，施加一第一電性刺激，以及在該半導體材質34與該傳導物42之間，施加一第二電性刺激。亦可在該半導體材質34與該第二傳導物58之間，施加一第三電性刺激。該第一電性刺激係一電容-電壓(CV)形式刺激或是一電容-時間(Ct)形式刺激。該第二電性刺激係一DC電壓或是接地參考電壓。該第三電性刺激可為一DC電壓或一接地參考電壓。該CV形式與該Ct形式刺激各包含重疊一AC信號於一DC信號上，其係自第一開始值移動至第二結束值。該Ct形式刺激的DC信號移動比該CV形式刺激的DC信號更快。對於該Ct形式刺激而言，當該DC信號初始達到該第二值時，該半導體晶圓之第一電容值係被測量。該DC信號係被保持在第二值，以及該半導體晶圓之電容自其第一電容值改變至第二電容值的時間時，測量穩定狀態電容值。自該半導體晶圓之電容自其第一電容值改變至第二電容值的時間，可決定該半導體材質34之產生生命期。



五、發明說明 (11)

在第二模式中，可施加適當的電性刺激至LED 50、傳導頂端20、傳導物42與第二傳導物58。在施加該刺激後的一適當時間，藉由該測量裝置30測量且記錄對應的標的區域22之反應。例如，在該半導體材質34與該傳導頂端20之間，施加一第一電性刺激，在該半導體材質34與該傳導物42之間，施加一第二電性刺激，以及施加一第三刺激至該LED 50。若該探針14係包含第二傳導物58，則亦可施加第四刺激於其上。該第一電性刺激可為Ct形式刺激。在第二模式中，該Ct形式刺激包含重疊一AC信號至於一DC信號上，其值大於該半導體材質34之電壓門檻(V_t)值，且同時選擇性地開啟與關閉該LED 50。當該LED 50被啟動時，測量該半導體晶圓12之第一電容值。在該LED 50被關閉後，該半導體晶圓之電容改變至第二值的時間，測量穩定狀態電容值。該半導體晶圓之電容自其第一電容值改變至第二電容值的時間，係被用以決定該半導體材質34重組生命期。在兩模式中，測量裝置30係經由該傳導頂端20，自該對應的標的區域22接收反應信號。而後這些反應信號係藉由該測量裝置30，而被測量與/或記錄。

綜而言之，根據本發明之探針14，可有效且正確地用以測量該半導體晶圓12之電性質。本發明之探針防護物32之使用，可在每一探針14，標的區域22與該標的區域22或其他探針14之外部區域之間，提供有效的阻擋與最小的干擾。實質上，根據本發明該探針14係可適時地且有效地及以降低的電通訊，用於測量該標的區域22之隔離測量。此



五、發明說明 (12)

外，當使用如第五圖所示之多探針系統時，不需移動單一探針14，即可達到生命期與以CV為基礎之係數間的高速對照。

本發明可藉由實施例之說明得以瞭解。在閱讀與瞭解本發明之後，可據以進行本發明之修飾與改變。但所有的修飾與改變皆不脫離本發明精神之範圍。



圖式簡單說明

第一圖係一俯示圖其係說明本發明在一測試位置周圍放至一防護物環之方法。

第二圖係一方塊圖其係說明本發明用以測量一半導體晶圓電性質之裝置。

第三圖係一側示方塊圖其係說明本發明第二圖中第一實施例之裝置。

第四圖係一側示方塊圖其係說明本發明第二圖中第二實施例之裝置。

第五圖係一方塊圖其係說明本發明第二圖中第三實施例之裝置。

第六圖係一側示圖其係說明本發明第五圖中該裝置的探針/晶圓介面。

元件符號說明

12 半導體晶圓	14 探針
16 桿	18 遠端
20 傳導頂端	22 標的區域
24 表面	26 施加電性刺激之裝置
28 墊塊	30 測量反應之裝置
32 探針防護物元件	34 半導體材質
36 介電質層	38 絕緣物
42 傳導物	44 累積區域
45 倒轉層	48 第二絕緣物



圖式簡單說明

50 發光二極體LED

52 不透明部分

54 絕緣層

56 光

58 第二傳導物



四、中文發明摘要 (發明名稱：測量半導體晶圓電性質之裝置及方法)

一種用於測量一半導體晶圓至少一電性質之裝置，該裝置係包含一探針，該探針具有一桿，其遠端具有一傳導頂端，用於與該半導體晶圓之一標的區域進行電性通訊。該裝置更包含一裝置，用於施加一電性刺激於該傳導頂端與該標的區域之間，以及包含一裝置，用於測量該半導體晶圓對於該電性刺激之反應，且用於自該反應決定該半導體晶圓之該標的區域之至少一電性質。亦包含一探針防護物，其包圍相鄰該探針遠端之該探針之桿。該探針防護物可用以避免該探針與該半導體晶圓之該標的區域之外部區域間的電性通訊。

五、(一)、本案代表圖為：第 2 圖

(二)、本案代表圖之元件代表符號簡單說明：

12 半導體晶圓

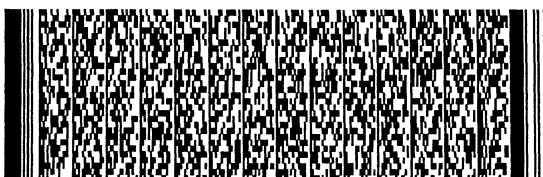
14 探針

16 桿

18 遠端

六、英文發明摘要 (發明名稱：Apparatus and Method for Measuring Semiconductor Wafer Electrical Properties)

An apparatus for measuring at least one electrical property of a semiconductor wafer includes a probe including a shaft having at a distal end thereof a conductive tip for electrically communicating with an object area of the semiconductor wafer. The apparatus further includes a device for applying an electrical stimulus between the conductive tip and the object

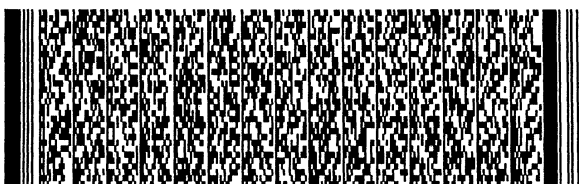


四、中文發明摘要 (發明名稱：測量半導體晶圓電性質之裝置及方法)

- | | |
|------------|--------------|
| 20 傳導頂端 | 22 標的區域 |
| 24 表面 | 26 施加電性刺激之裝置 |
| 28 墊塊 | 30 測量反應之裝置 |
| 32 探針防護物元件 | |

六、英文發明摘要 (發明名稱：Apparatus and Method for Measuring Semiconductor Wafer Electrical Properties)

area, and a device for measuring a response of the semiconductor wafer to the electrical stimulus and for determining from the response the at least one electrical property of the object area of the semiconductor wafer. A probe guard is included that surrounds the shaft of the probe adjacent the distal end of the probe. The probe guard avoids electrical communication between the probe and



四、中文發明摘要 (發明名稱：測量半導體晶圓電性質之裝置及方法)

六、英文發明摘要 (發明名稱：Apparatus and Method for Measuring Semiconductor Wafer Electrical Properties)

areas outside of the object area of the semiconductor wafer.



六、申請專利範圍

1. 一種用於測量半導體晶圓電性質之裝置，該裝置係包含：

一探針，其具有一電性傳導頂端；

一探針防護物，其係相鄰於該電性傳導頂端；

一裝置，其係當該電性傳導頂端接觸一半導體晶圓之一表面時，用於(i)施加一第一電性刺激於該傳導頂端與一半導體晶圓之間，其造成大部分與小部分載體之至少其一累積在該半導體晶圓之一標的區域中，(ii)施加一第二電性刺激於該探針防護物與該半導體晶圓之間，其係造成大部分載體累積在相鄰該標的區域；以及

一裝置，用於測量該半導體晶圓對於該電性刺激之反應，且用於自該反應決定該半導體晶圓之至少一電性質。

2. 如申請專利範圍第1項所述之裝置，其中該第一電性刺激係一電容-電壓(CV)形式刺激、一傳導-電壓(GV)形式刺激、以及一電容-時間(Ct)形式刺激其中之一。

3. 如申請專利範圍第1項所述之裝置，其中該第二電性刺激係一DC電壓。

4. 如申請專利範圍第1項所述之裝置，其中：

該探針係包含一桿，其一端具有該電性傳導頂端；以及

該探針防護物係包含一電性絕緣體，其係包圍至少相鄰該電性傳導頂端之該探針之該桿，以及一電性傳導物，其係包圍至少相鄰該電性傳導頂端之該電性絕緣體。

5. 如申請專利範圍第4項所述之裝置，其中該第二電性刺



六、申請專利範圍

激係被施加於該電性傳導物與該半導體晶圓之間。

6. 如申請專利範圍第4項所述之裝置，其中該半導體晶圓係包含一覆蓋於一半導體材質上之介電質層；以及

該半導體晶圓之表面係該介電質層之一暴露表面。

7. 如申請專利範圍第6項所述之裝置，其中：

該標的區域係該半導體材質之一區域，該半導體材質係指相鄰於該電性傳導頂端與該半導體晶圓之該表面之間的接觸；以及

該第二電性刺激係造成大部分載體累積在包圍該標的區域之該半導體材質中。

8. 如申請專利範圍第1項所述之裝置，其中該傳導頂端係由一電性可變形材質所形成。

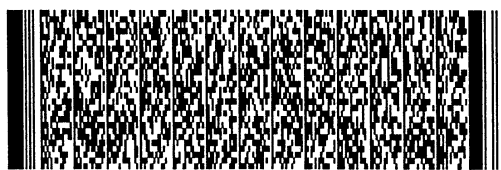
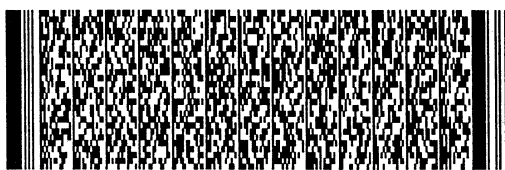
9. 一種用於測量一半導體晶圓之電性質的方法，該方法包含下列步驟：

(a) 提供一探針，其具有一電性傳導頂端與一探針防護物相鄰於該電性傳導頂端；

(b) 在該電性傳導頂端與一半導體晶圓之一表面之間，形成一接觸；

(c) 施加一第一電性刺激於該傳導頂端與該半導體晶圓之間，其係造成大部分載體與小部分載體至少其一累積於該半導體晶圓之一標的區域中；

(d) 施加一第二電性刺激於該探針防護物與該半導體晶圓之間，其係造成大部分載體累積於相鄰該標的區域；以及



六、申請專利範圍

(e) 測量該半導體晶圓對於該電性刺激之一反應，且自其決定該半導體晶圓之至少一電性質。

10. 如申請專利範圍第9項所述之方法，其中該第一電性刺激係一電容-電壓(CV)形式刺激、一傳導-電壓(GV)形式刺激、以及一電容-時間(Ct)形式刺激其中之一。

11. 如申請專利範圍第9項所述之方法，其中該第二電性刺激係一DC電壓。

12. 如申請專利範圍第9項所述之方法，其中：

該探針係包含一桿，其一端具有該電性傳導頂端；以及

該探針防護物係包含一電性絕緣體，其係包圍至少相鄰該電性傳導頂端之該探針之該桿，以及一電性傳導物，其係包圍至少相鄰該電性傳導頂端之該電性絕緣體。

13. 如申請專利範圍第11項所述之方法，其中該第二電性刺激係被施加於該電性傳導物與該半導體晶圓之間。

14. 如申請專利範圍第9項所述之方法，其中：

該半導體晶圓係包含介電質層覆蓋於一半導體材質上；以及

該半導體晶圓之表面係該介電質層之一暴露表面。

15. 如申請專利範圍第14項所述之方法，其中：

該標的區域係該半導體材質之一區域，該半導體材質係指相鄰於該電性傳導頂端與該半導體晶圓之該表面之的該接觸；以及

該第二電性刺激係造成大部分載體累積在包圍該標的



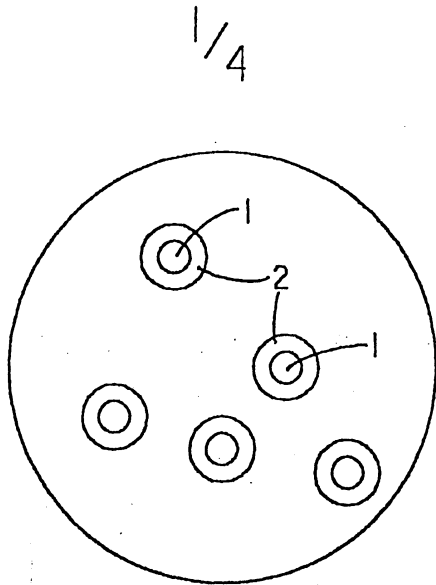
六、申請專利範圍

區域之該半導體材質中。

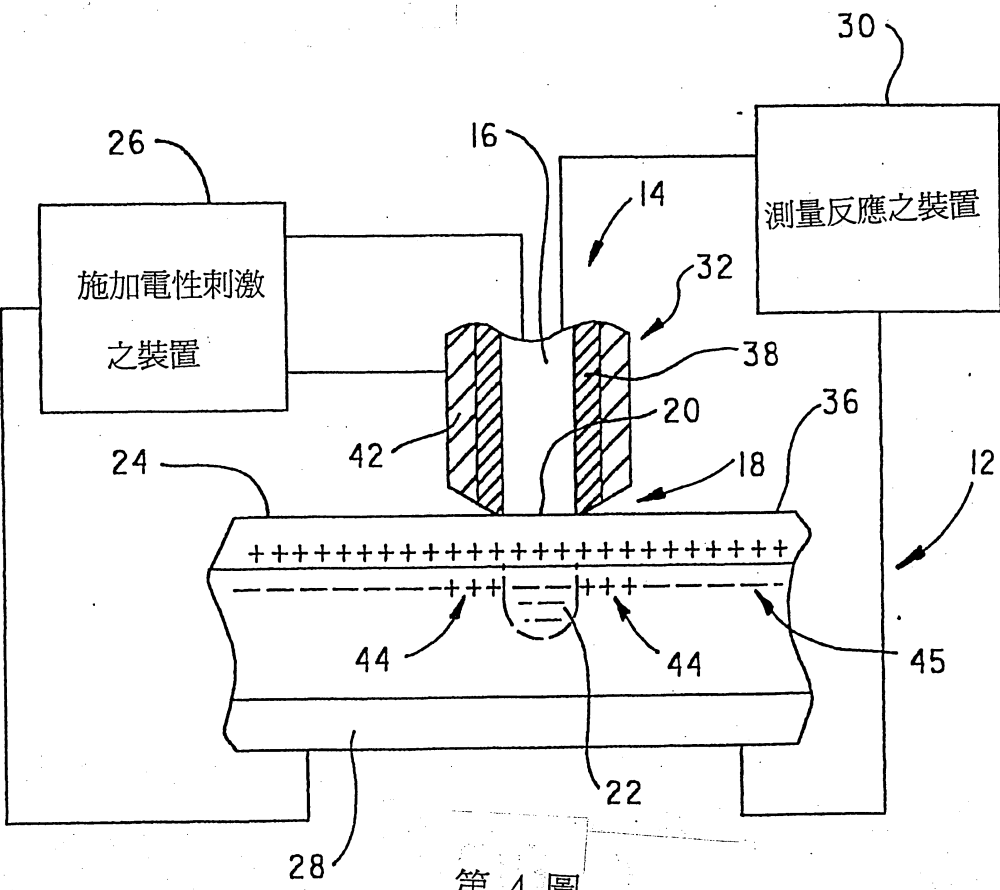
16. 如申請專利範圍第9項所述之方法，其中該傳導頂端係由一電性可變形材質所形成。



圖式



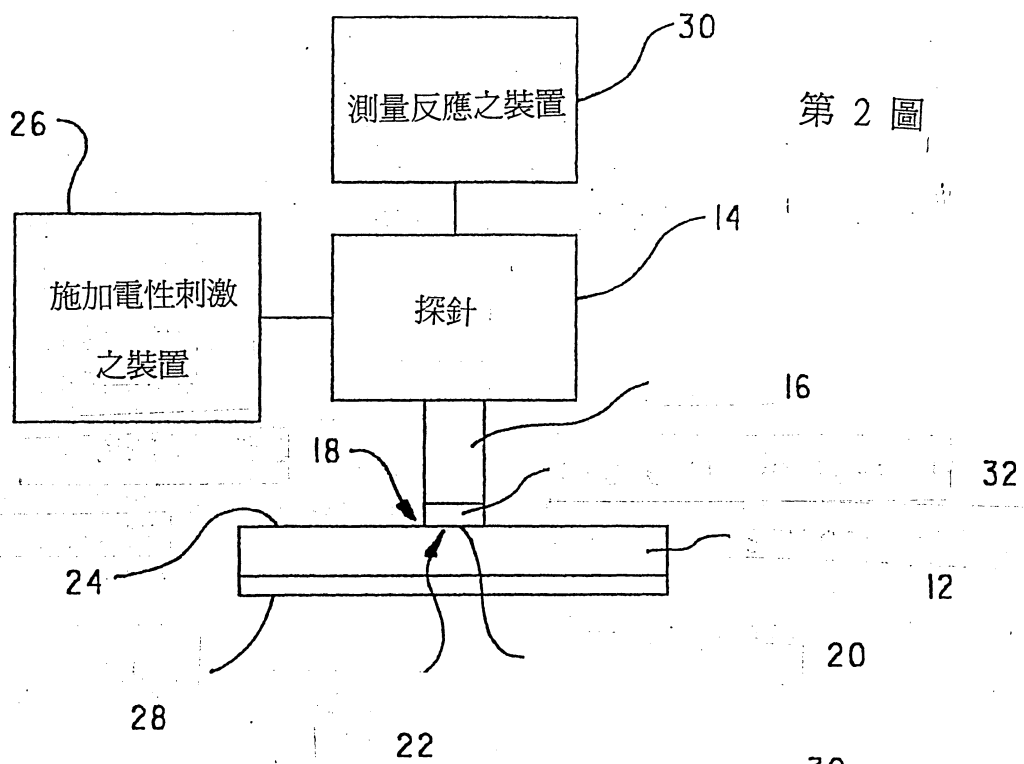
第 1 圖



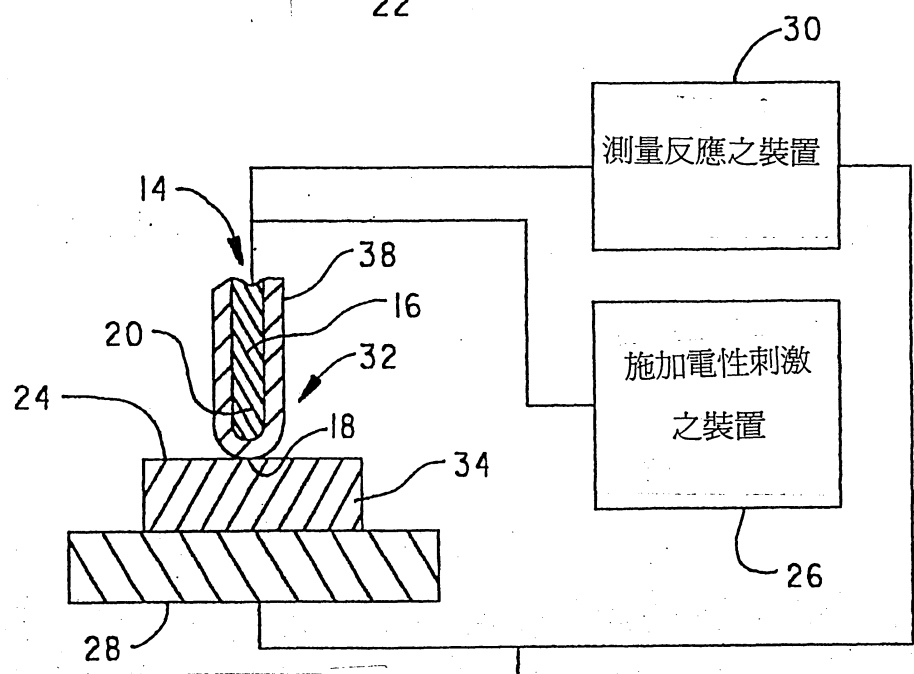
第 4 圖

圖式

2/4

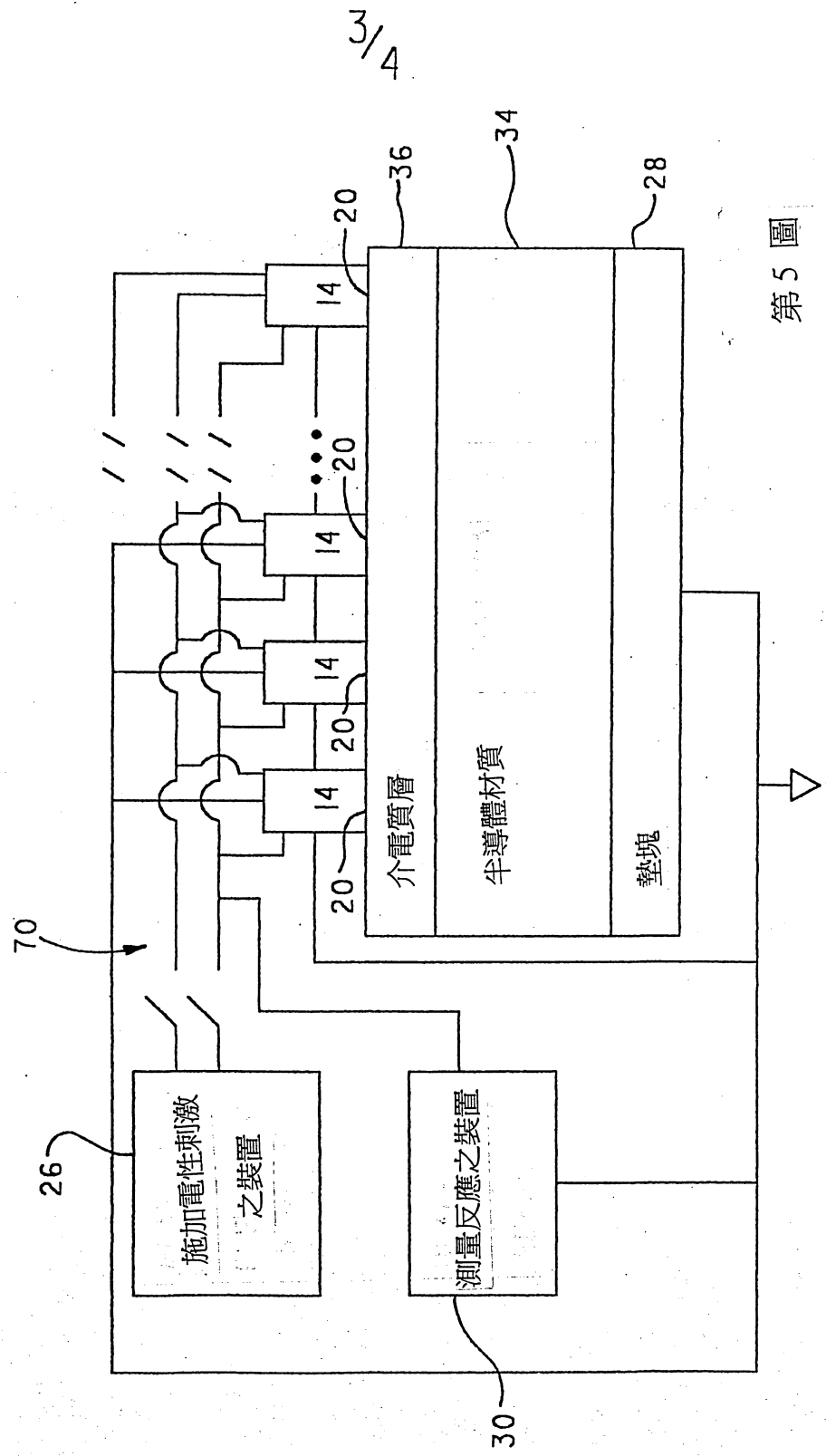


第 2 圖



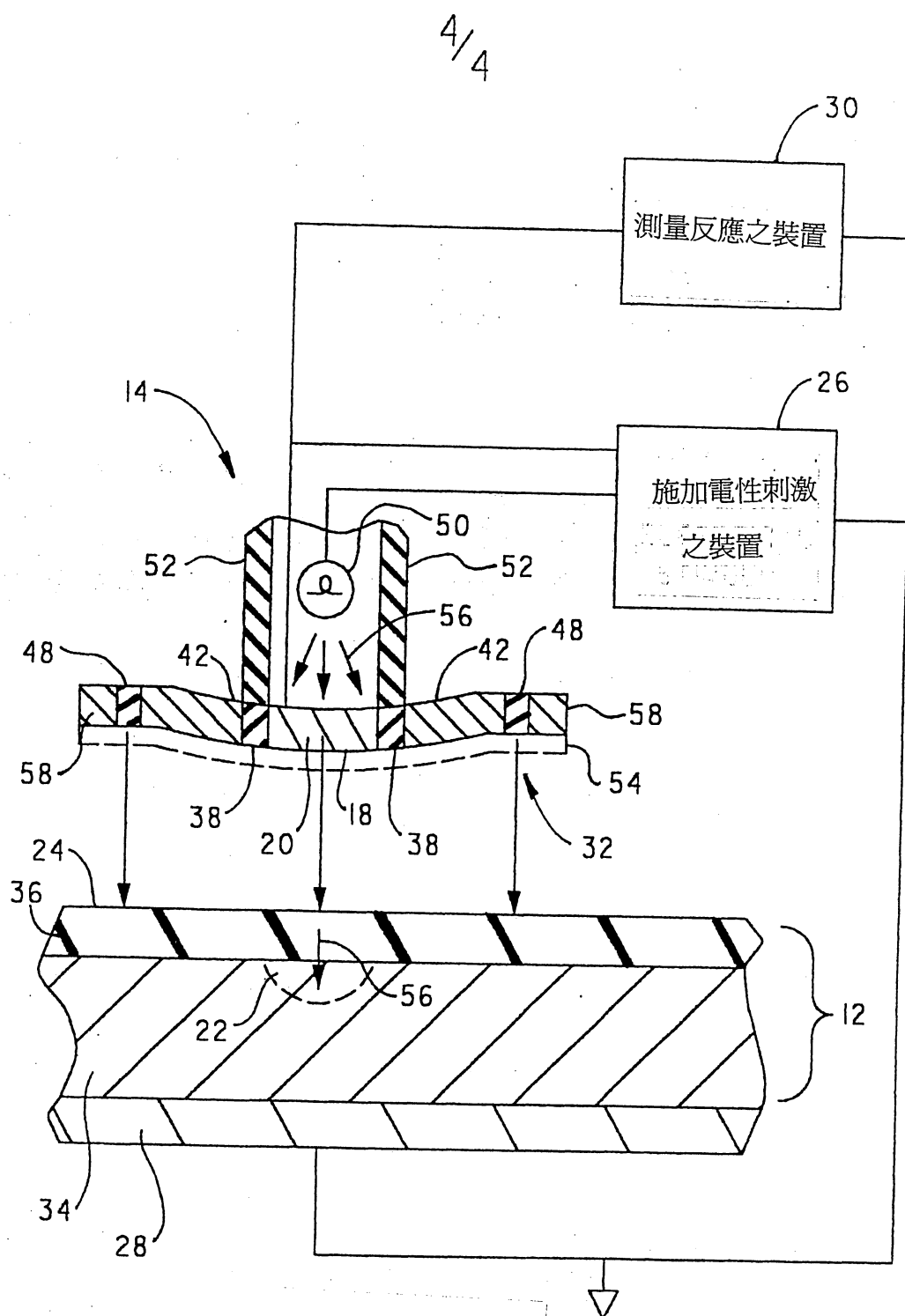
第 3 圖

圖式



第5圖

圖式



第 6 圖