(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 3 月 6 日(06.03.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/034038 A1

(51) 国際特許分類:
H04N 5/355 (2011.01) *H01L 27/146* (2006.01)

(21) 国際出願番号: PCT/JP2013/004857

(22) 国際出願日: 2013 年 8 月 14 日(14.08.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-191815 2012 年 8 月 31 日(31.08.2012) JP

(71) 出願人: コニカミノルタ株式会社(KONICA MINOLTA, INC.) [JP/JP]; 〒1007015 東京都千代田区丸の内二丁目７番２号 Tokyo (JP).

(72) 発明者: 将積 直樹 (MASAZUMI, Naoki); 〒1007015 東京都千代田区丸の内二丁目７番２号 コニカミノルタ株式会社内 Tokyo (JP). 楠田 将之(KUSUDA, Masayuki); 〒1007015 東京都千代田区丸の内二丁目７番２号コニカミノルタ株式会社内 Tokyo (JP).

(74) 代理人: 小谷 悦司, 外(KOTANI, Etsuji et al.); 〒5300005 大阪府大阪市北区中之島２丁目２番２号大阪中之島ビル２階 Osaka (JP).

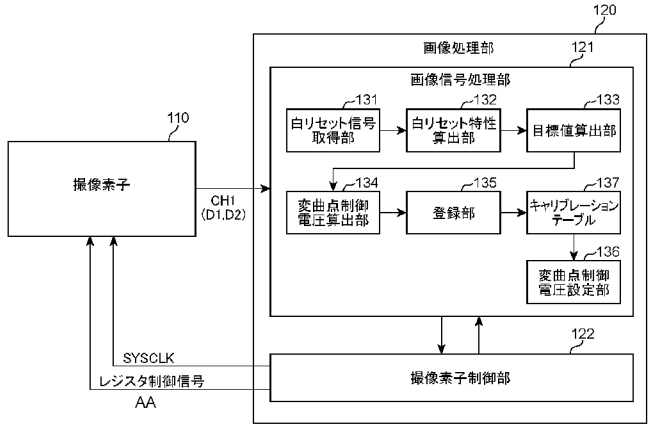
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: SOLID-STATE IMAGING DEVICE

(54) 発明の名称 : 固体撮像装置



110 Imaging element
120 Image processing unit
121 Image signal processing unit
122 Imaging element control unit
131 White reset signal acquisition unit
132 White reset characteristic calculation unit
133 Target value calculation unit
134 Inflection point control voltage calculation unit
135 Registration unit
136 Inflection point control voltage setting unit
137 Calibration table
AA Register control signal

(57) **Abstract**: A white reset signal acquisition unit (131) is made to execute a white reset signal output process multiple times by an imaging element control unit (122) by changing an inflection point control voltage, and acquires multiple white reset signals. A white reset characteristic calculation unit (132) calculates white reset characteristics on the basis of the multiple white reset signals acquired by the white reset signal acquisition unit (131). A target value calculation unit (133) calculates a white reset target value for setting a pixel value of an inflection point to a prescribed target pixel value on the basis of imaging conditions of a solid-state imaging device. An inflection point control voltage calculation unit (134) uses the white reset characteristics to calculate an inflection point control voltage corresponding to the white reset target value.

(57) 要約: 白リセット信号取得部（１３１）は、撮像素子制御部（１２２）に、白リセット信号出力処理を、変曲点制御電圧を変えて複数回実行させ、複数の白リセット信号を取得する。白リセット特性算出部（１３２）は、白リセット信号取得部（１３１）により取得された複数の白リセット信号に基づき、白リセット特性を算出する。目標値算出部（１３３）は、固体撮像装置の撮像条件に基づいて、変曲点の画素値を所定の目標画素値にするための白リセット目標値を算出する。変曲点制御電圧算出部（１３４）は、白リセット目標値に対応する変曲点制御電圧を、白リセット特性を用いて算出する。

WO 2014/034038 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 固体撮像装置

技術分野

[0001] 本発明は、複数の光電変換特性が変曲点で切り替わる光電変換特性を持つ固体撮像装置に関するものである。

背景技術

[0002] 近年、ダイナミックレンジの拡大を図るために露光期間において転送ゲートを中間電位で駆動させ、低輝度側がリニア特性、高輝度側がログ特性のリニアログ特性を持つＣＭＯＳセンサが知られている（例えば、特許文献１）。このような、ＣＭＯＳセンサでは、リニア特性とログ特性との切り替わり点である変曲点が個体別にばらついている。

[0003] そこで、特許文献２には、下記の技術が開示されている。すなわち、フローティングディフュージョンからフォトディテクタに電荷を注入した後、転送トランジスタに通常のオフ電圧よりも高いオフ電圧を所定の待機時間だけ印加して、フォトディテクタからフローティングディフュージョンに電荷をリークさせる。そして、待機時間が経過した後、転送トランジスタをオンして、フォトディテクタに蓄積された電荷をフローティングディフュージョンに転送し、フローティングディフュージョンの電位に対応した出力電圧を読み出し、読み出した出力電圧から変曲点のポテンシャルφ０を求め、ポテンシャルφ０に一定のオフセットを加えることで真の折れ点のポテンシャルφｐを求めることが開示されている。

[0004] しかしながら、特許文献２では、ポテンシャルφ０に一定のオフセットを加えて真のポテンシャルφｐが求められているが、このオフセットは、温度条件や露光時間等の撮像条件に応じて変動するため、真のポテンシャルφｐを正確に求めることができない。

先行技術文献

特許文献

[0005] 特許文献1：特開２００６－５０５４４号公報

特許文献2：特開２０１１－３０２７８号公報

発明の概要

[0006] 本発明の目的は、撮像条件が変化しても変曲点の個体間のばらつきを抑制することができる固体撮像素子を提供することである。

[0007] 本発明の一態様による固体撮像素子は、複数の光電変換特性が変曲点で切り替わる光電変換特性を持つ固体撮像装置であって、受光素子、フローティングディフュージョン、及び前記受光素子で蓄積された電荷を前記フローティングディフュージョンに転送する転送ゲートを含む撮像素子と、前記受光素子に電荷を注入する白リセット処理と、前記白リセット処理の終了後、前記転送ゲートに変曲点制御電圧を所定のリーク期間印加するリーク処理と、前記リーク処理の終了後、前記受光素子に残存する電荷を前記フローティングディフュージョンに転送する転送処理と、前記転送処理の終了後、前記フローティングディフュージョンの電位を白リセット信号として前記撮像素子から読み出す読出処理とを含む白リセット信号出力処理を実行する撮像素子制御部と、前記撮像素子制御部に、前記白リセット信号出力処理を、前記変曲点制御電圧を変えて複数回実行させ、複数の白リセット信号を取得する白リセット信号取得部と、前記白リセット信号取得部により取得された複数の白リセット信号に基づき、前記白リセット信号と前記変曲点制御電圧との相関関係を示す白リセット特性を算出する白リセット特性算出部と、撮像条件に基づいて、前記変曲点の画素値を所定の目標画素値にするための白リセット信号の目標値である白リセット目標値を算出する目標値算出部と、前記目標値算出部により算出された白リセット目標値に対応する変曲点制御電圧を、前記白リセット特性を用いて算出する変曲点制御電圧算出部とを備える。

図面の簡単な説明

[0008] [図1]本発明の実施の形態１による固体撮像装置の全体構成を示すブロック図である。

[図2]図１に示す撮像素子の詳細な構成を示すブロック図である。

[図3]図２に示す画素アレイ部を構成する画素の回路図である。

[図4]図３に示す回路の撮像動作時のシーケンス図である。

[図5]撮像素子を構成するある画素の光電変換特性を示すグラフである。

[図6]シャッタースピードが変化した時の光電変換特性の違いを示したグラフである。

[図7]変曲点の画素値が一定になるように変曲点制御電圧を調整した場合において、シャッタースピードが変化した時の光電変換特性の違いを示したグラフである。

[図8]シャッタースピードを変えたときの変曲点制御電圧と変曲点の画素値との関係である変曲点特性を示したグラフである。

[図9]温度を変化させたときの光電変換特性の違いを示したグラフである。

[図10]温度が変化しても変曲点の画素値が一定になるように変曲点制御電圧を調整したときの、温度に応じた光電変換特性を示したグラフである。

[図11]温度を変えたときの変曲点特性を示したグラフである。

[図12]シャッタースピードをある値に設定し、温度をある値にした時の変曲点特性を示したグラフである。

[図13]白リセット特性と変曲点特性とを示したグラフである。

[図14]変曲点の画素値を目標画素値にするための変曲点制御電圧の算出原理の説明図である。

[図15]本発明の実施の形態における固体撮像装置の比較例の撮像素子の構成を示すブロック図である。

[図16]本発明の実施の形態による固体撮像装置の撮像素子の構成を示すブロック図である。

[図17]本発明の実施の形態による変曲点制御電圧のキャリブレーションを示すフローチャートである。

発明を実施するための形態

[0009] 図１は、本発明の実施の形態１による固体撮像装置の全体構成を示すブロック図である。図１に示す固体撮像装置は、リニア特性とログ特性とが変曲

点で切り替わるリニアログ特性の光電変換特性を持つ固体撮像装置である。具体的には、本実施の形態による固体撮像装置は、変曲点より低輝度側がリニア特性を持ち、高輝度側がログ特性を持つリニアログ特性の光電変換特性を持つ固体撮像装置である。

[0010] 固体撮像装置は、撮像素子１１０及び画像処理部１２０を備えている。撮像素子１１０及び画像処理部１２０は１つのＩＣチップ内に構成されていても良いし、別のＩＣチップとして構成されても良い。

[0011] 画像処理部１２０は、画像信号処理部１２１及び撮像素子制御部１２２を備えている。撮像素子制御部１２２は、ＳＹＳＣＬＫとレジスタ制御信号とを撮像素子１１０に出力し、撮像素子１１０を制御する。ＳＹＳＣＬＫは例えば図略の発振回路により生成される所定の周波数（例えば５４ＭＨｚ）を持つクロック信号である。レジスタ制御信号は、図２に示すタイミング制御部２２が備えている各種のレジスタにデータを書き込むための信号である。

[0012] 撮像素子１１０は、１本のチャネルＣＨ１を介して画像信号処理部１２１と接続され、チャネルＣＨ１を介して通常画素信号Ｄ１と白リセット信号Ｄ２とを画像信号処理部１２１に出力する。ここで、通常画素信号Ｄ１は、露光期間において受光素子に蓄積された電荷に応じた画素信号を示す。また、白リセット信号Ｄ２は、後述する白リセット信号出力処理を実行することで得られる画素信号を示す。

[0013] 画像信号処理部１２１は、例えば、画像処理プロセッサにより構成され、撮像素子１１０から出力された通常画素信号Ｄ１及び白リセット信号Ｄ２に対して所定の画像処理を施す。本実施の形態では、画像信号処理部１２１は、白リセット信号取得部１３１、白リセット特性算出部１３２、目標値算出部１３３、変曲点制御電圧算出部１３４、登録部１３５、変曲点制御電圧設定部１３６、及びキャリブレーションテーブル１３７を備えている。画像信号処理部１２１を構成する各ブロックの詳細については後述する。

[0014] 撮像素子制御部１２２は、撮像素子１１０を制御して、通常画素信号Ｄ１及び白リセット信号Ｄ２を撮像素子から出力させる。撮像素子制御部１２２

の処理の詳細については後述する。

[0015] 図２は、図１に示す撮像素子１１０の詳細な構成を示すブロック図である。撮像素子１１０は、画素アレイ部２１、タイミング制御部２２、ローデコーダ２３、カラムＡＤＣアレイ部２４、カラムデコーダ２５、センスアンプ２６、ＬＶＤＳシリアライザ２７、出力端子２８、ランプ波生成回路２９、及び入力端子２１０，２１１を備えている。

[0016] 画素アレイ部２１は、Ｍ（正の整数）行×Ｎ（正の整数）列でマトリックス状に配列され、受光素子を含む複数の画素により構成されている。また、画素アレイ部２１は、遮光画素と通常画素とを含む。

[0017] 通常画素は、主に通常画素信号Ｄ１を取得するために使用される。遮光画素は、主に白リセット信号Ｄ２を取得するために使用される。

[0018] ここで、通常画素は、例えば赤（Ｒ）、緑（Ｇ）、青（Ｂ）のいずれかの原色カラーフィルタを備えた、Ｒ，Ｇ，Ｂの画素により構成されている。そして、Ｒ，Ｇ，Ｂの画素は、例えばベイヤー配列等の所定の配列パターンにしたがって配列されている。

[0019] なお、原色カラーフィルタに代えて、例えば、シアン（Ｃ）、イエロー（Ｙ）、マゼンタ（Ｍ）の補色カラーフィルタを採用してもよい。この場合、Ｃ、Ｙ、Ｍの画素を例えばベイヤー配列等の配列パターンにしたがって配列させればよい。遮光画素は、受光素子が遮光された画素である。

[0020] タイミング制御部２２は、ＰＬＬ、タイミングジェネレータ（ＴＧ）、及びレジスタを備え、ローデコーダ２３、カラムＡＤＣアレイ部２４、及びカラムデコーダ２５を制御する。ＰＬＬは、必要に応じてＳＹＳＣＬＫを逓倍（例えば２逓倍）してＴＧに供給する。ＴＧはＰＬＬから供給された信号にしたがって、水平同期信号及び垂直同期信号等のタイミング信号を生成し、ローデコーダ２３、カラムＡＤＣアレイ部２４、及びカラムデコーダ２５に供給し、これらの動作を同期させる。

[0021] レジスタは、例えばローデコーダ２３が各画素に出力する各種の画素制御信号の波形を規定するための波形データを保持している。ここで、レジスタ

が保持する波形データは、撮像素子制御部１２２から出力されるレジスタ制御信号によって書き込まれている。したがって、各画素は、撮像素子制御部１２２によりタイミング制御部２２及びローデコーダ２３を介して制御される。

[0022] ローデコーダ２３は、例えば、垂直走査回路と、ドライバ回路とを備えている。垂直走査回路は、例えば、シフトレジスタにより構成され、タイミングジェネレータから出力される垂直同期信号をトリガーとして、画素アレイ部２１の各行をサイクリックに選択し、画素アレイ部２１を垂直走査する。ここで、ローデコーダ２３は、画素アレイ部２１を上側から下側に向けて１行ずつ、順次に選択してもよいし、画素アレイ部２１を下側から上側に向けて１行ずつ、順次に選択してもよい。

[0023] ドライバ回路は、タイミング制御部２２のレジスタに書き込まれた波形データにしたがって画素制御信号を生成し、各画素に供給し、各画素を駆動させる。

[0024] カラムＡＤＣアレイ部２４は、画素アレイ部２１の各列に対応するＮ個のカラムＡＤＣ２４ｘを備えている。カラムＡＤＣ２４ｘは、画素アレイ部２１の各列に対応する垂直信号線Ｌ＿１を介して各列の画素と接続され、垂直走査回路により選択された行の画素から画素信号を読み出す。

[0025] 各画素は、１水平期間において、リファレンス成分の画素信号であるリファレンス画素信号と、リファレンス成分にシグナル成分が重畳された画素信号であるリファレンス・シグナル画素信号とを出力する。カラムＡＤＣ２４ｘは、ＡＤ変換回路及び相関二重サンプリング回路を含む。ＡＤ変換回路は、リファレンス画素信号及びリファレンス・シグナル画素信号をそれぞれＡＤ変換する。ここで、ＡＤ変換回路は、画素信号が入力されると、ランプ波生成回路２９から出力されるランプ信号のレベルが画素信号のレベルを超えるまでの時間をカウントし、カウント値をデジタルの画素信号として求める。本実施の形態では、画素信号は、例えば１４ビットのデジタルデータに変換される。

[0026] 相関二重サンプリング回路は、ＡＤ変換されたリファレンス画素信号及びリファレンス・シグナル画素信号の差分を求め、シグナル成分のみからなるシグナル画素信号を生成して保持する。

[0027] カラムデコーダ２５は、例えばシフトレジスタにより構成され、１水平期間において、各列のカラムＡＤＣ２４ｘを順次に選択し、カラムＡＤＣアレイ部２４を水平走査し、各列のカラムＡＤＣ２４ｘが保持するデジタルのシグナル画素信号をセンスアンプ２６に順次に出力させる。

[0028] センスアンプ２６は、カラムＡＤＣアレイ部２４から水平信号線Ｌ＿２を介して出力されるデジタルのシグナル画素信号を増幅し、ＬＶＤＳシリアライザ２７に出力する。本実施の形態では、カラムＡＤＣ２４ｘは、１４ビットのデジタルのシグナル画素信号を生成し、各ビットの信号の位相を１８０度ずらし、位相が１８０度ずらされた信号と、位相がずらされていない信号とからなる合計２８個の信号をセンスアンプ２６に出力する。

[0029] よって、カラムＡＤＣアレイ部２４とセンスアンプ２６とを接続する水平信号線Ｌ＿２は、合計２８本となる。そして、センスアンプ２６は、２８本の水平信号線Ｌ＿２を流れる信号をそれぞれ増幅して、各信号の波形を成形してＬＶＤＳシリアライザ２７に出力する。

[0030] ＬＶＤＳシリアライザ２７は、ＬＶＤＳ（Low Voltage differential signaling）規格に準拠したシリアライザであり、センスアンプ２６から２８本の水平信号線Ｌ＿２を介してパラレルで出力される信号を差動増幅して１４ビットの信号とし、シリアルに変換して出力端子２８に出力する。

[0031] 出力端子２８は、ＬＶＤＳシリアライザ２７から出力されるシグナル画素信号をチャネルＣＨ１を介して画像信号処理部１２１に出力する。

[0032] ランプ波生成回路２９は、一定の傾きを持ってリニアに変化するランプ信号を生成して、各カラムＡＤＣ２４ｘに出力する。入力端子２１０は、撮像素子制御部１２２から供給されるＳＹＳＣＬＫが入力され、タイミング制御部２２に出力する。入力端子２１１は、撮像素子制御部１２２から供給されるレジスタ制御信号が入力され、タイミング制御部２２に出力する。

[0033] 図３は、図２に示す画素アレイ部２１を構成する画素の回路図である。図３に示す画素は、受光素子ＰＤ（以下、“ＰＤ”と記述する。）、転送トランジスタＴＸ（以下、“ＴＸ”と記述する。転送ゲートの一例）、リセットトランジスタＲＳＴ（以下、“ＲＳＴ”と記述する。）、増幅トランジスタＳＦ（以下、“ＳＦ”と記述する。）、行選択トランジスタＳＥＬ（以下、“ＳＥＬ”と記述する。）、及びフローティングディフュージョンＦＤ（以下、“ＦＤ”と記述する。）を備えている。

[0034] ＰＤは、例えば埋込型のフォトダイオードにより構成され、リセット時において、ＲＳＴ及びＴＸがオンされ、アノードに負の駆動電圧ＰＶＳＳ（以下、“ＰＶＳＳ”と記述する）が印加されている。

[0035] ＴＸは、例えばｎＭＯＳ（negative channel Metal Oxide Semiconductor）により構成され、ＰＤにより蓄積された電荷をＦＤに転送する。ＴＸのゲート端子には、ＴＸをオン、オフするためのゲート電圧φＴＸ（画素制御信号の一例、以下、“φＴＸ”と記述する。）が入力される。ＴＸのドレインは、ＦＤを介してＲＳＴに接続されている。φＴＸがローレベル（以下、“Ｌｏ”と記述する。）になるとＴＸのゲート端子が閉じてＴＸがオフし、φＴＸがハイレベル（以下、“Ｈｉ”と記述する。）になると、ＴＸのゲート端子が開いてＴＸがオンする。なお、φＴＸは、ローデコーダ２３から出力される。

[0036] ＦＤは、ＰＤから転送された電荷を蓄積する。これにより、ＦＤには電荷に応じた電圧が現れる。

[0037] ＲＳＴは、例えばｎＭＯＳにより構成され、ＦＤをリセットし、ＦＤに蓄積された電荷をＦＤの外部に排出する。ＲＳＴのゲート端子には、ＲＳＴをオン、オフするためのリセット信号φＲＳＴ（画素制御信号の一例、以下、“φＲＳＴ”と記述する。）が入力され、ドレインにはＰＤに電荷を注入するための電荷注入信号φＲＤ（画素制御信号の一例、以下、“φＲＤ”と記述する。）が入力されている。ＲＳＴは、φＲＳＴ＝Ｈｉになると、オンしてＦＤをリセットし、φＲＳＴ＝Ｌｏになるとオフする。ＲＳＴのドレイン

はＳＦのドレインと分離されているので、φＲＤを制御することによって、ＲＳＴ、ＴＸを介して、ＰＤに電荷を注入することができる。

[0038] なお、ＰＶＤＤ、ＰＶＳＳは図略の電圧源から出力され、φＲＤ、φＲＳＴは、ローデコーダ２３から出力される。

[0039] ＳＦは、例えばｎＭＯＳにより構成され、ゲート端子がＦＤを介してＴＸ及びＲＳＴに接続され、ドレイン端子にＰＶＤＤが入力され、ソース端子がＳＥＬに接続されている。そして、ＳＦはＦＤに現れる電圧を電流増幅してＳＥＬに出力する。

[0040] ＳＥＬは、例えばｎＭＯＳにより構成され、ゲート端子に行選択信号φＶＳＥＮ（画素制御信号の一例、以下、“φＶＳＥＮ”と記述する。）が入力され、ドレインがＳＦに接続され、ソースが垂直信号線Ｌ＿１を介して対応する列のカラムＡＤＣ２４ｘに接続されている。そして、ＳＥＬは、ＳＦにより電流増幅された電圧を画素信号として、垂直信号線Ｌ＿１を介して対応する列のカラムＡＤＣ２４ｘに出力する。ここで、φＶＳＥＮはローデコーダ２３から出力される。

[0041] 図４は、図３に示す回路の撮像動作時のシーケンス図である。なお、図４に示すシーケンス図は、遮光画素及び通常画素、共通のシーケンスとなっている。したがって、通常画素は通常画素信号に加えて白リセット信号も出力するが、この白リセット信号は画像信号処理部１２１において、白リセット特性を算出するために使用されない。また、遮光画素も白リセット信号に加えて、通常画素信号を出力するが、この通常画像信号は、被写体の情報を表していない。

[0042] 期間ｔ０は、前フレームの露光期間である。φＲＤ＝Ｈｉ、φＲＳＴ＝Ｈｉとされ、ＦＤが常時リセットされている。φＴＸ＝Ｍｉｄ（中間電位）とされ、ＦＤが常時リセットされている。φＴＸ＝Ｍｉｄとすることでリニアログ特性が実現される。つまり、φＴＸ＝Ｍｉｄとすると、ＴＸのゲート端子が半開状態になる。

[0043] そのため、低輝度の被写体を露光した場合、ＰＤに蓄積された電荷はＴＸ

のポテンシャル障壁を越えることができないため、リニア特性を持つことになる。一方、高輝度の被写体を露光した場合、ＰＤに蓄積された電荷の一部は、ＴＸのポテンシャル障壁を越えてＦＤに漏れ出ることができる。したがって、ＰＤはＦＤに電荷を流しつつ、電荷を蓄積するため、ＰＤに蓄積される電荷はログ特性を持つことになる。これにより、低輝度がリニア特性を持ち、高輝度側がログ特性を持つリニアログ特性が実現される。また、変曲点は、中間電位Ｍｉｄの値を調整することで制御される。以下、中間電位Ｍｉｄのことを「変曲点制御電圧」と記述する。

[0044] 期間ｔ１は、通常画素信号Ｄ１のリファレンス画素信号の読出期間である。φＲＤ＝Ｈｉを維持した状態で、φＲＳＴ＝Ｌｏ、φＶＳＥＮ＝Ｈｉにされる。これにより、ＦＤの電位がＰＶＤＤからＶ＿Ｒｅｆに下がり、電位Ｖ＿Ｒｅｆがリファレンス画素信号としてカラムＡＤＣ２４ｘ（図２参照）に読み出される。

[0045] カラムＡＤＣ２４ｘには、リファレンス画素信号の読み出しに同期して、ランプ波生成回路２９からリファレンス画素信号に対応するランプ信号ＲＰ＿Ｒｅｆが入力される。これにより、カラムＡＤＣ２４ｘは、通常画素信号Ｄ１のリファレンス画素信号をＡＤ変換する。ここで、ランプ信号ＲＰ＿Ｒｅｆは、一定の傾きで電圧がリニアに減少する波形を有している。したがって、カラムＡＤＣ２４ｘは、ランプ信号ＲＰ＿Ｒｅｆが、最大値Ｖ＿Ｍからリファレンス画素信号に到達するまでの時間をカウントし、リファレンス画素信号をＡＤ変換する。ランプ信号ＲＰ＿Ｒｅｆの振幅Ａ４１としては、想定されるリファレンス画素信号の最大値よりも多少大きい値が採用される。

[0046] 期間ｔ２は、ＰＤからＦＤへの電荷転送期間である。φＴＸ＝Ｈｉにされ、ＰＤに蓄積された電荷がＦＤに転送される。これにより、ＦＤの電位が、Ｖ＿ＲｅｆからＶ＿Ｓｉｇに低下する。電位Ｖ＿Ｓｉｇの値はＰＤからＦＤに転送された電荷量に応じた値、すなわち、被写体の照度に応じた値を持つ。

[0047] 期間ｔ３は、通常画素信号Ｄ１のリファレンス・シグナル画素信号の読み

出し期間である。φＶＳＥＮ＝Ｈｉの状態でφＴＸ＝Ｌｏに戻される。これにより、ＦＤの電位Ｖ＿Ｓｉｇがリファレンス・シグナル画素信号として、カラムＡＤＣ２４ｘに読み出される。

[0048] カラムＡＤＣ２４ｘには、リファレンス・シグナル画素信号の読み出しに同期して、ランプ波生成回路２９からリファレンス・シグナル画素信号に対応するランプ信号ＲＰ＿Ｓｉｇが入力される。これにより、カラムＡＤＣ２４ｘは、ランプ信号ＲＰ＿Ｓｉｇとリファレンス・シグナル画素信号とを比較して、リファレンス・シグナル画素信号をＡＤ変換する。そして、カラムＡＤＣ２４ｘは、期間ｔ１で得たリファレンス画素信号と、期間ｔ３で得たリファレンス・シグナル画素信号との差分をとり、シグナル画素信号を生成する。これにより、通常画素信号Ｄ１が得られる。

[0049] ここで、ランプ信号ＲＰ＿Ｓｉｇは、最大値Ｖ＿Ｍから一定の傾きで電圧がリニアに減少する波形を有している。したがって、カラムＡＤＣ２４ｘは、ランプ信号ＲＰ＿Ｒｅｆが、最大値Ｖ＿Ｍからリファレンス・シグナル画素信号に到達するまでの時間をカウントし、リファレンス・シグナル画素信号をＡＤ変換する。ランプ信号ＲＰ＿Ｒｅｆの振幅Ａ４２としては、想定される通常画素信号Ｄ１のリファレンス・シグナル画素信号の最大値よりも多少大きな値が採用される。

[0050] 期間ｔ４では、φＲＳＴ＝Ｈｉ、φＶＳＥＮ＝Ｌｏにされ、次のフレームの露光が開始できる状態にされる。

[0051] 期間ｔ５は、白リセット期間である。φＲＤ＝Ｌｏ、φＲＳＴ＝Ｈｉ、φＴＸ＝Ｈｉにされ、ＲＳＴのドレイン端子からＦＤ及びＰＤに電荷が注入され、ＰＤの電荷の蓄積量が満杯にされる。普通はリセットと言えば、ＰＤの電荷を空にすることを指す。以下、このリセットを黒リセットと呼ぶ。一方、期間ｔ５では、ＰＤの電荷が満杯にされている。そのため、このリセットを黒リセットと区別して白リセットと呼ぶ。

[0052] 期間ｔ６は、白リセット後のリーク期間ＴＡである。φＲＤ＝Ｈｉに戻され、φＴＸ＝Ｍｉｄにされ、白リセットによりＰＤに蓄積された電荷がＦＤ

にリークされ、ＰＤの電荷が徐々に減少する。

[0053] このリーク期間ＴＡを無限に広げたとしたら、ＰＤにはＴＸのポテンシャル障壁までの電荷、つまり、リニアログ特性の変曲点の画素値を示す電荷量が残ることになる。但し、リーク期間ＴＡを無限にしなくても、リーク期間ＴＡを一定期間確保すれば、リーク期間ＴＡの終了後にＰＤに残存する電荷量は、ＴＸのポテンシャル障壁と相関がある値を持つことになる。つまり、リーク期間ＴＡを一定期間確保すれば、ＰＤに残存する電荷量はポテンシャル障壁そのものを指す値ではないが、ポテンシャル障壁と相関のある値を持つことになる。したがって、リーク期間ＴＡの終了時にＰＤに残存する電荷を画素信号として各画素から読み出すことにより、各画素の変曲点の画素値のばらつきを特定することができる。

[0054] 期間ｔ７、ｔ８、ｔ９では、期間ｔ１、ｔ２、ｔ３とそれぞれ同じ動作が行われる。

[0055] 期間Ｔ７では、φＲＤ＝Ｈｉを維持した状態で、φＴＸ＝Ｌｏ、φＶＳＥＮ＝Ｈｉにされる。これにより、ＦＤの電位がＰＶＤＤからＶ＿Ｒｅｆに下がり、電位Ｖ＿Ｒｅｆが白リセット信号Ｄ２のリファレンス画素信号として、カラムＡＤＣ２４ｘに読み出される。

[0056] カラムＡＤＣ２４ｘには、白リセット信号Ｄ２のリファレンス信号に対応するランプ信号ＲＰ＿ＷＲｅｆが入力され、白リセット信号Ｄ２のリファレンス信号がＡＤ変換される。ここで、ランプ信号ＲＰ＿ＷＲｅｆの振幅Ａ４３としては、振幅Ａ４１と同程度の値を採用すればよい。

[0057] 期間ｔ８では、φＴＸ＝Ｈｉにされ、ＰＤに残存する電荷がＦＤに転送される。これにより、ＦＤの電位が、Ｖ＿ＲｅｆからＶ＿ＷＳｉｇに低下する。電位Ｖ＿ＷＳｉｇの値はリーク期間ＴＡの終了時にＰＤに残存する電荷量に応じた値を持つ。

[0058] 期間ｔ９では、φＶＳＥＮ＝Ｈｉの状態でφＴＸ＝Ｌｏに戻される。これにより、ＦＤの電位Ｖ＿ＷＳｉｇが白リセット信号Ｄ２のリファレンス・シグナル画素信号として、カラムＡＤＣ２４ｘに読み出される。

[0059] カラムＡＤＣ２４ｘは、白リセット信号Ｄ２のリファレンス・シグナル画素信号に対応するランプ信号ＲＰ＿ＷＳｉｇと当該リファレンス・シグナル画素信号とを比較して、当該リファレンス・シグナル画素信号をＡＤ変換する。そして、カラムＡＤＣ２４ｘは、期間ｔ７で得たリファレンス画素信号と、期間ｔ９で得たリファレンス・シグナル画素信号との差分をとり、白リセット信号Ｄ２のシグナル画素信号を生成する。

[0060] ランプ信号ＲＰ＿ＷＳｉｇの振幅Ａ４４としては、想定される白リセット信号Ｄ２のリファレンス・シグナル画素信号よりも多少大きな値が採用される。

[0061] 期間ｔ１０は、次フレームの露光期間であり、期間ｔ１と同じ処理が行われる。以後、期間ｔ０～ｔ１０に示す処理が繰り返され、１フレーム期間において、通常画素信号Ｄ１と白リセット信号Ｄ２とが得られる。

[0062] 図５は、撮像素子１１０を構成するある画素の光電変換特性Ｇ５０を示すグラフであり、縦軸は画素値を示し、横軸は被写体の照度を対数で示している。図５に示すように、光電変換特性Ｇ５０は、照度が変曲点Ｐ５０以下の領域ではリニア特性を持ち、照度が変曲点Ｐ５０以上の領域ではログ特性を持っている。なお、図５において、リニア特性が曲線を描き、ログ特性が直線を描いているのは、横軸が対数軸だからである。

[0063] 図６は、シャッタースピードＳＳが変化した時の光電変換特性の違いを示したグラフであり、縦軸及び横軸は図５と同じである。光電変換特性Ｇ６１～Ｇ６３はそれぞれ、シャッタースピードＳＳを１／３０、１／２５０、１／２０００としたときの光電変換特性である。

[0064] シャッタースピードＳＳが１／３０、１／２５０、１／２０００と短くなるにつれて、リニア特性の傾きが減少し、リニア特性の感度が低下していることが分かる。また、図６の例では、露光期間において転送トランジスタＴＸに印加される変曲点制御電圧が一定にされており、変曲点制御電圧の調整が行われていない。そのため、変曲点Ｐ６１、Ｐ６２、Ｐ６３は、シャッタースピードＳＳが短くなるにつれて、画素値がＤ６１＜Ｄ６２＜Ｄ６３と高

くなっていることが分かる。

[0065] ダイナミックレンジＤＭ６１は、ＤＭ６２、ＤＭ６３は、それぞれ、光電変換特性Ｇ６１、Ｇ６２、Ｇ６３において、画素値＝０から最大画素値Ｄ＿Ｍａｘまでの照度範囲である。

[0066] シャッタースピードＳＳを短く設定するにつれて、画素値＝０における照度がＬ６１、Ｌ６２、Ｌ６３と増加している。また、変曲点Ｐ６１、Ｐ６２、Ｐ６３の画素値はＤ６１＜Ｄ６２＜Ｄ６３と増大している。そのため、ダイナミックレンジはＤＭ６１＞ＤＭ６２＞ＤＭ６３の順番に狭くなっていることが分かる。

[0067] 図７は、変曲点の画素値が一定になるように変曲点制御電圧を調整した場合において、シャッタースピードＳＳが変化した時の光電変換特性の違いを示したグラフであり、縦軸及び横軸は図６と同じである。

[0068] 光電変換特性Ｇ７１～Ｇ７３はそれぞれ、シャッタースピードＳＳを１／３０、１／２５０、１／２０００としたときの光電変換特性である。図７の例では、シャッタースピードＳＳが変化しても変曲点Ｐ７１、Ｐ７２、Ｐ７２の画素値がＤ７０を維持するように、変曲点制御電圧が調整されている。具体的には、シャッタースピードが１／３０、１／２５０、１／２０００と短くなるにつれて、変曲点制御電圧の値が高く設定され、ＴＸのポテンシャル障壁が下げられている。

[0069] ダイナミックレンジＤＭ７１、ＤＭ７２、ＤＭ７３は、それぞれ、光電変換特性Ｇ７１、Ｇ７２、Ｇ７３において、画素値＝０から最大画素値Ｄ＿Ｍａｘまでの照度範囲である。

[0070] 光電変換特性Ｇ７２において、画素値＝０の照度Ｌ７２は、光電変換特性Ｇ７１の画素値＝０の照度Ｌ７１よりも高くなっているが、変曲点Ｐ７２の画素値がＤ７０に維持されている。その結果、ダイナミックレンジＤＭ７２は、ログ特性の範囲がダイナミックレンジＤＭ７１のログ特性の範囲と同じになり、ダイナミックレンジが一定にされている。

[0071] また、ダイナミックレンジＤＭ７３も、ダイナミックレンジＤＭ７２と同

様、ログ特性の領域がダイナミックレンジＤＭ７１のログ特性の領域と同じになり、ダイナミックレンジが一定にされている。

[0072] したがって、シャッタースピードＳＳを変えても変曲点の画素値が一定の値になるように変曲点制御電圧を調整することで、ダイナミックレンジを一定にすることができる。

[0073] 図８は、シャッタースピードＳＳを変えたときの変曲点制御電圧と変曲点の画素値との関係である変曲点特性を示したグラフであり、縦軸は変曲点の画素値を示し、横軸は変曲点制御電圧を示している。

[0074] 図８において、変曲点特性Ｇ８１～Ｇ８３は、それぞれ、シャッタースピードＳＳを１／３０、１／２５０、１／２０００としたときの変曲点特性である。１／３０、１／２５０、１／２０００とシャッタースピードＳＳが短くなるにつれて、変曲点特性Ｇ８１、Ｇ８２、Ｇ８３は右側にシフトしている。また、変曲点特性Ｇ８１、Ｇ８２、Ｇ８３は、シャッタースピードＳＳが短くなるにつれて、傾きが緩やかになり、ゲインが減少している。

[0075] よって、変曲点制御電圧を一定にした場合、シャッタースピードＳＳが短いほど、変曲点の画素値が増大しており、図６に示す光電変換特性Ｇ６１～Ｇ６３が変曲点特性Ｇ８１～Ｇ８３に反映されていることが分かる。

[0076] 図９は、温度を変化させたときの光電変換特性の違いを示したグラフであり、縦軸及び横軸は図７と同じである。光電変換特性Ｇ９１、Ｇ９２、Ｇ９３は、それぞれ、温度をＴａ２５、Ｔａ－３０、Ｔａ９０としたときの光電変換特性を示している。但し、Ｔａ９０＞Ｔａ２５＞Ｔａ－３０である。ここで、温度とは画素アレイ部２１内の環境温度を指す。

[0077] Ｔａ２５からＴａ９０に温度が上昇すると、変曲点はＰ９１からＰ９３に変化し、画素値はＤ９１からＤ９３に低下する。また、Ｔａ２５からＴａ９０に温度が上昇すると、ログ領域の傾きが増大し、ログ領域の感度が増大していることが分かる。

[0078] 一方、Ｔａ２５からＴａ－３０に温度が低下すると、変曲点はＰ９１からＰ９２に変化し、画素値はＤ９１からＤ９２に増大する。また、Ｔａ２５か

らＴａ－３０に温度が低下すると、ログ領域の傾きが減少し、ログ領域の感度が低下していることが分かる。

[0079] このように、温度が変化すると、ログ領域の感度が変化することに加えて、変曲点の画素値も変化するため、ダイナミックレンジが大きくばらついてしまう。

[0080] 図１０は、温度が変化しても変曲点の画素値が一定になるように変曲点制御電圧を調整したときの、温度に応じた光電変換特性を示したグラフであり、縦軸は画素値を示し、横軸は照度を対数で示している。図１０において、光電変換特性Ｇ１０１、Ｇ１０２、Ｇ１０３は、それぞれ、温度がＴａ２５、Ｔａ－３０、Ｔａ９０のときの光電変換特性である。

[0081] 図１０に示すように、光電変換特性Ｇ１０１、Ｇ１０２、Ｇ１０３は、変曲点Ｐ１００の画素値が全てＤ１００で一定にされている。そのため、変曲点制御電圧を調整することで、ログ特性の感度は一定にすることはできないが、変曲点Ｐ１００の画素値Ｄ１００を一定にすることができる。その結果、光電変換特性Ｇ１０１、Ｇ１０２、Ｇ１０３のばらつきがログ領域の感度のみとなり、図９の場合に比べてダイナミックレンジのばらつきを小さくし、ダイナミックレンジをおよそ一定にすることができる。

[0082] 図１１は、温度を変えたときの変曲点特性を示したグラフであり、縦軸は変曲点の画素値を示し、横軸は変曲点制御電圧を示している。図１１において、変曲点特性Ｇ１１１、Ｇ１１２、Ｇ１１３は、それぞれ、温度をＴａ２５、Ｔａ－３０、Ｔａ９０としたときの変曲点特性である。但し、Ｔａ９０＞Ｔａ２５＞Ｔａ－３０である。

[0083] 温度がＴａ９０、Ｔａ２５、Ｔａ－３０と低下すると、変曲点特性Ｇ１１３、Ｇ１１１、Ｇ１１２は右側にシフトしている。また、変曲点特性Ｇ１１３、Ｇ１１１、Ｇ１１２は、温度が低下するにつれて、傾きが増大し、ゲインが増大していることが分かる。

[0084] よって、変曲点制御電圧を一定にした場合、温度が低いほど、変曲点の画素値が増大しており、図９に示す光電変換特性Ｇ９１～Ｇ９３が変曲点特性

Ｇ１１１～Ｇ１１３に反映されていることが分かる。

[0085] 実際のカメラでの状況を考えると、シャッタースピードＳＳと温度とがそれぞれ変化するため、変曲点のばらつきをなくすには、図８に示す変曲点特性Ｇ８１～Ｇ８３と、図１１に示す変曲点特性Ｇ１１１～Ｇ１１３との両方を考慮して、変曲点制御電圧を決定する必要がある。

[0086] また、図８及び図１１に示す変曲点特性はチップ毎、すなわち、固体撮像装置の個体別に異なる特性を持っている。図１２は、シャッタースピードＳＳをある値に設定し、温度をある値にした時の変曲点特性Ｇ１２１を示したグラフである。チップが異なると、例えば、変曲点特性Ｇ１２１に対して横軸にオフセット誤差ΔＳ１２１だけずれ、且つ、変曲点特性Ｇ１２１に対してゲインがゲイン誤差ΔＧ１２１だけずれた変曲点特性Ｇ１２１´が得られる。

[0087] このように、チップ毎に変曲点特性が異なるため、異なるチップ間で変曲点制御電圧を同じ値に設定すると、チップ毎に変曲点の画素値がずれてしまう。よって、全チップで変曲点の画素値を揃えるためには、チップ毎に図８や図１１に示すような変曲点特性を測定し、工場出荷前に事前にキャリブレーションをしておく必要がある。

[0088] しかしながら、このようなチップ毎のキャリブレーションを工場出荷前に行うことは膨大な労力と時間とがかかってしまい、事実上困難である。

[0089] そこで、本実施の形態による固体撮像装置は、このようなキャリブレーションを工場出荷前ではなく、撮像動作時に実行している。以下、具体的に説明する。

[0090] 図１３は、白リセット特性Ｇ１３１と変曲点特性Ｇ１３２とを示したグラフであり、縦軸は変曲点の画素値又は白リセット信号の画素値を示し、横軸は変曲点制御電圧を示している。

[0091] ここで、白リセット特性は、図４に示すリーク期間ＴＡにおいて転送トランジスタＴＸに印加される変曲点制御電圧と、白リセット信号の画素値との関係を示す。また、変曲点特性は、変曲点制御電圧と変曲点の画素値との関

係を示す。なお、図１３では、同一撮像条件下、つまり、温度及びシャッタースピードＳＳを同一にしたときの白リセット特性Ｇ１３１と変曲点特性Ｇ１３２とが示されている。

[0092] 図１３に示すように、撮像条件が同じである場合、白リセット特性Ｇ１３１は、変曲点特性Ｇ１３２をオフセット成分ΔＷＲだけ縦軸にシフトさせた波形を持っており、両者に相関があることが分かる。

[0093] よって、白リセット信号の画素値が分かれば、その画素値からオフセット成分ΔＷＲを差し引けば、変曲点の画素値を特定することができる。別の言い方をすれば、白リセット特性が分かれば、その白リセット特性からオフセット成分ΔＷＲを差し引けば、変曲点特性が得られ、その変曲点特性から変曲点の画素値が分かる。

[0094] このように、白リセット特性と変曲点特性とは、撮像条件が同じであれば、オフセット成分ΔＷＲだけずれた関係を持っているため、変曲点の目標画素値にその撮像条件に応じたオフセット成分ΔＷＲを加算すれば、白リセット信号の目標値である白リセット目標値が得られる。そして、その白リセット目標値に対応する変曲点制御電圧が白リセット特性から求められる。そして、この変曲点制御電圧で通常画素を駆動させると変曲点の画素値を目標画素値にすることができる。

[0095] 本実施の形態では、撮像条件として、シャッタースピードＳＳと温度とを採用する。したがって、オフセット成分ΔＷＲは、シャッタースピードＳＳと温度との２つをパラメータとする関数が採用される。なお、この関数は個体別のばらつきがほとんどないため、全個体共通の関数を予め固体撮像装置に記憶させておけばよい。

[0096] 図１４（Ａ）、（Ｂ）は、変曲点の画素値を目標画素値にするための変曲点制御電圧の算出原理の説明図であり、縦軸は白リセット信号の画素値を示し、横軸は変曲点制御電圧を示している。図１４（Ａ）に示すように、まず、電圧Ｖ１～Ｖ４の４点に対する白リセット信号の画素値ＷＲ１～ＷＲ４が測定される。次に、電圧Ｖ１～Ｖ４と画素値ＷＲ１～ＷＲ４とによって規定

される４つの測定点Ｐ１４１～Ｐ１４４が図１４に示すグラフ上にプロットされる。

[0097] 次に、測定点Ｐ１４１～Ｐ１４４が補間され、白リセット特性Ｇ１４１が算出される。ここで、補間としては、例えば、測定点Ｐ１４１～Ｐ１４４を直線近似する線形補間を採用してもよい。また、白リセット特性のリファレンス波形を測定点Ｐ１４１～Ｐ１４４にフィッティングして白リセット特性Ｇ１４１を求めてもよい。これにより、白リセット特性Ｇ１４１が関数として得られる。

[0098] 次に、変曲点の目標画素値ＫＰに現在の撮像条件のオフセット成分ΔＷＲが加算され、白リセット目標値ＫＰ＿ＷＲが算出される。そして、白リセット特性Ｇ１４１に白リセット目標値ＫＰ＿ＷＲが代入され、変曲点制御電圧ＶＶが算出される。この変曲点制御電圧ＶＶで転送トランジスタＴＸを駆動すると、変曲点の画素値を目標画素値ＫＰにすることができる。

[0099] 次に、図１４（Ｂ）に示すように、先程とは異なる電圧Ｖ１´～Ｖ４´を設定する。ここで、電圧Ｖ１´～Ｖ４´は、電圧Ｖ２´が変曲点制御電圧ＶＶとなるように等間隔に設定される。この場合、電圧Ｖ１´～Ｖ４´の間隔は電圧Ｖ１～Ｖ４より狭くされる。

[0100] 次に、電圧Ｖ１´～Ｖ４´に対する白リセット信号の画素値ＷＲ１´～ＷＲ４´が測定される。これにより、画素値ＷＲ２´が本当に白リセット目標値ＫＰ＿ＷＲになっているかが調べられる。

[0101] そして、画素値ＷＲ２´が白リセット目標値ＫＰ＿ＷＲになっていれば、電圧Ｖ２´が変曲点制御電圧として設定される。一方、画素値ＷＲ２´が白リセット目標値ＫＰ＿ＷＲになっていなければ、図１４（Ａ）に示す電圧Ｖ１～Ｖ４が前回とは異なる領域に設定され、再度、図１４（Ａ）、（Ｂ）で説明した処理が行われ、変曲点制御電圧が算出される。ここで、画素値ＷＲ２´が白リセット目標値ＫＰ＿ＷＲにならない理由としては、電圧Ｖ１～Ｖ４が例えば、図１４に示す白リセット特性Ｇ１４１の曲線部分に当てはめられたケースが考えられる。したがって、この場合、電圧Ｖ１～Ｖ４が白リセ

ット特性Ｇ１４１の直線部分に当てはめられるように、電圧Ｖ１～Ｖ４を設定することが好ましい。

[0102] このような変曲点制御電圧のキャリブレーションを撮像動作中に実行するためには以下のような構成が必要になる。

[0103] 図１５は、本発明の実施の形態における固体撮像装置の比較例の撮像素子１１０の構成を示すブロック図である。図１５に示すように、比較例の撮像素子は、画素アレイ部１５１、ローデコーダ１５２、及びゲート電圧生成部１５３を備えている。なお、図１５においては、図２に示すタイミング制御部２２、カラムＡＤＣアレイ部２４～ランプ波生成回路２９の図示を省略している。

[0104] 画素アレイ部１５１は、通常画素信号Ｄ１を取得するための有効画素からなる有効画素領域と、黒レベル基準値等を測定するための遮光画素からなる遮光画素領域とを含んでいる。ゲート電圧生成部１５３は、変曲点制御電圧を含むゲート電圧φＴＸを、ローデコーダ１５２を介して画素アレイ部１５１に供給する。

[0105] このように、比較例では、ゲート電圧生成部１５３が一つであるため、固体撮像装置が撮像動作を行っている際に、露光用の変曲点制御電圧しか画素アレイ部１５１に供給することができず、キャリブレーション用の変曲点制御電圧（電圧Ｖ１～Ｖ４）を画素アレイ部１５１に供給することができなかった。そのため、比較例では、撮像動作中にキャリブレーション用の変曲点制御電圧を画素アレイ部１５１に供給することができなかった。そこで、本実施の形態では、撮像素子１１０は下記の構成を採用する。

[0106] 図１６は、本発明の実施の形態による固体撮像装置の撮像素子１１０の構成を示すブロック図である。図１６に示すように、撮像素子１１０は、図２に示す画素アレイ部２１及びローデコーダ２３に加えて、更に、ゲート電圧生成部１６６（第１電圧生成部の一例）と、ゲート電圧生成部１６３（第２電圧生成部の一例）とを備えている。なお、図１６においては、図２に示すタイミング制御部２２、カラムＡＤＣアレイ部２４～ランプ波生成回路２９

の図示を省略している。

[0107] 画素アレイ部２１は、有効画素領域１６１及び遮光画素領域１６２を備えている。有効画素領域１６１は、遮光されていないＰＤを含む有効画素が所定行×所定列でマトリックス状に配列されている。遮光画素領域１６２は、所定行×所定列で遮光されたＰＤを含む遮光画素が所定行×所定列でマトリックス状に配列されている。

[0108] ここで、遮光画素領域１６２の行数としては、キャリブレーション用の転送制御電圧の種類に応じた行数を採用すればよい。本実施の形態では、キャリブレーション用の転送制御電圧として、電圧Ｖ１～Ｖ４の４種類を採用する。したがって、遮光画素領域１６２の行数は４行を採用する。

[0109] ローデコーダ２３は、ローデコーダ１６４及びローデコーダ１６５を備えている。ローデコーダ１６４は、有効画素領域１６１用のローデコーダであり、有効画素領域１６１の各行にゲート電圧生成部１６６により生成されたゲート電圧φＴＸを供給する。

[0110] ローデコーダ１６５は、遮光画素領域１６２用のローデコーダであり、遮光画素領域１６２の各行にゲート電圧生成部１６６により生成されたゲート電圧φＴＸを供給する。

[0111] ゲート電圧生成部１６６は、有効画素に印加するゲート電圧φＴＸを生成し、ローデコーダ１６４を介して有効画素領域１６１を構成する各有効画素の転送トランジスタＴＸに供給する。ここで、ゲート電圧φＴＸには、図４に示すように、Ｈｉ、Ｌｏ、Ｍｉｄ（変曲点制御電圧）があるため、ゲート電圧生成部１６６は、これらの電圧を生成する。

[0112] ゲート電圧生成部１６３は、遮光画素に印加するゲート電圧φＴＸであって、白リセット特性を取得するためのゲート電圧φＴＸを生成し、ローデコーダ１６５を介して遮光画素領域１６２を構成する各遮光画素の転送トランジスタＴＸに供給する。ここで、白リセット特性を取得するためのゲート電圧φＴＸも、Ｈｉ、Ｌｏ、Ｍｉｄ（変曲点制御電圧）があるため、ゲート電圧生成部１６３はこれらの電圧を生成する。

[0113] 具体的には、ゲート電圧生成部１６３は、変曲点制御電圧がＶ１～Ｖ４を持つ４種類のゲート電圧φＴＸを生成し、ローデコーダ１６５に供給する。ローデコーダ１６５は、変曲点制御電圧がＶ１～Ｖ４であるゲート電圧φＴＸを、それぞれ、遮光画素領域１６２の１～４行目の遮光画素に供給する。

[0114] これにより、１フレーム期間において、有効画素に撮像動作を行わせ、且つ、遮光画素に４種類のゲート電圧φＴＸを供給して白リセット信号を測定させることができる。

[0115] 次に、図１に示す画像信号処理部１２１及び撮像素子制御部１２２について詳細に説明する。撮像素子制御部１２２は、白リセット信号出力処理を遮光画素に対して実行する。白リセット信号出力処理は、白リセット処理、リーク処理、転送処理、及び読出処理を含む。白リセット処理は、図４の期間ｔ５で実行され、ＰＤに電荷を注入し、ＰＤが蓄積する電荷量を満杯にする処理である。

[0116] リーク処理は、図４の期間ｔ５で実行され、白リセット処理の終了後、転送トランジスタＴＸに変曲点制御電圧を所定のリーク期間ＴＡ印加する処理である。

[0117] 転送処理は、図４の期間ｔ８で実行され、リーク処理の終了後、ＰＤに残存する電荷をＦＤに転送する処理である。

[0118] 白リセット信号出力処理は、図４の期間ｔ９で実行され、転送処理の終了後、ＦＤの電位を白リセット信号として遮光画素から読み出す処理である。

[0119] 本実施の形態では、撮像素子制御部１２２は、１フレーム期間において図４の期間ｔ０～ｔ９に示す処理を有効画素及び遮光画素の両方に実行させる。したがって、図４において、有効画素には、Ｍｉｄとして撮像用の変曲点制御電圧が採用される。また、図１６に示す１行目の遮光画素にはＭｉｄとしてＶ１の変曲点制御電圧が採用され、２行目の遮光画素にはＭｉｄとしてＶ２の変曲点制御電圧が採用され、３行目の遮光画素にはＭｉｄとしてＶ３の変曲点制御電圧が採用され、４行目の遮光画素にはＭｉｄとしてＶ４の変曲点制御電圧が採用される。

[0120] 図１に示す白リセット信号取得部１３１は、撮像素子制御部１２２に、白リセット信号出力処理を、変曲点制御電圧を変えて複数回実行させ、複数の白リセット信号を取得する。本実施の形態では、白リセット信号取得部１３１は、撮像素子制御部１２２に、１～４行目の遮光画素にＭｉｄ＝Ｖ１～Ｖ４のゲート電圧φＴＸを同一タイミングで入力させることで、白リセット信号出力処理を複数回実行させる。そして、白リセット信号取得部１３１は、１～４行目の遮光画素から白リセット信号の画素値ＷＲ１～ＷＲ４を取得する。

[0121] 白リセット特性算出部１３２は、白リセット信号取得部１３１により取得された複数の白リセット信号に基づき、白リセット信号と変曲点制御電圧との相関関係を示す白リセット特性を算出する。本実施の形態では、白リセット特性算出部１３２は、図１４（Ａ）、（Ｂ）に示すように、白リセット信号の画素値ＷＲ１～ＷＲ４を用いて白リセット特性を算出する。ここで、白リセット特性算出部１３２は、遮光画素領域１６２の１～４行目の各列の白リセット信号の画素値の平均値を画素値ＷＲ１～ＷＲ４として求め、１つの白リセット特性を算出すればよい。

[0122] 目標値算出部１３３は、固体撮像装置の現在の撮像条件に基づいて、変曲点の画素値を所定の目標画素値ＫＰにするための白リセット信号の目標値である白リセット目標値ＫＰ＿ＷＲを算出する。具体的には、目標値算出部１３３は、温度及びシャッタースピードＳＳをパラメータとするオフセット成分ΔＷＲを特定する関数を予め保持しており、この関数を用いて現在の撮像条件に対応するオフセット成分ΔＷＲを求める。そして、目標値算出部１３３は、目標画素値ＫＰにオフセット成分ΔＷＲを加算して白リセット目標値ＫＰ＿ＷＲを算出する。

[0123] 変曲点制御電圧算出部１３４は、目標値算出部１３３により算出された白リセット目標値ＫＰ＿ＷＲに対応する変曲点制御電圧ＶＶを、白リセット特性を用いて算出する。

[0124] 登録部１３５は、変曲点制御電圧算出部１３４により算出された変曲点制

御電圧ＶＶを撮像条件と対応付けてキャリブレーションテーブル１３７に登録する。

[0125] 変曲点制御電圧設定部１３６は、現在の撮像条件に対応する変曲点制御電圧をキャリブレーションテーブル１３７から特定し、特定した変曲点制御電圧をＭｉｄとして持つゲート電圧φＴＸをゲート電圧生成部１６６に生成させる。なお、変曲点制御電圧設定部１３６は、現在の撮像条件に対応する変曲点制御電圧がキャリブレーションテーブル１３７に登録されていなければ、キャリブレーションテーブル１３７に登録された変曲点制御電圧を補間することで、該当する変曲点制御電圧を算出すればよい。また、変曲点制御電圧設定部１３６は、キャリブレーションテーブル１３７に登録される変曲点制御電圧の個数が所定個数になるまでは、例えば、前フレームで得られた変曲点制御電圧を持つゲート電圧φＴＸをゲート電圧生成部１６６に生成させればよい。

[0126] キャリブレーションテーブル１３７は、撮像条件と変曲点制御電圧とが対応付けられたテーブルであり、変曲点制御電圧算出部１３４により、変曲点制御電圧が随時登録される。なお、キャリブレーションテーブル１３７は、例えば書き換え可能な不揮発性メモリに記憶されている。

[0127] 図１７は、本発明の実施の形態による変曲点制御電圧のキャリブレーションを示すフローチャートである。まず、目標値算出部１３３は、あるシャッタースピードＳＳと温度とによって規定される撮像条件に応じたオフセット成分ΔＷＲを特定する（Ｓ１７１）。

[0128] ここで、シャッタースピードＳＳは、例えば、ユーザの操作指示や被写体の照度等に基づいて撮像素子制御部１２２により設定されるものを採用すればよい。温度は、例えば、撮像素子１１０に設けられた図略の温度センサにより測定されたものを採用すればよい。なお、オフセット成分ΔＷＲには個体差がほとんどないため、撮像条件が特定されれば、全個体で共通のオフセット成分ΔＷＲを採用することができる。

[0129] 次に、目標値算出部１３３は、変曲点の目標画素値ＫＰにオフセット成分

ΔＷＲを加算して、白リセット目標値ＫＰ＿ＷＲを算出する（Ｓ１７２）。

[0130] 次に、白リセット信号取得部１３１は、図１４に示すように、白リセット特性を取得するために電圧Ｖ１～Ｖ４の変曲点制御電圧を設定する（Ｓ１７３）。これにより、図４に示すシーケンスにしたがって、１～４行目の遮光画素には、Ｍｉｄとして電圧Ｖ１～Ｖ４を持つゲート電圧φＴＸが印加され、有効画素には、Ｍｉｄとして現在設定されている変曲点制御電圧ＶＶを持つゲート電圧φＴＸが印加される。次に、白リセット信号取得部１３１は、１～４行目の遮光画素から電圧Ｖ１～Ｖ４に対する白リセット信号の画素値ＷＲ１～ＷＲ４を読み出す（Ｓ１７４）。

[0131] 次に、白リセット特性算出部１３２は、図１４で説明したように、白リセット信号の画素値ＷＲ１～ＷＲ４から白リセット特性を算出する（Ｓ１７５）。次に、変曲点制御電圧算出部１３４は、Ｓ１７２で算出された白リセット目標値ＫＰ＿ＷＲを、Ｓ１７５で算出された白リセット特性を示す関数に代入し、白リセット目標値ＫＰ＿ＷＲに対応する変曲点制御電圧ＶＶを算出する（Ｓ１７６）。

[0132] 次に、白リセット信号取得部１３１は、Ｓ１７３で設定した電圧Ｖ１～Ｖ２よりも間隔が狭く、且つ、変曲点制御電圧が電圧Ｖ２´となるように電圧Ｖ１´～Ｖ４´を設定する（Ｓ１７７）。これにより、図４に示すシーケンスにしたがって、１～４行目の遮光画素には、Ｍｉｄとして電圧Ｖ１´～Ｖ４´を持つゲート電圧φＴＸが印加され、有効画素には、Ｍｉｄとして現在設定されている変曲点制御電圧ＶＶを持つゲート電圧φＴＸが印加される。なお、Ｓ１７７は、Ｓ１７３の次のフレームにおいて実行される。次に、白リセット信号取得部１３１は、１～４行目の遮光画素から電圧Ｖ１´～Ｖ４´に対する白リセット信号の画素値ＷＲ１´～ＷＲ４´を読み出す（Ｓ１７８）。

[0133] 次に、変曲点制御電圧算出部１３４は、白リセット信号の画素値ＷＲ２´が白リセット目標値ＫＰ＿ＷＲになっているか否かを判定する（Ｓ１７９）。そして、画素値ＷＲ２´が白リセット目標値ＫＰ＿ＷＲになっていなけれ

ば（Ｓ１７９でＮＯ）、処理がＳ１７３に戻される。そして、白リセット信号取得部１３１は、前回設定した電圧Ｖ１～Ｖ４とは異なる領域に電圧Ｖ１～Ｖ４を設定し（Ｓ１７３）、Ｓ１７４以降の処理が実行される。なお、Ｓ１７３は、Ｓ１７７の次のフレームにおいて実行される。

[0134] 一方、画素値ＷＲ２´が白リセット目標値ＫＰ＿ＷＲになっていれば（Ｓ１７９でＹＥＳ）、登録部１３５は、Ｓ１７７で設定した電圧Ｖ２´を変曲点制御電圧ＶＶとし、該当する撮像条件と対応付けてキャリブレーションテーブル１３７に登録し（Ｓ１８０）、処理をＳ１７１に戻す。そして、Ｓ１７１において、固体撮像装置の撮像条件が変化した場合、その撮像条件に対応するオフセット成分ΔＷＲが特定され、Ｓ１７２以降の処理が実行される。

[0135] このように、本実施の形態の固体撮像装置によれば、電圧Ｖ１～Ｖ４に対する白リセット信号の画素値ＷＲ１～ＷＲ４が取得され、取得された画素値ＷＲ１～ＷＲ４から白リセット特性が求められる。そして、変曲点の目標画素値ＮＰに撮像条件に応じたオフセット成分ΔＷＲが加算されて白リセット目標値ＮＰ＿ＷＲが算出される。そして、白リセット目標値ＮＰ＿ＷＲに対応する変曲点制御電圧ＶＶが白リセット特性から算出される。

[0136] その結果、撮像条件に応じた個体別の変曲点制御電圧ＶＶを特定することができ、変曲点の個体間のばらつきを抑制することができる。

[0137] また、撮像動作時に変曲点制御電圧のキャリブレーションが行われ、工場出荷前に個体別にキャリブレーションを行う手間を省くことができる。

[0138] なお、上記説明では、変曲点特性を取得するための電圧をＶ１～Ｖ４の４つとしたが、本発明はこれに限定されず、２つ以上であれば、３つ、５つ、６つ、７つというように、適宜好ましい値を採用すればよい。

[0139] また、図４では、有効画素及び遮光画素共、期間ｔ０～ｔ９の処理を実行させたが、本発明はこれに限定されない。例えば、有効画素には、期間ｔ０が終了した後、期間ｔ１～ｔ４の処理を実行させ、遮光画素には、期間ｔ０が終了した後、期間ｔ５～ｔ９の処理を実行させ、期間ｔ１～ｔ４と期間ｔ

５～ｔ９との処理を並列させてもよい。これにより、期間ｔ１～ｔ９で規定される読出期間を短縮させることができる。

[0140] （本実施の形態のまとめ）

（１）本実施の形態による固体撮像装置は、複数の光電変換特性が変曲点で切り替わる光電変換特性を持つ固体撮像装置であって、受光素子、フローティングディフュージョン、及び前記受光素子で蓄積された電荷を前記フローティングディフュージョンに転送する転送ゲートを含む撮像素子と、前記受光素子に電荷を注入する白リセット処理と、前記白リセット処理の終了後、前記転送ゲートに変曲点制御電圧を所定のリーク期間印加するリーク処理と、前記リーク処理の終了後、前記受光素子に残存する電荷を前記フローティングディフュージョンに転送する転送処理と、前記転送処理の終了後、前記フローティングディフュージョンの電位を白リセット信号として前記撮像素子から読み出す読出処理とを含む白リセット信号出力処理を実行する撮像素子制御部と、前記撮像素子制御部に、前記白リセット信号出力処理を、前記変曲点制御電圧を変えて複数回実行させ、複数の白リセット信号を取得する白リセット信号取得部と、前記白リセット信号取得部により取得された複数の白リセット信号に基づき、前記白リセット信号と前記変曲点制御電圧との相関関係を示す白リセット特性を算出する白リセット特性算出部と、撮像条件に基づいて、前記変曲点の画素値を所定の目標画素値にするための白リセット信号の目標値である白リセット目標値を算出する目標値算出部と、前記目標値算出部により算出された白リセット目標値に対応する変曲点制御電圧を、前記白リセット特性を用いて算出する変曲点制御電圧算出部とを備える。

[0141] この構成によれば、複数の変曲点制御電圧に対する白リセット信号が取得され、取得された白リセット信号から白リセット信号と変曲点制御電圧との関係を示す白リセット特性が求められる。そして、変曲点の画素値を所定の目標画素値にするための撮像条件に応じた白リセット目標値が算出される。そして、白リセット目標値に対応する変曲点制御電圧が白リセット特性から

算出される。

[0142] その結果、撮像条件に応じた個体別の変曲点制御電圧を特定することができ、変曲点の個体間のばらつきを抑制することができる。

[0143] （２）前記撮像素子は、前記受光素子が遮光されていない有効画素と、前記受光素子が遮光された遮光画素とを含み、前記撮像素子制御部は、前記有効画素の撮像動作時に前記遮光画素に対して白リセット信号出力処理を実行することが好ましい。

[0144] この構成によれば、遮光画素に対して白リセット信号出力処理が実行されているため、撮像動作中に撮像条件に応じた個体別の変曲点制御電圧が得られる。そのため、工場出荷前において、個体別の変曲点制御電圧を求めるためのキャリブレーションを行わなくても、個体間の変曲点のばらつきを抑制することができる。

[0145] （３）前記有効画素の前記転送ゲートに印加する変曲点制御電圧を生成する第１電圧生成部と、前記遮光画素の前記転送ゲートに印加する変曲点制御電圧であって、前記白リセット特性を取得するための変曲点制御電圧を生成する第２電圧生成部とを更に備えることが好ましい。

[0146] この構成によれば、有効画素の転送ゲートに印加する変曲点制御電圧を生成する第１電圧生成部と、遮光画素の転送ゲートに印加する変曲点制御電圧を生成する第２電圧生成部とが個別に設けられている。そのため、撮像動作時において、個体別の変曲点制御電圧を求めるためのキャリブレーションを容易に行うことができる。

[0147] （４）前記変曲点制御電圧算出部により算出された変曲点制御電圧を前記撮像条件と対応付けてキャリブレーションテーブルに登録する登録部と、前記撮像条件に対応する変曲点制御電圧を前記キャリブレーションテーブルから特定し、特定した変曲点制御電圧を前記第１電圧生成部に生成させる変曲点制御電圧設定部とを更に備えることが好ましい。

[0148] この構成によれば、変曲点制御電圧が算出される都度、算出された変曲点制御電圧が撮像条件と対応付けてキャリブレーションテーブルに登録される

。そのため、撮像回数が増大するにつれて、キャリブレーションテーブルに登録される変曲点制御電圧の個数を増大させることができる。そして、ある程度の個数の変曲点制御電圧がキャリブレーションテーブルに登録されると、以後、キャリブレーションを行わなくても、キャリブレーションテーブルに登録された変曲点制御電圧を用いて撮像条件に応じた有効画素の変曲点制御電圧を特定することができる。その結果、撮像条件に応じた変曲点制御電圧を速やかに特定することができる。

[0149] （５）前記第２電圧生成部は、１フレーム期間において、複数の変曲点制御電圧を生成し、それぞれ、異なる遮光画素に供給することが好ましい。

[0150] この構成によれば、１フレーム期間において、異なる遮光画素に異なる変曲点制御電圧が供給されるため、１フレーム単位で白リセット特性を得ることができる。

[0151] （６）前記白リセット特性は、前記変曲点の画素値と前記変曲点制御電圧との相関関係を示す変曲点特性に対して前記撮像条件に応じたオフセット成分を持ち、前記目標値算出部は、前記撮像条件に応じたオフセット成分を特定するための関数を予め備え、当該関数を用いて前記撮像条件に応じたオフセット成分を特定し、特定したオフセット成分を前記目標画素値に加算して前記白リセット目標値を算出することが好ましい。

[0152] この構成によれば、撮像条件に応じたオフセット成分を特定するための関数を用いて撮像条件に応じたオフセット成分が特定され、そのオフセット成分が目標画素値に加算されて白リセット目標値が算出される。したがって、撮像条件に応じたオフセット成分を正確に特定することができる。また、撮像条件に応じたオフセット成分は個体間のばらつきがほとんどないことが知られているため、個体別の関数を用意しなくても、全個体共通の関数を個体撮像装置に設ければよい。

請求の範囲

［請求項1］ 複数の光電変換特性が変曲点で切り替わる光電変換特性を持つ固体撮像装置であって、

受光素子、フローティングディフュージョン、及び前記受光素子で蓄積された電荷を前記フローティングディフュージョンに転送する転送ゲートを含む撮像素子と、

前記受光素子に電荷を注入する白リセット処理と、前記白リセット処理の終了後、前記転送ゲートに変曲点制御電圧を所定のリーク期間印加するリーク処理と、前記リーク処理の終了後、前記受光素子に残存する電荷を前記フローティングディフュージョンに転送する転送処理と、前記転送処理の終了後、前記フローティングディフュージョンの電位を白リセット信号として前記撮像素子から読み出す読出処理とを含む白リセット信号出力処理を実行する撮像素子制御部と、

前記撮像素子制御部に、前記白リセット信号出力処理を、前記変曲点制御電圧を変えて複数回実行させ、複数の白リセット信号を取得する白リセット信号取得部と、

前記白リセット信号取得部により取得された複数の白リセット信号に基づき、前記白リセット信号と前記変曲点制御電圧との相関関係を示す白リセット特性を算出する白リセット特性算出部と、

撮像条件に基づいて、前記変曲点の画素値を所定の目標画素値にするための白リセット信号の目標値である白リセット目標値を算出する目標値算出部と、

前記目標値算出部により算出された白リセット目標値に対応する変曲点制御電圧を、前記白リセット特性を用いて算出する変曲点制御電圧算出部とを備える固体撮像装置。

［請求項2］ 前記撮像素子は、前記受光素子が遮光されていない有効画素と、前記受光素子が遮光された遮光画素とを含み、

前記撮像素子制御部は、前記有効画素の撮像動作時に前記遮光画素

に対して白リセット信号出力処理を実行する請求項１記載の固体撮像装置。

［請求項3］ 前記有効画素の前記転送ゲートに印加する変曲点制御電圧を生成する第１電圧生成部と、

前記遮光画素の前記転送ゲートに印加する変曲点制御電圧であって、前記白リセット特性を取得するための変曲点制御電圧を生成する第２電圧生成部とを更に備える請求項２記載の固体撮像装置。

［請求項4］ 前記変曲点制御電圧算出部により算出された変曲点制御電圧を前記撮像条件と対応付けてキャリブレーションテーブルに登録する登録部と、

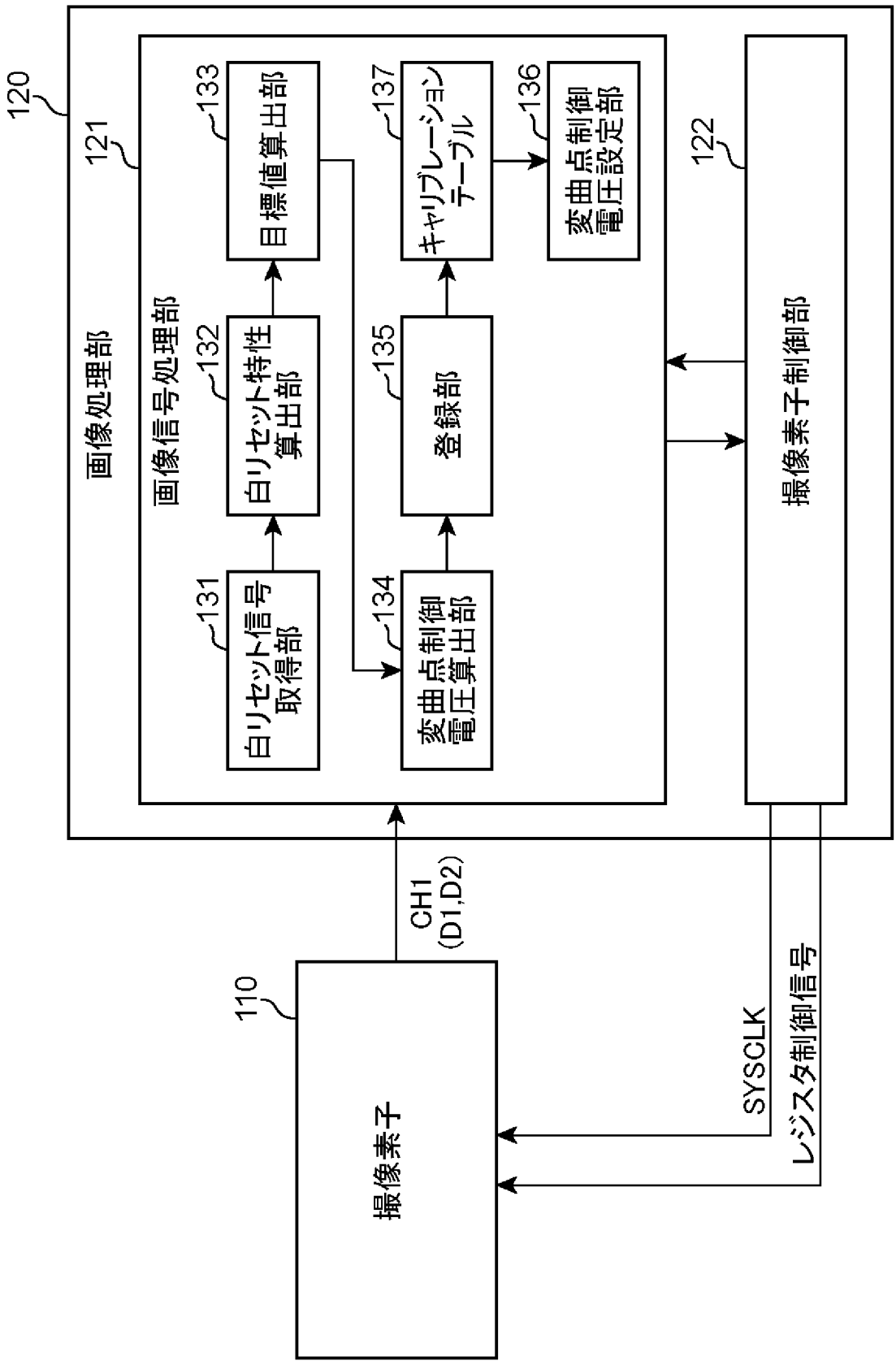
前記撮像条件に対応する変曲点制御電圧を前記キャリブレーションテーブルから特定し、特定した変曲点制御電圧を前記第１電圧生成部に生成させる変曲点制御電圧設定部とを更に備える請求項３記載の固体撮像装置。

［請求項5］ 前記第２電圧生成部は、１フレーム期間において、複数の変曲点制御電圧を生成し、それぞれ、異なる遮光画素に供給する請求項３又は４記載の固体撮像装置。

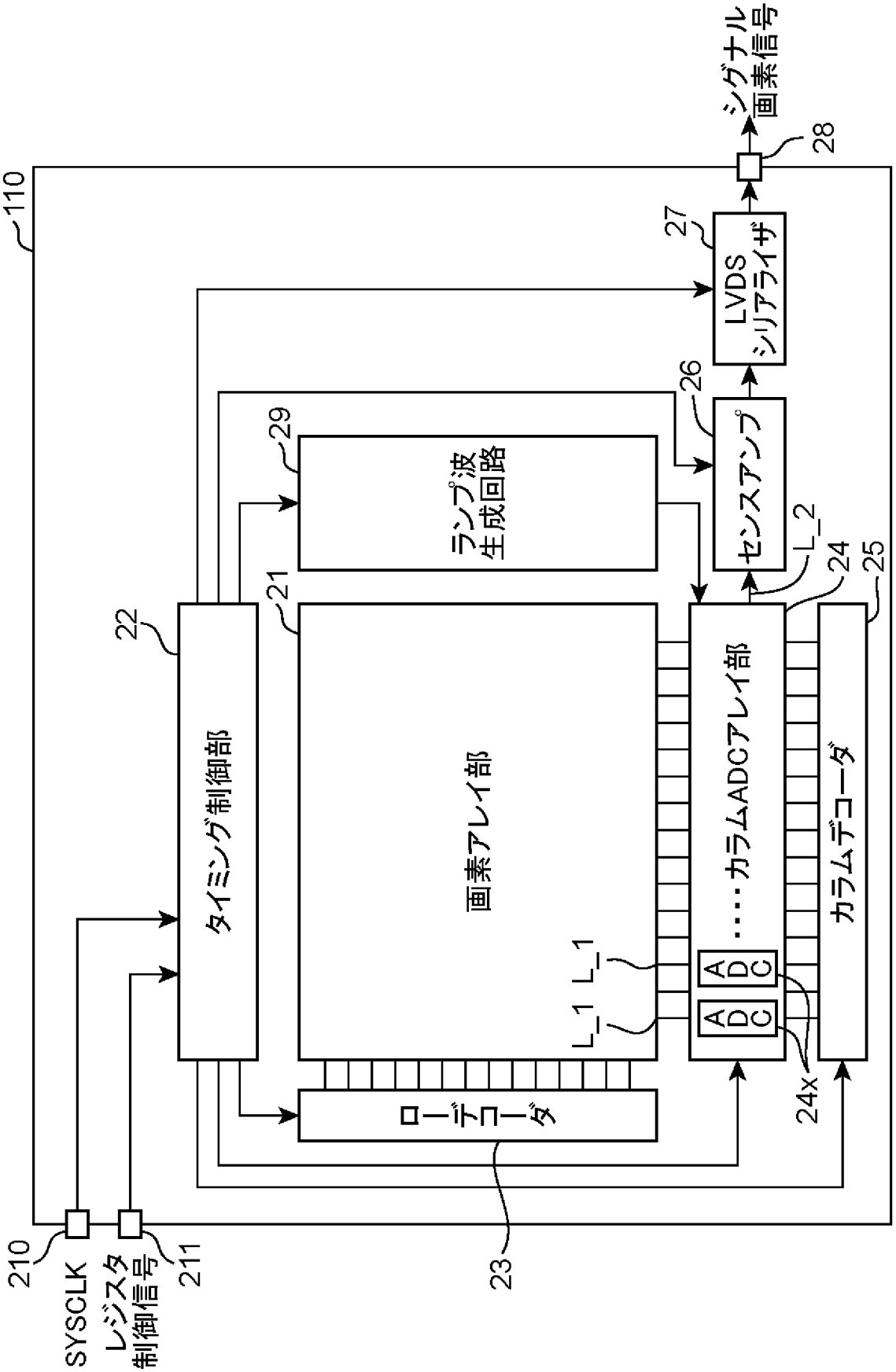
［請求項6］ 前記白リセット特性は、前記変曲点の画素値と前記変曲点制御電圧との相関関係を示す変曲点特性に対して前記撮像条件に応じたオフセット成分を持ち、

前記目標値算出部は、前記撮像条件に応じたオフセット成分を特定するための関数を予め備え、当該関数を用いて前記撮像条件に応じたオフセット成分を特定し、特定したオフセット成分を前記目標画素値に加算して前記白リセット目標値を算出する請求項１～５のいずれかに記載の固体撮像装置。

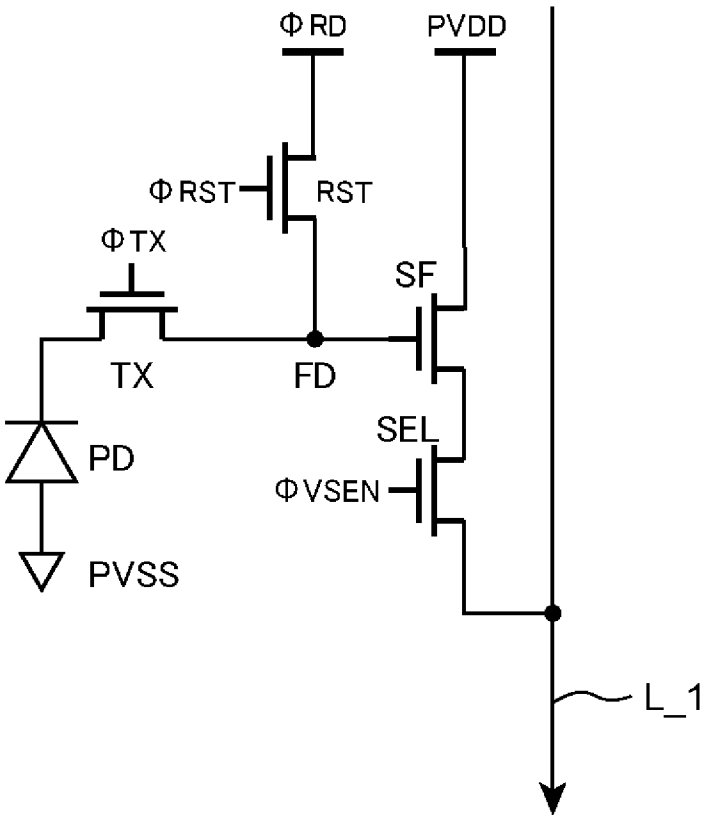
[図1]


120
画像処理部
121
画像信号処理部
131
白リセット信号取得部
132
白リセット特性算出部
133
目標値算出部
134
変曲点制御電圧算出部
135
登録部
136
変曲点制御電圧設定部
137
キャリブレーションテーブル
122
撮像素子制御部
110
撮像素子
CH1
(D1,D2)
SYSCLK
レジスタ制御信号

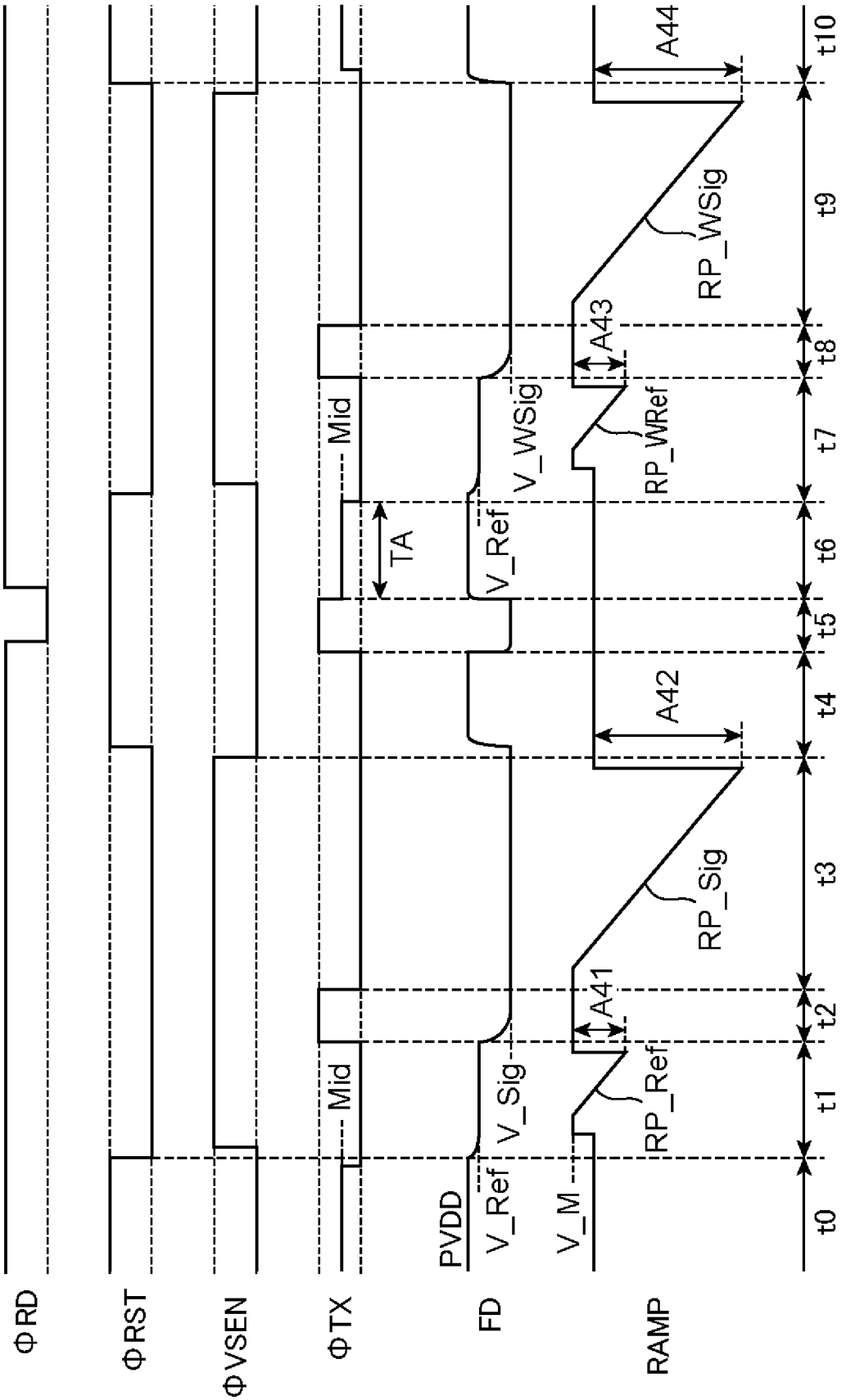
[図2]


110
シグナル
画素信号
28
27
LVDS
シリアライザ
26
センスアンプ
29
ランプ波
生成回路
L_2
24
25
22
21
タイミング制御部
画素アレイ部
・・・カラムADCアレイ部
カラムデコーダ
ADC
ADC
L_1
L_1
ローデコーダ
24x
23
210
SYSCLK
211
レジスタ
制御信号

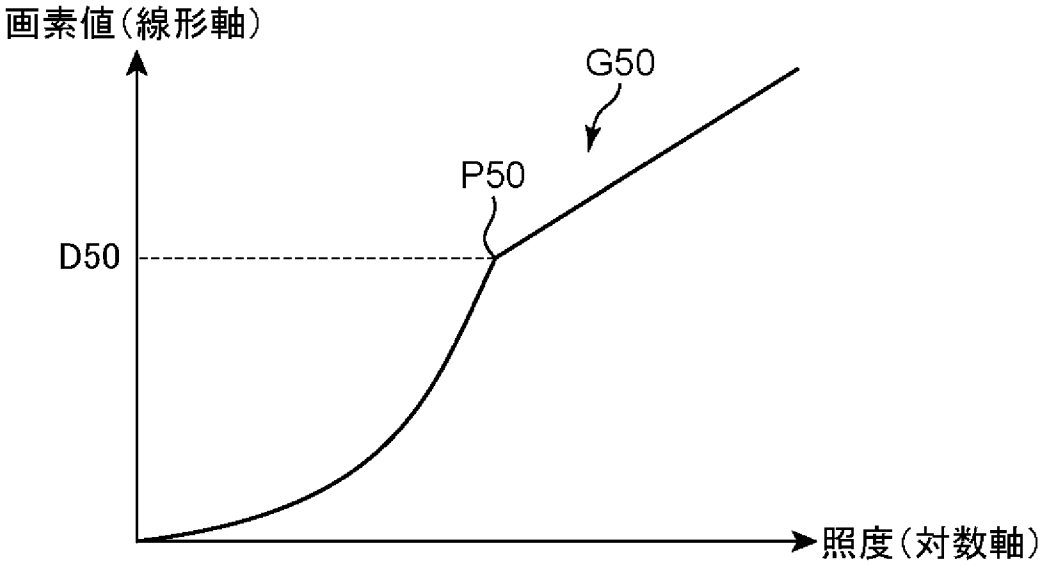
[図3]



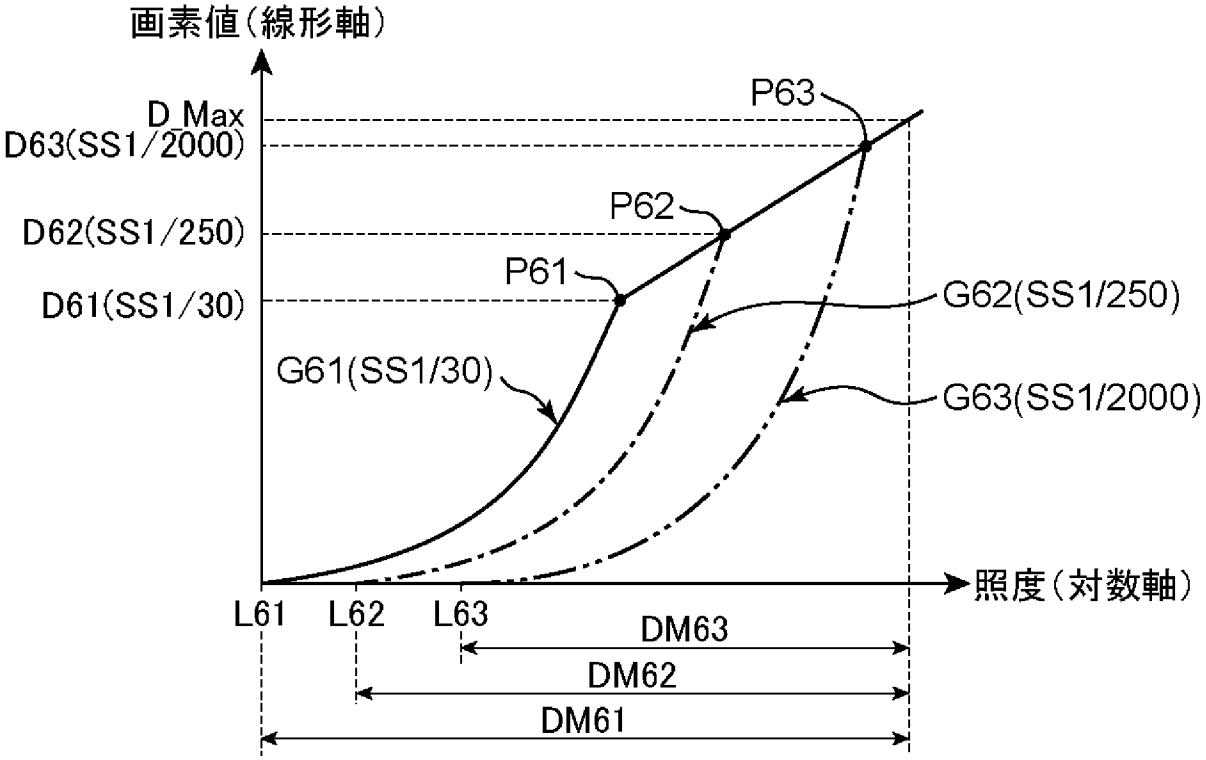
[図4]


ΦRD
ΦRST
ΦVSEN
ΦTX
FD
RAMP
PVDD
V_Ref
V_Sig
V_M
Mid
Mid
TA
V_Ref
V_WSig
RP_Ref
A41
RP_Sig
A42
RP_WRef
A43
RP_WSig
A44
t0
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10

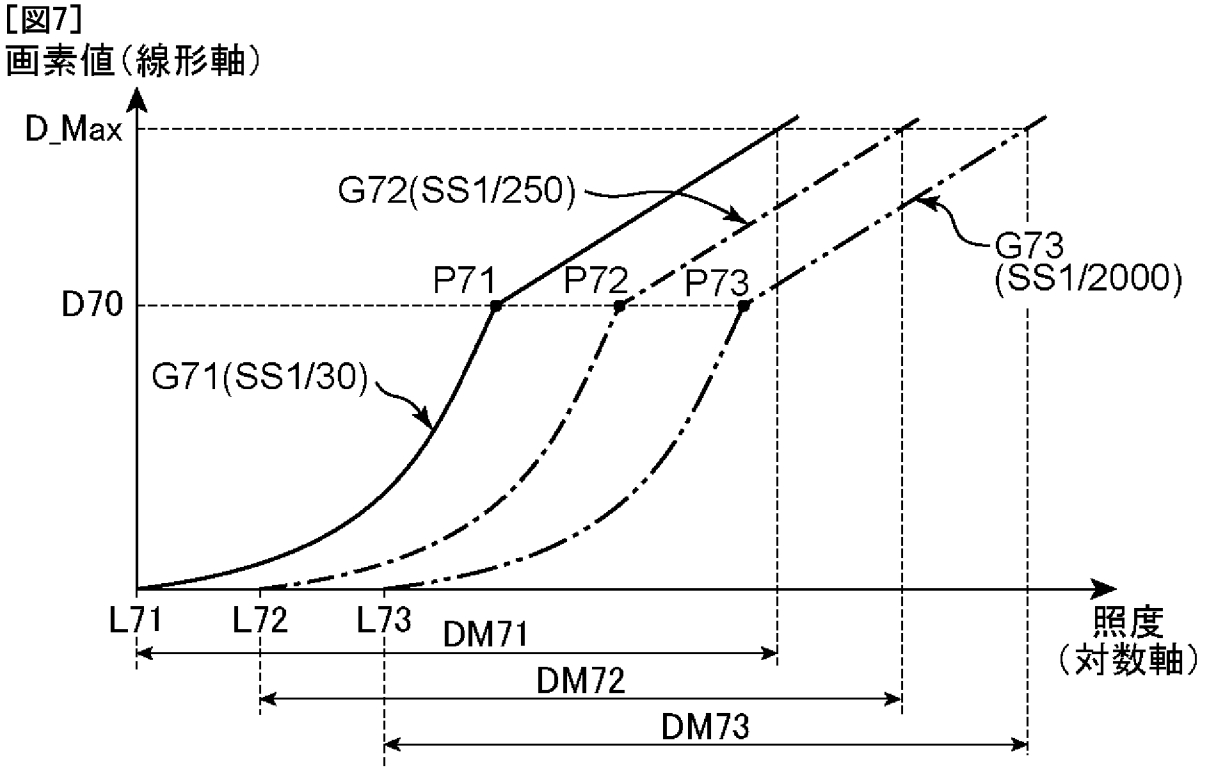
[図5]


画素値(線形軸)
G50
P50
D50
照度(対数軸)

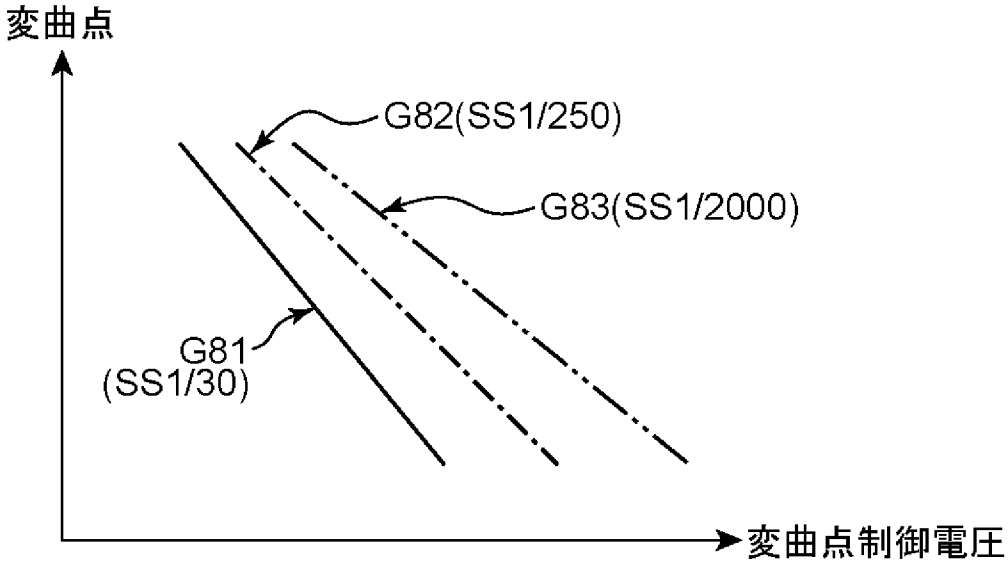
[図6]


画素値(線形軸)
D Max
D63(SS1/2000)
D62(SS1/250)
D61(SS1/30)
P63
P62
P61
G62(SS1/250)
G61(SS1/30)
G63(SS1/2000)
照度(対数軸)
L61
L62
L63
DM63
DM62
DM61

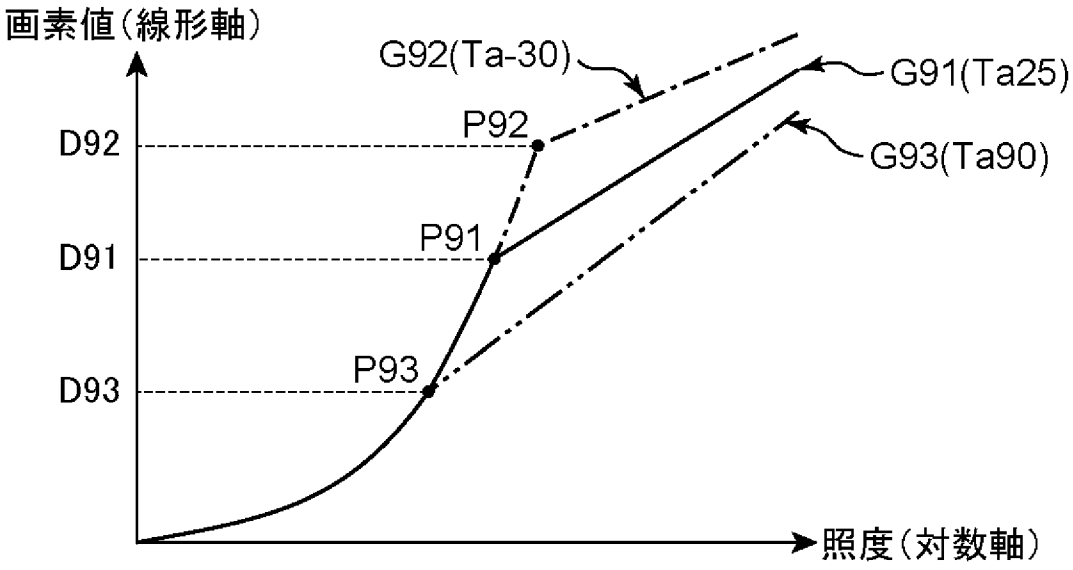
[図7]


画素値(線形軸)
D_Max
D70
G72(SS1/250)
G73
(SS1/2000)
P71
P72
P73
G71(SS1/30)
L71
L72
L73
DM71
DM72
DM73
照度
(対数軸)

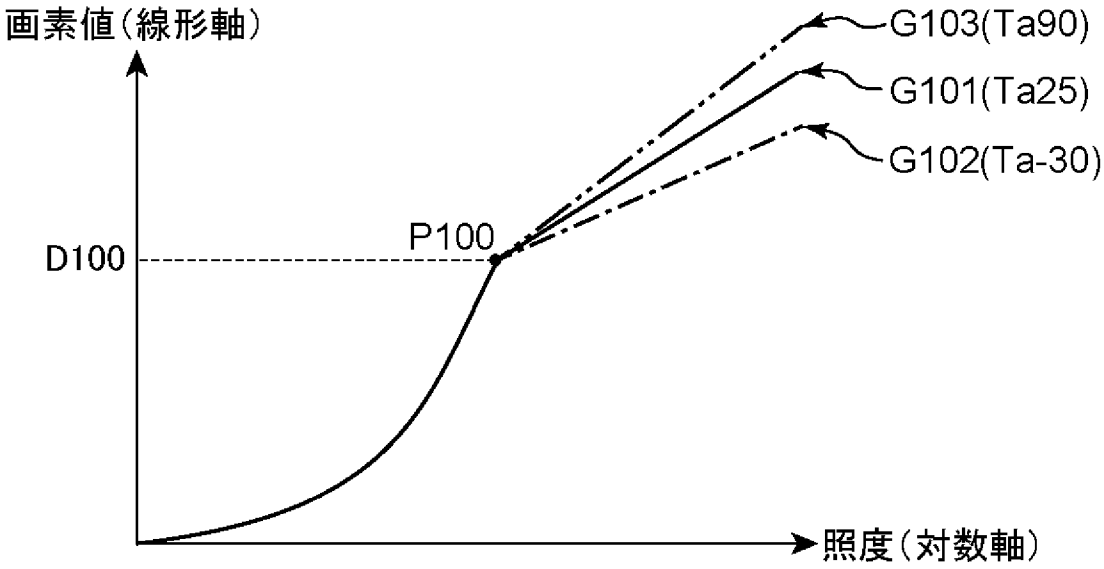
[図8]


変曲点
G82(SS1/250)
G83(SS1/2000)
G81
(SS1/30)
変曲点制御電圧

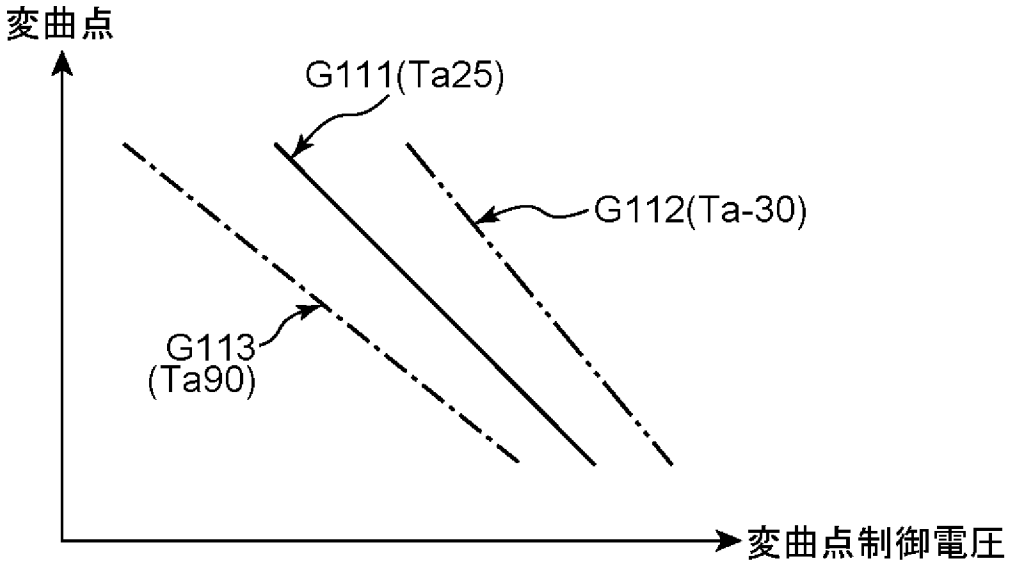
[図9]


画素値(線形軸)
G92(Ta-30)
G91(Ta25)
G93(Ta90)
P92
P91
P93
D92
D91
D93
照度(対数軸)

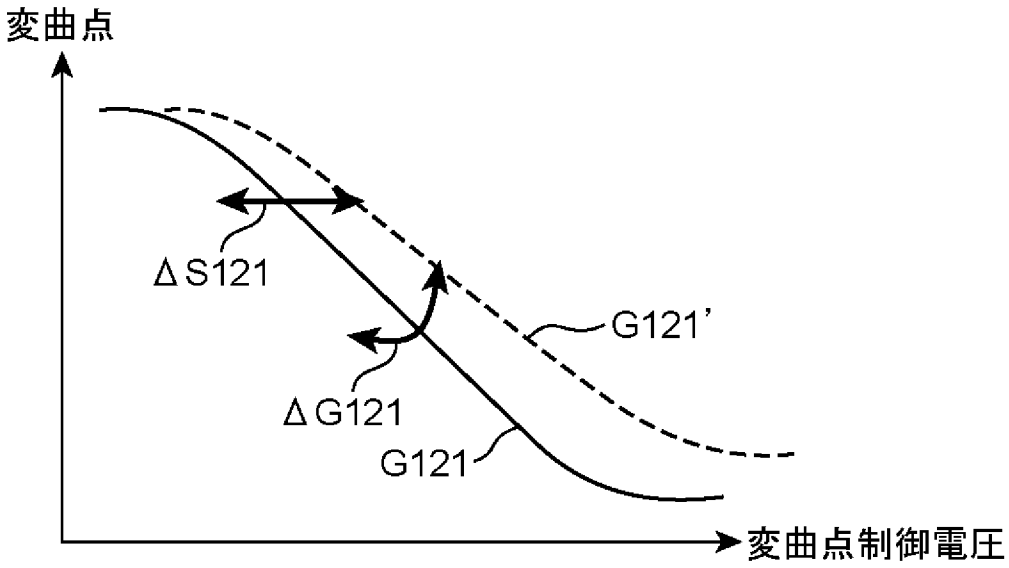
[図10]


画素値(線形軸)
G103(Ta90)
G101(Ta25)
G102(Ta-30)
P100
D100
照度(対数軸)

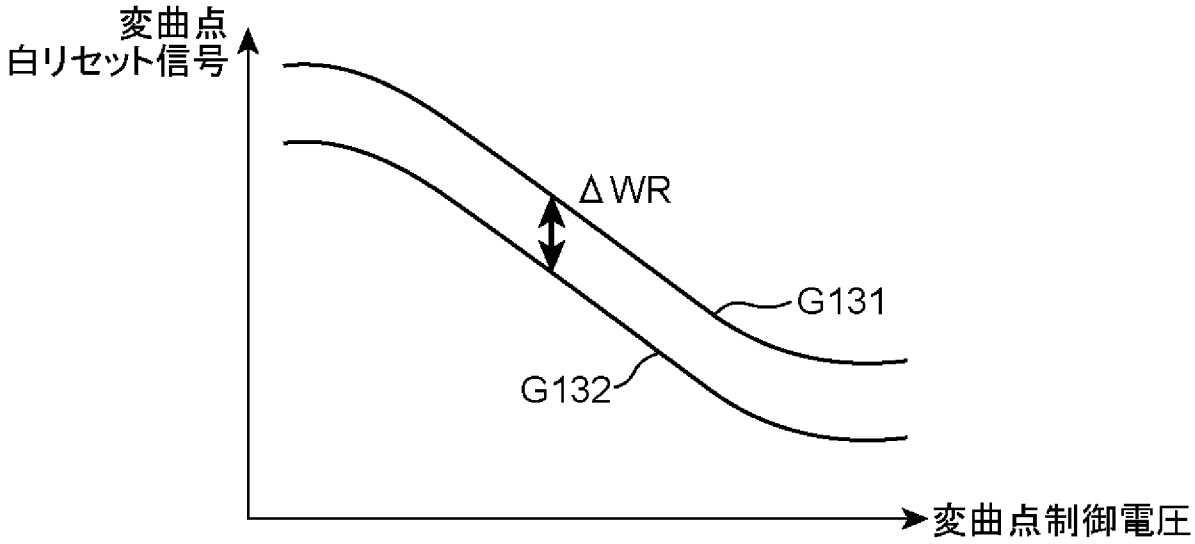
[図11]


変曲点
G111(Ta25)
G112(Ta-30)
G113
(Ta90)
変曲点制御電圧

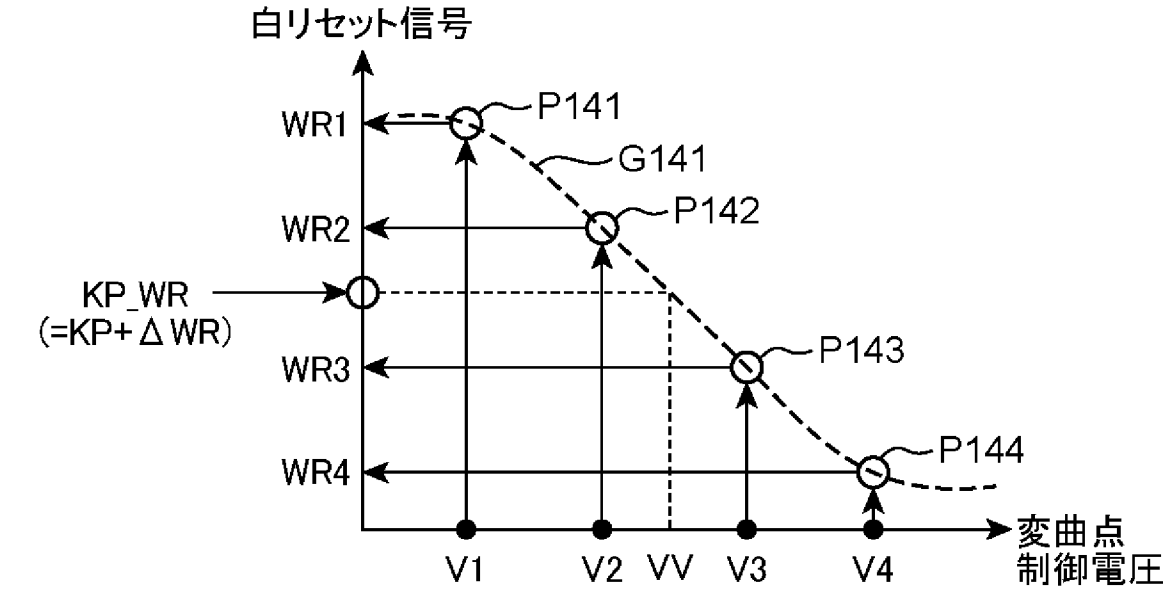
[図12]


変曲点
ΔS121
G121'
ΔG121
G121
変曲点制御電圧

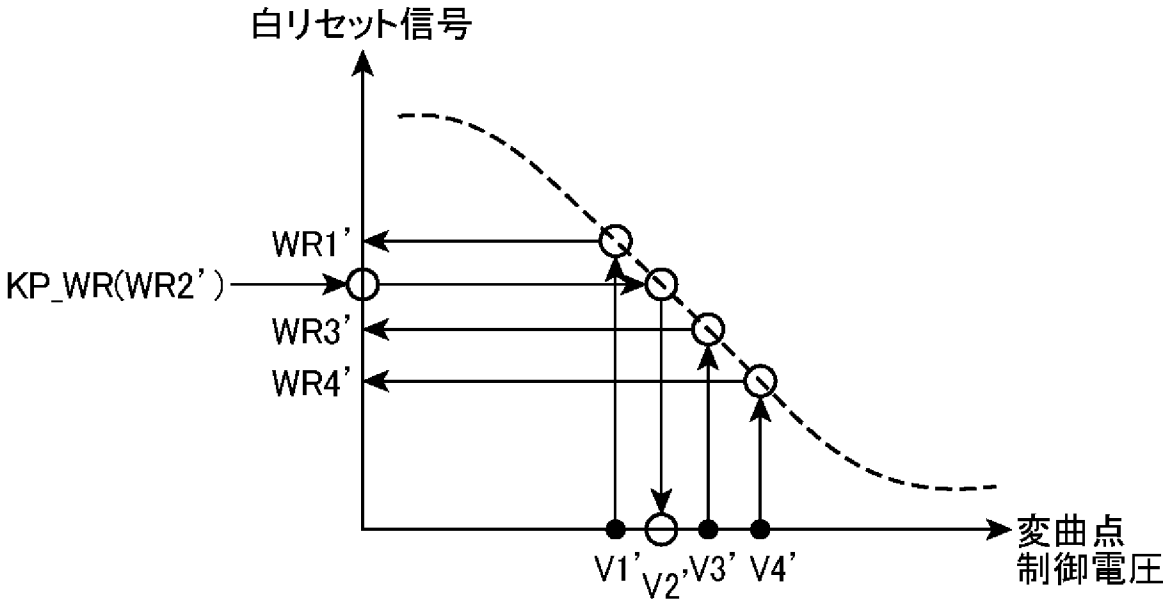
[図13]



[図14]

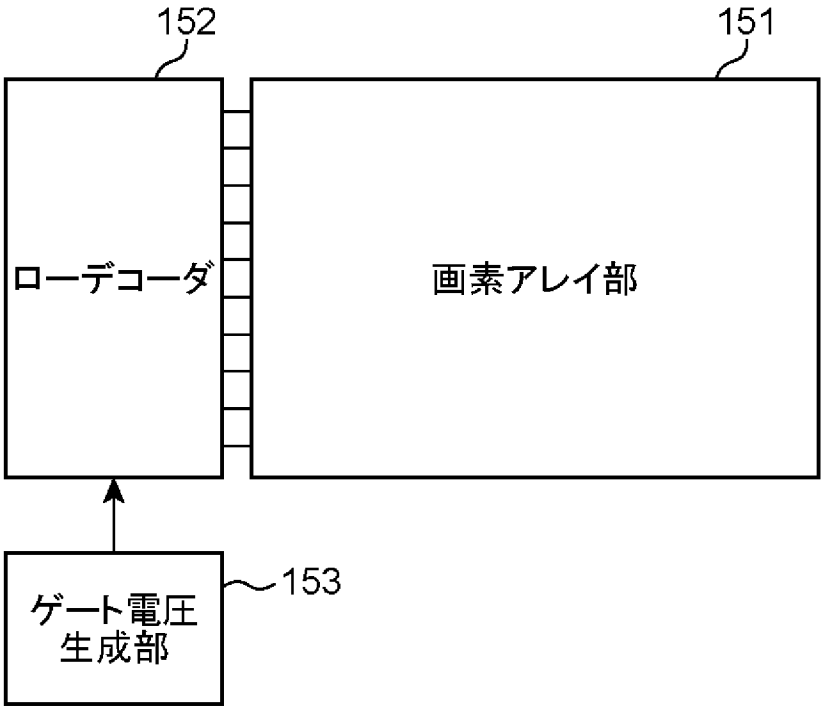

白リセット信号
WR1
WR2
KP_WR
(=KP+ΔWR)
WR3
WR4
P141
G141
P142
P143
P144
V1
V2
VV
V3
V4
変曲点
制御電圧

(A)

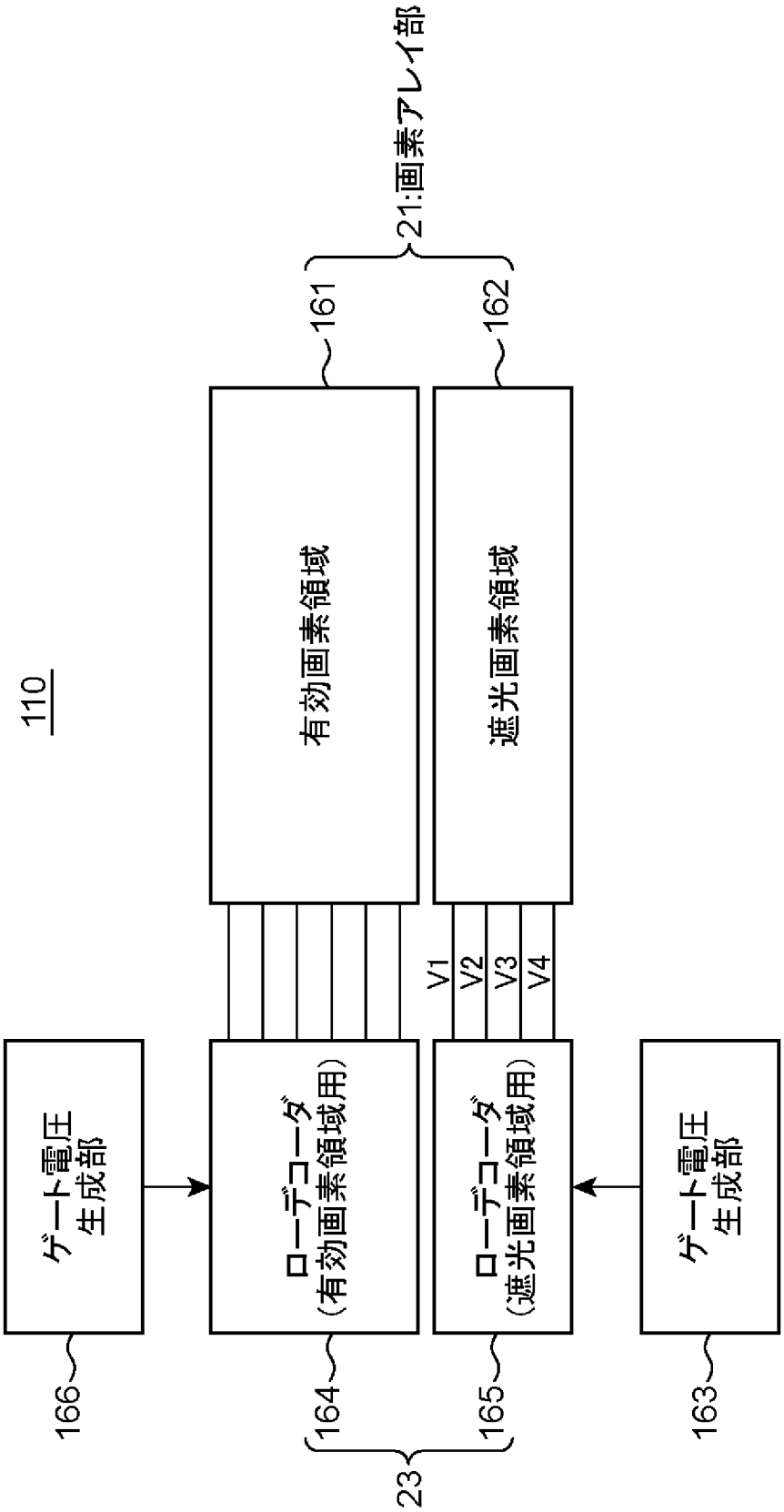

白リセット信号
WR1'
KP_WR(WR2')
WR3'
WR4'
V1'
V2'
V3'
V4'
変曲点
制御電圧

(B)

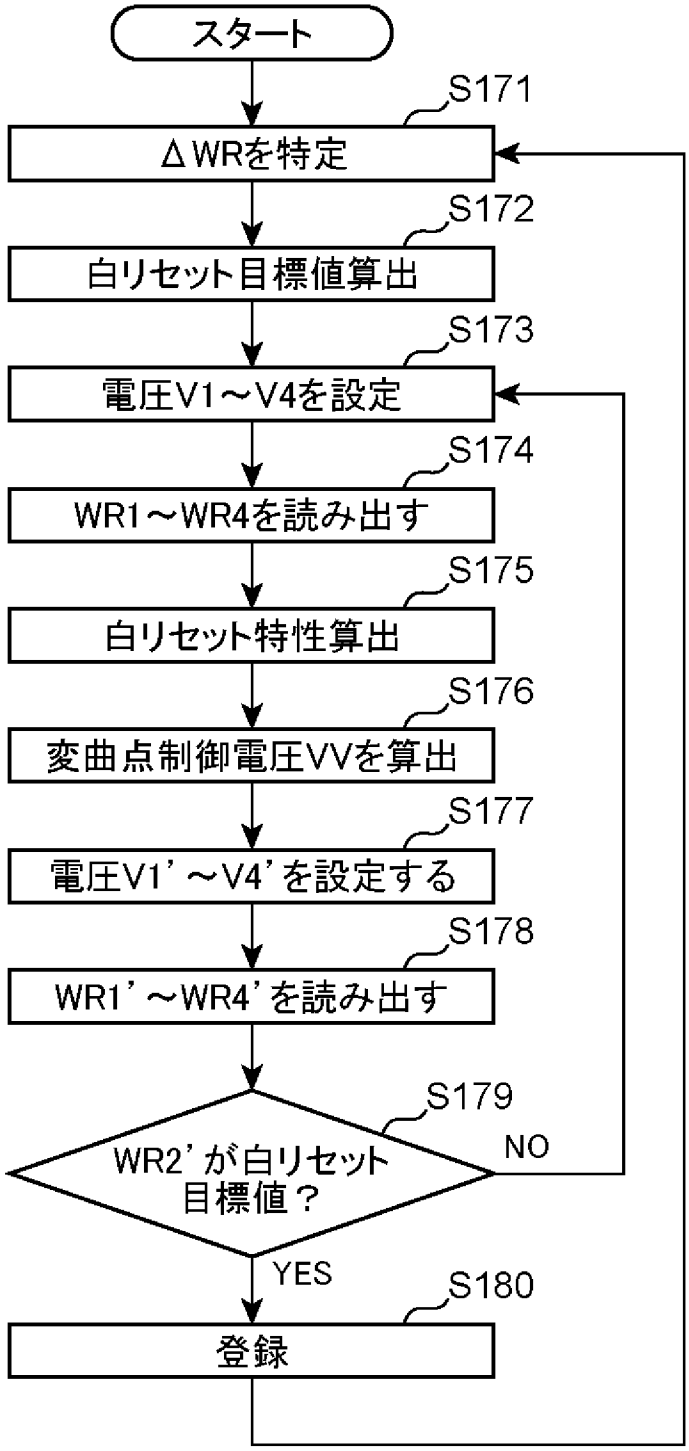
[図15]



[図16]


110
21:画素アレイ部
161
162
有効画素領域
遮光画素領域
V1
V2
V3
V4
ゲート電圧
生成部
ローデコーダ
(有効画素領域用)
ローデコーダ
(遮光画素領域用)
ゲート電圧
生成部
166
164
165
163
23

[図17]


スタート
S171
ΔWRを特定
S172
白リセット目標値算出
S173
電圧V1～V4を設定
S174
WR1～WR4を読み出す
S175
白リセット特性算出
S176
変曲点制御電圧VVを算出
S177
電圧V1'～V4'を設定する
S178
WR1'～WR4'を読み出す
S179
WR2'が白リセット目標値？
NO
YES
S180
登録

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/004857

A. CLASSIFICATION OF SUBJECT MATTER
H04N5/355(2011.01)i, *H01L27/146*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N5/355, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-140666 A (Renesas Technology Corp.), 01 June 2006 (01.06.2006), paragraphs [0013] to [0073]; fig. 1 to 14 (Family: none)	1-6
A	WO 2011/132393 A1 (Konica Minolta Opto, Inc.), 27 October 2011 (27.10.2011), paragraphs [0089] to [0120]; fig. 9, 10 (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 September, 2013 (20.09.13)	01 October, 2013 (01.10.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／００４８５７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/355(2011.01)i, H01L27/146(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/355, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2006-140666 A (株式会社ルネサステクノロジ) 2006.06.01, 段落【0013】-【0073】, 第1-14図 (ファミリーなし)	1-6
A	WO 2011/132393 A1 (コニカミノルタオプト株式会社) 2011.10.27, 段落【0089】-【0120】, 第9,10図 (ファミリーなし)	1-6

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２０．０９．２０１３	０１．１０．２０１３

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｐ　３３５４
藤原　敬利
電話番号　０３－３５８１－１１０１　内線　３５８１