

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 9 月 22 日(22.09.2011)

PCT

(10) 国際公開番号
WO 2011/114495 A1

- (51) 国際特許分類:
G06F 9/48 (2006.01)
- (21) 国際出願番号: PCT/JP2010/054708
- (22) 国際出願日: 2010 年 3 月 18 日(18.03.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山下 浩一郎 (YAMASHITA, Koichiro) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 山内 宏真 (YAMAUCHI, Hiromasa) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 宮▲崎▼ 清志 (MIYAZAKI, Kiyoshi) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).

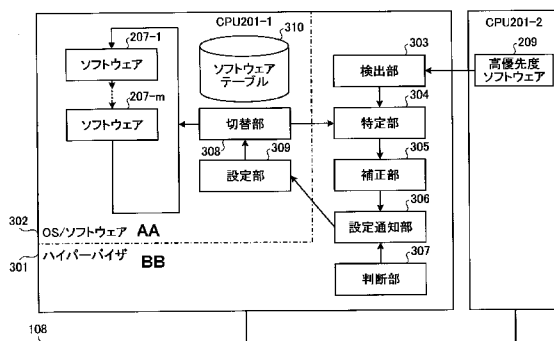
- (74) 代理人: 酒井 昭徳 (SAKAI, Akinori); 〒1006020 東京都千代田区霞が関 3 丁目 2 番 5 号 霞が関ビルディング 20 階 酒井総合特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: MULTI-CORE PROCESSOR SYSTEM, THREAD SWITCHING CONTROL METHOD, AND THREAD SWITCHING CONTROL PROGRAM

(54) 発明の名称: マルチコアプロセッサシステム、スレッド切り替え制御方法、およびスレッド切り替え制御プログラム

[図3]



207-1, 207-m Software
209 High priority software
303 Detection unit
304 Specification unit
305 Compensation unit
306 Setting notification unit
307 Decision unit

308 Switching unit
309 Setting unit
310 Software table
AA OS/software
BB Hypervisor

(57) Abstract: A CPU (201-1) uses a switching unit (308) to switch software (207-1 - 207-m) as a plurality of threads for a predetermined switching time. The CPU (201-1) uses a specification unit (304) to specify whether the thread switching carried out by the CPU (201-1) using the switching unit (308) exceeded the predetermined switching time. If the CPU (201-1) specifies that the thread switching exceeded the predetermined switching time, the CPU (201-1) uses a compensation unit (305) to compensate such that the predetermined switching time is reduced on the basis of the difference between the actual switching time in which the plurality of threads were switched and the predetermined switching time. The CPU (201-1) uses a setting unit (309) to set the compensated switching time as the thread switching time.

(57) 要約: CPU (201-1) は、切替部 (308) によって、複数のスレッドとしてソフトウェア (207-1) ~ ソフトウェア (207-m) を所定の切り替え時間で切り替えている。CPU (201-1) は、特定部 (304) によって、CPU (201-1) が切替部 (308) によって所定の切り替え時間を越えてスレッドの切り替えを行ったかを特定する。CPU (201-1) が特定された場合、CPU (201-1) は、補正部 (305) によって複数のスレッドの切り替えを行った実切り替え時間と所定の切り替え時間との差分に基づいて、所定の切り替え時間が短縮するように補正する。CPU (201-1) は、設定部 (309) によって、補正した切り替え時間をスレッドの切り替え時間に設定する。

U (201-1) が特定された場合、CPU (201-1) は、補正部 (305) によって複数のスレッドの切り替えを行った実切り替え時間と所定の切り替え時間との差分に基づいて、所定の切り替え時間が短縮するように補正する。CPU (201-1) は、設定部 (309) によって、補正した切り替え時間をスレッドの切り替え時間に設定する。

WO 2011/114495 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

マルチコアプロセッサシステム、スレッド切り替え制御方法、およびスレッド切り替え制御プログラム

技術分野

[0001] 本発明は、スレッド切り替えを制御するマルチコアプロセッサシステム、スレッド切り替え制御方法、およびスレッド切り替え制御プログラムに関する。

背景技術

[0002] 従来から、1つのCPU（Central Processing Unit）に対して、複数のプログラムを動作させるマルチプログラミング技術が存在する。具体的には、OS（Operating System）は、CPUの処理時間を分割する機能を有し、分割された時間にプロセスやスレッドを割り当てることにより、CPUが同時に複数のプロセスやスレッドを動作する。ここで、プロセスやスレッドはプログラムの実行単位である。ソフトウェアは、プロセスやスレッドの集まりにて構成されている。また一般的に、プロセス間ではメモリ空間が独立しており、スレッド間ではメモリ空間を共有する。

[0003] スレッドの切り替え時間の変更を使用する技術として、スレッド数が多いときに切り替え時間を短くするように変更することで、各スレッドの処理回数を増やし、CPUのリソースを各スレッドに配分するという技術が開示されている（たとえば、下記特許文献1を参照。）。

[0004] また、コンピュータシステムに複数のCPUを搭載するマルチコアプロセッサシステムの技術も開示されている。これにより、前述のマルチプログラミング技術において、OSは複数のプログラムを複数のCPUに対して割り当てることができる。また、マルチコアプロセッサシステムの構成として、各CPUが専用のメモリを保持し、それ以外のデータが必要な場合には、共

有メモリにアクセスを行うことを特徴とする、分散システムの構造を持ったマルチコアプロセッサシステムが開示されている。また、各CPUがキャッシュメモリのみを保持し、必要なデータは共有メモリに格納することを特徴とする、集中共用システムの構造を持ったマルチコアプロセッサシステムも開示されている。

- [0005] マルチコアプロセッサシステムでのスレッドの切り替え技術として、タイムスライスで実行する特定のプロセスと高優先プロセスとの衝突後、再開した際に遅延分をタイムスライスに加算して特定のプロセスを再開するという技術が開示されている（たとえば、下記特許文献2を参照。）。

先行技術文献

特許文献

- [0006] 特許文献1：特開平3-019036号公報
特許文献2：特開平8-314740号公報

発明の概要

発明が解決しようとする課題

- [0007] しかしながら、上述した従来技術において、集中共用システムの構造を持つマルチコアプロセッサシステムは、アクセス競合によるコンテンション状態となると、リアルタイム処理の完了時間が決められた時間を超過するという問題があった。リアルタイム処理とは、設計上あらかじめ決められた時刻に処理を終了しなければならない処理、および割り込み動作における、割り込みイベント発生から割り込み処理本体の開始時間までの許容されるインターバル時間が定められた処理をさす。
- [0008] 特許文献1および2にかかる技術を適用しても、アクセス競合によるコンテンション状態の判断をしておらず、コンテンション状態ではリアルタイム処理の応答性能が破たんするという問題があった。
- [0009] 本発明は、上述した従来技術による問題点を解消するため、リアルタイム処理の応答性能を保証するマルチコアプロセッサシステム、スレッド切り替

え制御方法、およびスレッド切り替え制御プログラムを提供することを目的とする。

課題を解決するための手段

- [0010] 上述した課題を解決し、目的を達成するため、開示のマルチコアプロセッサシステムは、複数のコアのおののみに割り当てた複数のスレッドを所定の切り替え時間で切り替え、切り替えによって所定の切り替え時間を越えて複数のスレッドの切り替えを行ったコアを特定し、特定されたコアにおいて複数のスレッドの切り替えを行った実切り替え時間と所定の切り替え時間との差分に基づいて、所定の切り替え時間が短縮するように補正し、補正された切り替え時間を所定の切り替え時間に設定することを要件とする。

発明の効果

- [0011] 本マルチコアプロセッサシステム、スレッド切り替え制御方法、およびスレッド切り替え制御プログラムによれば、リアルタイム処理の応答性能を保証できるという効果を奏する。

図面の簡単な説明

- [0012] [図1]本実施の形態にかかるマルチコアプロセッサシステム100のハードウェア構成を示すブロック図である。
- [図2]マルチコアプロセッサシステム100の各CPUのハードウェア構成とソフトウェア構成を示すブロック図である。
- [図3]マルチコアプロセッサシステム100の機能的構成を示すブロック図である。
- [図4]単一のCPUで実行している場合のソフトウェアのディスパッチ状態を示す説明図である。
- [図5]従来例におけるマルチコアプロセッサシステム100にて、コンテンション状態によるリアルタイム応答の遅延を示す説明図である。
- [図6]本実施の形態におけるマルチコアプロセッサシステム100にて、タイムスライスを補正した後の状態を示す説明図である。
- [図7]ソフトウェアテーブル310の記憶内容の一例を示す説明図である。

[図8] リアルタイム処理の一例を示す説明図である。

[図9] マルチコアプロセッサシステム100でのスレッド切り替えを含むタイムスライス設定処理を示すフローチャートである。

[図10] ハイパーバイザによるタイムスライス補正処理を示すフローチャートである。

発明を実施するための形態

[0013] 以下に添付図面を参照して、本発明にかかるマルチコアプロセッサシステム、スレッド切り替え制御方法、およびスレッド切り替え制御プログラムの好適な実施の形態を詳細に説明する。

[0014] (マルチコアプロセッサシステムのハードウェア構成)

図1は、本実施の形態にかかるマルチコアプロセッサシステム100のハードウェア構成を示すブロック図である。マルチコアプロセッサシステムとは、コアが複数搭載されたプロセッサを含むコンピュータのシステムである。コアが複数搭載されていれば、複数のコアが搭載された単一のプロセッサでもよく、シングルコアのプロセッサが並列されているプロセッサ群でもよい。なお、本実施の形態では、説明を単純化するため、シングルコアのプロセッサであるCPUが並列されているプロセッサ群を例にあげて説明する。

[0015] マルチコアプロセッサシステム100は、CPUを複数搭載するCPUs 101と、ROM (Read - Only Memory) 102と、RAM (Random Access Memory) 103と、フラッシュROM 104と、を備えている。また、マルチコアプロセッサシステム100は、ユーザやその他の機器との入出力装置として、ディスプレイ105と、I/F (Interface) 106と、を備えている。また、各構成部はバス108によってそれぞれ接続されている。本実施の形態にかかるハードウェアの構成は、集中共用システムを適用した構成となっている。

[0016] ここで、CPUs 101は、マルチコアプロセッサシステム100の全体の制御を司る。また、CPUs 101は、シングルコアのプロセッサを並列して接続したすべてのCPUを指している。詳細は、図2にて後述する。R

OM102は、ブートプログラムなどのプログラムを記憶している。RAM103は、CPUs101のワークエリアとして使用される。

[0017] フラッシュROM104は、書き換えが可能であり、電源を切ってもデータが消えないという特徴を持つ不揮発性の半導体メモリである。フラッシュROM104は、ソフトウェアプログラムや、データを記憶している。フラッシュROM104の代わりに、磁気ディスクであるHDD（ハードディスクドライブ）にて記憶してもよいが、フラッシュROM104を使用することにより、機械的に動作するHDDに比べて振動に強くすることができる。たとえば、マルチコアプロセッサシステム100で構成する装置に対し、強い振動があった場合でも、フラッシュROM104であればデータが消える可能性を低くすることができる。

[0018] ディスプレイ105は、カーソル、アイコンあるいはツールボックスをはじめ、文書、画像、機能情報などのデータを表示する。ディスプレイ105は、たとえば、TFT液晶ディスプレイなどを採用することができる。また、ディスプレイ105は、タッチパネル式で入力する形態でもよい。

[0019] I/F106は、通信回線を通じてLAN（Local Area Network）、WAN（Wide Area Network）、インターネットなどのネットワーク107に接続され、このネットワーク107を介して他の装置に接続される。そして、I/F106は、ネットワーク107と内部のインターフェースを司り、外部装置からのデータの入出力を制御する。I/F106には、たとえばモデムやLANアダプタなどを採用することができる。

[0020] 図2は、マルチコアプロセッサシステム100の各CPUのハードウェア構成とソフトウェア構成を示すブロック図である。マルチコアプロセッサシステム100のハードウェア構成は、CPUs101と、共有メモリ203で構成される。CPUs101は、複数のCPUとしてCPU201-1、CPU201-2、・・・、CPU201-nで構成される。

[0021] CPU201-1、CPU201-2、・・・、CPU201-nは、そ

れぞれ、キャッシュメモリ202-1、キャッシュメモリ202-2、・・・、キャッシュメモリ202-nを保持している。各CPUと共有メモリ203は、バス108によってそれぞれ接続されている。以下の記述では、CPU201-1、CPU201-2について記述する。

[0022] また、マルチコアプロセッサシステム100のソフトウェア構成として、CPU201-1は、ハイパーバイザ204-1、OS205-1を実行する。CPU201-1は、OS205-1の制御により、ディスパッチャ206を実行する。同様に、CPU201-1は、OS205-1の制御により、ソフトウェア207-1～ソフトウェア207-mを実行する。同様にCPU201-2も、ハイパーバイザ204-2、OS205-2を実行する。CPU201-1は、OS205-1の制御により、ディスパッチャ206を実行する。また、ハイパーバイザ204-1も、ディスパッチャ206の結果を用いて、本実施の形態での特徴である、タイムスライス補正処理を行う。CPU201-2は、OS205-2の制御により、高優先度ソフトウェア209を実行する。

[0023] CPU201-1がソフトウェア207-1～ソフトウェア207-mを実行する際には、データへのアクセス先が2通りあり、アクセス経路210とアクセス経路211である。同様に、CPU201-2が高優先度ソフトウェア209を実行する際にも、データへのアクセス先が2通りあり、アクセス経路212とアクセス経路213である。また、ハイパーバイザ204-1とハイパーバイザ204-2と、他のCPU上で動作しているハイパーバイザは、ハイパーバイザ間通信214を行う。

[0024] CPU201-1、CPU201-2、・・・、CPU201-nは、マルチコアプロセッサシステム100の制御を司る。CPU201-1、CPU201-2、・・・、CPU201-nは、対称的、均一的に処理が割り付けられたSMP (Symmetric

Multi-processing) でもよい。また、CPU201-1、CPU201-2、・・・、CPU201-nは、処理内容によって分担

するCPUを決めておくASMP (Asymmetric Multi-Processing) でもよい。ASMPの例として、本実施の形態にかかるマルチコアプロセッサシステム100では、CPU201-1にて決められた時間以内に処理を行う必要があるリアルタイム処理208を割り当てている。

[0025] 共有メモリ203は、CPU201-1、CPU201-2、・・・、CPU201-nからアクセス可能な記憶領域である。記憶領域とは、具体的には、たとえば、ROM102、RAM103、フラッシュROM104である。また、たとえば、CPU201-1が、ディスプレイ105に画像データの表示を要求する場合、RAM103に含まれるVRAM (Video RAM) にアクセスし、画像データをVRAMに書き込むことになる。したがって、CPU201-1が、ディスプレイ105へアクセスする場合も、共有メモリ203にアクセスすることに含める。

[0026] また、たとえば、CPU201-1が、I/F106にアクセスする場合も同様である。たとえば、I/F106の具体例がLANアダプタとして、LANアダプタにあるバッファにアクセスする形式か、RAM103にアクセスし、その後LANアダプタに転送する形式かのどちらかになる。どちらの場合であっても、CPU201-1、CPU201-2からみると共有メモリ203にアクセスしていることとなるため、CPU201-1、CPU201-2が、I/F106へアクセスする場合も、共有メモリ203にアクセスすることに含める。同様に、CPU201-1が、I/F106にアクセスする場合も、I/F106を制御するデバイスドライバが用意する共有の記憶領域にアクセスすることになるため、結果、共有メモリ203にアクセスすることになる。

[0027] ハイパーバイザ204-1、ハイパーバイザ204-2は、それぞれCPU201-1、CPU201-2にて動作するプログラムである。ハイパーバイザの機能は、OSとCPUの間にて位置し、OSの監視を行い、OSがハングアップした際にリセットをする他、OSが何もスレッドを実行してい

ない場合に、省電力設定にする。また、ハイパーバイザは、一般のプログラムでは操作できないプロセッサのキャッシュ制御やI/O操作を行うような特殊レジスタを操作する。また、ハイパーバイザは、一般のプログラムでは読み書きできないメモリ上の空間を用いて動作を行う。

[0028] OS 205-1、OS 205-2は、それぞれ、CPU 201-1、CPU 201-2にて動作するプログラムであり、ハイパーバイザ 204-1、ハイパーバイザ 204-2上で動作する。たとえば、OS 205-1は、次に実行するソフトウェアを決めるスケジューラの機能を有する。

[0029] ディスパッチャ 206は、現在動作中のソフトウェアに対して、スケジューラによって決定した次のソフトウェアに切り替える機能を有する。具体的には、たとえば、スケジューラは、ソフトウェア 207-1からソフトウェア 207-2に切り替える場合、CPU 201-1は、ソフトウェア 207-1のプログラムカウンタ等を含むレジスタ情報を退避する。退避後、CPU 201-1は退避されてあったソフトウェア 207-2のレジスタ情報を復帰する。復帰後、CPU 201-1は、ソフトウェア 207-2の処理を前回の切り替えられた時点から継続することができる。

[0030] ソフトウェア 207-1、・・・、ソフトウェア 207-mは、実行コードをCPUが実行することによりある機能を実現する。ソフトウェアは、1つ以上のスレッドで構成される。ソフトウェア 207-1、・・・、ソフトウェア 207-mは、終了時間に関係なく、処理を実行する。

[0031] リアルタイム処理 208は、割り込み信号を受信した際に行う処理となる割り込みハンドラである。割り込みにはハードウェア割り込みとソフトウェア割り込みとがあり、たとえば、ハードウェア割り込みでは、通信デバイスがデータの受信を割り込み信号としてCPUに通知する。通知を受けたCPUは、通信デバイスのデータ受信に対応した割り込みハンドラを実行する。具体的な割り込みハンドラの処理内容としては、受信したデータを通信デバイスの記憶領域からRAM 103、フラッシュROM 104に転送する処理である。割り込み信号を受信したCPUは、割り込み禁止区間でなければ現

在のスレッドの処理を退避し、割り込みハンドラを実行する。

- [0032] 高優先度ソフトウェア209は、ソフトウェアのうち高優先度属性が付与されているソフトウェアである。高優先度のソフトウェアは、ディスパッチ頻度が他のソフトウェアよりも高くなるといった特徴を持つ。また、メモリアクセスなどでリソース競合が起きたときに高優先度でアクセス権を獲得できるといった特徴を持つ。
- [0033] 本実施の形態では、ソフトウェア207-1、・・・、ソフトウェア207-mとリアルタイム処理208はCPU201-1にて実行され、高優先度ソフトウェア209はCPU201-2にて実行される。ソフトウェア207-1～ソフトウェア207-m、高優先度ソフトウェア209の具体例については、図7にて後述する。同様に、リアルタイム処理208の具体例については、図8にて後述する。
- [0034] アクセス経路210は、CPU201-1がキャッシュメモリ202-1にアクセスする経路である。アクセス経路211は、CPU201-1が共有メモリ203にアクセスする経路である。アクセス経路210とアクセス経路211の違いとして、たとえば、ソフトウェア207-1がアクセスしたいデータがキャッシュメモリ202-1にあればアクセス経路210、なければアクセス経路211となる。アクセス経路212、アクセス経路213も同様で、アクセス経路212は、CPU201-2がキャッシュメモリ202-2にアクセスする経路である。アクセス経路213は、CPU201-2が共有メモリ203にアクセスする経路である。
- [0035] アクセス競合によるコンテンションは、複数のCPUが共有メモリ203にアクセスすることで発生する。たとえば、CPU201-1のアクセス経路がアクセス経路211、CPU201-2のアクセス経路がアクセス経路213であるときに、共有メモリ203へのアクセス競合によるコンテンションが発生する。
- [0036] コンテンションが発生すると、ソフトウェアの処理が遅延することになり、ソフトウェアの処理内に存在する割り込み禁止区間も初期状態よりも長く

になってしまう。割り込み禁止区間時に割り込み信号がCPUに通知されても、割り込みハンドラであるリアルタイム処理208を実行できないため、リアルタイム処理208の応答性能の保証を行えない状態となる。コンテンション状態となり、リアルタイム処理208の応答時間の保証が行えない状態を後述する図5にて示す。

[0037] (マルチコアプロセッサシステム100の機能的構成)

次に、マルチコアプロセッサシステム100の機能的構成について説明する。図3は、マルチコアプロセッサシステム100の機能的構成を示すブロック図である。マルチコアプロセッサシステム100は、検出部303と、特定部304と、補正部305と、設定通知部306と、判断部307と、切替部308と、設定部309と、を含む構成である。この制御部となる機能(検出部303～設定部309)は、具体的には、たとえば、図1に示したROM102、RAM103、フラッシュROM104などの記憶装置に記憶されたプログラムをCPU101が実行することにより、その機能を実現する。または、I/F106を経由して他のCPUが実行することにより、その機能を実現してもよい。

[0038] また、マルチコアプロセッサシステム100は、ソフトウェアの優先度を判断するために、ソフトウェアテーブル310にアクセスする。ソフトウェアテーブル310は共有メモリ203に格納されており、たとえばCPU201-1がアクセスする。

[0039] また、CPU201-1、CPU201-2、・・・、CPU201-nは、ハイパーバイザとOS/ソフトウェアを実行する。さらに、一点破線で分割された領域のうち、領域301に図示している検出部303～判断部307は、CPU201-1がハイパーバイザ204-1の機能の一部として実行することにより実現する。同様に、領域302内に図示している切替部308、設定部309は、CPU201-1が、OS205-1の機能の一部として実行することにより実現する。また、図示していないが、CPU201-1以外のコアにも、検出部303～設定部309の機能を有している

- 。
- [0040] 検出部303は、複数のコアのうち、任意のスレッドが割り当てられたコアを検出する機能を有する。複数のコアとは、CPU201-1~CPU201-nである。具体的には、たとえば、検出部303は、CPU201-2に高優先度ソフトウェア209が割り当てられたことをハイパーバイザ間通信214によって検出する。なお、検出されたコアの情報は、キャッシュメモリ202-1、または、CPU201-1の汎用レジスタなどの記憶領域に記憶される。
- [0041] 特定部304は、複数のコアのうち、切替部308によって所定の切り替え時間を越えて複数のスレッドの切り替えを行ったコアを特定する機能を有する。所定の切り替え時間とは、タイムスライスのことであり、スレッドを切り替える切替時間 Δt のことである。複数のスレッドとは、CPU201-1上で実行されるソフトウェア207-1~ソフトウェア207-mである。
- [0042] また、特定部304は、検出部303によってコアが検出されたことをトリガーとしてコアを特定してもよい。また、特定部304は、検出部303によってコアが検出されたことをトリガーとし、切替部308によって切り替えられた後のスレッドの優先度より検出部303によって検出されたコアに割り当てられたスレッドの優先度が高い場合に、コアを特定してもよい。
- [0043] 具体的には、たとえば、特定部304は、切替部308によってCPU201-1に割り当てるソフトウェアをソフトウェア207-1~ソフトウェア207-mに切り替えた場合を想定する。このとき、ソフトウェア207-1に割り当てられた時間 ΔC が Δt を越えた場合に、所定の切り替え時間を越えて複数のスレッドの切り替えを行ったCPUとして特定する。
- [0044] また、ソフトウェア207-1に割り当てられた時間 ΔC の取得方法は、ソフトウェア207-1が割り当てられた時点でのクロックカウンタと、ソフトウェア207-2が割り当てられた時点でのクロックカウンタの差分から取得することができる。なお、特定されたコアの情報は、キャッシュメモ

り202-1、または、CPU201-1の汎用レジスタなどの記憶領域に記憶される。

[0045] 補正部305は、特定部304によって特定されたコアにおいて複数のスレッドの切り替えを行った実切り替え時間と所定の切り替え時間との差分に基づいて、所定の切り替え時間が短縮するように補正する機能を有する。また、補正部305は、差分が所定の割り込み禁止時間を越えた場合に、差分に基づいて所定の切り替え時間が短縮するように補正してもよい。所定の割り込み禁止時間とは、実装規約で設定される禁止区間の最長パス時間 `lck` (`Locked Critical Kidnapping-period`) である。`lck`の詳細については、図4にて後述する。

[0046] 差分に基づいて、短縮するように補正された切り替え時間の算出式の適用例としては、下記(1)式を適用してもよい。

[0047] 補正された切り替え時間＝所定の切り替え時間－（実切り替え時間－所定の切り替え時間） … (1)

[0048] (1)式では、コンテンション中となり遅延した時間をスレッド切り替えの短縮分に設定することになる。遅延した時間分が割り込みイベントの検出間隔の減少となり、割り込みイベントの検出頻度が増加した結果、リアルタイム処理の応答性能の保証ができるようになる。また、算出式は、差分が所定の割り込み禁止時間を越えた場合に、下記(2)式を適用してもよい。

[0049] 補正された切り替え時間＝所定の切り替え時間－（（実切り替え時間－所定の切り替え時間）－所定の割り込み禁止時間） … (2)

[0050] (2)式では、遅延時間が所定の割り込み禁止時間を越えなければ、実装規約によって、リアルタイム処理の応答性能を保証できることから、補正された切り替え時間の減少分を(1)式よりも抑えている。スレッドの切り替え時間を小さくしすぎると、スレッドのディスパッチオーバーヘッドによる性能劣化を伴うため、リアルタイム処理の応答性能を満たすことが可能ならば、(2)式を使用してもよい。算出式は、(1)式、(2)式に限らず、補正された切り替え時間が減少すればよい。

- [0051] 具体的には、たとえば、実切り替え時間が13 [マイクロ秒] であり、所定の切り替え時間が10 [マイクロ秒] であった場合、差分は3 [マイクロ秒] となり、補正された切り替え時間は(1)式から、7 [マイクロ秒] となる。なお、補正された切り替え時間は、キャッシュメモリ202-1、または、CPU201-1の汎用レジスタなどの記憶領域に記憶される。
- [0052] 設定通知部306は、補正部305によって補正された切り替え時間をOSに通知する機能を有する。また、設定通知部306は、判断部307によって、アクセス競合中でないと判断された場合、補正された切り替え時間を補正前の切り替え時間に設定するように通知してもよい。また、通知内容の具体的として、設定通知部306は、(実切り替え時間-所定の切り替え時間)である差分を通知してもよい。また、判断部307によってアクセス競合中でないと判断された場合に、設定通知部306は、補正前の切り替え時間を通知してもよい。
- [0053] 具体的には、たとえば、設定通知部306は、補正部305によって補正された切り替え時間7 [マイクロ秒] をOSに送信する。なお、通知された切り替え時間は、キャッシュメモリ202-1、または、CPU201-1の汎用レジスタなどの記憶領域に記憶される。
- [0054] 判断部307は、特定部304によって特定されたコアがアクセスするメモリに関してアクセス競合中か否かを判断する機能を有する。具体的には、たとえば、CPU201-1は、一定期間のCPUが発行した発行命令数とクロックカウンタの記録を元にクロックカウンタ/発行命令数を算出する。CPU201-1は、算出された値が一定値より大きい場合にアクセス競合中であると判断する。
- [0055] 具体的には、たとえば、(クロックカウンタ/発行命令数) > 1000となった場合、1つの命令に1000クロック消費していることになりアクセス競合を発生していると判断する。なお、判断結果は、キャッシュメモリ202-1、または、CPU201-1の汎用レジスタなどの記憶領域に記憶される。

- [0056] 切替部 308 は、複数のコアのおののみに割り当てた複数のスレッドを所定の切り替え時間で切り替える機能を有する。具体的には、たとえば、切替部 308 は、ソフトウェア 207-1 ~ ソフトウェア 207-m を所定の切り替え時間 Δt で切り替える。また、設定部 309 によって切り替え時間が Δt から $\Delta t'$ に短縮した場合、切替部 308 は、 $\Delta t'$ にてソフトウェア 207-1 ~ ソフトウェア 207-m を切り替える。なお、切り替えたソフトウェアの情報は、共有メモリ 203 などの記憶領域に記憶されてもよい。
- [0057] 設定部 309 は、設定通知部 306 によって通知された、補正された切り替え時間をスレッドの切り替え時間に設定する機能を有する。また、設定部 309 は、設定通知部 306 によって補正前の切り替え時間が通知されてきた場合に、補正前となる所定の切り替え時間に設定してもよい。
- [0058] 具体的には、たとえば、設定通知部 306 によって補正された切り替え時間 $\Delta t'$ が通知されてきた場合、設定部 309 は、スレッドの切り替え時間として補正された切り替え時間 $\Delta t'$ を設定する。なお、設定されたスレッドの切り替え時間は、共有メモリ 203 などの記憶領域に記憶されてもよい。
- [0059] 図 4 は、単一の CPU で実行している場合のソフトウェアのディスパッチ状態を示す説明図である。図 4 では、マルチコアプロセッサシステム 100 の中で CPU 201-1 が実行中であり、CPU 201-1 は、ソフトウェア 207-1 ~ ソフトウェア 207-m を実行する。CPU 201-1 は、スレッドの切り替え時間 Δt でソフトウェア 207-1 ~ ソフトウェア 207-m を順次実行しつつ、リアルタイム割り込みを受信したら割り込みハンドラとしてリアルタイム処理 208 を実行する。
- [0060] また、マルチコアプロセッサシステム 100 がリアルタイム処理の応答性を保証するには、以下の 2 つの時間以内にリアルタイム処理を行う必要がある。1 つ目の条件として、割り込みイベントが発生後、CPU 201-1 はリアルタイム割り込み間隔以内に割り込みイベントに対応したリアルタイム処理を実行する必要がある。2 つ目の条件として、CPU 201-1 はリ

リアルタイム応答時間内に少なくとも１回リアルタイム処理を行う必要がある。割り込みイベントとは、割り込み信号を受信したイベントである。また、割り込みイベントが発生しても、CPUが割り込み禁止区間であるときはすぐにリアルタイム処理を実行することができず、割り込み禁止区間が終了した後に、CPUはリアルタイム処理が行えるようになる。

[0061] 具体的に、図４の状態では、割り込みイベントの発生から現在時刻が割り込みイベントを拾うタイミング４０１となりリアルタイム処理２０８を行うまでの時間４０２が、リアルタイム割り込み間隔以内である必要がある。さらに、リアルタイム処理２０８を行う間隔となる時間４０３が、リアルタイム応答時間である必要がある。一般的にリアルタイム割り込み間隔はマイクロ秒オーダーであり、リアルタイム応答時間は数ミリ秒である。数値例としては、リアルタイム割り込み間隔＝１０〔マイクロ秒〕、リアルタイム応答時間＝１０〔ミリ秒〕である。

[0062] また、ソフトウェア２０７－１～ソフトウェア２０７－ｍの処理の中には、割り込み禁止区間が埋め込まれている。割り込み禁止区間を埋め込む理由としては、たとえば、意図的なキャッシュ操作やレジスタの退避復元処理などは、他の処理が割り込まない状態で連続して処理を行う必要があるためである。割り込み禁止区間中のCPUは、コンテキストスイッチなどのプリエンプションが実行できなくなる。割り込み禁止区間の設定については、システム設計の段階で、実装規約という形で禁止区間の最長パス時間１ｃｋを設定し、実装者は、割り込み禁止区間が１ｃｋを越えないようにソフトウェアの実装を行う。

[0063] 割り込み禁止区間が１ｃｋを越えない限り、割り込み禁止区間にて割り込みが発生したとしても、リアルタイム割り込み間隔、および、リアルタイム応答時間内でのリアルタイム処理を保証するように実装者は１ｃｋを設定する。したがって、単一のCPUで実行している場合には、割り込み禁止区間中に割り込みイベントが発生しても、リアルタイム処理の応答性能を保証することができる。

- [0064] 図5は、従来例におけるマルチコアプロセッサシステム100にて、コンテンション状態によるリアルタイム応答の遅延を示す説明図である。図5では、マルチコアプロセッサシステム100の中でCPU201-1とCPU201-2が実行中であり、CPU201-1は、ソフトウェア207-1～ソフトウェア207-mを実行する。CPU201-1は、スレッドの切り替え時間 Δt でソフトウェア207-1～ソフトウェア207-mを順次実行しつつ、リアルタイム割り込みを受信したら割り込みハンドラとしてリアルタイム処理208を実行する。CPU201-2は、高優先度ソフトウェア209を実行する。
- [0065] CPU201-2にて、高優先度ソフトウェア209を実行しているため、マルチコアプロセッサシステム100は、各種リソースを高優先度ソフトウェア209に優先的に割り当てる。具体的には、たとえば、CPU201-1とCPU201-2が同時に共有メモリ203にアクセスした場合を想定する。このときマルチコアプロセッサシステム100は、高優先度ソフトウェア209を実行しているCPU201-2が優先的に共有メモリ203にアクセスするように制御する。
- [0066] したがって、CPU201-1は、CPU201-2のアクセス完了を待つことになり、アクセス競合におけるコンテンション状態となる。コンテンション状態となったCPU201-1は、処理が遅延することになる。処理が遅延すると、割り込み禁止区間も遅延することになる。遅延した結果、割り込み禁止区間がlockを越えた場合に、リアルタイム処理の応答性能を保證することができなくなる。
- [0067] 図5の例では、割り込みイベントが発生し、現在時刻が割り込みイベントを拾うタイミング501となった際、CPU201-1は割り込み禁止区間となっている。したがって、CPU201-1は、リアルタイム処理208をすぐに実行できず、割り込み禁止区間の終了後にリアルタイム処理208を実行する。
- [0068] 結果、割り込みイベント発生からリアルタイム処理208実行までの時間

502がリアルタイム割り込み間隔を越えた場合に、マルチコアプロセッサシステム100はリアルタイム処理の応答性能を保証できなくなる。また、リアルタイム処理208を行う間隔となる時間503がリアルタイム応答時間を越えた場合にも、マルチコアプロセッサシステム100はリアルタイム処理の応答性能を保証できなくなる。

[0069] 図6は、本実施の形態におけるマルチコアプロセッサシステム100にて、タイムスライスを補正した後の状態を示す説明図である。図6では、ハードウェアとソフトウェアの実行状態は図5と等しいが、CPU201-1にて、 Δt から $\Delta t'$ へと、スレッドの切り替え時間が短縮するように補正されている。

[0070] スレッドの切り替え時間が短縮された結果、マルチコアプロセッサシステム100がリアルタイム処理の応答性能を保証しやすくなる。応答性能の保証を満たすには、図4にて前述したように、リアルタイム割り込み間隔以内にリアルタイム処理を行うことと、リアルタイム応答時間内にリアルタイム処理を行うことである。

[0071] リアルタイム割り込み間隔以内にリアルタイム処理を行えるようになる理由は、スレッドの切り替え時間が短縮することにより、割り込みイベントを検出する間隔が短くなり、割り込みイベントを検出する頻度があがるためである。したがって割り込みイベントの発生から、現在時刻が割り込みイベントを拾うタイミング601となり、リアルタイム処理208を実行するまでの時間602が短くなり、リアルタイム割り込み間隔より小さくすることができる。

[0072] リアルタイム応答時間以内にリアルタイム処理を行えるようになる理由は、スレッドの切り替え時間が短縮することにより、CPU内で実行しているスレッドの処理回数が増えるためである。具体的には、たとえば、スレッドを200個実行しているCPUが存在し、スレッド1回の処理時間が10[マイクロ秒]であったと想定する。また、リアルタイム処理を実行する契機となる割り込みイベントは、200個のスレッドのうちの特定のスレッドの

実行によって発生するものとする。

[0073] この場合、スレッドの優先度がすべて等しい場合、2 [ミリ秒] に1回は、どのスレッドも処理を行えることになる。スレッド1回の処理時間がコンテンション状態により長くなった場合に、スレッドの切り替え時間が短縮することにより、特定のスレッドの処理が行われる回数が増えることになる。結果、リアルタイム処理208を行う間隔となる時間603はリアルタイム応答時間より小さくすることができる。

[0074] 図7は、ソフトウェアテーブル310の記憶内容の一例を示す説明図である。ソフトウェアテーブル310はマルチコアプロセッサシステム100にて実行されるソフトウェアの一覧を格納する。ソフトウェアテーブル310は、ソフトウェア名称と、優先度という2つのフィールドで構成する。

[0075] ソフトウェア名称フィールドは、ソフトウェアの名称を記述している。実際には、処理内容を記述したプログラムがROM102、RAM103、フラッシュROM104のいずれかに存在し、たとえば、CPU201-1は、プログラムをロードし、スレッドとして実行する。優先度フィールドは、対応するソフトウェアを実行する際の優先度を設定している。優先度が高いソフトウェアを検出すると、マルチコアプロセッサシステム100は、バス108のアクセス権などを優先度が高いソフトウェアに優先的に渡す。

[0076] 具体的には、たとえば、“動画像再生ソフトウェア”は、ユーザによって起動され、フォアグラウンドで実行している場合には、高優先度となる。また、“Webブラウザ”は低優先度となる。また、別のパターンとして、カメラユニットを持つマルチコアプロセッサシステム100が連続して撮影を行うことを想定する。連続して撮影を行うため、カメラの画像を保存する“カメラ画像保存ソフトウェア”は高優先度となる。また、“カメラ撮影ソフトウェア”は低優先度となる。

[0077] 図8は、リアルタイム処理の一例を示す説明図である。“通信割り込み処理”は、通信を司るハードウェア、たとえばI/F106からの割り込みイベントに対して実行されるリアルタイム処理である。また、通信は、たとえ

ば“Webブラウザ”等のソフトウェアによって引き起こされる。I/F 106はデータを受信した場合、データのプロトコルによっては受信したという応答通知を一定時間内にデータを送信した機器に送信する必要がある。一定時間内に処理を行わないと、データを送信した機器はタイムアウトと判断するため、マルチコアプロセッサシステム100は、一定時間内に処理を行う必要がある。

[0078] また、“カメラユニット割り込み処理”は、カメラユニットにより実行されるリアルタイム処理である。カメラユニット割り込み処理は“カメラ撮影ソフトウェア”によって画像データを撮影し、バッファに格納する。CPU 201-1が、格納された映像データをバッファからたとえば共有メモリ203に転送しないと、データオーバーフローが発生し、画像データをとりこぼすことになる。

[0079] 前述した“通信割り込み処理”、“カメラユニット割り込み処理”は、シングルコアでタスクスイッチしながら動作するシステムでは問題なく動作する。しかし、従来例におけるマルチコアプロセッサシステム100では、リアルタイム処理を1つのCPUが実行し、別のCPUが高優先度ソフトウェアを実行している場合、アクセス競合によるコンテンション状態となり、リアルタイム処理の応答性能を保証できない。

[0080] 図9は、マルチコアプロセッサシステム100でのスレッド切り替えを含むタイムスライス設定処理を示すフローチャートである。CPU 101は、スレッドを次々と切り替えている。初期状態として、CPU 201-1は、OS 205-1によって、スレッドの切り替え時間を Δt に設定する（ステップS901）。図示していないが、CPU 201-2も同様にスレッドの切り替え時間を Δt に設定する。

[0081] 次に、CPU 201-1は、ハイパーバイザ204-1を起動する（ステップS902）。ハイパーバイザ204-1は一定周期で起動される。同様に、CPU 201-2も、ハイパーバイザ204-2を起動する（ステップS903）。スレッドの切り替え時間が経過した後に、CPU 201-1は

、OS 205-1によってスレッドを切り替える（ステップS 904）。図示していないが、CPU 201-2も同様にスレッドを切り替える。

[0082] スレッドを切り替えると、CPU 201-1は、ハイパーバイザ204-1の機能によって、スレッド起動を検出する（ステップS 905）。また、CPU 201-2では、高優先度ソフトウェア209が起動されることを想定する。高優先度ソフトウェア209の起動後、CPU 201-2は、ハイパーバイザ204-2の機能によって、高優先度スレッド起動を検出する（ステップS 906）。検出後、CPU 201-2は、ハイパーバイザ間通信によって、高優先度スレッドの起動を検出したことをハイパーバイザ204-1を含むすべてのハイパーバイザに通知する（ステップS 907）。CPU 201-1も同様に、ハイパーバイザ間通信によって、スレッドの起動を検出したことをハイパーバイザ204-2に通知する（ステップS 908）。

[0083] 通知後、CPU 201-1は、ハイパーバイザ204-1によってタイムスライス補正処理を実行する（ステップS 909）。タイムスライス補正処理の詳細は、図10にて後述する。ここで、CPU 201-1は、CPU 201-1以外のCPUにて高優先度スレッドが起動しているため、コンテンション状態となる可能性がある。コンテンション状態となっていた場合、CPU 201-1は、タイムスライス補正処理内で、OS 205-1に差分 τ を通知する。タイムスライス補正処理後、CPU 201-1は、ハイパーバイザ204-1によって通常のハイパーバイザ処理を実行し（ステップS 911）、ハイパーバイザ204-1を実行終了する（ステップS 913）。実行終了後、CPU 201-1は、一定周期後にステップS 902の処理に移行する。

[0084] CPU 201-2も同様に、ハイパーバイザ204-2によってタイムスライス補正処理を実行する（ステップS 910）。CPU 201-2は、CPU 201-2以外のCPUにて高優先度スレッドが起動していないため、コンテンション状態とはならず、OS 205-2に通知は行わない。タイム

スライス補正処理後、CPU 201-2は、ハイパーバイザ204-2によって通常のハイパーバイザ処理を実行し（ステップS912）、ハイパーバイザ204-2を実行終了する（ステップS914）。実行終了後、CPU 201-2は、一定周期後にステップS903の処理に移行する。

[0085] CPU 201-1がハイパーバイザ204-1によって差分 τ を通知後、CPU 201-1は、OS・ハイパーバイザ間通信によって差分 τ を受信する（ステップS915）。続けて、CPU 201-1は、補正值 $\Delta t' = \Delta t - \tau$ を算出する（ステップS916）。ステップS916での算出式は、（1）式を適用しているが、（2）式を適用してもよい。算出後、CPU 201-1は、OS 205-1によってスレッドの切り替え時間を補正值 $\Delta t'$ に設定する（ステップS917）。 $\Delta t'$ 時間経過後、CPU 201-1は、ステップS904の処理に移行する。

[0086] 図10は、ハイパーバイザによるタイムスライス補正処理を示すフローチャートである。タイムスライス補正処理は、CPU s 101に属するどのCPUでも実行されるが、図10では、CPU 201-1にて実行される状態を説明する。また、タイムスライス補正処理は、ハイパーバイザの機能によって実行される。

[0087] CPU 201-1は、別CPUでスレッドが起動されたかを判断する（ステップS1001）。スレッド起動の検出としては、CPU 201-1は、タイムスライス補正処理の前に行われたステップS908の処理であるハイパーバイザ間通信によって検出する。別CPUでスレッドが起動されたと判断された場合（ステップS1001：Yes）、CPU 201-1は続けて、別CPUで起動されたスレッドの優先度が、本CPUのスレッドの優先度より高いかを判断する（ステップS1002）。本CPUとは、実行主体となるCPUのことで、図10の説明ではCPU 201-1に相当する。

[0088] 別CPUで起動されたスレッドの優先度が本CPUのスレッドより高い場合（ステップS1002：Yes）、CPU 201-1は、クロックカウンタから取得した処理時間 ΔC を取得する（ステップS1003）。 ΔC を取

得後、所定のスレッド切り替え時間 Δt が処理時間 ΔC より大きいかを判断する（ステップS1004）。 Δt が ΔC 以下の場合（ステップS1004：No）、CPU201-1は、差分 $\tau = \Delta C - \Delta t$ を算出する（ステップS1006）。なお、ステップS1004：Noとなった場合が、CPU201-1にてアクセス競合によるコンテンション状態となった状態である。

[0089] 別CPUでスレッドが起動していない場合（ステップS1001：No）、CPU201-1は、コンテンション状態が解消したかを判断する（ステップS1005）。コンテンション状態が解消した場合（ステップS1005：Yes）、CPU201-1は、差分 τ に0を設定する（ステップS1008）。アクセス競合によるコンテンション状態が解消したか否かの判断方法として、CPUは、一定期間のCPUの発行命令数とクロックカウンタを記録しておく。続けて、CPUはクロックカウンタ／発行命令数を算出し、算出された値が一定値より大きい場合にコンテンション状態が継続中であると判断し、算出された値が一定値以下の場合にコンテンション状態が解消したと判断する。

[0090] 別CPUで起動されたスレッドの優先度が本CPUのスレッドより高くない場合、または、 Δt が ΔC より大きい場合（ステップS1002：No、ステップS1004：Yes）、CPU201-1は、ステップS1005の処理に移行する。

[0091] ステップS1006の処理後、CPU201-1は、算出した差分 τ が割り込み禁止区間の最長パス時間 lck より大きいかを判断する（ステップS1007）。差分 τ が lck より大きい場合（ステップS1007：Yes）、またはステップS1007の処理終了後、CPU201-1は、OSに差分 τ を通知する（ステップS1009）。差分 τ を通知後、CPU201-1はタイムスライス補正処理を終了する。また、差分 τ が lck 以下である場合（ステップS1007：No）、またはコンテンション状態が解消していない場合（ステップS1005：No）、CPU201-1は、タイムスライス補正処理を終了する。

- [0092] 本実施の形態におけるマルチコアプロセッサシステム１００の性能向上を測定するには、たとえば、プロファイラ、または、デバッガがあれば動作ログを解析して判別してもよい。また、プロファイラかデバッガがない場合、ソフトウェアを個別実行させた場合と、同時実行させた場合の実行性能を解析することにより判別してもよい。
- [0093] 以上説明したように、マルチコアプロセッサシステム、スレッド切り替え制御方法、およびスレッド切り替え制御プログラムによれば、所定の切り替え時間を越えて複数のスレッドの切り替えを行ったＣＰＵを特定する。特定後、マルチコアプロセッサシステムは、スレッドの切り替えを行った実切り替え時間と所定の切り替え時間の差分によってスレッドの切り替え時間を設定する。これにより、割り込みイベントの検出間隔が減少する分検出頻度が増加するため、リアルタイム処理の応答性能を保証できる。
- [0094] また、マルチコアプロセッサシステムは、任意のスレッドが割り当てられたＣＰＵの検出をトリガーにして、所定の切り替え時間を越えて複数のスレッドの切り替えを行ったＣＰＵを特定してもよい。アクセス競合によるコンテンションは、複数のＣＰＵでスレッドが割り当てられたときに発生するため、スレッドの割り当てをトリガーにすることにより、タイムスライスの補正を行う最もよいタイミングで実行することができる。
- [0095] また、マルチコアプロセッサシステムは、任意のスレッドが割り当てられたＣＰＵの検出をトリガーにする。その後、マルチコアプロセッサシステムは、切り替えを行ったＣＰＵの切り替え後のスレッドの優先度より、検出されたＣＰＵに割り当てられたスレッドの優先度が高い場合、所定の切り替え時間を越えて複数のスレッドの切り替えを行ったＣＰＵを特定してもよい。
- [0096] アクセス競合によるコンテンションは、複数のＣＰＵでスレッドが割り当てられており、さらに、一つのＣＰＵで高優先度のスレッドが割り当てられ、もう一方のＣＰＵでは低優先度のスレッドが割り当てられた場合に発生する。したがって、切り替えを行ったＣＰＵの切り替え後のスレッドの優先度より、検出されたＣＰＵに割り当てられたスレッドの優先度が高いかを確認

することにより、タイムスライスの補正を行う対象のCPUを最小限に絞ることができる。

[0097] また、マルチコアプロセッサシステムは、実切り替え時間と所定の切り替え時間との差分が所定の割り込み禁止時間を越えた場合に、所定の切り替え時間が短縮するように補正してもよい。マルチコアプロセッサシステムは、実切り替え時間と所定の切り替え時間との差分が所定の割り込み禁止時間を越えない限り、リアルタイム処理の応答性能を保証するように設計されている。したがって、差分が所定の割り込み禁止時間を越えた場合にタイムスライスの補正を行うことにより、リアルタイム処理の応答性能が破たんする可能性があるときに絞って、タイムスライスの補正を行うことができる。

[0098] また、マルチコアプロセッサシステムは、タイムスライスを補正したCPUに対して、アクセス競合中でない場合に、補正された切り替え時間を補正前の切り替え時間に設定してもよい。これにより、実切り替え時間を取得し所定の切り替え時間との比較を行わなくとも、アクセス競合か否かを判断することで、タイムスライスの補正を解除することができる。

[0099] なお、本実施の形態で説明したスレッド切り替え制御方法は、あらかじめ用意されたプログラムをパーソナル・コンピュータやワークステーション等のコンピュータで実行することにより実現することができる。本スレッド切り替え制御プログラムは、ハードディスク、フレキシブルディスク、CD-ROM、MO、DVD等のコンピュータで読み取り可能な記録媒体に記録され、コンピュータによって記録媒体から読み出されることによって実行される。また本スレッド切り替え制御プログラムは、インターネット等のネットワークを介して配布してもよい。

符号の説明

[0100] 108 バス
 201-1 CPU
 201-2 CPU
 207-1～207-m ソフトウェア

- 2 0 9 高優先度ソフトウェア
- 3 0 1 領域
- 3 0 2 領域
- 3 0 3 検出部
- 3 0 4 特定部
- 3 0 5 補正部
- 3 0 6 設定通知部
- 3 0 7 判断部
- 3 0 8 切替部
- 3 0 9 設定部
- 3 1 0 ソフトウェアテーブル

請求の範囲

- [請求項1] 複数のコアのおおのに割り当てた複数のスレッドを所定の切り替え時間で切り替える切替手段と、
- 前記複数のコアのうち、前記切替手段によって前記所定の切り替え時間を越えて前記複数のスレッドの切り替えを行ったコアを特定する特定手段と、
- 前記特定手段によって特定されたコアにおいて前記複数のスレッドの切り替えを行った実切り替え時間と前記所定の切り替え時間との差分に基づいて、前記所定の切り替え時間が短縮するように補正する補正手段と、
- 前記補正手段によって補正された切り替え時間を前記所定の切り替え時間に設定する設定手段と、
- を備えることを特徴とするマルチコアプロセッサシステム。
- [請求項2] 前記複数のコアのうち、任意のスレッドが割り当てられたコアを検出する検出手段をさらに備え、
- 前記特定手段は、
- 前記検出手段によって検出された場合、前記複数のコアのうち、前記切替手段によって前記所定の切り替え時間を越えて前記複数のスレッドの切り替えを行ったコアを特定することを特徴とする請求項1に記載のマルチコアプロセッサシステム。
- [請求項3] 前記特定手段は、
- 前記検出手段によって検出され、前記複数のコアのうち、当該コアに前記切替手段によって切り替えられた後のスレッドの優先度より前記検出手段によって検出されたコアに割り当てられたスレッドの優先度が高い場合、前記切替手段によって前記所定の切り替え時間を越えて前記複数のスレッドの切り替えを行った当該コアを特定することを特徴とする請求項2に記載のマルチコアプロセッサシステム。
- [請求項4] 前記補正手段は、

前記特定手段によって特定されたコアにおいて前記複数のスレッドの切り替えを行った実切り替え時間と前記所定の切り替え時間との差分が所定の割り込み禁止時間を越えた場合に、前記差分に基づいて、前記所定の切り替え時間が短縮するように補正することを特徴とする請求項3に記載のマルチコアプロセッサシステム。

[請求項5] 前記特定手段によって特定されたコアがアクセスするメモリに関してアクセス競合中か否かを判断する判断手段をさらに備え、

前記設定手段は、

前記判断手段によってアクセス競合中でないと判断された場合、前記補正された切り替え時間を補正前の切り替え時間に設定することを特徴とする請求項4に記載のマルチコアプロセッサシステム。

[請求項6] 複数のコアのうち、当該コアに割り当てた複数のスレッドを所定の切り替え時間で切り替えた後に前記所定の切り替え時間を越えて前記複数のスレッドの切り替えを行ったコアを特定する特定工程と、

前記特定工程によって特定されたコアにおいて前記複数のスレッドの切り替えを行った実切り替え時間と前記所定の切り替え時間との差分に基づいて、前記所定の切り替え時間が短縮するように補正する補正工程と、

前記補正工程によって補正された切り替え時間を通知する通知工程と、

を前記コアが実行することを特徴とするスレッド切り替え制御方法。

[請求項7] 複数のコアのうち、当該コアに割り当てた複数のスレッドを所定の切り替え時間で切り替えた後に前記所定の切り替え時間を越えて前記複数のスレッドの切り替えを行ったコアを特定する特定工程と、

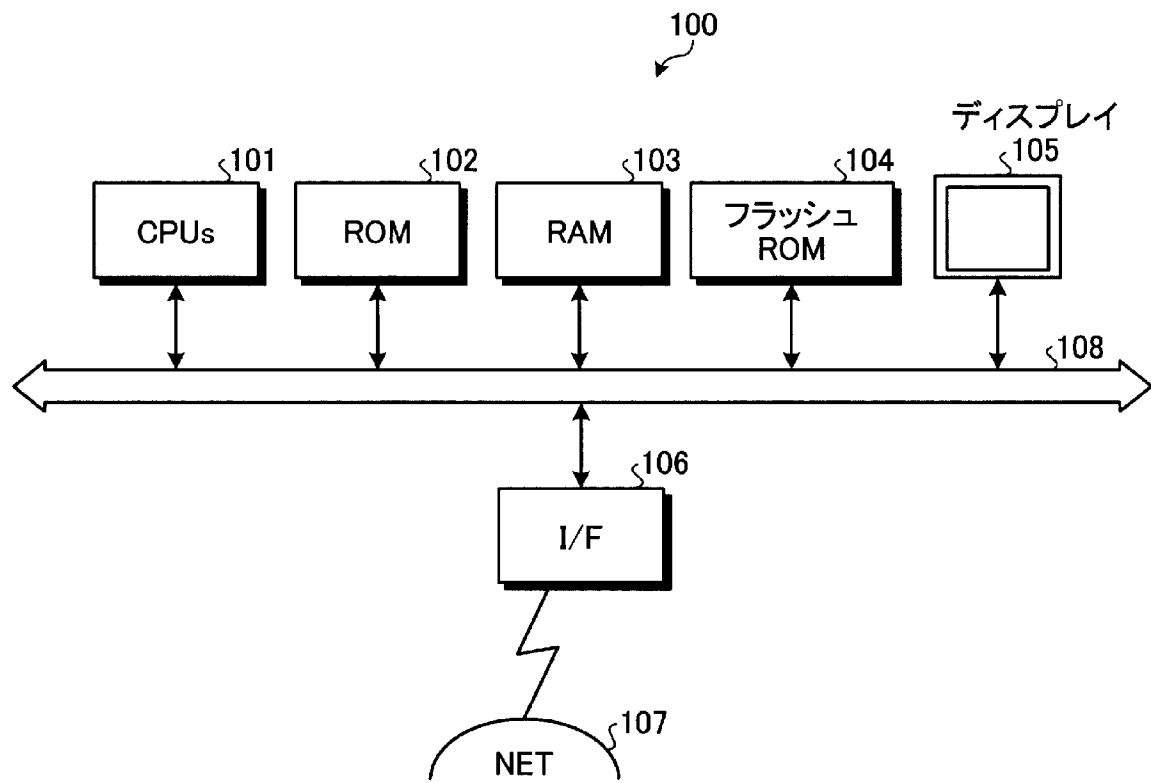
前記特定工程によって特定されたコアにおいて前記複数のスレッドの切り替えを行った実切り替え時間と前記所定の切り替え時間との差分に基づいて、前記所定の切り替え時間が短縮するように補正する補

正工程と、

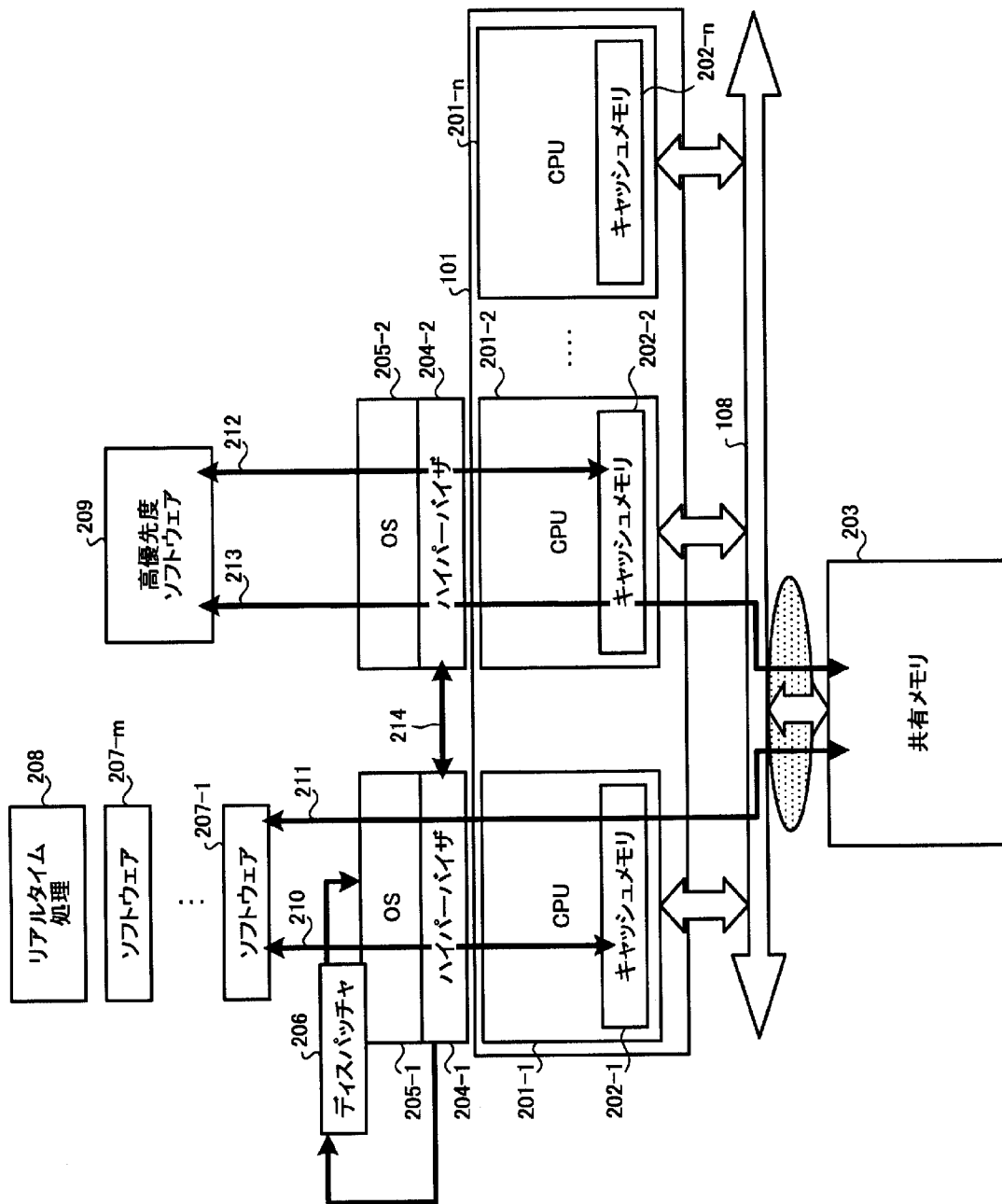
前記補正工程によって補正された切り替え時間を通知する通知工程と、

を前記コアに実行させることを特徴とするスレッド切り替え制御プログラム。

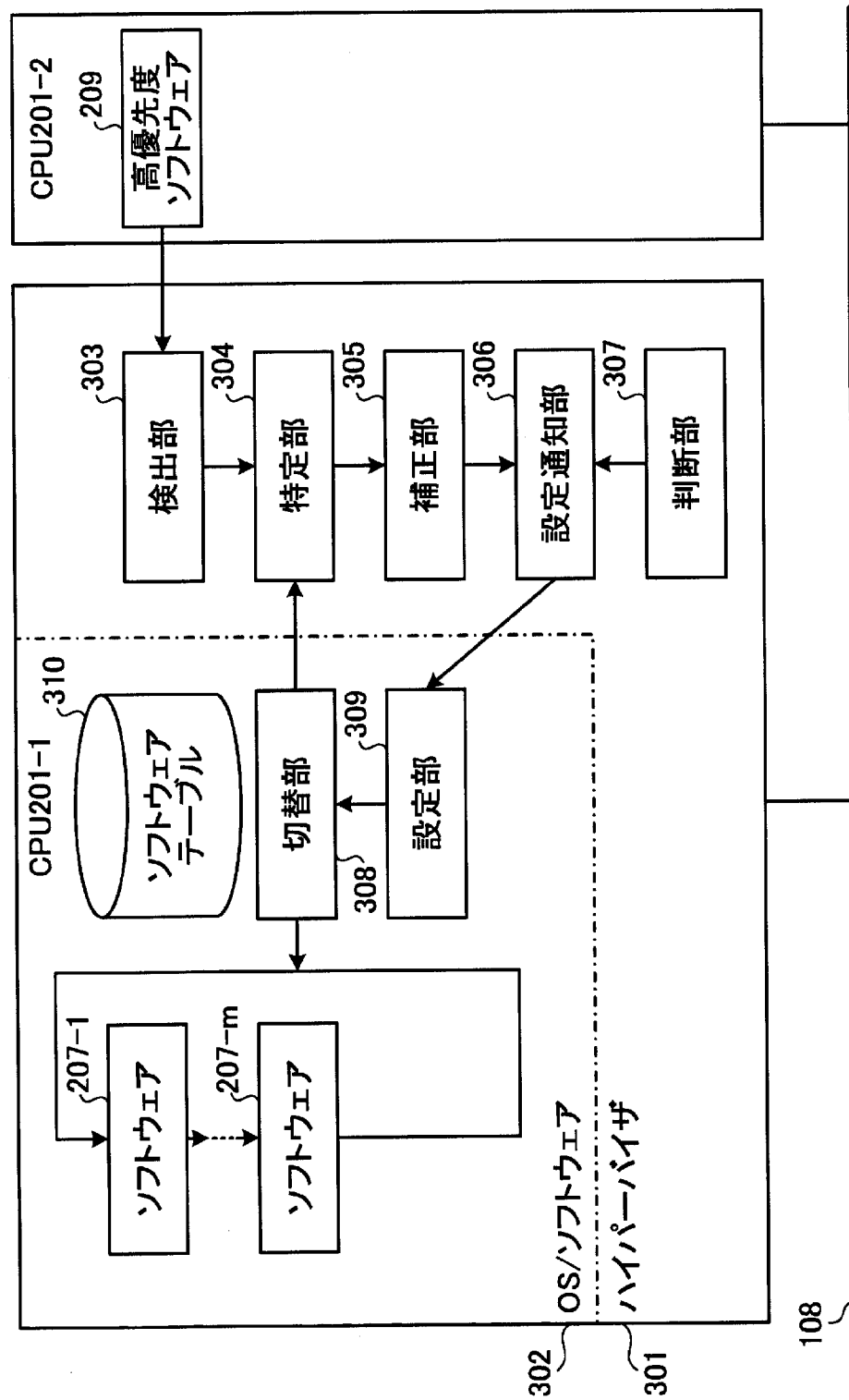
[図1]



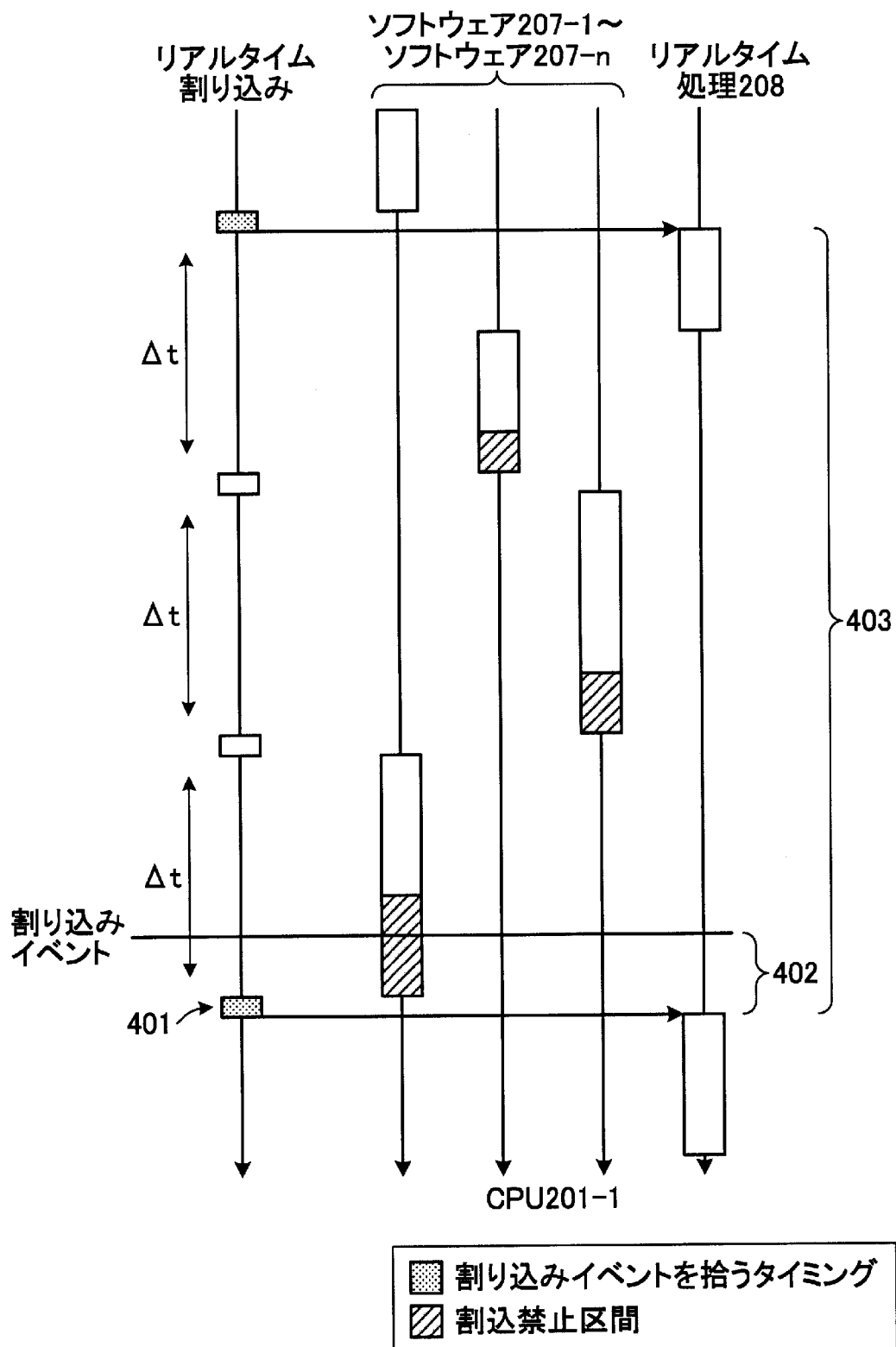
[図2]



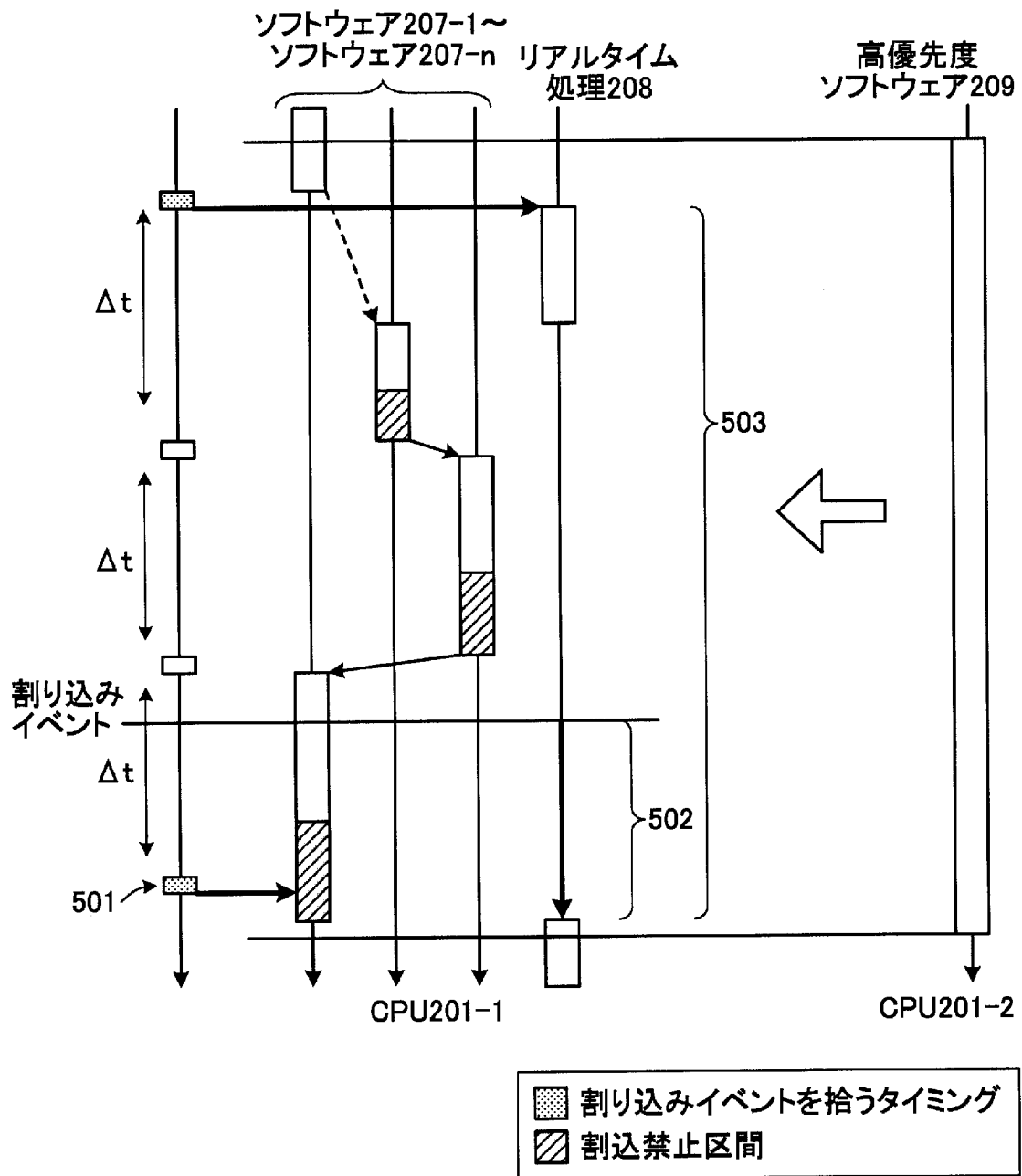
[図3]



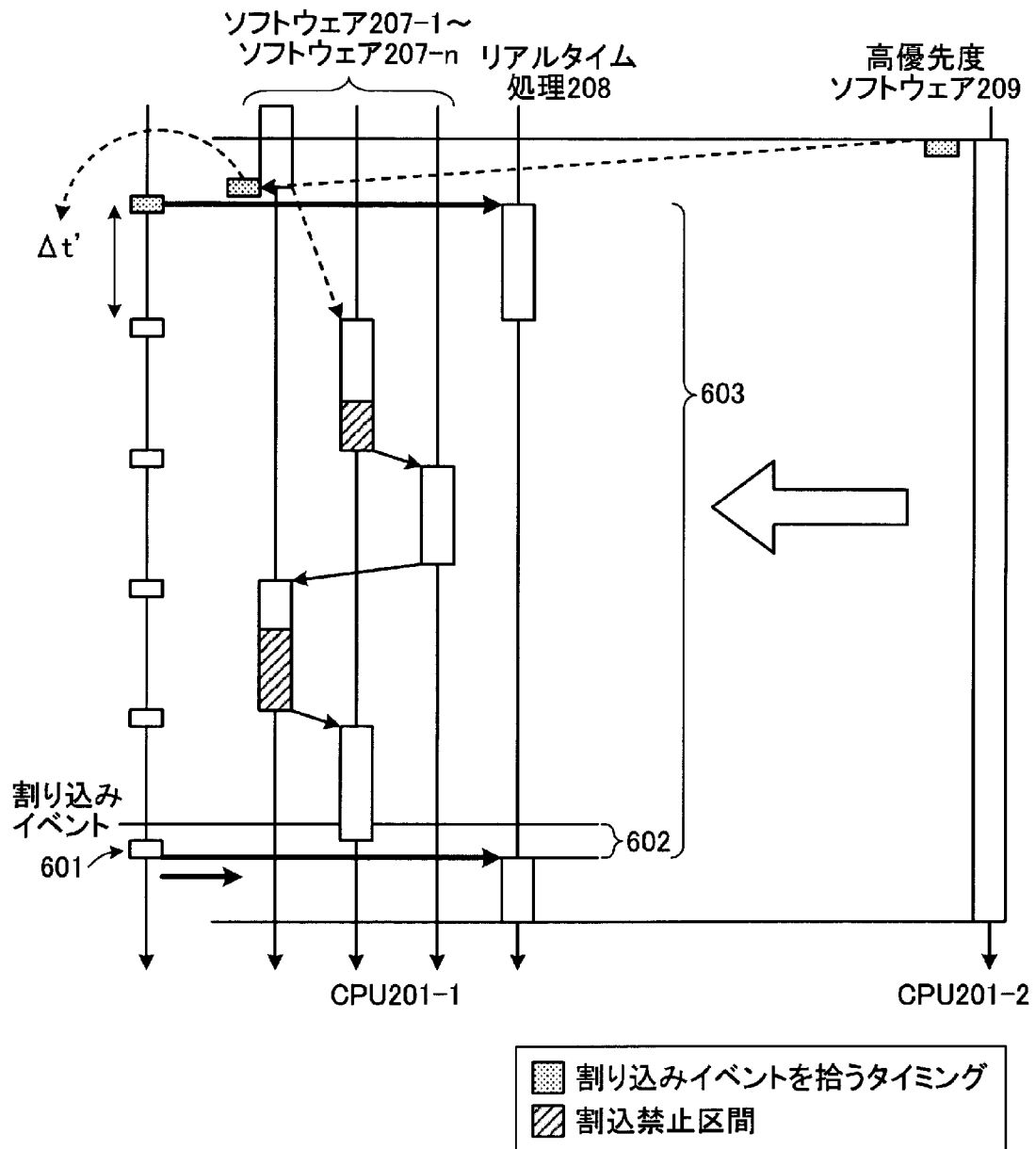
[図4]



[図5]



[図6]

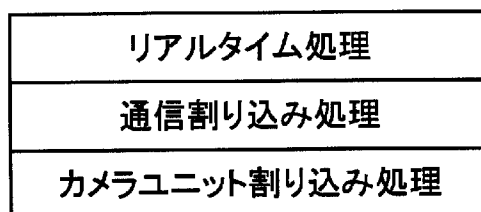


[図7]

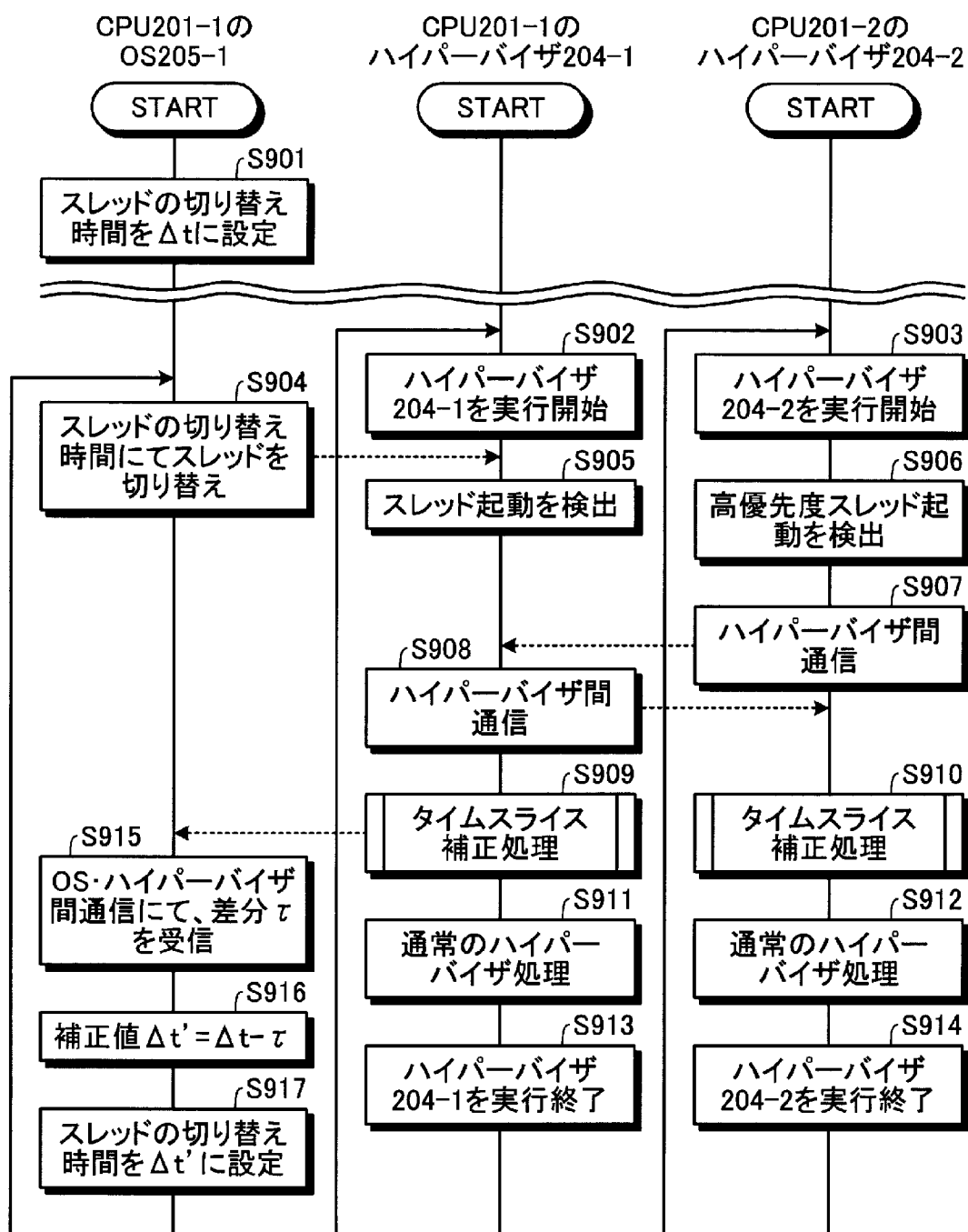
310

ソフトウェア名称	優先度
動画像再生ソフトウェア	高
Webブラウザ	低
カメラ画像保存ソフトウェア	高
カメラ撮影ソフトウェア	低

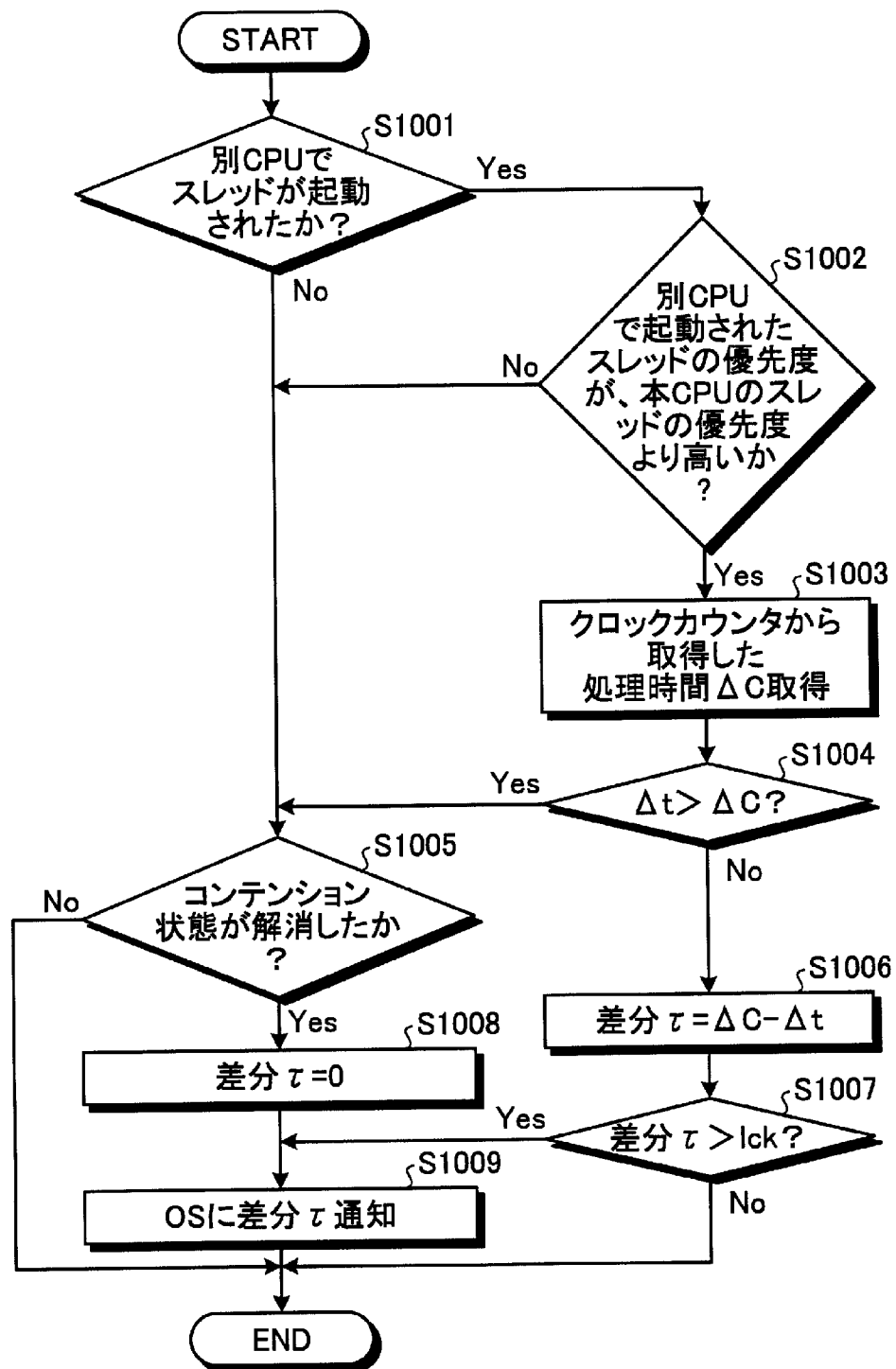
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/054708

A. CLASSIFICATION OF SUBJECT MATTER

G06F9/48 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F9/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-158717 A (NEC Corp.), 25 June 1993 (25.06.1993), entire text; all drawings (Family: none)	1-7
A	JP 4-49427 A (Fujitsu Ltd.), 18 February 1992 (18.02.1992), entire text; all drawings (Family: none)	1-7
A	JP 7-281909 A (Mitsubishi Heavy Industries, Ltd.), 27 October 1995 (27.10.1995), entire text; all drawings (Family: none)	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

12 May, 2010 (12.05.10)

Date of mailing of the international search report

25 May, 2010 (25.05.10)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/054708

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-305351 A (Renesas Technology Corp.), 18 December 2008 (18.12.2008), entire text; all drawings (Family: none)	1-7
A	JP 2002-259139 A (Denso Corp.), 13 September 2002 (13.09.2002), entire text; all drawings (Family: none)	1-7

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G06F9/48(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F9/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5-158717 A（日本電気株式会社）1993.06.25, 全文, 全図（ファミリーなし）	1 - 7
A	JP 4-49427 A（富士通株式会社）1992.02.18, 全文, 全図（ファミリーなし）	1 - 7
A	JP 7-281909 A（三菱重工業株式会社）1995.10.27, 全文, 全図（ファミリーなし）	1 - 7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 5 . 2 0 1 0

国際調査報告の発送日

2 5 . 0 5 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 修治

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 4 5

5 B

3 5 6 0

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-305351 A (株式会社ルネサステクノロジ) 2008.12.18, 全文, 全図 (ファミリーなし)	1-7
A	JP 2002-259139 A (株式会社デンソー) 2002.09.13, 全文, 全図 (ファミリーなし)	1-7