

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5365223号
(P5365223)

(45) 発行日 平成25年12月11日(2013.12.11)

(24) 登録日 平成25年9月20日(2013.9.20)

(51) Int.Cl.

H04N 5/335 (2011.01)

F I

H04N 5/335

請求項の数 7 (全 16 頁)

(21) 出願番号	特願2009-18069 (P2009-18069)	(73) 特許権者	308014341
(22) 出願日	平成21年1月29日 (2009.1.29)		富士通セミコンダクター株式会社
(65) 公開番号	特開2010-178033 (P2010-178033A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成22年8月12日 (2010.8.12)		23
審査請求日	平成23年10月27日 (2011.10.27)	(74) 代理人	100099759
			弁理士 青木 篤
		(74) 代理人	100119987
			弁理士 伊坪 公一
		(74) 代理人	100081330
			弁理士 樋口 外治
		(74) 代理人	100141254
			弁理士 榎原 正巳
		(74) 代理人	100113826
			弁理士 倉地 保幸

最終頁に続く

(54) 【発明の名称】 撮像装置、撮像装置の信号処理方法およびイメージセンサチップ

(57) 【特許請求の範囲】

【請求項1】

nを3以上の整数として、n個のカラムラインからのアナログデータのアナログ/デジタル変換を1つの単位として処理する撮像装置であって、

複数のピクセルを有するピクセルアレイと、

それぞれが前記ピクセルアレイの1個のカラムラインからのアナログデータを受け取ってアナログ/デジタル変換するn個のカラムADCと、

前記ピクセルアレイにおけるn個のカラムラインからのアナログデータを1水平時間で順次読み出して対応する前記n個のカラムADCにそれぞれ供給するデータ読み出し回路と、

前記n個のカラムADCに対して、n-1水平時間で同時にアナログ/デジタル変換を行わせるための共通の制御信号を発生する制御信号発生回路と、を備えることを特徴とする撮像装置。

【請求項2】

請求項1に記載の撮像装置において、さらに、

前記ピクセルアレイと前記n個のカラムADCとの間に設けられた相関二重サンプリング回路を備えることを特徴とする撮像装置。

【請求項3】

請求項1に記載の撮像装置において、さらに、

前記n個のカラムADCの後段に設けられた相関二重サンプリング回路を備えることを

特徴とする撮像装置。

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項に記載の撮像装置において、

前記 n 個のカラム A D C は、前記ピクセルアレイの一方側に設けられた第 1 カラム A D C 群、および、前記ピクセルアレイの他方側に設けられた第 2 カラム A D C 群を備えることを特徴とする撮像装置。

【請求項 5】

請求項 4 に記載の撮像装置において、

前記各ピクセルは、 2×2 構成の 4 つのサブピクセルを備え、

該 4 つのサブピクセルは、第 1 の色を検出する 1 つの第 1 サブピクセル、第 2 の色を検出する対角位置に設けられた 2 つの第 2 サブピクセル、および、第 3 の色を検出する 1 つの第 3 サブピクセルを含み、

前記第 1 カラム A D C 群は、前記第 1 および第 2 サブピクセルによる前記 n 個のカラムラインからのアナログデータに対応する複数行のカラムデータを受け取ってアナログ/デジタル変換を行い、

前記第 2 カラム A D C 群は、前記第 2 および第 3 サブピクセルによる前記 n 個のカラムラインからのアナログデータに対応する複数行のカラムデータを受け取ってアナログ/デジタル変換を行うことを特徴とする撮像装置。

【請求項 6】

請求項 1 ~ 5 のいずれか 1 項に記載の撮像装置と、

前記ピクセルアレイの 1 個のカラムライン毎の選択を行うドライバ回路と、

前記データ読み出し回路、前記 n 個のカラム A D C、前記制御信号発生回路および前記ドライバ回路の内部電圧を発生する内部電圧発生回路と、

前記データ読み出し回路、前記 n 個のカラム A D C、前記制御信号発生回路および前記ドライバ回路のタイミング信号を生成するタイミングジェネレータと、を備えることを特徴とするイメージセンサチップ。

【請求項 7】

複数のピクセルを有するピクセルアレイと、

それぞれが前記ピクセルアレイの 1 行のデータを受け取ってアナログ/デジタル変換する複数のカラム A D C と、

前記ピクセルアレイからの複数行のカラムデータを順次読み出して対応する前記複数のカラム A D C にそれぞれ供給するデータ読み出し回路と、

前記複数のカラム A D C にアナログ/デジタル変換を行わせるための共通の制御信号を発生する制御信号発生回路と、を備え、

n を 3 以上の整数として、 n 個のカラムラインからのアナログデータのアナログ/デジタル変換を 1 つの単位とし、

1 水平時間内に n 個のカラムラインのアナログデータを読み込み、

$n - 1$ 水平時間内に前記 n 個のカラムラインからのアナログデータのアナログ/デジタル変換を行う、

ことを特徴とする撮像装置の信号処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

この出願は、撮像装置、および、該撮像装置を有するイメージセンサチップに関する。

【背景技術】

【0002】

近年、デジタルカメラやデジタルビデオカメラ等に使用される撮像装置は、高画素化および高速化が進んでおり、複数のピクセルを有するピクセルアレイで検出したアナログ信号をデジタル信号に変換するカラム A D C の高速化が必要となってきた。

【0003】

図 1 は従来の撮像装置の一例を示すブロック図である。図 1 において、参照符号 1 はピクセルアレイ、10 はピクセル、そして、11 ~ 14 はサブピクセル（画素）を示している。また、参照符号 20 はプリアンプ（Pre AMP）および相関二重サンプリング（Correlated Double Sampling: CDS）回路、30 はカラム・アナログ/デジタルコンバータ（カラム ADC）、そして、40 はランプ信号発生回路を示している。

【0004】

ここで、各ピクセル 10 は、例えば、赤色用のサブピクセル 11、緑色用のサブピクセル 12、13、および、青色用のサブピクセル 14 の 4 つのサブピクセルで構成されている。なお、4 つのサブピクセルは 2 × 2 構成とされ、緑色用のサブピクセル 12 および 13 は、2 × 2 構成の対角位置に設けられている。

10

【0005】

図 1 に示されるように、従来の撮像装置は、画素（サブピクセル）がマトリクス状に配列されたピクセルアレイ 1 の一方側にプリアンプおよび相関二重サンプリング回路（Pre AMP + CDS）20 と 1 つのカラム ADC 30 を設けるようになっている。

【0006】

カラム ADC 30 は、ランプ信号発生回路 40 からのランプ信号 RMP により、プリアンプおよび相関二重サンプリング回路 20 から供給されたカラム方向（1 ライン分の画素）のアナログデータをデジタルデータ（例えば、14 ビットのデータ）に変換する。

【0007】

図 2 は図 1 の撮像装置の動作を説明するためのタイミング図である。

20

図 2 に示されるように、カラム ADC 30 のアナログデータ読み込みは、1 カラムライン毎に 1 水平時間 1 H の最初のタイミングで行い、その後、ランプ信号 RMP に従ってアナログ/デジタル変換を行う。さらに、カラム ADC 30 からのデジタルデータは、1 水平時間 1 H の最後のタイミングで出力される。

【0008】

このように、図 1 に示す撮像装置は、ピクセルアレイ 1 からの信号をプリアンプおよび相関二重サンプリング回路 20 で読み出してカラム ADC 30 に供給し、ランプ信号 RMP に従ってアナログ/デジタル変換を行うカラム ADC 方式を採用している。

【0009】

ところで、従来、固定パターン雑音を減少させた撮像装置として、少なくとも一つのカラムラインと少なくとも 2 つの AD 変換ブロックの接続をスイッチング素子で設定するものが提案されている。

30

【0010】

これは、能動画素センサ配列のすべての赤および青の画素をいずれか 1 つの AD 変換ブロックで処理し、活性素子センサ配列のすべての緑画素を他の 1 つの AD 変換ブロックで処理するようになっている。なお、AD 変換ブロックは、サンプリング、増幅および変換処理を含んでいる。

【0011】

また、従来、カラム ADC の高フレームレートセンサにおいて、ADC の速度を向上させるものが提案されている。具体的に、一画素列（カラムライン）に対して ADC を 2 つ以上設け、画素列の複数の画素からの出力を振り分けて入力し、並列処理による高速化やスクランブル化によるばらつきの低減を実現するものが提案されている。

40

【0012】

さらに、従来、4 トランジスタ型ピクセル回路およびそのピクセル回路を適用したイメージセンサチップも提案されている。

【先行技術文献】

【特許文献】

【0013】

【特許文献 1】特開 2004 - 222286 号公報

【特許文献 2】特開 2005 - 347932 号公報

50

【特許文献3】特開2006-217245号公報

【発明の概要】

【発明が解決しようとする課題】

【0014】

上述したように、近年、撮像装置は、高画素化および高速化が進んでおり、コラムADCの高速化が必要になって来ている。

【0015】

撮像装置に使用されるコラムADCの変換スピードは、そのコラムADCの分解能と画素数とフレームレートによって確定する。

【0016】

従って、撮像装置の高画素化および高速化と共に、出力データの高分解能化および高フレームレート化を行うには、コラムADCの変換スピードを高速化しなければならない。

【0017】

しかしながら、コラムADCの高速化を行うと、ノイズの発生が増大し、また、変換精度も劣化する。さらに、ノイズの発生が低くて高速動作が可能なコラムADCは、駆動能力を大きくする必要があるので、消費電力が大きくなり、また、費用も嵩むことになる。

【0018】

この出願は、上述した課題に鑑み、消費電力や費用の増大を抑えつつ、高画素化および高速化と共に、出力データの高分解能化および高フレームレート化を可能とする撮像装置およびイメージセンサチップの提供を目的とする。

【課題を解決するための手段】

【0019】

第1実施形態によれば、 n を3以上の整数として、 n 個のカラムラインからのアナログデータのアナログ/デジタル変換を1つの単位として処理する撮像装置であって、複数のピクセルを有するピクセルアレイと、 n 個のカラムADCと、データ読み出し回路と、制御信号発生回路と、を備えることを特徴とする撮像装置が提供される。

【0020】

前記 n 個のカラムADCは、それぞれが前記ピクセルアレイの1個のカラムラインからのアナログデータを受け取ってアナログ/デジタル変換する。また、前記データ読み出し回路は、前記ピクセルアレイにおける n 個のカラムラインからのアナログデータを1水平時間で順次読み出して対応する前記 n 個のカラムADCにそれぞれ供給する。

【0021】

さらに、前記制御信号発生回路は、前記 n 個のカラムADCに対して、 $n-1$ 水平時間で同時にアナログ/デジタル変換を行わせるための共通の制御信号を発生する。

【0022】

第2実施形態によれば、 n を3以上の整数として、 n 個のカラムラインからのアナログデータのアナログ/デジタル変換を1つの単位として処理する撮像装置と、ドライバ回路と、内部電圧発生回路と、タイミングジェネレータと、を備えることを特徴とするイメージセンサチップが提供される。

【0023】

前記撮像装置は、複数のピクセルを有するピクセルアレイと、 n 個のカラムADCと、データ読み出し回路と、制御信号発生回路と、を備える。

【0024】

前記 n 個のカラムADCは、それぞれが前記ピクセルアレイの1個のカラムラインからのアナログデータを受け取ってアナログ/デジタル変換する。また、前記データ読み出し回路は、前記ピクセルアレイにおける n 個のカラムラインからのアナログデータを1水平時間で順次読み出して対応する前記 n 個のカラムADCにそれぞれ供給する。

【0025】

さらに、前記制御信号発生回路は、前記 n 個のカラムADCに対して、 $n-1$ 水平時間で同時にアナログ/デジタル変換を行わせるための共通の制御信号を発生する。

10

20

30

40

50

【0026】

前記ドライバ回路は、前記ピクセルアレイの1個のカラムライン毎の選択を行い、また、前記内部電圧発生回路は、前記データ読み出し回路、前記複数のカラムADC、前記制御信号発生回路および前記ドライバ回路の内部電圧を発生する。

【0027】

そして、前記タイミングジェネレータは、前記データ読み出し回路、前記複数のカラムADC、前記制御信号発生回路および前記ドライバ回路のタイミング信号を生成する。

第3実施形態によれば、複数のピクセルを有するピクセルアレイと、それぞれが前記ピクセルアレイの1行のデータを受け取ってアナログ/デジタル変換する複数のカラムADCと、前記ピクセルアレイからの複数行のカラムデータを順次読み出して対応する前記複数のカラムADCにそれぞれ供給するデータ読み出し回路と、前記複数のカラムADCにアナログ/デジタル変換を行わせるための共通の制御信号を発生する制御信号発生回路と、を備え、 n を3以上の整数として、 n 個のカラムラインからのアナログデータのアナログ/デジタル変換を1つの単位とし、1水平時間内に n 個のカラムラインのアナログデータを読み込み、 $n-1$ 水平時間内に前記 n 個のカラムラインからのアナログデータのアナログ/デジタル変換を行う、ことを特徴とする撮像装置の信号処理方法が提供される。

10

【発明の効果】

【0028】

各実施例によれば、消費電力や費用の増大を抑えつつ、高画素化および高速化と共に、出力データの高分解能化および高フレームレート化を可能とする撮像装置およびイメージセンサチップを提供することができる。

20

【図面の簡単な説明】

【0029】

【図1】従来の撮像装置の一例を示すブロック図である。

【図2】図1の撮像装置の動作を説明するためのタイミング図である。

【図3】第1実施例の撮像装置を概略的に示すブロック図である。

【図4】図3の撮像装置の動作を説明するためのタイミング図である。

【図5】第2実施例の撮像装置を概略的に示すブロック図である。

【図6】図3の撮像装置が適用されるイメージセンサチップの一例を示すブロック図である。

30

【図7】図6のイメージセンサチップにおける要部の回路構成を示すブロック図である。

【図8】図7に示す回路の動作を説明するためのタイミング図である。

【図9】図3の撮像装置の変形例が適用されるイメージセンサチップの一例を示すブロック図である。

【図10】図9に示す撮像装置の変形例の動作を説明するためのタイミング図である。

【発明を実施するための形態】

【0030】

以下、撮像装置およびイメージセンサチップの実施例を、添付図面を参照して詳述する。

【0031】

40

図3は第1実施例の撮像装置を概略的に示すブロック図である。図3において、参照符号1はピクセルアレイ、10はピクセル、そして、11~14はサブピクセル(画素)を示している。また、参照符号20はプリアンプ(Pre AMP)および相関二重サンプリング(Correlated Double Sampling: CDS)回路、31~38はカラム・アナログ/デジタルコンバータ(カラムADC)、そして、40はランブ信号発生回路を示している。

【0032】

ここで、各ピクセル10は、例えば、赤色用のサブピクセル11、緑色用のサブピクセル12、13、および、青色用のサブピクセル14の4つのサブピクセルで構成されている。なお、4つのサブピクセルは 2×2 構成とされ、緑色用のサブピクセル12および13は、 2×2 構成の対角位置に設けられている。

50

【 0 0 3 3 】

図 3 に示されるように、第 1 実施例の撮像装置は、画素（サブピクセル）がマトリクス状に配列されたピクセルアレイ 1 の一方側にプリアンプおよび相関二重サンプリング回路（Pre AMP + CDS）2 0 と 8 つのカラム A D C 3 1 ~ 3 8 を設けるようになっている。

【 0 0 3 4 】

各カラム A D C 3 0 は、ランプ信号発生回路 4 0 からのランプ信号 R M P により、プリアンプおよび相関二重サンプリング回路 2 0 から供給されたカラム方向（1 ライン分の画素）のアナログデータをデジタルデータ（例えば、1 4 ビットのデータ）に変換する。

【 0 0 3 5 】

図 4 は図 3 の撮像装置の動作を説明するためのタイミング図である。

10

図 4 に示されるように、図 3 に示す撮像装置では、8 つのカラムラインからのアナログデータのアナログ / デジタル変換を 1 つの単位と考えて処理する。

【 0 0 3 6 】

まず、最初の 1 水平時間 1 H において、8 つのカラムライン（1 行目 ~ 8 行目）のアナログデータを対応する 8 つのカラム A D C 3 1 ~ 3 8 に順次読み込む。

【 0 0 3 7 】

具体的に、プリアンプおよび相関二重サンプリング回路 2 0 を介して、まず、1 行目のカラムラインのアナログデータがカラム A D C 3 1 に読み込まれて保持され、次に、2 行目のカラムラインのアナログデータがカラム A D C 3 2 に読み込まれて保持される。また、7 行目のカラムラインのアナログデータがカラム A D C 3 7 に読み込まれて保持され、さらに、8 行目のカラムラインのアナログデータがカラム A D C 3 8 に読み込まれて保持される。

20

【 0 0 3 8 】

このようにして、1 水平時間 1 H で 1 行目 ~ 8 行目のカラムラインのアナログデータがカラム A D C 3 1 ~ 3 8 に読み込まれて保持される。なお、8 行のカラムラインのアナログデータを順にカラム A D C 3 1 ~ 3 8 に読み込む処理は、1 水平時間 1 H で余裕を持って行うことができる。

【 0 0 3 9 】

そして、8 つのカラム A D C 3 1 ~ 3 8 に読み込まれて保持されたアナログデータは、共通のランプ信号 R M P に従って、残りの 7 水平時間 7 H において同時にアナログ / デジタル変換される。ここで、カラム A D C 3 1 ~ 3 8 によりアナログ / デジタル変換が行われたデータは、8 水平時間毎に出力されるランプ信号 R M P により 8 水平時間毎のタイミングで出力される。

30

【 0 0 4 0 】

なお、9 行目のカラムラインのアナログデータは、最初に戻ってカラム A D C 3 1 に読み込まれて保持され、同様の処理を繰り返すことになる。

【 0 0 4 1 】

このように、本実施例では、8 つのカラムラインのデータのアナログ / デジタル変換は、図 1 および図 2 を参照して説明したのと同じ 8 水平時間であるが、各カラム A D C 3 1 ~ 3 8 によるアナログ / デジタル変換は、7 水平時間を使用して行うことができる。

40

【 0 0 4 2 】

これにより、カラム A D C を高速化する必要がなく、廉価な A D C を使用して高速 A D 変換を行うことができ、さらに、ノイズの発生および消費電力を低く抑えて高い変換精度を維持することが可能になる。

【 0 0 4 3 】

図 5 は第 2 実施例の撮像装置を概略的に示すブロック図である。

図 5 に示されるように、本第 2 実施例の撮像装置は、複数（8 つ）のカラム A D C を、ピクセルアレイ 1 の上方側に設けた第 1 カラム A D C 群（3 1 1 ~ 3 1 4）と下方側に設けた第 2 カラム A D C 群（3 2 1 ~ 3 2 4）とで構成するようになっている。

【 0 0 4 4 】

50

ここで、ピクセルアレイ 1 と上方側の第 1 カラム A D C 群との間には、第 1 のプリアンプおよび相関二重サンプリング回路 (Pre AMP + CDS) 2 1 が設けられている。また、ピクセルアレイ 1 と下方側の第 2 カラム A D C 群との間には、第 2 のプリアンプおよび相関二重サンプリング回路 2 2 が設けられている。

【 0 0 4 5 】

各ピクセル 1 0 は、例えば、赤色用のサブピクセル 1 1、緑色用のサブピクセル 1 2、1 3、および、青色用のサブピクセル 1 4 の 4 つのサブピクセルで構成されている。なお、4 つのサブピクセルは 2 × 2 構成とされ、緑色用のサブピクセル 1 2 および 1 3 は、2 × 2 構成の対角位置に設けられている。

【 0 0 4 6 】

そして、例えば、ピクセルアレイ 1 の上方側に設けた各カラム A D C 3 1 1 ~ 3 1 4 は、例えば、奇数行の赤色用のサブピクセル 1 1 および緑色用のサブピクセル 1 2 により検出されたデータのアナログ / デジタル変換を行う。

【 0 0 4 7 】

また、例えば、ピクセルアレイ 1 の下方側に設けた各カラム A D C 3 2 1 ~ 3 2 4 は、例えば、偶数行の緑色用のサブピクセル 1 3 および青色用のサブピクセル 1 4 により検出されたデータのアナログ / デジタル変換を行う。

【 0 0 4 8 】

これにより、ピクセルアレイ 1 による赤色および緑色のアナログ / デジタル変換されたデータは、カラム A D C 3 1 1 ~ 3 1 4 (第 1 カラム A D C 群) から取り出すことができる。同様に、ピクセルアレイ 1 による緑色および青色のアナログ / デジタル変換されたデータは、カラム A D C 3 2 1 ~ 3 2 4 (第 2 カラム A D C 群) から取り出すことができる。

【 0 0 4 9 】

なお、本第 2 実施例の撮像装置では、ピクセルアレイ 1 の上下両方側に設けたプリアンプおよび相関二重サンプリング回路 2 1 および 2 2 により、上下両方側のカラム A D C 3 1 1 ~ 3 1 4 および C 3 2 1 ~ 3 2 4 に対するデータの読み込みを同時に行う。

【 0 0 5 0 】

そして、ランプ信号発生回路 4 0 から上下両方側のカラム A D C 3 1 1 ~ 3 1 4 および C 3 2 1 ~ 3 2 4 に対して共通のランプ信号 R M P が 8 水平時間毎に出力される。

【 0 0 5 1 】

上述した第 1 および第 2 実施例では、8 つのカラム A D C を設けて 8 水平時間を 1 つの単位とした例を説明したが、これは任意の数に変更することができる。また、各ピクセル 1 0 の構成に関しても 2 × 2 構成の 4 つのサブピクセルである必要はなく、様々な仕様のピクセルアレイに対して幅広く適用することができるのはいうまでもない。

【 0 0 5 2 】

図 6 は図 3 の撮像装置が適用されるイメージセンサチップの一例を示すブロック図である。

【 0 0 5 3 】

イメージセンサチップ 1 0 0 は、ピクセルアレイ 1、内部電圧発生回路およびランプ信号発生回路 4 0 0、プリアンプおよび相関二重サンプリング回路 (Pre AMP + CDS) 2 0 0、カラム A D C 回路列 3 0 0、および、シフトレジスタ列 3 1 0 を備える。

【 0 0 5 4 】

さらに、イメージセンサチップ 1 0 0 は、ドライバ列 5 1 0、ピクセル制御回路列 5 2 0、シフトレジスタ列 5 3 0、タイミングジェネレータ 6 0 0、および、デジタルシグナルプロセッサ (D S P) 7 0 0 を備える。ここで、ドライバ列 5 1 0、ピクセル制御回路列 5 2 0 およびシフトレジスタ列 5 3 0 は、ドライバ回路を構成する。

【 0 0 5 5 】

内部電圧発生回路およびランプ信号発生回路 4 0 0 は、後述する各撮像素子 (例えば、サブピクセル 1 1) 用回路 1 1 0 に対するリセット電圧 V R 等の内部電圧、および、ラン

10

20

30

40

50

プ信号 R M P を発生する。

【 0 0 5 6 】

ピクセル読み出し回路列 2 0 0 は、ドライバ列 5 1 0 により順次選択されるピクセルアレイ 1 の各カラム方向のデータ（ 1 行毎のサブピクセルのデータ）読み出して、カラム A D C 回路列 3 0 0 に出力する。ここで、ピクセル読み出し回路列 2 0 0 およびカラム A D C 回路列 3 0 0 は、それぞれ図 3 におけるプリアンプおよび相関二重サンプリング回路 2 0 および 8 つのカラム A D C 3 1 ~ 3 8 に対応する。

【 0 0 5 7 】

シフトレジスタ列 3 1 0 は、カラム A D C 回路列 3 0 0 でアナログ / デジタル変換されたデータを順次シフトして出力させるためのものである。

10

【 0 0 5 8 】

ドライバ列 5 1 0 は、シフトレジスタ列 5 3 0 およびピクセル制御回路列 5 2 0 の出力に従って、例えば、 1 水平時間 1 H でピクセルアレイ 1 の全ての行を順次選択する。

【 0 0 5 9 】

なお、イメージセンサチップ 1 0 0 は、さらに、各回路ブロックに所定のタイミング信号を供給するタイミングジェネレータ 6 0 0、および、イメージセンサチップ 1 0 0 全体の制御を行うデジタルシグナルプロセッサ 7 0 0 を備える。

【 0 0 6 0 】

なお、図 6 に示す回路は、イメージセンサチップの単なる一例であり、様々に変形させることができるのはいうまでもない。

20

【 0 0 6 1 】

図 7 は図 6 のイメージセンサチップにおける要部の回路構成を示すブロック図である。

図 7 に示されるように、各撮像素子（例えば、サブピクセル 1 1）用回路 1 1 0 は、 4 つの n M O S トランジスタ T r 1 ~ T r 4 およびフォトダイオード P D を備える。ここで、フォトダイオード P D は、カラーフィルタ（例えば、赤色フィルタ）を介して入力する光を検出する。

【 0 0 6 2 】

ここで、トランジスタ T r 1 のゲートにはリセット信号 R S T が供給され、トランジスタ T r 2 のゲートにはトリガ信号 T G が供給され、そして、トランジスタ T r 4 のゲートには選択信号 S L C T が供給されている。なお、トランジスタ T r 3 のゲートは、トランジスタ T r 1 および T r 2 の共通接続ノードに接続されている。

30

【 0 0 6 3 】

プリアンプおよび相関二重サンプリング回路 2 0 は、 2 つの差動増幅器 A M P 1 , A M P 2、容量 C 2 およびスイッチ S w 2 を備え、撮像素子用回路 1 1 0 からのアナログ信号を、スイッチ S w 1 を介して受け取るようになっている。なお、スイッチ S w 1 を介したプリアンプおよび相関二重サンプリング回路 2 0 の入力には、一端がセッチされた容量 C 1 が設けられている。

【 0 0 6 4 】

さらに、各カラム A D C（例えば、カラム A D C 3 1）は、カウンタ 3 1 1、ラッチ 3 1 2、差動増幅器 A M P 3、容量 C 3 および 3 つのスイッチ S w 3 ~ S w 5 を備える。

40

【 0 0 6 5 】

ここで、ピクセルアレイ 1 の選択された行に含まれる複数の撮像素子用回路 1 1 0 は、各フォトダイオード P D が検出した信号を、対応する読み出し信号線 S L およびスイッチ S w 1 を介してプリアンプおよび相関二重サンプリング回路 2 0 に出力する。

【 0 0 6 6 】

ランブ信号 R M P は、図 8 に示されるように、カラム A D C 3 1 のアナログ / デジタル変換の開始に伴って所定の傾きで下降する信号であり、スイッチ S w 4 を介してノード n 1 に接続されている。ラッチ 3 1 2 は、差動増幅器 A M P 3 の出力に従ってカウンタ 3 1 1 の出力をラッチし、そのラッチしたカウンタ値を A / D 変換結果のデジタル値として保持し、その保持された信号を、例えば、 8 行毎に出力する。

50

【 0 0 6 7 】

なお、撮像素子用回路 1 1 0 に供給される信号 S L C T , R S T および T G が、サブピクセル (ピクセル) の制御信号である。さらに、スイッチ S w 1 および S w 2 のスイッチングを制御する信号が、プリアンプおよび相関二重サンプリング回路 2 0 の制御信号であり、そして、スイッチ S w 3 ~ S w 5 のスイッチングを制御する信号が、カラム A D C 3 1 の制御信号である。

【 0 0 6 8 】

図 8 は図 7 に示す回路の動作を説明するためのタイミング図であり、撮像素子用回路 1 1 0 からのアナログデータの読み出し処理 (N リード動作、 S + N リード動作) およびアナログ / デジタル変換 (A D C) 動作を示している。

10

【 0 0 6 9 】

すなわち、図 7 に示す回路は、ピクセル制御信号 S L C T , R S T , T G によりサブピクセル 1 1 (フォトダイオード P D) からのアナログ信号を図 8 に示すタイミングで読み出す。さらに、スイッチ S w 1 および S w 2 のスイッチング制御信号により相関二重サンプリング (C D S) 処理を行い、その後、スイッチ S w 3 ~ S w 5 のスイッチング制御信号によりアナログ / デジタル変換処理を行う。

【 0 0 7 0 】

すなわち、図 8 に示されるように、スイッチ S w 3 がオフするとノード n 2 に接続された容量 C 3 が信号を保持するので、各サブピクセルからの読み出し信号を、例えば、 1 H の時間内で 8 行分を読み出し、その後、 7 H の時間内でアナログ / デジタル変換して出力する。

20

【 0 0 7 1 】

なお、図 7 に示す 4 トランジスタ型ピクセル回路 (撮像素子用回路) およびそのピクセル回路を適用したイメージセンサチップの要部、並びに、その動作を説明するための図 8 のタイミング図に関しては、例えば、特許文献 3 に詳細な記載がある。

【 0 0 7 2 】

図 7 および図 8 を参照して説明したイメージセンサチップは、ピクセルアレイ 1 から読み出したアナログ信号に対する C D S 処理を行い、その後、アナログ / デジタル変換処理を行うようになっている。

【 0 0 7 3 】

しかしながら、本実施形態が適用されるイメージセンサチップとしては、上述したものに限定されず、例えば、ピクセルアレイ 1 から読み出したアナログ信号に対するアナログ / デジタル変換処理を行った後、 C D S 処理を行うことも可能である。

30

【 0 0 7 4 】

図 9 は図 3 の撮像装置の変形例が適用されるイメージセンサチップの一例を示すブロック図であり、アナログ / デジタル変換処理を行った後に C D S 処理を行うイメージセンサチップの例を示すものである。

【 0 0 7 5 】

図 9 と前述した図 6 との比較から明らかなように、本実施例のイメージセンサチップ 1 5 0 では、ピクセルアレイ 1 から読み出したアナログ信号を、プリアンプ (Pre AMP) 2 5 0 で増幅し、カラム A D C 回路列 3 0 0 でアナログ / デジタル変換を行う。

40

【 0 0 7 6 】

さらに、カラム A D C 回路列 3 0 0 によりデジタル変換されたデータは、タイミングジェネレータおよびデータ出力バッファ 3 5 0 を介してイメージセンサチップ 1 5 0 外部の D S P チップ 7 5 0 に供給される。

【 0 0 7 7 】

D S P チップ 7 5 0 (画像処理演算プロセッサ (ISP: Image Signal Processor)) は、例えば、フレームメモリ 8 0 0 にノイズレベルを書き込み、それを利用して相関二重サンプリング (C D S) 処理を行う。ここで、D S P チップ 7 5 0 およびフレームメモリ 8 0 0 は、相関二重サンプリング処理を行う C D S 回路を構成している。

50

【 0 0 7 8 】

なお、図 9 に示す実施例では、イメージセンサチップ 1 5 0 の外部に設けた D S P チップ 7 5 0 およびフレームメモリ 8 0 0 により C D S 回路を構成しているが、イメージセンサチップ 1 5 0 の内部にハード構成として設けることもできる。

【 0 0 7 9 】

このように、C D S 回路 (7 5 0 , 8 0 0) は、ピクセルアレイ 1 から読み出したアナログ信号をアナログ / デジタル変換するカラム A D C 回路列 3 0 0 の後段に設けることもできる。

【 0 0 8 0 】

図 1 0 は図 9 に示す撮像装置の変形例の動作を説明するためのタイミング図である。

10

図 1 0 は、ピクセル (サブピクセル) をリセットするピクセル先行リセットを行う場合を示し、ピクセルをリセットしてから露光を行い、ピクセル信号読み出しで露光した信号を読み出すようになっている。

【 0 0 8 1 】

ノイズレベル読み出しは、ピクセル先行リセット時に読み出してカラム A D C 列 3 0 0 でアナログ / デジタル変換を行い、そのデジタル変換されたデータをフレームメモリ 8 0 0 に書き込む。その後で、ピクセル信号読み出しを行って、D S P チップ 7 5 0 により相関二重サンプリング処理を行う。

【 0 0 8 2 】

このように、本実施例は、C D S 回路がカラム A D C の前段に設けられたイメージセンサチップ、或いは、C D S 回路がカラム A D C の後段に設けられたイメージセンサチップの両方に対して適用することができる。

20

【 0 0 8 3 】

以上の実施例を含む実施形態に関し、さらに、以下の付記を開示する。

(付記 1)

複数のピクセルを有するピクセルアレイと、

それぞれが前記ピクセルアレイの 1 行のデータを受け取ってアナログ / デジタル変換する複数のカラム A D C と、

前記ピクセルアレイからの複数行のカラムデータを順次読み出して対応する前記複数のカラム A D C にそれぞれ供給するデータ読み出し回路と、

30

前記複数のカラム A D C にアナログ / デジタル変換を行わせるための共通の制御信号を発生する制御信号発生回路と、を備えることを特長とする撮像装置。

【 0 0 8 4 】

(付記 2)

付記 1 に記載の撮像装置において、

前記データ読み出し回路は、第 1 期間内において、前記ピクセルアレイから前記複数行のカラムデータを読み出して対応する前記複数のカラム A D C に供給し、

前記複数のカラム A D C は、第 2 期間内において、前記データ読み出し回路から供給された前記複数行のカラムデータを同時にアナログ / デジタル変換し、

前記第 2 期間は、前記第 1 期間よりも長いことを特長とする撮像装置。

40

【 0 0 8 5 】

(付記 3)

付記 1 に記載の撮像装置において、

前記複数のカラム A D C の数は、前記第 1 期間内で前記データ読み出し回路が前記ピクセルアレイから読み出す前記カラムデータの行数と同じであることを特長とする撮像装置。

【 0 0 8 6 】

(付記 4)

付記 2 または 3 に記載の撮像装置において、

前記第 1 期間と前記第 2 期間の合計は、前記複数行のカラムデータの読み出し処理およ

50

びアナログ／デジタル変換処理に割り当てられる時間に対応することを特長とする撮像装置。

【 0 0 8 7 】

(付記 5)

付記 4 に記載の撮像装置において、

前記第 1 期間は、前記 1 行のカラムデータの読み出し処理およびアナログ／デジタル変換処理に割り当てられる時間に対応することを特長とする撮像装置。

【 0 0 8 8 】

(付記 6)

付記 1 ～ 5 のいずれか 1 項に記載の撮像装置において、さらに、

前記ピクセルアレイと前記複数のカラム A D C との間に設けられた相関二重サンプリング回路を備えることを特長とする撮像装置。

【 0 0 8 9 】

(付記 7)

付記 1 ～ 5 のいずれか 1 項に記載の撮像装置において、さらに、

前記複数のカラム A D C の後段に設けられた相関二重サンプリング回路を備えることを特長とする撮像装置。

【 0 0 9 0 】

(付記 8)

付記 1 ～ 7 のいずれか 1 項に記載の撮像装置において、

前記複数のカラム A D C は、前記ピクセルアレイの一方側に設けられることを特長とする撮像装置。

【 0 0 9 1 】

(付記 9)

付記 1 ～ 7 のいずれか 1 項に記載の撮像装置において、

前記複数のカラム A D C は、前記ピクセルアレイの一方側に設けられた第 1 カラム A D C 群、および、前記ピクセルアレイの他方側に設けられた第 2 カラム A D C 群を備えることを特長とする撮像装置。

【 0 0 9 2 】

(付記 1 0)

付記 9 に記載の撮像装置において、

前記第 1 カラム A D C 群は、前記ピクセルアレイの偶数行のカラムデータのアナログ／デジタル変換を行い、

前記第 2 カラム A D C 群は、前記ピクセルアレイの奇数行のカラムデータのアナログ／デジタル変換を行うことを特長とする撮像装置。

【 0 0 9 3 】

(付記 1 1)

付記 1 0 に記載の撮像装置において、

前記各ピクセルは、 2×2 構成の 4 つのサブピクセルを備え、

該 4 つのサブピクセルは、第 1 の色を検出する 1 つの第 1 サブピクセル、第 2 の色を検出する対角位置に設けられた 2 つの第 2 サブピクセル、および、第 3 の色を検出する 1 つの第 3 サブピクセルを含み、

前記第 1 カラム A D C 群は、前記第 1 および第 2 サブピクセルによる前記複数行のカラムデータを受け取ってアナログ／デジタル変換を行い、

前記第 2 カラム A D C 群は、前記第 2 および第 3 サブピクセルによる前記複数行のカラムデータを受け取ってアナログ／デジタル変換を行うことを特長とする撮像装置。

【 0 0 9 4 】

(付記 1 2)

付記 1 ～ 1 1 のいずれか 1 項に記載の撮像装置と、

前記ピクセルアレイの 1 行毎の選択を行うドライバ回路と、

前記データ読み出し回路，前記複数のカラムADC，前記制御信号発生回路および前記ドライバ回路の内部電圧を発生する内部電圧発生回路と、

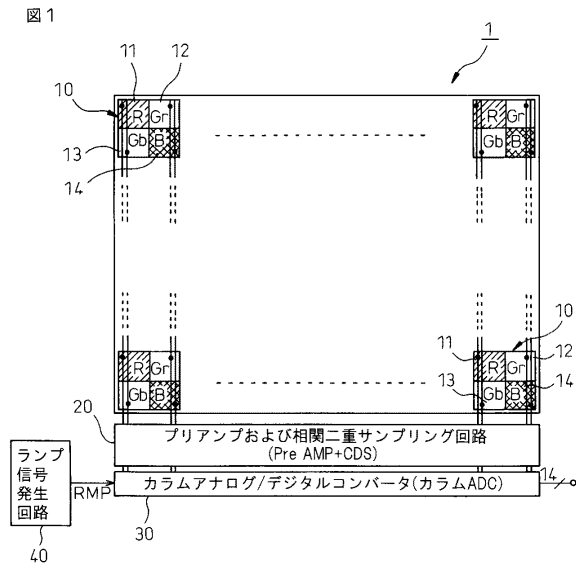
前記データ読み出し回路，前記複数のカラムADC，前記制御信号発生回路および前記ドライバ回路のタイミング信号を生成するタイミングジェネレータと、を備えることを特徴とするイメージセンサチップ。

【符号の説明】

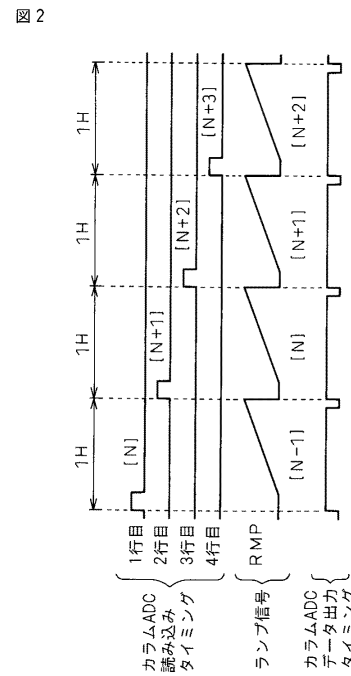
【0095】

1	ピクセルアレイ	
10	ピクセル	
11 ~ 14	サブピクセル	10
20, 21, 22	プリアンプおよび相関二重サンプリング回路 (Pre AMP + CDS)	
30, 31, 32, 311 ~ 314, 321 ~ 324	カラム・アナログ/デジタルコンバータ (カラムADC)	
40	ランプ信号発生回路	
100, 150	イメージセンサチップ	
200	プリアンプおよび相関二重サンプリング回路 (Pre AMP + CDS) 列	
250	プリアンプ (Pre AMP) 列	
300	カラムADC列	
310	シフトレジスタ列	
400	内部電圧発生回路およびランプ信号発生回路	20
510	ドライバ列	
520	ピクセル制御回路列	
530	シフトレジスタ列	
600	タイミングジェネレータ	
700	デジタルシグナルプロセッサ (DSP)	
750	DSPチップ	
800	フレームメモリ	

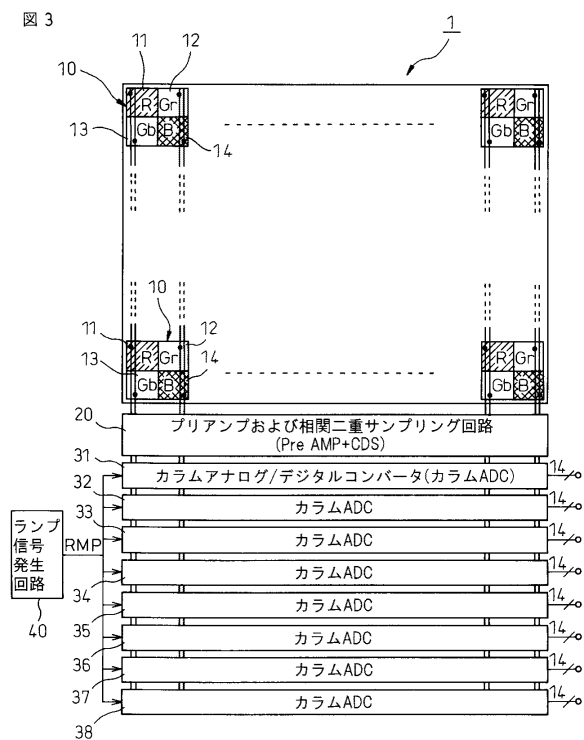
【図 1】



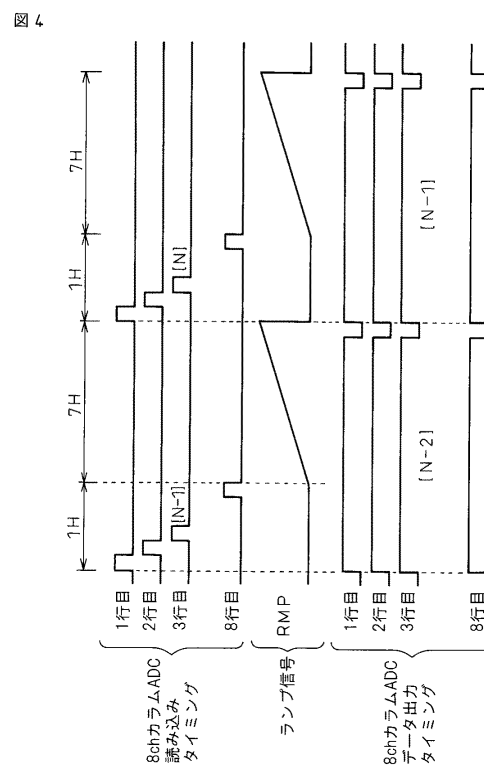
【図 2】



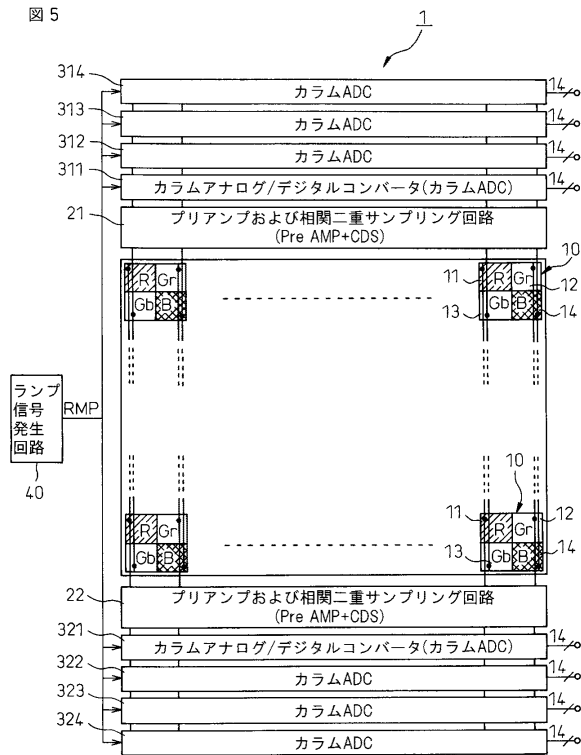
【図 3】



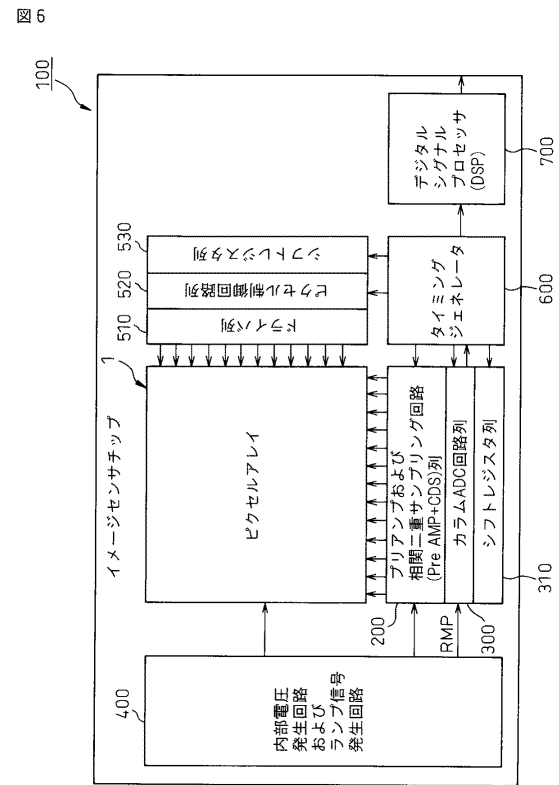
【図 4】



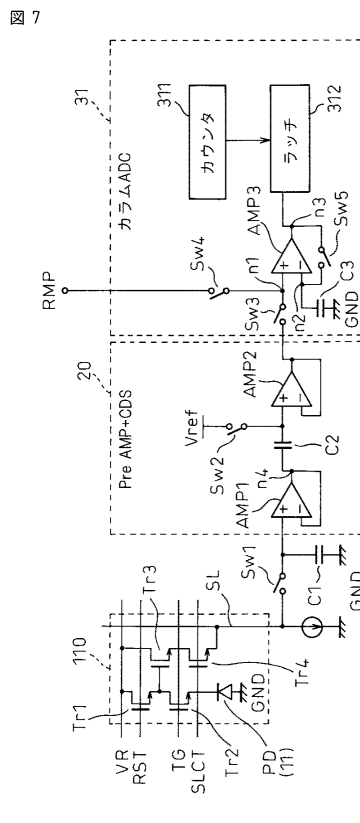
【図 5】



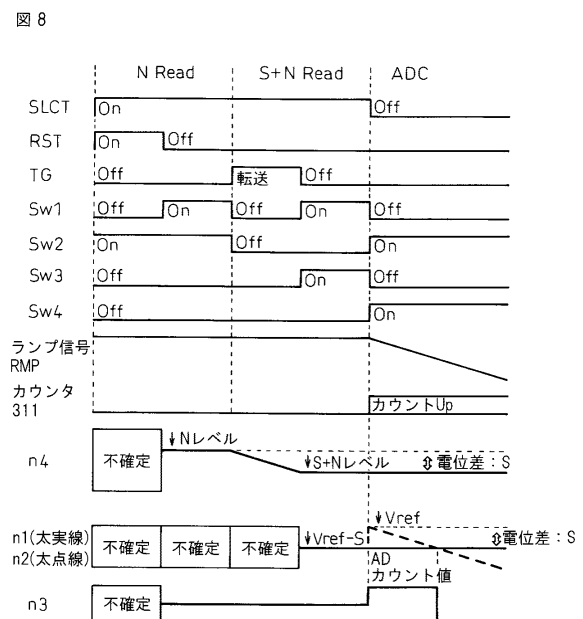
【図 6】



【図 7】

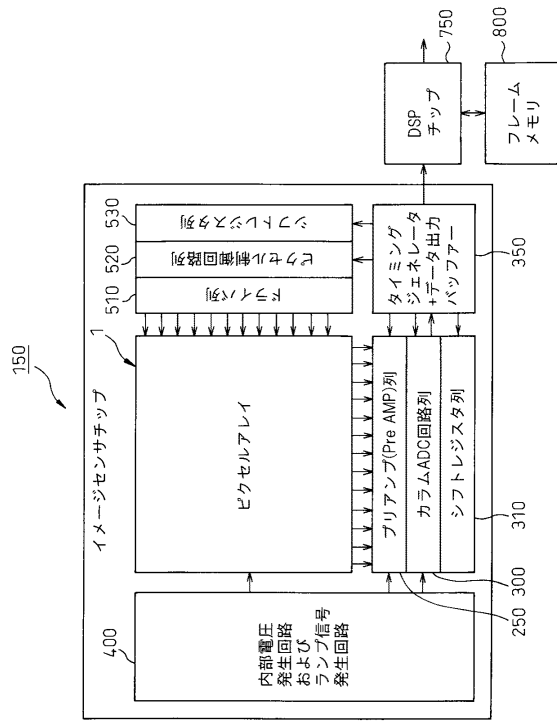


【図 8】



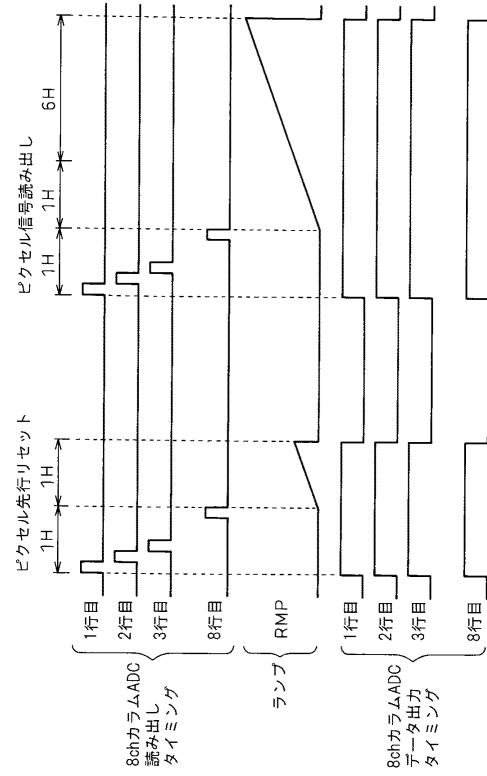
【図 9】

図 9



【図 10】

図 10



フロントページの続き

(74)代理人 100114177

弁理士 小林 龍

(72)発明者 水口 寿孝

東京都新宿区西新宿二丁目7番1号 富士通マイクロエレクトロニクス株式会社内

(72)発明者 山本 克義

東京都新宿区西新宿二丁目7番1号 富士通マイクロエレクトロニクス株式会社内

審査官 木方 庸輔

(56)参考文献 特開2008-103992(JP,A)

特開2002-057581(JP,A)

特開2006-222782(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/335