

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5329294号  
(P5329294)

(45) 発行日 平成25年10月30日(2013.10.30)

(24) 登録日 平成25年8月2日(2013.8.2)

(51) Int.Cl.

F 1

HO1L 21/8238	(2006.01)	HO1L 27/08	321D
HO1L 27/092	(2006.01)	HO1L 29/78	301G
HO1L 21/336	(2006.01)	HO1L 29/58	G
HO1L 29/78	(2006.01)	HO1L 21/28	301R
HO1L 29/423	(2006.01)		

請求項の数 1 (全 38 頁) 最終頁に続く

(21) 出願番号

特願2009-110663 (P2009-110663)

(22) 出願日

平成21年4月30日(2009.4.30)

(65) 公開番号

特開2010-262977 (P2010-262977A)

(43) 公開日

平成22年11月18日(2010.11.18)

審査請求日

平成24年2月24日(2012.2.24)

(73) 特許権者 302062931

ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753番地

(74) 代理人 100080001

弁理士 筒井 大和

(72) 発明者 門島 勝

東京都千代田区大手町二丁目6番2号 株  
式会社ルネサステクノロジ内

(72) 発明者 坂下 真介

東京都千代田区大手町二丁目6番2号 株  
式会社ルネサステクノロジ内

(72) 発明者 川原 孝昭

東京都千代田区大手町二丁目6番2号 株  
式会社ルネサステクノロジ内

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

n チャネル型MISFET または p チャネル型MISFET の一方である第1MISFET を半導体基板の第1領域に有し、n チャネル型MISFET または p チャネル型MISFET の他方である第2MISFET を前記半導体基板の第2領域に有する半導体装置の製造方法であって、

(a) 前記第1および第2MISFET のゲート絶縁膜用で、かつHf を含有する第1絶縁膜を、前記半導体基板の前記第1領域および前記第2領域に形成する工程、

(b) 前記第1領域および前記第2領域に形成された前記第1絶縁膜上に、第1窒化金属膜を形成する工程、

(c) 前記第1領域の前記第1窒化金属膜を除去し、前記第2領域の前記第1窒化金属膜を残す工程、

(d) 前記(c)工程後、前記第1MISFET のしきい値を低下させるために前記第1MISFET のゲート絶縁膜に導入すべき第1金属元素を含有する第1金属元素含有層を、前記第1領域の前記第1絶縁膜上および前記第2領域の前記第1窒化金属膜上に形成する工程、

(e) 热処理を行って、前記第1領域の前記第1絶縁膜を前記第1金属元素含有層と反応させる工程、

(f) 前記(e)工程後、前記(e)工程にて反応しなかった前記第1金属元素含有層を除去する工程、

10

20

- (g) 前記(f)工程後、前記第1窒化金属膜を除去する工程、
- (h) 前記(g)工程後、前記第1領域および前記第2領域の前記第1絶縁膜上に、金属膜を形成する工程、
- (i) 前記金属膜をパターニングして、前記第1領域に前記第1MISFET用の第1ゲート電極を、前記第2領域に前記第2MISFET用の第2ゲート電極を形成する工程、  
、  
を有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

10

本発明は、半導体装置の製造方法に関し、特に、金属ゲート電極を有するMISFETを備えた半導体装置の製造技術に適用して有効な技術に関する。

## 【背景技術】

## 【0002】

半導体基板上にゲート絶縁膜を形成し、ゲート絶縁膜上にゲート電極を形成し、イオン注入などによりソース・ドレイン領域を形成することで、MISFET (Metal Insulator Semiconductor Field Effect Transistor: MIS電界効果トランジスタ、MISトランジスタ)を形成することができる。

## 【0003】

また、CMISFET (Complementary MISFET)においては、nチャネル型MISFETとpチャネル型MISFETの両方において低いしきい値電圧を実現するために、互いに異なる仕事関数 (ポリシリコンの場合、フェルミ準位)を有する材料を使用してゲート電極を形成する、いわゆるデュアルゲート化が行われている。つまり、nチャネル型MISFETとpチャネル型MISFETのゲート電極を形成しているポリシリコン膜に対して、それぞれn型不純物とp型不純物を導入することにより、nチャネル型MISFETのゲート電極材料の仕事関数 (フェルミ準位)をシリコンの伝導帯近傍にするとともにpチャネル型MISFETのゲート電極材料の仕事関数 (フェルミ準位)をシリコンの価電子帯近傍にして、しきい値電圧の低下を図っている。

20

## 【0004】

しかしながら、近年、CMISFET素子の微細化に伴いゲート絶縁膜の薄膜化が進み、ポリシリコン膜をゲート電極に使用した場合におけるゲート電極の空乏化の影響が無視できなくなってきた。このため、ゲート電極としてメタルゲート電極を用いてゲート電極の空乏化現象を抑制する技術がある。

30

## 【0005】

また、CMISFET素子の微細化に伴いゲート絶縁膜の薄膜化が進み、薄い酸化シリコン膜をゲート絶縁膜として使用すると、MISFETのチャネルを流れる電子が酸化シリコン膜によって形成される障壁をトンネルしてゲート電極に流れる、いわゆるトンネル電流が発生してしまう。このため、ゲート絶縁膜として、酸化シリコン膜より誘電率の高い材料を使用することにより、容量を同じにしても物理的膜厚を増加させることで、リーキ電流を低減する技術がある。

40

## 【0006】

非特許文献1, 2には、メタルゲート電極と高誘電率ゲート絶縁膜を用いたCMOSFETに関する技術が記載されている。

## 【先行技術文献】

## 【非特許文献】

## 【0007】

【非特許文献1】ティー・シュラム (T. Schram)、外30名、「ノブル プロセス ト ウー パターン セレクティブリィ デュアル ディエレクトリック キャッピング レイヤーズ ユージング ソフト-マスク オンリィ (Novel Process To Pattern selectively Dual Dielectric Capping Layers Using Soft-Mask Only)」、「2008 シンポ

50

ジウム オン ブイエルエスアイ テクノロジー ダイジェスト オブ テクニカル ペイパーズ (2008 Symposium on VLSI Technology Digest of Technical Papers)」, (米国), 2008年, p. 44 ~ 45

【非特許文献 2】エス・シー・ソン (S.C. Song)、外 16 名, 「ハイリー マニュファクチャブル 45nm エルエスティーピー シーエムオーエスエフイーティーズ ユージング ノブル デュアル ハイ-ケイ アンド デュアル メタル ゲート シーエムオーエス インテグレーション (Highly Manufacturable 45nm LSTP CMOSFETs Using Novel Dual High-k and Dual Metal Gate CMOS Integration)」, 「2006 シンポジウム オン ブイエルエスアイ テクノロジー ダイジェスト オブ テクニカル ペイパーズ (2006 Symposium on VLSI Technology Digest of Technical Papers)」, (米国), 2006年, p. 16 ~ 17

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明者の検討によれば、次のことが分かった。

【0009】

メタルゲート電極を用いた場合、ゲート電極の空乏化の問題は解決できるが、ポリシリコンゲート電極を用いた場合に比べて、nチャネル型MISFETおよびpチャネル型MISFETの両方でしきい値電圧の絶対値が大きくなってしまう。このため、メタルゲート電極を適用する場合には、低しきい値化（しきい値電圧の絶対値の低下）を図ることが望まれる。しかしながら、nチャネル型MISFETとpチャネル型MISFETとでメタルゲート電極とゲート絶縁膜の構成が同じであれば、nチャネル型MISFETおよびpチャネル型MISFETの一方の低しきい値化を図ると、他方は逆に高しきい値化してしまう。

【0010】

このため、nチャネル型MISFETおよびpチャネル型MISFETのそれぞれのしきい値電圧を独立に制御可能とすることが望まれるが、そのためには、nチャネル型MISFETのメタルゲート電極とpチャネル型MISFETのメタルゲート電極とに、異なるメタルゲート電極材料を選択することが考えられる。しかしながら、nチャネル型MISFETのメタルゲート電極とpチャネル型MISFETのメタルゲート電極とに異なるメタルゲート電極材料を使用することは、半導体装置の製造工程（ゲート電極形成工程）を煩雑化してしまうため、半導体装置のスループットの低下や半導体装置の製造コストの増大を招いてしまう。

【0011】

そこで、nチャネル型MISFETおよびpチャネル型MISFETのそれぞれのしきい値電圧を独立に制御可能とするために、nチャネル型MISFETのゲート絶縁膜とpチャネル型MISFETのゲート絶縁膜とに異なる絶縁材料を選択することが有効である。

【0012】

ゲート絶縁膜用の高誘電率膜（high-k膜）として、Hfを含有する高誘電率膜であるHf系ゲート絶縁膜が優れているが、nチャネル型MISFETにおけるHf系ゲート絶縁膜に希土類元素（特に好ましくはランタン）を導入すると、nチャネル型MISFETを低しきい値化することができる。一方、pチャネル型MISFETにおけるHf系ゲート絶縁膜に希土類元素（特にランタン）を導入すると、pチャネル型MISFETが高しきい値化してしまう。このため、nチャネル型MISFETにおけるHf系ゲート絶縁膜に希土類元素（特にランタン）を選択的に導入し、pチャネル型MISFETにおけるHf系ゲート絶縁膜には希土類元素（特にランタン）を導入しないようにする。これにより、pチャネル型MISFETのしきい値電圧の絶対値を増大させることなく、nチャネル型MISFETを低しきい値化することができる。

【0013】

10

20

30

40

50

*n* チャネル型 M I S F E T における H f 系ゲート絶縁膜に希土類元素（特にランタン）を選択的に導入し、かつ *p* チャネル型 M I S F E T における H f 系ゲート絶縁膜には希土類元素（特にランタン）を導入しないようにする手法としては、次のプロセスが考えられる。

【 0 0 1 4 】

H f S i O N 膜などの H f 系ゲート絶縁膜を半導体基板の正面全面に形成し、この H f 系ゲート絶縁膜の全面上に酸化ランタン膜を形成し、この酸化ランタン膜上にフォトレジスト膜を形成し、このフォトレジスト膜をエッチングマスクとしたエッチングにより、*p* チャネル型 M I S F E T 形成予定領域の酸化ランタン膜を選択的に除去してから、フォトレジスト膜を除去する。その後、熱処理を行うことで、*n* チャネル型 M I S F E T 形成予定領域の H f 系ゲート絶縁膜を酸化ランタン膜と反応させて H f 系ゲート絶縁膜にランタンを導入するが、*p* チャネル型 M I S F E T 形成予定領域の酸化ランタン膜は除去されていたので、*p* チャネル型 M I S F E T 形成予定領域の H f 系ゲート絶縁膜にはランタンは導入されない。これにより、*n* チャネル型 M I S F E T における H f 系ゲート絶縁膜にランタンを選択的に導入し、かつ *p* チャネル型 M I S F E T における H f 系ゲート絶縁膜にはランタンを導入しないようにすることができる。

【 0 0 1 5 】

しかしながら、このプロセスには、次のような問題があることが、本発明者の検討により分かった。すなわち、上記酸化ランタン膜上のフォトレジスト膜を除去する際に、上記酸化ランタン膜上にフォトレジスト膜の残渣があると、その後形成される M I S F E T の特性や信頼性に悪影響を与える。このため、上記酸化ランタン膜上のフォトレジスト膜を除去する際には、フォトレジスト膜を、残渣が生じることなく完全に除去する必要があるが、そのためには、 A P M 液 (Ammonia-Hydrogen Peroxide Mixture : アンモニアと過酸化水素と水の混合液) を用いてフォトレジスト膜を除去することが必要となる。しかしながら、本発明者の検討によれば、 A P M 液を用いてフォトレジスト膜を除去すると、*p* チャネル型 M I S F E T 形成予定領域の H f 系ゲート絶縁膜が、この A P M 液にさらされてダメージを受けてしまい、 M I S F E T の特性や信頼性に悪影響を与えることが分かった。

【 0 0 1 6 】

また、他のプロセスとして、*n* チャネル型 M I S F E T の高誘電率ゲート絶縁膜およびメタルゲート電極とを形成してから、*p* チャネル型 M I S F E T の高誘電率ゲート絶縁膜およびメタルゲート電極を形成することも考えられるが、この場合、製造工程が煩雑になり、半導体装置のスループットの低下や半導体装置の製造コストの増大を招いてしまう。

【 0 0 1 7 】

本発明の目的は、高誘電率ゲート絶縁膜とメタルゲート電極を有する C M I S F E T を備えた半導体装置において、生産性向上を図ることができる技術を提供することにある。

【 0 0 1 8 】

本発明の他の目的は、高誘電率ゲート絶縁膜とメタルゲート電極を有する C M I S F E T を備えた半導体装置において、信頼性向上を図ることができる技術を提供することにある。

【 0 0 1 9 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 2 0 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 2 1 】

代表的な実施の形態による半導体装置の製造方法は、*n* チャネル型 M I S F E T または *p* チャネル型 M I S F E T の一方である第 1 M I S F E T を半導体基板の第 1 領域に有し

10

20

30

40

50

、nチャネル型MISFETまたはpチャネル型MISFETの他方である第2MISFETを前記半導体基板の第2領域に有する半導体装置の製造方法である。そして、(a)前記第1および第2MISFETのゲート絶縁膜用で、かつHfを含有する第1絶縁膜を、前記半導体基板の前記第1領域および前記第2領域に形成する工程、(b)前記第1領域および前記第2領域に形成された前記第1絶縁膜上に、第1窒化金属膜を形成する工程、(c)前記第1領域の前記第1窒化金属膜を除去し、前記第2領域の前記第1窒化金属膜を残す工程を有している。更に、(d)前記(c)工程後、前記第1領域の前記第1絶縁膜上および前記第2領域の前記第1窒化金属膜上に、前記第1MISFETのしきい値を低下させるための第1金属元素を含有する第1金属元素含有層を形成する工程、(e)熱処理を行って、前記第1領域の前記第1絶縁膜を前記第1金属元素含有層と反応させる工程を有している。更に、(f)前記(e)工程後、前記(e)工程にて反応しなかった前記第1金属元素含有層を除去する工程、(g)前記(f)工程後、前記第1窒化金属膜を除去する工程、(h)前記(g)工程後、前記第1領域および前記第2領域の前記第1絶縁膜上に、金属膜を形成する工程を有している。更に、(i)前記金属膜をパターニングして、前記第1領域に前記第1MISFET用の第1ゲート電極を、前記第2領域に前記第2MISFET用の第2ゲート電極を形成する工程を有している。10

【発明の効果】

【0022】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。20

【0023】

代表的な実施の形態によれば、半導体装置の生産性向上を図ることができる。

【0024】

また、代表的な実施の形態によれば、半導体装置の信頼性向上を図ることができる。

【図面の簡単な説明】

【0025】

【図1】本発明の一実施の形態である半導体装置の製造工程の一部を示す製造プロセスフロー図である。

【図2】本発明の一実施の形態である半導体装置の製造工程中の要部断面図である。

【図3】図2に続く半導体装置の製造工程中の要部断面図である。30

【図4】図3に続く半導体装置の製造工程中の要部断面図である。

【図5】図4に続く半導体装置の製造工程中の要部断面図である。

【図6】図5に続く半導体装置の製造工程中の要部断面図である。

【図7】図6に続く半導体装置の製造工程中の要部断面図である。

【図8】図7に続く半導体装置の製造工程中の要部断面図である。

【図9】図8に続く半導体装置の製造工程中の要部断面図である。

【図10】図9に続く半導体装置の製造工程中の要部断面図である。

【図11】図10に続く半導体装置の製造工程中の要部断面図である。

【図12】図11に続く半導体装置の製造工程中の要部断面図である。

【図13】図12に続く半導体装置の製造工程中の要部断面図である。40

【図14】図13に続く半導体装置の製造工程中の要部断面図である。

【図15】図14に続く半導体装置の製造工程中の要部断面図である。

【図16】図15に続く半導体装置の製造工程中の要部断面図である。

【図17】比較例の半導体装置の製造工程中の要部断面図である。

【図18】図17に続く比較例の半導体装置の製造工程中の要部断面図である。

【図19】図18に続く比較例の半導体装置の製造工程中の要部断面図である。

【図20】図19に続く比較例の半導体装置の製造工程中の要部断面図である。

【図21】図20に続く比較例の半導体装置の製造工程中の要部断面図である。

【図22】本発明の他の実施の形態である半導体装置の製造工程の一部を示す製造プロセスフロー図である。50

【図23】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図24】図23に続く半導体装置の製造工程中の要部断面図である。

【図25】図24に続く半導体装置の製造工程中の要部断面図である。

【図26】図25に続く半導体装置の製造工程中の要部断面図である。

【図27】図26に続く半導体装置の製造工程中の要部断面図である。

【図28】図27に続く半導体装置の製造工程中の要部断面図である。

【図29】図28に続く半導体装置の製造工程中の要部断面図である。

【図30】図29に続く半導体装置の製造工程中の要部断面図である。

【図31】本発明の他の実施の形態である半導体装置の製造工程の一部を示す製造プロセスフロー図である。

10

【図32】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図33】図32に続く半導体装置の製造工程中の要部断面図である。

【図34】図33に続く半導体装置の製造工程中の要部断面図である。

【図35】図34に続く半導体装置の製造工程中の要部断面図である。

【図36】本発明の他の実施の形態である半導体装置の製造工程の一部を示す製造プロセスフロー図である。

20

【図37】本発明の他の実施の形態である半導体装置の製造工程中の要部断面図である。

【図38】図37に続く半導体装置の製造工程中の要部断面図である。

【図39】図38に続く半導体装置の製造工程中の要部断面図である。

【図40】図39に続く半導体装置の製造工程中の要部断面図である。

20

#### 【発明を実施するための形態】

##### 【0026】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

30

##### 【0027】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

##### 【0028】

40

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

##### 【0029】

###### （実施の形態1）

本実施の形態の半導体装置の製造工程を図面を参照して説明する。

##### 【0030】

図1は、本発明の一実施の形態である半導体装置、ここではCMISFET (Complementary Metal Insulator Semiconductor Field Effect Transistor) を有する半導体装置の製造工程の一部を示す製造プロセスフロー図である。図2～図16は、本発明の一実施

50

の形態である半導体装置、ここではCMISFETを有する半導体装置の製造工程中の要部断面図である。

【0031】

まず、図2に示されるように、例えば1~10cm程度の比抵抗を有するp型の単結晶シリコンなどからなる半導体基板(半導体ウエハ)1を準備する(図1のステップS1)。本実施の形態の半導体装置が形成される半導体基板1は、nチャネル型のMISFET(Metal Insulator Semiconductor Field Effect Transistor)が形成される領域であるnMIS形成領域1Aと、pチャネル型のMISFETが形成される領域であるpMIS形成領域1Bとを有している。それから、半導体基板1の正面に素子分離領域2を形成する(図1のステップS2)。素子分離領域2は酸化シリコンなどの絶縁体からなり、例えばSTI(Shallow Trench Isolation)法またはLOCOS(Local Oxidization of Silicon)法などにより形成される。例えば、半導体基板1に形成された溝(素子分離溝)2aに埋め込まれた絶縁膜により、素子分離領域2を形成することができる。

【0032】

次に、半導体基板1のnチャネル型MISFETを形成する領域(nMIS形成領域1A)にp型ウエル3を形成し、pチャネル型MISFETを形成する領域(pMIS形成領域1B)にn型ウエル4を形成する(図1のステップS3)。このステップS3において、p型ウエル3は、例えばホウ素(B)などのp型の不純物をイオン注入することなどによって形成され、n型ウエル4は、例えばリン(P)またはヒ素(As)などのn型の不純物をイオン注入することなどにより形成される。また、p型ウエル3およびn型ウエル4の形成前または形成後に、半導体基板1の上層部に対して、後で形成されるMISFETのしきい値調整用のイオン注入(いわゆるチャネルドープイオン注入)を必要に応じて行なうこともできる。

【0033】

次に、例えばフッ酸(HF)水溶液を用いたウェットエッチングなどにより半導体基板1の表面の自然酸化膜を除去することによって、半導体基板1の表面を清浄化(洗浄)する。これにより、半導体基板1(p型ウエル3およびn型ウエル4)の表面(シリコン面)が露出される。

【0034】

次に、図3に示されるように、半導体基板1の表面(すなわちp型ウエル3およびn型ウエル4の表面)上に、ゲート絶縁膜用のHf含有絶縁膜(第1絶縁膜)5を形成する(図1のステップS4)。Hf含有絶縁膜5は、半導体基板1の正面全面に形成されるため、nMIS形成領域1AおよびpMIS形成領域1Bの両方に形成される。

【0035】

Hf含有絶縁膜5は、Hfを含有する絶縁膜であり、Hf(ハフニウム)を含有する絶縁材料からなり、好ましくはHfSiON膜(ハフニウムシリコンオキシナイトライド膜)、HfON膜(ハフニウムオキシナイトライド膜)またはHfO膜(酸化ハフニウム膜)またはハフニウムオキサイド膜、代表的なのはHfO<sub>2</sub>膜)とすることができます。従って、Hf含有絶縁膜5は、ハフニウム(Hf)に加えて、更に酸素(O)も含有していることが好ましい。なお、HfSiON膜は、ハフニウム(Hf)とケイ素(Si)と酸素(O)と窒素(N)とで構成された絶縁材料膜であり、HfON膜は、ハフニウム(Hf)と酸素(O)と窒素(N)とで構成された絶縁材料膜であり、HfO膜は、ハフニウム(Hf)と酸素(O)とで構成された絶縁材料膜である。

【0036】

Hf含有絶縁膜5がHfSiON膜の場合には、ALD(Atomic Layer Deposition:原子層堆積)法またはCVD(Chemical Vapor Deposition:化学的気相成長)法を用いてまずHfSiO膜を堆積する。それから、このHfSiO膜をプラズマ窒化処理のような窒化処理によって窒化する(すなわちHfSiO膜を窒化してHfSiON膜にする)ことによって、HfSiON膜を形成することができる。この窒化処理の後に、不活性または酸化雰囲気中で熱処理する場合もある。

## 【0037】

Hf含有絶縁膜5がHfON膜の場合には、ALD法またはCVD法を用いてまずHfO膜（代表的にはHfO<sub>2</sub>膜）を堆積してから、このHfO膜をプラズマ窒化処理のような窒化処理によって窒化する（すなわちHfO膜をHfON膜にする）ことによって、HfON膜を形成することができる。この窒化処理の後に、不活性または酸化雰囲気中で熱処理する場合もある。

## 【0038】

Hf含有絶縁膜5がHfO膜（代表的にはHfO<sub>2</sub>膜）の場合には、ALD法またはCVD法を用いてHfO膜（代表的にはHfO<sub>2</sub>膜）を堆積すればよく、窒化処理を行う必要はない。

10

## 【0039】

Hf含有絶縁膜5の膜厚は、例えば0.5～2nm程度とすることができます。

## 【0040】

また、半導体基板1（p型ウエル3およびn型ウエル4）の表面（シリコン面）上に直接的にHf含有絶縁膜5を形成することもできるが、ステップS4において、Hf含有絶縁膜5を形成する前に、半導体基板1（p型ウエル3およびn型ウエル4）の表面（シリコン面）上に、薄い酸化シリコン膜（図示せず）を界面層として形成しておき、この酸化シリコン膜上にHf含有絶縁膜5を形成すれば、より好ましい。この酸化シリコン膜を形成する理由は、ゲート絶縁膜と半導体基板の界面をSiO<sub>2</sub>/Si構造にすることで、これまでのSiO<sub>2</sub>ゲート絶縁膜（酸化シリコンからなるゲート絶縁膜）と同等にトラップなどの欠陥数を減らして、駆動能力や信頼性を向上させるためである。この酸化シリコン膜は、熱酸化法などを用いて形成することができ、その膜厚は薄く、好ましくは0.3～1nm、例えば0.6nm程度とすることができます。

20

## 【0041】

次に、図4に示されるように、半導体基板1の主面上に、すなわちHf含有絶縁膜5上に、窒化金属膜7を形成する（図1のステップS5）。

## 【0042】

ステップS5において、窒化金属膜7は、半導体基板1の主面全面に形成されるため、nMIS形成領域1AおよびpMIS形成領域1BのHf含有絶縁膜5上に形成される。窒化金属膜7は、好ましくは窒化チタン（TiN）膜、窒化ハフニウム（HfN）膜または窒化ジルコニウム（ZrN）膜であり、その中でも特に好ましいのは窒化チタン（TiN）膜である。窒化金属膜7は、スパッタリング法などを用いて形成することができ、その膜厚は、好ましくは5～20nm程度とすることができます。

30

## 【0043】

次に、図5に示されるように、半導体基板1の主面上に、すなわち窒化金属膜7上に、フォトレジスト膜を塗布し、このフォトレジスト膜を露光、現像することで、レジストパターンとしてフォトレジストパターン（レジストパターン）PR1を形成する（図1のステップS6）。

## 【0044】

フォトレジストパターンPR1は、pMIS形成領域1Bの窒化金属膜7上には形成されるが、nMIS形成領域1Aには形成されない。このため、pMIS形成領域1Bの窒化金属膜7はフォトレジストパターンPR1で覆われているが、nMIS形成領域1Aの窒化金属膜7はフォトレジストパターンPR1で覆われずに露出した状態となる。また、フォトレジストパターンPR1は、窒化金属膜7上に形成されるため、フォトレジスト膜を現像する現像液は窒化金属膜7には触れるが、窒化金属膜7で覆われているHf含有絶縁膜5には触れない。この現像液でHf含有絶縁膜5がダメージを受けることはない。

40

## 【0045】

次に、フォトレジストパターンPR1をエッティングマスクとして用いて、窒化金属膜7をウェットエッティングする（図1のステップS7）。このステップS7のウェットエッチ

50

ング工程によって、図 6 に示されるように、n MIS 形成領域 1 A の窒化金属膜 7 はエッチングされて除去されるが、p MIS 形成領域 1 B の窒化金属膜 7 はフォトレジストパターン PR 1 で覆われているので、エッチングされずに残存する。これにより、n MIS 形成領域 1 A の Hf 含有絶縁膜 5 は露出されるが、p MIS 形成領域 1 B の Hf 含有絶縁膜 5 は、窒化金属膜 7 で覆われた状態（すなわち露出していない状態）が維持される。このステップ S 7 の窒化金属膜 7 のウェットエッチング工程で使用するエッチング液は、過酸化水素 (H<sub>2</sub>O<sub>2</sub>) を含んでいるが、アンモニア (NH<sub>3</sub>) を含んでおらずかつフッ酸 (HF) も含んでいない。

#### 【0046】

本発明者の検討によれば、本実施の形態とは異なり、エッチング液として APM 液 (Ammonia-Hydrogen Peroxide Mixture: アンモニアと過酸化水素と水の混合液) またはフッ酸を用いたウェットエッチングを行って Hf 含有絶縁膜 5 を露出させた場合には、露出した Hf 含有絶縁膜 5 が APM 液またはフッ酸によってダメージを受けてしまうことが分かった。これは、Hf 含有絶縁膜 5 は、APM 液やフッ酸に対する耐性が低いためである。

#### 【0047】

それに対して、本実施の形態では、ステップ S 7 の窒化金属膜 7 のウェットエッチング工程で n MIS 形成領域 1 A の Hf 含有絶縁膜 5 が露出されるが、このステップ S 7 の窒化金属膜 7 のウェットエッチング工程では、APM 液とフッ酸のいずれも使用しない。具体的には、ステップ S 7 の窒化金属膜 7 のウェットエッチング工程では、過酸化水素 (H<sub>2</sub>O<sub>2</sub>) を含むが、アンモニアとフッ酸のいずれも含まないエッチング液を用いる。このため、n MIS 形成領域 1 A の Hf 含有絶縁膜 5 のエッチングダメージを抑制または防止することができる。

#### 【0048】

すなわち、窒化金属膜 7 の材料として、APM 液とフッ酸のいずれも用いないで除去することができ、Hf 含有絶縁膜 5 へのエッチングダメージが生じないように除去できる材料を選択しておくのである。このような材料として、窒化金属はふさわしく、窒化チタン (TiN)、窒化ハフニウム (HfN) または窒化ジルコニウム (ZrN) は特に好ましい。

#### 【0049】

次に、図 7 に示されるように、フォトレジストパターン PR 1 を除去する（図 1 のステップ S 8）。ステップ S 8 のフォトレジストパターン PR 1 の除去工程では、APM 液とフッ酸のいずれも使用せず、有機溶剤などを用いてフォトレジストパターン PR 1 を除去する。

#### 【0050】

本実施の形態とは異なり、フォトレジストパターン PR 1 の除去工程で APM 液を用いた場合には、フォトレジストパターン PR 1 の残渣を生じることなくフォトレジストパターン PR 1 を除去することができるが、本発明者の検討によれば、APM 液を用いてフォトレジストパターン PR 1 を除去すると、この APM 液にさらされた n MIS 形成領域 1 A の Hf 含有絶縁膜 5 がダメージを受けてしまうことが分かった。

#### 【0051】

このため、本実施の形態では、ステップ S 8 のフォトレジストパターン PR 1 の除去工程で、あえて APM 液を用いず、有機溶剤などを用いてフォトレジストパターン PR 1 を除去することにより、ステップ S 8 のフォトレジストパターン PR 1 の除去工程で n MIS 形成領域 1 A の Hf 含有絶縁膜 5 がダメージを受けるのを抑制または防止することができる。その代わり、フォトレジストパターン PR 1 の残渣が窒化金属膜 7 上に残存する可能性があるが、この残渣は、後述のステップ S 12 で窒化金属膜 7 をウェットエッチングで除去する際に、下地の窒化金属膜 7 とともに除去できるため、形成される MISFET の性能や信頼性に悪影響を与えるのを防止できる。また、フォトレジストパターン PR 1 の残渣が窒化金属膜 7 上に残存していても、後述のステップ S 10 の熱処理工程では、この残渣と Hf 含有絶縁膜 5 との間には窒化金属膜 7 が反応防止層として介在しているため

10

20

30

40

50

、この残渣が悪影響を与えるのを防止できる。

【0052】

次に、図8に示されるように、半導体基板1の主面上に、しきい値調整層(第1金属元素含有層)8を形成する(図1のステップS9)。上記ステップS7のウェットエッティング工程でnMIS形成領域1Aの窒化金属膜7を除去しかつpMIS形成領域1Bの窒化金属膜7を残していたので、ステップS9では、しきい値調整層8は、nMIS形成領域1AではHf含有絶縁膜5上に形成され、pMIS形成領域1Bでは窒化金属膜7上に形成される。このため、nMIS形成領域1Aではしきい値調整層8とHf含有絶縁膜5とが接触しているが、pMIS形成領域1Bでは、しきい値調整層8とHf含有絶縁膜5とは、間に窒化金属膜7が介在するため接触していない状態となる。

10

【0053】

しきい値調整層8は、nMIS形成領域1Aに形成するnチャネル型MISFET(後述のnチャネル型MISFETQnに対応)のしきい値の絶対値を低下させるために、そのnチャネル型MISFET(後述のnチャネル型MISFETQn)のHf系ゲート絶縁膜に導入すべき金属元素(第1金属元素)、すなわち希土類元素(特に好ましくはLa)、を含有している。

【0054】

従って、しきい値調整層8は、希土類元素を含有し、特に好ましくはLa(ランタン)を含有している。しきい値調整層8としては金属酸化物層が好ましいため、しきい値調整層8は、好ましくは希土類酸化物層(酸化希土類膜)であり、特に好ましくは酸化ランタン層(酸化ランタン層として代表的なのはLa<sub>2</sub>O<sub>3</sub>層)である。しきい値調整層8は、スパッタリング法またはALD法などによって形成することができ、その膜厚(堆積膜厚)は、1nm程度とすることができます。

20

【0055】

なお、本願において、希土類または希土類元素とは、ランタン(La)からルテチウム(Lu)までのランタノイドに、スカンジウム(Sc)およびイットリウム(Y)をえたものを言うものとする。以下では、しきい値調整層8が含有する希土類元素をLnと表記するものとする。また、Hfを含有するゲート絶縁膜をHf系ゲート絶縁膜と称するものとする。

【0056】

30

次に、半導体基板1に対して熱処理を施す(図1のステップS10)。ステップS10の熱処理工程は、熱処理温度を600~1000の範囲内とし、不活性ガス雰囲気中で行うことができる。このステップS10の熱処理により、nMIS形成領域1Aにおいて、Hf含有絶縁膜5をしきい値調整層8と反応させる。すなわち、ステップS10の熱処理により、しきい値調整層8を構成する希土類元素Ln(特に好ましくはLa)をHf含有絶縁膜5に導入(拡散)する。

【0057】

このステップS10の熱処理工程においては、nMIS形成領域1Aでは、しきい値調整層8とHf含有絶縁膜5とが接触していたために両者が反応して、しきい値調整層8の希土類元素Ln(特に好ましくはLn=La)がHf含有絶縁膜5に導入(拡散)される。一方、pMIS形成領域1Bでは、しきい値調整層8とHf含有絶縁膜5とは、間に窒化金属膜7が介在して接触していない状態であるため、しきい値調整層8とHf含有絶縁膜5とは反応せず、しきい値調整層8の希土類元素LnはHf含有絶縁膜5に導入(拡散)されない。

40

【0058】

このステップS10の熱処理により、図9に示されるように、nMIS形成領域1Aでは、しきい値調整層8とHf含有絶縁膜5とが反応(混合、ミキシング)して「HfおよびLn含有絶縁膜5a」が形成される。すなわち、nMIS形成領域1Aでは、しきい値調整層8の希土類元素(特に好ましくはLa)がHf含有絶縁膜5に導入されて、Hf含有絶縁膜5がHfおよびLn含有絶縁膜5aとなる。ここで、しきい値調整層8が含有す

50

る希土類元素を  $L_n$  と表記しており、例えば、しきい値調整層 8 が酸化ランタン層の場合は、 $L_n = L_a$  であり、しきい値調整層 8 が酸化イットリウム層の場合は、 $L_n = Y$  である。

#### 【0059】

$Hf$  および  $L_n$  含有絶縁膜 5a は、 $Hf$  (ハフニウム) と希土類元素  $L_n$  (特に好ましくは  $L_n = L_a$ ) とを含有する絶縁材料からなり、 $Hf$  および  $L_n$  含有絶縁膜 5a が含有する希土類元素  $L_n$  は、しきい値調整層 8 が含有していた希土類元素  $L_n$  と同じである。従って、 $Hf$  含有絶縁膜 5 が  $HfSiON$  膜の場合には、 $Hf$  および  $L_n$  含有絶縁膜 5a は  $HfLnSiON$  膜 ( $L_n = L_a$  の場合は  $HfLaSiON$  膜) である。 $Hf$  含有絶縁膜 5 が  $HfO$  膜 (代表的には  $HfO_2$  膜) の場合は、 $Hf$  および  $L_n$  含有絶縁膜 5a は、 $HfLnO$  膜 ( $L_n = L_a$  の場合は  $HfLaO$  膜) である。

10

#### 【0060】

なお、 $HfLnSiON$  膜は、ハフニウム ( $Hf$ ) と希土類元素  $L_n$  (特に好ましくは  $L_n = L_a$ ) とケイ素 ( $Si$ ) と酸素 ( $O$ ) と窒素 ( $N$ ) とで構成された絶縁材料膜である。 $HfLnON$  膜は、ハフニウム ( $Hf$ ) と希土類元素  $L_n$  (特に好ましくは  $L_n = L_a$ ) と酸素 ( $O$ ) と窒素 ( $N$ ) とで構成された絶縁材料膜である。 $HfLnO$  膜は、ハフニウム ( $Hf$ ) と希土類元素  $L_n$  (特に好ましくは  $L_n = L_a$ ) と酸素 ( $O$ ) とで構成された絶縁材料膜である。

20

#### 【0061】

また、しきい値調整層 8 は、上述のように好ましくは希土類酸化物層 (特に好ましくは酸化ランタン層) であるため、しきい値調整層 8 は、希土類元素  $L_n$  以外に酸素 ( $O$ ) も含有しているが、 $Hf$  含有絶縁膜 5 が酸素 ( $O$ ) を含有しているため、ステップ S 10 の熱処理でしきい値調整層 8 の酸素 ( $O$ ) が  $Hf$  含有絶縁膜 5 に導入されるかどうかにかかわらず、 $Hf$  および  $L_n$  含有絶縁膜 5a は、酸素 ( $O$ ) も含有したものとなる。実際には、しきい値調整層 8 の希土類元素  $L_n$  だけでなく、しきい値調整層 8 の酸素 ( $O$ ) も  $Hf$  含有絶縁膜 5 に導入されて、 $Hf$  および  $L_n$  含有絶縁膜 5a が形成される。

#### 【0062】

一方、pMIS 形成領域 1B では、図 9 に示されるように、 $Hf$  含有絶縁膜 5 は、窒化金属膜 7 ともしきい値調整層 8 とも反応せず、 $Hf$  含有絶縁膜 5 のままである。従って、ステップ S 10 の熱処理を行っても、pMIS 形成領域 1B の  $Hf$  含有絶縁膜 5 は、希土類元素  $L_n$  を含有していない状態を維持している。すなわち、窒化金属膜 7 の材料として、ステップ S 10 の熱処理工程の熱処理温度でも安定で、 $Hf$  含有絶縁膜 5 と反応し難い材料を選択しておくのである。このような材料として、窒化金属はふさわしく、窒化チタン ( $TiN$ )、窒化ハフニウム ( $HfN$ ) または窒化ジルコニア ( $ZrN$ ) は特に好ましい。これにより、ステップ S 10 の熱処理工程で、 $Hf$  含有絶縁膜 5 が窒化金属膜 7 と反応するのを防止することができる。

30

#### 【0063】

また、上述のように、上記ステップ S 4 において、 $Hf$  含有絶縁膜 5 を形成する前に、半導体基板 1 (p型ウエル 3 および n型ウエル 4) の表面 (シリコン面) 上に、薄い酸化シリコン膜 (図示せず) を界面層として形成し、この酸化シリコン膜上に  $Hf$  含有絶縁膜 5 を形成した場合には、ステップ S 10 の熱処理時には、 $Hf$  含有絶縁膜 5 と下部の酸化シリコン膜との反応を抑制して、界面層としての酸化シリコン膜を残存させることが好ましい。すなわち、nMIS 形成領域 1A において、 $Hf$  および  $L_n$  含有絶縁膜 5a と半導体基板 1 (p型ウエル 3) との間の界面層として酸化シリコン膜を残存させ、また pMIS 形成領域 1B において、 $Hf$  含有絶縁膜 5 と半導体基板 1 (n型ウエル 4) との間の界面層として酸化シリコン膜を残存させることが好ましい。これにより、駆動力や信頼性の劣化を抑制した良好なデバイスを作製することができる。

40

#### 【0064】

50

次に、図10に示されるように、ステップS10の熱処理工程で反応しなかったしきい値調整層8（未反応のしきい値調整層8）を、ウェットエッティングによって除去する（図1のステップS11）。

【0065】

ステップS11のしきい値調整層8のウェットエッティング工程で使用するエッティング液は、APM液とフッ酸のいずれも含有していない。具体的には、ステップS11のしきい値調整層8のウェットエッティング工程では、希釈塩酸（希釈HCl）をエッティング液として用いることができる。ステップS11のしきい値調整層8のウェットエッティング工程によって、pMIS形成領域1Bでは、しきい値調整層8が除去されて窒化金属膜7が露出し、nMIS形成領域1Aでは、ステップS10の熱処理でHf含有絶縁膜5と反応しなかったしきい値調整層8が除去されてHfおよびLn含有絶縁膜5aが露出される。しきい値調整層8の形成時の膜厚によっては、ステップS10の熱処理時に、nMIS形成領域1Aのしきい値調整層8の全厚み分がHf含有絶縁膜5と反応する場合もあるが、この場合も、ステップS11のしきい値調整層8のウェットエッティング工程後には、pMIS形成領域1Bでは窒化金属膜7が露出し、nMIS形成領域1AではHfおよびLn含有絶縁膜5aが露出された状態となる。

【0066】

ステップS11のしきい値調整層8のウェットエッティング工程でnMIS形成領域1AのHfおよびLn含有絶縁膜5aが露出されるが、Hf含有絶縁膜5と同様に、HfおよびLn含有絶縁膜5aも、APM液やフッ酸に対する耐性が低いため、APM液またはフッ酸にさらされるとダメージを受ける可能性がある。それに対して、本実施の形態では、ステップS11のしきい値調整層8のウェットエッティング工程で、エッティング液としてAPM液とフッ酸のいずれも使用しない（より特定的にはエッティング液として希釈塩酸を用いる）ため、nMIS形成領域1AのHfおよびLn含有絶縁膜5aのエッティングダメージを抑制または防止することができる。

【0067】

次に、図11に示されるように、窒化金属膜7をウェットエッティングによって除去する（図1のステップS12）。ステップS12のウェットエッティング工程によって、pMIS形成領域1Bに形成されていた窒化金属膜7が除去され、pMIS形成領域1BのHf含有絶縁膜5が露出される。

【0068】

nMIS形成領域1AのHfおよびLn含有絶縁膜5aが露出された状態で、ステップS12の窒化金属膜7のウェットエッティング工程が行われるが、エッティング液としてAPM液とフッ酸のいずれも使用しない。具体的には、ステップS12の窒化金属膜7のウェットエッティング工程では、過酸化水素（H<sub>2</sub>O<sub>2</sub>）を含むが、アンモニア（NH<sub>3</sub>）とフッ酸のいずれも含まないエッティング液を用いる。このため、nMIS形成領域1AのHfおよびLn含有絶縁膜5aおよびpMIS形成領域1BのHf含有絶縁膜5のエッティングダメージを抑制または防止することができる。ステップS12の窒化金属膜7のウェットエッティング工程後には、nMIS形成領域1AのHfおよびLn含有絶縁膜5aおよびpMIS形成領域1BのHf含有絶縁膜5の両者が露出された状態となる。

【0069】

次に、図12に示されるように、半導体基板1の主面上に、メタルゲート（金属ゲート電極）用の金属膜（金属層）9を形成する（図1のステップS13）。ステップS13においては、nMIS形成領域1Aでは、HfおよびLn含有絶縁膜5a上に金属膜9が形成され、pMIS形成領域1Bでは、Hf含有絶縁膜5上に金属膜9が形成される。金属膜9は、好ましくは窒化チタン（TiN）膜、窒化タンタル（TaN）膜または炭化タンタル（TaC）膜であり、最も好ましくは、窒化チタン（TiN）膜である。金属膜9は、例えはスパッタリング法などにより形成することができる。金属膜9の膜厚は、例えは10～20nm程度とすることができます。

【0070】

10

20

30

40

50

なお、本願において、金属膜（金属層）とは、金属伝導を示す導電膜（導電層）を言い、単体の金属膜や合金膜だけでなく、金属伝導を示す金属化合物膜（窒化金属膜や炭化金属膜など）も含むものとする。このため、金属膜9は、金属伝導を示す導電膜であり、好ましくは上述のように窒化チタン（T i N）膜、窒化タンタル（T a N）膜または炭化タンタル（T a C）膜である。

#### 【0071】

次に、半導体基板1の主面上に、すなわち金属膜9上に、シリコン膜10を形成する（図1のステップS14）。シリコン膜10は、多結晶シリコン膜または非晶質シリコン膜とすることができますが、成膜時には非晶質シリコン膜であった場合でも、成膜後の熱処理（例えばソース・ドレイン用に導入した不純物の活性化アニール）で多結晶シリコン膜となる。シリコン膜10の膜厚は、例えば100nm程度とすることができます。

10

#### 【0072】

ステップS13で形成する金属膜9の厚みを厚くすることでステップS14のシリコン膜10の形成工程を省略する（すなわちゲート電極G E 1, G E 2をシリコン膜10無しの金属膜9で形成する）ことも可能であるが、ステップS14で金属膜9上にシリコン膜10を形成する（すなわちゲート電極G E 1, G E 2を金属膜9とその上のシリコン膜10との積層膜で形成する）方が、より好ましい。その理由は、金属膜9の厚みが厚すぎると、金属膜9が剥離しやすくなる問題や、あるいは金属膜9をパターニングする際のオーバーエッティングによる基板ダメージの問題が生じる可能性があるが、金属膜9とシリコン膜10との積層膜でゲート電極を形成することで、金属膜9のみでゲート電極を形成する場合に比べて金属膜9の厚みを薄くすることができるため、上記問題を改善できるからである。また、金属膜9上にシリコン膜10を形成した場合、これまでのポリシリコンゲート電極（ポリシリコンからなるゲート電極）の加工方法やプロセスを踏襲できるため、微細加工性、製造コストおよび歩留まりの点でも優位である。

20

#### 【0073】

次に、図13に示されるように、シリコン膜10および金属膜9の積層膜を、フォトリソグラフィ技術およびドライエッティング技術を用いてパターニングすることで、金属膜9および金属膜9上のシリコン膜10からなるゲート電極G E 1, G E 2を形成する（図1のステップS15）。

#### 【0074】

30

ゲート電極G E 1は、n M I S形成領域1Aにおいて、H fおよびL n含有絶縁膜5a上に形成され、ゲート電極G E 2は、p M I S形成領域1Bにおいて、H f含有絶縁膜5上に形成される。すなわち、金属膜9および金属膜9上のシリコン膜10からなるゲート電極G E 1が、n M I S形成領域1Aのp型ウエル3の表面上に、ゲート絶縁膜としてのH fおよびL n含有絶縁膜5aを介して形成され、金属膜9および金属膜9上のシリコン膜10からなるゲート電極G E 2が、p M I S形成領域1Bのn型ウエル4の表面上に、ゲート絶縁膜としてのH f含有絶縁膜5を介して形成されるのである。H f含有絶縁膜5と、H fおよびL n含有絶縁膜5aとは、いずれも酸化シリコンよりも誘電率が高い。

#### 【0075】

なお、ステップS15でシリコン膜10および金属膜9をパターニングした際に、ゲート電極G E 1の下部に位置するH fおよびL n含有絶縁膜5aとゲート電極G E 2の下部に位置するH f含有絶縁膜5とは除去されずに残存する。一方、ゲート電極G E 1で覆われない部分のH fおよびL n含有絶縁膜5aとゲート電極G E 2で覆われない部分のH f含有絶縁膜5とは、ステップS15でシリコン膜10および金属膜9をパターニングした際のエッティングや、その後のエッティングによって除去される。

40

#### 【0076】

次に、図14に示されるように、n M I S形成領域1Aにおけるp型ウエル3のゲート電極G E 1の両側の領域にリン（P）またはヒ素（A s）などのn型の不純物をイオン注入することにより、n<sup>-</sup>型半導体領域（エクステンション領域、L D D（Lightly doped Drain）領域）11aを形成する。このn<sup>-</sup>型半導体領域11a形成用のイオン注入時に

50

は、p MIS 形成領域 1 B はイオン注入阻止マスクとしてのフォトレジスト膜（図示せず）で覆っておき、n MIS 形成領域 1 A の半導体基板 1（p 型ウエル 3）にゲート電極 G E 1 をマスクとしてイオン注入する。また、p MIS 形成領域 1 B における n 型ウエル 4 のゲート電極 G E 2 の両側の領域にホウ素（B）などの p 型の不純物をイオン注入することにより、p<sup>-</sup> 型半導体領域（エクステンション領域、LDD 領域）12a を形成する。この p<sup>-</sup> 型半導体領域 12a 形成用のイオン注入時には、n MIS 形成領域 1 A はイオン注入阻止マスクとしての他のフォトレジスト膜（図示せず）で覆っておき、p MIS 形成領域 1 B の半導体基板 1（n 型ウエル 4）にゲート電極 G E 2 をマスクとしてイオン注入する。n<sup>-</sup> 型半導体領域 11a を先に形成しても、あるいは p<sup>-</sup> 型半導体領域 12a を先に形成してもよい。

10

## 【0077】

次に、ゲート電極 G E 1, G E 2 の側壁上に、絶縁体からなるサイドウォール（側壁スペーサ、側壁絶縁膜）13 を形成する。例えば、半導体基板 1 上にゲート電極 G E 1, G E 2 を覆うように酸化シリコン膜と窒化シリコン膜とを下から順に形成してから、この酸化シリコン膜と窒化シリコン膜との積層膜を異方性エッチング（エッチバック）することによって、ゲート電極 G E 1, G E 2 の側壁上に残存する酸化シリコン膜および窒化シリコン膜からなるサイドウォール 13 を形成することができる。なお、図面の簡略化のために、図 14 では、サイドウォール 13 を構成する酸化シリコン膜および窒化シリコン膜を一体化して示してある。

## 【0078】

20

次に、n MIS 形成領域 1 A における p 型ウエル 3 のゲート電極 G E 1 およびサイドウォール 13 の両側の領域にリン（P）またはヒ素（As）などの n 型の不純物をイオン注入することにより、n<sup>+</sup> 型半導体領域 11b（ソース、ドレイン）を形成する。n<sup>+</sup> 型半導体領域 11b は、n<sup>-</sup> 型半導体領域 11a よりも不純物濃度が高くかつ接合深さが深い。この n<sup>+</sup> 型半導体領域 11b 形成用のイオン注入時には、p MIS 形成領域 1 B はイオン注入阻止マスクとしてのフォトレジスト膜（図示せず）で覆っておき、n MIS 形成領域 1 A の半導体基板 1（p 型ウエル 3）に、ゲート電極 G E 1 およびその側壁上のサイドウォール 13 をマスクとしてイオン注入する。このため、n<sup>-</sup> 型半導体領域 11a は、ゲート電極 G E 1 に整合して形成され、n<sup>+</sup> 型半導体領域 11b はサイドウォール 13 に整合して形成される。また、p MIS 形成領域 1 B における n 型ウエル 4 のゲート電極 G E 2 およびサイドウォール 13 の両側の領域にホウ素（B）などの p 型の不純物をイオン注入することにより、p<sup>+</sup> 型半導体領域 12b（ソース、ドレイン）を形成する。p<sup>+</sup> 型半導体領域 12b は、p<sup>-</sup> 型半導体領域 12a よりも不純物濃度が高くかつ接合深さが深い。この p<sup>+</sup> 型半導体領域 12b 形成用のイオン注入時には、n MIS 形成領域 1 A はイオン注入阻止マスクとしての他のフォトレジスト膜（図示せず）で覆っておき、p MIS 形成領域 1 B の半導体基板 1（n 型ウエル 4）に、ゲート電極 G E 2 およびその側壁上のサイドウォール 13 をマスクとしてイオン注入する。このため、p<sup>-</sup> 型半導体領域 12a は、ゲート電極 G E 2 に整合して形成され、p<sup>+</sup> 型半導体領域 12b はサイドウォール 13 に整合して形成される。n<sup>+</sup> 型半導体領域 11b を先に形成しても、あるいは p<sup>+</sup> 型半導体領域 12b を先に形成してもよい。

30

## 【0079】

40

n MIS 形成領域 1 A のゲート電極 G E 1 を構成するシリコン膜 10 は、n<sup>-</sup> 型半導体領域 11a 形成用のイオン注入工程や n<sup>+</sup> 型半導体領域 11b 形成用のイオン注入工程で n 型の不純物が導入されて、n 型のシリコン膜となる。また、p MIS 形成領域 1 B のゲート電極 G E 2 を構成するシリコン膜 10 は、p<sup>-</sup> 型半導体領域 12a 形成用のイオン注入や p<sup>+</sup> 型半導体領域 12b 形成用のイオン注入工程で p 型の不純物が導入されて、p 型のシリコン膜となる。

## 【0080】

50

イオン注入後、導入した不純物の活性化のためのアニール処理（活性化アニール、熱処理）を行う。これにより、n<sup>-</sup> 型半導体領域 11a、p<sup>-</sup> 型半導体領域 12a、n<sup>+</sup> 型半

導体領域 11b および p<sup>+</sup> 型半導体領域 12b などに導入された不純物を活性化することができる。

【 0 0 8 1 】

このようにして、図 14 に示されるような構造が得られ、n MIS 形成領域 1A に、電界効果トランジスタとして n チャネル型 MISFET (Metal Insulator Semiconductor Field Effect Transistor) Qn が形成され、また、p MIS 形成領域 1B に、電界効果トランジスタとして p チャネル型 MISFET Qp が形成される。

【 0 0 8 2 】

ゲート電極 GE1 が n チャネル型 MISFET Qn のゲート電極として機能し、ゲート電極 GE1 の下の Hf および Ln 含有絶縁膜 5a が、n チャネル型 MISFET Qn のゲート絶縁膜として機能する。そして、n チャネル型 MISFET Qn のソースまたはドレインとして機能する n 型の半導体領域（不純物拡散層）が、n<sup>+</sup> 型半導体領域 11b および n<sup>-</sup> 型半導体領域 11a により形成される。また、ゲート電極 GE2 が p チャネル型 MISFET Qp のゲート電極として機能し、ゲート電極 GE2 の下の Hf 含有絶縁膜 5 が、p チャネル型 MISFET Qp のゲート絶縁膜として機能する。そして、p チャネル型 MISFET Qp のソースまたはドレインとして機能する p 型の半導体領域（不純物拡散層）が、p<sup>+</sup> 型半導体領域 12b および p<sup>-</sup> 型半導体領域 12a により形成される。n チャネル型 MISFET Qn および p チャネル型 MISFET Qp のソース・ドレイン領域は、LDD 構造を有している。n<sup>+</sup> 型半導体領域 11b は、n チャネル型 MISFET Qn のソースまたはドレイン用の半導体領域とみなすことができ、p<sup>+</sup> 型半導体領域 12b は、p チャネル型 MISFET Qp のソースまたはドレイン用の半導体領域とみなすことができる。

【 0 0 8 3 】

また、n チャネル型 MISFET Qn のゲート絶縁膜である Hf および Ln 含有絶縁膜 5a は、p チャネル型 MISFET Qp のゲート絶縁膜である Hf 含有絶縁膜 5 よりも、希土類元素 Ln の含有率が高い。これは、ステップ S10 の熱処理工程において、n MIS 形成領域 1A の Hf 含有絶縁膜 5（Hf および Ln 含有絶縁膜 5a となる部分）には希土類元素 Ln が導入されるが、p MIS 形成領域 1B の Hf 含有絶縁膜 5 には希土類元素 Ln が導入されなかったためである。これにより、n MIS 形成領域 1A の Hf および Ln 含有絶縁膜 5a（すなわち n チャネル型 MISFET Qn のゲート絶縁膜）における希土類元素 Ln の含有率が、p MIS 形成領域 1B の Hf 含有絶縁膜 5（すなわち p チャネル型 MISFET Qp のゲート絶縁膜）における希土類元素 Ln の含有率よりも高くなるのである。また、ステップ S4 の Hf 含有絶縁膜 5 の成膜時に、Hf 含有絶縁膜 5 が希土類元素を含有しないようにすることが好ましく、これにより、p チャネル型 MISFET Qp のゲート絶縁膜である Hf 含有絶縁膜 5 が希土類元素を含有していない状態とすることができます。

【 0 0 8 4 】

次に、図 15 に示されるように、半導体基板 1 の主面上に、ゲート電極 GE1, GE2 を覆うように、絶縁膜（層間絶縁膜）21 を形成する。絶縁膜 21 は、例えば、酸化シリコン膜の単体膜や、あるいは薄い窒化シリコン膜とその上の厚い酸化シリコン膜との積層膜などからなる。絶縁膜 21 の形成後、絶縁膜 21 の表面を、例えば CMP (Chemical Mechanical Polishing) 法を使用して平坦化する。

【 0 0 8 5 】

次に、絶縁膜 21 上に形成したフォトトレジストパターン（図示せず）をエッチングマスクとして用いて、絶縁膜 21 をドライエッチングすることにより、絶縁膜 21 にコンタクトホール（貫通孔、孔）22 を形成する。コンタクトホール 22 は、n<sup>+</sup> 型半導体領域 11b および p<sup>+</sup> 型半導体領域 12b や、ゲート電極 GE1, GE2 の上部などに形成される。

【 0 0 8 6 】

次に、コンタクトホール 22 内に、タンゲステン (W) などからなる導電性のプラグ（

10

20

30

40

50

接続用導体部) 23を形成する。プラグ23を形成するには、例えば、コンタクトホール22の内部(底部および側壁上)を含む絶縁膜21上に、バリア導体膜(例えばチタン膜、窒化チタン膜、あるいはそれらの積層膜)を形成する。それから、このバリア導体膜上にタンゲステン膜などからなる主導体膜をコンタクトホール22を埋めるように形成し、絶縁膜21上の不要な主導体膜およびバリア導体膜をCMP法またはエッチバック法などによって除去することにより、プラグ23を形成することができる。なお、図面の簡略化のために、図15では、プラグ23を構成するバリア導体膜および主導体膜(タンゲステン膜)を一体化して示してある。

#### 【0087】

次に、図16に示されるように、プラグ23が埋め込まれた絶縁膜21上に、ストップ絶縁膜(エッチングストップ用絶縁膜)24および配線形成用の絶縁膜(層間絶縁膜)25を順次形成する。ストップ絶縁膜24は、絶縁膜25への溝加工の際にエッチングストップとなる膜であり、絶縁膜25に対してエッチング選択性を有する材料を用い、例えば、ストップ絶縁膜24を窒化シリコン膜とし、絶縁膜25を酸化シリコン膜とすることができる。

#### 【0088】

次に、シングルダマシン法により第1層目の配線を形成する。まず、レジストパターン(図示せず)をマスクとしたドライエッチングによって絶縁膜25およびストップ絶縁膜24の所定の領域に配線溝26を形成した後、半導体基板1の主面上(すなわち配線溝26の底部および側壁上を含む絶縁膜25上)にバリア導体膜(例えば窒化チタン膜、タンタル膜または窒化タンタル膜など)を形成する。続いて、CVD法またはスパッタリング法などによりバリア導体膜上に銅のシード層を形成し、さらに電解めっき法などを用いてシード層上に銅めっき膜を形成し、銅めっき膜により配線溝26の内部を埋め込む。それから、配線溝26以外の領域の銅めっき膜、シード層およびバリアメタル膜をCMP法により除去して、銅を主導電材料とする第1層目の配線M1を形成する。なお、図面の簡略化のために、図16では、配線M1を構成する銅めっき膜、シード層およびバリア導体膜を一体化して示してある。

#### 【0089】

配線M1は、プラグ23を介してnチャネル型MISFETQnおよびpチャネル型MISFETQpのソースまたはドレン用のn<sup>+</sup>型半導体領域11bおよびp<sup>+</sup>型半導体領域12bなどと電気的に接続されている。その後、デュアルダマシン法などにより2層目以降の配線を形成するが、ここでは図示およびその説明は省略する。また、配線M1はダマシン配線に限定されず、配線用の導電体膜をパターニングして形成することもでき、例えばタンゲステン配線またはアルミニウム配線などとすることもできる。

#### 【0090】

次に、本実施の形態の特徴について、より詳細に説明する。

#### 【0091】

本実施の形態では、nチャネル型MISFETQnおよびpチャネル型MISFETQpのゲート電極GE1, GE2は、ゲート絶縁膜(ここではHfおよびLn含有絶縁膜5aとHf含有絶縁膜5)上に位置する金属膜9を有しており、いわゆるメタルゲート電極である。このため、ゲート電極の空乏化現象を抑制し、寄生容量をなくすことができるため、MISFET素子の小型化(ゲート絶縁膜の薄膜化)も可能になる。

#### 【0092】

また、本実施の形態では、nチャネル型MISFETQnのゲート絶縁膜として、酸化シリコンよりも誘電率が高いHfおよびLn含有絶縁膜5aを用い、pチャネル型MISFETQpのゲート絶縁膜として、酸化シリコンよりも誘電率が高いHf含有絶縁膜5を用いている。すなわち、酸化シリコンより誘電率の高い材料膜、いわゆるHig - k膜(高誘電率膜)であるHfおよびLn含有絶縁膜5aとHf含有絶縁膜5とを、nチャネル型MISFETQnおよびpチャネル型MISFETQpのゲート絶縁膜に用いている。このため、nチャネル型MISFETQnおよびpチャネル型MISFETQpのゲー

10

20

30

40

50

ト絶縁膜に酸化シリコン膜を用いた場合に比べて、HfおよびLn含有絶縁膜5aおよびHf含有絶縁膜5の物理的膜厚を増加させることができるために、リーク電流を低減することができる。

【0093】

そして、本実施の形態では、pチャネル型MISFETQpのゲート絶縁膜にHf含有絶縁膜5を用いるのに対して、nチャネル型MISFETQnのゲート絶縁膜としてHf含有絶縁膜5ではなくHfおよびLn含有絶縁膜5aを用いたことにより、nチャネル型MISFETQnのしきい値（しきい値電圧）の絶対値を低くすることができる。すなわち、nチャネル型MISFETQnを低しきい値化することができる。

【0094】

例えば、金属ゲート電極に窒化チタンを用い、ゲート絶縁膜にHf系ゲート絶縁膜（Hfを含有する高誘電率膜）を用いた場合には、金属ゲート電極の仕事関数は4.7~4.8eV程度であるが、Hf系ゲート絶縁膜に希土類元素、特にランタン（La）を導入することで、窒化チタンからなる金属ゲート電極の仕事関数を4.1~4.6eV程度に制御することができる。nチャネル型MISFETでは、ゲート電極の仕事関数がシリコンの伝導帯近傍（4.05eV近傍）の値を有していると、nチャネル型MISFETのしきい値電圧を下げることができる。このため、本実施の形態とは異なり、nチャネル型MISFETQnのゲート絶縁膜としてHf含有絶縁膜5を用いた場合に比べて、本実施の形態のようにnチャネル型MISFETQnのゲート絶縁膜としてHfおよびLn含有絶縁膜5aを用いることにより、金属膜9の実効的な仕事関数を低下させてシリコンの伝導帯に近づけることができるため、nチャネル型MISFETQnを低しきい値化することができる。 10

【0095】

例えば、本実施の形態とは異なり、nチャネル型MISFETQnのゲート絶縁膜にpチャネル型MISFETQpのゲート絶縁膜と同じくHf含有絶縁膜5を用いた場合に比べて、本実施の形態のようにnチャネル型MISFETQnのゲート絶縁膜にHfおよびLn含有絶縁膜5aを用いた場合には、nチャネル型MISFETQnのしきい値（しきい値電圧）の絶対値を0.1~0.6V程度低くすることができる。 20

【0096】

このようなnチャネル型MISFETQnの低しきい値化の効果を得るために、しきい値調整層8は、希土類元素を含有しており、好ましくは希土類酸化物層であり、特に好ましくは酸化ランタン層である。これにより、HfおよびLn含有絶縁膜5aが希土類元素（Ln）、特に好ましくはランタン（La）を含有したものとなるので、nチャネル型MISFETQnの低しきい値化の効果を的確に得ることができる。 30

【0097】

HfおよびLn含有絶縁膜5aに希土類元素（特にランタン）を含有させたことによるnチャネル型MISFETQnのしきい値の低下の程度は、上記ステップS9でのしきい値調整層8の形成厚みや、上記ステップS10での熱処理の温度などによって制御することができる。HfおよびLn含有絶縁膜5aにおける希土類元素（特にランタン）の含有率が多いほど、nチャネル型MISFETQnのしきい値をより低下させることができるために、上記ステップS9でのしきい値調整層8の形成厚みや上記ステップS10での熱処理の温度を高くしてHfおよびLn含有絶縁膜5aにおける希土類元素（特にランタン）の含有率を高めれば、nチャネル型MISFETQnのしきい値をより低下させることができる。このため、nチャネル型MISFETQnの所望のしきい値に応じて、上記ステップS9でのしきい値調整層8の形成厚みや上記ステップS10での熱処理の温度を設定することができる。 40

【0098】

また、本実施の形態では、nチャネル型MISFETQnおよびpチャネル型MISFETQpのゲート電極GE1, GE2を、共通の導体層（ここでは金属膜9と金属膜9上のシリコン膜10との積層膜）をパターニングすることで形成している。このため、半導

10

20

30

40

50

体装置の製造工程を単純化でき、半導体装置のスループットの向上、半導体装置の製造コストの低下および半導体装置の製造歩留まりの向上を図ることができる。

#### 【0099】

また、本実施の形態は、窒化金属膜7を形成したことが、主要な特徴の一つである。これについて、図17～図21の比較例の製造工程と図1～図16の本実施の形態の製造工程を対比させながら説明する。

#### 【0100】

図17～図21は、比較例の半導体装置の製造工程中の要部断面図であり、図17～図21の比較例の製造工程は、本実施の形態とは異なり、窒化金属膜7に相当するものを形成しなかった場合に対応している。以下では、図17～図21の比較例の製造工程について説明する。

10

#### 【0101】

比較例の製造工程では、本実施の形態のステップS1～S4と同様の工程を行って、上記図3と同様の構造を得た後、本実施の形態のステップS5～S8を行うことなく（すなわち本実施の形態とは異なり上記窒化金属膜7を形成することなく）、図17に示されるように、半導体基板1の主面上に、すなわちHf含有絶縁膜5上にしきい値調整層8を形成する。

#### 【0102】

次に、しきい値調整層8上にフォトレジスト膜を塗布し、このフォトレジスト膜を露光、現像することで、フォトレジストパターンPR101を形成する。フォトレジストパターンPR101は、nMIS形成領域1Aには形成されるが、pMIS形成領域1Bには形成されない。このため、nMIS形成領域1Aのしきい値調整層8はフォトレジストパターンPR101で覆われているが、pMIS形成領域1Bのしきい値調整層8はフォトレジストパターンPR101で覆われずに露出した状態となる。

20

#### 【0103】

次に、図18に示されるように、フォトレジストパターンPR101をエッティングマスクとして用いて、しきい値調整層8をウェットエッティングする。このウェットエッティング工程によって、pMIS形成領域1Bのしきい値調整層8はエッティングされて除去されるが、nMIS形成領域1Aのしきい値調整層8はフォトレジストパターンPR101で覆われているので、エッティングされずに残存する。

30

#### 【0104】

次に、図19に示されるように、フォトレジストパターンPR101を除去する。

#### 【0105】

次に、図20に示されるように、半導体基板1に対して熱処理を施すことにより、nMIS形成領域1Aにおいて、しきい値調整層8とHf含有絶縁膜5とを反応させてHfおよびLn含有絶縁膜5aを形成する。pMIS形成領域1Bには、しきい値調整層8が無いため、HfおよびLn含有絶縁膜5aは形成されない。その後、熱処理工程で反応しなかった未反応のしきい値調整層8を、ウェットエッティングによって除去することもできる。

#### 【0106】

40

次に、図21に示されるように、半導体基板1の主面上に、メタルゲート用の金属膜9と、シリコン膜10とを順に形成してから、このシリコン膜10および金属膜9の積層膜をフォトリソグラフィ技術およびドライエッティング技術を用いてパターニングすることで、ゲート電極GE1, GE2を形成する。以降の工程は、上記図14～図16の工程と同様である。

#### 【0107】

図17～図21の比較例の製造工程では、次のような課題が生じることが、本発明者の検討により分かった。

#### 【0108】

すなわち、上記図19の工程でフォトレジストパターンPR101を除去する際に、し

50

きい値調整層8上にフォトレジストパターンPR101の残渣が残ると、この残渣が、その後形成されるMISFETの特性や信頼性に悪影響を与えてしまう。このため、上記図19の工程でフォトレジストパターンPR101を除去する際には、フォトレジストパターンPR101を、残渣が生じることなく完全に除去する必要があるが、そのためには、APM液を用いてフォトレジストパターンPR101を除去することが必要となる。しかしながら、本発明者の検討によれば、APM液を用いてフォトレジストパターンPR101を除去すると、露出していたpMIS形成領域1BのHf含有絶縁膜5が、このAPM液にさらされてしまうが、Hf含有絶縁膜5はAPM液に対する耐性が弱いため、ダメージを受けることが分かった。APM液によりpMIS形成領域1BのHf含有絶縁膜5がダメージを受けると、形成されるpチャネル型MISFETの特性や信頼性に悪影響を与える。 10

#### 【0109】

それに対して、本実施の形態では、ステップS5～S7でpMIS形成領域1BのHf含有絶縁膜5上に窒化金属膜7を選択的に形成し、ステップS9で形成したしきい値調整層8とHf含有絶縁膜5とをステップS10の熱処理で反応させる際に、窒化金属膜7を反応防止層（反応防止マスク）として機能させている。

#### 【0110】

このため、本実施の形態では、ステップS8において、APM液を用いずに、有機溶剤などを用いてフォトレジストパターンPR1を除去することで、nMIS形成領域1AのHf含有絶縁膜5がダメージを受けるのを抑制または防止することができる。しかしながら、ステップS8でAPM液を用いずにフォトレジストパターンPR1を除去したために、フォトレジストパターンPR1の残渣が窒化金属膜7上に残存する可能性があるが、この残渣は、ステップS12で窒化金属膜7をウェットエッチングで除去する際に、窒化金属膜7とともに除去される。また、ステップS8のフォトレジストパターンPR1の除去工程の後、ステップS12で窒化金属膜7をウェットエッチングで除去するまでフォトレジストパターンPR1の残渣が窒化金属膜7上に残存していたとしても、この残渣とHf含有絶縁膜5との間には、窒化金属膜7が介在しているため、ステップS10の熱処理の際に、この残渣がHf含有絶縁膜5に影響を与えることはない。従って、ステップS8でAPM液を用いずにフォトレジストパターンPR1を除去したために、たとえフォトレジストパターンPR1の残渣が窒化金属膜7上に残存したとしても、形成されるMISFETの性能や信頼性に悪影響を与えるのを防止できる。 20

#### 【0111】

また、Hf含有絶縁膜5とHfおよびLn含有絶縁膜5aは、APM液だけでなく、フッ酸にも弱い。それに対して、本実施の形態では、ステップS8のフォトレジストパターンPR1の除去工程はもちろんのこと、それ以外の工程においても、後で形成されるゲート電極GE1, GE2の下に位置してゲート絶縁膜となる部分のHf含有絶縁膜5またはHfおよびLn含有絶縁膜5aが露出した状態では、APM液とフッ酸の一方または両方を用いたウェット処理を行なわない。すなわち、上記ステップS7で窒化金属膜7をウェットエッチングしてから上記ステップS13で金属膜9を形成するまで、APM液とフッ酸の一方または両方を用いたウェット処理を行なわない。具体的には、上記ステップS7の窒化金属膜7のウェットエッチング工程、上記ステップS8のフォトレジストパターンPR1の除去工程、ステップS11のしきい値調整層8のウェットエッチング工程およびステップS12の窒化金属膜7のウェットエッチング工程は、いずれもウェット処理であるが、APM液とフッ酸のいずれも使用しない（すなわちAPM液とフッ酸のいずれも使用しないウェット処理により行われる）。これにより、Hf含有絶縁膜5やHfおよびLn含有絶縁膜5aがダメージを受けるのを抑制または防止することができる。 40

#### 【0112】

また、本実施の形態とは異なり、窒化金属膜7の代わりに絶縁膜（絶縁膜ハードマスク）を用いることも考えられるが、この場合、Hf系ゲート絶縁膜のダメージを抑制しながら、この絶縁膜ハードマスクを除去するのは非常に難しい。これは、絶縁膜ハードマスク

10

20

30

40

50

を除去するためには、フッ酸を用いる必要があるが、フッ酸を用いると、絶縁膜ハードマスクだけでなくHf系ゲート絶縁膜も同時にエッティングされてしまうためである。

#### 【0113】

それに対して、本実施の形態では、APM液もフッ酸も使用せずに除去可能な窒化金属膜7を使用している。より特定的には、Hf系ゲート絶縁膜のエッティング量が少ない（エッティング速度が低い）過酸化水素（H<sub>2</sub>O<sub>2</sub>）系の薬液で除去可能な窒化金属膜7を使用し、過酸化水素（過酸化水素水）を含有するがアンモニアとフッ酸を含有しない薬液を用いてステップS7とステップS12で窒化金属膜7をウェットエッティングしている。このため、Hf系ゲート絶縁膜（ここではHf含有絶縁膜5や、HfおよびLn含有絶縁膜5a）のダメージを抑制しながら、窒化金属膜7を除去することができる。

10

#### 【0114】

また、本実施の形態とは異なり、ステップS12の窒化金属膜7の除去工程を省略し、pMIS形成領域1Bに残存させた窒化金属膜7によってpチャネル型MISFETのメタルゲート電極を形成することも考えられる。しかしながら、ステップS9でしきい値調整層8を形成する際や、しきい値調整層8に接した状態でステップS10の熱処理を行った際には、窒化金属膜7の表層部分が酸化してしまう。このため、本実施の形態とは異なり、ステップS12の窒化金属膜7の除去工程を省略し、表層部分が酸化した窒化金属膜7をメタルゲート電極に用いると、窒化金属膜7の酸化した表層部分から酸素がゲート絶縁膜に拡散したり、あるいはメタルゲート全体に酸素が拡散してしまう可能性がある。これは、MISFETの特性の変動や、ゲート抵抗の増大などを招いてしまう。

20

#### 【0115】

それに対して、本実施の形態では、ステップS12の窒化金属膜7のウェットエッティング工程によってpMIS形成領域1Bに残存していた窒化金属膜7を除去してから、ステップS13でメタルゲート電極用の金属膜9を形成し、この金属膜9をnチャネル型MISFETQnおよびpチャネル型MISFETQpのメタルゲート電極に用いる。このため、nチャネル型MISFETQnおよびpチャネル型MISFETQpの特性の変動を防止することができ、またゲート抵抗の増大を防止することができる。

#### 【0116】

また、窒化金属膜7は、薄すぎると、ステップS10の熱処理において、しきい値調整層8の希土類元素Lnが窒化金属膜7を通過してしまう可能性があり、また、厚すぎると、ステップS12で窒化金属膜7をウェットエッティングによって除去する際に、nMIS形成領域1AのHfおよびLn含有絶縁膜5aにダメージが入りやすくなる。この観点から、ステップS5で形成する窒化金属膜7の厚みは、5~20nmが好ましい。

30

#### 【0117】

また、窒化金属膜7と金属膜9とが同じ材料膜で形成されていれば、以下の効果を得られるので、より好ましい。

#### 【0118】

すなわち、ステップS12でpMIS形成領域1Bに残存していた窒化金属膜7をウェットエッティングにより除去するが、このウェットエッティングは、nMIS形成領域1AのHfおよびLn含有絶縁膜5aが露出した状態で行うため、オーバーエッティングが過剰になると、エッティング液にAPM液やフッ酸を使用しなかったとしても、HfおよびLn含有絶縁膜5aがダメージを受ける可能性がある。それに対して、窒化金属膜7と金属膜9とを同じ材料膜で形成すれば、ステップS12でpMIS形成領域1Bの窒化金属膜7をウェットエッティングした際に、たとえ窒化金属膜7のエッティング残りが多少生じたとしても、このエッティング残りは、ステップS13で形成する金属膜9と同じ材料で構成されたため、窒化金属膜7のエッティング残りに起因してpチャネル型MISFETQpの特性が変動するのを抑制または防止することができる。このため、窒化金属膜7と金属膜9とを同じ材料膜で形成すれば、ステップS12の窒化金属膜7の除去工程においてオーバーエッティング量を抑制することが可能となるため、HfおよびLn含有絶縁膜5aのダメージをより的確に防止することができ、半導体装置の特性や信頼性を、より向上させることができ

40

50

できる。窒化金属膜7と金属膜9と同じ材料膜で形成する場合、金属膜9の仕事関数や窒化金属膜7の反応バリア層としての機能などを勘案すると、窒化金属膜7と金属膜9とを、いずれも窒化チタン(TiN)で形成することが好ましい。

【0119】

また、ステップS12でpMIS形成領域1Bの窒化金属膜7をウェットエッチングした際に、窒化金属膜7のエッチング残りが多少生じた場合でも、窒化金属膜7の酸化していた表層部分は除去され、窒化金属膜7の下層部の一部(酸化していない部分)がエッチング残りとして残存する。このため、上述したステップS12の窒化金属膜7のウェットエッチング工程を省略して窒化金属膜7をメタルゲート電極に用いた場合に生じるよう問題は、本実施の形態では生じない。

10

【0120】

また、本実施の形態では、nチャネル型MISFETQnとpチャネル型MISFETQpとの作り分け工程において、ハードマスク(ここでは窒化金属膜7)を一度しか用いないため、微細化にも適している。

【0121】

(実施の形態2)

図22は、本実施の形態2の製造工程の一部を示す製造プロセスフロー図であり、上記実施の形態1の図1に対応するものである。図23～図30は、本実施の形態2の半導体装置の製造工程中の要部断面図である。

【0122】

20

本実施の形態の製造工程は、ステップS5で窒化金属膜7を形成するまでは、上記実施の形態1の製造工程と同様であるので、ここではその説明を省略し、ステップS5の窒化金属膜7の形成工程以降について説明する。

【0123】

上記実施の形態1のステップS1～S5と同様の工程を行って、上記図4の構造を得た後、本実施の形態では、図23に示されるように、半導体基板1の主面上に、すなわち窒化金属膜7上に、フォトレジスト膜を塗布し、このフォトレジスト膜を露光、現像することで、レジストパターンとしてフォトレジストパターン(レジストパターン)PR2を形成する(図22のステップS6a)。

【0124】

30

フォトレジストパターンPR2は、nMIS形成領域1Aの窒化金属膜7上には形成されるが、pMIS形成領域1Bには形成されないため、nMIS形成領域1Aの窒化金属膜7はフォトレジストパターンPR2で覆われているが、pMIS形成領域1Bの窒化金属膜7はフォトレジストパターンPR2で覆われずに露出した状態となる。

【0125】

次に、フォトレジストパターンPR2をエッチングマスクとして用いて、窒化金属膜7をウェットエッチングする(図22のステップS7a)。このステップS7aの窒化金属膜7のウェットエッチング工程で使用するエッチング液は、上記実施の形態1のステップS7の窒化金属膜7のウェットエッチング工程で使用するエッチング液と同じである。ステップS7aのウェットエッチング工程によって、図24に示されるように、pMIS形成領域1Bの窒化金属膜7はエッチングされて除去されるが、nMIS形成領域1Aの窒化金属膜7はフォトレジストパターンPR2で覆われているので、エッチングされずに残存する。これにより、pMIS形成領域1BのHf含有絶縁膜5は露出されるが、nMIS形成領域1AのHf含有絶縁膜5は、窒化金属膜7で覆われた状態(すなわち露出していない状態)が維持される。

40

【0126】

次に、図25に示されるように、フォトレジストパターンPR2を除去する(図22のステップS8a)。ステップS8aのフォトレジストパターンPR2の除去工程は、上記実施の形態1のステップS8のフォトレジストパターンPR1の除去工程と同様にして行う。

50

## 【0127】

次に、図26に示されるように、半導体基板1の主面上に、しきい値調整層(第1金属元素含有層)8aを形成する(図22のステップS9a)。上記ステップS7aのウェットエッチング工程でpMIS形成領域1Bの窒化金属膜7を除去しかつnMIS形成領域1Aの窒化金属膜7を残していたので、ステップS9aでは、しきい値調整層8aは、pMIS形成領域1BではHf含有絶縁膜5上に形成され、nMIS形成領域1Aでは窒化金属膜7上に形成される。

## 【0128】

しきい値調整層8aは、pMIS形成領域1Bに形成するpチャネル型MISFET(pチャネル型MISFETQpに対応)のしきい値の絶対値を低下させるために、そのpチャネル型MISFET(pチャネル型MISFETQpに対応)のHf系ゲート絶縁膜に導入すべき金属元素(第1金属元素)、すなわちAl, Ta, Tiの少なくとも一種(特に好ましくはAl)を含有している。

## 【0129】

従って、しきい値調整層8aは、Al(アルミニウム), Ta(タンタル), Ti(チタン)の少なくとも一種を含有し、特に好ましくはAl(アルミニウム)を含有している。しきい値調整層8aとしては金属酸化物層が好ましいため、しきい値調整層8aは、好ましくは酸化アルミニウム層(代表的にはAl<sub>2</sub>O<sub>3</sub>層)、酸化タンタル層(代表的にはTa<sub>2</sub>O<sub>5</sub>層)または酸化チタン層(代表的にはTiO<sub>2</sub>層)であり、特に好ましくは酸化アルミニウム層である。以下では、しきい値調整層8aが含有する金属元素をMeと表記するものとする。従って、しきい値調整層8aが酸化アルミニウム層の場合は、Me=Alであり、しきい値調整層8aが酸化タンタル層の場合は、Me=Taであり、しきい値調整層8aが酸化チタン層の場合は、Me=Tiである。しきい値調整層8aの形成法や膜厚は、上記実施の形態1のしきい値調整層8と同様とすることができます。

## 【0130】

次に、半導体基板1に対して、上記実施の形態1のステップS10の熱処理と同様の熱処理を施す(図22のステップS10a)。このステップS10aの熱処理により、pMIS形成領域1Bにおいて、Hf含有絶縁膜5をしきい値調整層8aと反応させる。すなわち、ステップS10aの熱処理により、しきい値調整層8aを構成する金属元素Me(Al, Ta, Tiの少なくとも一種、特に好ましくはAl)をHf含有絶縁膜5に導入(拡散)する。

## 【0131】

このステップS10aの熱処理工程においては、pMIS形成領域1Bでは、しきい値調整層8aとHf含有絶縁膜5とが接触していたために両者が反応して、しきい値調整層8aの金属元素MeがHf含有絶縁膜5に導入(拡散)される。一方、nMIS形成領域1Aでは、しきい値調整層8aとHf含有絶縁膜5とは、間に窒化金属膜7が介在して接触していない状態であるため、しきい値調整層8aとHf含有絶縁膜5とは反応せず、しきい値調整層8aの金属元素MeはHf含有絶縁膜5に導入(拡散)されない。

## 【0132】

このステップS10aの熱処理により、図27に示されるように、pMIS形成領域1Bでは、しきい値調整層8aとHf含有絶縁膜5とが反応(混合、ミキシング)して「HfおよびMe含有絶縁膜5b」が形成される。すなわち、pMIS形成領域1Bでは、しきい値調整層8aの金属元素MeがHf含有絶縁膜5に導入されて、Hf含有絶縁膜5がHfおよびMe含有絶縁膜5bとなる。

## 【0133】

HfおよびMe含有絶縁膜5bは、Hf(ハフニウム)と金属元素Me(MeはAl, Ta, Tiの少なくとも一種、特に好ましくはAl)とを含有する絶縁材料からなり、HfおよびMe含有絶縁膜5bが含有する金属元素Meは、しきい値調整層8aが含有していた金属元素Meと同じである。

## 【0134】

10

20

30

40

50

本実施の形態のステップ S 10 a の熱処理後の n MIS 形成領域 1 A の Hf 含有絶縁膜 5 の具体的な構成（組成）は、上記実施の形態 1 のステップ S 10 の熱処理後の p MIS 形成領域 1 B の Hf 含有絶縁膜 5 とほぼ同じであるので、ここではその説明は省略する。また、本実施の形態のステップ S 10 a の熱処理後の p MIS 形成領域 1 B の Hf および Me 含有絶縁膜 5 b の具体的な構成（組成）は、上記実施の形態 1 のステップ S 10 の熱処理後の n MIS 形成領域 1 A の Hf および Ln 含有絶縁膜 5 a において、含有する希土類元素 Ln を金属元素 Me に置き換えたものであるので、ここではその詳しい説明は省略する。一例を挙げれば、Hf 含有絶縁膜 5 が HfSiON 膜の場合は、Hf および Me 含有絶縁膜 5 b は HfMeSiON 膜（Me = Al の場合は HfAlSiON 膜）である。

## 【0135】

10

次に、図 28 に示されるように、ステップ S 10 a の熱処理工程で反応しなかったしきい値調整層 8 a（未反応のしきい値調整層 8 a）を、ウェットエッティングによって除去する（図 22 のステップ S 11 a）。このステップ S 11 a のしきい値調整層 8 a のウェットエッティング工程で使用するエッティング液は、上記実施の形態 1 のステップ S 11 のしきい値調整層 8 のウェットエッティング工程で使用するエッティング液と同じである。ステップ S 11 a のしきい値調整層 8 a のウェットエッティング工程によって、n MIS 形成領域 1 A では、しきい値調整層 8 a が除去されて窒化金属膜 7 が露出し、p MIS 形成領域 1 B では、ステップ S 10 a の熱処理で Hf 含有絶縁膜 5 と反応しきれなかったしきい値調整層 8 a が除去されて Hf および Me 含有絶縁膜 5 b が露出される。

## 【0136】

20

次に、窒化金属膜 7 をウェットエッティングによって除去する（図 22 のステップ S 12 a）。これにより、図 28 の構造が得られる。このステップ S 12 a の窒化金属膜 7 のウェットエッティング工程で使用するエッティング液は、上記実施の形態 1 のステップ S 12 の窒化金属膜 7 のウェットエッティング工程で使用するエッティング液と同じである。ステップ S 12 a のウェットエッティング工程によって、n MIS 形成領域 1 A に形成されていた窒化金属膜 7 が除去され、n MIS 形成領域 1 A の Hf 含有絶縁膜 5 が露出される。ステップ S 12 a の窒化金属膜 7 のウェットエッティング工程後には、n MIS 形成領域 1 A の Hf 含有絶縁膜 5 および p MIS 形成領域 1 B の Hf および Me 含有絶縁膜 5 b の両者が露出された状態となる。

## 【0137】

30

その後の工程は、上記実施の形態 1 と同様である。すなわち、上記実施の形態 1 と同様に、図 29 に示されるように、半導体基板 1 の主面上に金属膜 9 を形成し（図 22 のステップ S 13）、金属膜 9 上にシリコン膜 10 を形成する（図 22 のステップ S 14）。それから、上記実施の形態 1 と同様に、図 30 に示されるように、シリコン膜 10 および金属膜 9 の積層膜をパターニングすることでゲート電極 GE 1, GE 2 を形成する（図 22 のステップ S 15）。

## 【0138】

ゲート電極 GE 1 は、n MIS 形成領域 1 A において、Hf 含有絶縁膜 5 上に形成され、ゲート電極 GE 2 は、p MIS 形成領域 1 B において、Hf および Me 含有絶縁膜 5 b 上に形成される。すなわち、金属膜 9 および金属膜 9 上のシリコン膜 10 からなるゲート電極 GE 1 が、n MIS 形成領域 1 A の p 型ウエル 3 の表面上に、ゲート絶縁膜としての Hf 含有絶縁膜 5 を介して形成され、金属膜 9 および金属膜 9 上のシリコン膜 10 からなるゲート電極 GE 2 が、p MIS 形成領域 1 B の n 型ウエル 4 の表面上に、ゲート絶縁膜としての Hf および Me 含有絶縁膜 5 b を介して形成されるのである。Hf 含有絶縁膜 5 と、Hf および Me 含有絶縁膜 5 b とは、いずれも酸化シリコンよりも誘電率が高い。

## 【0139】

また、p チャネル型 MISFETQn のゲート絶縁膜である Hf および Me 含有絶縁膜 5 b は、n チャネル型 MISFETQp のゲート絶縁膜である Hf 含有絶縁膜 5 よりも、金属元素 Me の含有率が高い。これは、ステップ S 10 a の熱処理工程において、p MIS 形成領域 1 B の Hf 含有絶縁膜 5（Hf および Me 含有絶縁膜 5 b となる部分）には金

40

50

属元素M eが導入されるが、n MIS形成領域1 AのH f含有絶縁膜5には金属元素M eが導入されなかつたためである。これにより、p MIS形成領域1 BのH fおよびM e含有絶縁膜5 b（すなわちpチャネル型MISFETQ pのゲート絶縁膜）における金属元素M eの含有率が、n MIS形成領域1 AのH f含有絶縁膜5（すなわちnチャネル型MISFETQ nのゲート絶縁膜）における金属元素M eの含有率よりも高くなるのである。また、ステップS 4のH f含有絶縁膜5の成膜時に、H f含有絶縁膜5がA l, T a, T iを含有しないようにすることが好ましく、これにより、nチャネル型MISFETQ nのゲート絶縁膜であるH f含有絶縁膜5がA l, T a, T iを含有していない状態とすることができる。

## 【0140】

10

ゲート電極G E 1, G E 2を形成した後の工程は、上記実施の形態1と同様であるので、ここではその図示および説明は省略する。

## 【0141】

上記実施の形態1では、pチャネル型MISFETQ pのゲート絶縁膜としてH f含有絶縁膜5を用い、かつnチャネル型MISFETQ nのゲート絶縁膜にH fおよびL n含有絶縁膜5 aを用いたことにより、nチャネル型MISFETQ nを低しきい値化していた。それに対して、本実施の形態では、nチャネル型MISFETQ nのゲート絶縁膜にH f含有絶縁膜5を用い、かつpチャネル型MISFETQ pのゲート絶縁膜としてH fおよびM e含有絶縁膜5 bを用いたことにより、pチャネル型MISFETQ pを低しきい値化することができる。すなわち、pチャネル型MISFETQ pのしきい値（しきい値電圧）の絶対値を低くすることができる。これ以外の本実施の形態の効果については、上記実施の形態1と同様であるので、ここではその説明は省略し、上記実施の形態1と相違する効果について説明する。

20

## 【0142】

例えば、金属ゲート電極に窒化チタンを用い、ゲート絶縁膜にH f系ゲート絶縁膜（H fを含有する高誘電率膜）を用いた場合には、金属ゲート電極の仕事関数は4.7~4.8 eV程度であるが、H f系ゲート絶縁膜にA l, T a, T iなど（特にA l）を導入することで、窒化チタンからなる金属ゲート電極の仕事関数を4.8~5.1 eV程度に制御することができる。pチャネル型MISFETでは、ゲート電極の仕事関数がシリコンの価電子帯近傍（5.15 eV近傍）の値を有していると、pチャネル型MISFETのしきい値電圧を下げることができる。このため、本実施の形態とは異なり、pチャネル型MISFETQ pのゲート絶縁膜としてH f含有絶縁膜5を用いた場合に比べて、本実施の形態のようにpチャネル型MISFETQ pのゲート絶縁膜としてH fおよびM e含有絶縁膜5 bを用いることにより、金属膜9の実効的な仕事関数を低下させてシリコンの価電子帯に近づけることができるため、pチャネル型MISFETQ pを低しきい値化することができる。

30

## 【0143】

例えば、本実施の形態とは異なり、pチャネル型MISFETQ pのゲート絶縁膜にnチャネル型MISFETQ nのゲート絶縁膜と同じくH f含有絶縁膜5を用いた場合に比べて、本実施の形態のようにpチャネル型MISFETQ pのゲート絶縁膜にH fおよびM e含有絶縁膜5 bを用いた場合には、pチャネル型MISFETQ pのしきい値の絶対値を0.1~0.3 V程度低くすることができる。

40

## 【0144】

このようなpチャネル型MISFETQ pの低しきい値化の効果を得るために、しきい値調整層8 aは、A l, T a, T iの少なくとも一種（特に好ましくはA l）を含有しており、好ましくは酸化アルミニウム層、酸化タンタル層または酸化チタン層であり、特に好ましくは酸化アルミニウム層である。これにより、H fおよびM e含有絶縁膜5 bがA l（アルミニウム）、T a（タンタル）、T i（チタン）の少なくとも一種、特に好ましくはA l（アルミニウム）を含有したものとなるので、pチャネル型MISFETQ pの低しきい値化の効果を的確に得ることができる。

50

## 【0145】

pチャネル型MISFETQpのしきい値の低下の程度は、上記ステップS9aでのしきい値調整層8aの形成厚みや、上記ステップS10aでの熱処理の温度などによって制御することができる。このため、pチャネル型MISFETQpの所望のしきい値に応じて、上記ステップS9aでのしきい値調整層8aの形成厚みや上記ステップS10aでの熱処理の温度を設定することができる。

## 【0146】

## (実施の形態3)

図31は、本実施の形態3の製造工程の一部を示す製造プロセスフロー図であり、上記実施の形態1の図1に対応するものである。図32～図35は、本実施の形態3の半導体装置の製造工程中の要部断面図である。

10

## 【0147】

本実施の形態の製造工程は、ステップS12で窒化金属膜7をウェットエッチングによって除去するまでは、上記実施の形態1の製造工程と同様であるので、ここではその説明を省略し、ステップS12の窒化金属膜7の除去工程以降について説明する。

## 【0148】

上記実施の形態1のステップS1～S12と同様の工程を行って、上記図11の構造を得た後、本実施の形態では、図32に示されるように、半導体基板1の主面上に、しきい値調整層8bを形成する(図31のステップS21)。

## 【0149】

20

しきい値調整層8bは、上記実施の形態2のしきい値調整層8aと同じ材料により形成することができ、その形成法や膜厚も、上記実施の形態2のしきい値調整層8aと同様とすることができる。ステップS12の窒化金属膜7の除去工程によってnMIS形成領域1AのHfおよびLn含有絶縁膜5aおよびpMIS形成領域1BのHf含有絶縁膜5の両者が露出された後で、ステップS21のしきい値調整層8b形成工程を行うため、しきい値調整層8bは、nMIS形成領域1AではHfおよびLn含有絶縁膜5a上に形成され、pMIS形成領域1BではHf含有絶縁膜5上に形成される。

## 【0150】

しきい値調整層8bは、pMIS形成領域1Bに形成するpチャネル型MISFET(pチャネル型MISFETQpに対応)のしきい値の絶対値を低下させるために、そのpチャネル型MISFET(pチャネル型MISFETQpに対応)のHf系ゲート絶縁膜に導入すべき金属元素(第2金属元素)、すなわちAl, Ta, Tiの少なくとも一種(特に好ましくはAl)を含有している。

30

## 【0151】

従って、しきい値調整層8bは、Al(アルミニウム), Ta(タンタル), Ti(チタン)の少なくとも一種を含有し、特に好ましくはAl(アルミニウム)を含有している。しきい値調整層8bとしては金属酸化物層が好ましいため、しきい値調整層8bは、好ましくは酸化アルミニウム層(代表的にはAl<sub>2</sub>O<sub>3</sub>層)、酸化タンタル層(代表的にはTa<sub>2</sub>O<sub>5</sub>層)または酸化チタン層(代表的にはTiO<sub>2</sub>層)であり、特に好ましくは酸化アルミニウム層である。以下では、しきい値調整層8bが含有する金属元素をMe'を表記するものとする。従って、しきい値調整層8bが酸化アルミニウム層の場合は、Me' = Alであり、しきい値調整層8bが酸化タンタル層の場合は、Me' = Taであり、しきい値調整層8bが酸化チタン層の場合は、Me' = Tiである。

40

## 【0152】

次に、半導体基板1に対して熱処理を施す(図31のステップS22)。ステップS22の熱処理工程は、例えば、熱処理温度を600～1000の範囲内とし、不活性ガス雰囲気中で行うことができる。

## 【0153】

このステップS22の熱処理工程においては、pMIS形成領域1Bでは、しきい値調整層8bとHf含有絶縁膜5とが接触していたために両者が反応して、しきい値調整層8

50

b の金属元素 Me' が Hf 含有絶縁膜 5 に導入 (拡散) される。そして、n MIS 形成領域 1 A では、しきい値調整層 8 b と Hf および Ln 含有絶縁膜 5 a とが接觸していたために両者が反応して、しきい値調整層 8 b の金属元素 Me' が Hf および Ln 含有絶縁膜 5 a に導入 (拡散) される。

#### 【0154】

ステップ S 2 2 の熱処理により、図 3 3 に示されるように、p MIS 形成領域 1 B では、しきい値調整層 8 b と Hf 含有絶縁膜 5 とが反応 (混合、ミキシング) して「Hf および Me' 含有絶縁膜 5 c」が形成される。すなわち、p MIS 形成領域 1 B では、しきい値調整層 8 b の金属元素 Me' (好ましくは Al, Ta, Ti の少なくとも一種、特に好ましくは Al) が Hf 含有絶縁膜 5 に導入されて、Hf 含有絶縁膜 5 が Hf および Me' 含有絶縁膜 5 c となる。  
10

#### 【0155】

また、ステップ S 2 2 の熱処理により、図 3 3 に示されるように、n MIS 形成領域 1 A では、しきい値調整層 8 b と Hf および Ln 含有絶縁膜 5 a とが反応 (混合、ミキシング) して「Hf, Ln および Me' 含有絶縁膜 5 d」が形成される。すなわち、n MIS 形成領域 1 A では、しきい値調整層 8 b の金属元素 Me' (好ましくは Al, Ta, Ti の少なくとも一種、特に好ましくは Al) が Hf および Ln 含有絶縁膜 5 a に導入されて、Hf および Ln 含有絶縁膜 5 a が Hf, Ln および Me' 含有絶縁膜 5 d となる。

#### 【0156】

Hf および Me' 含有絶縁膜 5 c は、Hf (ハフニウム) と金属元素 Me' とを含有する絶縁材料からなり、Hf および Me' 含有絶縁膜 5 c が含有する金属元素 Me' は、しきい値調整層 8 b が含有していた金属元素 Me' と同じである。また、Hf, Ln および Me' 含有絶縁膜 5 d は、Hf (ハフニウム) と希土類元素 Ln と金属元素 Me' とを含有する絶縁材料からなり、Hf, Ln および Me' 含有絶縁膜 5 d が含有する希土類元素 Ln は、しきい値調整層 8 が含有していた希土類元素 Ln と同じであり、Hf, Ln および Me' 含有絶縁膜 5 d が含有する金属元素 Me' は、しきい値調整層 8 b が含有していた金属元素 Me' と同じである。一例を挙げれば、Hf 含有絶縁膜 5 が HfSiON 膜の場合は、Hf および Me' 含有絶縁膜 5 c は、HfMe' SiON 膜 (Me' = Al の場合は HfAlSiON 膜) であり、Hf, Ln および Me' 含有絶縁膜 5 d は、HfLnMe' SiON 膜 (Ln = La, Me' = Al の場合は HfLaAlSiON 膜) である。  
20  
30

#### 【0157】

その後の工程は、上記実施の形態 1 と同様である。すなわち、上記実施の形態 1 と同様に、図 3 4 に示されるように、半導体基板 1 の主面上に金属膜 9 を形成し (図 3 1 のステップ S 1 3)、金属膜 9 上にシリコン膜 10 を形成する (図 3 1 のステップ S 1 4)。それから、上記実施の形態 1 と同様に、図 3 5 に示されるように、シリコン膜 10 および金属膜 9 の積層膜をバターニングすることでゲート電極 GE 1, GE 2 を形成する (図 3 1 のステップ S 1 5)。

#### 【0158】

ゲート電極 GE 1 は、n MIS 形成領域 1 A において、Hf, Ln および Me' 含有絶縁膜 5 d 上に形成され、ゲート電極 GE 2 は、p MIS 形成領域 1 B において、Hf および Me' 含有絶縁膜 5 c 上に形成される。すなわち、金属膜 9 および金属膜 9 上のシリコン膜 10 からなるゲート電極 GE 1 が、n MIS 形成領域 1 A の p 型ウエル 3 の表面上に、ゲート絶縁膜としての Hf, Ln および Me' 含有絶縁膜 5 d を介して形成され、金属膜 9 および金属膜 9 上のシリコン膜 10 からなるゲート電極 GE 2 が、p MIS 形成領域 1 B の n 型ウエル 4 の表面上に、ゲート絶縁膜としての Hf および Me' 含有絶縁膜 5 c を介して形成されるのである。Hf, Ln および Me' 含有絶縁膜 5 d と、Hf および Me' 含有絶縁膜 5 c とは、いずれも酸化シリコンよりも誘電率が高い。  
40

#### 【0159】

n チャネル型 MISFETQn のゲート絶縁膜である Hf, Ln および Me' 含有絶縁

膜 5 d は、 p チャネル型 M I S F E T Q p のゲート絶縁膜である H f および M e ' 含有絶縁膜 5 c よりも、希土類元素 L n の含有率が高い。これは、ステップ S 1 0 の熱処理工程において、 n M I S 形成領域 1 A の H f 含有絶縁膜 5 (後で H f , L n および M e ' 含有絶縁膜 5 d となる部分) には希土類元素 L n が導入されるが、 p M I S 形成領域 1 B の H f 含有絶縁膜 5 (後で H f および M e ' 含有絶縁膜 5 c となる部分) には希土類元素 L n が導入されなかつたためである。また、ステップ S 4 の H f 含有絶縁膜 5 の成膜時に、 H f 含有絶縁膜 5 が希土類元素を含有しないようにすることが好ましく、これにより、 p チャネル型 M I S F E T Q p のゲート絶縁膜である H f および M e ' 含有絶縁膜 5 c が希土類元素を含有していない状態とすることができます。

## 【 0 1 6 0 】

10

ゲート電極 G E 1 , G E 2 を形成した後の工程は、上記実施の形態 1 と同様であるので、ここではその図示および説明は省略する。

## 【 0 1 6 1 】

また、本実施の形態では、ステップ S 2 2 の熱処理工程を、ステップ S 2 1 のしきい値調整層 8 b 形成工程後でステップ S 1 3 の金属膜 9 の形成工程前に行う場合について説明したが、ステップ S 2 2 の熱処理工程を、ステップ S 1 3 の金属膜 9 の形成工程よりも後に行うことでもできる。例えば、上記 n + 型半導体領域 1 1 b および p + 型半導体領域 1 2 b 形成用のイオン注入で導入された不純物の活性化のためのアニール処理（活性化アニール、熱処理）が、ステップ S 2 2 の熱処理を兼ねることもできる。この場合、ステップ S 1 3 で金属膜 9 は、しきい値調整層 8 b 上に形成され、ステップ S 1 3 ~ S 1 5 の間、 p M I S 形成領域 1 B の H f 含有絶縁膜 5 と n M I S 形成領域 1 A の H f および L n 含有絶縁膜 5 a とは、しきい値調整層 8 b と反応しない。そして、ゲート電極 G E 1 , G E 2 の形成後の上記活性化アニールの際に、 p M I S 形成領域 1 B では、 H f 含有絶縁膜 5 がしきい値調整層 8 b と反応して H f および M e ' 含有絶縁膜 5 c が形成され、 n M I S 形成領域 1 A では、 H f および L n 含有絶縁膜 5 a がしきい値調整層 8 b と反応して H f , L n および M e ' 含有絶縁膜 5 d が形成されることになる。

20

## 【 0 1 6 2 】

上記実施の形態 1 では、 p チャネル型 M I S F E T Q p のゲート絶縁膜として H f 含有絶縁膜 5 を用い、かつ n チャネル型 M I S F E T Q n のゲート絶縁膜に H f および L n 含有絶縁膜 5 a を用いたことにより、 n チャネル型 M I S F E T Q n を低しきい値化していた。それに対して、本実施の形態では、 n チャネル型 M I S F E T Q n のゲート絶縁膜に H f , L n および M e ' 含有絶縁膜 5 d を用い、かつ p チャネル型 M I S F E T Q p のゲート絶縁膜として H f および M e ' 含有絶縁膜 5 c を用いている。本実施の形態では、 p チャネル型 M I S F E T Q p のゲート絶縁膜として H f および M e ' 含有絶縁膜 5 c を用いたことにより、 p チャネル型 M I S F E T Q p を低しきい値化することができる。すなわち、 p チャネル型 M I S F E T Q p のしきい値（しきい値電圧）の絶対値を低くすることができる。その理由は、上記実施の形態 2 で p チャネル型 M I S F E T Q p を低しきい値化できたのと同様である。

30

## 【 0 1 6 3 】

一方、 n チャネル型 M I S F E T Q n のゲート絶縁膜に H f および L n 含有絶縁膜 5 a を用いた上記実施の形態 1 に比べると、本実施の形態では、 n チャネル型 M I S F E T Q n のゲート絶縁膜に金属元素 M e ' が含まれるため、 n チャネル型 M I S F E T Q n のゲート電極 G E 1 の金属膜 9 の実効的な仕事関数が大きくなる分、 n チャネル型 M I S F E T Q n のしきい値電圧の絶対値は増加する。しかしながら、本実施の形態では、 n チャネル型 M I S F E T Q n のゲート絶縁膜 ( H f , L n および M e ' 含有絶縁膜 5 d ) が希土類元素 L n (特に好ましくは L a ) を含有しているため、希土類元素 L n を含有していない場合に比べて、 n チャネル型 M I S F E T Q n のしきい値（しきい値電圧）の絶対値を低くすることができる。このため、 n チャネル型 M I S F E T Q n と p チャネル型 M I S F E T Q p の両方で、しきい値（しきい値電圧）の絶対値を低くすることができる。また、しきい値調整層 8 の膜厚の調整などで、 n チャネル型 M I S F E T Q n のしきい値を調

40

50

整することができ、しきい値調整層 8 b の膜厚の調整などで、p チャネル型 M I S F E T Q p のしきい値を調整することができる。このため、ミッドギャップを基点に対称性に優れたゲート電極 G E 1 およびゲート電極 G E 2 を形成することができ、n チャネル型 M I S F E T Q n のしきい値の絶対値と p チャネル型 M I S F E T Q p のしきい値の絶対値との差を小さくすることができるため、対称性に優れた C M I S F E T を有する半導体装置を実現することができる。例えば、しきい値調整層 8 に厚み 1 nm の酸化ランタン膜を用い、しきい値調整層 8 b に厚み 0.5 nm の酸化アルミニウム膜を用いた場合には、n チャネル型 M I S F E T Q n のゲート電極 G E 1 ( の金属膜 9 ) の実効仕事関数を 4.2 eV 程度とし、p チャネル型 M I S F E T Q p のゲート電極 G E 2 ( の金属膜 9 ) の実効仕事関数を 4.9 eV 程度とすることができます。

10

#### 【 0 1 6 4 】

これ以外の本実施の形態の効果については、上記実施の形態 1 と同様であるので、ここではその説明は省略する。

#### 【 0 1 6 5 】

##### ( 実施の形態 4 )

図 3 6 は、本実施の形態 4 の製造工程の一部を示す製造プロセスフロー図であり、上記実施の形態 1 の図 1 に対応するものである。図 3 7 ~ 図 4 0 は、本実施の形態 4 の半導体装置の製造工程中の要部断面図である。

#### 【 0 1 6 6 】

本実施の形態の製造工程は、ステップ S 1 2 a で窒化金属膜 7 をウェットエッティングによって除去するまでは、上記実施の形態 2 の製造工程と同様であるので、ここではその説明を省略し、ステップ S 1 2 a の窒化金属膜 7 の除去工程以降について説明する。

20

#### 【 0 1 6 7 】

上記実施の形態 2 のステップ S 1 ~ S 1 2 a と同様の工程を行って、上記図 2 8 の構造を得た後、本実施の形態では、図 3 7 に示されるように、半導体基板 1 の主面上に、しきい値調整層 8 c を形成する ( 図 3 6 のステップ S 2 1 a ) 。

#### 【 0 1 6 8 】

しきい値調整層 8 c は、上記実施の形態 1 のしきい値調整層 8 と同じ材料により形成することができ、その形成法や膜厚も、上記実施の形態 1 のしきい値調整層 8 と同様とすることができる。ステップ S 1 2 a の窒化金属膜 7 の除去工程によって p M I S 形成領域 1 B の H f および M e 含有絶縁膜 5 b および n M I S 形成領域 1 A の H f 含有絶縁膜 5 の両者が露出された後で、ステップ S 2 1 a のしきい値調整層 8 c 形成工程を行うため、しきい値調整層 8 c は、p M I S 形成領域 1 B では H f および M e 含有絶縁膜 5 b 上に形成され、n M I S 形成領域 1 A では H f 含有絶縁膜 5 上に形成される。

30

#### 【 0 1 6 9 】

しきい値調整層 8 c は、n M I S 形成領域 1 A に形成する n チャネル型 M I S F E T ( n チャネル型 M I S F E T Q n に対応 ) のしきい値の絶対値を低下させるために、その n チャネル型 M I S F E T ( n チャネル型 M I S F E T Q n に対応 ) の H f 系ゲート絶縁膜に導入すべき金属元素 ( 第 2 金属元素 ) 、すなわち希土類元素 ( 特に好ましくは L a ) 、を含有している。

40

#### 【 0 1 7 0 】

従って、しきい値調整層 8 c は、希土類元素を含有し、特に好ましくは L a ( ランタン ) を含有している。しきい値調整層 8 c としては金属酸化物層が好ましいため、しきい値調整層 8 c は、好ましくは希土類酸化物層 ( 酸化希土類膜 ) であり、特に好ましくは酸化ランタン層 ( 酸化ランタン層として代表的なのは L a<sub>2</sub>O<sub>3</sub> 層 ) である。以下では、しきい値調整層 8 c が含有する希土類元素を L n ' と表記するものとする。従って、しきい値調整層 8 c が酸化ランタン層の場合は、L n ' = L a であり、しきい値調整層 8 が酸化イットリウム層の場合は、L n ' = Y である。

#### 【 0 1 7 1 】

次に、半導体基板 1 に対して熱処理を施す ( 図 3 6 のステップ S 2 2 a ) 。ステップ S

50

22aの熱処理工程は、例えば、熱処理温度を600～1000の範囲内とし、不活性ガス雰囲気中で行うことができる。

【0172】

このステップS22aの熱処理工程においては、nMIS形成領域1Aでは、しきい値調整層8cとHf含有絶縁膜5とが接触していたために両者が反応して、しきい値調整層8cの希土類元素Ln'がHf含有絶縁膜5に導入（拡散）される。そして、pMIS形成領域1Bでは、しきい値調整層8cとHfおよびMe含有絶縁膜5bとが接触していたために両者が反応して、しきい値調整層8cの希土類元素Ln'がHfおよびMe含有絶縁膜5bに導入（拡散）される。

【0173】

ステップS22aの熱処理により、図38に示されるように、nMIS形成領域1Aでは、しきい値調整層8cとHf含有絶縁膜5とが反応（混合、ミキシング）して「HfおよびLn'含有絶縁膜5e」が形成される。すなわち、nMIS形成領域1Aでは、しきい値調整層8cの希土類元素Ln'（特に好ましくはLa）がHf含有絶縁膜5に導入されて、Hf含有絶縁膜5がHfおよびLn'含有絶縁膜5eとなる。

【0174】

また、ステップS22aの熱処理により、図38に示されるように、pMIS形成領域1Bでは、しきい値調整層8cとHfおよびMe含有絶縁膜5bとが反応（混合、ミキシング）して「Hf, Ln'およびMe含有絶縁膜5f」が形成される。すなわち、pMIS形成領域1Bでは、しきい値調整層8cの希土類元素Ln'（特に好ましくはLa）がHfおよびMe含有絶縁膜5bに導入されて、HfおよびMe含有絶縁膜5bがHf, Ln'およびMe含有絶縁膜5fとなる。

【0175】

HfおよびLn'含有絶縁膜5eは、Hf（ハフニウム）と希土類元素Ln'を含有する絶縁材料からなり、HfおよびLn'含有絶縁膜5eが含有する希土類元素Ln'は、しきい値調整層8cが含有していた希土類元素Ln'と同じである。また、Hf, Ln'およびMe含有絶縁膜5fは、Hf（ハフニウム）と希土類元素Ln'と金属元素Meとを含有する絶縁材料からなり、Hf, Ln'およびMe含有絶縁膜5fが含有する希土類元素Ln'は、しきい値調整層8cが含有していた希土類元素Ln'と同じであり、Hf, Ln'およびMe含有絶縁膜5fが含有する金属元素Meは、しきい値調整層8aが含有していた金属元素Meと同じである。一例を挙げれば、Hf含有絶縁膜5がHfSiON膜の場合は、HfおよびLn'含有絶縁膜5eは、HfLn'SiON膜（Ln' = Laの場合はHfLaSiON膜）であり、Hf, Ln'およびMe含有絶縁膜5fは、HfLn'MeSiON膜（Ln' = La, Me = Alの場合はHfLaAlSiON膜）である。

【0176】

その後の工程は、上記実施の形態1, 2と同様である。すなわち、上記実施の形態1, 2と同様に、図39に示されるように、半導体基板1の主面上に金属膜9を形成し（図36のステップS13）、金属膜9上にシリコン膜10を形成する（図36のステップS14）。それから、上記実施の形態1と同様に、図40に示されるように、シリコン膜10および金属膜9の積層膜をパターニングすることでゲート電極GE1, GE2を形成する（図36のステップS15）。

【0177】

ゲート電極GE1は、nMIS形成領域1Aにおいて、HfおよびLn'含有絶縁膜5e上に形成され、ゲート電極GE2は、pMIS形成領域1Bにおいて、Hf, Ln'およびMe含有絶縁膜5f上に形成される。すなわち、金属膜9および金属膜9上のシリコン膜10からなるゲート電極GE1が、nMIS形成領域1Aのp型ウエル3の表面上に、ゲート絶縁膜としてのHfおよびLn'含有絶縁膜5eを介して形成され、金属膜9および金属膜9上のシリコン膜10からなるゲート電極GE2が、pMIS形成領域1Bのn型ウエル4の表面上に、ゲート絶縁膜としてのHf, Ln'およびMe含有絶縁膜5f

10

20

30

40

50

を介して形成されるのである。HfおよびLn'含有絶縁膜5eと、Hf, Ln'およびMe含有絶縁膜5fとは、いずれも酸化シリコンよりも誘電率が高い。

【0178】

pチャネル型MISFETQpのゲート絶縁膜であるHf, Ln'およびMe含有絶縁膜5fは、nチャネル型MISFETQnのゲート絶縁膜であるHfおよびLn'含有絶縁膜5eよりも、金属元素Meの含有率が高い。これは、ステップS10aの熱処理工程において、pMIS形成領域1BのHf含有絶縁膜5（後でHf, Ln'およびMe含有絶縁膜5fとなる部分）には金属元素Meが導入されるが、nMIS形成領域1AのHf含有絶縁膜5（後でHfおよびLn'含有絶縁膜5eとなる部分）には金属元素Meが導入されなかつたためである。また、ステップS4のHf含有絶縁膜5の成膜時に、Hf含有絶縁膜5がAl, Ta, Tiを含有しないようにすることが好ましく、これにより、nチャネル型MISFETQnのゲート絶縁膜であるHfおよびLn'含有絶縁膜5eがAl, Ta, Tiを含有していない状態とすることができます。

【0179】

ゲート電極GE1, GE2を形成した後の工程は、上記実施の形態1, 2と同様であるので、ここではその図示および説明は省略する。

【0180】

また、本実施の形態では、ステップS22aの熱処理工程を、ステップS21aのしきい値調整層8c形成工程後でステップS13の金属膜9の形成工程前に行う場合について説明したが、上記実施の形態3のステップS22の熱処理工程と同様、本実施の形態のステップS22aの熱処理工程も、ステップS13の金属膜9の形成工程よりも後に行うこともできる。例えば、上記n<sup>+</sup>型半導体領域11bおよびp<sup>+</sup>型半導体領域12b形成用のイオン注入で導入された不純物の活性化のためのアニール処理（活性化アニール、熱処理）が、ステップS22aの熱処理を兼ねることもできる。この場合、ステップS13で金属膜9は、しきい値調整層8c上に形成され、ステップS13～S15の間、nMIS形成領域1AのHf含有絶縁膜5とpMIS形成領域1BのHfおよびMe含有絶縁膜5bとは、しきい値調整層8cと反応しない。そして、ゲート電極GE1, GE2の形成後の上記活性化アニールの際に、nMIS形成領域1Aでは、Hf含有絶縁膜5がしきい値調整層8cと反応してHfおよびLn'含有絶縁膜5eが形成され、pMIS形成領域1Bでは、HfおよびMe含有絶縁膜5bがしきい値調整層8cと反応してHf, Ln'およびMe含有絶縁膜5fが形成されることになる。

【0181】

上記実施の形態2では、nチャネル型MISFETQnのゲート絶縁膜としてHf含有絶縁膜5を用い、かつpチャネル型MISFETQpのゲート絶縁膜にHfおよびMe含有絶縁膜5bを用いたことにより、pチャネル型MISFETQpを低しきい値化していた。それに対して、本実施の形態では、pチャネル型MISFETQpのゲート絶縁膜にHf, Ln'およびMe含有絶縁膜5fを用い、かつnチャネル型MISFETQnのゲート絶縁膜としてHfおよびLn'含有絶縁膜5eを用いている。本実施の形態では、nチャネル型MISFETQnのゲート絶縁膜としてHfおよびLn'含有絶縁膜5eを用いたことにより、nチャネル型MISFETQnを低しきい値化することができる。すなわち、nチャネル型MISFETQnのしきい値（しきい値電圧）の絶対値を低くすることができる。その理由は、上記実施の形態1でnチャネル型MISFETQnを低しきい値化できたのと同様である。

【0182】

一方、pチャネル型MISFETQpのゲート絶縁膜にHfおよびMe含有絶縁膜5bを用いた上記実施の形態2に比べると、本実施の形態では、pチャネル型MISFETQpのゲート絶縁膜に希土類元素Ln'が含まれるため、pチャネル型MISFETQpのゲート電極GE2の金属膜9の実効的な仕事関数が大きくなる分、pチャネル型MISFETQpのしきい値電圧の絶対値は増加する。しかしながら、本実施の形態では、pチャネル型MISFETQpのゲート絶縁膜（Hf, Ln'およびMe含有絶縁膜5f）が金

10

20

30

40

50

属元素M e（好ましくはA l，T a，T iの少なくとも一種、特に好ましくはA l）を含有しているため、金属元素M eを含有していない場合に比べて、pチャネル型M I S F E T Q pのしきい値（しきい値電圧）の絶対値を低くすることができる。このため、nチャネル型M I S F E T Q nとpチャネル型M I S F E T Q pの両方で、しきい値（しきい値電圧）の絶対値を低くすることができる。また、しきい値調整層8 aの膜厚の調整などで、pチャネル型M I S F E T Q pのしきい値を調整することができ、しきい値調整層8 cの膜厚の調整などで、nチャネル型M I S F E T Q nのしきい値を調整することができる。このため、ミッドギャップを基点に対称性に優れたゲート電極G E 1およびゲート電極G E 2を形成することができ、nチャネル型M I S F E T Q nのしきい値の絶対値とpチャネル型M I S F E T Q pのしきい値の絶対値との差を小さくすることができるため、対称性に優れたC M I S F E Tを有する半導体装置を実現することができる。10

#### 【0183】

これ以外の本実施の形態の効果については、上記実施の形態2と同様であるので、ここではその説明は省略する。

#### 【0184】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

#### 【産業上の利用可能性】

#### 【0185】

本発明は、半導体装置およびその製造技術に適用して有効である。20

#### 【符号の説明】

#### 【0186】

1 半導体基板

1 A n M I S 形成領域

1 B p M I S 形成領域

2 素子分離領域

2 a 溝

3 p型ウエル

4 n型ウエル

5 H f 含有絶縁膜

5 a H f およびL n 含有絶縁膜

5 b H f およびM e 含有絶縁膜

5 c H f およびM e' 含有絶縁膜

5 d H f, L n およびM e' 含有絶縁膜

5 e H f およびL n' 含有絶縁膜

5 f H f, L n' およびM e 含有絶縁膜

7 窒化金属膜

8, 8 a, 8 b, 8 c しきい値調整層

9 金属膜

10 シリコン膜

11 a n-型半導体領域

11 b n+型半導体領域

12 a p-型半導体領域

12 b p+型半導体領域

13 サイドウォール

21 絶縁膜

22 コンタクトホール

23 プラグ

24 ストッパ絶縁膜

20

30

40

50

2 5 絶縁膜

2 6 配線溝

G E 1 , G E 2 ゲート電極

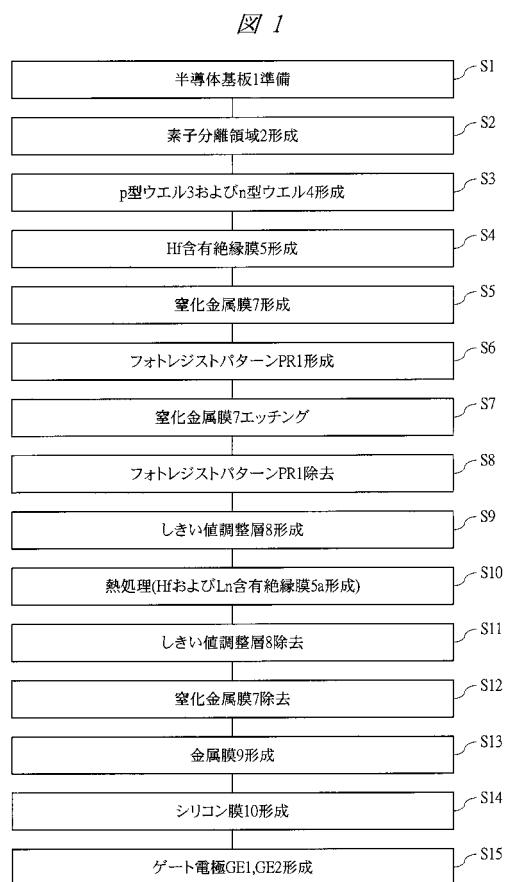
M 1 配線

Q n nチャネル型M I S F E T

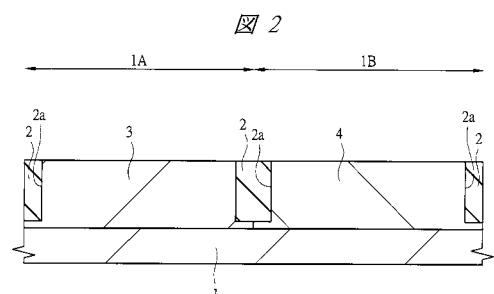
Q p pチャネル型M I S F E T

P R 1 , P R 2 , P R 1 0 1 フォトレジストパターン

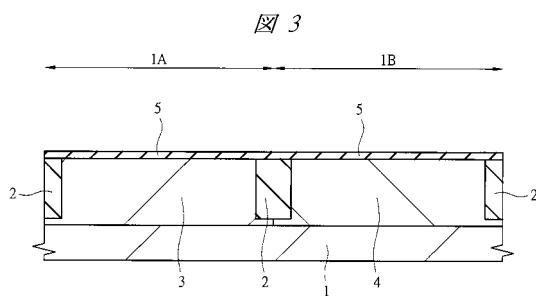
【図 1】



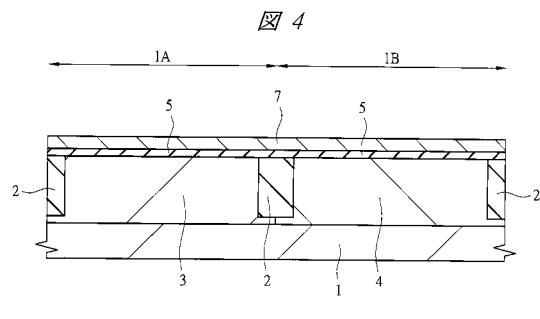
【図 2】



【図 3】

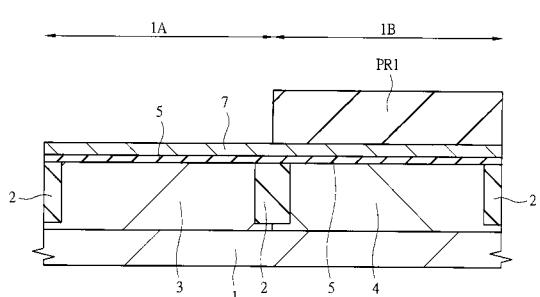


【図4】

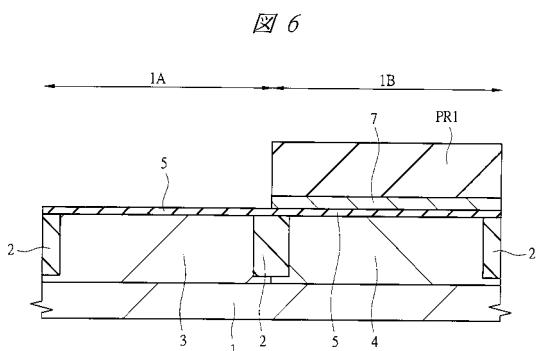


【図5】

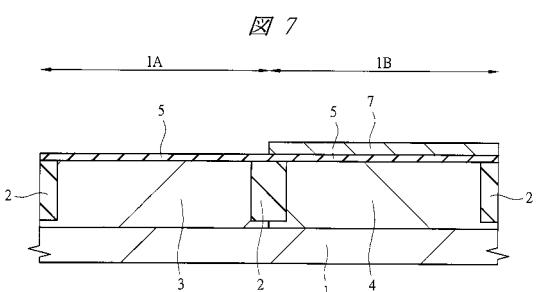
図5



【図6】

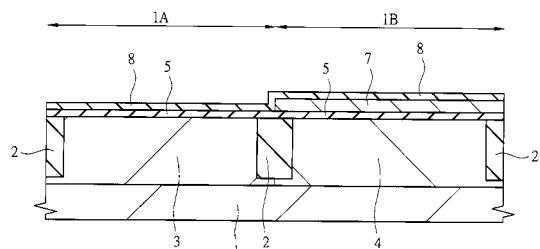


【図7】



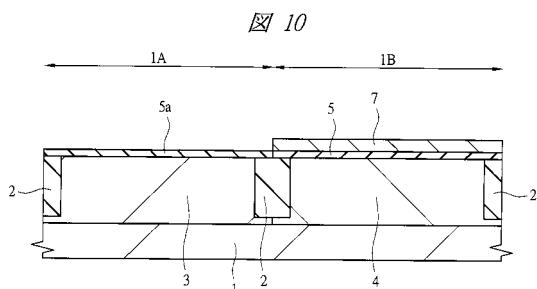
【図8】

図8

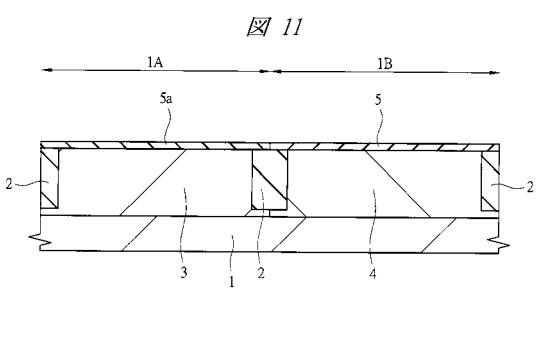


1: 半導体基板  
1A: nMIS形成領域  
1B: pMIS形成領域  
5: Hf含有絶縁膜  
7: 硅化金属膜  
8: しきい値調整層

【図10】

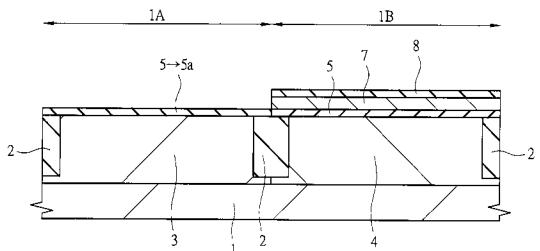


【図11】

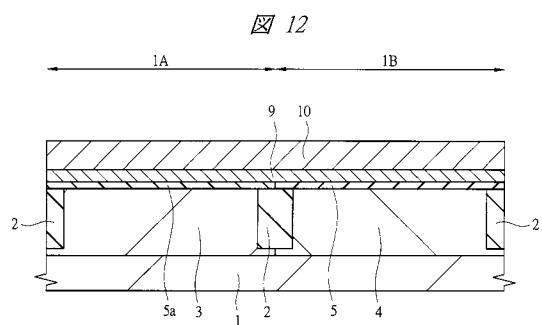


【図9】

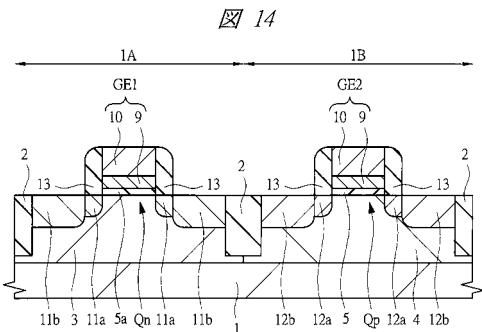
図9



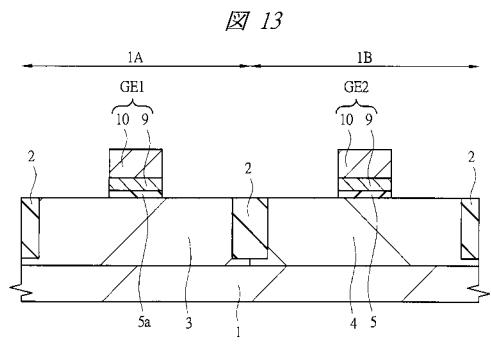
【図12】



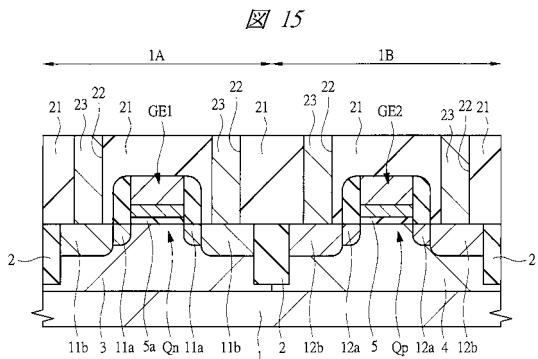
【図14】



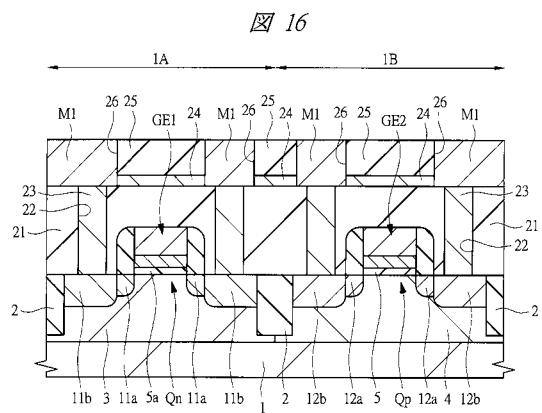
【図13】



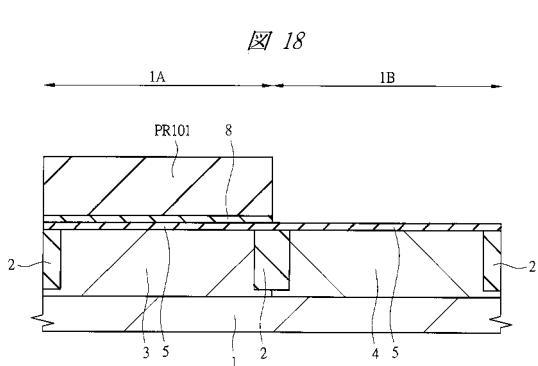
【図15】



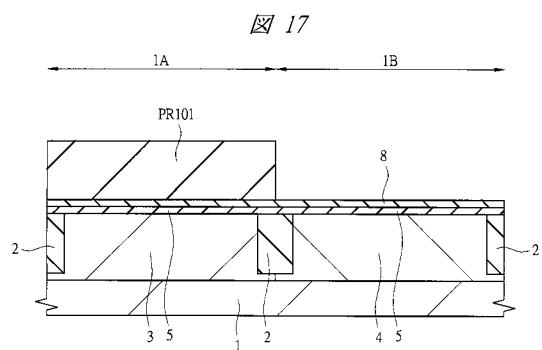
【図16】



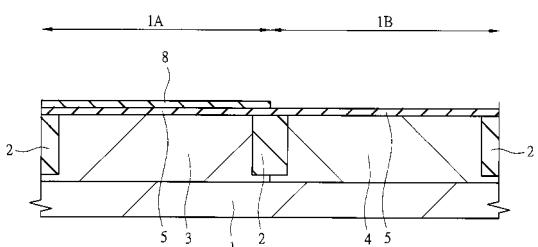
【図18】



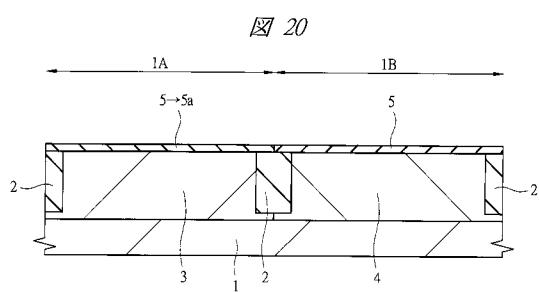
【図17】



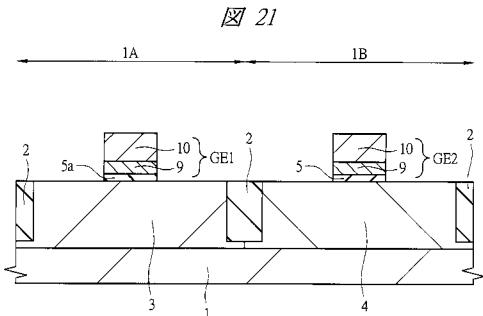
【図19】



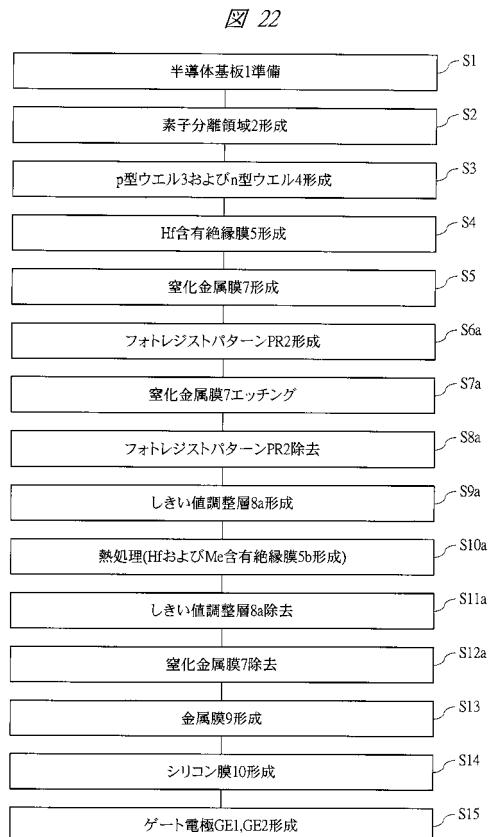
【図20】



【図21】

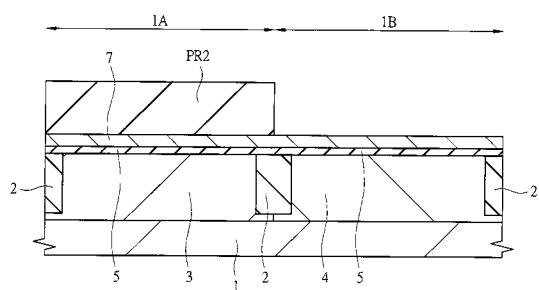


【図22】



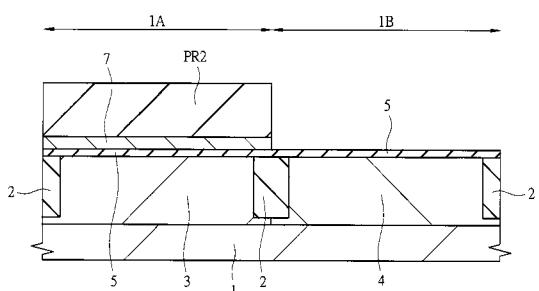
【図23】

図23



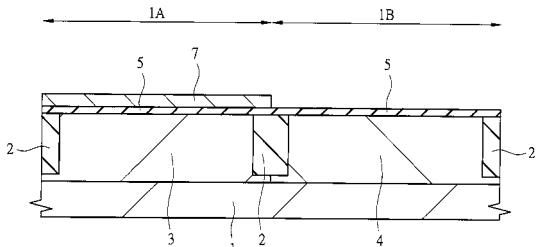
【図24】

図24



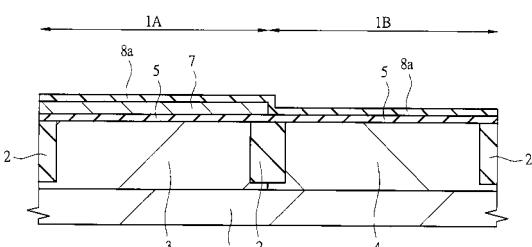
【図25】

図25

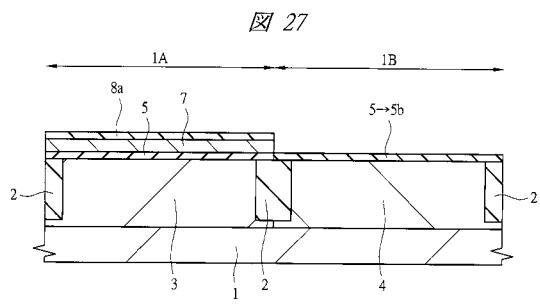


【図26】

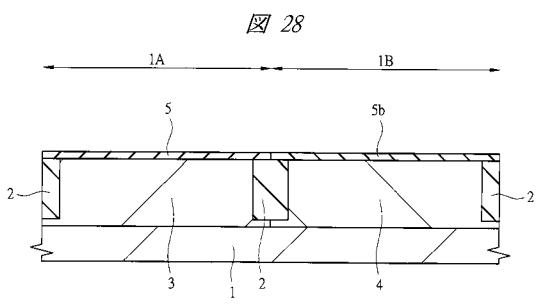
図26



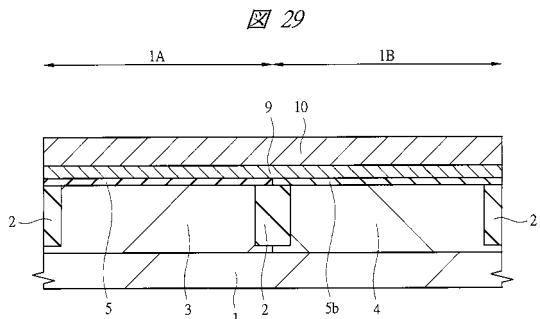
【図27】



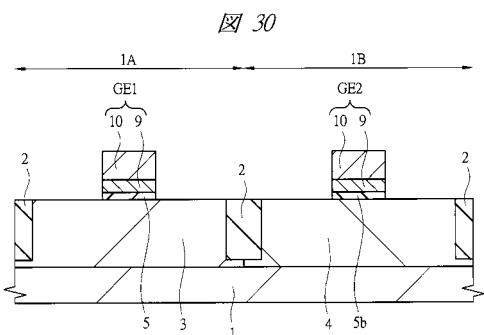
【図28】



【図29】



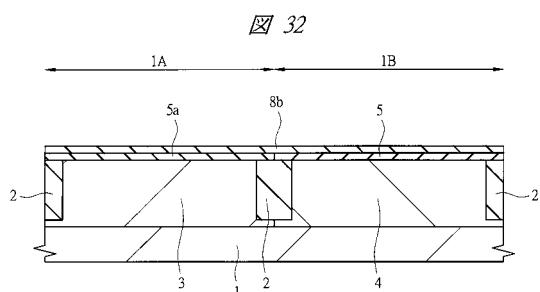
【図30】



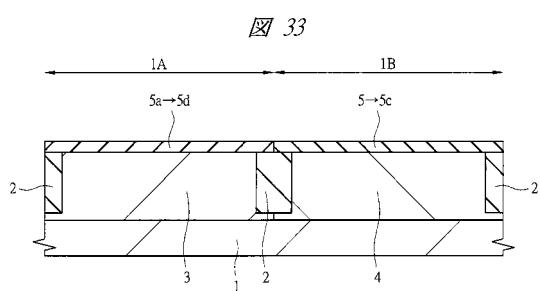
【図31】



【図32】

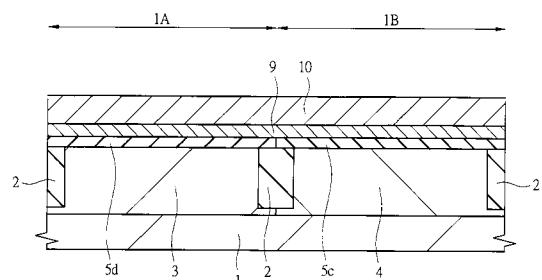


【図33】



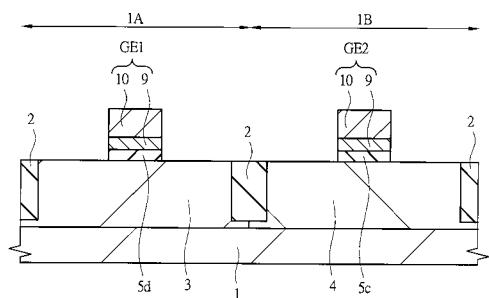
【図34】

図34



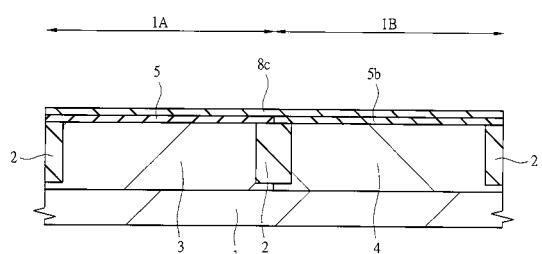
【図35】

図35



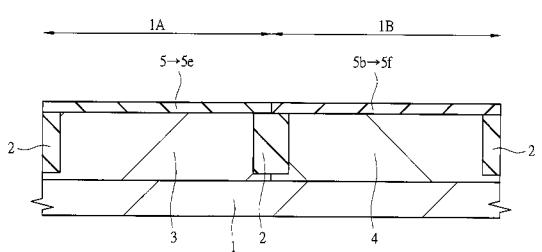
【図37】

図37



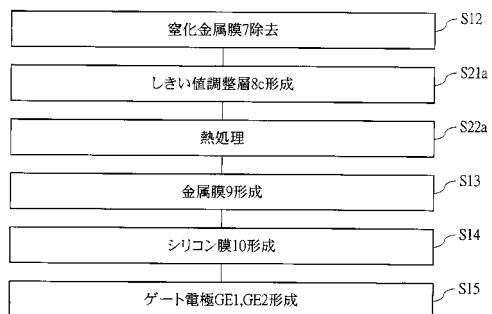
【図38】

図38



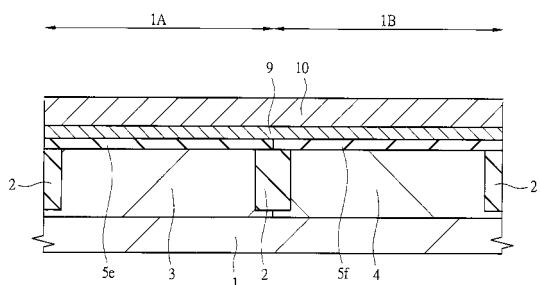
【図36】

図36



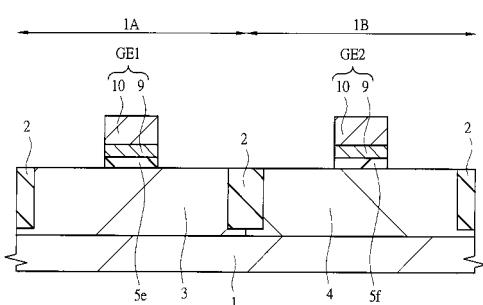
【図39】

図39



【図40】

図40



---

フロントページの続き

(51)Int.Cl. F I

H 01L 29/49 (2006.01)  
H 01L 21/28 (2006.01)

(72)発明者 由上 二郎

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

審査官 岩本 勉

(56)参考文献 特開2010-238685 (JP, A)

特開2010-135735 (JP, A)

特開2010-103130 (JP, A)

特開2010-177265 (JP, A)

特開2009-194352 (JP, A)

国際公開第2009/072421 (WO, A1)

特開2007-329237 (JP, A)

特開2007-243009 (JP, A)

特開2007-165872 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01L 21/8238

H 01L 21/336

H 01L 27/092

H 01L 29/78