(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0120001
(43) 공개일자 2021년10월06일

(51) 국제특허분류(Int. Cl.)
H04N 5/369 (2011.01) *H01L 27/146* (2006.01)
H04N 5/353 (2011.01) *H04N 5/376* (2011.01)
H04N 5/378 (2011.01)
(52) CPC특허분류
H04N 5/379 (2021.08)
H01L 27/146 (2021.08)
(21) 출원번호 10-2021-7024408
(22) 출원일자(국제) 2020년01월22일
심사청구일자 없음
(85) 번역문제출일자 2021년08월02일
(86) 국제출원번호 PCT/IB2020/050457
(87) 국제공개번호 WO 2020/157600
국제공개일자 2020년08월06일
(30) 우선권주장
JP-P-2019-013507 2019년01월29일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 순페이
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
이케다 타카유키
일본국 2430036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
황의만

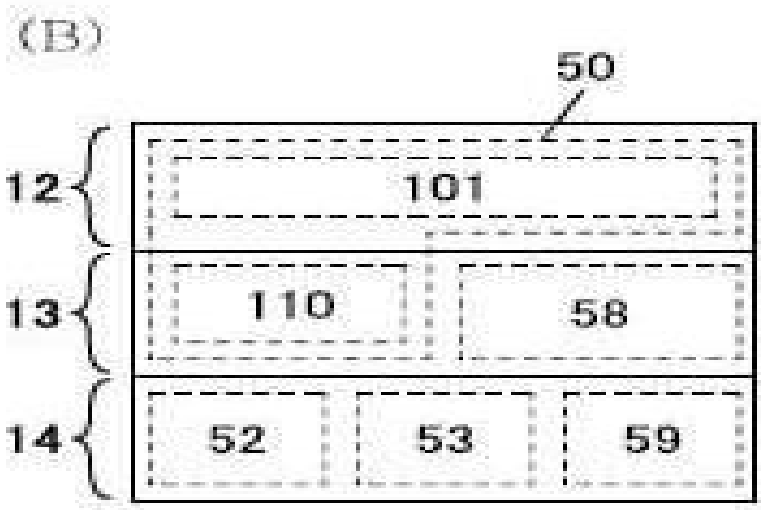
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 **촬상 장치 및 전자 기기**

(57) 요 약

메모리 기능을 가지는 촬상 장치를 제공한다. 또는 동체(動體)의 촬상에 적합한 촬상 장치를 제공한다. 제 1 층과, 제 2 층과, 제 3 층을 가지는 촬상 장치로서, 제 2 층은 제 1 층과 제 3 층 사이에 제공되고, 제 1 층은 광전 변환 디바이스를 가지고, 제 2 층은 제 1 회로 및 제 2 회로를 가지고, 제 3 층은 제 3 회로 및 제 4 회로를 가지고, 제 1 회로 및 광전 변환 디바이스는 촬상 데이터를 생성하는 기능을 가지고, 제 3 회로는 촬상 데이터를 판독하는 기능을 가지고, 제 2 회로는 제 3 회로에서 판독한 촬상 데이터를 기억하는 기능을 가지고, 제 4 회로는 제 2 회로에 기억된 촬상 데이터를 판독하는 기능을 가지고, 제 1 회로 및 제 2 회로는 금속 산화물을 채널 형성 영역에 가지는 트랜지스터를 가진다.

대 표 도



(52) CPC특허분류
H01L 29/7869 (2013.01)
H04N 5/3532 (2013.01)
H04N 5/3765 (2013.01)
H04N 5/378 (2013.01)

명 세 서

청구범위

청구항 1

제 1 층과, 제 2 층과, 제 3 층을 가지는 촬상 장치로서,

상기 제 2 층은 상기 제 1 층과 상기 제 3 층 사이에 제공되고,

상기 제 1 층은 광전 변환 디바이스를 가지고,

상기 제 2 층은 제 1 회로 및 제 2 회로를 가지고,

상기 제 3 층은 제 3 회로 및 제 4 회로를 가지고,

상기 제 1 회로 및 상기 광전 변환 디바이스는 촬상 데이터를 생성하는 기능을 가지고,

상기 제 3 회로는 상기 촬상 데이터를 판독하는 기능을 가지고,

상기 제 2 회로는 상기 제 3 회로에서 판독한 상기 촬상 데이터를 기억하는 기능을 가지고,

상기 제 4 회로는 상기 제 2 회로에 기억된 상기 촬상 데이터를 판독하는 기능을 가지고,

상기 제 1 회로 및 상기 제 2 회로는 금속 산화물을 채널 형성 영역에 가지는 트랜지스터를 가지는, 촬상 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 4 트랜지스터와, 제 1 커패시터를 가지고,

상기 광전 변환 디바이스의 한쪽 전극은 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고,

상기 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 1 커패시터의 한쪽 전극과 전기적으로 접속되고,

상기 제 1 커패시터의 한쪽 전극은 상기 제 3 트랜지스터의 게이트와 전기적으로 접속되고,

상기 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 4 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 회로와 전기적으로 접속되는, 촬상 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 2 회로는 제 5 트랜지스터와 제 2 커패시터를 가지고,

상기 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 상기 제 2 커패시터의 한쪽 전극과 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 3 회로와 전기적으로 접속되고,

상기 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 상기 제 4 회로와 전기적으로 접속되는, 촬상 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 3 회로는 A/D 컨버터를 가지고, 상기 제 4 회로는 감지 증폭기를 가지는, 촬상 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 층 및 상기 제 3 층은 단결정 실리콘을 가지는, 촬상 장치.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 금속 산화물은 In과, Zn과, M(M은 Al, Ti, Ga, Ge, Sn, Y, Zr, La, Ce, Nd, 또는 Hf)을 가지는, 촬상 장치.

청구항 7

전자 기기로서,

제 1 항 내지 제 6 항 중 어느 한 항에 기재된 촬상 장치와, 표시부를 가지는, 전자 기기.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 촬상 장치에 관한 것이다.

[0002] 또한 본 발명의 일 형태는, 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 일 형태의 기술분야는, 물건, 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 따라서 더 구체적으로, 본 명세서에서 개시하는 본 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 촬상 장치, 이들의 구동 방법, 또는 이들의 제조 방법을 일례로 들 수 있다.

[0003] 또한 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터, 반도체 회로는 반도체 장치의 일 형태이다. 또한 기억 장치, 표시 장치, 촬상 장치, 전자 기기는 반도체 장치를 가지는 경우가 있다.

배 경 기 술

[0004] 기판 상에 형성된 산화물 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목되고 있다. 예를 들어 산화물 반도체를 가지는 오프 전류가 매우 낮은 트랜지스터를 화소 회로에 사용하는 구성의 촬상 장치가 특허문헌 1에 개시되어 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 공개특허공보 특개2011-119711호

발명의 내용

해결하려는 과제

[0006] 촬상 장치는 다양한 용도로 사용되고 있으며, 촬상 동작의 고속화, 고기능화가 요구되고 있다. 예를 들어 연사(連寫), 촬상 데이터의 해석 등을 고속으로 수행하기 위해서는 1프레임 단위로 데이터가 유지될 수 있는 것이 바람직하다.

[0007] 본 발명의 일 형태에서는, 메모리 기능을 가지는 촬상 장치를 제공하는 것을 목적 중 하나로 한다. 또는 동체(動體) 촬상에 적합한 촬상 장치를 제공하는 것을 목적 중 하나로 한다. 소비 전력이 낮은 촬상 장치를 제공하는 것을 목적 중 하나로 한다. 또는 신뢰성이 높은 촬상 장치를 제공하는 것을 목적 중 하나로 한다. 또는 신

규 촬상 장치를 제공하는 것을 목적 중 하나로 한다. 또는 상기 촬상 장치의 동작 방법을 제공하는 것을 목적 중 하나로 한다. 또는 신규 반도체 장치 등을 제공하는 것을 목적 중 하나로 한다.

[0008] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한 본 발명의 일 형태는 이들 과제의 모두를 해결할 필요는 없는 것으로 한다. 또한 이들 외의 과제는 명세서, 도면, 청구항 등의 기재에서 저절로 명백해지는 것이며, 명세서, 도면, 청구항 등의 기재에서 이들 이외의 과제를 추출할 수 있다.

과제의 해결 수단

[0009] 본 발명의 일 형태는 메모리 기능을 가지는 촬상 장치에 관한 것이다.

[0010] 본 발명의 일 형태는 제 1 층과, 제 2 층과, 제 3 층을 가지는 촬상 장치로서, 제 2 층은 제 1 층과 제 3 층 사이에 제공되고, 제 1 층은 광전 변환 디바이스를 가지고, 제 2 층은 제 1 회로 및 제 2 회로를 가지고, 제 3 층은 제 3 회로 및 제 4 회로를 가지고, 제 1 회로 및 광전 변환 디바이스는 촬상 데이터를 생성하는 기능을 가지고, 제 3 회로는 촬상 데이터를 판독하는 기능을 가지고, 제 2 회로는 제 3 회로에서 판독한 촬상 데이터를 기억하는 기능을 가지고, 제 4 회로는 제 2 회로에 기억된 촬상 데이터를 판독하는 기능을 가지고, 제 1 회로 및 제 2 회로는 금속 산화물을 채널 형성 영역에 가지는 트랜지스터를 가지는 촬상 장치이다.

[0011] 제 1 회로는 제 1 트랜지스터와, 제 2 트랜지스터와, 제 3 트랜지스터와, 제 4 트랜지스터와, 제 1 커패시터를 가지고, 광전 변환 디바이스의 한쪽 전극은 제 1 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 2 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 2 트랜지스터의 소스 및 드레인 중 한쪽은 제 1 커패시터의 한쪽 전극과 전기적으로 접속되고, 제 1 커패시터의 한쪽 전극은 제 3 트랜지스터의 게이트와 전기적으로 접속되고, 제 3 트랜지스터의 소스 및 드레인 중 한쪽은 제 4 트랜지스터의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 제 4 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 3 회로와 전기적으로 접속된다.

[0012] 제 2 회로는 제 5 트랜지스터와 제 2 커패시터를 가지고, 제 5 트랜지스터의 소스 및 드레인 중 한쪽은 제 2 커패시터의 한쪽 전극과 전기적으로 접속되고, 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 3 회로와 전기적으로 접속되고, 제 5 트랜지스터의 소스 및 드레인 중 다른 쪽은 제 4 회로와 전기적으로 접속된다.

[0013] 제 3 회로는 A/D 컨버터를 가지고, 제 4 회로는 감지 증폭기를 가질 수 있다.

[0014] 제 1 층 및 제 3 층은 단결정 실리콘을 가질 수 있다.

[0015] 금속 산화물은 In과, Zn과, M(M은 Al, Ti, Ga, Ge, Sn, Y, Zr, La, Ce, Nd, 또는 Hf)을 가지는 것이 바람직하다.

발명의 효과

[0016] 본 발명의 일 형태를 사용함으로써, 메모리 기능을 가지는 촬상 장치를 제공할 수 있다. 또는 동체 촬상에 적합한 촬상 장치를 제공할 수 있다. 소비 전력이 낮은 촬상 장치를 제공할 수 있다. 또는 신뢰성이 높은 촬상 장치를 제공할 수 있다. 또는 신규 촬상 장치를 제공할 수 있다. 또는 상기 촬상 장치의 동작 방법을 제공할 수 있다. 또는 신규 반도체 장치 등을 제공할 수 있다.

도면의 간단한 설명

[0017] 도 1은 촬상 장치를 설명하는 도면이다.

도 2의 (A) 및 (B)는 화소 회로를 설명하는 도면이고, 도 2의 (C)는 메모리 회로를 설명하는 도면이다.

도 3의 (A)는 롤링 셔터 방식을 설명하는 도면이고, 도 3의 (B)는 글로벌 셔터 방식을 설명하는 도면이다.

도 4의 (A) 및 (B)는 화소 회로의 동작을 설명하는 타이밍 차트이다.

도 5의 (A) 및 (B)는 화소 회로를 설명하는 도면이다.

도 6의 (A) 내지 (C)는 촬상 장치를 설명하는 블록도이다.

도 7의 (A) 및 (B)는 촬상 장치의 구성을 설명하는 단면도이다.

도 8의 (A) 내지 (D)는 트랜지스터를 설명하는 도면이다.

도 9는 기억 장치의 구성예를 설명하는 도면이다.

도 10은 메모리 셀 어레이의 구성예를 설명하는 도면이다.

도 11의 (A) 내지 (D)는 메모리 셀의 구성예를 설명하는 회로도이다.

도 12는 반도체 장치의 구성을 나타내는 단면도이다.

도 13은 반도체 장치의 구성을 나타내는 단면도이다.

도 14의 (A) 내지 (F)는 촬상 장치가 제공된 패키지, 카메라 모듈을 설명하는 사시도이다.

도 15의 (A) 내지 (F)는 전자 기기를 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0018] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한 이하에서 설명하는 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 간에서 공통적으로 사용하고, 이의 반복적인 설명은 생략하는 경우가 있다. 또한 도면을 구성하는 같은 요소의 해칭을, 상이한 도면 간에서 적절히 생략 또는 변경하는 경우도 있다.

[0019] 또한 회로도 상에서는 단일의 요소로서 도시된 경우에도 기능적으로 문제가 없으면 상기 요소가 복수로 구성되어도 좋다. 예를 들어 스위치로서 동작하는 트랜지스터는 복수가 직렬 또는 병렬로 접속되어도 좋은 경우가 있다. 또한 커패시터를 분할하여 복수의 위치에 배치하는 경우도 있다.

[0020] 또한 하나의 도전체가 배선, 전극, 및 단자 등의 복수의 기능을 가지는 경우가 있으며, 본 명세서에서는 동일한 요소에 대하여 복수의 호칭을 사용하는 경우가 있다. 또한 회로도 상에서 요소 간이 직접 접속되는 것처럼 도시된 경우에도, 실제로는 상기 요소 간이 복수의 도전체를 통하여 접속되는 경우가 있고, 본 명세서에서는 이와 같은 구성도 직접 접속의 범주에 포함한다.

[0021] (실시형태 1)

[0022] 본 실시형태에서는 본 발명의 일 형태의 촬상 장치에 대하여 도면을 참조하여 설명한다.

[0023] 본 발명의 일 형태는 메모리 기능을 가지는 촬상 장치이다. 촬상 데이터를 메모리 회로에서 일시적으로 기억함으로써, 촬상 데이터를 연속하여 고속으로 취득할 수 있다. 또한 촬상 데이터를 메모리 회로로부터 고속으로 판독할 수 있고, 데이터 해석 등도 고속으로 수행할 수 있다.

[0024] 또한 글로벌 셔터 방식으로 촬상할 수 있는 화소 회로를 사용함으로써, 움직이는 피사체이어도 왜곡이 없는 화상을 얻을 수 있다.

[0025] 또한 본 발명의 일 형태에서는 화소를 구성하는 회로에, 채널 형성 영역에 금속 산화물을 가지는 트랜지스터(이하 OS 트랜지스터)를 사용한다. OS 트랜지스터는 실리콘 기판 상에 형성할 수 있어, 접합 공정을 삭감할 수 있다.

[0026] <촬상 장치>

[0027] 도 1은 본 발명의 일 형태의 촬상 장치를 설명하는 도면이다. 촬상 장치는 층(12), 층(13), 및 층(14)을 가진다. 층(13)은 층(12)과 층(14) 사이에 제공되고, 각각이 서로 중첩되는 영역을 가진다.

[0028] 층(12)은 광전 변환 디바이스(광전 변환 소자라고도 함)를 가진다. 광전 변환 디바이스로서는 포토다이오드를 사용할 수 있다. 상기 포토다이오드로서는 예를 들어, 단결정 실리콘을 광전 변환부에 사용한 pn접합형 포토다이오드, 비정질 실리콘, 다결정 실리콘 또는 미결정 실리콘을 광전 변환층에 사용한 pin형 포토다이오드 등을 사용할 수 있다. 또는 화합물 반도체, 셀레늄 또는 셀레늄 화합물 등의 재료를 광전 변환층에 사용하여도 좋다. 본 실시형태에서는 광전 변환 디바이스로서, 단결정 실리콘을 사용한 pn접합형 포토다이오드를 사용한 예에 대하여 설명한다.

[0029] 층(13)은 화소 회로를 구성하는 트랜지스터 등 및 메모리 회로를 구성하는 트랜지스터 등을 가진다. 또한 상기 트랜지스터로서는 OS 트랜지스터를 사용하는 것이 바람직하다. OS 트랜지스터는 오프 전류가 매우 낮다는 특성

을 가지기 때문에, 예를 들어 화소 회로에서 장시간에 걸쳐 데이터를 유지할 수 있어, 화소 회로의 구성요소로서 적합하다. 메모리 회로는 이하에서 설명하는 제 1 판독 회로로부터 출력된 디지털 데이터를 저장할 수 있다.

[0030] 층(14)은 제 1 판독 회로를 구성하는 트랜지스터 등 및 제 2 판독 회로를 구성하는 트랜지스터 등을 가진다. 제 1 판독 회로는 예를 들어, 화소 회로로부터 출력된 아날로그 데이터를 디지털 데이터로 변환하는 A/D 컨버터 등을 가질 수 있다. 제 2 판독 회로는 예를 들어, 메모리 회로에 저장된 데이터를 판독하기 위한 감지 증폭기 등을 가질 수 있다.

[0031] <화소 회로>

[0032] 도 2의 (A)는 화소 회로의 일례를 설명하는 도면이다. 화소 회로는 층(12)이 가지는 광전 변환 디바이스(101)와, 층(13)이 가지는 회로(110)를 가진다. 회로(110)는 트랜지스터(103)와, 트랜지스터(104)와, 트랜지스터(105)와, 트랜지스터(106)와, 커패시터(108)를 가질 수 있다. 또한 커패시터(108)를 제공하지 않는 구성으로 하여도 좋다.

[0033] 광전 변환 디바이스(101)의 한쪽 전극(캐소드)은 트랜지스터(103)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(103)의 소스 및 드레인 중 다른 쪽은 트랜지스터(104)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(104)의 소스 및 드레인 중 한쪽은 커패시터(108)의 한쪽 전극과 전기적으로 접속된다. 커패시터(108)의 한쪽 전극은 트랜지스터(105)의 게이트와 전기적으로 접속된다. 트랜지스터(105)의 소스 및 드레인 중 한쪽은 트랜지스터(106)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다.

[0034] 여기서 트랜지스터(103)의 소스 및 드레인 중 다른 쪽, 커패시터(108)의 한쪽 전극, 트랜지스터(105)의 게이트를 접속하는 배선을 노드(FD)로 한다. 노드(FD)는 전하 축적부로서 기능시킬 수 있다.

[0035] 광전 변환 디바이스(101)의 다른 쪽 전극(애노드)은 배선(121)과 전기적으로 접속된다. 트랜지스터(103)의 게이트는 배선(127)과 전기적으로 접속된다. 트랜지스터(104)의 소스 및 드레인 중 다른 쪽은 배선(122)과 전기적으로 접속된다. 트랜지스터(105)의 소스 및 드레인 중 다른 쪽은 배선(123)에 전기적으로 접속된다. 트랜지스터(104)의 게이트는 배선(126)과 전기적으로 접속된다. 트랜지스터(106)의 게이트는 배선(128)과 전기적으로 접속된다. 커패시터(108)의 다른 쪽 전극은, 예를 들어 GND 배선 등의 기준 전위선과 전기적으로 접속된다. 트랜지스터(106)의 소스 및 드레인 중 다른 쪽은 배선(129)과 전기적으로 접속된다.

[0036] 배선(127, 126, 128)은 각 트랜지스터의 도통을 제어하는 신호선으로서의 기능을 가질 수 있다. 배선(129)은 출력선으로서의 기능을 가질 수 있다.

[0037] 배선(121, 122, 123)은 전원선으로서의 기능을 가질 수 있다. 도 2의 (A)에 나타내어진 구성에서는 광전 변환 디바이스(101)의 캐소드 측이 트랜지스터(103)와 전기적으로 접속되는 구성이고, 노드(FD)를 고전위로 리셋하여 동작시키는 구성이기 때문에 배선(122)은 고전위(배선(121)보다 높은 전위)로 한다.

[0038] 도 2의 (A)에서는 광전 변환 디바이스(101)의 캐소드가 노드(FD)와 전기적으로 접속되는 구성을 나타내었지만, 도 2의 (B)에 나타내어진 바와 같이 광전 변환 디바이스(101)의 애노드 측이 트랜지스터(103)의 소스 및 드레인 중 한쪽과 전기적으로 접속되는 구성으로 하여도 좋다.

[0039] 상기 구성은, 노드(FD)를 저전위로 리셋하여 동작시키는 구성이기 때문에 배선(122)은 저전위(배선(121)보다 낮은 전위)로 한다.

[0040] 트랜지스터(103)는 노드(FD)의 전위를 제어하는 기능을 가진다. 트랜지스터(104)는 노드(FD)의 전위를 리셋하는 기능을 가진다. 트랜지스터(105)는 소스 폴로어 회로로서 기능하고, 노드(FD)의 전위를 화상 데이터로서 배선(129)에 출력할 수 있다. 트랜지스터(106)는 화상 데이터를 출력하는 화소를 선택하는 기능을 가진다.

[0041] 트랜지스터(103) 및 트랜지스터(104)에는 OS 트랜지스터를 사용하는 것이 바람직하다. OS 트랜지스터는 오프 전류가 매우 낮다는 특성을 가진다. 트랜지스터(103, 104)에 OS 트랜지스터를 사용함으로써, 노드(FD)에서 전하를 유지할 수 있는 기간을 매우 길게 할 수 있다. 그러므로 회로 구성이나 동작 방법을 복잡하게 하지 않고, 모든 화소에서 동시에 전하의 축적 동작을 수행하는 글로벌 셔터 방식을 적용할 수 있다.

[0042] <촬상 장치의 동작 방식>

[0043] 도 3의 (A)는 롤링 셔터 방식의 동작 방법을 모식화한 도면이고, 도 3의 (B)는 글로벌 셔터 방식을 모식화한 도면이다. En은 n번째 열(n은 자연수)의 노출(축적 동작), Rn은 n번째 열의 판독 동작을 나타낸다. 도 3의 (A),

(B)는 1번째 행으로부터 M번째 행(M은 자연수)까지의 동작을 나타낸 것이다.

[0044] 롤링 셔터 방식은 노출과 데이터의 판독을 순차적으로 수행하는 동작 방법이고, 어떤 행의 판독 기간과 다른 행의 노출 기간을 중첩시키는 방식이다. 노출 후 바로 판독 동작을 수행하기 때문에, 데이터의 유지 기간이 비교적 짧은 회로 구성이어도 촬상을 수행할 수 있다. 그러나 촬상의 동시성이 없는 데이터로 1프레임의 화상이 구성되기 때문에, 동체 촬상에 있어서는 화상에 왜곡이 발생된다.

[0045] 한편 글로벌 셔터 방식은 모든 화소에서 동시에 노출을 수행하여 각 화소에 데이터를 유지하고, 행마다 데이터를 판독하는 동작 방법이다. 따라서 동체 촬상이어도 왜곡이 없는 화상을 얻을 수 있다.

[0046] 채널 형성 영역에 Si를 사용한 트랜지스터(이하 Si 트랜지스터) 등의 비교적 오프 전류가 높은 트랜지스터를 화소 회로에 사용한 경우에는 전하 축적부로부터 데이터 전위가 유출되기 쉽기 때문에 롤링 셔터 방식이 많이 사용된다. Si 트랜지스터를 사용한 글로벌 셔터 방식을 실현하기 위해서는, 별도로 전용 메모리 회로 등을 제공할 필요가 있고, 더 복잡한 동작을 고속으로 수행하여야 한다. 한편, 화소 회로에 OS 트랜지스터를 사용한 경우에는 전하 축적부로부터의 데이터 전위의 유출이 거의 없기 때문에 용이하게 글로벌 셔터 방식을 실현할 수 있다. 또한 본 발명의 일 형태의 촬상 장치를 롤링 셔터 방식으로 동작시킬 수도 있다.

[0047] 또한 화소 회로를 구성하는 트랜지스터에 OS 트랜지스터 및 Si 트랜지스터를 임의적으로 조합하여 적용하여도 좋다. 또한 모든 트랜지스터를 OS 트랜지스터 또는 Si 트랜지스터로 하여도 좋다. Si 트랜지스터로서는 비정질 실리콘을 가지는 트랜지스터, 결정성의 실리콘(대표적으로는, 저온 폴리실리콘, 단결정 실리콘 등)을 가지는 트랜지스터 등을 들 수 있다.

[0048] <메모리 회로>

[0049] 도 2의 (C)는 층(13)이 가지는 메모리 회로의 셀의 일례를 나타내는 도면이다. 셀(111)은 트랜지스터(107) 및 커패시터(109)를 가진다. 트랜지스터(107)의 소스 및 드레인 중 한쪽은 커패시터(109)의 한쪽 전극과 전기적으로 접속된다. 트랜지스터(107)의 소스 및 드레인 중 다른 쪽은 배선(132)과 전기적으로 접속된다. 트랜지스터(107)의 게이트는 배선(132)과 전기적으로 접속된다. 또한 다른 구성의 셀을 사용할 수도 있다.

[0050] 배선(131)은 워드선으로서의 기능을 가질 수 있다. 배선(132)은 비트선으로서의 기능을 가질 수 있다. 트랜지스터(107)를 도통시킴으로써 배선(132)으로부터 커패시터(109)에 데이터를 기록할 수 있다. 또는 트랜지스터(107)를 도통시킴으로써 커패시터(109)로부터 배선(132)으로 데이터가 판독될 수 있다.

[0051] 트랜지스터(107)에는 OS 트랜지스터를 사용하는 것이 바람직하다. 상술한 바와 같이, OS 트랜지스터의 오프 전류는 매우 작기 때문에, 커패시터(109)에 축적된 전하를 장시간 유지할 수 있다. 따라서 리프레시 간격을 확대할 수 있어, 소비 전력을 저감할 수 있다. 또한 실질적으로 비휘발성 메모리로서도 사용할 수 있다. 메모리 회로에 대한 자세한 내용은 후술하는 다른 실시형태에서 설명한다.

[0052] <화소 회로의 동작>

[0053] 다음으로 도 2의 (A)에 나타내어진 화소 회로의 동작의 일례를 도 4의 (A)의 타이밍 차트를 사용하여 설명한다. 또한 본 명세서에서의 타이밍 차트의 설명에서는 고전위를 "H", 저전위를 "L"로 나타낸다. 배선(121)에는 항상 "L"이 공급되고, 배선(122, 123)에는 항상 "H"가 공급되어 있는 상태로 한다.

[0054] 기간 T1에 있어서, 배선(126)의 전위를 "H", 배선(127)의 전위를 "H", 배선(128)의 전위를 "L"로 하면, 트랜지스터(103, 104)가 도통되고, 노드(FD)에는 배선(123)의 전위 "H"가 공급된다(리셋 동작)(도 2의 (A) 참조).

[0055] 기간 T2에 있어서, 배선(126)의 전위를 "L", 배선(127)의 전위를 "H", 배선(128)의 전위를 "L"로 하면, 트랜지스터(104)가 비도통이 되고 리셋 전위의 공급이 차단된다. 또한 광전 변환 디바이스(101)의 동작에 따라 노드(FD)의 전위가 저하한다(축적 동작).

[0056] 기간 T3에 있어서, 배선(126)의 전위를 "L", 배선(127)의 전위를 "L", 배선(128)의 전위를 "L"로 하면, 트랜지스터(103)가 비도통이 되고, 노드(FD)의 전위는 확정되고 유지된다(유지 동작). 이때 노드(FD)에 접속되는 트랜지스터(103) 및 트랜지스터(104)에 오프 전류가 낮은 OS 트랜지스터를 사용함으로써, 노드(FD)로부터의 불필요한 전하의 유출을 억제할 수 있고, 데이터의 유지 시간을 길게 할 수 있다.

[0057] 기간 T4에 있어서, 배선(126)의 전위를 "L", 배선(127)의 전위를 "L", 배선(128)의 전위를 "H"로 하면, 트랜지스터(106)가 도통되고, 트랜지스터(105)의 소스 폴로어 동작에 의하여 노드(FD)의 전위가 배선(129)으로 판독된다(판독 동작).

[0058] 이상이 도 2의 (A)에 나타내어진 화소 회로의 동작의 일례이다.

[0059] 도 2의 (B)에 나타내어진 화소 회로는 도 4의 (B)의 타이밍 차트에 따라서 동작시킬 수 있다. 또한 배선(121, 123)에는 항상 "H"가 공급되고, 배선(122)에는 항상 "L"이 공급되어 있는 상태로 한다. 기본적인 동작은 상기 도 2의 (A)의 타이밍 차트의 설명과 같다.

[0060] 본 발명의 일 형태에 있어서는, 도 5의 (A), (B)에 예시한 바와 같이, 트랜지스터에 백 게이트를 제공한 구성으로 하여도 좋다. 도 5의 (A)는 백 게이트가 프런트 게이트와 전기적으로 접속된 구성을 나타낸 것이고, 온 전류를 높이는 효과를 가진다. 도 5의 (B)는 백 게이트가 정전위를 공급할 수 있는 배선과 전기적으로 접속된 구성을 나타낸 것이고, 트랜지스터의 문턱 전압을 제어할 수 있다.

[0061] 또한 도 5의 (A), (B)를 조합하는 등, 각각의 트랜지스터가 적절한 동작을 수행할 수 있는 구성으로 하여도 좋다. 또한 백 게이트가 제공되지 않은 트랜지스터를 화소 회로가 가져도 좋다.

[0062] <촬상 장치의 구성예>

[0063] 도 6의 (A)는 본 발명의 일 형태의 촬상 장치를 설명하는 블록도이다. 상기 촬상 장치는 매트릭스상으로 배열된 화소 회로(50)를 가지는 화소 어레이(51)와, 화소 어레이(51)의 행을 선택하는 기능을 가지는 회로(52)(로 드라이버(row driver))와, 화소 회로(50)로부터 데이터를 판독하는 기능을 가지는 회로(53)와, 리셋 전위 및 전원 전위를 공급하는 회로(57)와, 회로(53)의 출력 데이터를 저장하는 회로(58)와, 회로(58)로부터 데이터를 판독하는 기능을 가지는 회로(59)를 가진다.

[0064] 회로(53)는 화소 어레이(51)의 열을 선택하는 기능을 가지는 회로(54)(칼럼 드라이버(column driver))와, 화소 회로(50)의 출력 데이터에 대하여 상관 이중 샘플링 처리를 수행하기 위한 회로(55)(CDS 회로)와, 회로(55)로부터 출력된 아날로그 데이터를 디지털 데이터로 변환하는 기능을 가지는 회로(56)(A/D 컨버터) 등을 가질 수 있다. 회로(52, 54)에는 시프트 레지스터 회로나 디코더 회로를 사용할 수 있다.

[0065] 도 6의 (B), (C)는 도 1에 나타낸 촬상 장치의 적층 구성에서의, 상기 각 회로 및 도 2의 (A), (B), (C)에 나타낸 회로의 배치를 설명하는 개념도이다.

[0066] 층(12)에는 광전 변환 디바이스(101)가 제공되고, 층(13)에 제공되는 회로(110)와 전기적으로 접속됨으로써 화소 회로(50)가 형성된다. 또한 층(13)에는 회로(58)가 제공된다.

[0067] 회로(110)와 회로(58)는 도 6의 (B)에 나타내어진 바와 같이, 수평 방향으로 나란히 배치되는 구성으로 할 수 있다. 회로(110)와 회로(58)는 OS 트랜지스터로 형성되기 때문에 동일한 공정으로 제작할 수 있다.

[0068] 또는 회로(110)와 회로(58)는 도 6의 (C)에 나타내어진 바와 같이, 수직 방향으로 적층하여 배치되는 구성으로 하여도 좋다. OS 트랜지스터는 박막으로 할 수 있기 때문에 적층이 용이하다. 회로(110)와 회로(58)를 적층함으로써 화소 회로(50) 및 셀(111)을 고밀도로 배치할 수 있어, 해상도 및 기억 용량을 향상시킬 수 있다. 또한 셀(111)은 단층에 한정되지 않고, 복수 층의 적층이어도 좋다.

[0069] 층(14)에는 회로(52), 회로(53), 및 회로(59) 등을 제공할 수 있다. 이들 회로에는 고속 동작이 요구되기 때문에 Si 트랜지스터로 형성하는 것이 바람직하다. 즉 층(14)은 단결정 실리콘 기판을 가지는 것이 바람직하다. 또한 회로(52)는 OS 트랜지스터로 형성되어도 좋다. 이 경우 회로(52)는 층(12)에 제공된다.

[0070] 또한 상기 구성에 한정되지 않고, 회로(52), 회로(53), 및 회로(59)의 각각이 가지는 일부 트랜지스터는 층(13)에 제공된 OS 트랜지스터로 형성되어도 좋다. 또는 회로(110) 및 회로(58)의 각각이 가지는 일부 트랜지스터는 층(14)에 제공된 Si 트랜지스터로 형성되어도 좋다.

[0071] 상기 구성의 촬상 장치로 함으로써 촬상 및 데이터 처리를 고속으로 수행할 수 있다. 또한 Si 트랜지스터로 구성되는 회로 위에 OS 트랜지스터로 구성되는 회로를 중첩하여 형성할 수 있어, 촬상 장치를 소형화할 수 있다. 또한 접합 공정을 삭감할 수 있어, 제조 비용을 삭감할 수 있다.

[0072] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0073] (실시형태 2)

[0074] 본 실시형태에서는 본 발명의 일 형태의 촬상 장치의 구조예 등에 대하여 자세히 설명한다.

[0075] 도 7의 (A)는 화소 영역을 포함하는 단면의 일례를 설명하는 도면이다. 상기 구조는 층(12) 위에 층(13)을 제

작하고, 별도로 형성한 층(14)을 층(13)에 접합함으로써 제작할 수 있다. 또한 층(13)과 층(14)의 전기적인 접속 부분은 생략하였다.

[0076] 층(12)에는 광전 변환 디바이스(101)로서, n형의 도전형을 가지는 영역(22), p형 도전형을 가지는 영역(단결정 실리콘 기판(21)), 및 p^+형의 도전형을 가지는 영역(28)을 가지는 pn접합형 포토다이오드가 제공된다.

[0077] 층(13)에는 OS 트랜지스터가 제공된다. 도 7의 (A)에서는, 도 2의 (A), (B), (C)에 나타낸 회로 구성을 예로 들어 트랜지스터(103), 트랜지스터(107)를 도시하였다.

[0078] 층(14)에는 Si 트랜지스터를 가지는 실리콘 기판(25) 등이 제공된다. 도 7의 (A)에서는, 회로(53)가 가지는 트랜지스터(112), 회로(59)가 가지는 트랜지스터(113)를 예시하였다.

[0079] OS 트랜지스터가 형성되는 영역과 Si 디바이스(광전 변환 디바이스(101) 또는 Si 트랜지스터 등)가 형성되는 영역 사이에는 절연층(65, 66)이 제공된다. 절연층(65, 66)은 수소의 확산을 방지하는 기능을 가진다. 예를 들어 광전 변환 디바이스(101) 근방에 제공되는 절연층 내의 수소는 실리콘의 댕글링 본드를 종단한다. 한편, 트랜지스터(103, 107)의 채널 형성 영역 근방에 제공되는 절연층 내의 수소는 산화물 반도체층 내에 캐리어를 생성하는 요인 중 하나가 된다.

[0080] 절연층(65, 66)에 의하여 한쪽의 층에 수소를 가둠으로써 Si 디바이스의 신뢰성을 향상시킬 수 있다. 또한 한쪽의 층으로부터 다른 쪽의 층으로의 수소의 확산이 억제됨으로써 트랜지스터(103, 107)의 신뢰성도 향상시킬 수 있다.

[0081] 절연층(65, 66)으로서는 예를 들어 산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 산화 하프늄, 산화질화 하프늄, 이트리아 안정화 지르코니아(YSZ) 등을 사용할 수 있다.

[0082] 층(13)과 층(14)의 접합 영역에 있어서, 층(13) 측에는 절연층(31)이 제공된다. 또한 층(14) 측에는 절연층(33)이 제공된다. 절연층(31) 및 절연층(33)은 접합에 기여하는 절연층이다.

[0083] 또한 도 7의 (A)에서는 절연층(31)이 절연층(63) 및 절연층(64)의 2층인 예를 나타내었다. 절연층(63)에는 예를 들어 아크릴 수지나 폴리이미드 등의 유기막을 사용할 수 있다. 절연층(33) 및 절연층(64)에는 산화 실리콘막 등의 무기막을 사용할 수 있다.

[0084] 또한 도 7의 (B)에 도 7의 (A)와는 다른 구조예를 나타내었다. 상기 구조는 층(14) 위에 층(13)을 제작하고, 별도로 형성한 층(12)을 층(13)에 접합함으로써 제작할 수 있다. 또한 층(13)과 층(14)의 전기적인 접속 부분은 생략하였다.

[0085] 이 경우 층(12)과 층(13)의 접합 영역에 있어서, 층(12) 측에는 절연층(33) 및 도전층(34)이 제공된다. 또한 층(13) 측에는 절연층(31) 및 도전층(32)이 제공된다. 여기서는 절연층(31)이 절연층(63), 절연층(65) 및 절연층(64)의 3층인 예를 나타내었다. 또한 절연층(65)은 상기 효과가 얻어지는 위치이면, 다른 위치에 제공되어도 좋다. 예를 들어 절연층(63)과 절연층(65)을 교체하여도 좋다. 또한 도전층(34)과 도전층(32)을 접합함으로써 전기적인 접속을 얻을 수 있다.

[0086] 도 8의 (A)에 OS 트랜지스터의 자세한 내용을 나타내었다. 도 8의 (A)에 나타내어진 OS 트랜지스터는 산화물 반도체층과 도전층의 적층 위에 절연층이 제공되고, 상기 반도체층에 달하는 홈을 제공함으로써 소스 전극(205) 및 드레인 전극(206)을 형성하는 셀프 얼라인형의 구성이다.

[0087] OS 트랜지스터는 산화물 반도체층(207)에 형성되는 채널 형성 영역, 소스 영역(203) 및 드레인 영역(204) 이외에, 게이트 전극(201), 게이트 절연막(202)을 가지는 구성으로 할 수 있다. 상기 홈에는 적어도 게이트 절연막(202) 및 게이트 전극(201)이 제공된다. 상기 홈에는, 산화물 반도체층(208)이 더 제공되어 있어도 좋다.

[0088] OS 트랜지스터는, 도 8의 (B)에 나타내어진 바와 같이 게이트 전극(201)을 마스크로서 사용하여 반도체층에 소스 영역(203) 및 드레인 영역(204)이 형성되는 셀프 얼라인형의 구성으로 하여도 좋다.

[0089] 또는 도 8의 (C)에 나타내어진 바와 같이, 소스 전극(205) 또는 드레인 전극(206)과 게이트 전극(201)이 중첩되는 영역을 가지는 논셀프 얼라인형의 톱 게이트형 트랜지스터이어도 좋다.

[0090] 트랜지스터(103, 105, 106)는 백 게이트(535)를 가지는 구조를 나타내었지만, 백 게이트를 가지지 않는 구조이어도 좋다. 백 게이트(535)는 도 8의 (D)에 나타내어진 트랜지스터의 채널 폭 방향의 단면도와 같이, 대향하여

제공되는 트랜지스터의 프런트 게이트와 전기적으로 접속되어도 좋다. 또한 도 8의 (D)에는 도 8의 (A)의 트랜지스터(103)의 A1-A2 단면을 나타내었지만, 그 외의 구조의 트랜지스터도 마찬가지로 프런트 게이트와 백 게이트(535)를 전기적으로 접속하여도 좋다. 또한 백 게이트(535)에 프런트 게이트와 상이한 고정 전위를 공급할 수 있는 구성이어도 좋다.

[0091] OS 트랜지스터에 사용하는 반도체 재료로서는 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상인 금속 산화물을 사용할 수 있다. 대표적으로는 인듐을 포함한 산화물 반도체 등이 있고, 예를 들어 후술하는 CAAC-OS 또는 CAC-OS 등을 사용할 수 있다. CAAC-OS는 결정을 구성하는 원자가 안정적이므로, 신뢰성을 중시하는 트랜지스터 등에 적합하다. 또한 CAC-OS는 고이동도 특성을 나타내므로, 고속 구동을 수행하는 트랜지스터 등에 적합하다.

[0092] OS 트랜지스터는 반도체층의 에너지 갭이 크기 때문에, 수 yA/μm(채널 폭 1μm당 전류값)라는 매우 낮은 오프 전류 특성을 나타낸다. 또한 OS 트랜지스터는 임팩트 이온화, 애벌란시(avalanche) 항복, 및 단채널 효과 등이 일어나지 않는다는 등, Si 트랜지스터와는 다른 특징을 가지고, 고내압이며 신뢰성이 높은 회로를 형성할 수 있다. 또한 Si 트랜지스터에서 문제가 되는 결정성의 불균일성에 기인하는 전기 특성의 편차도 OS 트랜지스터에서는 일어나기 어렵다.

[0093] OS 트랜지스터가 가지는 반도체층은, 예를 들어 인듐, 아연, 및 M(알루미늄, 타이타늄, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 세륨, 주석, 네오디뮴, 또는 하프늄 등의 금속)을 포함하는 In-M-Zn계 산화물로 표기되는 막으로 할 수 있다. In-M-Zn계 산화물은, 예를 들어 스퍼터링법, ALD(Atomic Layer Deposition)법, 또는 MOCVD(Metal Organic Chemical Vapor Deposition)법 등을 사용하여 형성할 수 있다.

[0094] In-M-Zn 산화물을 스퍼터링법으로 성막하는 경우, 스퍼터링 타깃의 금속 원소의 원자수비는, In≥M, Zn≥M을 충족시키는 것이 바람직하다. 이러한 스퍼터링 타깃의 금속 원소의 원자수비로서, In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=3:1:2, In:M:Zn=4:2:3, In:M:Zn=4:2:4.1, In:M:Zn=5:1:6, In:M:Zn=5:1:7, In:M:Zn=5:1:8 등이 바람직하다. 또한 성막되는 반도체층의 원자수비는 각각, 상기 스퍼터링 타깃에 포함되는 금속 원소의 원자수비의 ±40%의 변동을 포함한다.

[0095] 반도체층으로서는 캐리어 밀도가 낮은 산화물 반도체를 사용한다. 예를 들어 반도체층은, 캐리어 밀도가 $1\times10^{17}/cm^3$ 이하, 바람직하게는 $1\times10^{15}/cm^3$ 이하, 더 바람직하게는 $1\times10^{13}/cm^3$ 이하, 더욱 바람직하게는 $1\times10^{11}/cm^3$ 이하, 더더욱 바람직하게는 $1\times10^{10}/cm^3$ 미만이고, $1\times10^{-9}/cm^3$ 이상의 산화물 반도체를 사용할 수 있다. 이러한 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 부른다. 산화물 반도체는 결함 준위 밀도가 낮고, 안정된 특성을 가지는 산화물 반도체라고 할 수 있다.

[0096] 또한 이들에 한정되지 않고, 필요로 하는 트랜지스터의 반도체 특성 및 전기 특성(전계 효과 이동도, 문턱 전압 등)에 따라 적절한 조성의 것을 사용하면 좋다. 또한 필요로 하는 트랜지스터의 반도체 특성을 얻기 위하여, 반도체층의 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0097] 반도체층을 구성하는 산화물 반도체에서 14족 원소의 하나인 실리콘이나 탄소가 포함되면 산소 결손이 증가되어 n형화된다. 그러므로 반도체층에서의 실리콘이나 탄소의 농도(이차 이온 질량 분석법에 의하여 얻어지는 농도)를 $2\times10^{18}atoms/cm^3$ 이하, 바람직하게는 $2\times10^{17}atoms/cm^3$ 이하로 한다.

[0098] 또한 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합되면 캐리어를 생성하는 경우가 있어, 트랜지스터의 오프 전류가 증대되는 경우가 있다. 그러므로 반도체층에서의 알칼리 금속 또는 알칼리 토금속의 농도(이차 이온 질량 분석법에 의하여 얻어지는 농도)를 $1\times10^{18}atoms/cm^3$ 이하, 바람직하게는 $2\times10^{16}atoms/cm^3$ 이하로 한다.

[0099] 또한 반도체층을 구성하는 산화물 반도체에 질소가 포함되어 있으면, 캐리어인 전자가 생김으로써 캐리어 밀도가 증가하여, n형화되기 쉽다. 이 결과, 질소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 그러므로 반도체층에서의 질소 농도(이차 이온 질량 분석법에 의하여 얻어지는 농도)는 $5\times10^{18}atoms/cm^3$ 이하로 하는 것이 바람직하다.

[0100] 또한 반도체층을 구성하는 산화물 반도체에 수소가 포함되면 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에 산화물 반도체 내에 산소 결손을 형성하는 경우가 있다. 산화물 반도체 내의 채널 형성 영역에 산소 결손이 포함되면, 트랜지스터는 노멀리 온 특성이 되는 경우가 있다. 또한 산소 결손에 수소가 들어간 결함은 도

너로서 기능하고, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자가 생성되는 경우가 있다. 따라서 수소가 많이 포함되어 있는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다.

[0101] 산소 결손에 수소가 들어간 결함은 산화물 반도체의 도너로서 기능할 수 있다. 그러나 상기 결함을 정량적으로 평가하는 것은 어렵다. 그러므로 산화물 반도체에서는 도너 농도가 아니라 캐리어 농도로 평가되는 경우가 있다. 따라서 본 명세서 등에서는 산화물 반도체의 파라미터로서 도너 농도가 아니라 전계가 인가되지 않는 상태를 상정한 캐리어 농도를 사용하는 경우가 있다. 즉 본 명세서 등에 기재된 '캐리어 농도'는 '도너 농도'로 바꿔 말할 수 있는 경우가 있다.

[0102] 따라서 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는 산화물 반도체에서 이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)으로 얻어지는 수소 농도를 1×10^{20}atoms/cm^3 미만, 바람직하게는 1×10^{19}atoms/cm^3 미만, 더 바람직하게는 5×10^{18}atoms/cm^3 미만, 더 바람직하게는 1×10^{18}atoms/cm^3 미만으로 한다. 수소 등의 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[0103] 또한 산화물 반도체(금속 산화물)는 단결정 산화물 반도체와, 이 외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는 예를 들어 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline Oxide Semiconductor), a-like OS(amorphous-like Oxide Semiconductor), 및 비정질 산화물 반도체 등이 있다. 비단결정 구조에서, 비정질 구조는 결함 준위 밀도가 가장 높고, CAAC-OS는 결함 준위 밀도가 가장 낮다.

[0104] 비정질 구조의 산화물 반도체막은, 예를 들어 원자 배열이 무질서하며 결정 성분을 가지지 않는다. 또는 비정질 구조의 산화물막은, 예를 들어 완전한 비정질 구조이며, 결정부를 가지지 않는다.

[0105] 또한 반도체층이 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중, 2종류 이상을 가지는 혼합막이어도 좋다. 혼합막은, 예를 들어 상술한 영역 중 어느 2종류 이상의 영역을 포함하는 단층 구조 또는 적층 구조를 가지는 경우가 있다.

[0106] 이하에서는 비단결정의 반도체층의 일 형태인 CAC(Cloud-Aligned Composite)-OS의 구성에 대하여 설명한다.

[0107] CAC-OS란 예를 들어 산화물 반도체를 구성하는 원소가 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 그 근방의 크기로 편재한 재료의 한 구성이다. 또한 이하에서는 산화물 반도체에서, 하나 또는 그 이상의 금속 원소가 편재하고, 상기 금속 원소를 가지는 영역이, 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 그 근방의 크기로 혼합한 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.

[0108] 또한 산화물 반도체는 적어도 인듐을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이에 더하여 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등에서 선택된 1종류 또는 복수 종류가 포함되어도 좋다.

[0109] 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS(CAC-OS 중에서도 In-Ga-Zn 산화물을 특히 CAC-IGZO라고 불러도 좋음)란, 인듐 산화물(이하 InO_{X1}(X1은 0보다 큰 실수)로 함) 또는 인듐 아연 산화물(이하 $In_{X2}Zn_{Y2}O_{Z2}$(X2, Y2, 및 Z2는 0보다 큰 실수)로 함)과, 갈륨 산화물(이하 GaO_{X3}(X3은 0보다 큰 실수)으로 함) 또는 갈륨 아연 산화물(이하 $Ga_{X4}Zn_{Y4}O_{Z4}$(X4, Y4, 및 Z4는 0보다 큰 실수)로 함) 등으로 재료가 분리함으로써 모자이크 패턴이 되고, 모자이크 패턴의 InO_{X1} 또는 $In_{X2}Zn_{Y2}O_{Z2}$가 막 내에 균일하게 분포한 구성(이하 클라우드상이라고도 함)이다.

[0110] 즉 CAC-OS는 GaO_{X3}이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역이 혼합되는 구성을 가지는 복합 산화물 반도체이다. 또한 본 명세서에서, 예를 들어 제 1 영역의 원소 M에 대한 In의 원자수비가 제 2 영역의 원소 M에 대한 In의 원자수비보다 큰 것을 '제 1 영역은 제 2 영역과 비교하여 In의 농도가 높다'라고 한다.

[0111] 또한 IGZO는 통칭이며, In, Ga, Zn, 및 O로 이루어지는 하나의 화합물을 뜻하는 경우가 있다. 대표적인 예로서, $InGaO_3(ZnO)_{m1}$(m1은 자연수임) 또는 $In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_{m0}$($-1\leq x0\leq1$, m0은 임의의 수임)으로 나타내어지는 결정성 화합물을 들 수 있다.

[0112] 상기 결정성 화합물은 단결정 구조, 다결정 구조, 또는 CAAC 구조를 가진다. 또한 CAAC 구조는, 복수의 IGZO의 나노 결정이 c축 배향을 가지고 또한 a-b면에서는 배향하지 않고 연결된 결정 구조이다.

[0113] 나노 결정은 육각형을 기본으로 하지만 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한 오각형 및 칠각형 등의 격자 배열이 변형에 포함되는 경우가 있다. 또한 CAAC-OS에서는, 변형 근방에서도 명확한 결정립계(그레인 바운더리라고도 함)를 확인할 수 없다. 즉 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않은 것이나, 금속 원소가 치환되어 원자 간의 결합 거리가 변화되는 것 등에 의하여, 변형을 허용할 수 있기 때문이라고 생각된다. 또한 명확한 결정립계(그레인 바운더리)가 확인되는 결정 구조는 소위 다결정(polycrystal)이다. 결정립계는 재결합 중심이 되고, 캐리어가 포획되어 트랜지스터의 온 전류의 저하, 또는 전계 효과 이동도의 저하를 일으킬 가능성이 높다. 따라서 명확한 결정립계가 확인되지 않는 CAAC-OS는 트랜지스터의 반도체층에 적합한 결정 구조를 가지는 결정성의 산화물의 하나이다. 또한 CAAC-OS를 구성하기 위해서는, Zn을 가지는 구성이 바람직하다. 예를 들어 In-Zn 산화물 및 In-Ga-Zn 산화물은 In 산화물보다 결정립계의 발생을 억제할 수 있기 때문에 적합하다.

[0114] 한편 CAC-OS는 산화물 반도체의 재료 구성에 관한 것이다. CAC-OS란 In, Ga, Zn, 및 O를 포함한 재료 구성에서, 일부에 Ga를 주성분으로 하는 나노 입자상으로 관찰되는 영역, 및 일부에 In을 주성분으로 하는 나노 입자상으로 관찰되는 영역이 각각 모자이크 패턴으로 무작위로 분산되는 구성을 말한다. 따라서 CAC-OS에서 결정 구조는 부차적인 요소이다.

[0115] 또한 CAC-OS는 조성이 상이한 2종류 이상의 막의 적층 구조를 포함하지 않는 것으로 한다. 예를 들어 In을 주성분으로 하는 막과, Ga를 주성분으로 하는 막의 2층으로 이루어지는 구조는 포함하지 않는다.

[0116] 또한 GaO_{X3}이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역에서는, 명확한 경계를 관찰할 수 없는 경우가 있다.

[0117] 또한 갈륨 대신에 알루미늄, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등에서 선택된 1종류 또는 복수 종류가 포함되는 경우, CAC-OS는 일부에 상기 금속 원소를 주성분으로 하는 나노 입자상으로 관찰되는 영역과, 일부에 In을 주성분으로 하는 나노 입자상으로 관찰되는 영역이 각각 모자이크 패턴으로 무작위로 분산되어 있는 구성을 말한다.

[0118] CAC-OS는 예를 들어 기판을 의도적으로 가열하지 않는 조건하에서 스퍼터링법으로 형성할 수 있다. 또한 CAC-OS를 스퍼터링법으로 형성하는 경우, 성막 가스로서 불활성 가스(대표적으로는 아르곤), 산소 가스, 및 질소 가스에서 선택된 어느 하나 또는 복수를 사용하면 좋다. 또한 성막 시의 성막 가스의 총유량에 대한 산소 가스의 유량비는 낮을수록 바람직하고, 예를 들어 산소 가스의 유량비를 0% 이상 30% 미만, 바람직하게는 0% 이상 10% 이하로 하는 것이 바람직하다.

[0119] CAC-OS는 X선 회절(XRD: X-ray diffraction) 측정법의 하나인 Out-of-plane법에 의한 Θ/2Θ스캔을 사용하여 측정하였을 때 명확한 피크가 확인되지 않는다는 특징을 가진다. 즉 X선 회절 측정으로부터 측정 영역의 a-b면 방향 및 c축 방향의 배향이 보이지 않는 것을 알 수 있다.

[0120] 또한 CAC-OS는 프로브 직경이 1nm인 전자선(나노 빔 전자선이라고도 함)을 조사함으로써 얻어지는 전자 회절 패턴에서, 링 형상으로 휘도가 높은 영역(링 영역)과, 상기 링 영역에 복수의 휘점이 관측된다. 따라서 전자 회절 패턴으로부터 CAC-OS의 결정 구조가 평면 방향 및 단면 방향에서 배향성을 가지지 않는 nc(nano-crystal) 구조를 가지는 것을 알 수 있다.

[0121] 또한 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는, 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 매핑에 의하여, GaO_{X3}이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역이 편재되고 혼합된 구조를 가지는 것을 확인할 수 있다.

[0122] CAC-OS는 금속 원소가 균일하게 분포된 IGZO 화합물과는 상이한 구조이고, IGZO 화합물과 상이한 성질을 가진다. 즉 CAC-OS는 GaO_{X3} 등이 주성분인 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역으로 서로 상분리(相分離)되어, 각 원소를 주성분으로 하는 영역이 모자이크 패턴인 구조를 가진다.

[0123] 여기서 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역은 GaO_{X3} 등이 주성분인 영역과 비교하여 도전성이 높은 영역이다.

즉 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역을 캐리어가 흐름으로써, 산화물 반도체로서의 도전성이 발현된다. 따라서 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역이 산화물 반도체 내에 클라우드상으로 분포됨으로써 높은 전계 효과 이동도(μ)를 실현할 수 있다.

[0124] 한편 GaO_{X3} 등이 주성분인 영역은 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}이 주성분인 영역과 비교하여 절연성이 높은 영역이다. 즉 GaO_{X3} 등이 주성분인 영역이 산화물 반도체 내에 분포됨으로써 누설 전류가 억제되어 양호한 스위칭 동작을 실현할 수 있다.

[0125] 따라서 CAC-OS를 반도체 디바이스에 사용한 경우, GaO_{X3} 등에 기인하는 절연성과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1}에 기인하는 도전성이 상보적으로 작용함으로써, 높은 온 전류(I_{on}) 및 높은 전계 효과 이동도(μ)를 실현할 수 있다.

[0126] 또한 CAC-OS를 사용한 반도체 디바이스는 신뢰성이 높다. 따라서 CAC-OS는, 다양한 반도체 장치의 구성 재료로서 적합하다.

[0127] 다음으로 도 7의 (B)의 구조를 예로서 접합 기술에 대하여 설명한다.

[0128] 층(12)에는 절연층(33) 및 도전층(34)이 제공된다. 도전층(34)은 절연층(33)에 매설되며 절연층(33)을 관통하는 영역을 가진다. 도전층(34)은 영역(22)과 전기적으로 접속된다. 또한 절연층(33), 도전층(34)의 표면은 각각 높이가 일치하도록 평탄화되어 있다.

[0129] 층(13)에는 절연층(31) 및 도전층(32)이 제공된다. 도전층(32)은 절연층(31)에 매설되며 절연층(31)을 관통하는 영역을 가진다. 도전층(32)은 트랜지스터(103)와 전기적으로 접속된다. 또한 절연층(31) 및 도전층(32)의 표면은 각각 높이가 일치하도록 평탄화되어 있다.

[0130] 여기서 도전층(32) 및 도전층(34)은 주성분이 동일한 금속 원소인 것이 바람직하다. 또한 절연층(31) 및 절연층(33)의 표면은 동일한 성분으로 구성되어 있는 것이 바람직하다.

[0131] 예를 들어 도전층(32, 34)에는 Cu, Al, Sn, Zn, W, Ag, Pt, 또는 Au 등을 사용할 수 있다. 접합의 용이성을 고려하여, 바람직하게는 Cu, Al, W, 또는 Au를 사용한다. 또한 절연막(31, 33)으로서는, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 질화 타이타늄 등이 표면에 적층된 절연막을 사용할 수 있다.

[0132] 즉 도전층(32) 및 도전층(34)의 조합에 상술한 것 중에서 동일한 금속 재료를 사용하는 것이 바람직하다. 또한 절연층(31) 및 절연층(33)의 각각에 상술한 것 중에서 동일한 절연 재료를 사용하는 것이 바람직하다. 상기 구성으로 함으로써, 층(12)과 층(13)의 경계를 접합 위치로 하여 접합할 수 있다.

[0133] 상기 접합에 의하여, 도전층(32)과 도전층(34)의 전기적인 접속을 얻을 수 있다. 또한 절연층(31)과 절연층(33)의 기계적인 강도를 가지는 접속을 얻을 수 있다.

[0134] 금속층끼리의 접합에는, 표면의 산화막 및 불순물의 흡착층 등을 스퍼터링 처리 등으로 제거하고 청정화 및 활성화된 표면끼리를 접촉시켜 접합하는 표면 활성화 접합법을 사용할 수 있다. 또는 온도와 압력을 병용하여 표면끼리를 접합하는 확산 접합법 등을 사용할 수 있다. 둘 다 원자 레벨의 결합이 일어나기 때문에, 전기적뿐만 아니라 기계적으로도 우수한 접합을 얻을 수 있다.

[0135] 또한 절연층끼리의 접합에는 연마 등에 의하여 높은 평탄성을 얻은 후, 산소 플라스마 등으로 친수성 처리를 수행한 표면끼리를 접촉시켜 임시적으로 접합하고, 열처리에 의한 탈수로 제대로 접합하는 친수성 접합법 등을 사용할 수 있다. 친수성 접합법도 원자 레벨의 결합이 일어나기 때문에, 기계적으로 우수한 접합을 얻을 수 있다.

[0136] 층(12)과 층(13)을 접합하는 경우, 각각의 접합면에는 절연층과 금속층이 혼재하기 때문에, 예를 들어 표면 활성화 접합법 및 친수성 접합법을 조합하여 수행하면 좋다.

[0137] 예를 들어 연마 후에 표면을 청정화하고, 금속층의 표면에 산화 방지 처리를 수행한 후에, 친수성 처리를 수행하여 접합하는 방법 등을 사용할 수 있다. 또한 금속층의 표면을 Au 등의 난(難)산화성 금속으로 하고 친수성 처리를 수행하여도 좋다. 또한 상술한 방법 이외의 접합 방법을 사용하여도 좋다.

[0138] 이하에서는 이미지 센서 칩이 제공된 패키지 및 카메라 모듈의 일례에 대하여 설명한다. 상기 이미지 센서 칩에는 상기 촬상 장치의 구성을 사용할 수 있다.

[0139] 도 14의 (A)는 이미지 센서 칩이 제공된 패키지의 상면 측의 외관 사시도이다. 상기 패키지는 이미지 센서 칩(650)을 고정하는 패키지 기판(610), 커버 유리(620), 및 이들을 접착하는 접착제(630) 등을 가진다.

[0140] 도 14의 (C)는 상기 패키지의 하면 측의 외관 사시도이다. 패키지의 하면에는 땜납 볼을 범프(640)로 한 BGA(Ball Grid Array)를 가진다. 또한 BGA에 한정되지 않고, LGA(Land Grid Array)나 PGA(Pin Grid Array) 등을 가져도 좋다.

[0141] 도 14의 (E)는 커버 유리(620) 및 접착제(630)의 일부를 생략하여 도시한 패키지의 사시도이다. 패키지 기판(610) 위에는 전극 패드(660)가 형성되고, 전극 패드(660) 및 범프(640)는 스루 홀을 통하여 전기적으로 접속된다. 전극 패드(660)는 이미지 센서 칩(650)과 와이어(670)에 의하여 전기적으로 접속된다.

[0142] 또한 도 14의 (B)는 이미지 센서 칩이 렌즈 일체형의 패키지에 제공된 카메라 모듈의 상면 측의 외관 사시도이다. 상기 카메라 모듈은 이미지 센서 칩(651)을 고정하는 패키지 기판(611), 렌즈 커버(621), 및 렌즈(635) 등을 가진다. 또한 패키지 기판(611)과 이미지 센서 칩(651) 사이에는 촬상 장치의 구동 회로 및 신호 변환 회로 등의 기능을 가지는 IC칩(690)도 제공되어 있고, SiP(System in Package)로서의 구성을 가진다.

[0143] 도 14의 (D)는 상기 카메라 모듈의 하면 측의 외관 사시도이다. 패키지 기판(611)의 하면 및 측면에는 실장용 랜드(641)가 제공된 QFN(Quad Flat No-lead package)의 구성을 가진다. 또한 상기 구성은 일례이고, QFP(Quad Flat Package)나 상술한 BGA가 제공되어 있어도 좋다.

[0144] 도 14의 (F)는 렌즈 커버(621) 및 렌즈(635)의 일부를 생략하여 도시한 모듈의 사시도이다. 랜드(641)는 전극 패드(661)와 전기적으로 접속되고, 전극 패드(661)는 이미지 센서 칩(651) 또는 IC칩(690)과 와이어(671)에 의하여 전기적으로 접속된다.

[0145] 이미지 센서 칩을 상술한 바와 같은 형태의 패키지에 제공함으로써, 인쇄 기판 등으로의 실장이 용이하게 되어, 다양한 반도체 장치, 전자 기기에 이미지 센서 칩을 실장할 수 있다.

[0146] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0147] (실시형태 3)

[0148] 본 실시형태에서는 본 발명의 일 형태의 촬상 장치에 사용할 수 있는 기억 장치(3300)의 구성에 대하여 설명한다.

[0149] <기억 장치>

[0150] 도 9는 기억 장치의 구성예를 나타낸 블록도이다. 기억 장치(3300)는 주변 회로(3311), 셀 어레이(Cell Array)(3401), 및 반도체 장치(3100)를 가진다. 또한 기억 장치(3300)는 실시형태 1에서 설명한 회로(58)에 상당한다.

[0151] 기억 장치(3300)에는 외부로부터 전원 전압으로서 저전원 전압(VSS), 주변 회로(3311)용 고전원 전압(VDD), 셀 어레이(3401)용 고전원 전압(VIL)이 공급된다.

[0152] 또한 기억 장치(3300)에는 제어 신호(CE, WE, RE), 어드레스 신호(ADDR), 데이터 신호(WDATA)가 외부로부터 입력된다. 어드레스 신호(ADDR)는 로 디코더(row decoder)(3321) 및 칼럼 디코더(column decoder)(3331)에 입력되고, 데이터 신호(WDATA)는 입출력 회로(3334)에 입력된다.

[0153] [주변 회로(3311)의 구성예]

[0154] 주변 회로(3311)는 로 디코더(3321), 워드선 드라이버 회로(3322), 칼럼 디코더(3331), 비트선 드라이버 회로(3330), 출력 회로(3340), 컨트롤 로직 회로(3360)를 가진다.

[0155] 워드선 드라이버 회로(3322)는 배선(WL)에 전위를 공급하는 기능을 가진다. 비트선 드라이버 회로(3330)는 프리차지 회로(3332), 증폭 회로(3333), 및 입출력 회로(3334)를 가진다. 프리차지 회로(3332)는 배선(SL)(미도시), 배선(BIL), 또는 배선(RBL) 등을 프리차지하는 기능을 가진다. 증폭 회로(3333)는 배선(BIL) 또는 배선(RBL)으로부터 판독된 데이터 신호를 증폭하는 기능을 가진다. 또한 배선(WL), 배선(SL), 배선(BIL), 및 배선(RBL)은 셀 어레이(3401)가 가지는 메모리 셀(Memory Cell)(3411)에 접속되어 있는 배선이고, 자세히는 후술한다. 증폭된 데이터 신호는 출력 회로(3340)를 통하여 디지털 데이터 신호(RDATA)로서 기억 장치(3300)의 외부로 출력된다.

[0156] 컨트롤 로직 회로(3360)는 외부로부터의 입력 신호(CE, WE, RE)를 처리하여, 로 디코더(3321), 칼럼 디코더(3331)의 제어 신호를 생성한다. CE는 칩 인에이블 신호이고, WE는 기록 인에이블 신호이고, RE는 판독 인에이블 신호이다. 컨트롤 로직 회로(3360)가 처리하는 신호는, 이에 한정되는 것이 아니고, 필요에 따라 다른 제어 신호를 입력하면 좋다.

[0157] 또한 상술한 각 회로 또는 각 신호는 필요에 따라 적절히 취사할 수 있다.

[0158] [셀 어레이(3401)의 구성예]

[0159] 셀 어레이(3401)를 구성하는 트랜지스터에 OS 트랜지스터를 적용할 수 있다. 또한 주변 회로(3311)를 구성하는 트랜지스터에 OS 트랜지스터를 적용할 수 있다. 셀 어레이(3401)와 주변 회로(3311)를 OS 트랜지스터를 사용하여 형성함으로써, 셀 어레이(3401)와 주변 회로(3311)를 동일한 제조 공정에서 제작할 수 있게 되므로, 제조 비용을 낮게 억제할 수 있다.

[0160] 도 10에 셀 어레이(3401)의 자세한 내용을 기재하였다. 셀 어레이(3401)는 1열에 m(m은 1 이상의 정수)개, 1행에 n(n은 1 이상의 정수)개, 총 m×n개의 메모리 셀(3411)을 가지고, 메모리 셀(3411)은 매트릭스상으로 배치되어 있다. 도 10에서는 메모리 셀(3411)의 어드레스도 같이 표기하였다. 예를 들어 [1, 1]은 1번째 행 1번째 열의 어드레스에 위치하는 메모리 셀(3411)을 나타내고, [i, j](i는 1 이상 m 이하의 정수이고, j는 1 이상 n 이하의 정수)는 i번째 행 j번째 열의 어드레스에 위치하는 메모리 셀(3411)을 나타낸다. 또한 셀 어레이(3401)와 워드선 드라이버 회로(3322)를 접속하는 배선의 개수는 메모리 셀(3411)의 구성, 하나의 열 중에 포함되는 메모리 셀(3411)의 개수 등에 의하여 결정된다. 또한 셀 어레이(3401)와 비트선 드라이버 회로(3330)를 접속하는 배선의 개수는 메모리 셀(3411)의 구성, 하나의 행 중에 포함되는 메모리 셀(3411)의 개수 등에 의하여 결정된다.

[0161] [메모리 셀(3411)의 구성예]

[0162] 도 11에, 상술한 메모리 셀(3411)에 적용할 수 있는 메모리 셀(3411A) 내지 메모리 셀(3411D)의 구성예를 나타내었다.

[0163] [DOSRAM]

[0164] 도 11의 (A)에 DRAM형 메모리 셀(3411A)의 회로 구성예를 나타내었다. 본 명세서 등에서 OS 트랜지스터를 사용한 DRAM을 DOSRAM(Dynamic Oxide Semiconductor Random Access Memory)이라고 부른다. 메모리 셀(3411A)은 트랜지스터(M11)와 커패시터(Cs)를 가진다.

[0165] 트랜지스터(M11)의 제 1 단자는 커패시터(Cs)의 제 1 단자와 접속되고, 트랜지스터(M11)의 제 2 단자는 배선(BIL)과 접속되고, 트랜지스터(M11)의 게이트는 배선(WL)과 접속되고, 트랜지스터(M11)의 백 게이트는 배선(BGL)과 접속된다. 커패시터(Cs)의 제 2 단자는 배선(GNDL)과 접속된다. 배선(GNDL)은 저레벨 전위(기준 전위라고 하는 경우가 있음)를 인가하는 배선이다.

[0166] 배선(BIL)은 비트선으로서 기능하고, 배선(WL)은 워드선으로서 기능한다. 배선(BGL)은 트랜지스터(M11)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 또한 배선(BGL)은 반도체 장치(3100)의 출력 단자(OUT)와 전기적으로 접속된다. 배선(BGL)에 임의의 전위를 인가함으로써, 트랜지스터(M11)의 문턱 전압을 증감할 수 있다.

[0167] 데이터의 기록 및 판독은 배선(WL)에 고레벨 전위를 인가함으로써 트랜지스터(M11)를 도통 상태로 하여, 배선(BIL)과 커패시터(Cs)의 제 1 단자를 전기적으로 접속함으로써 수행된다.

[0168] 또한 상술한 기억 장치(3300)가 가지는 메모리 셀은 메모리 셀(3411A)에 한정되지 않고, 회로 구성을 변경할 수 있다.

[0169] 트랜지스터(M11)를 메모리 셀에 사용하는 경우에는 트랜지스터(M11)에 OS 트랜지스터를 사용하는 것이 바람직하다. 또한 OS 트랜지스터의 반도체층에 인듐, 원소 M(원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석), 아연 중 어느 하나를 포함하는 산화물 반도체를 사용하는 것이 바람직하다. 특히 인듐, 갈륨, 아연으로 이루어지는 산화물 반도체를 사용하는 것이 바람직하다.

[0170] 인듐, 갈륨, 아연을 포함하는 산화물 반도체를 적용한 OS 트랜지스터는 오프 전류가 매우 작다는 특성을 가진다. 트랜지스터(M11)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M11)의 누설 전류를 매우 낮게 할 수 있다. 즉 기록한 데이터를 트랜지스터(M11)에 의하여 장시간 유지할 수 있기 때문에, 메모리 셀의 리프레시 빈

도를 적게 할 수 있다. 또한 메모리 셀의 리프레시 동작을 불필요하게 할 수 있다. 또한 누설 전류가 매우 낮기 때문에, 메모리 셀(3411A), 메모리 셀(3411B), 메모리 셀(3411C), 메모리 셀(D)에 대하여 멀티레벨 데이터 또는 아날로그 데이터를 유지할 수 있다.

[0171] 트랜지스터(M11)로서 OS 트랜지스터를 적용함으로써, DOSRAM을 구성할 수 있다.

[0172] [NOSRAM]

[0173] 도 11의 (B)에 2개의 트랜지스터와 1개의 커패시터를 가지는 게인 셀형('2Tr 1C형'이라고도 함)의 메모리 셀(3411B)의 회로 구성예를 나타내었다. 메모리 셀(3411B)은 트랜지스터(M11)와, 트랜지스터(M3)와, 커패시터(Cs)를 가진다.

[0174] 트랜지스터(M11)의 제 1 단자는 커패시터(Cs)의 제 1 단자와 접속되고, 트랜지스터(M11)의 제 2 단자는 배선(WBL)과 접속되고, 트랜지스터(M11)의 게이트는 배선(WL)과 접속되고, 트랜지스터(M11)의 백 게이트는 배선(BGL)과 접속된다. 커패시터(Cs)의 제 2 단자는 배선(RL)과 접속된다. 트랜지스터(M3)의 제 1 단자는 배선(RBL)과 접속되고, 트랜지스터(M3)의 제 2 단자는 배선(SL)과 접속되고, 트랜지스터(M3)의 게이트는 커패시터(Cs)의 제 1 단자와 접속된다.

[0175] 배선(WBL)은 기록 비트선으로서 기능하고, 배선(RBL)은 판독 비트선으로서 기능하고, 배선(WL)은 워드선으로서 기능한다. 배선(RL)은 커패시터(Cs)의 제 2 단자에 소정의 전위를 인가하기 위한 배선으로서 기능한다. 데이터의 기록 시, 데이터 유지 중, 배선(RL)에는 기준 전위를 인가하는 것이 바람직하다.

[0176] 배선(BGL)은 트랜지스터(M11)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 또한 배선(BGL)은 반도체 장치(3100)의 출력 단자(OUT)와 전기적으로 접속된다. 배선(BGL)에 임의의 전위를 인가함으로써, 트랜지스터(M11)의 문턱 전압을 증감할 수 있다.

[0177] 데이터의 기록은 배선(WL)에 고레벨 전위를 인가함으로써 트랜지스터(M11)를 도통 상태로 하여, 배선(WBL)과 커패시터(Cs)의 제 1 단자를 전기적으로 접속함으로써 수행된다. 구체적으로는 트랜지스터(M11)가 도통 상태일 때, 배선(WBL)에 기록하는 정보에 대응하는 전위를 인가하여, 커패시터(Cs)의 제 1 단자 및 트랜지스터(M3)의 게이트에 상기 전위를 기록한다. 그 후, 배선(WL)에 저레벨 전위를 인가하여 트랜지스터(M11)를 비도통 상태로 함으로써, 커패시터(Cs)의 제 1 단자의 전위 및 트랜지스터(M3)의 게이트의 전위를 유지한다.

[0178] 데이터의 판독은 배선(RL)과 배선(SL)에 소정의 전위를 인가함으로써 수행된다. 트랜지스터(M3)의 소스-드레인 사이에 흐르는 전류 및 트랜지스터(M3)의 제 1 단자의 전위는 트랜지스터(M3)의 게이트의 전위 및 트랜지스터(M3)의 제 2 단자의 전위에 따라 결정되기 때문에, 트랜지스터(M3)의 제 1 단자에 접속되어 있는 배선(RBL)의 전위를 판독함으로써, 커패시터(Cs)의 제 1 단자(또는 트랜지스터(M3)의 게이트)에 유지되어 있는 전위를 판독할 수 있다. 즉 커패시터(Cs)의 제 1 단자(또는 트랜지스터(M3)의 게이트)에 유지되어 있는 전위로부터 이 메모리 셀에 기록되어 있는 정보를 판독할 수 있다. 또는 이 메모리 셀에 기록되어 있는 정보의 유무를 알 수 있다.

[0179] 또한 상술한 기억 장치(3300)가 가지는 메모리 셀은 메모리 셀(3411B)에 한정되지 않고, 회로 구성을 적절히 변경할 수 있다.

[0180] 예를 들어 배선(WBL)과 배선(RBL)을 하나의 배선(BIL)으로서 합친 구성이어도 좋다. 그 메모리 셀의 회로 구성예를 도 11의 (C)에 나타내었다. 메모리 셀(3411C)은 메모리 셀(3411B)의 배선(WBL)과 배선(RBL)을 하나의 배선(BIL)으로 하고, 트랜지스터(M11)의 제 2 단자 및 트랜지스터(M3)의 제 1 단자가 배선(BIL)과 접속되어 있는 구성이다. 즉 메모리 셀(3411C)은 기록 비트선과 판독 비트선을 하나의 배선(BIL)으로 하여 동작하는 구성이다.

[0181] 또한 메모리 셀(3411B) 및 메모리 셀(3411C)에서도 트랜지스터(M11)에 OS 트랜지스터를 사용하는 것이 바람직하다. 트랜지스터(M11)에 OS 트랜지스터를 사용하고, 메모리 셀(3411B) 및 메모리 셀(3411C)과 같은 2Tr 1C형 메모리 셀을 사용한 기억 장치를 NOSRAM(Non-volatile Oxide Semiconductor Random Access Memory)이라고 한다.

[0182] 또한 트랜지스터(M3)의 채널 형성 영역에는 실리콘을 가지는 것이 바람직하다. 특히 상기 실리콘은 비정질 실리콘, 다결정 실리콘, 저온 폴리실리콘(LTPS: Low Temperature Poly-Silicon)으로 할 수 있다. Si 트랜지스터는 OS 트랜지스터보다 전계 효과 이동도가 높아지는 경우가 있기 때문에, 판독 트랜지스터로서 Si 트랜지스터를 적용하는 것이 적합하다고 할 수 있다.

[0183] 또한 트랜지스터(M3)로서 OS 트랜지스터를 사용한 경우, 메모리 셀을 단극성 회로로 구성할 수 있다.

[0184] 또한 도 11의 (D)에 3 트랜지스터 1 커패시터의 게인 셀형('3Tr 1C형'이라고도 함)의 메모리 셀(3411D)의 회로 구성예를 나타내었다. 메모리 셀(3411D)은 트랜지스터(M11), 트랜지스터(M5), 및 트랜지스터(M6)와 커패시터(Cs)를 가진다.

[0185] 트랜지스터(M11)의 제 1 단자는 커패시터(Cs)의 제 1 단자와 접속되고, 트랜지스터(M11)의 제 2 단자는 배선(BIL)과 접속되고, 트랜지스터(M11)의 게이트는 배선(WL)과 접속되고, 트랜지스터(M11)의 백 게이트는 배선(BGL)과 전기적으로 접속된다. 커패시터(Cs)의 제 2 단자는 트랜지스터(M5)의 제 1 단자와 배선(GNDL)에 전기적으로 접속된다. 트랜지스터(M5)의 제 2 단자는 트랜지스터(M6)의 제 1 단자와 접속되고, 트랜지스터(M5)의 게이트는 커패시터(Cs)의 제 1 단자와 접속된다. 트랜지스터(M6)의 제 2 단자는 배선(BIL)과 접속되고, 트랜지스터(M6)의 게이트는 배선(RL)과 접속된다.

[0186] 배선(BIL)은 비트선으로서 기능하고, 배선(WL)은 기록 워드선으로서 기능하고, 배선(RL)은 판독 워드선으로서 기능한다.

[0187] 배선(BGL)은 트랜지스터(M11)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 또한 배선(BGL)은 반도체 장치(3100)의 출력 단자(OUT)와 전기적으로 접속된다. 배선(BGL)에 임의의 전위를 인가함으로써, 트랜지스터(M11)의 문턱 전압을 증감할 수 있다.

[0188] 데이터의 기록은 배선(WL)에 고레벨 전위를 인가함으로써 트랜지스터(M11)를 도통 상태로 하여, 배선(BIL)과 커패시터(Cs)의 제 1 단자를 접속함으로써 수행된다. 구체적으로는 트랜지스터(M11)가 도통 상태일 때, 배선(BIL)에 기록하는 정보에 대응하는 전위를 인가하여, 커패시터(Cs)의 제 1 단자 및 트랜지스터(M5)의 게이트에 상기 전위를 기록한다. 그 후, 배선(WL)에 저레벨 전위를 인가하여 트랜지스터(M11)를 비도통 상태로 함으로써, 커패시터(Cs)의 제 1 단자의 전위 및 트랜지스터(M5)의 게이트의 전위를 유지한다.

[0189] 데이터의 판독은 배선(BIL)에 소정의 전위를 프리차지하고, 그 후 배선(BIL)을 전기적으로 플로팅 상태로 하고, 또한 배선(RL)에 고레벨 전위를 인가함으로써 수행된다. 배선(RL)이 고레벨 전위가 되기 때문에, 트랜지스터(M6)는 도통 상태가 되고, 배선(BIL)과 트랜지스터(M5)의 제 2 단자가 전기적으로 접속 상태가 된다. 이때 트랜지스터(M5)의 제 2 단자에는 배선(BIL)의 전위가 인가되지만, 커패시터(Cs)의 제 1 단자(또는 트랜지스터(M5)의 게이트)에 유지되어 있는 전위에 따라, 트랜지스터(M5)의 제 2 단자의 전위 및 배선(BIL)의 전위가 변화한다. 여기서 배선(BIL)의 전위를 판독함으로써, 커패시터(Cs)의 제 1 단자(또는 트랜지스터(M5)의 게이트)에 유지되어 있는 전위를 판독할 수 있다. 즉 커패시터(Cs)의 제 1 단자(또는 트랜지스터(M5)의 게이트)에 유지되어 있는 전위로부터 이 메모리 셀에 기록되어 있는 정보를 판독할 수 있다. 또는 이 메모리 셀에 기록되어 있는 정보의 유무를 알 수 있다.

[0190] 또한 상술한 기억 장치(3300)가 가지는 메모리 셀은 회로의 구성을 적절히 변경할 수 있다.

[0191] 또한 메모리 셀(3411D)에서도 트랜지스터(M11)에 OS 트랜지스터를 사용하는 것이 바람직하다. 트랜지스터(M11)로서 OS 트랜지스터를 적용한 3Tr 1C형 메모리 셀(3411D)은 상술한 NOSRAM의 일 형태이다.

[0192] 또한 본 실시형태에서 설명한 트랜지스터(M5 및 M6)의 채널 형성 영역에는 실리콘을 가지는 것이 바람직하다. 특히 상기 실리콘은 비정질 실리콘, 다결정 실리콘, 저온 폴리실리콘으로 할 수 있다. Si 트랜지스터는 OS 트랜지스터보다 전계 효과 이동도가 높아지는 경우가 있기 때문에, 판독 트랜지스터로서 Si 트랜지스터를 적용하는 것이 적합하다고 할 수 있다.

[0193] 또한 트랜지스터(M5 및 M6)로서 OS 트랜지스터를 사용한 경우, 메모리 셀을 단극성 회로로 구성할 수 있다.

[0194] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0195] (실시형태 4)

[0196] 본 실시형태에서는 본 발명의 일 형태의 촬상 장치에 사용할 수 있는 기억 장치의 구성에 대하여 도 12 및 도 13을 사용하여 설명한다.

[0197] [기억 장치 1]

[0198] 본 발명의 일 형태의 촬상 장치에 사용할 수 있는 기억 장치는 트랜지스터(200), 트랜지스터(300), 및 커패시터(100)를 가진다(도 12 참조). 트랜지스터(200)는 트랜지스터(300)의 상방에 제공되고, 커패시터(100)는 트랜지

스터(300) 및 트랜지스터(200)의 상방에 제공된다.

[0199] 트랜지스터(200)는 산화물 반도체를 가지는 반도체층에 채널이 형성되는 트랜지스터이다. 트랜지스터(200)는 오프 전류가 낮기 때문에, 이를 기억 장치에 사용함으로써 장기간에 걸쳐 기억 내용을 유지할 수 있다. 즉 리프레시 동작이 불필요하거나, 또는 리프레시 동작의 빈도가 매우 적기 때문에, 기억 장치의 소비 전력을 충분히 저감할 수 있다.

[0200] 또한 반도체층을 구성하는 산화물 반도체에 산화물(230a), 산화물(230b), 및 산화물(230c)을 사용할 수 있다. 구체적으로는 산화물(230a)로서, In:Ga:Zn=1:3:4[원자수비] 또는 그 근방의 조성, 또는 1:1:0.5[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다.

[0201] 또한 산화물(230b)로서, In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성, 또는 1:1:1[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다. 또한 산화물(230b)로서, In:Ga:Zn=5:1:3[원자수비] 또는 그 근방의 조성, 또는 In:Ga:Zn=10:1:3[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하여도 좋다. 또한 산화물(230b)로서, In-Zn 산화물(예를 들어 In:Zn=2:1[원자수비] 또는 그 근방의 조성, In:Zn=5:1[원자수비] 또는 그 근방의 조성, 또는 In:Zn=10:1[원자수비] 또는 그 근방의 조성)을 사용하여도 좋다. 또한 산화물(230b)로서 In 산화물을 사용하여도 좋다.

[0202] 또한 산화물(230c)로서, In:Ga:Zn=1:3:4[원자수비 또는 그 근방의 조성], Ga:Zn=2:1[원자수비] 또는 그 근방의 조성, 또는 Ga:Zn=2:5[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다. 또한 산화물(230b)에 사용할 수 있는 재료를 산화물(230c)에 적용하고, 단층으로 또는 적층으로 제공하여도 좋다. 산화물(230c)을 적층 구조로 하는 경우의 구체적인 예로서는, In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성과 In:Ga:Zn=1:3:4[원자수비] 또는 그 근방의 조성의 적층 구조, Ga:Zn=2:1[원자수비] 또는 그 근방의 조성과 In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 적층 구조, Ga:Zn=2:5[원자수비] 또는 그 근방의 조성과 In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 적층 구조, 산화 갈륨과 In:Ga:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 적층 구조 등을 들 수 있다.

[0203] 또한 산화물(230b, 230c)에 있어서 막 내의 인듐의 비율을 높이면 트랜지스터의 온 전류 또는 전계 효과 이동도 등을 높일 수 있어 적합하다. 또한 상술한 근방의 조성이란, 원하는 원자수비의 ±30%의 범위를 포함한 것이다.

[0204] 도 12에 나타낸 기억 장치에서, 배선(1001)은 트랜지스터(300)의 소스에 전기적으로 접속되고, 배선(1002)은 트랜지스터(300)의 드레인에 전기적으로 접속된다. 또한 배선(1003)은 트랜지스터(200)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 배선(1004)은 트랜지스터(200)의 제 1 게이트에 전기적으로 접속되고, 배선(1006)은 트랜지스터(200)의 제 2 게이트에 전기적으로 접속된다. 또한 트랜지스터(300)의 게이트, 및 트랜지스터(200)의 소스 및 드레인 중 다른 쪽은 커패시터(100)의 한쪽 전극에 전기적으로 접속되고, 배선(1005)은 커패시터(100)의 다른 쪽 전극에 전기적으로 접속된다.

[0205] 또한 도 12에 나타낸 기억 장치는 매트릭스상으로 배치함으로써 메모리 셀 어레이를 구성할 수 있다.

[0206] <트랜지스터(300)>

[0207] 트랜지스터(300)는 기판(311) 위에 제공되고, 게이트로서 기능하는 도전체(316), 게이트 절연체로서 기능하는 절연체(315), 기판(311)의 일부로 이루어지는 반도체 영역(313), 및 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다. 트랜지스터(300)는 p채널형 및 n채널형 중 어느 쪽이어도 좋다.

[0208] 여기서 도 12에 나타낸 트랜지스터(300)에서는 채널이 형성되는 반도체 영역(313)(기판(311)의 일부)이 볼록 형상을 가진다. 또한 반도체 영역(313)의 측면 및 상면을, 절연체(315)를 개재(介在)하여 도전체(316)가 덮도록 제공되어 있다. 또한 도전체(316)에는 일함수를 조정하는 재료를 사용하여도 좋다. 이와 같은 트랜지스터(300)는 반도체 기판의 볼록부를 이용하기 때문에 FIN형 트랜지스터라고도 불린다. 또한 볼록부의 상부와 접하여, 볼록부를 형성하기 위한 마스크로서 기능하는 절연체를 가져도 좋다. 또한 여기서는 반도체 기판의 일부를 가공하여 볼록부를 형성하는 경우에 대하여 설명하였지만, SOI 기판을 가공하여 볼록 형상을 가지는 반도체막을 형성하여도 좋다.

[0209] 또한 도 12에 나타낸 트랜지스터(300)는 일례이고, 그 구조에 한정되지 않고, 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.

[0210] <커패시터(100)>

[0211] 커패시터(100)는 트랜지스터(200)의 상방에 제공된다. 커패시터(100)는 제 1 전극으로서 기능하는 도전체(110C), 제 2 전극으로서 기능하는 도전체, 및 유전체로서 기능하는 절연체를 가진다. 또한 도전체(115), 도전체(125), 도전체(140), 절연체(142), 절연체(145), 절연체(152), 도전체(153), 절연체(154), 및 절연체(156)를 가진다.

[0212] 또한 예를 들어 도전체(112C)와 도전체(110C)는 동시에 형성할 수 있다. 또한 도전체(112C)는, 커패시터(100), 트랜지스터(200), 또는 트랜지스터(300)에 전기적으로 접속되는 플러그 또는 배선으로서의 기능을 가진다.

[0213] 도 12에서는 도전체(112C) 및 도전체(110C)를 단층 구조로 나타내었지만, 상기 구성에 한정되지 않고, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어 배리어성을 가지는 도전체와 도전성이 높은 도전체 사이에, 배리어성을 가지는 도전체 및 도전성이 높은 도전체에 대하여 밀착성이 높은 도전체를 형성하여도 좋다.

[0214] 또한 커패시터의 (유전체로서) 절연체에는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄, 산화 하프늄, 산화질화 하프늄, 질화산화 하프늄, 질화 하프늄 등을 사용하면 좋고, 적층 또는 단층으로 제공할 수 있다.

[0215] 예를 들어 커패시터의 (유전체로서) 절연체에는 산화질화 실리콘 등의 절연 내력이 큰 재료와 고유전율(high-k) 재료의 적층 구조를 사용하는 것이 바람직하다. 상기 구성으로 하면, 커패시터(100)는 고유전율(high-k)의 절연체를 가지므로 충분한 용량을 확보할 수 있고, 절연 내력이 큰 절연체를 가지므로 절연 내력이 향상되기 때문에 커패시터(100)의 정전 파괴를 억제할 수 있다.

[0216] 또한 고유전율(high-k) 재료(비유전율이 높은 재료)의 절연체로서는 산화 갈륨, 알루미늄 및 하프늄을 포함한 산화물, 알루미늄 및 하프늄을 포함한 산화질화물, 실리콘 및 하프늄을 포함한 산화물, 실리콘 및 하프늄을 포함한 산화질화물, 또는 실리콘 및 하프늄을 포함한 질화물 등이 있다.

[0217] 또한 커패시터의 (유전체로서) 절연체에는, 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬($SrTiO_3$), 또는 $(Ba,Sr)TiO_3$(BST) 등 소위 high-k 재료를 포함한 절연체를 단층 또는 적층으로 사용하여도 좋다. 예를 들어 절연체를 적층으로 하는 경우, 산화 지르코늄과, 산화 알루미늄과, 산화 지르코늄이 이 순서대로 형성된 3층 적층이나, 산화 지르코늄과, 산화 알루미늄과, 산화 지르코늄과, 산화 알루미늄이 이 순서대로 형성된 4층 적층 등을 사용하면 좋다. 또한 절연체로서는 하프늄과 지르코늄이 포함된 화합물 등을 사용하여도 좋다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체가 박막화됨으로써 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 게이트 전위를 저감할 수 있다.

[0218] 한편 절연 내력이 큰 재료(비유전율이 낮은 재료)로서는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등이 있다.

[0219] <배선층>

[0220] 각 구조체 사이에는 층간막, 배선, 및 플러그 등이 제공된 배선층이 제공되어도 좋다. 또한 배선층은 설계에 따라 복수 층 제공할 수 있다. 여기서 플러그 또는 배선으로서의 기능을 가지는 도전체에는, 복수의 구조를 합쳐서 동일한 부호를 부여하는 경우가 있다. 또한 본 명세서 등에서 배선과, 배선에 전기적으로 접속되는 플러그가 일체물이어도 좋다. 즉 도전체의 일부가 배선으로서 기능하는 경우, 그리고 도전체의 일부가 플러그로서 기능하는 경우도 있다.

[0221] 예를 들어 트랜지스터(300) 위에는 층간막으로서 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 이 순서대로 적층되어 제공되어 있다. 또한 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는 커패시터(100) 또는 트랜지스터(200)에 전기적으로 접속되는 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서 기능한다.

[0222] 또한 층간막으로서 기능하는 절연체는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다. 예를 들어 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리에 의하여 평탄화되어 있어도 좋다.

[0223] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어 도 12에서는 절연체(350), 절연체(352), 및 절연체(354)가 이 순서대로 적층되어 제공되어 있다. 또한 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 플러그 또는 배선으로서 기능한다.

[0224] 마찬가지로 절연체(210), 절연체(211), 절연체(212), 절연체(214), 및 절연체(216)에는 도전체(218) 및 트랜지스터(200)를 구성하는 도전체(도전체(205C)) 등이 매립되어 있다. 또한 도전체(218)는 커패시터(100) 또는 트랜지스터(300)에 전기적으로 접속되는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(120) 및 절연체(130) 위에는 절연체(150)가 제공되어 있다.

[0225] 여기서 앞의 실시형태에서 설명한 절연체(241)와 마찬가지로, 플러그로서 기능하는 도전체(218)의 측면과 접하여 절연체(217)가 제공된다. 절연체(217)는 절연체(210), 절연체(211), 절연체(212), 절연체(214), 및 절연체(216)에 형성된 개구의 내벽과 접하여 제공되어 있다. 즉 절연체(217)는 도전체(218)와, 절연체(210), 절연체(211), 절연체(212), 절연체(214), 및 절연체(216) 사이에 제공되어 있다. 또한 도전체(205C)는 도전체(218)와 병행하여 형성할 수 있기 때문에, 도전체(205C)의 측면과 접하여 절연체(217)가 형성되는 경우도 있다.

[0226] 절연체(217)로서는 예를 들어 질화 실리콘, 산화 알루미늄, 또는 질화산화 실리콘 등의 절연체를 사용하면 좋다. 절연체(217)는 절연체(211), 절연체(212), 절연체(214), 및 절연체(222)와 접하여 제공되기 때문에, 절연체(210) 또는 절연체(216) 등으로부터 물 또는 수소 등의 불순물이 도전체(218)를 통하여 산화물(230)에 혼입되는 것을 억제할 수 있다. 특히 질화 실리콘은 수소에 대한 차단성이 높기 때문에 적합하다. 또한 절연체(210) 또는 절연체(216)에 포함되는 산소가 도전체(218)에 흡수되는 것을 방지할 수 있다.

[0227] 절연체(217)는 절연체(241)와 같은 방법으로 형성할 수 있다. 예를 들어 PEALD법을 사용하여 질화 실리콘을 성막하고, 이방성 에칭을 사용하여 도전체(356)에 도달하는 개구를 형성하면 좋다.

[0228] 층간막으로서 사용할 수 있는 절연체로서는 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.

[0229] 예를 들어 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 따라서 절연체의 기능에 따라 재료를 선택하는 것이 좋다.

[0230] 예를 들어 절연체(150), 절연체(210), 절연체(352), 및 절연체(354) 등은 비유전율이 낮은 절연체인 것이 바람직하다. 예를 들어 상기 절연체는 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등을 포함하는 것이 바람직하다. 또는 상기 절연체는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공을 가지는 산화 실리콘과, 수지의 적층 구조를 가지는 것이 바람직하다. 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에, 수지와 조합함으로써 열적으로 안정적이며 비유전율이 낮은 적층 구조로 할 수 있다. 수지로서는 예를 들어 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 또는 아크릴 수지 등이 있다.

[0231] 또한 산화물 반도체를 사용한 트랜지스터는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러쌈으로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다. 따라서 절연체(214), 절연체(211), 절연체(212), 및 절연체(350) 등으로서는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체를 사용하면 좋다.

[0232] 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함한 절연체를 단층 또는 적층으로 사용하면 좋다. 구체적으로는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈럼 등의 금속 산화물, 질화산화 실리콘, 또는 질화 실리콘 등을 사용할 수 있다.

[0233] 배선, 플러그에 사용할 수 있는 도전체에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄 등에서 선택된 금속 원소를 1종류 이상 포함하는 재료를 사용할 수 있다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.

[0234] 예를 들어 도전체(328), 도전체(330), 도전체(356), 도전체(218), 및 도전체(112C) 등에는, 상기 재료로 형성되는 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층 또는 적층으로 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고융점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써, 배선 저항을 저감할 수 있다.

[0235] <산화물 반도체가 제공된 층의 배선 또는 플러그>

[0236] 또한 트랜지스터(200)에 산화물 반도체를 사용하는 경우, 산화물 반도체 근방에 과잉 산소 영역을 가지는 절연체를 제공하는 경우가 있다. 그 경우, 상기 과잉 산소 영역을 가지는 절연체와 상기 과잉 산소 영역을 가지는 절연체에 제공하는 도전체 사이에 배리어성을 가지는 절연체를 제공하는 것이 바람직하다.

[0237] 예를 들어 도 12에서는 과잉 산소를 포함하는 절연체(224) 및 절연체(280)와, 도전체(240) 사이에 절연체(241)를 제공하는 것이 좋다. 절연체(241)와 절연체(222), 절연체(272), 절연체(273), 절연체(282), 절연체(283), 및 절연체(284)가 접하여 제공되기 때문에, 절연체(224) 및 트랜지스터(200)가 배리어성을 가지는 절연체로 밀봉되는 구조로 할 수 있다.

[0238] 즉 절연체(241)를 제공함으로써, 절연체(224) 및 절연체(280)에 포함되는 과잉 산소가 도전체(240)에 흡수되는 것을 억제할 수 있다. 또한 절연체(241)를 가짐으로써, 불순물인 수소가 도전체(240)를 통하여 트랜지스터(200)로 확산되는 것을 억제할 수 있다.

[0239] 또한 절연체(241)로서는 물 또는 수소 등의 불순물 및 산소의 확산을 억제하는 기능을 가지는 절연성 재료를 사용하는 것이 좋다. 예를 들어 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 또는 산화 하프늄 등을 사용하는 것이 바람직하다. 특히 질화 실리콘은 수소에 대한 차단성이 높기 때문에 바람직하다. 또한 이 외에도, 예를 들어 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 또는 산화 탄탈럼 등의 금속 산화물 등을 사용할 수 있다.

[0240] 또한 상기 실시형태와 마찬가지로 트랜지스터(200)는 절연체(211), 절연체(212), 절연체(214), 절연체(287), 절연체(282), 절연체(283), 및 절연체(284)로 밀봉되는 것이 바람직하다. 이와 같은 구성으로 함으로써, 절연체(274), 절연체(150) 등에 포함되는 수소가 절연체(280) 등에 혼입되는 것을 저감할 수 있다.

[0241] 여기서 도전체(240)는 절연체(284), 절연체(283), 및 절연체(282)를 관통하고, 도전체(218)는 절연체(214), 절연체(212), 및 절연체(211)를 관통하지만, 상술한 바와 같이 절연체(241)가 도전체(240)와 접하여 제공되고, 절연체(217)가 도전체(218)와 접하여 제공되어 있다. 이에 의하여, 도전체(240) 및 도전체(218)를 통하여 절연체(211), 절연체(212), 절연체(214), 절연체(287), 절연체(282), 절연체(283), 및 절연체(284)의 내측에 혼입되는 수소를 저감할 수 있다. 이러한 식으로, 절연체(211), 절연체(212), 절연체(214), 절연체(287), 절연체(282), 절연체(283), 절연체(284), 절연체(241), 및 절연체(217)로 트랜지스터(200)를 더 확실하게 밀봉하여, 절연체(274) 등에 포함되는 수소 등의 불순물이 외측으로부터 혼입되는 것을 저감할 수 있다.

[0242] 또한 절연체(216), 절연체(224), 절연체(280), 절연체(250), 및 절연체(274)는 앞의 실시형태에서 설명한 바와 같이, 수소 원자가 저감 또는 제거된 가스를 사용한 성막 방법으로 형성하는 것이 바람직하다. 이에 의하여, 절연체(216), 절연체(224), 절연체(280), 절연체(250), 및 절연체(274)의 수소 농도를 저감할 수 있다.

[0243] 이러한 식으로, 트랜지스터(200) 근방의 실리콘계 절연막의 수소 농도를 저감하여, 산화물(230)의 수소 농도를 저감할 수 있다.

[0244] <다이싱라인>

[0245] 이하에서는 대면적 기판을 반도체 소자마다 분단함으로써, 복수의 기억 장치를 칩 형상으로 얻는 경우에 제공되는 다이싱라인(스크라이브 라인, 분단 라인, 또는 절단 라인이라고 부르는 경우가 있음)에 대하여 설명한다. 분단 방법으로서는 예를 들어 먼저 기판에 반도체 소자를 분단하기 위한 홈(다이싱라인)을 형성한 후, 다이싱라인을 따라 절단하여, 복수의 기억 장치로 분단(분할)하는 경우가 있다.

[0246] 여기서 예를 들어 도 12에 나타낸 바와 같이, 절연체(283)와 절연체(211)가 접한 영역이 다이싱라인에 겹치도록 설계하는 것이 바람직하다. 즉 복수의 트랜지스터(200)를 가지는 메모리 셀의 가장자리에 제공되는 다이싱라인이 되는 영역 근방에서, 절연체(282), 절연체(280), 절연체(273), 절연체(272), 절연체(224), 절연체(222), 절연체(216), 절연체(214), 및 절연체(212)에 개구를 제공한다.

[0247] 즉 상기 절연체(282), 절연체(280), 절연체(273), 절연체(272), 절연체(224), 절연체(222), 절연체(216), 절연체(214), 및 절연체(212)에 제공된 개구에서, 절연체(211)와 절연체(283)가 접한다. 또한 절연체(282), 절연체(280), 절연체(273), 절연체(272), 절연체(224), 절연체(222), 절연체(216), 및 절연체(214)에 개구를 제공하고, 상기 개구에서 절연체(212)와 절연체(283)가 접하는 구성으로 하여도 좋다. 예를 들어 이때 절연체(212)와 절연체(283)를 같은 재료 및 같은 방법을 사용하여 형성하여도 좋다. 절연체(212) 및 절연체(283)를 같은 재료 및 같은 방법으로 제공함으로써, 밀착성을 높일 수 있다. 예를 들어 질화 실리콘을 사용하는 것이 바람직하다.

[0248] 상기 구조에 의하여, 절연체(211), 절연체(212), 절연체(214), 절연체(287), 절연체(282), 절연체(283), 및 절연체(284)로 트랜지스터(200)를 둘러쌀 수 있다. 절연체(211), 절연체(212), 절연체(214), 절연체(287), 절연체(282), 절연체(283), 및 절연체(284) 중 적어도 하나는 산소, 수소, 및 물의 확산을 억제하는 기능을 가지기 때문에, 본 실시형태에서의 반도체 소자가 형성된 회로 영역마다 기판을 분단함으로써, 복수의 칩으로 가공하여도, 분단된 기판의 측면 방향으로부터 수소 또는 물 등의 불순물이 혼입되고, 트랜지스터(200)로 확산되는 것을 방지할 수 있다.

[0249] 또한 상기 구조에 의하여, 절연체(280) 및 절연체(224)의 과잉 산소가 외부로 확산되는 것을 방지할 수 있다. 따라서 절연체(280) 및 절연체(224)의 과잉 산소는 트랜지스터(200)에서 채널이 형성되는 산화물에 효율적으로 공급된다. 상기 산소에 의하여 트랜지스터(200)에서 채널이 형성되는 산화물의 산소 결손을 저감할 수 있다. 따라서 트랜지스터(200)에서 채널이 형성되는 산화물을 결함 준위 밀도가 낮고 안정적인 특성을 가지는 산화물 반도체로 할 수 있다. 즉 트랜지스터(200)의 전기 특성의 변동을 억제하면서 신뢰성을 향상시킬 수 있다.

[0250] 이상이 구성예에 대한 설명이다. 본 구성을 사용함으로써, 산화물 반도체를 가지는 트랜지스터를 사용한 기억 장치에서 전기 특성의 변동을 억제하면서 신뢰성을 향상시킬 수 있다. 또는 온 전류가 높은 산화물 반도체를 가지는 트랜지스터를 제공할 수 있다. 또는 오프 전류가 낮은 산화물 반도체를 가지는 트랜지스터를 제공할 수 있다. 또는 소비 전력이 저감된 기억 장치를 제공할 수 있다.

[0251] [기억 장치 2]

[0252] 본 발명의 일 형태의 기억 장치의 구성을 도 13에 나타내었다. 본 발명의 일 형태의 기억 장치는 트랜지스터(200), 트랜지스터(300), 트랜지스터(400), 및 커패시터(100)를 가진다.

[0253] 트랜지스터(400)는 트랜지스터(200)의 제 2 게이트 전압을 제어할 수 있다. 예를 들어 트랜지스터(400)의 제 1 게이트 및 제 2 게이트를 소스에 다이오드 접속하고, 트랜지스터(400)의 소스와 트랜지스터(200)의 제 2 게이트를 접속하는 구성으로 한다. 상기 구성에서 트랜지스터(200)의 제 2 게이트의 음의 전위를 유지할 때, 트랜지스터(400)의 제 1 게이트-소스 사이의 전압 및 제 2 게이트-소스 사이의 전압은 0V가 된다. 트랜지스터(400)에서는, 제 2 게이트 전압 및 제 1 게이트 전압이 0V일 때의 드레인 전류가 매우 낮기 때문에, 트랜지스터(200) 및 트랜지스터(400)에 전원 공급을 하지 않아도, 트랜지스터(200)의 제 2 게이트의 음의 전위가 장시간 유지될 수 있다. 이로써 트랜지스터(200) 및 트랜지스터(400)를 가지는 기억 장치는 장기간에 걸쳐 기억 내용을 유지할 수 있다.

[0254] 따라서 도 13에서, 배선(1001)은 트랜지스터(300)의 소스에 전기적으로 접속되고, 배선(1002)은 트랜지스터(300)의 드레인에 전기적으로 접속된다. 또한 배선(1003)은 트랜지스터(200)의 소스 및 드레인 중 한쪽에 전기적으로 접속되고, 배선(1004)은 트랜지스터(200)의 게이트에 전기적으로 접속되고, 배선(1006)은 트랜지스터(200)의 백 게이트에 전기적으로 접속된다. 또한 트랜지스터(300)의 게이트, 및 트랜지스터(200)의 소스 및 드레인 중 다른 쪽은 커패시터(100)의 한쪽 전극에 전기적으로 접속되고, 배선(1005)은 커패시터(100)의 다른 쪽 전극에 전기적으로 접속된다. 배선(1007)은 트랜지스터(400)의 소스에 전기적으로 접속되고, 배선(1008)은 트랜지스터(400)의 게이트에 전기적으로 접속되고, 배선(1009)은 트랜지스터(400)의 백 게이트에 전기적으로 접속되고, 배선(1010)은 트랜지스터(400)의 드레인에 전기적으로 접속된다. 여기서 배선(1006), 배선(1007), 배선(1008), 및 배선(1009)이 전기적으로 접속된다.

[0255] 또한 도 13에 나타낸 기억 장치는, 도 12에 나타낸 기억 장치와 마찬가지로, 매트릭스상으로 배치함으로써 메모리 셀 어레이를 구성할 수 있다. 또한 하나의 트랜지스터(400)는 복수의 트랜지스터(200)의 제 2 게이트 전압을 제어할 수 있다. 그러므로 트랜지스터(400)는 트랜지스터(200)보다 적게 제공되는 것이 좋다. 또한 도 13에 나타낸 기억 장치는, 도 12에 나타낸 기억 장치와 마찬가지로, 트랜지스터(200) 및 트랜지스터(400)를 절연체(211), 절연체(212), 절연체(214), 절연체(287), 절연체(282), 절연체(283), 및 절연체(284)로 밀봉할 수 있다.

[0256] <트랜지스터(400)>

[0257] 트랜지스터(400)는 트랜지스터(200)와 같은 층에 형성되고, 병행하여 제작할 수 있는 트랜지스터이다. 트랜지스터(400)는 제 1 게이트로서 기능하는 도전체(460)(도전체(460a) 및 도전체(460b))와, 제 2 게이트로서 기능하는 도전체(405)와, 게이트 절연층으로서 기능하는 절연체(222), 절연체(224), 및 절연체(450)와, 채널 형성 영역을 가지는 산화물(430c)과, 소스로서 기능하는 도전체(442a), 산화물(443a), 산화물(431a), 및 산화물(431b)과, 드레인으로서 기능하는 도전체(442b), 산화물(443b), 산화물(432a), 및 산화물(432b)을 가진다. 또한 트랜지스터(200)와 마찬가지로, 플러그로서 기능하는 도전체가 도전체(442a)와 도전체(442b)와 접하여 제공된다.

[0258] 또한 같은 층에 형성된 구조체는 동시에 형성할 수 있다. 예를 들어 산화물(430c)은 산화물(230c)이 되는 산화막을 가공함으로써 형성할 수 있다.

[0259] 트랜지스터(400)의 활성층으로서 기능하는 산화물(430c)은, 산화물(230) 등과 마찬가지로, 산소 결손이 저감되고 수소 또는 물 등의 불순물이 저감되어 있다. 이로써 트랜지스터(400)의 문턱 전압을 0V보다 크게 하고, 오프 전류를 저감하고, 제 2 게이트 전압 및 제 1 게이트 전압이 0V일 때의 드레인 전류를 매우 낮게 할 수 있다.

[0260] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

[0261] (실시형태 5)

[0262] 본 발명의 일 형태에 따른 촬상 장치를 사용할 수 있는 전자 기기로서, 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 기억 장치 또는 화상 재생 장치, 휴대 전화, 휴대형을 포함하는 게임기, 휴대 데이터 단말기, 전자서적 단말기, 비디오 카메라, 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 15의 (A) 내지 (F)에 나타내었다.

[0263] 도 15의 (A)는 휴대 전화기의 일례이며, 하우징(981), 표시부(982), 조작 버튼(983), 외부 접속 포트(984), 스피커(985), 마이크로폰(986), 카메라(987) 등을 가진다. 상기 휴대 전화기는 표시부(982)에 터치 센서를 가진다. 전화를 걸거나 또는 문자를 입력하는 등의 다양한 조작은 손가락이나 스타일러스 등으로 표시부(982)를 터치함으로써 수행할 수 있다. 상기 휴대 전화기에서 화상을 취득하기 위하여 본 발명의 일 형태에 따른 촬상 장치를 적용할 수 있다.

[0264] 도 15의 (B)는 휴대 데이터 단말기이며, 하우징(911), 표시부(912), 스피커(913), 카메라(919) 등을 가진다. 표시부(912)가 가지는 터치 패널 기능에 의하여 정보의 입출력을 수행할 수 있다. 또한 카메라(919)로 취득한 화상의 문자 등을 인식하고, 스피커(913)로부터 이 문자를 음성으로 출력할 수 있다. 상기 휴대 데이터 단말기에서 화상을 취득하기 위하여 본 발명의 일 형태에 따른 촬상 장치를 적용할 수 있다.

[0265] 도 15의 (C)는 감시 카메라이며, 지지대(951), 카메라 유닛(952), 보호 커버(953) 등을 가진다. 카메라 유닛(952)에는 회전 기구 등이 제공되고, 천장에 설치함으로써 모든 방향의 촬상이 가능해진다. 상기 카메라 유닛에서 화상을 취득하기 위하여 본 발명의 일 형태에 따른 촬상 장치를 적용할 수 있다. 또한 감시 카메라란 관용적인 명칭이고, 용도를 한정하는 것은 아니다. 예를 들어 감시 카메라로서의 기능을 가지는 기기는 카메라 또는 비디오 카메라라고도 불린다.

[0266] 도 15의 (D)는 비디오 카메라이며, 제 1 하우징(971), 제 2 하우징(972), 표시부(973), 조작 키(974), 렌즈(975), 접속부(976), 스피커(977), 마이크로폰(978) 등을 가진다. 조작 키(974) 및 렌즈(975)는 제 1 하우징(971)에 제공되고, 표시부(973)는 제 2 하우징(972)에 제공된다. 상기 비디오 카메라에서 화상을 취득하기 위하여 본 발명의 일 형태에 따른 촬상 장치를 적용할 수 있다.

[0267] 도 15의 (E)는 디지털 카메라이며, 하우징(961), 셔터 버튼(962), 마이크로폰(963), 발광부(967), 렌즈(965) 등을 가진다. 상기 디지털 카메라에서 화상을 취득하기 위하여 본 발명의 일 형태에 따른 촬상 장치를 적용할 수 있다.

[0268] 도 15의 (F)는 손목시계형의 정보 단말기이며, 표시부(932), 하우징 겸 리스트 밴드(933), 카메라(939) 등을 가진다. 표시부(932)는 정보 단말기의 조작을 수행하기 위한 터치 패널을 구비한다. 표시부(932) 및 하우징 겸 리스트 밴드(933)는 가요성을 가지고 신체에 대한 장착성이 우수하다. 상기 정보 단말기에서 화상을 취득하기 위하여 본 발명의 일 형태에 따른 촬상 장치를 적용할 수 있다.

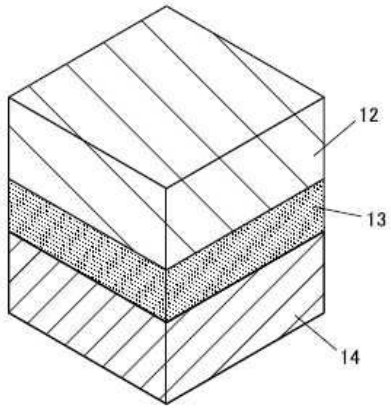
[0269] 본 실시형태는 다른 실시형태 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.

부호의 설명

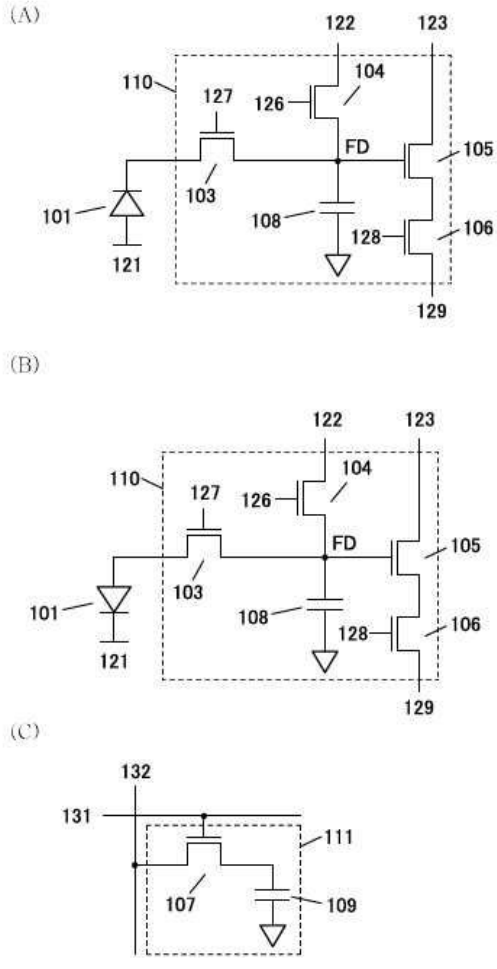
[0270] BGL: 배선, BL: 배선, BIL: 배선, Cs: 커패시터, GNDL: 배선, M3: 트랜지스터, M5: 트랜지스터, M6: 트랜지스터, M11: 트랜지스터, SL: 배선, T1: 기간, T2: 기간, T3: 기간, T4: 기간, RBL: 배선, RL: 배선, WBL: 배선, WL: 배선, 12: 층, 13: 층, 14: 층, 21: 단결정 실리콘 기판, 22: 영역, 25: 실리콘 기판, 28: 영역, 31: 절연층, 32: 도전층, 33: 절연층, 34: 도전층, 50: 화소 회로, 51: 화소 어레이, 52: 회로, 53: 회로, 54: 회로, 55: 회로, 56: 회로, 57: 회로, 58: 회로, 59: 회로, 63: 절연층, 64: 절연층, 65: 절연층, 66: 절연층, 100: 커패시터, 101: 광전 변환 디바이스, 102: 트랜지스터, 103: 트랜지스터, 104: 트랜지스터, 105: 트랜지스터, 106: 트랜지스터, 107: 트랜지스터, 108: 커패시터, 109: 커패시터, 110: 회로, 110C: 도전체, 111: 셀, 112: 트랜지스터, 112C: 도전체, 113: 트랜지스터, 120: 도전체, 121: 배선, 122: 배선, 123: 배선, 126: 배선, 127: 배선, 128: 배선, 129: 배선, 130: 절연체, 131: 배선, 132: 배선, 150: 절연체, 200: 트랜지스터, 201: 게이트 전극, 202: 게이트 절연막, 203: 소스 영역, 204: 드레인 영역, 205: 소스 전극, 205C: 도전체, 206: 드레인 전극, 207: 산화물 반도체층, 208: 산화물 반도체층, 210: 절연체, 211: 절연체, 212: 절연체, 214: 절연체, 216: 절연체, 217: 절연체, 218: 도전체, 222: 절연체, 224: 절연체, 230: 산화물, 230a: 산화물, 230b: 산화물, 230c: 산화물, 240: 도전체, 241: 절연체, 250: 절연체, 272: 절연체, 273: 절연체, 274: 절연체, 280: 절연체, 282: 절연체, 283: 절연체, 284: 절연체, 287: 절연체, 300: 트랜지스터, 311: 기판, 313: 반도체 영역, 314a: 저저항 영역, 314b: 저저항 영역, 315: 절연체, 316: 도전체, 320: 절연체, 322: 절연체, 324: 절연체, 326: 절연체, 328: 도전체, 330: 도전체, 350: 절연체, 352: 절연체, 354: 절연체, 356: 도전체, 400: 트랜지스터, 405: 도전체, 430c: 산화물, 431a: 산화물, 431b: 산화물, 432a: 산화물, 432b: 산화물, 442a: 도전체, 442b: 도전체, 443a: 산화물, 443b: 산화물, 450: 절연체, 460: 도전체, 460a: 도전체, 460b: 도전체, 535: 백 게이트, 610: 패키지 기판, 611: 패키지 기판, 620: 커버 유리, 621: 렌즈 커버, 630: 접착제, 635: 렌즈, 640: 범프, 641: 랜드, 650: 이미지 센서 칩, 651: 이미지 센서 칩, 660: 전극 패드, 661: 전극 패드, 670: 와이어, 671: 와이어, 690: IC칩, 911: 하우징, 912: 표시부, 913: 스피커, 919: 카메라, 932: 표시부, 933: 하우징 겸 리스트 밴드, 939: 카메라, 951: 지지대, 952: 카메라 유닛, 953: 보호 커버, 961: 하우징, 962: 셔터 버튼, 963: 마이크로폰, 965: 렌즈, 967: 발광부, 971: 하우징, 972: 하우징, 973: 표시부, 974: 조작 키, 975: 렌즈, 976: 접속부, 977: 스피커, 978: 마이크로폰, 981: 하우징, 982: 표시부, 983: 조작 버튼, 984: 외부 접속 포트, 985: 스피커, 986: 마이크로폰, 987: 카메라, 1001: 배선, 1002: 배선, 1003: 배선, 1004: 배선, 1005: 배선, 1006: 배선, 1007: 배선, 1008: 배선, 1009: 배선, 1010: 배선, 3100: 반도체 장치, 3300: 기억 장치, 3311: 주변 회로, 3321: 로 디코더, 3322: 워드선 드라이버 회로, 3330: 비트선 드라이버 회로, 3331: 칼럼 디코더, 3332: 프리차지 회로, 3333: 증폭 회로, 3334: 입출력 회로, 3340: 출력 회로, 3360: 컨트롤 로직 회로, 3401: 셀 어레이, 3411: 메모리 셀, 3411A: 메모리 셀, 3411B: 메모리 셀, 3411C: 메모리 셀, 3411D: 메모리 셀, 3420: 메모리 셀, 3430: 메모리 셀

도면

도면1

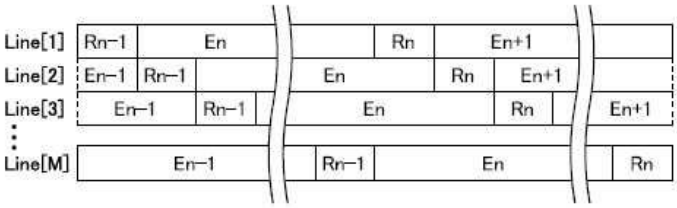

12
13
14

도면2

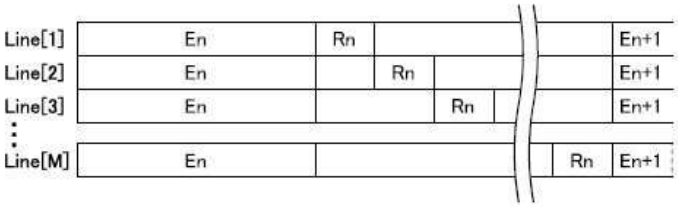

(A)
122
123
110
127
126
104
FD
105
103
101
108
128
106
121
129
(B)
122
123
110
127
126
104
FD
105
103
101
108
128
106
121
129
(C)
132
131
111
107
109

도면3

(A)

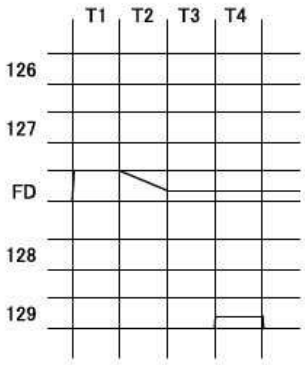

Line[1]
Line[2]
Line[3]
Line[M]
Rn-1
En
Rn
En+1
En-1
Rn-1
En
Rn
En+1
En-1
Rn-1
En
Rn
En+1
En-1
Rn-1
En
Rn

(B)

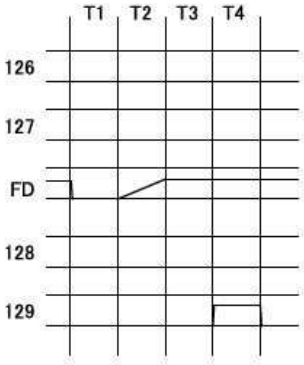

Line[1]
Line[2]
Line[3]
Line[M]
En
Rn
En+1
En
Rn
En+1
En
Rn
En+1
En
Rn
En+1

도면4

(A)

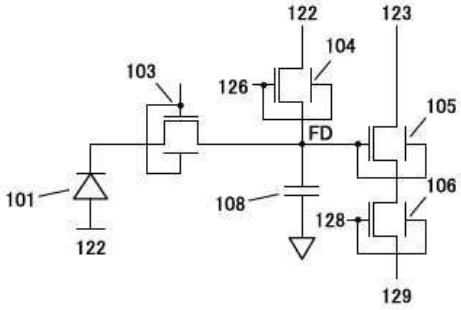

T1
T2
T3
T4
126
127
FD
128
129

(B)

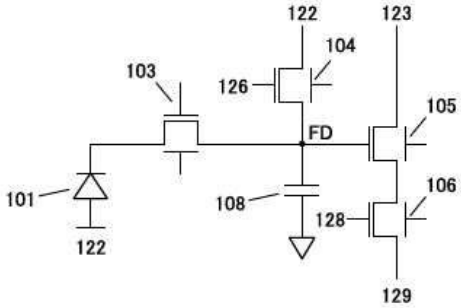

T1
T2
T3
T4
126
127
FD
128
129

도면5

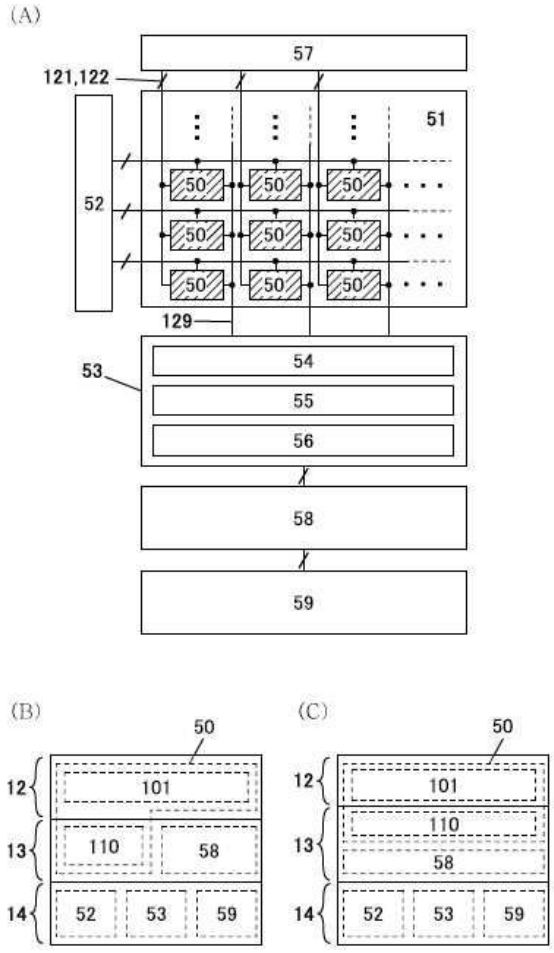
(A)


122
123
104
103
126
105
FD
101
108
106
128
122
129

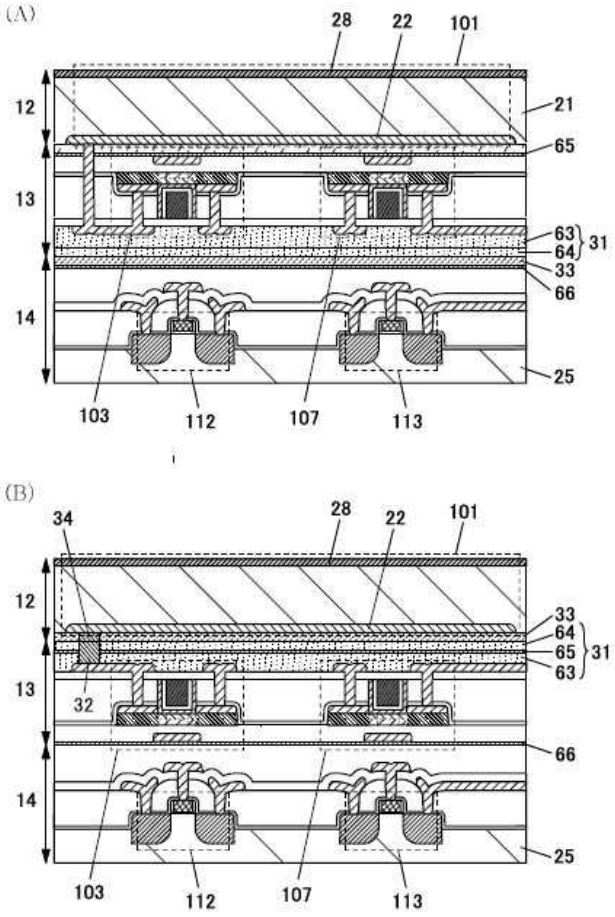
(B)


122
123
104
103
126
105
FD
101
108
106
128
122
129

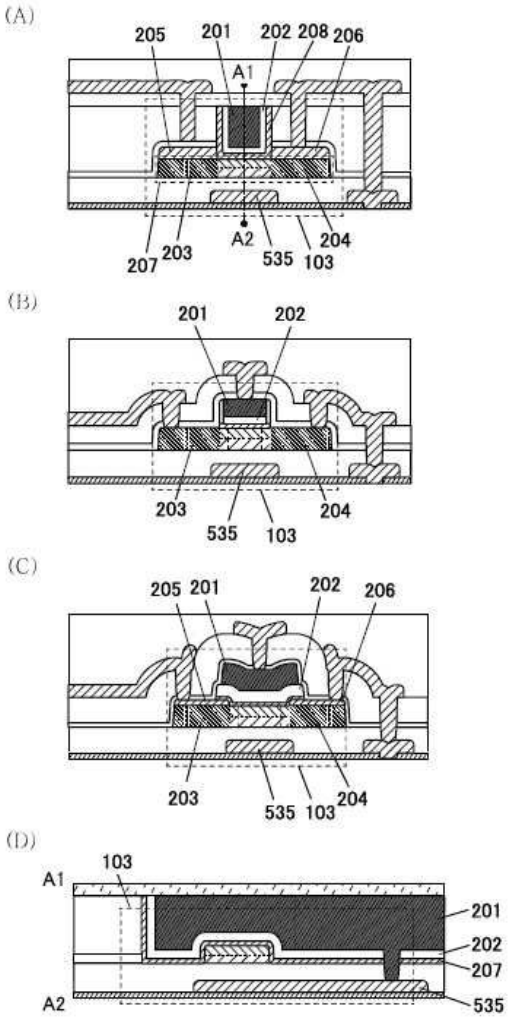
도면6


(A)
57
121,122
51
52
50
129
53
54
55
56
58
59
(B)
50
12
101
13
110
58
14
52
53
59
(C)
50
12
101
13
110
58
14
52
53
59

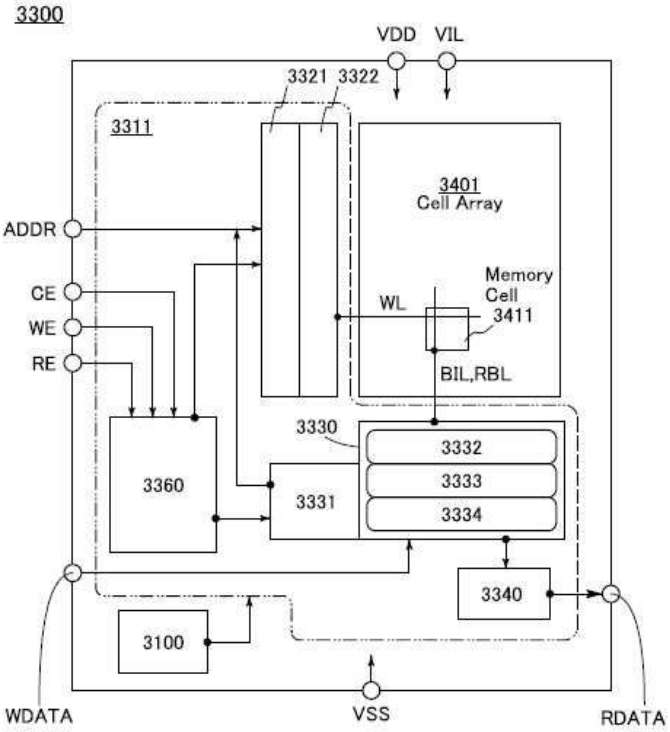
도면7


(A)
28
22
101
12
21
65
13
63
64
33
31
66
14
25
103
112
107
113
(B)
34
28
22
101
12
33
64
65
63
31
13
32
66
14
25
103
112
107
113

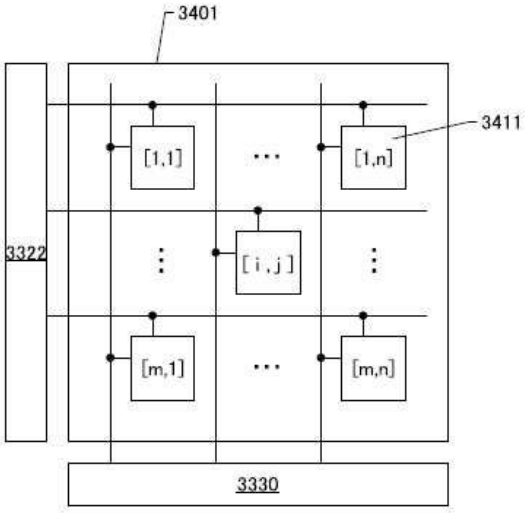
도면8


(A)
205
201
202
208
206
A1
A2
207
203
535
103
204
(B)
201
202
203
535
103
204
(C)
205
201
202
206
203
535
103
204
(D)
103
A1
A2
201
202
207
535

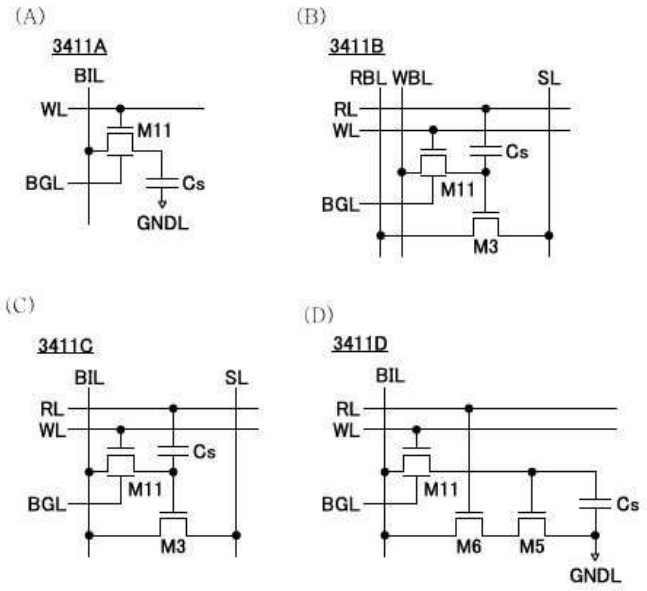
도면9


3300
VDD
VIL
3321
3322
3311
3401
Cell Array
ADDR
CE
WE
RE
Memory
Cell
WL
3411
BIL,RBL
3330
3332
3333
3334
3360
3331
3340
3100
WDATA
VSS
RDATA

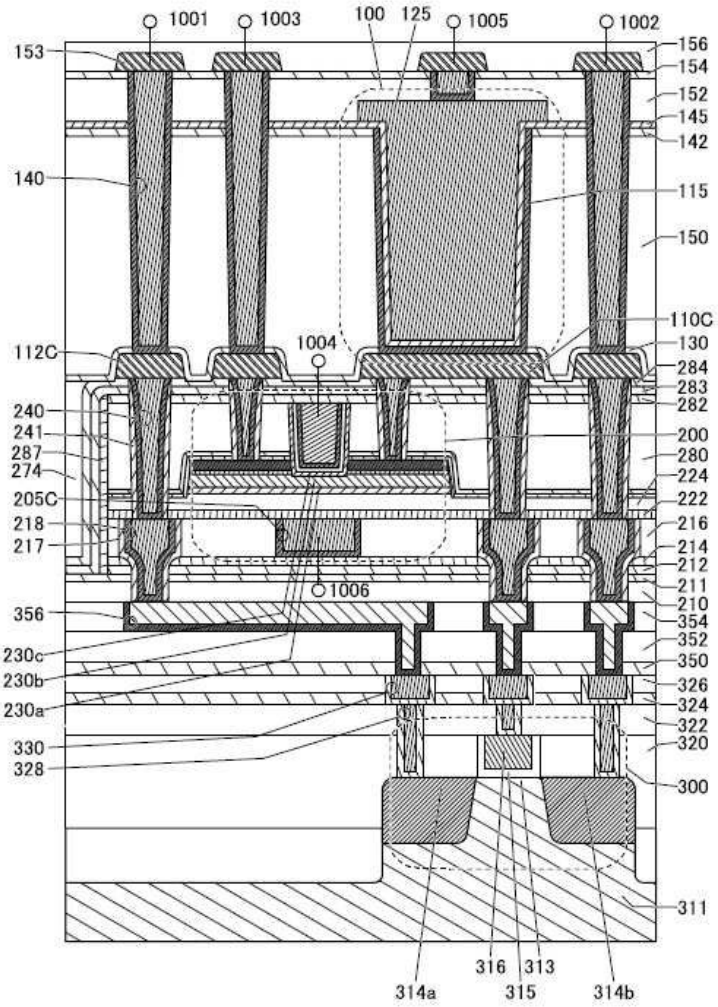
도면10


3401
3411
[1,1]
[1,n]
3322
[i,j]
[m,1]
[m,n]
3330

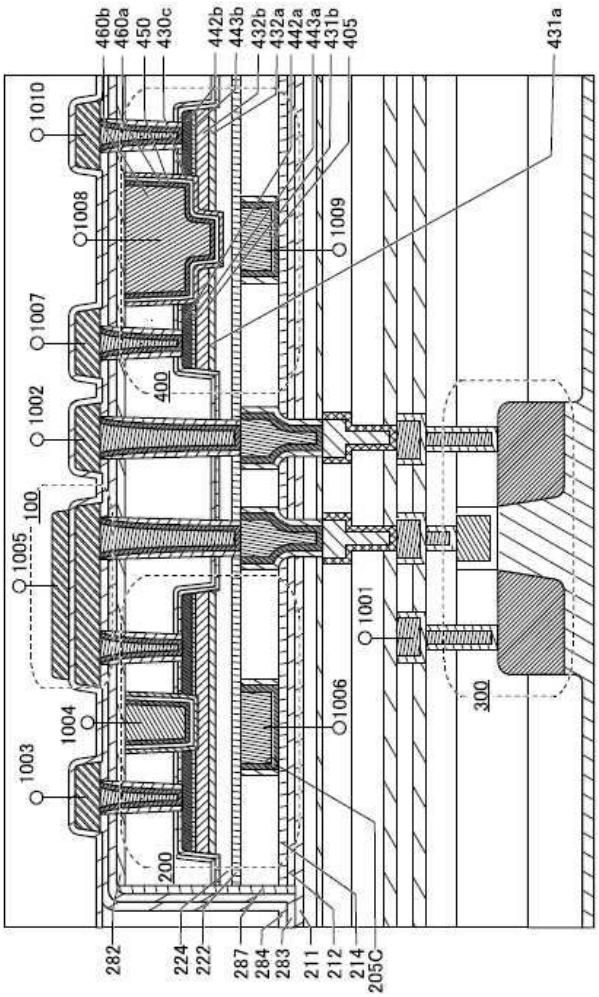
도면11


(A)
3411A
BIL
WL
M11
BGL
Cs
GNDL
(B)
3411B
RBL WBL
SL
RL
WL
Cs
M11
BGL
M3
(C)
3411C
BIL
SL
RL
WL
Cs
M11
BGL
M3
(D)
3411D
BIL
RL
WL
M11
BGL
Cs
M6
M5
GNDL

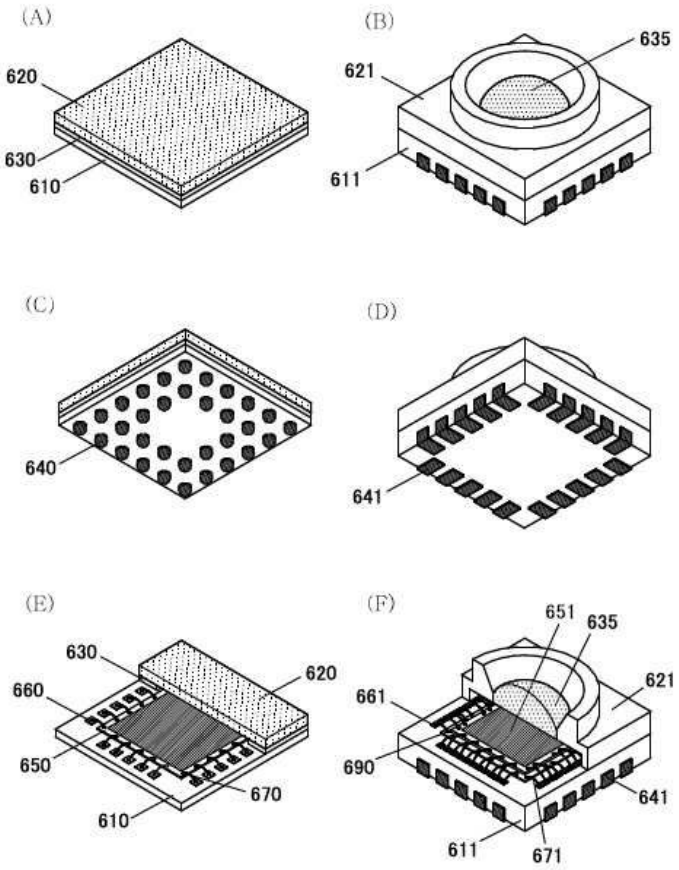
도면12


1001
1003
100
125
1005
1002
153
156
154
152
145
142
140
115
150
110C
112C
1004
130
284
283
282
240
241
287
274
205C
218
217
200
280
224
222
216
214
212
211
210
1006
356
354
352
350
230c
230b
230a
326
324
322
320
330
328
300
311
316
313
315
314a
314b

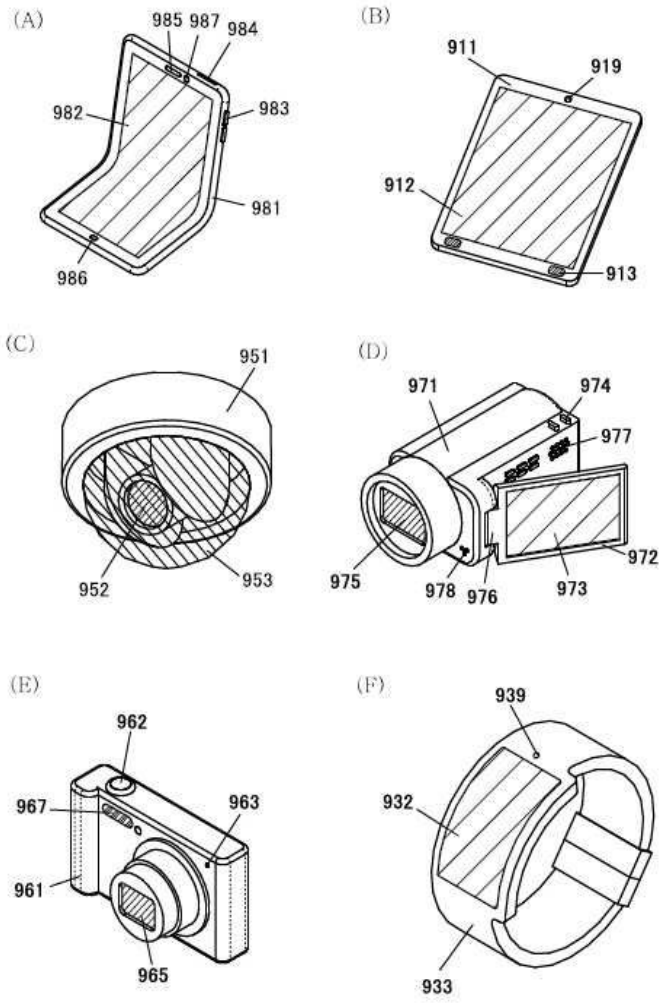
도면13


460b
460a
450
430c
442b
443b
432b
432a
442a
443a
431b
405
431a
1010
1008
1009
1007
400
1002
100
1005
1001
1006
1004
300
1003
200
282
224
222
287
284
283
211
212
214
205C

도면14


(A)
620
630
610
(B)
635
621
611
(C)
640
(D)
641
(E)
630
620
660
650
670
610
(F)
651
635
621
661
690
641
611
671

도면15


(A)
985
987
984
982
983
981
986
(B)
911
919
912
913
(C)
951
952
953
(D)
971
974
977
975
978
976
973
972
(E)
962
967
963
961
965
(F)
939
932
933