

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-211186

(P2011-211186A)

(43) 公開日 平成23年10月20日(2011.10.20)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 1 0
	HO 1 L 29/78 6 1 2 C	
	HO 1 L 29/78 6 1 6 T	

審査請求 未請求 請求項の数 5 O L (全 39 頁)

(21) 出願番号 特願2011-50049 (P2011-50049)
 (22) 出願日 平成23年3月8日(2011.3.8)
 (31) 優先権主張番号 特願2010-51021 (P2010-51021)
 (32) 優先日 平成22年3月8日(2010.3.8)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

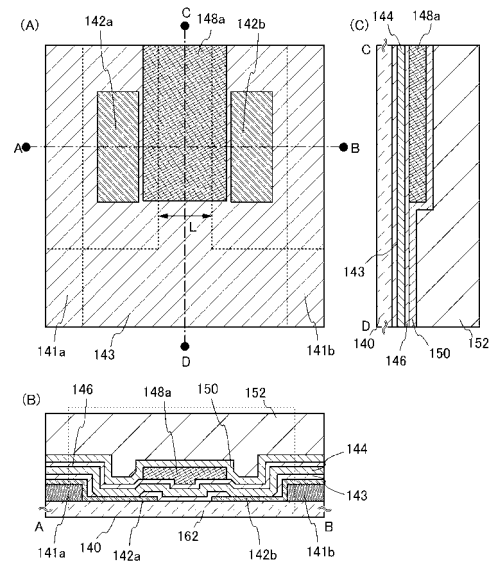
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 不良を抑制しつつ微細化を達成した半導体装置の提供を目的の一とする。または、良好な特性を維持しつつ微細化を達成した半導体装置の提供を目的の一とする。

【解決手段】 第1の導電層と、第1の導電層より膜厚の小さい第2の導電層と、をそれぞれ含むソース配線及びドレイン配線と、開口部を有し、ソース配線及びドレイン配線上に設けられた絶縁層と、絶縁層上に設けられ、開口部においてソース配線またはドレイン配線の第2の導電層の一部と接する酸化半導体層と、酸化半導体層上に設けられたゲート絶縁層と、ゲート絶縁層上に設けられたゲート電極と、を有する半導体装置を提供する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の導電層と、前記第 1 の導電層より膜厚の小さい第 2 の導電層と、をそれぞれ含むソース配線及びドレイン配線と、

開口部を有し、前記ソース配線及び前記ドレイン配線上に設けられた絶縁層と、

前記絶縁層上に設けられ、前記開口部において前記ソース配線または前記ドレイン配線の一部と接する酸化物半導体層と、

前記酸化物半導体層上に設けられたゲート絶縁層と、

前記ゲート絶縁層上に設けられたゲート電極と、を有し、

前記ソース配線または前記ドレイン配線は、前記第 2 の導電層の単層でなる領域を有し

10

、前記酸化物半導体層は、前記第 2 の導電層の単層でなる領域において、前記ソース配線または前記ドレイン配線と接する半導体装置。

【請求項 2】

互いに離間して設けられたソース配線及びドレイン配線と、

前記ソース配線と前記ドレイン配線との間隙を埋め込むように、前記ソース配線及び前記ドレイン配線上に設けられた絶縁層と、

前記絶縁層上に設けられた酸化物半導体層と、

前記酸化物半導体層上に設けられたゲート絶縁層と、

前記ゲート絶縁層上に設けられたゲート電極と、を有し、

20

前記ソース配線及び前記ドレイン配線は、第 1 の導電層と、前記第 1 の導電層より膜厚の小さい第 2 の導電層と、をそれぞれ含み、且つ、前記第 2 の導電層の単層でなる領域をそれぞれ有し、

前記絶縁層は、前記ソース配線及び前記ドレイン配線の前記第 2 の導電層の単層でなる領域と重畳する領域に、それぞれ開口部を有し、

前記酸化物半導体層は、前記絶縁層に設けられた前記開口部において、前記ソース配線または前記ドレイン配線の前記第 2 の導電層の一部と接する半導体装置。

【請求項 3】

前記第 2 の導電層のチャンネル長方向の長さは、前記第 1 の導電層のチャンネル長方向の長さよりも大きい請求項 1 または 2 に記載の半導体装置。

30

【請求項 4】

前記第 2 の導電層の材料として、前記酸化物半導体層よりも仕事関数の高い金属材料を用いる請求項 1 乃至 3 に記載の半導体装置。

【請求項 5】

前記ソース配線及び前記ドレイン配線において、外部回路と接続するために引き回される領域に、前記第 1 の導電層の単層でなる領域、または第 1 の導電層と第 2 の導電層の積層よりなる領域を用いる請求項 1 乃至 4 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

40

発明の技術分野は、半導体装置に関する。ここで、半導体装置とは、半導体特性を利用することで機能する素子および装置全般を指すものである。

【背景技術】

【0002】

金属酸化物は多様に存在し、さまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶表示装置などに必要とされる透明電極の材料として用いられている。

【0003】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このよう

50

な金属酸化物をチャンネル形成領域に用いた薄膜トランジスタが既に知られている（例えば、特許文献1乃至特許文献4、非特許文献1等参照）。

【0004】

ところで、金属酸化物には、一元系酸化物のみでなく多元系酸化物も知られている。例えば、ホモロガス相を有する $\text{InGaO}_3(\text{ZnO})_m$ (m : 自然数) は、In、Ga および Zn を有する多元系酸化物半導体として知られている（例えば、非特許文献2乃至非特許文献4等参照）。

【0005】

そして、上記のような In - Ga - Zn 系酸化物で構成される酸化物半導体も、薄膜トランジスタのチャンネル形成領域に適用可能であることが確認されている（例えば、特許文献5、非特許文献5および非特許文献6等参照）。

10

【0006】

また、トランジスタの動作の高速化などを達成するためには、トランジスタの微細化が求められている。例えば、特許文献6では、チャンネル層の厚さを10nm程度以下とした酸化物半導体を用いた薄膜トランジスタが開示され、非特許文献7では、チャンネル長を $2\mu\text{m} \sim 100\mu\text{m}$ とした酸化物半導体を用いた薄膜トランジスタが開示されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開昭60-198861号公報

20

【特許文献2】特開平8-264794号公報

【特許文献3】特表平11-505377号公報

【特許文献4】特開2000-150900号公報

【特許文献5】特開2004-103957号公報

【特許文献6】特開2010-21170号公報

【非特許文献】

【0008】

【非特許文献1】M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillesen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, 「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett., 17 June 1996, Vol. 68 p. 3650 - 3652

30

【非特許文献2】M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350 °C」、J. Solid State Chem., 1991, Vol. 93, p. 298 - 315

【非特許文献3】N. Kimizuka, M. Isobe, and M. Nakamura, 「Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4, \text{ and } 5$), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9, \text{ and } 16$) in the In_2O_3 - ZnGa_2O_4 - ZnO System」、J. Solid State Chem., 1995, Vol. 116, p. 170 - 178

40

【非特許文献4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、 $\text{InFeO}_3(\text{ZnO})_m$ (m : 自然数) とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol. 28, No. 5, p. 317 - 327

【非特許文献5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, 「Thin-film transistor fabricated in single-crys

50

talline transparent oxide semiconductor」、SCIENCE、2003、Vol. 300、p. 1269 - 1272

【非特許文献6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono、「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE、2004、Vol. 432 p. 488 - 492

【非特許文献7】T. Kawamura, H. Uchiyama, S. Saito, H. Wakana, T. Mine, and M. Hatano、「Low-Voltage Operating Amorphous Oxide TFTs」、IDW'09、p. 1689 - 1692

【発明の概要】

【発明が解決しようとする課題】

【0009】

トランジスタを微細化する場合には、製造工程において発生する不良が大きな問題となる。例えば、ソース配線またはドレイン配線、あるいは、ゲート配線等の配線上に、トランジスタの半導体層を成膜する場合、該配線は半導体層と比較して大きな膜厚を有するため、微細化に伴う半導体層の膜厚の縮小によって半導体層の被覆性が低下し、断線や接続不良などが生じうる。

【0010】

また、トランジスタを微細化する場合には、短チャネル効果の問題も生じる。短チャネル効果とは、トランジスタの微細化（チャネル長（L）の縮小）に伴って顕在化する電気特性の劣化である。短チャネル効果は、ドレインの電界の影響がソースにまでおよぶことに起因するものである。短チャネル効果の具体例としては、しきい値電圧の低下、S値の増大、漏れ電流の増大などがある。特に、酸化物半導体を用いたトランジスタは、シリコンを用いたトランジスタのようにドーピングによるしきい値制御を適用することができないため、短チャネル効果が現れやすい傾向にある。

【0011】

そこで、開示する発明の一態様は、不良を抑制しつつ微細化を達成した半導体装置の提供を目的の一とする。または、良好な特性を維持しつつ微細化を達成した半導体装置の提供を目的の一とする。

【課題を解決するための手段】

【0012】

開示する発明の一態様の半導体装置は、第1の導電層と、第1の導電層よりも膜厚の小さい第2の導電層とを、それぞれ含むソース配線及びドレイン配線を有する。ソース配線及びドレイン配線において、酸化物半導体層と接する領域を、高抵抗領域である膜厚の小さい第2の導電層の単層とすることで、ソースとドレイン間の電界を緩和すると共に、酸化物半導体層の被覆性を向上させる。一方、外部回路と接続するために引き回される配線（以下、引き回し配線）には、膜厚の大きい第1の導電層、または第1の導電層と第2の導電層の積層を用いることで、引き回し配線の配線抵抗を縮小させる。

【0013】

より具体的には、以下の構成を用いることができる。

【0014】

本発明の一態様は、第1の導電層と、第1の導電層より膜厚の小さい第2の導電層と、をそれぞれ含むソース配線及びドレイン配線と、開口部を有し、ソース配線及びドレイン配線上に設けられた絶縁層と、絶縁層上に設けられ、開口部においてソース配線またはドレイン配線の一部と接する酸化物半導体層と、酸化物半導体層上に設けられたゲート絶縁層と、ゲート絶縁層上に設けられたゲート電極と、を有し、ソース配線またはドレイン配線は、第2の導電層の単層でなる領域を有し、酸化物半導体層は、第2の導電層の単層でな

10

20

30

40

50

る領域において、ソース配線またはドレイン配線と接する半導体装置である。

【0015】

また、本発明の別の態様は、互いに離間して設けられたソース配線及びドレイン配線と、ソース配線とドレイン配線との間隙を埋め込むように、ソース配線及びドレイン配線上に設けられた絶縁層と、絶縁層上に設けられた酸化物半導体層と、酸化物半導体層上に設けられたゲート絶縁層と、ゲート絶縁層上に設けられたゲート電極と、を有し、ソース配線及びドレイン配線は、第1の導電層と、第1の導電層より膜厚の小さい第2の導電層と、をそれぞれ含み、且つ、第2の導電層の単層でなる領域をそれぞれ有し、絶縁層は、ソース配線及びドレイン配線の第2の導電層の単層でなる領域と重畳する領域に、それぞれ開口部を有し、酸化物半導体層は、絶縁層に設けられた開口部において、ソース配線またはドレイン配線の第2の導電層の一部と接する半導体装置である。

10

【0016】

また、上記の半導体装置において、第2の導電層のチャンネル長方向の長さは、第1の導電層のチャンネル長方向の長さよりも大きいのが好ましい。

【0017】

また、上記の半導体装置において、第2の導電層の材料として、酸化物半導体層よりも仕事関数の高い金属材料を用いるのが好ましい。

【0018】

また、上記の半導体装置において、ソース配線及びドレイン配線において、外部回路と接続するために引き回される領域に、第1の導電層の単層でなる領域、または第1の導電層と第2の導電層の積層よりなる領域を用いるのが好ましい。

20

【0019】

なお、上記トランジスタのチャンネル長 L は、 $2\mu\text{m}$ 未満とすることが好ましく、 10nm 以上 350nm ($0.35\mu\text{m}$) 以下とすると、より好ましい。また、酸化物半導体層の膜厚は、 1nm 以上 50nm 以下、好ましくは 2nm 以上 20nm 以下、より好ましくは 3nm 以上 15nm 以下とする。これにより、高速かつ低消費電力な半導体装置が実現される。また、ゲート絶縁層として、酸化ハフニウムなどの高誘電率材料を用いる。例えば、酸化ハフニウムは比誘電率が1.5程度であり、酸化シリコンの3~4と比較して非常に大きな値を有している。このような材料を用いることにより、酸化シリコン換算膜厚で 15nm 未満、好ましくは 2nm 以上 10nm 以下のゲート絶縁層を実現することも容易になる。すなわち、半導体装置の微細化が容易になる。また、酸化物半導体層としては、高純度化され、真性化された酸化物半導体を用いる。これにより、酸化物半導体層の水素等のドナーに起因するキャリア密度を、例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満とし、トランジスタのオフ電流を、 $100\text{zA} / \mu\text{m}$ (1zA (zeptoアンペア) は $1 \times 10^{-21}\text{A}$) 以下、望ましくは $10\text{zA} / \mu\text{m}$ 以下とし、また、トランジスタの S 値を $65\text{mV} / \text{dec}$ 以下、好ましくは $63\text{mV} / \text{dec}$ 未満とすることができる。なお、上述の構成を採用する場合、トランジスタのオフ電流を、理論的には $1 \times 10^{-24}\text{A} / \mu\text{m} \sim 1 \times 10^{-30}\text{A} / \mu\text{m}$ とすることが可能である。また、ゲート電極は、ソース配線およびドレイン配線と重畳する構造としても良いし、ゲート電極の端のみが、ソース配線の端、およびドレイン配線の端と重畳するような構造としても良い。

30

40

【0020】

ここで半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。例えば、表示装置や記憶装置、集積回路などは半導体装置に含まれうる。

【0021】

また、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

【0022】

50

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0023】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0024】

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【発明の効果】

【0025】

開示する発明の一態様によって、微細化に伴う問題点を解消することができるため、結果として、トランジスタサイズを十分に小さくすることが可能になる。トランジスタサイズを十分に小さくすることで、半導体装置の占める面積が小さくなり、一基板あたりの半導体装置の取り数が増大する。これにより、半導体装置の製造コストは抑制される。また、半導体装置が小型化されるため、同程度の大きさでさらに機能が高められた半導体装置を実現することができる。また、チャンネル長の縮小による、動作の高速化、低消費電力化などの効果を得ることもできる。つまり、開示する発明の一態様により酸化物半導体を用いたトランジスタの微細化が達成されることで、これに付随する様々な効果を得ることが可能である。

【0026】

このように、開示する発明の一態様によって、不良を抑制しつつ、または、良好な特性を維持しつつ、微細化を達成した半導体装置を提供することができる。

【図面の簡単な説明】

【0027】

【図1】半導体装置の上面図及び断面図。

【図2】半導体装置の上面図及び断面図。

【図3】半導体装置の作製工程を示す断面図。

【図4】半導体装置の上面図、断面図及び回路図。

【図5】半導体装置の作製工程を示す断面図。

【図6】半導体装置の作製工程を示す断面図。

【図7】開示する発明の一態様に係る半導体装置の回路図。

【図8】開示する発明の一態様に係る半導体装置の回路図。

【図9】開示する発明の一態様に係る半導体装置の回路図。

【図10】開示する発明の一態様に係るCPUを示すブロック図。

【図11】開示する発明の一態様に係る半導体装置の回路図および断面図。

【図12】電子機器の例を示す図。

【発明を実施するための形態】

【0028】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

10

20

30

40

50

【 0 0 2 9 】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【 0 0 3 0 】

なお、本明細書等における「第 1」、「第 2」、「第 3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【 0 0 3 1 】

(実施の形態 1)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成およびその作製方法について、図 1 乃至図 3 を参照して説明する。

10

【 0 0 3 2 】

半導体装置の構成例

図 1 及び図 2 には、半導体装置の構成例を示す。図 1 は、第 1 の構成例であり、図 2 は、第 2 の構成例である。

【 0 0 3 3 】

図 1 (A) は、トランジスタ 162 の上面図であり、図 1 (B) は、図 1 (A) の線 A - B における断面図である。また、図 1 (C) は、図 1 (A) の線 C - D における断面図である。

20

【 0 0 3 4 】

図 1 におけるトランジスタ 162 は、被形成表面を有する基体 140 上に、第 1 の導電層 141 a 及び第 2 の導電層 142 a を含むソース配線と、第 1 の導電層 141 b 及び第 2 の導電層 142 b を含むドレイン配線と、ソース配線及びドレイン配線上に設けられ、開口部を有する絶縁層 143 と、絶縁層 143 上に設けられ、開口部において第 2 の導電層 142 a 及び第 2 の導電層 142 b の一部と接する酸化物半導体層 144 と、酸化物半導体層 144 を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上のゲート電極 148 a と、を有する。

【 0 0 3 5 】

図 1 に示すように、トランジスタの活性層に酸化物半導体を用いることで、良好な特性を得ることができる。例えば、トランジスタの S 値を $65 \text{ mV} / \text{dec}$ 以下、好ましくは $63 \text{ mV} / \text{dec}$ 未満とすることも可能である。

30

【 0 0 3 6 】

また、図 1 では、ゲート絶縁層 146、ゲート電極 148 a などを覆うように、絶縁層 150 および絶縁層 152 を設けている。但し、絶縁層 150 及び絶縁層 152 は、必ずしも設けなくとも良い。

【 0 0 3 7 】

図 1 に示すトランジスタ 162 において、ソース配線を構成する第 2 の導電層 142 a の膜厚は、第 1 の導電層 141 a の膜厚よりも小さく、同様に、ドレイン配線を構成する第 2 の導電層 142 b の膜厚は、第 1 の導電層 141 b の膜厚よりも小さい。つまり、第 2 の導電層 142 a 及び 142 b においては、電荷の流れに垂直な断面の面積が小さくなっている。抵抗は断面積に反比例するから、ソース配線において、膜厚の小さい第 2 の導電層 142 a の単層よりなる領域は、第 1 の導電層 141 a の単層でなる領域、または、第 1 の導電層 141 a と第 2 の導電層 142 a の積層よりなる領域と比較して高抵抗な領域（以下、高抵抗領域とも表記する）であり、ドレイン配線において、膜厚の小さい第 2 の導電層 142 b の単層よりなる領域は、第 1 の導電層 141 b の単層でなる領域、または、第 1 の導電層 141 b と第 2 の導電層 142 b の積層よりなる領域と比較して高抵抗な領域である。また、酸化物半導体層 144 のチャンネル形成領域側において、ソース配線を構成する第 2 の導電層 142 a のチャンネル長方向の長さは、第 1 の導電層 141 a のチャンネル長方向の長さよりも大きく、第 2 の導電層 142 a は第 1 の導電層 141 a の端部よりチャンネル長方向に伸長した高抵抗領域（第 2 の導電層 142 a の単層でなる領域）を有

40

50

する。同様に、酸化物半導体層 144 のチャネル形成領域側において、ドレイン配線を構成する第 2 の導電層 142 b のチャネル長方向の長さは、第 1 の導電層 141 b のチャネル長方向の長さよりも大きく、第 2 の導電層 142 b は第 1 の導電層 141 b の端部よりチャネル長方向に伸長した高抵抗領域（第 2 の導電層 142 b の単層でなる領域）を有する。

【0038】

図 1 に示すトランジスタ 162 は、ソース配線またはドレイン配線の高抵抗領域において、酸化物半導体層 144 と接することで、ソースとドレイン間の電界を緩和することができる。また、トランジスタサイズの縮小に伴う短チャネル効果を抑制することができる。また、第 2 の導電層 142 a または 142 b の膜厚が小さいため、酸化物半導体層 144 上に設けられるゲート絶縁層 146 の被覆性を良好とすることができる。また、ソース配線またはドレイン配線の上面の一部と、酸化物半導体層 144 とが接することで、該酸化物半導体層 144 の被覆性を良好とすることができる。一方、図 1 において、トランジスタ 162 に電圧または電流を供給するソース配線またはドレイン配線の引き回し配線として機能する領域には、膜厚の大きい第 1 の導電層 141 a または 141 b を用いている。これによって、引き回し配線の配線抵抗を縮小させることができる。

10

【0039】

ここで、酸化物半導体層 144 は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層 144 の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層 144 中の水素濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層 144 では、水素等のドナーに起因するキャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。また、例えば、室温（25℃）でのオフ電流（ここでは、単位チャネル幅（1 μm）あたりの値）は 100 zA（1 zA（zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、望ましくは 10 zA 以下となる。このように、i 型化（真性化）または実質的に i 型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 162 を得ることができる。

20

30

【0040】

なお、非特許文献 7 などに開示されているように、キャリア密度が $2 \times 10^{19} / \text{cm}^3$ と大きい n 型の酸化物半導体を用いる場合には、チャネル長が 2 μm ~ 100 μm といった比較的大きいサイズのトランジスタは実現されうるが、このような材料を、微細化（チャネル長が 2 μm 未満）されたトランジスタに用いると、そのしきい値電圧は大幅にマイナスシフトして、ノーマリーオフ型のトランジスタを実現することが極めて困難になる。つまり、このような材料を用いて作製されたチャネル長が 2 μm 未満のトランジスタは、現実的には使い物にならない。一方で、高純度化され、真性または実質的に真性化された酸化物半導体のキャリア密度は、少なくとも $1 \times 10^{14} / \text{cm}^3$ 未満であり、上述のようにノーマリーオン化の問題が発生しないため、チャネル長が 2 μm 未満のトランジスタを容易に実現することが可能である。

40

【0041】

なお、トランジスタ 162 において、第 1 の導電層 141 a、141 b、または、第 2 の導電層 142 a、142 b をテーパ形状としても良い。テーパ角は、例えば、30° 以上 60° 以下とすることができる。なお、テーパ角とは、テーパ形状を有する層（例えば、第 2 の導電層 142 a）を、その断面（基体 140 の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。

【0042】

50

図 2 におけるトランジスタ 2 6 2 は、トランジスタ 1 6 2 に類似した構造を有する。図 2 (A) は、トランジスタ 2 6 2 の上面図であり、図 2 (B) は、図 2 (A) の線 E - F における断面図である。また、図 2 (C) は、図 2 (A) の線 G - H における断面図である。また、図 2 (D) は、図 2 (A) の線 I - J における断面図である。また、図 2 (E) は、図 2 (A) の線 K - L における断面図である。

【 0 0 4 3 】

図 2 におけるトランジスタ 2 6 2 は、被形成表面を有する基体 1 4 0 上に、第 1 の導電層 2 4 1 a 及び第 2 の導電層 2 4 2 a を含むソース配線と、第 1 の導電層 2 4 1 b 及び第 2 の導電層 2 4 2 b を含むドレイン配線と、ソース配線及びドレイン配線上に設けられ、開口部を有する絶縁層 1 4 3 と、絶縁層 1 4 3 上に設けられ、開口部において第 2 の導電層 2 4 2 a 及び第 2 の導電層 2 4 2 b の一部と接する酸化物半導体層 1 4 4 と、酸化物半導体層 1 4 4 を覆うゲート絶縁層 1 4 6 と、ゲート絶縁層 1 4 6 上のゲート電極 1 4 8 a と、を有する。

10

【 0 0 4 4 】

また、ゲート絶縁層 1 4 6 、ゲート電極 1 4 8 a などを覆うように、絶縁層 1 5 0 および絶縁層 1 5 2 を設けている。但し、絶縁層 1 5 0 及び絶縁層 1 5 2 は、必ずしも設けなくとも良い。

【 0 0 4 5 】

また、図 1 に示すトランジスタ 1 6 2 と同様に、図 2 に示すトランジスタ 2 6 2 において、ソース配線を構成する第 2 の導電層 2 4 2 a の膜厚は、第 1 の導電層 2 4 1 a の膜厚よりも小さく、ドレイン配線を構成する第 2 の導電層 2 4 2 b の膜厚は、第 1 の導電層 2 4 1 b の膜厚よりも小さい。

20

【 0 0 4 6 】

図 2 におけるトランジスタ 2 6 2 と、図 1 におけるトランジスタ 1 6 2 の相違点は、ソース配線及びドレイン配線の配置である。トランジスタ 1 6 2 では、ソース配線及びドレイン配線において、酸化物半導体層と接する領域を膜厚の小さい第 2 の導電層の単層とし、引き回し配線には膜厚の大きい第 1 の導電層を用いる。一方、トランジスタ 2 6 2 では、ソース配線及びドレイン配線において、酸化物半導体層と接する領域を膜厚の小さい第 2 の導電層の単層とし、引き回し配線には、該第 2 の導電層と膜厚の大きい第 1 の導電層の積層を用いる。なお、第 1 の導電層と第 2 の導電層の積層順は逆であっても良い。

30

【 0 0 4 7 】

図 2 の構成に起因する効果は、図 1 の場合と同様である。すなわち、ソース配線において、膜厚の小さい第 2 の導電層 2 4 2 a の単層よりなる領域は、第 1 の導電層 2 4 1 a と第 2 の導電層 2 4 2 a の積層よりなる領域と比較して高抵抗な領域であり、ドレイン配線において、膜厚の小さい第 2 の導電層 2 4 2 b の単層よりなる領域は、第 1 の導電層 2 4 1 b と第 2 の導電層 2 4 2 b の積層よりなる領域と比較して高抵抗な領域である。また、トランジスタ 2 6 2 において、ソース配線を構成する第 2 の導電層 2 4 2 a は第 1 の導電層 2 4 1 a の端部よりチャンネル幅方向に伸長し、高抵抗領域 (第 2 の導電層 2 4 2 a の単層でなる領域) を有する。同様に、ドレイン配線を構成する第 2 の導電層 2 4 2 b は第 1 の導電層 2 4 1 b の端部よりチャンネル幅方向に伸長し、高抵抗領域 (第 2 の導電層 2 4 1 b の単層でなる領域) を有する。

40

【 0 0 4 8 】

トランジスタ 2 6 2 のソース配線またはドレイン配線は、この高抵抗領域において酸化物半導体層 1 4 4 と接することで、ソースとドレイン間の電界を緩和することができ、トランジスタサイズの縮小に伴う短チャンネル効果を抑制することができる。また、第 2 の導電層 2 4 2 a または 2 4 2 b の膜厚が小さいため、酸化物半導体層 1 4 4 上に設けられるゲート絶縁層 1 4 6 の被覆性を良好とすることができる。また、ソース配線またはドレイン配線の上面の一部と、酸化物半導体層 1 4 4 とが接することで、該酸化物半導体層 1 4 4 の被覆性を良好とすることができる。さらに、ソース配線 (またはドレイン配線) において、ゲート電極 1 4 8 a (ゲート配線) と平行に走査する領域を第 2 の導電層 2 4 2 a (

50

または242b)の単層とすることで、レイアウトの縮小を図ることができる。一方、図2において、トランジスタ262に電圧または電流を供給するソース配線またはドレイン配線の引き回し配線として機能する領域には、膜厚の大きい第1の導電層241aと第2の導電層242aの積層または第1の導電層241bと第2の導電層242bの積層を用いている。これによって、引き回し配線の配線抵抗を縮小させることができる。

【0049】

なお、第2の導電層242aのチャンネル長方向の長さは、第1の導電層241aのチャンネル長方向の長さよりも大きいのが好ましく、第2の導電層242bのチャンネル長方向の長さは、第1の導電層241bのチャンネル長方向の長さよりも大きいのが好ましい。

【0050】

半導体装置の作製方法の例

次に、図1に示すトランジスタ162の作製方法の例について、図3を参照して説明する。なお、図2に示すトランジスタ262は、ソース配線及びドレイン配線の配置以外は、図1のトランジスタ162と同様に作製することができ、図3を参照することができるため、詳細な記載は省略する。

【0051】

まず、被形成表面を有する基体140上に、第1の導電層を形成し、該第1の導電層を選択的にエッチングして第1の導電層141a、141bを形成する。その後、第1の導電層141a、141b上に第2の導電層を形成し、該第2の導電層を選択的にエッチングして第2の導電層142a、142bを形成する。これによって、第1の導電層141a及び第2の導電層142aの積層されたソース配線と、第1の導電層141b及び第2の導電層142bの積層されたドレイン配線と、を形成する(図3(A)参照)。

【0052】

なお、基体140に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などの基板を用いることができる。また、絶縁表面を有していれば、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することも可能であり、これらの基板上に半導体素子が設けられていてもよい。また、基体140上に下地膜が設けられていても良い。

【0053】

なお、基体140の被形成表面は、十分に平坦な表面であることが望ましい。例えば、その二乗平均平方根粗さ(RMS)が1nm以下(好ましくは、0.5nm以下)である被形成表面を適用する。このような表面にトランジスタ162を形成することで、その特性を十分に向上させることができる。なお、基体140の被形成表面が平坦性に乏しい場合には、当該表面にCMP(化学的機械研磨)処理やエッチング処理などを適用して、上述のような平坦性を確保することが望ましい。

【0054】

第1の導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。第1の導電層の膜厚は、例えば、50nm以上500nm以下とする。また、第1の導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素やこれらの窒化物、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウムのうちいずれか、またはこれらを複数組み合わせた材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、またはこれらを複数組み合わせた材料を用いてもよい。なお、第1の導電層は、第2の導電層よりも導電率の高い材料を用いるのがより好ましく、例えばチタンまたは窒化チタン等を好適に用いることができる。引き回し配線に導電率の高い材料を用いることで、トランジスタを高速に動作させることが可能となる。

【0055】

10

20

30

40

50

第1の導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、第1の導電層を単層構造とする場合には、テーパ形状を有するソース配線またはドレイン配線への加工が容易であるというメリットがある。

【0056】

また、第1の導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3 - \text{ZnO}$)、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

10

【0057】

第2の導電層の膜厚は、好ましくは10nm以上15nm以下とする。第2の導電層は、第1の導電層と同様の材料、同様の成膜方法で形成することができる。なお、第2の導電層は単層構造であっても良いし、2層以上の積層構造としてもよい。第2の導電層を積層構造とする場合には、積層された合計の膜厚を10nm以上15nm以下とするのが好ましい。

【0058】

なお、第1の導電層(または第2の導電層)を積層構造とする場合、積層された各層を総合して第1の導電層(または第2の導電層)と表記することとする。例えば、「第1の導電層の単層でなる領域」との記載には、第1の導電層を構成する積層構造よりなる領域を示す場合があることを付記する。

20

【0059】

第2の導電層の材料として、後に形成する酸化物半導体層よりも仕事関数の高い金属材料を用いると、酸化物半導体層との接触界面での抵抗を高めることができるため好ましい。このような金属材料としては、例えば、金、白金、窒化タンゲステン、酸化インジウム酸化スズ合金等が挙げられる。また、第2の導電層の材料として第1の導電層よりも高抵抗な材料を用いると、作製されるトランジスタ162のソース配線及びドレイン配線において、酸化物半導体層と接する領域が、その他の領域よりもさらに高抵抗となるため、ソースとドレインの間の電界を緩和して短チャネル効果を抑制することができ、好ましい。また、第2の導電層はソース配線またはドレイン配線の一部となり酸化物半導体層と接するから、第2の導電層には、酸化物半導体層との接触により化学反応しない材料を用いるのが望ましい。

30

【0060】

なお、第1または第2の導電層のエッチングは、ドライエッチング、ウェットエッチングのいずれを用いても良いが、微細化のためには、制御性の良いドライエッチングを用いるのが好適である。また、形成されるソース配線、およびドレイン配線がテーパ形状となるようにしても良い。テーパ角は、例えば、30°以上60°以下とすることができる。

【0061】

トランジスタ162のチャンネル長(L)は、第2の導電層142a、および第2の導電層142bの上端部の間隔によって決定される。トランジスタのチャンネル長(L)を微細化することで、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。なお、チャンネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm~数10nmと波長の短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長(L)を、2μm未満、好ましくは10nm以上350nm(0.35μm)以下とすることも可能である。

40

【0062】

50

次に、ソース配線及びドレイン配線を覆うように絶縁層143aを形成する(図3(B)参照)。

【0063】

絶縁層143aは、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。絶縁層143aには、後に酸化物半導体層144が接することになるから、特に、酸化シリコンを用いたものにするのが好適である。絶縁層143aの形成方法に特に限定はないが、酸化物半導体層144と接することを考慮すれば、水素が十分に低減された方法によって形成するのが望ましい。このような方法としては、例えば、スパッタ法がある。もちろん、プラズマCVD法をはじめとする他の成膜法を用いても良い。また、絶縁層143aの膜厚は、15nm乃至20nmとするのが好ましい。

10

【0064】

次に、第2の導電層142a及び第2の導電層142bと重畳する領域の絶縁層143aを選択的に除去して、第2の導電層142a及び第2の導電層142bにまで達する開口が形成された絶縁層143を形成する(図3(C)参照)。絶縁層143aの選択的除去は、エッチングなどの方法によって行うことができる。

【0065】

絶縁層143aのエッチングは、ドライエッチング、ウェットエッチングのいずれを用いても良い。また、絶縁層143aのエッチングは、形成される開口が斜面を有する形状となるように行うのが望ましい。当該斜面は、例えば、当該斜面をその断面(基体140の表面と直交する面)に垂直な方向から観察した際に、基体140の表面と当該斜面とのなす角が30°以上60°以下となる形状とすると良い。このような条件で絶縁層143aのエッチングを行うことにより、後に絶縁層143を覆うように形成される酸化物半導体層の被覆性を向上し、酸化物半導体層の断線などを防止することができる。

20

【0066】

絶縁層143に設けられた開口部においてソース配線またはドレイン配線の一部(より具体的には第2の導電層の上面の一部)と、後に形成される酸化物半導体層とを接触させることで、ソース配線またはドレイン配線と酸化物半導体層との接触面積を大幅に低減することができる。このため、接触界面におけるコンタクト抵抗を増大させることができる。また、開口部の面積が接触面積と概略等しくなるため、接触面積の制御が容易になる。つまり、ソース配線またはドレイン配線の抵抗の制御が容易になり、短チャネル効果の抑制を効果的に行うことができる。また、ソース配線及びドレイン配線において、酸化物半導体層と接する一部の領域以外を絶縁層143で覆うことで、回り込みなどによる電流のリークを抑制することができる。

30

【0067】

次に、開口部において第2の導電層142aおよび142bと接するように、スパッタ法を用いて絶縁層143上に酸化物半導体層144を形成した後、当該酸化物半導体層144を覆うようにゲート絶縁層146を形成する(図3(D)参照)。

【0068】

酸化物半導体層144は、四元系金属酸化物であるIn-Sn-Ga-Zn-O系や、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系や、In-O系、Sn-O系、Zn-O系などを用いて形成することができる。

40

【0069】

中でも、In-Ga-Zn-O系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

【0070】

50

In - Ga - Zn - O系の酸化物半導体材料の代表例としては、 $InGaO_3(ZnO)_m$ ($m > 0$) で表記されるものがある。また、Gaに代えてMの表記を用い、 $InMO_3(ZnO)_m$ ($m > 0$) のように表記される酸化物半導体材料がある。ここで、Mは、ガリウム(Ga)、アルミニウム(Al)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)などから選ばれた一の金属元素または複数の金属元素を示す。例えば、Mとしては、Ga、GaおよびAl、GaおよびFe、GaおよびNi、GaおよびMn、GaおよびCoなどを適用することができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

【0071】

また、酸化物半導体としてIn - Zn - O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $In : Zn = 50 : 1 \sim 1 : 2$ (モル数比に換算すると $In_2O_3 : ZnO = 25 : 1 \sim 1 : 4$)、好ましくは $In : Zn = 20 : 1 \sim 1 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$)、さらに好ましくは $In : Zn = 15 : 1 \sim 1.5 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 15 : 2 \sim 3 : 4$)とする。例えば、In - Zn - O系酸化物半導体の形成に用いるターゲットは、原子数比が $In : Zn : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

10

【0072】

酸化物半導体層144をスパッタ法で作製するためのターゲットとしては、 $In : Ga : Zn = 1 : x : y$ (x は0以上、 y は0.5以上5以下)の組成式で表されるものを用いるのが好適である。例えば、 $In : Ga : Zn = 1 : 1 : 1$ [atom比] ($x = 1$ 、 $y = 1$)、(すなわち、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol数比])の組成比を有するターゲットなどを用いることができる。また、 $In : Ga : Zn = 1 : 1 : 0.5$ [atom比] ($x = 1$ 、 $y = 0.5$)の組成比を有するターゲットや、 $In : Ga : Zn = 1 : 1 : 2$ [atom比] ($x = 1$ 、 $y = 2$)の組成比を有するターゲットや、 $In : Ga : Zn = 1 : 0 : 1$ [atom比] ($x = 0$ 、 $y = 1$)の組成比を有するターゲットを用いることもできる。

20

【0073】

本実施の形態では、非晶質構造の酸化物半導体層144を、In - Ga - Zn - O系の金属酸化物ターゲットを用いるスパッタ法により形成することとする。また、その膜厚は、1nm以上50nm以下、好ましくは2nm以上20nm以下、より好ましくは3nm以上15nm以下とする。本実施の形態のトランジスタ構造を適用することで、このような厚さの酸化物半導体層144を用いた場合でも、微細化に伴う短チャネル効果を抑制することが可能である。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択することもできる。なお、開示する発明の一態様では、ソース配線またはドレイン配線の上面の一部と、酸化物半導体層144とが接する。したがって、厚みの小さい酸化物半導体層であっても、被覆性よく形成することが可能である。

30

【0074】

金属酸化物ターゲット中の金属酸化物の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層を形成することが可能である。

40

【0075】

酸化物半導体層144の形成雰囲気は、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、または、希ガス(代表的にはアルゴン)と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度1ppm以下(望ましくは濃度10ppb以下)にまで除去された高純度ガス雰囲気を用いるのが好適である。

【0076】

酸化物半導体層144の形成の際には、例えば、減圧状態に保持された処理室内に被処理物を保持し、被処理物の温度が100以上550未満、好ましくは200以上40

50

0 以下となるように被処理物を熱する。または、酸化物半導体層144の形成の際の被処理物の温度は、室温(25 ± 10)としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層144を形成する。被処理物を熱しながら酸化物半導体層144を形成することにより、酸化物半導体層144に含まれる不純物を低減することができる。また、スパッタによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層中の不純物濃度を低減できる。

10

【0077】

酸化物半導体層144の形成条件としては、例えば、被処理物とターゲットの間との距離が170mm、圧力が0.4Pa、直流(DC)電力が0.5kW、雰囲気酸素(酸素100%)雰囲気、またはアルゴン(アルゴン100%)雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流(DC)電源を用いると、ごみ(成膜時に形成される粉状の物質など)を低減でき、膜厚分布も均一となるため好ましい。

【0078】

なお、酸化物半導体層144をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成表面(例えば絶縁層143の表面)の付着物を除去してもよい。ここで、逆スパッタとは、通常スパッタにおいては、スパッタターゲットにイオンを衝突させることを、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、被処理物付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を適用してもよい。

20

【0079】

酸化物半導体層144の形成後には、酸化物半導体層144に対して熱処理(第1の熱処理)を行うことが望ましい。この第1の熱処理によって酸化物半導体層144中の、過剰な水素(水や水酸基を含む)を除去し、酸化物半導体層144の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第1の熱処理の温度は、例えば、300以上550未満、または400以上500以下とする。

30

【0080】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体層は大気に触れさせず、水や水素の混入が生じないようにする。

【0081】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。

40

【0082】

例えば、第1の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分

50

間熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

【0083】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

10

【0084】

いずれにしても、第1の熱処理によって不純物を低減し、i型（真性半導体）またはi型に限りなく近い酸化物半導体層を形成することで、極めて優れた特性のトランジスタを実現することができる。

【0085】

ところで、上述の熱処理（第1の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該脱水化処理や、脱水素化処理は、酸化物半導体層144の形成後やゲート絶縁層146の形成後、ゲート電極の形成後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行って良い。

20

【0086】

酸化物半導体層144の形成後には、当該酸化物半導体層144を島状の酸化物半導体層に加工しても良い。島状の酸化物半導体層への加工は、例えば、エッチングによって行うことができる。エッチングは、上記熱処理の前、または上記熱処理の後のいずれにおいて行って良い。また、素子の微細化という観点からはドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【0087】

ゲート絶縁層146は、CVD法やスパッタ法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ $HfSi_xO_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $HfSi_xO_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムアルミネート（ $HfAl_xO_y$ （ $x > 0$ 、 $y > 0$ ））、などを含むように形成するのが好適である。ゲート絶縁層146は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

30

40

【0088】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層146に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ $HfSi_xO_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $HfSi_xO_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムアルミネート（ $HfAl_xO_y$ （ $x > 0$ 、 $y > 0$ ））、などの高誘電率（high-k）材料を用いると良い。high-k材料をゲート絶縁層146に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。例えば、酸化ハフニウムは比誘電率が1.5程度であり、酸化シリコンの3~4と比較して非常に大きな値を有している。このような材料を用い

50

ることにより、酸化シリコン換算膜厚で15nm未満、好ましくは2nm以上10nm以下のゲート絶縁層を実現することも容易になる。なおhigh-k材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

【0089】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、望ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填して、i型(真性半導体)またはi型に限りなく近い酸化物半導体層を形成することもできる。

10

【0090】

なお、本実施の形態では、ゲート絶縁層146の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行っても良いし、第1の熱処理に第2の熱処理を兼ねさせても良いし、第2の熱処理に第1の熱処理を兼ねさせても良い。

【0091】

上述のように、第1の熱処理と第2の熱処理の少なくとも一方を適用することで、酸化物半導体層144を、その主成分以外の不純物が極力含まれないように高純度化することができる。

20

【0092】

次に、ゲート絶縁層146上にゲート電極148aを形成する(図3(D)参照)。

【0093】

ゲート電極148aは、ゲート絶縁層146上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。ゲート電極148aとなる導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。詳細は、第1の導電層または第2の導電層などの場合と同様であり、これらの記載を参酌できる。

30

【0094】

なお、図3(D)において、第2の導電層142a及び第2の導電層142bの一部が、ゲート電極148aと重畳する構成を図示するが、開示する発明の態様はこれに限られない。例えば、第2の導電層142a及び/または第2の導電層142bの端部とゲート電極148aの端部を略一致(すなわち、チャンネル長(L)と、ゲート電極148aのチャンネル長方向の長さが略一致)した構成とすることも可能である。また、酸化物半導体層144、ゲート絶縁層146またはゲート電極148aの端部をエッチング等によって曲面を有する形状として、さらに被覆性の向上を図ることも可能である。

【0095】

次に、ゲート絶縁層146、ゲート電極148aなどを覆うように、絶縁層150および絶縁層152を形成する(図3(E)参照)。絶縁層150および絶縁層152は、PVD法やCVD法などを用いて形成することができる。また、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。

40

【0096】

なお、絶縁層150や絶縁層152には、誘電率の低い材料や、誘電率の低い構造(多孔性の構造など)を用いることが望ましい。絶縁層150や絶縁層152の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。

【0097】

50

なお、本実施の形態では、絶縁層 150 と絶縁層 152 の積層構造としているが、開示する発明の一態様はこれに限定されない。1層としても良いし、3層以上の積層構造としても良い。また、絶縁層を設けない構成とすることも可能である。

【0098】

なお、上記絶縁層 152 は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように絶縁層 152 を形成することで、半導体装置を微細化した場合などにおいても、絶縁層 152 上に、電極や配線などを好適に形成することができるためである。なお、絶縁層 152 の平坦化は、CMP（化学的機械的研磨）などの方法を用いて行うことができる。

【0099】

以上により、高純度化された酸化半導体層 144 を用いたトランジスタ 162 が完成する。

【0100】

なお、上記工程の後に、各種配線や電極などを形成しても良い。配線や電極は、いわゆるダマシン法や、デュアルダマシン法などの方法を用いて形成することができる。

【0101】

上述のように、開示する発明の一態様では、ソース配線及びドレイン配線において、酸化半導体層と接する領域を高抵抗領域にする（具体的には、絶縁層に設けられた開口部において酸化半導体層と接触させることで接触面積を低減させ、且つ、膜厚の小さい第2の導電層の単層でなる領域と接触させる）ことで、ソースとドレイン間の電界を緩和すると共に、酸化半導体層の被覆性を向上させる。一方、外部回路と接続するために引き回される配線（以下、引き回し配線）には、膜厚の大きい第1の導電層、または第1の導電層と第2の導電層の積層を用いることで、引き回し配線の配線抵抗を縮小させる。

【0102】

また、開示する発明の一態様は、互いに離間して設けられた第2の導電層 142a と第2の導電層 142b との間隙を埋め込むように絶縁層 143 を設けることで回り込みなどによる電流のリークを抑制することができる。

【0103】

また、酸化半導体層 144 の被覆性を向上させることで、酸化半導体層 144 の断線や接続不良を防止し、良好な特性を有するトランジスタ 162 を提供することができる。

【0104】

また、本実施の形態において示すトランジスタ 162 では、酸化半導体層 144 が高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である。また、酸化半導体層 144 の水素等のドナーに起因するキャリア密度は、一般的なシリコンウェハにおけるキャリア密度（ $1 \times 10^{14} / \text{cm}^3$ 程度）と比較して、十分に小さい値（例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満）をとる。そして、トランジスタ 162 のオフ電流も十分に小さくなる。例えば、トランジスタ 162 の室温（25℃）でのオフ電流（ここでは、単位チャネル幅（ $1 \mu\text{m}$ ）あたりの値）は 100 zA （ 1 zA （zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、望ましくは 10 zA 以下となる。なお、上述の構成を採用する場合、トランジスタのオフ電流を、理論的には $1 \times 10^{-24} \text{ A} / \mu\text{m} \sim 1 \times 10^{-30} \text{ A} / \mu\text{m}$ とすることが可能である。

【0105】

このように高純度化され、真性化された酸化半導体層 144 を用いることで、トランジスタのオフ電流を十分に低減することが容易になる。

【0106】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0107】

10

20

30

40

50

(実施の形態 2)

本実施の形態では、開示する発明の別の一態様に係る半導体装置の構成およびその作製方法について、図 4 乃至図 6 を参照して説明する。

【0108】

半導体装置の構成例

図 4 は、半導体装置の構成の一例である。図 4 (A) には、半導体装置の断面を、図 4 (B) には、半導体装置の平面を、図 4 (C) には半導体装置の回路構成を、それぞれ示す。なお、当該半導体装置の動作の詳細については後の実施の形態において詳述するから、本実施の形態では主として半導体装置の構成について述べるものとする。なお、図 4 に示す半導体装置は、所定の機能を有する半導体装置の一例であって、開示する発明の半導体装置をもれなく表現したものではない。開示する発明に係る半導体装置は、電極の接続関係等を適宜変更して、その他の機能を有するものとするのが可能である。

10

【0109】

図 4 (A) は、図 4 (B) の M - N および O - P における断面に相当する。図 4 (A) および図 4 (B) に示される半導体装置は、先の実施の形態で説明したトランジスタ 162 に加え、トランジスタ 162 下部のトランジスタ 160、および容量素子 164 を備えている。

【0110】

ここで、トランジスタ 162 の半導体材料とトランジスタ 160 の半導体材料とは異なる材料とすることが望ましい。例えば、トランジスタ 162 の半導体材料を酸化物半導体とし、トランジスタ 160 の半導体材料を酸化物半導体以外の半導体材料(シリコンなど)とすることができ、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。一方で、酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。

20

【0111】

図 4 におけるトランジスタ 160 は、半導体材料(例えば、シリコンなど)を含む基板 100 に設けられたチャネル形成領域 116 と、チャネル形成領域 116 を挟むように設けられた不純物領域 120 と、不純物領域 120 に接する金属化合物領域 124 と、チャネル形成領域 116 上に設けられたゲート絶縁層 108 と、ゲート絶縁層 108 上に設けられたゲート電極 110 と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれうる。

30

【0112】

また、基板 100 上にはトランジスタ 160 を囲むように素子分離絶縁層 106 が設けられており、トランジスタ 160 を覆うように絶縁層 130 が設けられている。なお、高集積化を実現するためには、図 4 に示すようにトランジスタ 160 がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ 160 の特性を重視する場合には、ゲート電極 110 の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域 120 を設けても良い。

40

【0113】

図 4 におけるトランジスタ 162 の構成は、先の実施の形態におけるトランジスタ 162 の構成と同様である。ただし、本実施の形態においては、トランジスタ 162 のソース配線の第 2 の導電層 142 a (ドレイン配線の第 2 の導電層 142 b の場合もある)と、トランジスタ 160 のゲート電極 110 とは接続されている。なお、トランジスタ 162 に代えて、トランジスタ 262 を用いることができるのは言うまでもない。

【0114】

図 4 における容量素子 164 は、第 2 の導電層 142 a、酸化物半導体層 144、ゲート絶縁層 146、および電極 148 b、で構成される。すなわち、第 2 の導電層 142 a は

50

、容量素子 164 の一方の電極として機能し、電極 148 b は、容量素子 164 の他方の電極として機能することになる。なお、電極 148 b は、トランジスタ 162 におけるゲート電極 148 a と同様の工程で形成される。

【0115】

なお、図 4 の容量素子 164 では、酸化物半導体層 144 とゲート絶縁層 146 を積層させることにより、第 2 の導電層 142 a と、電極 148 b との間の絶縁性を十分に確保することができる。もちろん、十分な容量を確保するために、酸化物半導体層 144 を有しない構成の容量素子 164 を採用しても良い。また、容量が不要の場合は、容量素子 164 を設けない構成とすることも可能である。

【0116】

本実施の形態では、トランジスタ 162 および容量素子 164 が、トランジスタ 160 と重畳するように設けられている。このような、平面レイアウトを採用することにより、高集積化が可能である。例えば、最小加工寸法を F として、上記半導体装置の占める面積を $15F^2 \sim 25F^2$ とすることが可能である。

【0117】

なお、開示する発明に係る半導体装置の構成は、図 4 に示されるものに限定されない。開示する発明の技術的思想は、酸化物半導体と、酸化物半導体以外の材料と、を用いた積層構造を形成する点にあるから、電極の接続関係等の詳細については、適宜変更することができる。

【0118】

半導体装置の作製方法

次に、上記半導体装置の作製方法の一例について図 5 および図 6 を用いて説明する。なお、トランジスタ 162 の作製方法は先の実施の形態と同様であるため、ここでは主として、トランジスタ 160 の作製方法について説明する。

【0119】

まず、半導体材料を含む基板 100 を用意する（図 5 (A) 参照）。半導体材料を含む基板 100 としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することができる。ここでは、半導体材料を含む基板 100 として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI 基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む概念として用いる。つまり、「SOI 基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI 基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

【0120】

半導体材料を含む基板 100 として、特に、シリコンなどの単結晶半導体基板を用いる場合には、半導体装置の読み出し動作を高速化することができるため好適である。

【0121】

なお、トランジスタのしきい値電圧を制御するために、後にトランジスタ 160 のチャネル形成領域 116 となる領域に、不純物元素を添加しても良い。ここでは、トランジスタ 160 のしきい値電圧が正となるように導電性を付与する不純物元素を添加する。半導体材料がシリコンの場合、該導電性を付与する不純物には、例えば、硼素、アルミニウム、ガリウムなどがある。なお、不純物元素の添加後には、加熱処理を行い、不純物元素の活性化や不純物元素の添加時に生じる欠陥の改善等を図るのが望ましい。

【0122】

次いで、基板 100 上に、素子分離絶縁層を形成するためのマスクとなる保護層 102 を形成する（図 5 (A) 参照）。保護層 102 としては、例えば、酸化シリコンや窒化シリコン、酸化窒化シリコンなどを材料とする絶縁層を用いることができる。

【0123】

10

20

30

40

50

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域（露出している領域）の、基板100の一部を除去する。これにより他の半導体領域と分離された半導体領域104が形成される（図5（B）参照）。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【0124】

次に、半導体領域104を覆うように絶縁層を形成し、半導体領域104に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層106を形成する（図5（C）参照）。当該絶縁層は、酸化シリコンや窒化シリコン、酸窒化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMP（化学的機械的研磨）処理などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域104の形成後、または、素子分離絶縁層106の形成後には、上記保護層102を除去する。

10

【0125】

次に、半導体領域104の表面に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【0126】

絶縁層は後のゲート絶縁層となるものであり、例えば、半導体領域104表面の熱処理（熱酸化処理や熱窒化処理など）によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。もちろん、CVD法やスパッタリング法などを用いて絶縁層を形成しても良い。当該絶縁層は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムアルミネート（ HfAl_xO_y （ $x > 0$ 、 $y > 0$ ））等を含む単層構造または積層構造とすることが望ましい。また、絶縁層の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

20

【0127】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

30

【0128】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層108、ゲート電極110を形成する（図5（C）参照）。

【0129】

次に、半導体領域104にリン（P）やヒ素（As）などを添加して、チャンネル形成領域116および不純物領域120を形成する（図5（D）参照）。なお、ここではn型トランジスタを形成するためにリンやヒ素を添加しているが、p型トランジスタを形成する場合には、硼素（B）やアルミニウム（Al）などの不純物元素を添加すればよい。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。

40

【0130】

なお、ゲート電極110の周囲にサイドウォール絶縁層を形成して、不純物元素が異なる濃度で添加された不純物領域を形成しても良い。

【0131】

50

次に、ゲート電極 110、不純物領域 120 等を覆うように金属層 122 を形成する（図 6（A）参照）。当該金属層 122 は、真空蒸着法やスパッタリング法、スピンコート法などの各種成膜方法を用いて形成することができる。金属層 122 は、半導体領域 104 を構成する半導体材料と反応することによって低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

【0132】

次に、熱処理を施して、上記金属層 122 と半導体材料とを反応させる。これにより、不純物領域 120 に接する金属化合物領域 124 が形成される（図 6（A）参照）。なお、ゲート電極 110 として多結晶シリコンなどを用いる場合には、ゲート電極 110 の金属層 122 と接触する部分にも、金属化合物領域が形成されることになる。

10

【0133】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域 124 を形成した後には、金属層 122 は除去する。

【0134】

次に、上述の工程により形成された各構成を覆うように、絶縁層 130 を形成する（図 6（B）参照）。絶縁層 130 は、酸化シリコン、酸化窒素シリコン、窒素シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層 130 に誘電率の低い（low-k）材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層 130 には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層 130 は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、絶縁層 130 の単層構造としているが、開示する発明の一態様はこれに限定されない。2 層以上の積層構造としても良い。

20

30

【0135】

以上により、半導体材料を含む基板 100 を用いたトランジスタ 160 が形成される（図 6（B）参照）。このようなトランジスタ 160 は、高速動作が可能であるという特徴を有する。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

【0136】

その後、トランジスタ 162 および容量素子 164 の形成前の処理として、絶縁層 130 に CMP 処理を施して、ゲート電極 110 の上面を露出させる（図 6（C）参照）。ゲート電極 110 の上面を露出させる処理としては、CMP 処理の他にエッチング処理などを適用することも可能であるが、トランジスタ 162 の特性を向上させるために、絶縁層 130 の表面は可能な限り平坦にしておくことが望ましい。

40

【0137】

なお、上記の各工程の前には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでも良い。例えば、配線の構造として、絶縁層および導電層の積層構造である多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

【0138】

その後、トランジスタ 162 および容量素子 164 を形成することで、半導体装置が完成する。

【0139】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適

50

宜組み合わせ用いることができる。

【0140】

(実施の形態3)

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図7を参照して説明する。ここでは、記憶装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

【0141】

図7(A-1)に示す、記憶装置として用いることができる半導体装置において、第1の配線(1st Line)とトランジスタ1000のソース電極とは、電氣的に接続され、第2の配線(2nd Line)とトランジスタ1000のドレイン電極とは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ1010のソース電極またはドレイン電極の一方とは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ1010のゲート電極とは、電氣的に接続されている。そして、トランジスタ1000のゲート電極と、トランジスタ1010のソース電極またはドレイン電極の他方は、容量素子1020の電極の一方と電氣的に接続され、第5の配線(5th Line)と、容量素子1020の電極の他方は電氣的に接続されている。

10

【0142】

ここで、トランジスタ1010には、酸化物半導体を用いたトランジスタが適用される。ここで、酸化物半導体を用いたトランジスタとしては、例えば、先の実施の形態で示したトランジスタ162またはトランジスタ262を用いることができる。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ1010をオフ状態とすることで、トランジスタ1000のゲート電極の電位を極めて長時間にわたって保持することが可能である。さらに、先の実施の形態に示すトランジスタを用いることにより、トランジスタ1010の短チャネル効果を抑制し、且つ微細化を達成することができる。そして、容量素子1020を有することにより、トランジスタ1000のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。ここで、容量素子1020としては、例えば、先の実施の形態で示した容量素子を用いることができる。

20

【0143】

また、トランジスタ1000には、酸化物半導体以外の半導体材料を用いたトランジスタが適用される。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いるのが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、高速動作が容易である。ここで、酸化物半導体以外の半導体材料を用いたトランジスタとしては、例えば、先の実施の形態で示したトランジスタ160を用いることができる。

30

【0144】

また、図7(B)に示すように、容量素子1020を設けない構成とすることも可能である。

40

【0145】

図7(A-1)に示す半導体装置では、トランジスタ1000のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0146】

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ1010がオン状態となる電位にして、トランジスタ1010をオン状態とする。これにより、第3の配線の電位が、トランジスタ1000のゲート電極、および容量素子1020に与えられる。すなわち、トランジスタ1000のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位を与える電荷(以下、低電

50

位を与える電荷を電荷 Q_L 、高電位を与える電荷を電荷 Q_H という)のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、第4の配線の電位を、トランジスタ1010がオフ状態となる電位にして、トランジスタ1010をオフ状態とすることにより、トランジスタ1000のゲート電極に与えられた電荷が保持される(保持)。

【0147】

トランジスタ1010のオフ電流は極めて小さいから、トランジスタ1000のゲート電極の電荷は長時間にわたって保持される。

【0148】

次に、情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ1000のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ1000をnチャネル型とすると、トランジスタ1000のゲート電極に Q_H が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ1000のゲート電極に Q_L が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ1000を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、トランジスタ1000のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、 Q_H が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ1000は「オン状態」となる。 Q_L が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ1000は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

【0149】

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さない場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ1000が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を与えればよい。または、ゲート電極の状態にかかわらずトランジスタ1000が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

【0150】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ1010がオン状態となる電位にして、トランジスタ1010をオン状態とする。これにより、第3の配線の電位(新たな情報に係る電位)が、トランジスタ1000のゲート電極および容量素子1020に与えられる。その後、第4の配線の電位を、トランジスタ1010がオフ状態となる電位にして、トランジスタ1010をオフ状態とすることにより、トランジスタ1000のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

【0151】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

【0152】

なお、トランジスタ1010のソース電極またはドレイン電極は、トランジスタ1000のゲート電極と電氣的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。このため、図中、トランジスタ1010のソース電極またはドレイン電極とトランジスタ10

10

20

30

40

50

00のゲート電極が電氣的に接続される部位をフローティングゲート部FGと呼ぶ場合がある。トランジスタ1010がオフの場合、当該フローティングゲート部FGは絶縁体中に埋設されたと見ることができ、フローティングゲート部FGには電荷が保持される。酸化物半導体を用いたトランジスタ1010のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下であるため、トランジスタ1010のリークによる、フローティングゲート部FGに蓄積される電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ1010により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

【0153】

例えば、トランジスタ1010の室温でのオフ電流が $10zA$ ($1zA$ (zeptoアンペア) は $1 \times 10^{-21}A$) 以下であり、容量素子1020の容量値が $10fF$ 程度である場合には、少なくとも 10^4 秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

10

【0154】

また、この場合、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜(トンネル絶縁膜)の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要なであった高電圧も不要である。

20

【0155】

図7(A-1)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図7(A-2)のように考えることが可能である。つまり、図7(A-2)では、トランジスタ1000および容量素子1020が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。 $R1$ および $C1$ は、それぞれ、容量素子1020の抵抗値および容量値であり、抵抗値 $R1$ は、容量素子1020を構成する絶縁層による抵抗値に相当する。また、 $R2$ および $C2$ は、それぞれ、トランジスタ1000の抵抗値および容量値であり、抵抗値 $R2$ はトランジスタ1000がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値 $C2$ はいわゆるゲート容量(ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャンネル形成領域との間に形成される容量)の容量値に相当する。

30

【0156】

トランジスタ1010がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値(実効抵抗とも呼ぶ)を ROS とすると、トランジスタ1010のゲートリークが十分に小さい条件において、 $R1$ および $R2$ が、 $R1 > ROS$ 、 $R2 > ROS$ を満たす場合には、電荷の保持期間(情報の保持期間ということもできる)は、主としてトランジスタ1010のオフ電流によって決定されることになる。

【0157】

逆に、当該条件を満たさない場合には、トランジスタ1010のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ1010のオフ電流以外のリーク電流(例えば、ソース電極とゲート電極の間において生じるリーク電流等)が大きいためである。このことから、本実施の形態において開示する半導体装置は、上述の関係を満たすものであることが望ましいといえる。

40

【0158】

一方で、 $C1$ と $C2$ は、 $C1 > C2$ の関係を満たすことが望ましい。 $C1$ を大きくすることで、第5の配線によってフローティングゲート部FGの電位を制御する際に、第5の配線の電位を効率よくフローティングゲート部FGに与えることができるようになり、第5の配線に与える電位間(例えば、読み出しの電位と、非読み出しの電位)の電位差を低く抑えることができるためである。

【0159】

50

上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、R1およびR2は、トランジスタ1000のゲート絶縁層や容量素子1020の絶縁層によって制御される。C1およびC2についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

【0160】

本実施の形態で示す半導体装置においては、フローティングゲート部FGが、フラッシュメモリ等のフローティングゲート型のトランジスタのフローティングゲートと同等の作用をするが、本実施の形態のフローティングゲート部FGは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有する。フラッシュメモリでは、コントロールゲートに印加される電圧が高いため、その電位の影響が、隣接するセルのフローティングゲートにおよぶことを防ぐために、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

10

【0161】

また、フラッシュメモリの上記原理によって、絶縁膜の劣化が進行し、書き換え回数の限界($10^4 \sim 10^5$ 回程度)という別の問題も生じる。

【0162】

開示する発明に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

20

【0163】

また、トンネル電流による電荷の注入を用いないため、メモリセルの劣化の原因が存在しない。つまり、フラッシュメモリと比較して高い耐久性および信頼性を有することになる。

【0164】

また、高電界が不要であり、大型の周辺回路(昇圧回路など)が不要である点も、フラッシュメモリに対するアドバンテージである。

30

【0165】

なお、容量素子1020を構成する絶縁層の比誘電率 r_1 と、トランジスタ1000を構成する絶縁層の比誘電率 r_2 とを異ならせる場合には、容量素子1020を構成する絶縁層の面積 S_1 と、トランジスタ1000においてゲート容量を構成する絶縁層の面積 S_2 とが、 $2 \cdot S_2 \leq S_1$ (望ましくは $S_2 \leq S_1$) を満たしつつ、C1、C2を実現することが容易である。すなわち、容量素子1020を構成する絶縁層の面積を小さくしつつ、C1、C2を実現することが容易である。具体的には、例えば、容量素子1020を構成する絶縁層においては、酸化ハフニウムなどのhigh-k材料でなる膜、または酸化ハフニウムなどのhigh-k材料でなる膜と酸化物半導体でなる膜との積層構造を採用して r_1 を10以上、好ましくは15以上とし、ゲート容量を構成する絶縁層においては、酸化シリコンを採用して、 $r_2 = 3 \sim 4$ とすることができる。

40

【0166】

このような構成を併せて用いることで、開示する発明に係る半導体装置の、より一層の高集積化が可能である。

【0167】

なお、上記説明は、電子を多数キャリアとするn型トランジスタ(nチャネル型トランジスタ)を用いる場合についてのものであるが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタを用いることができるのはいうまでもない。

【0168】

以上示したように、開示する発明の一態様に係る半導体装置は、オフ状態でのソースとド

50

レイン間のリーク電流（オフ電流）が少ない書き込み用トランジスタ、該書き込み用トランジスタと異なる半導体材料を用いた読み出し用トランジスタ及び容量素子を含む不揮発性のメモリセルを有している。

【0169】

通常のシリコン半導体では、リーク電流（オフ電流）を、使用時の温度（例えば、25）において100 z A（ 1×10^{-19} A）程度以下に低減することは困難であるが、酸化物半導体を適切な条件で加工して得られたトランジスタにおいては達成しうる。このため、書き込み用トランジスタとして、酸化物半導体を含むトランジスタを用いることが好ましい。

【0170】

さらに酸化物半導体を用いたトランジスタはサブスレッショルドスイング値（S値）が小さいため、比較的移動度が低くてもスイッチング速度を十分大きくすることが可能である。よって、該トランジスタを書き込み用トランジスタとして用いることで、フローティングゲート部FGに与えられる書き込みパルスの立ち上がりを極めて急峻にすることができる。また、オフ電流が小さいため、フローティングゲート部FGに保持させる電荷量を少なくすることが可能である。つまり、酸化物半導体を用いたトランジスタを書き込み用トランジスタとして用いることで、情報の書き換えを高速に行うことができる。

【0171】

読み出し用トランジスタとしては、オフ電流についての制限はないが、読み出しの速度を高くするために、高速で動作するトランジスタを用いるのが望ましい。例えば、読み出し用トランジスタとしてスイッチング速度が1ナノ秒以下のトランジスタを用いるのが好ましい。

【0172】

このように、酸化物半導体を用いたトランジスタを書き込み用トランジスタとして用い、酸化物半導体以外の半導体材料を用いたトランジスタを読み出し用トランジスタとして用いることにより、長時間に渡っての情報の保持が可能で、且つ情報の読み出しを高速で行うことが可能な、記憶装置として用いることができる半導体装置を実現することができる。

【0173】

さらに、書き込み用のトランジスタとして、先の実施の形態に示すトランジスタ162またはトランジスタ262を用いることにより、書き込み用のトランジスタの短チャネル効果を抑制し、且つ微細化を達成することができる。これにより、記憶装置として用いることができる半導体装置の高集積化を図ることができる。

【0174】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0175】

（実施の形態4）

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図8および図9を用いて説明する。ここでは、記憶装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

【0176】

図8（A）および図8（B）は、図7（A-1）に示す半導体装置（以下、メモリセル1050とも記載する。）を複数用いて形成される、記憶装置として用いることができる半導体装置の回路図である。図8（A）は、メモリセル1050が直列に接続された、いわゆるNAND型の半導体装置の回路図であり、図8（B）は、メモリセル1050が並列に接続された、いわゆるNOR型の半導体装置の回路図である。

【0177】

図8（A）に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、複数本

10

20

30

40

50

の第2信号線S2、複数本のワード線WL、複数のメモリセル1050を有する。図8(A)では、ソース線SLおよびビット線BLを1本ずつ有する構成となっているが、これに限られることなく、ソース線SLおよびビット線BLを複数本有する構成としてもよい。

【0178】

各メモリセル1050において、トランジスタ1000のゲート電極と、トランジスタ1010のソース電極またはドレイン電極の一方と、容量素子1020の電極の一方とは、電氣的に接続されている。また、第1信号線S1とトランジスタ1010のソース電極またはドレイン電極の他方とは、電氣的に接続され、第2信号線S2と、トランジスタ1010のゲート電極とは、電氣的に接続されている。そして、ワード線WLと、容量素子1020の電極の他方は電氣的に接続されている。

10

【0179】

また、メモリセル1050が有するトランジスタ1000のソース電極は、隣接するメモリセル1050のトランジスタ1000のドレイン電極と電氣的に接続され、メモリセル1050が有するトランジスタ1000のドレイン電極は、隣接するメモリセル1050のトランジスタ1000のソース電極と電氣的に接続される。ただし、直列に接続された複数のメモリセルのうち、一方の端に設けられたメモリセル1050が有するトランジスタ1000のドレイン電極は、ビット線と電氣的に接続される。また、直列に接続された複数のメモリセルのうち、他方の端に設けられたメモリセル1050が有するトランジスタ1000のソース電極は、ソース線と電氣的に接続される。

20

【0180】

図8(A)に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は次のように行われる。書き込みを行う行の第2の信号線S2にトランジスタ1010がオン状態となる電位を与え、書き込みを行う行のトランジスタ1010をオン状態にする。これにより、指定した行のトランジスタ1000のゲート電極に第1の信号線S1の電位が与えられ、該ゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

【0181】

また、読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ1000のゲート電極に与えられた電荷によらず、トランジスタ1000がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ1000をオン状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ1000のゲート電極が有する電荷によって、トランジスタ1000のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ビット線BL間の複数のトランジスタ1000は、読み出しを行う行を除いてオン状態となっているため、ソース線SL-ビット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ1000の状態(オン状態またはオフ状態)によって決定される。読み出しを行う行のトランジスタ1000のゲート電極が有する電荷によって、トランジスタのコンダクタンスは異なるから、それに応じて、ビット線BLの電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

30

40

【0182】

図8(B)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、第2信号線S2、およびワード線WLをそれぞれ複数本有し、複数のメモリセル1050を有する。各トランジスタ1000のゲート電極と、トランジスタ1010のソース電極またはドレイン電極の一方と、容量素子1020の電極の一方とは、電氣的に接続されている。また、ソース線SLとトランジスタ1000のソース電極とは、電氣的に接続され、ビット線BLとトランジスタ1000のドレイン電極とは、電氣的に接続されている。また、第1信号線S1とトランジスタ1010のソース電極またはドレイン電極の他方とは、電

50

氣的に接続され、第2信号線S2と、トランジスタ1010のゲート電極とは、電氣的に接続されている。そして、ワード線WLと、容量素子1020の電極の他方は電氣的に接続されている。

【0183】

図8(B)に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は、上述の図8(A)に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ1000のゲート電極に与えられた電荷によらず、トランジスタ1000がオフ状態となるような電位を与え、読み出しを行う行以外のトランジスタ1000をオフ状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ1000のゲート電極が有する電荷によって、トランジスタ1000のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ビット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ1000の状態(オン状態またはオフ状態)によって決定される。つまり、読み出しを行う行のトランジスタ1000のゲート電極が有する電荷によって、ビット線BLの電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

10

【0184】

なお、上記においては、各メモリセル1050に保持させる情報量を1ビットとしたが、本実施の形態に示す半導体装置の構成はこれに限られない。トランジスタ1000のゲート電極に与える電位を3以上用意して、各メモリセル1050が保持する情報量を増加させても良い。例えば、トランジスタ1000のゲート電極にあたる電位を4種類とする場合には、各メモリセルに2ビットの情報量を保持させることができる。

20

【0185】

次に、図8に示す半導体装置などに用いることができる読み出し回路の一例について図9を用いて説明する。

【0186】

図9(A)には、読み出し回路の概略を示す。当該読み出し回路は、トランジスタとセンスアンプ回路を有する。

30

【0187】

読み出し時には、端子Aは読み出しを行うメモリセルが接続されたビット線に接続される。また、トランジスタのゲート電極にはバイアス電位Vbiasが印加され、端子Aの電位が制御される。

【0188】

メモリセル1050は、格納されるデータに応じて、異なる抵抗値を示す。具体的には、選択したメモリセル1050のトランジスタ1000がオン状態の場合には低抵抗状態となり、選択したメモリセル1050のトランジスタ1000がオフ状態の場合には高抵抗状態となる。

40

【0189】

メモリセルが高抵抗状態の場合、端子Aの電位が参照電位Vrefより高くなり、センスアンプは端子Aの電位に対応する電位を出力する。一方、メモリセルが低抵抗状態の場合、端子Aの電位が参照電位Vrefより低くなり、センスアンプ回路は端子Aの電位に対応する電位を出力する。

【0190】

このように、読み出し回路を用いることで、メモリセルからデータを読み出すことができる。なお、本実施の形態の読み出し回路は一例である。他の回路を用いても良い。また、読み出し回路は、プリチャージ回路を有しても良い。参照電位Vrefの代わりに参照用のビット線が接続される構成としても良い。

【0191】

50

図9(B)に、センスアンプ回路の一例である差動型センスアンプを示す。差動型センスアンプは、入力端子 $V_{in}(+)$ と $V_{in}(-)$ と出力端子 V_{out} を有し、 $V_{in}(+)$ と $V_{in}(-)$ の電位差を増幅する。 $V_{in}(+)$ の電位が $V_{in}(-)$ の電位より大きければ V_{out} の出力は、概ねHigh、 $V_{in}(+)$ の電位が $V_{in}(-)$ の電位より小さければ V_{out} の出力は、概ねLowとなる。当該差動型センスアンプを読み出し回路に用いる場合、 $V_{in}(+)$ と $V_{in}(-)$ の一方は端子Aと接続し、 $V_{in}(+)$ と $V_{in}(-)$ の他方には参照電位 V_{ref} を与える。

【0192】

図9(C)に、センスアンプ回路の一例であるラッチ型センスアンプを示す。ラッチ型センスアンプは、入出力端子 V_1 および V_2 と、制御用信号 S_p 、 S_n の入力端子を有する。まず、制御用信号 S_p をHigh、制御用信号 S_n をLowとして、電源電位(V_{dd})を遮断する。そして、比較を行う電位 V_{1in} と V_{2in} をそれぞれ V_1 と V_2 に与える。その後、制御用信号 S_p をLow、制御用信号 S_n をHighとして、電源電位(V_{dd})を供給すると、比較を行う電位 V_{1in} と V_{2in} が $V_{1in} > V_{2in}$ の関係であれば、 V_1 の出力はHigh、 V_2 の出力はLowとなり、 $V_{1in} < V_{2in}$ の関係であれば、 V_1 の出力はLow、 V_2 の出力はHighとなる。このような関係を利用して、 V_{1in} と V_{2in} の差を増幅することができる。当該ラッチ型センスアンプを読み出し回路に用いる場合、 V_1 と V_2 の一方は、スイッチを介して端子Aおよび出力端子と接続し、 V_1 と V_2 の他方には参照電位 V_{ref} を与える。

10

【0193】

以上に示す、記憶装置として用いることができる半導体装置は、メモリセルの書き込み用のトランジスタに、先の実施の形態に示すトランジスタ162またはトランジスタ262を用いることにより、該書き込み用のトランジスタの短チャネル効果を抑制し、且つ微細化を達成することができる。これにより、記憶装置として用いることができる半導体装置の高集積化を図ることができる。

20

【0194】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0195】

(実施の形態5)

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図10を参照して説明する。ここでは、中央演算処理装置(CPU)について説明する。

30

【0196】

CPUのブロック図の一例を図10に示す。図10に示されるCPU1101は、タイミングコントロール回路1102、命令解析デコーダ1103、レジスタアレイ1104、アドレスロジックバッファ回路1105、データバスインターフェイス1106、ALU(Arithmetic Logic Unit)1107、命令レジスタ1108などより構成されている。

【0197】

これらの回路は、先の実施の形態に示したトランジスタ、インバータ回路、抵抗、容量などを用いて作製する。先の実施の形態に示すトランジスタ162またはトランジスタ262は、極めてオフ電流を小さくすることができるので、CPU1101の低消費電力化を実現できる。さらに、先の実施の形態に示すトランジスタ162またはトランジスタ262を用いることにより、トランジスタの短チャネル効果を抑制し、且つ微細化を達成することができる。

40

【0198】

以下に、CPU1101が有する、それぞれの回路について簡単に説明する。タイミングコントロール回路1102は外部からの命令を受け取り、それを内部用の情報に変換し、他のブロックに送り出す。また、内部の動作に応じて、メモリデータの読み込み、書き込みなどの指示を外部に与える。命令解析デコーダ1103は外部の命令を内部用の命令

50

に変換する機能を有する。レジスタアレイ 1104 はデータを一時的に保管する機能を有する。アドレスロジックバッファ回路 1105 は外部メモリのアドレスを指定する機能を有する。データバスインターフェイス 1106 は、外部のメモリまたはプリンタなどの機器にデータを出し入れする機能を有する。ALU 1107 は演算を行う機能を有する。命令レジスタ 1108 は命令を一時的に記憶しておく機能を有する。このような回路の組み合わせによって CPU は構成されている。

【0199】

CPU 1101 の少なくとも一部に、先の実施の形態に示したトランジスタ 162 またはトランジスタ 262 を用いることにより、トランジスタの短チャネル効果を抑制し、且つ微細化を達成することができるので、CPU 1101 の高集積化を図ることができる。

10

【0200】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0201】

(実施の形態 6)

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図 11 を参照して説明する。ここでは、対象物の情報を読み取るイメージセンサ機能を有する半導体装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OS の符号を併せて付す場合がある。

【0202】

図 11 (A) に、イメージセンサ機能を有する半導体装置の一例を示す。図 11 (A) はフォトセンサの等価回路であり、図 11 (B) はフォトセンサの一部を示す断面図である。

20

【0203】

フォトダイオード 1202 は、一方の電極がフォトダイオードリセット信号線 1212 に、他方の電極がトランジスタ 1204 のゲート電極に電氣的に接続されている。トランジスタ 1204 は、ソース電極又はドレイン電極の一方がフォトセンサ基準信号線 1218 に、ソース電極又はドレイン電極の他方がトランジスタ 1206 のソース電極又はドレイン電極の一方に電氣的に接続されている。トランジスタ 1206 は、ゲート電極がゲート信号線 1214 に、ソース電極又はドレイン電極の他方がフォトセンサ出力信号線 1216 に電氣的に接続されている。

30

【0204】

ここで、図 11 (A) に示す、トランジスタ 1204、トランジスタ 1206 は酸化物半導体を用いたトランジスタが適用される。ここで、酸化物半導体を用いたトランジスタとして、先の実施の形態に示したトランジスタ 162 またはトランジスタ 262 を用いることができる。先の実施の形態に示したトランジスタ 162 またはトランジスタ 262 は、オフ状態でのリーク電流を極めて小さくすることができるので、フォトセンサの光検出精度を向上させることができる。さらに、先の実施の形態に示すトランジスタ 162 またはトランジスタ 262 を用いることにより、トランジスタの短チャネル効果を抑制し、且つ微細化を達成することができるので、フォトダイオードの面積を増大させ、フォトセンサの光検出精度を向上させることができる。

40

【0205】

図 11 (B) は、フォトセンサにおけるフォトダイオード 1202 及びトランジスタ 1204 の断面図であり、絶縁表面を有する基板 1222 (TFE 基板) 上に、センサとして機能するフォトダイオード 1202 及びトランジスタ 1204 が設けられている。フォトダイオード 1202、トランジスタ 1204 の上には接着層 1228 を用いて基板 1224 が設けられている。また、トランジスタ 1204 上には、絶縁層 1234、層間絶縁層 1236、層間絶縁層 1238 が設けられている。

【0206】

また、トランジスタ 1204 のゲート電極と電氣的に接続されるように、該ゲート電極と

50

同じ層にゲート電極層 1240 が設けられている。ゲート電極層 1240 は、絶縁層 1234 及び層間絶縁層 1236 に設けられた開口を介して、層間絶縁層 1236 上に設けられた電極層 1242 と電氣的に接続されている。フォトダイオード 1202 は、電極層 1242 上に形成されているので、フォトダイオード 1202 とトランジスタ 1204 とは、ゲート電極層 1240 および電極層 1242 を介して電氣的に接続されている。

【0207】

フォトダイオード 1202 は、電極層 1242 側から順に、第 1 半導体層 1226a、第 2 半導体層 1226b 及び第 3 半導体層 1226c を積層した構造を有している。つまり、フォトダイオード 1202 は、第 1 半導体層 1226a で電極層 1242 と電氣的に接続されている。また、第 3 半導体層 1226c において、層間絶縁層 1238 上に設けられた電極層 1244 と電氣的に接続されている。

10

【0208】

ここでは、第 1 半導体層 1226a として n 型の導電性を有する半導体層と、第 2 半導体層 1226b として高抵抗な半導体層 (i 型半導体層)、第 3 半導体層 1226c として p 型の導電性を有する半導体層を積層する pin 型のフォトダイオードを例示している。

【0209】

第 1 半導体層 1226a は、n 型半導体層であり、n 型を付与する不純物元素を含むアモルファスシリコン膜により形成する。第 1 半導体層 1226a の形成には、15 族の不純物元素 (例えばリン (P)) を含む半導体材料ガスを用いて、プラズマ CVD 法により形成する。半導体材料ガスとしてはシラン (SiH_4) を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD 法、気相成長法、又はスパッタリング法等を用いればよい。第 1 半導体層 1226a の膜厚は 20nm 以上 200nm 以下となるよう形成することが好ましい。

20

【0210】

第 2 半導体層 1226b は、i 型半導体層 (真性半導体層) であり、アモルファスシリコン膜により形成する。第 2 半導体層 1226b の形成には、半導体材料ガスを用いて、アモルファスシリコン膜をプラズマ CVD 法により形成する。半導体材料ガスとしては、シラン (SiH_4) を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。第 2 半導体層 1226b の形成は、LPCVD 法、気相成長法、スパッタリング法等により行っても良い。第 2 半導体層 1226b の膜厚は 200nm 以上 1000nm 以下となるように形成することが好ましい。

30

【0211】

第 3 半導体層 1226c は p 型半導体層であり、p 型を付与する不純物元素を含むアモルファスシリコン膜により形成することができる。第 3 半導体層 1226c の形成には 13 族の不純物元素 (例えばボロン (B)) を含む半導体材料ガスを用いて、プラズマ CVD 法により形成する。半導体材料ガスとしてはシラン (SiH_4) を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD 法、気相成長法、又はスパッタリング法等を用いればよい。第 3 半導体層 1226c の膜厚は 10nm 以上 50nm 以下となるよう形成することが好ましい。

40

【0212】

また、第 1 半導体層 1226a、第 2 半導体層 1226b、及び第 3 半導体層 1226c は、アモルファス半導体ではなく、多結晶半導体を用いて形成してもよいし、微結晶半導

50

体（セミアモルファス半導体（Semi Amorphous Semiconductor：SAS）を用いて形成してもよい。

【0213】

微結晶半導体は、ギブスの自由エネルギーを考慮すれば非晶質と単結晶の中間的な準安定状態に属するものである。すなわち、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する。柱状または針状結晶が基板表面に対して法線方向に成長している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルのピーク位置が単結晶シリコンを示す 520 cm^{-1} よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 520 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。

10

【0214】

この微結晶半導体膜は、周波数が数十MHz～数百MHzの高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD法により形成することができる。代表的には、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などの水素化珪素を水素で希釈して形成することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を5倍以上200倍以下、好ましくは50倍以上150倍以下、更に好ましくは100倍とする。さらには、シリコンを含む気体中に、 CH_4 、 C_2H_6 等の炭化物気体、 GeH_4 、 GeF_4 等のゲルマニウム化気体、 F_2 等を混入させてもよい。

20

【0215】

また、光電効果で発生した正孔の移動度は電子の移動度に比べて小さいため、pin型のフォトダイオードはp型の半導体層側を受光面とする方がよい特性を示す。ここでは、基板1224側の面からフォトダイオード1202が入射光1230を受け、電気信号に変換する例を示す。また、受光面とした半導体層側とは逆の導電性を有する半導体層側からの光は外乱光となるため、電極層1242は遮光性を有する導電膜を用いるとよい。また、n型の半導体層側を受光面として用いることもできる。

30

【0216】

また、入射光1230を基板1224側の面から入射させることにより、トランジスタ1204の酸化物半導体層の少なくともチャネル形成領域は、該トランジスタ1204のゲート電極によって、入射光1230を遮光することができる。

【0217】

絶縁層1234、層間絶縁層1236、層間絶縁層1238としては、絶縁性材料を用いて、その材料に応じて、スパッタリング法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いて形成することができる。

40

【0218】

絶縁層1234としては、無機絶縁材料としては、酸化シリコン層、酸化窒化シリコン層、窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、酸化窒化アルミニウム層、窒化アルミニウム層、又は窒化酸化アルミニウム層などの酸化物絶縁層又は窒化物絶縁層の、単層又は積層を用いることができる。また μ 波（2.45GHz）を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるので好ましい。

【0219】

層間絶縁層1236、層間絶縁層1238としては、表面凹凸を低減するため平坦化絶縁

50

膜として機能する絶縁層が好ましい。層間絶縁層 1 2 3 6、層間絶縁層 1 2 3 8 としては、例えばポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機絶縁材料を用いることができる。また上記有機絶縁材料の他に、低誘電率材料（low-k 材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等の単層、又は積層を用いることができる。

【0220】

フォトダイオード 1 2 0 2 は、入射光 1 2 3 0 を検出することによって、被検出物の情報を読み取ることができる。なお、被検出物の情報を読み取る際にバックライトなどの光源を用いることができる。

【0221】

以上に示すフォトセンサにおいて、酸化物半導体を用いたトランジスタとして、先の実施の形態で示したトランジスタ 1 6 2 またはトランジスタ 2 6 2 を用いることができる。先の実施の形態に示したトランジスタ 1 6 2 またはトランジスタ 2 6 2 は、オフ状態でのリーク電流を極めて小さくすることができるので、フォトセンサの光検出精度を向上させることができる。さらに、先の実施の形態に示すトランジスタ 1 6 2 またはトランジスタ 2 6 2 を用いることにより、トランジスタの短チャネル効果を抑制し、且つ微細化を達成することができるので、フォトダイオードの面積を増大させ、フォトセンサの光検出精度を向上させることができる。

【0222】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ合わせて用いることができる。

【0223】

（実施の形態 7）

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図 1 2 を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、上述の半導体装置を適用する場合について説明する。

【0224】

図 1 2 (A) は、ノート型のパーソナルコンピュータであり、筐体 7 0 1、筐体 7 0 2、表示部 7 0 3、キーボード 7 0 4 などによって構成されている。筐体 7 0 1 と筐体 7 0 2 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力なノート型のパーソナルコンピュータが実現される。

【0225】

図 1 2 (B) は、携帯情報端末（PDA）であり、本体 7 1 1 には、表示部 7 1 3 と、外部インターフェイス 7 1 5 と、操作ボタン 7 1 4 等が設けられている。また、携帯情報端末を操作するスタイラス 7 1 2 などを備えている。本体 7 1 1 内には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力な携帯情報端末が実現される。

【0226】

図 1 2 (C) は、電子ペーパーを実装した電子書籍 7 2 0 であり、筐体 7 2 1 と筐体 7 2 3 の 2 つの筐体で構成されている。筐体 7 2 1 および筐体 7 2 3 には、それぞれ表示部 7 2 5 および表示部 7 2 7 が設けられている。筐体 7 2 1 と筐体 7 2 3 は、軸部 7 3 7 により接続されており、該軸部 7 3 7 を軸として開閉動作を行うことができる。また、筐体 7 2 1 は、電源 7 3 1、操作キー 7 3 3、スピーカー 7 3 5 などを備えている。筐体 7 2 1、筐体 7 2 3 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力な電子書籍が実現される。

【0227】

図 1 2 (D) は、携帯電話機であり、筐体 7 4 0 と筐体 7 4 1 の 2 つの筐体で構成されて

10

20

30

40

50

いる。さらに、筐体 740 と筐体 741 は、スライドし、図 12 (D) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体 741 は、表示パネル 742、スピーカー 743、マイクロフォン 744、操作キー 745、ポインティングデバイス 746、カメラ用レンズ 747、外部接続端子 748などを備えている。また、筐体 740 は、携帯電話機の充電を行う太陽電池セル 749、外部メモリスロット 750などを備えている。また、アンテナは、筐体 741 に内蔵されている。筐体 740 と筐体 741 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力な携帯電話機が実現される。

【0228】

図 12 (E) は、デジタルカメラであり、本体 761、表示部 767、接眼部 763、操作スイッチ 764、表示部 765、バッテリー 766 などによって構成されている。本体 761 内には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力なデジタルカメラが実現される。

【0229】

図 12 (F) は、テレビジョン装置 770 であり、筐体 771、表示部 773、スタンド 775 などで構成されている。テレビジョン装置 770 の操作は、筐体 771 が備えるスイッチや、リモコン操作機 780 により行うことができる。筐体 771 およびリモコン操作機 780 には、先の実施の形態に示す半導体装置が搭載されている。そのため、例えば、高速、かつ低消費電力なテレビジョン装置が実現される。

【0230】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、半導体装置の微細化による高速化、低消費電力化が実現された電子機器が得られる。

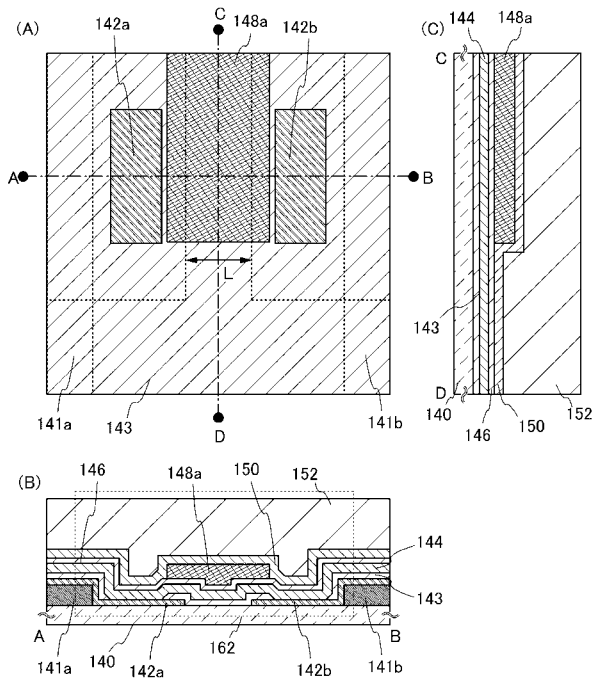
【符号の説明】

【0231】

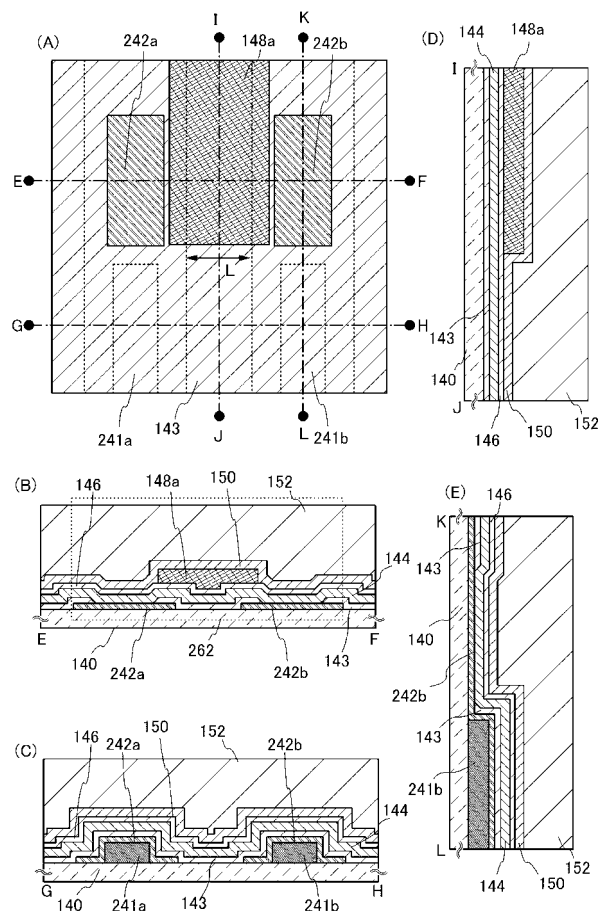
100	基板	
102	保護層	
104	半導体領域	
106	素子分離絶縁層	30
108	ゲート絶縁層	
110	ゲート電極	
116	チャンネル形成領域	
120	不純物領域	
122	金属層	
124	金属化合物領域	
128	絶縁層	
130	絶縁層	
140	基体	
141 a	導電層	40
141 b	導電層	
142 a	導電層	
142 b	導電層	
143 a	絶縁層	
143	絶縁層	
144	酸化物半導体層	
146	ゲート絶縁層	
148 a	ゲート電極	
148 b	電極	
150	絶縁層	50

- 1 5 2 絶縁層
- 1 6 0 トランジスタ
- 1 6 2 トランジスタ
- 1 6 4 容量素子
- 2 4 1 a 導電層
- 2 4 1 b 導電層
- 2 4 2 a 導電層
- 2 4 2 b 導電層
- 2 6 2 トランジスタ

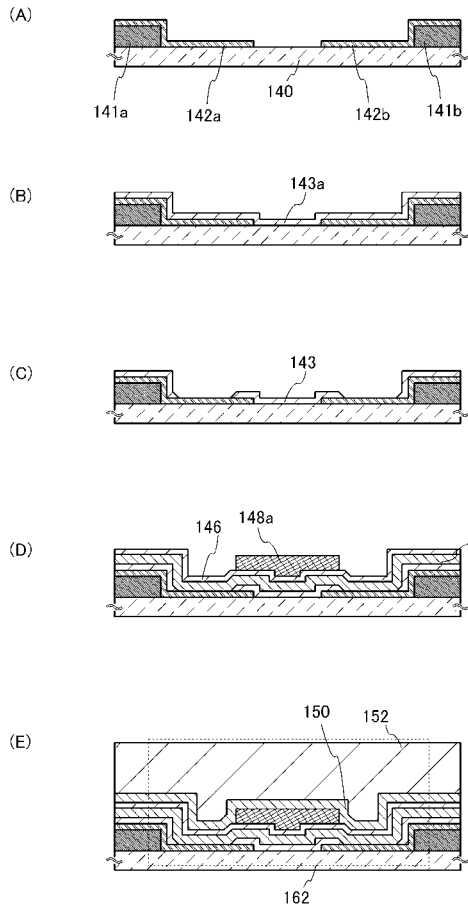
【 図 1 】



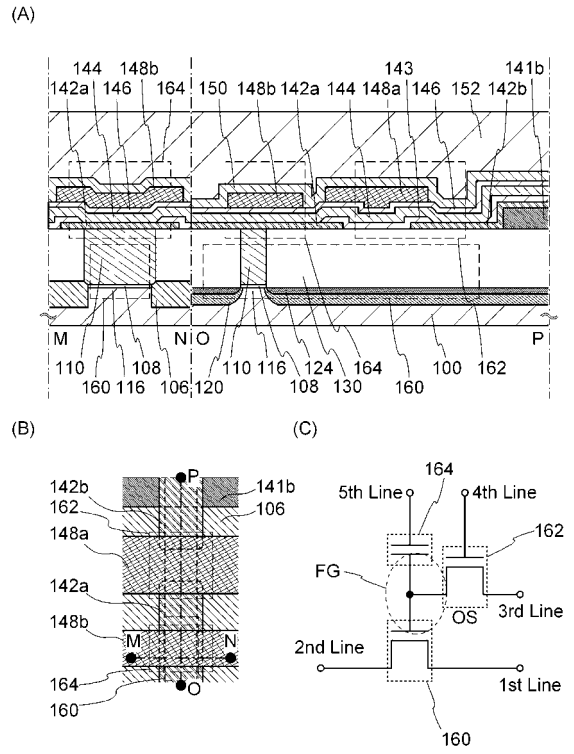
【 図 2 】



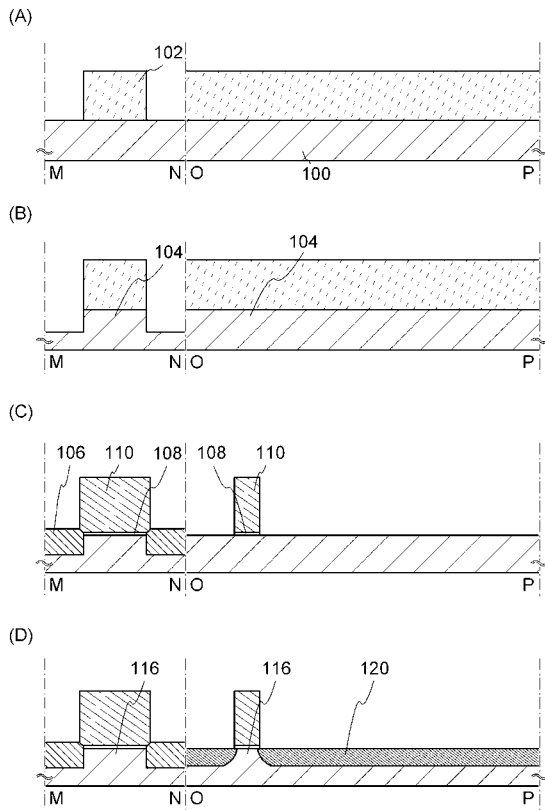
【 図 3 】



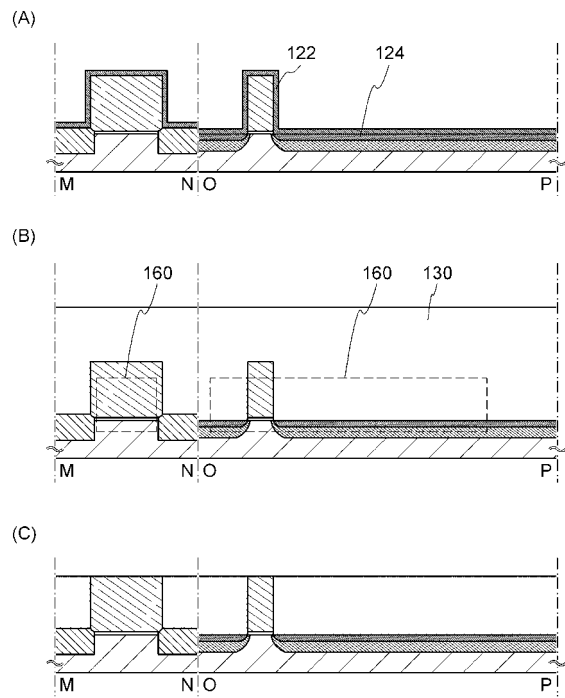
【 図 4 】



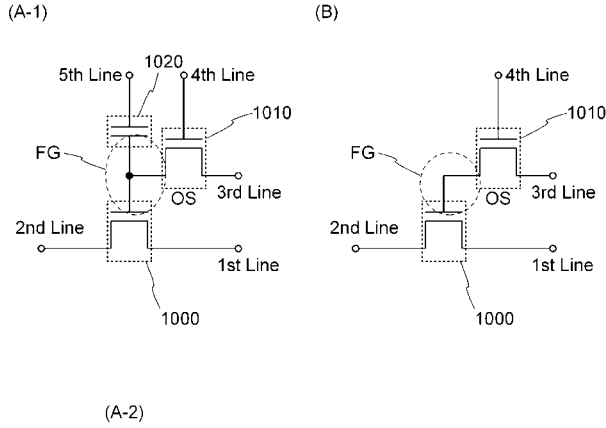
【 図 5 】



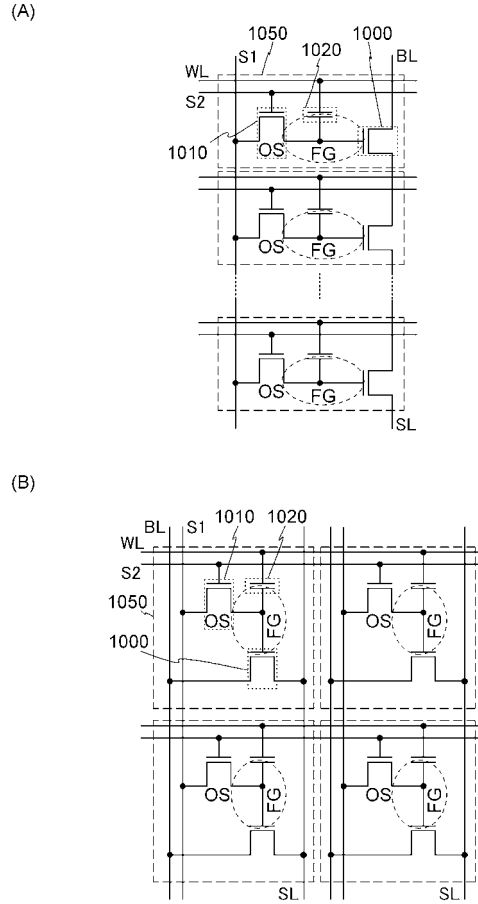
【 図 6 】



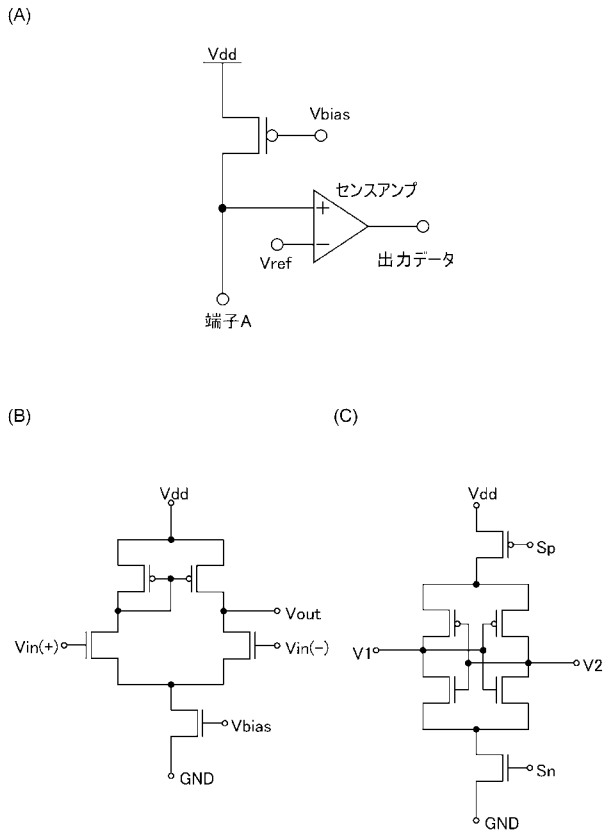
【 図 7 】



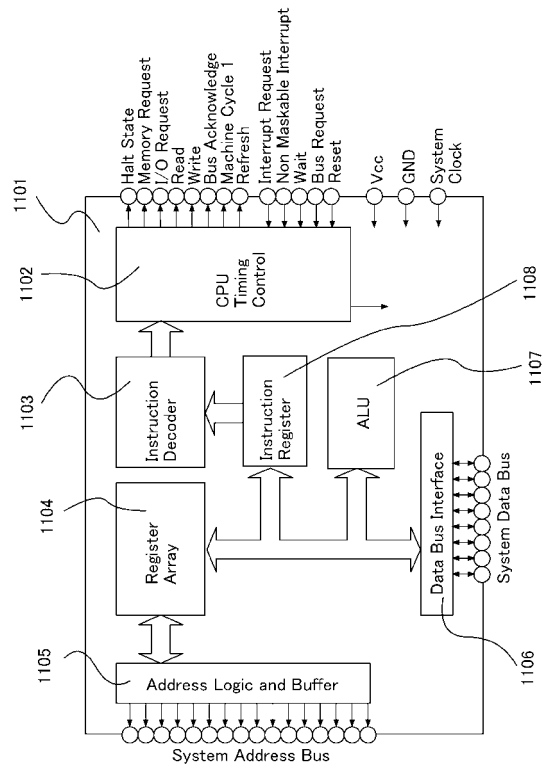
【 図 8 】



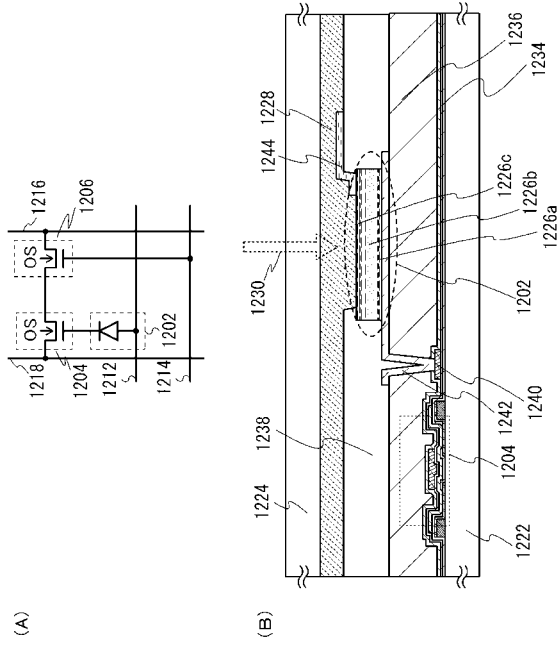
【 図 9 】



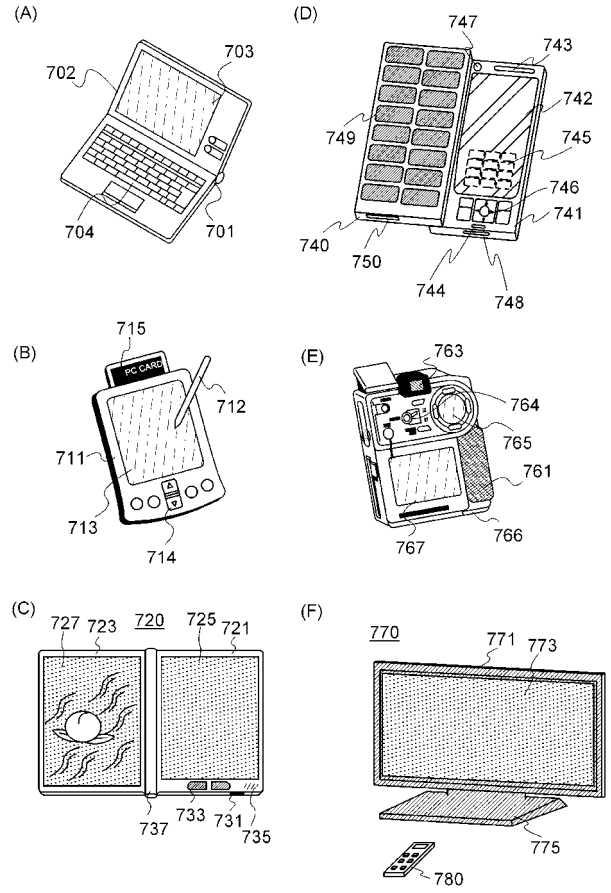
【 図 10 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

Fターム(参考) 5F110 AA01 AA04 AA09 BB08 BB10 CC05 DD01 DD02 DD03 DD04
DD05 DD12 DD13 DD14 DD15 EE02 EE03 EE04 EE05 EE09
EE14 EE32 EE42 EE43 EE44 EE45 FF01 FF02 FF03 FF04
FF28 FF29 FF36 GG01 GG02 GG04 GG05 GG12 GG25 GG28
GG32 GG33 GG34 GG43 GG57 GG58 HJ01 HJ12 HK01 HK02
HK05 HK07 HK32 HK33 HK40 HL02 HL03 HL04 HL07 HL11
HL12 HL23 HL24 HM03 HM17 NN02 NN03 NN22 NN23 NN24
NN27 NN33 NN35 NN62 NN72 NN74 NN78 QQ19