



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

243 743

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 08 11 84
(21) PV 8477 -84

(51) Int. Cl.⁴

G 06 F 12/02

(40) Zveřejněno 31 08 85
(45) Vydáno 01 04 88

(75)

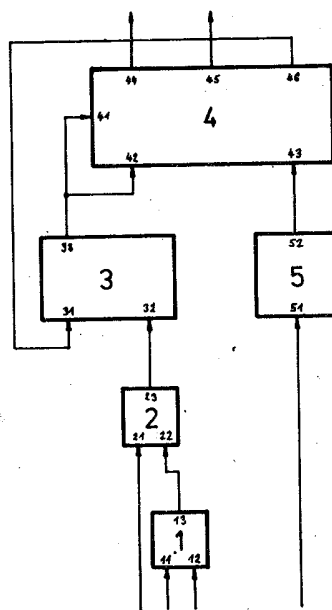
Autor vynálezu

SMUTNÝ EDUARD ing., PRAHA

(54)

Zapojení pro řízení obnovy informace u dynamických pamětí

Zapojení sestává z bloku logického součtu (1), bloku logického součinu (2), klopného obvodu typu R-S (3), posuvného registru (4) a zdvojovače frekvence (5). Využívá k obnově informace cyklu M1 procesoru typu 8080 nebo Z80, aniž by musela být délka signálu RESET omezena nebo tento signál synchronizován s procesorem.



Vynález řeší zapojení pro řízení obnovy informace u dynamických pamětí spolupracujících s mikroprocesorem typu 8080.

Polovodičové dynamické paměti používají pro zapamatování informace elektrický náboj na kondenzátoru. Protože je kapacita paměťového kondenzátoru velmi malá, je nutno vždy po určité době informaci obnovit, tedy kondenzátoru obnovit jeho původní náboj. Tato doba je u současných polovodičových pamětí velice krátká, asi 0,002 s. Obnova informace u dynamických pamětí je řešena mnoha způsoby. Vždy však zůstává základním problémem zajistit, aby při obnovovacím cyklu nebyla porušena informace v paměti. Proto je většinou součástí obvodů pro řízení obnovy informace rozhodovací člen - arbitr, který rozhodne, zda bude prováděn cyklus čtení či zápisu pro počítač používající paměť anebo zda následující cyklus bude cyklem obnovovacím, protože už uplynul čas, kdy je nutno obnovu provést. Některé nové mikroprocesory obsahují již v sobě řízení obnovovacího cyklu a rozhodují samy o tom, jaký cyklus bude následovat. Avšak mikroprocesory jako typ 8080 tyto vnitřní obvody nemají a proto je třeba postavit obvody pro řízení obnovy informace u dynamických pamětí zvlášť. U mikroprocesoru typu 8080 lze využít jeho volný čas k průběhu obnovovacího cyklu. Volný čas je během cyklu $M1$, tj. při pracovní fázi, kdy je čtena nová instrukce z paměti. Způsobů zapojení pro řízení obnovy informace u dynamické paměti v cyklu $M1$ mikroprocesoru typu 8080 je známo mnoho. Jejich nevýhodou však je, že neobnovují informaci, je-li mikroprocesor ve stavu nulování - RESET, a že pro správné časové položení okamžiku obnovy potřebují zdroj vyšší frekvence, než je vlastní frekvence jednotlivých fází $\Phi 1$ a $\Phi 2$ hodin mikroprocesoru.

Popisované nedostatky jsou odstraněny zapojením pro řízení obnovy informace u dynamických pamětí spolupracujících s mikroprocesorem typu 8080 podle vynálezu, sestávajícím z bloku logického součtu, bloku logického součinu, klopného obvodu typu R-S, posuvného registru a zdvojovače frekvence. Jeho podstatou je, že výstup bloku logického součtu je spojen s druhým vstupem bloku logického součinu, výstup bloku logického součinu je spojen s druhým vstupem klopného obvodu typu R-S, výstup klopného obvodu typu R-S je spojen s prvním vstupem posuvného registru a současně s druhým vstupem posuvného registru, výstup zdvojovače frekvence je spojen se třetím vstupem posuvného registru a třetí výstup posuvného registru je spojen s prvním vstupem klopného obvodu typu R-S. Blok logického součtu je opatřen prvním vstupem bloku logického součtu a druhým vstupem bloku logického součtu, blok logického součinu je opatřen prvním vstupem bloku logického součinu, zdvojovač frekvence je opatřen vstupem zdvojovače frekvence a posuvný registr je opatřen prvním výstupem posuvného registru a druhým výstupem posuvného registru.

Zapojení podle vynálezu nejen obnovuje informaci ve správný okamžik cyklu M1 mikroprocesoru typu 8080, ale obnovuje ji také po libovolně dlouhou dobu trvání stavu RESET. Pro obvod není nutný žádný zdroj vyšší frekvence než je signál $\Phi 2$, který je obvykle k dispozici na sběrnici mikropočítače. Zapojení je velice nenáročné na součástky, jejich počet, dostupnost i cenu.

Konkrétní příklad zapojení pro řízení obnovy informace u dynamických pamětí podle vynálezu je znázorněn na *výkresu* v blokovém schématu.

Zapojení sestává z bloku logického součtu 1, bloku logického součinu 2, klopného obvodu typu R-S 3, posuvného registru 4 a zdvojovače frekvence 5. Výstup 13 bloku logického součtu 1 je spojen s druhým vstupem 22 bloku logického součinu 2, výstup 23 bloku logického součinu 2 je spojen s druhým vstupem 32 klopného obvodu typu R-S 3, výstup 33 klopného obvodu typu R-S 3 je spojen s prvním vstupem 41 posuvného registru 4 a současně s druhým vstupem 42 posuvného registru 4, výstup 52 zdvojovače frekvence 5 je spojen se třetím vstupem 43 posuvného registru 4 a třetí výstup 46 posuvného registru 4 je spojen s prvním vstupem 31 klopného

obvodu typu R-S 3. Blok logického součtu 1 je opatřen prvním vstupem 11 bloku logického součtu 1 a druhým vstupem 12 bloku logického součtu 1, blok logického součinu 2 je opatřen prvním vstupem 21 bloku logického součinu 2, zdvojovač frekvence 5 je opatřen vstupem 51 zdvojovače frekvence 5 a posuvný registr 4 je opatřen prvním výstupem 44 posuvného registru 4 a druhým výstupem 45 posuvného registru 4.

Prvním vstupem 11 bloku logického součtu 1 je do bloku logického součtu 1 z mikropočítačového systému přiváděn signál M1. Druhým vstupem 12 bloku logického součtu 1 je do bloku logického součtu 1 z mikropočítačového systému přiváděn signál RESET. Blok logického součtu 1 zajišťuje, aby obnova informace probíhala, kdykoliv je stav mikroprocesoru M1 nebo RESET. Prvním vstupem 21 bloku logického součinu 2 je do bloku logického součinu 2 z mikropočítačového systému přiváděn signál STSTB, který je po dobu signálu RESET trvale ve stavu „1“. Blok logického součinu 2 zajišťuje synchronizaci s prací mikroprocesoru tak, aby se stav M1 nebo RESET bral v úvahu pouze po dobu trvání signálu STSTB. Je-li tato podmínka splněna, nastaví se klopný obvod typu R-S 3. Výstup 33 klopného obvodu typu R-S 3 je spojen s prvním vstupem 41 VSTUP posuvného registru 4 a současně s druhým vstupem 42 NULOVÁNÍ posuvného registru 4. Frekvence hodin mikroprocesoru $\Phi 2$ je přivedena z mikroprocesoru vstupem 51 do zdvojovače frekvence 5 a zde zdvojena. Vzájemným propojením výstupu 52 zdvojovače frekvence 5 a třetího vstupu 43 jsou získány hodiny posuvného registru 4. Posuvný registr 4 začne posunovat jedničkový signál, přiváděný na první vstup 41 posuvného registru 4. Za čas T1, daný hodinami posuvného registru 4, je generován signál REF, který přiveden prvním výstupem 44 posuvného registru 4 do paměti připraví její adresovací obvody pro cyklus obnovy. Za další čas T2 je generován signál RAS, který přiveden druhým výstupem 45 posuvného registru 4 do paměti je pro ni příkazem k provedení cyklu obnovy informace. Za další čas je v okamžiku T3 generován signál KONEC CYKLU, který vynuluje v důsledku spojení třetího výstupu 46 posuvného registru 4 s prvním vstupem 31 klopného obvodu typu R-S 3 tento klopný obvod typu R-S 3. Zapojení výhodně využívá té vlastnosti klopného obvodu R-S 3, že je-li na druhém vstupu 32 S klopného obvodu typu R-S 3 trvalý příkaz k S-nastavení, poslou-

chá výstup 33 $\bar{Q}$ klopného obvodu typu R-S 3 přednostně první vstup 31 R klopného obvodu typu R-S 3, takže posuvný registr 4 je vynulován. Tím ale skončí trvání signálu na prvním vstupu 31 klopného obvodu typu R-S 3, uplatní se znovu signál na druhém vstupu 32 klopného obvodu typu R-S 3 a celý cyklus začne znovu. Tak je zajištěno opakování obnovovacích cyklů po dobu trvání signálu RESET, aniž by musela být délka trvání signálu RESET omezena a tento signál synchronizován s procesorem.

P R Ě D M Ě T V Y N Á L E Z U

Zapojení pro řízení obnovy informace u dynamických pamětí spolupracujících s mikroprocesorem typu 8080, sestávající z bloku logického součtu, bloku logického součinu, klopného obvodu typu R-S, posuvného registru a zdvojovače frekvence, vyznačené tím, že výstup (13) bloku logického součtu (1) je spojen s druhým vstupem (22) bloku logického součinu (2), výstup (23) bloku logického součinu (2) je spojen s druhým vstupem (32) klopného obvodu typu R-S (3), výstup (33) klopného obvodu typu R-S (3) je spojen s prvním vstupem (41) posuvného registru (4) a současně s druhým vstupem (42) posuvného registru (4), výstup (52) zdvojovače frekvence (5) je spojen se třetím vstupem (43) posuvného registru (4) a třetí výstup (46) posuvného registru (4) je spojen s prvním vstupem (31) klopného obvodu typu R-S (3), přičemž blok logického součtu (1) je opatřen prvním vstupem (11) bloku logického součtu (1) a druhým vstupem (12) bloku logického součtu (1), blok logického součinu (2) je opatřen prvním vstupem (21) bloku logického součinu (2), zdvojovač frekvence (5) je opatřen vstupem (51) zdvojovače frekvence (5) a posuvný registr (4) je opatřen prvním výstupem (44) posuvného registru (4) a druhým výstupem (45) posuvného registru (4).

1 výkres

