



(10) **DE 10 2011 012 090 A1** 2012.08.23

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2011 012 090.4**

(22) Anmeldetag: **23.02.2011**

(43) Offenlegungstag: **23.08.2012**

(51) Int Cl.: **H04L 12/24 (2006.01)**

(71) Anmelder:
austriamicrosystems AG, Unterpremstätten, AT

(74) Vertreter:
**Epping Hermann Fischer,
Patentanwalts-gesellschaft mbH, 80339, München,
DE**

(72) Erfinder:
**Böhm, Michael, Graz, AT; Weber, Oliver,
Shanghai, CN**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

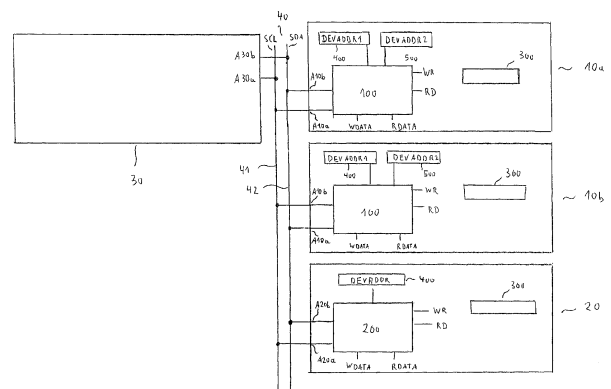
DE 100 15 438 A1
DE 103 58 106 A1

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Elektronisches Bauteil mit Zuweisung einer Adresse an das Bauteil**

(57) Zusammenfassung: Ein elektronisches Bauteil (10a, 10b) mit Zuweisung einer Adresse an das Bauteil umfasst einen ersten Anschluss (A10a) zum Anlegen eines ersten Signals (SCL) und eines von dem ersten Signal verschiedenen zweiten Signals (SDA), und einen von dem ersten Anschluss verschiedenen zweiten Anschluss (A10b) zum Anlegen des ersten Signals (SCL) und des zweiten Signals (SDA). Dem Bauteil wird in Abhängigkeit von der externen Beschaltung des ersten und zweiten Anschlusses (A10a, A10b) eine Adresse, mittels der das Bauteil adressierbar ist, zugewiesen.



Beschreibung

[0001] Die Erfindung betrifft ein elektronisches Bauteil, bei dem in Abhängigkeit von einer externen Beschaltung dem Bauteil eine Adresse zugewiesen wird, über die das Bauteil ansteuerbar ist.

[0002] Elektronische Bauteile, die an einen Bus angeschlossen sind, sind im allgemeinen über bauteil-individuelle Adressen adressierbar. Wenn jedes an den Bus angeschlossene elektronische Bauteil eine eigene Adresse hat, können Daten beispielsweise zwischen einem an den Bus angeschlossenen übergeordneten Steuerbauteil (Master Chip) und an den Bus ebenfalls angeschlossene untergeordnete Bauteile (Slave Chips) übertragen werden. Ein derartiges Bussystem ist beispielsweise der I2C(Inter-Integrated Circuit)-Bus, bei dem ein übergeordneter Steuerchip (I2C-Bus Master) und mehrere hierarchisch untergeordnete Chipbauteile (I2C-Bus-Slaves) über eine Zwei-Draht-Schnittstelle miteinander kommunizieren. Der Bus umfasst eine Übertragungsleitung zur Übertragung eines Taktsignals und eine Übertragungsleitung zur Übertragung eines Datensignals. Die an den I2C-Bus angeschlossenen Bauteile können über ihre individuellen Adressen angesprochen werden.

[0003] Bei einigen Bussystemen, wie zum Beispiel einem USB-Bus, werden die den an das Bussystem angeschlossenen elektronischen Bauteilen zuzuordnenden Adressen über ein Protokoll vergeben, wenn die Bauteile zum ersten Mal angesprochen werden. Bei anderen Bussystemen, wie beispielsweise dem I2C-Bus, existieren hingegen für die an das Bussystem angeschlossenen Bauelemente voreingestellte Bauteiladresse, die den Bauteilen bereits bei ihrer Herstellung durch Programmierung der entsprechenden Hardware zugeordnet werden. Die Bauteile können beispielsweise einen ROM-Speicher aufweisen, in dem die dem Bauteil bereits bei der Herstellung zugeordnete Adresse eingeschrieben ist.

[0004] Wenn baugleiche elektronische Bauteile, die beispielsweise die gleiche Funktionalität und innere Struktur aufweisen, an einem derartigen Bussystem verwendet werden sollen, und diesen Bauteilen bereits bei der Herstellung individuelle Adressen zugewiesen worden sind, so sind diese Bauteile durch die ihnen zugewiesene jeweilige Adresse trotz gleicher innere Struktur und Funktionalität dennoch bereits individuell verschieden. Bei der Bestückung einer elektronischen Schaltung, beispielsweise eines Bussystems, mit solchen Bauteilen werden die Bauteile in der Regel dann auch individuell verschieden gehandhabt, was einen erhöhten logistischen Aufwand zur Folge hat.

[0005] Es ist wünschenswert ein elektronisches Bauteil mit Zuweisung einer Adresse an das Bauteil

anzugeben, wobei die Adresse erst bei der Bestückung einer Schaltungsanordnung, insbesondere eines Bussystems, mit dem Bauteil festgelegt wird.

[0006] Die Aufgabe wird gelöst durch ein in den Patentansprüchen definiertes elektronisches Bauteil.

[0007] In einer möglichen Ausführungsform des elektronischen Bauteils umfasst das Bauteil einen ersten Anschluss zum Anlegen eines ersten Signals und eines von dem ersten Signal verschiedenen zweiten Signals. Das Bauteil umfasst des Weiteren einen von dem ersten Anschluss verschiedenen zweiten Anschluss zum Anlegen des ersten Signals und des zweiten Signals. Das Bauteil ist in einem ersten Betriebszustand betreibbar, in dem an dem ersten Anschluss das erste Signal und an dem zweiten Anschluss das zweite Signal anliegt. Das Bauteil ist darüber hinaus in einem zweiten Betriebszustand betreibbar, in dem an dem ersten Anschluss das zweite Signal und an dem zweiten Anschluss das erste Signal anliegt. Das Bauteil umfasst eine Adress-Auswahleinrichtung zur Zuweisung mindestens einer ersten oder zweiten Adresse an das Bauteil, wobei die Adress-Auswahleinrichtung derart ausgebildet ist, dass die Adress-Auswahleinrichtung in Abhängigkeit von dem Betriebszustand des Bauteils dem Bauteil die erste oder zweite Adresse zuweist.

[0008] Bei dem elektronischen Bauteil wird die dem Bauteil zugeordnete Adresse somit durch die Art der externen Beschaltung, insbesondere durch die Art des Anlegens des ersten Signals und des Anlegens des zweiten Signals an den ersten oder zweiten Anschluss, festgelegt. Der erste und der zweite Anschluss sind externe Anschlüsse des Bauteils, die ohnehin bereits zum Betreiben des Bauteils in einem bestimmungsgemäßen Betrieb vorgesehen sind.

[0009] Bei einer möglichen Ausführungsform eines Bauteils kann der erste Anschluss und der zweite Anschluss jeweils zum Anlegen eines Taktsignals und zum Anlegen oder Ausgeben eines Datensignals ausgebildet sein. Das Bauteil kann als ein Bauteil zur Durchführung eines Lese- und Schreibzugriffs ausgebildet sein. Insbesondere kann das Bauteil derart ausgebildet sein, dass ein Lese- und Schreibzugriff auf das Bauteil zeitlich durch das Taktsignal gesteuert wird und bei einem Schreibzugriff auf das Bauteil Daten in Abhängigkeit von dem Datensignal in das Bauteil eingeschrieben werden und bei einem Lesezugriff auf das Bauteil Daten aus dem Bauteil ausgelesen werden.

[0010] Wenn das Bauteil mit dem ersten Anschluss an eine Taktsignalleitung eines Busses angeschlossen ist und der zweite Anschluss des Bauteils an eine Datensignalleitung des Busses angeschlossen ist, lässt sich durch diese Beschaltung festlegen, dass das Bauteil beispielsweise in dem ersten Betriebszu-

stand betrieben wird. Beim Betreiben des Bauteils in dem ersten Betriebszustand wird dem Bauteil beispielsweise eine erste Chipadresse zugewiesen.

[0011] Wenn hingegen der erste und der zweite Anschluss des Bauteils vertauscht an die Taktsignal- und Datensignalleitung angeschlossen werden, indem der erste Anschluss an die Datensignalleitung und der zweite Anschluss an die Taktsignalleitung des Busses angeschlossen werden, wird durch diese Beschaltung festgelegt, dass das Bauteil beispielsweise in dem zweiten Betriebszustand betrieben wird. In dem zweiten Betriebszustand ist dem Bauteil dann eine von der ersten Chipadresse verschiedene zweite Chipadresse zugeordnet.

[0012] Somit lässt sich durch die jeweilige Beschaltung der Anschlüsse des Bauteils, die ohnehin zum Anlegen von Signalen, die zum bestimmungsgemäßen Betrieb des Bauteils notwendig sind, beispielsweise solche Anschlüsse die zum Anlegen eines Datensignals und eines Taktsignals vorgesehen sind, festlegen, welche Adresse dem Bauteil zugeordnet ist. Das Vorsehen von weiteren zusätzlichen externen Anschlüsse zur Festlegung einer Adresse des Bauteils ist nicht notwendig.

[0013] Die Erfindung wird im Folgenden anhand von Figuren, die Ausführungsbeispiele der vorliegenden Erfindung zeigen, näher erläutert. Es zeigen:

[0014] [Fig. 1](#) eine Ausführungsform eines Bussystems mit an einem Bus verschiedenartig angeschlossenen elektronischen Bauteilen,

[0015] [Fig. 2](#) eine Ausführungsform einer Steuervorrichtung zur Zuweisung einer Adresse an ein elektronische Bauteil und zur Steuerung eines Lese- und Schreibzugriffs auf das Bauteil,

[0016] [Fig. 3](#) eine Ausführungsform einer Zustandserkennungseinrichtung zum Feststellung eines Betriebszustandes eines elektronischen Bauteils.

[0017] [Fig. 1](#) zeigt ein Bussystem mit mehreren elektronischen Bauteilen **10a**, **10b**, **20** und **30**, die an einen Bus **40** angeschlossen sind. Die elektronischen Bauteile können beispielsweise Chipbauteile sein, die einen Chip enthalten. Die elektronischen Bauteile **10a**, **10b** und **20** können beispielsweise hierarchisch untergeordnete Bauteile (Slaves) sein, die von dem übergeordneten Bauteil **30** (Master) angesteuert werden. Der Bus **40** kann die Leitungen **41** und **42** umfassen, wobei die Busleitung **41** zur Übertragung eines ersten Signals, beispielsweise eines Taktsignals SCL, und die Busleitung **42** zur Übertragung eines zweiten Signals, beispielsweise eines Datensignals SDA, vorgesehen sind.

[0018] Die beiden elektronischen Bauteile **10a** und **10b** sind baugleich ausgeführt, indem sie die gleiche Funktionalität aufweisen und den gleichen strukturellen Aufbau haben. Den Bauteilen **10a** und **10b** sind beispielsweise bei ihrer Herstellung bereits die beiden möglichen Bauteiladressen DEVADDR1 und DEVADDR2 zugewiesen worden. Dazu können die Bauteile **10a**, **10b** Speichervorrichtungen **400**, **500**, die beispielsweise als ROM-Speicher ausgeführt sind, umfassen. In der Speichervorrichtung **400** ist beispielsweise die Bauteiladresse DEVADDR1 und in der Speichervorrichtung **500** ist die Bauteiladresse DEVADDR2 bei der Herstellung der Bauteile bereits als fixe Adresse gespeichert worden.

[0019] Die Bauteile **10a** und **10b** weisen jeweils eine Steuervorrichtung **100** auf, die zur Steuerung eines Lese- und Schreibzugriffs auf mindestens ein jeweiliges Speicheregister **300** der Bauteile vorgesehen ist. Des Weiteren ist die Steuervorrichtung **100** dazu ausgebildet eine der vorprogrammierten Bauteiladressen DEVADDR1 oder DEVADDR2 auszuwählen und dem jeweiligen Bauteil **10a** und **10b** endgültig zu zuweisen. Die Auswahl, welche der beiden möglichen Bauteiladressen dem jeweiligen Bauteil zugewiesen wird, wird durch die unterschiedliche Beschaltung des externen Anschlusses A10a und des externen Anschlusses A10b festgelegt.

[0020] Die beiden Anschlüsse A10a und A10b können jeweils als Anschlüsse, die sowohl zum Anlegen eines ersten Signals SCL als auch zum Anlegen eines von dem ersten Signal verschiedenen zweiten Signals SDA geeignet sind, ausgebildet sein. Das erste Signal SCL kann beispielsweise ein Taktsignal und das zweite Signal kann beispielsweise ein Datensignal SDA sein. An jeden der beiden externen Anschlüsse kann sowohl das Taktsignal SCL als auch das Datensignal SDA angelegt werden, indem die Anschlüsse an die jeweiligen Busleitungen **41** oder **42** angeschlossen werden.

[0021] Die Steuervorrichtung **100** ist dazu ausgebildet zu erkennen, an welchem der beiden Anschlüsse das erste Signal SCL, beispielsweise ein Taktsignal, und an welchem der beiden Anschlüsse das zweite Signal SDA, beispielsweise das Datensignal, anliegt. In Abhängigkeit von der festgestellten Beschaltung der externen Anschlüsse A10a und A10b wählt die Steuervorrichtung **100** einer der möglichen Bauteiladressen DEVADDR1 oder DEVADDR2 aus und weist sie dem Bauteil zu.

[0022] Bei der in [Fig. 1](#) gezeigten Konfiguration ist beispielsweise das Bauteil **10a** mit dem Anschluss A10a an die Busleitung **41** zur Übertragung des Taktsignals SCL und mit dem Anschluss A10b an die Busleitung **42** zur Übertragung des Datensignals SDA angeschlossen. Wenn die Steuervorrichtung **100** die Beschaltung der Anschlüsse des Bauteils **10a** fest-

gestellt hat, wählt sie beispielsweise die mögliche Bauteiladresse DEVADDR1 als tatsächliche Bauteiladresse für das Bauteil **10a** aus. Das Bauteil **10a** kann somit im späteren Betrieb über die Adresse DEVADDR1 angesprochen werden.

[0023] Wie bei dem Bauelement **10a**, so sind auch dem Bauelement **10b** in den vorprogrammierten Speichervorrichtungen **400** und **500** die möglichen Bauteiladressen DEVADDR1 und DEVADDR2 gespeichert. Im Unterschied zum Bauteil **10a** ist bei dem Bauteil **10b** der Anschluss A10a an die Busleitung **42** zur Übertragung des Datensignals SDA und der Anschluss A10b an die Busleitung **41** zur Übertragung des Taktsignals SCL angeschlossen. Wenn die Steuervorrichtung **100** diese Beschaltung des Bauteils feststellt, wählt sie beispielsweise die Chipadresse DEVADDR2 aus und weist sie dem Bauteil **10b** zu. Das Bauelement **10b** kann somit im späteren Betrieb über die Adresse DEVADDR2 angesprochen werden.

[0024] Wenn die Bauteile **10a** und **10b** als Bauteile für einen Lese- und Schreibzugriff ausgebildet sind, können Daten aus der Speichervorrichtung **300** ausgelesen oder in der Speichervorrichtung **300** gespeichert werden. Bei einem Schreibzugriff erzeugt die Steuervorrichtung **100** beispielsweise das interne Schreibkommando WR. Daraufhin werden Daten, die dem Bauteil **10a** über die Busleitung **42** zur Übertragung der Datensignale SDA an dem Anschluss A10b beziehungsweise dem Bauteil **10b** über die Busleitung **42** an dem Anschluss A10a zugeführt werden, in der Steuervorrichtung **100** zwischengespeichert und als Einschreibdaten WDATA in der Speichervorrichtung **300** gespeichert. Bei einem Lesezugriff auf die Speichervorrichtung **300** erzeugt die Steuervorrichtung **100** bei den beiden Bauteilen jeweils ein internes Lesekommando RD, woraufhin Daten RDATA aus der jeweiligen Speichervorrichtung **300** ausgelesen, in der Steuervorrichtung **100** zwischengespeichert und über den Anschluss A10b beziehungsweise A10a auf die Busleitung **42** zur Übertragung der Datensignale SDA ausgegeben werden. Zur takt-synchronen Steuerung des Lese- und Schreibzugriffs wird das Bauteil **10a** an dem Anschluss A10a und das Bauteil **10b** an dem Anschluss A10b von dem Taktsignal SCL angesteuert.

[0025] Die Anschlüsse A10a und A10b sind externe Anschlüsse, die bei den beiden elektronischen Bauteile **10a** und **10b** zum Betreiben der Bauteile in einem bestimmungsgemäßen Betrieb vorgesehen sind. Wenn die beiden elektronischen Bauteile **10a**, **10b** als Bauteile zum takt-synchronen Einschreiben und Auslesen von Daten ausgebildet sind, können die Anschlüsse jeweils zum Anlegen eines Taktsignals und zum Anlegen und Ausgeben eines Datensignals ausgebildet sein. An jedem der Anschlüsse kann sowohl ein Taktsignal angelegt werden als auch ein

Datensignal angelegt und ausgegeben werden. Bei einem Lesezugriff werden die in der Speichervorrichtung **300** gespeicherten Daten als Datensignal SDA an einem der externen Anschlüsse A10a oder A10b ausgegeben. Bei einem Schreibzugriff werden an einem der externen Anschlüsse A10a und A10b anliegende Daten des Datensignals SDA in der jeweiligen Speichervorrichtung **300** gespeichert.

[0026] Bei den Bauteilen **10a** und **10b** wird in Abhängigkeit davon, an welchem der Anschlüsse das Datensignal und an welchem der Anschlüsse das Taktsignal anliegt, dem jeweiligen Bauteil eine der möglichen Adressen zugewiesen. Die den Bauteilen im späteren Betrieb zugewiesene Adresse wird somit erst beim Anschließen der ohnehin an den Bauteilen zur Durchführung eines bestimmungsgemäßen Betriebs vorhandenen Anschlüsse A10a und A10b an die Busleitungen **41** und **42** festgelegt. Da die beiden Bauteile **10a** und **10b** bezüglich ihrer inneren Struktur baugleich sind, können sie in der Fertigung einheitlich behandelt werden, bis sie an den Bus **40** angeschlossen worden sind. Der logistische Aufwand bei der Herstellung der elektronischen Bauteile und der Bussystemanordnung der [Fig. 1](#) ist somit gegenüber einer Ausführungsform, bei der den beiden Bauteile fest, voreingestellte Adressen bereits bei der Herstellung der Bauteile zugewiesen werden, deutlich geringer.

[0027] Im Ausführungsbeispiel der [Fig. 1](#) kann das elektronische Bauteil **20** wie die elektronischen Bauelemente **10a** und **10b** ebenfalls als ein Bauelement zur Durchführung eines Lese- und Schreibzugriffs auf eine Speichervorrichtung **300** ausgebildet sein. Das Bauteil **20** weist eine Steuervorrichtung **200** zur Steuerung des Lese- und Schreibzugriffs auf das Bauteil **20** auf. Bei einem Schreibzugriff erzeugt die Steuervorrichtung **200** beispielsweise das interne Schreibkommando WR. Daraufhin werden Daten, die dem Bauteil **20** über die Busleitung **42** zur Übertragung der Datensignale SDA an dem Anschluss A20b zugeführt werden in der Steuervorrichtung **200** zwischengespeichert und als Einschreibdaten WDATA in der Speichervorrichtung **300** gespeichert. Bei einem Lesezugriff auf die Speichervorrichtung **300** erzeugt die Steuervorrichtung **200** das interne Lesekommando RD, woraufhin Daten RDATA aus der Speichervorrichtung **300** ausgelesen, in der Steuervorrichtung **200** zwischengespeichert und über den Anschluss A20b auf die Busleitung **42** zur Übertragung der Datensignale ausgetrieben werden. Zur takt-synchronen Steuerung eines Zugriffs auf das Bauteil **20** ist der Ausgangsanschluss A20a an die Busleitung **41** zur Übertragung des Taktsignals SCL angeschlossen.

[0028] Dem Bauteil **20** ist die Bauteiladresse DEVADDR bereits bei der Fertigung des Bauteils **20** zugewiesen worden. Dazu wurde die Bauteiladresse

DEVADDR in der Speichervorrichtung **400**, beispielsweise einem ROM-Speicher, gespeichert. Die Festlegung der Bauteiladresse DEVADDR erfolgt hier bereits bei der Herstellung des Bauteils **20** durch entsprechende Programmierung der Speichervorrichtung **400**.

[0029] An den Bus **40** können sowohl Bauteile mit einer dynamischen Adresszuweisung, bei der die Zuweisung der tatsächlichen Bauteiladresse durch die Beschaltung der externen Anschlüsse an die Busleitungen erfolgt, als auch elektronische Bauelemente, wie das Bauelement **20**, bei denen die Bauteiladresse statisch durch Einprogrammieren einer einzigen Adresse in die Speichervorrichtung **400** bereits bei der Herstellung der Bauelemente statisch festgelegt ist, angeschlossen werden.

[0030] Zur Steuerung eines Lese- oder Schreibzugriffs auf die Bauteile **10a**, **10b** oder **20** ist das übergeordnete Bauteil **30** vorgesehen. Ein Steuertaktanschluss A30a des elektronischen Bauteils **30** ist an die Busleitung **41** zur Übertragung des ersten Signals SCL, beispielsweise des Taktsignals, angeschlossen. Das Bauteil **30** ist an einem weiteren externen Anschluss A30b zum Ausgeben und Anlegen von zweiten Signalen, beispielsweise den Datensignalen, mit der Busleitung **42** verbunden. Bei einem Zugriff auf die untergeordneten Slave-Bauteile **10a**, **10b** und **20** erzeugt das Master-Bauteil **30** die einem der Bauteile **10a**, **10b** und **20** zugeordnete Adresse und steuert dadurch eindeutig eines der Bauteile **10a**, **10b** oder **20** an.

[0031] [Fig. 2](#) zeigt eine Ausführungsform der Steuervorrichtung **100** zur Zuweisung einer der möglichen Bauteiladressen DEVADDR1 oder DEVADDR2 als tatsächliche Adresse des Bauteils **10a**, **10b** und zur Steuerung eines Lese- und Schreibzugriffs auf die jeweilige Speichervorrichtung **300**. Die beiden möglichen Bauteiladressen DEVADDR1 und DEVADDR2 sind in der Speichervorrichtung **400** beziehungsweise der Speichervorrichtung **500** gespeichert. Die Speichervorrichtungen **400** und **500** können beispielsweise ROM-Speicher sein, in denen die möglichen Bauteiladressen DEVADDR1 und DEVADDR2 bei der Fertigung der Bauteile **10a** und **10b** eingespeichert worden sind.

[0032] Die Bauteile **10a** und **10b** können in einem ersten oder zweiten Betriebszustand betrieben werden. Im ersten Betriebszustand ist einem Bauteil beispielsweise die Bauteiladresse DEVADDR1 zugeordnet und im zweiten Betriebszustand ist dem Bauteil die Adresse DEVADDR2 zugeordnet. Der erste oder zweite Betriebszustand wird durch die externe Beschaltung der Anschlüsse A10a und A10b eingestellt. Wenn die Bauteile **10a** und **10b** in dem ersten Betriebszustand betrieben werden, wird dem Anschluss A10a beispielsweise das Taktsignal SCL zu-

geführt, indem der Anschluss A10a an die Taktsignalleitung **41** des Busses **40** angeschlossen wird, und dem Anschluss A10b das Datensignal SDA zugeführt, indem der Anschluss A10b an die Datensignalleitung **42** des Busses **40** angeschlossen wird. Wenn die Bauteile **10a** und **10b** in dem zweiten Betriebszustand betrieben werden, wird dem Anschluss A10a beispielsweise das Datensignal SDA zugeführt, indem der Anschluss A10a an die Datensignalleitung **42** des Busses **40** angeschlossen wird, und dem Anschluss A10b das Taktsignal SCL zugeführt, indem der Anschluss A10b an die Taktsignalleitung **41** des Busses angeschlossen wird.

[0033] In Abhängigkeit davon, wie der externe Anschluss A10a zum Anlegen/Ausgeben des Datensignals SDA und zum Anlegen des Taktsignals SCL und der externe Anschluss A10b zum Anlegen/Ausgeben des Datensignals SDA und zum Anlegen des Taktsignals SCL angesteuert werden, lässt sich somit der erste oder zweite Betriebszustand einstellen.

[0034] Die Steuervorrichtung **100** umfasst eine Zustandserkennungseinrichtung **110**, die dazu ausgebildet ist, festzustellen, ob das Bauteil in dem ersten oder zweiten Betriebszustand betrieben wird. Die Zustandserkennungseinrichtung **110** weist einen Eingangsanschluss E110a zum Anlegen des Datensignals SDA und zum Anlegen des Taktsignals SCL sowie einen weiteren Eingangsanschluss E110b zum Anlegen des Datensignals SDA und zum Anlegen des Taktsignals SCL auf. Der Eingangsanschluss E110a ist mit dem Anschluss A10a zum Anlegen/Ausgeben des Datensignals und zum Anlegen des Taktsignals verbunden. Der Eingangsanschluss E110b ist mit dem Anschluss A10b zum Anlegen/Ausgeben des Datensignals und zum Anlegen des Taktsignals verbunden.

[0035] Die Zustandserkennungseinrichtung **110** wertet die an den Eingangsanschlüssen E110a und E110b empfangenen Signale aus. Die Zustandserkennungseinrichtung **110** ist derart ausgebildet, dass sie anhand der Auswertung der empfangenen Signale feststellt, ob an dem Anschluss A10a das Taktsignal SCL und an dem Anschluss A10b das Datensignal SDA anliegt und somit das Bauteil im ersten Betriebszustand betrieben wird, oder, ob an dem Anschluss A10a das Datensignal SDA und an dem Anschluss A10b das Taktsignal SCL anliegt und somit das Bauteil im zweiten Betriebszustand betrieben wird.

[0036] Die Zustandserkennungseinrichtung **110** weist einen Ausgangsanschluss A110a zum Ausgeben des Taktsignals SCL auf. Die Zustandserkennungseinrichtung ist dazu ausgebildet, das Taktsignal SCL unabhängig davon, ob das Bauteil in dem ersten oder zweiten Betriebszustand betrieben wird, an dem Ausgangsanschluss A110a auszuge-

ben. Des Weiteren weist die Zustandserkennungseinrichtung einen Ausgangsanschluss A110b zum Ausgeben des Datensignals SDA auf. Die Zustandserkennungseinrichtung ist derart ausgebildet, dass sie an dem Ausgangsanschluss A110b immer das Datensignal SDA ausgibt, wobei die Ausgabe unabhängig davon ist, ob das Bauteil in dem ersten oder zweiten Betriebszustand betrieben wird.

[0037] In Abhängigkeit von dem festgestellten ersten oder zweiten Betriebszustand, in dem das Bauteil betrieben wird, erzeugt die Zustandserkennungseinrichtung **110** ein Zustandssignal XMODE, das den detektierten Betriebszustand kennzeichnet. Wenn das Bauteil in dem ersten Betriebszustand betrieben wird, kann das Zustandssignal XMODE beispielsweise mit einem 0-Pegel ausgegeben werden. Wenn hingegen die Zustandserkennungseinrichtung feststellt, dass das Bauteil in dem zweiten Betriebszustand betrieben wird, kann sie das Zustandssignal XMODE mit einem 1-Pegel erzeugen.

[0038] Die Steuervorrichtung **100** umfasst des Weiteren eine Adress-Auswahleinrichtung **150** zur Auswahl der möglichen Bauteiladresse DEVADDR1 oder der Bauteiladresse DEVADDR2. Die Auswahl der möglichen Bauteiladressen wird über das Zustandssignal XMODE gesteuert. Wenn beispielsweise das Zustandssignal XMODE den 0-Pegel aufweist, wählt die Adress-Auswahleinrichtung **150** die Adresse DEVADDR1 aus und weist sie dem Bauteil zu. Wenn hingegen das Zustandssignal XMODE den 1-Pegel aufweist, wählt die Adress-Auswahleinrichtung **150** die Adresse DEVADDR2 aus und weist sie dem Bauteil zu.

[0039] Des Weiteren umfasst die Steuervorrichtung **100** eine Steuereinrichtung **120** zur Steuerung eines Lese- oder Schreibzugriffs auf die Speichervorrichtung **300**. Dazu erzeugt die Steuereinrichtung **120** ein internes Lesekommando RD oder ein internes Schreibkommando WR.

[0040] Zur Zwischenspeicherung von Daten, die über das Datensignal SDA empfangen werden, ist eine Speichereinrichtung **140** vorgesehen. Die Speichereinrichtung **140** kann beispielsweise ein Schieberegister sein. Die Speichereinrichtung **140** ist an einer Eingangsseite E140a an den Taktausgangsanschluss A110a der Zustandserkennungseinrichtung **110** und an einer Eingangsseite E140b an dem Datenausgangsanschluss A110b der Zustandserkennungseinrichtung **110** angeschlossen. Beim Empfang eines Datenstroms am Dateneingangsanschluss E140b werden die an den Datenausgangsanschluss A110b weitergeleiteten Daten in der Speichereinrichtung **140** gespeichert.

[0041] Die gespeicherten Daten enthalten die Adresse des Slave-Bauteils, auf das das Master-Bauteil **30**

zugreifen möchte. Um festzustellen, auf welches der Slave-Bauteile **10a**, **10b** und **20** zugegriffen werden soll, vergleicht die Steuereinrichtung **120** die ihr von der Adress-Auswahleinrichtung **150** zugeführte ausgewählte Bauteiladresse mit der in der Speichereinrichtung **140** zwischengespeicherten Adresse. Wenn die beiden Adressen übereinstimmen, ist das Bauteil für einen Lese- oder Schreibzugriff ausgewählt worden.

[0042] Zum Zählen der in der Speichereinrichtung **140** zwischengespeicherten Bits ist eine Zählleinrichtung **130**, beispielsweise ein Bitzähler, vorgesehen. Lese- oder Schreibzugriffe auf das Schieberegister **140** erfolgen von der Steuereinrichtung **120**, wenn der Bitzähler **130** bis zur Anzahl der Bits, die in dem Schieberegister **140** speicherbar sind, hochgezählt hat.

[0043] Wenn auf das Slave-Bauteil **10a**, **10b** mit einem Schreibzugriff zugegriffen werden soll, erzeugt das Master-Bauteil **30** ein Schreibsignal auf der Datenleitung **42** des Busses, das von der Steuervorrichtung **100** empfangen wird. Die Steuereinrichtung **120** erzeugt daraufhin das interne Schreibkommando WR. Daten des Datensignals SDA, die je nach Betriebszustand des elektronischen Bauteils an einem der externen Anschlüsse A10a, A10b empfangen worden sind und in der Speichereinrichtung **140** zwischengespeichert worden sind, werden als einzuschreibende Daten WDATA in die Speichervorrichtung **300** eingeschrieben.

[0044] Wenn von dem Master-Bauteil **30** über die Datenleitung **42** ein Lesesignal an das Slave-Bauteil **10a**, **10b** übertragen wird, erzeugt die Steuereinrichtung **120** das interne Lesekommando RD. Daraufhin werden aus der Speichervorrichtung **300** ausgelesene Daten RDATA in der Speichereinrichtung **140** zwischengespeichert.

[0045] Zur Ausgabe der in der Speichereinrichtung **140** zwischengespeicherten Daten ist eine Ausgabe-Auswahleinrichtung **160** zur Auswahl einer der Anschlüsse A10a oder A10b vorgesehen. Dazu sind die Anschlüsse A10a und A10b als bidirektionale Anschlüsse zum Anlegen des ersten Signals SCL, beispielsweise des Taktsignals, und zum Anlegen und Ausgeben des zweiten Signals SDA, beispielsweise des Datensignals, ausgebildet. Die Ausgabe-Auswahleinrichtung **160** ist an einer Eingangsseite E160 an eine Ausgangsseite A140 der Speichereinrichtung **140** angeschlossen. Anschlüsse A160a und A160b der Ausgabe-Auswahleinrichtung **160** sind über Verstärker **170** an den externen Bauteilanschluss A10a und den externen Bauteilanschluss A10b angeschlossen.

[0046] Die Ausgabe-Auswahleinrichtung **160** ist derart ausgebildet, dass ihre Eingangsseite E160 in Ab-

hängigkeit von dem Zustand des Zustandssignals XMODE mit dem Anschluss A160a und somit dem externen Anschluss A10a oder mit dem Anschluss A160b und somit dem externen Bauteilanschluss A10b verbunden wird. Wenn beispielsweise das Zustandssignal XMODE den 0-Pegel aufweist und somit das elektronische Bauteil in dem ersten Betriebszustand betrieben wird, werden die in der Speichereinrichtung **140** zwischengespeicherten Daten an dem Anschluss A10b ausgegeben. Wenn hingegen das Zustandssignal XMODE den 1-Pegel aufweist und das Bauteil **10a**, **10b** somit im zweiten Betriebszustand betrieben wird, werden die in der Speichereinrichtung **140** zwischengespeicherten Daten durch die Ausgabe-Auswahleinrichtung **160** beispielsweise an dem Anschluss A10a ausgegeben.

[0047] **Fig. 3** zeigt eine Ausführungsform der Zustandserkennungseinrichtung 110 zum Feststellen des Betriebes des Bauteils in dem ersten oder zweiten Betriebszustand. Die Zustandserkennungseinrichtung umfasst eine Erkennungseinheit **111** und eine Erkennungseinheit **112** zum Feststellen des Eintreffens eines Anfangs eines Datenstroms an dem Anschluss A10a oder an dem Anschluss A10b des Bauteils. Beide Erkennungseinheiten sind eingangsseitig sowohl an den externen Bauteilanschluss A10a und den externen Bauteilanschluss A10b angeschlossen. Ein weiterer Anschluss der Erkennungseinheiten ist beispielsweise an einen hohen Spannungspegel VDD angeschlossen, der einen 1-Pegel kennzeichnet.

[0048] Die Erkennungseinheit **111** erzeugt ausgangsseitig ein Ausgangssignal AS1 und ein dazu invertiertes Ausgangssignal AS1n. Die Erkennungseinheit **111** kann beispielsweise derart ausgebildet sein, dass sie einen Pegel, beispielsweise einen 1-Pegel des Ausgangssignal AS1 erzeugt, wenn sie feststellt, dass an dem Anschluss A10a des Bauteils das Taktsignals SCL und an dem Anschluss A10b das Datensignal SDA anliegt und der Anfang des Datenstroms des Datensignals SDA an dem Anschluss A10a eintrifft. Das Ausgangssignal AS1 wird somit beispielsweise mit dem 1-Pegel erzeugt, wenn das Bauteil in dem ersten Betriebszustand betrieben wird und der Anfang des Datenstroms an dem Anschluss A10a eintrifft.

[0049] Die Erkennungseinheit **112** erzeugt ausgangsseitig ein Ausgangssignal AS2 und ein dazu invertiertes Ausgangssignal AS2n. Die Erkennungseinheit **112** kann derart ausgebildet sein, dass sie einen Pegel des Ausgangssignals AS2, beispielsweise einen 1-Pegel, erzeugt, wenn sie feststellt dass an dem Anschluss A10a des Bauteils das Datensignal SDA und an dem Anschluss A10b des Bauteils das Taktsignal SCL anliegt und der Anfang des Datenstroms des Datensignals SDA an dem Anschluss A10a eintrifft. Die Erkennungseinheit **112** erzeugt somit den

Pegel des Ausgangssignals AS2, beispielsweise den 1-Pegel, wenn sie feststellt, dass das Bauteil in dem zweiten Betriebszustand betrieben wird und der Anfang des Datenstroms an dem externen Bauteilanschluss A10b eintrifft.

[0050] Zur Übertragung eines Datensignals von dem Master-Bauteil **30** zu den Slave-Bauteilen **10a**, **10b** können von dem Master-Bauteil **30** auf der Taktsignalleitung **41** Pulse des Taktsignals SCL und auf der Datensignalleitung **42** Pulse des Datensignals SDA erzeugt werden. Die Pulse wechseln beispielsweise zwischen einem 1-Pegel und einem 0-Pegel. Zur Kennzeichnung eines Anfangs des Datenstroms und des Endes des Datenstroms kann beispielsweise jeweils eine charakteristische Erkennungssequenz gesendet werden. Insbesondere bei Verwendung eines I2C-Buses kann zur Kennzeichnung eines Anfangs des Datenstroms auf der Datensignalleitung **42** eine Startsequenz und zur Kennzeichnung eines Stopps des Datenstroms eine Stoppsequenz gesendet werden.

[0051] Bei einer möglichen Startsequenz kann der Pegel des Datensignals SDA von einem 1-Pegel zu einem 0-Pegel wechseln, während das Taktsignal SCL einen 1-Pegel aufweist. Bei der nachfolgenden Datenübertragung, bei der beispielsweise zunächst die Adresse des anzusprechenden Bauteils und anschließend die Nutzdaten übertragen werden, werden die Datensignale SDA beispielsweise übertragen beziehungsweise geändert, wenn das Taktsignal SCL den 0-Pegel aufweist. Bei einer möglichen Stoppsequenz kann das Datensignal SDA beispielsweise während eines 1-Pegels des Taktsignals SCL von einem 0-Pegel in einem 1-Pegel wechseln.

[0052] Die Erkennungseinheit **111** erzeugt die Pegel der Ausgangssignale AS1 und AS1n zur Kennzeichnung des ersten Betriebszustands des elektronischen Bauteils in Abhängigkeit davon, ob die Erkennungseinheit **111** die Startsequenz des Datensignals SDA, die den Anfang des Datenstroms kennzeichnet, an dem Anschluss A10b und das Taktsignal SCL an dem Anschluss A10a detektiert. Die Erkennungseinheit **112** erzeugt einen jeweiligen Pegel der Ausgangssignale AS2 und AS2n zur Kennzeichnung des zweiten Betriebszustands in Abhängigkeit davon, ob die Erkennungseinheit **112** die Startsequenz des Datensignals an dem Anschluss A10a und das Anliegen des Taktsignals SCL an dem Anschluss A10b feststellt.

[0053] Zur Auswertung der Ausgangssignale AS1, AS1n, AS2 und AS2n ist eine Auswerteeinheit **114** vorgesehen. Die Auswerteeinheit **114** kann beispielsweise eine Logikschaltung umfassen. Sie erzeugt ausgangsseitig ein Speichersignal PS, das einer nachfolgenden Speichereinheit **115** zugeführt wird. In der Speichereinheit **115**, die beispielsweise als ein

Latch ausgebildet sein kann, wird in Abhängigkeit von dem Zustand des Speichersignals PS ein 1-Zustand oder ein 0-Zustand gespeichert. Beispielsweise kennzeichnet der 0-Zustand, dass das Bauteil in dem ersten Betriebszustand betrieben wird, während der 1-Zustand den zweiten Betriebszustand kennzeichnet. In Abhängigkeit von dem in dem Latch **115** gespeicherten Zustand wird an einem Ausgang des Latches das Zustandssignal XMODE erzeugt.

[0054] Die Zustandserkennungseinrichtung **110** umfasst des Weiteren Schalteinheiten **116**, **117** und **118**. Die Schalteinheiten weisen beispielsweise jeweils zwei Eingänge und einen Ausgang auf. Den Schalteinheiten wird jeweils das Zustandssignal XMODE zur Steuerung des Schaltens von einem der Eingänge auf den Ausgang zugeführt. Der Schalteinheit **116** und der Schalteinheit **118** werden ferner das an dem Anschluss A10a empfangene Signal, das in Abhängigkeit von dem Betriebszustand des Bauteils das Taktsignal SCL oder das Datensignal SDA sein kann, und das an dem Anschluss A10b empfangene Signal, das ebenfalls in Abhängigkeit von dem Betriebszustand des Bauteils das Taktsignal SCL oder das Datensignal SDA sein kann, zugeführt.

[0055] In Abhängigkeit von dem Zustandssignal XMODE schaltet die Schalteinheit **116** den Ausgangsanschluss A10a oder den Ausgangsanschluss A10b an ihren Ausgangsanschluss A116. Die Schalteinheit **116** ist dazu derart ausgebildet, dass an dem Ausgangsanschluss A116 das Datensignal SDA durchgeschaltet wird. Im ersten Betriebszustand des Bauteils bewirkt das Zustandssignal XMODE, dass die Schalteinheit **116** den Anschluss A10b auf den Ausgangsanschluss A116 der Umschalteinheit **116** durchschaltet.

[0056] Die Funktionsweise der Schalteinheit **118** ist entsprechend. Die Schalteinheit **118** schaltet entweder den externen Anschluss A10a oder den externen Anschluss A10b auf ihren Ausgangsanschluss A118. Die Schalteinheit **118** ist derart ausgebildet, dass derjenige Anschluss der Anschlüsse A10a und A10b, an dem das Taktsignal SCL anliegt, auf den Ausgangsanschluss A118 geschaltet wird. Die Umschaltung zwischen den beiden Eingangsanschlüssen wird dabei in Abhängigkeit von dem Zustandssignal XMODE gesteuert.

[0057] Die Zustandserkennungseinrichtung **110** umfasst des Weiteren eine Erkennungseinheit **113**, die dazu ausgebildet ist, die Stoppsequenz des Datenstroms zu erkennen. Dazu wird der Erkennungseinheit **113** eingangsseitig das Datensignal SDA und das Taktsignal SCL zugeführt. Des Weiteren wird der Erkennungseinheit **113** von der Schalteinheit **117** das Ausgangssignal AS1n oder das Ausgangssignal AS2n zugeführt. Die Schalteinheit **117** wird durch das Zustandssignal XMODE gesteuert. Wenn das

elektronische Bauteil beispielsweise im ersten Betriebszustand betrieben wird, wird das Ausgangssignal AS1n an die Erkennungseinheit **113** weitergeleitet. Wenn das Bauteil im zweiten Betriebszustand betrieben wird, wird das Ausgangssignal AS2n an die Erkennungseinheit **113** durchgeschaltet.

[0058] Die Erkennungseinheit **113** ist dazu ausgebildet, die Stoppsequenz, die das Ende des Datenstroms kennzeichnet, festzustellen. Die Erkennungseinheit **113** erzeugt einen Pegel eines Rücksetzsignals STOP_n in Abhängigkeit davon, ob gerade ein Datentransfer erfolgt oder der Datentransfer mit der Stoppsequenz abgeschlossen ist. Das Rücksetzsignal STOP_n wird auf die Speichereinheit **115** zurückgeführt.

[0059] Die Speichereinheit **115** ist derart ausgebildet, dass das Eingangstor der Speichereinheit **115** zur Programmierung eines Zustandes des Latches dann geöffnet wird, wenn von der Erkennungseinheit **113** die Stoppsequenz erkannt wurde. Während der Startsequenz eines nachfolgenden Datensignals wird die Speichereinheit **115** entsprechend dem während der Startsequenz festgestellten Betriebszustand programmiert. Nach Abschluss der Startsequenz des nachfolgenden Datensatzes wird das Eingangstor der Speichereinheit **115** geschlossen. Somit ist das Eingangstor der Speichereinheit **115** während des eigentlichen Datentransfers gesperrt. Eine Neuprogrammierung des Latches **115** erfolgt somit jedes Mal dann, wenn die Startsequenz, die den Beginn des Datenstroms kennzeichnet, an einem der externen Anschlüsse A10a oder A10b empfangen wird.

Bezugszeichenliste

10a, 10b, 20	Slave-Bauteil
30	Master-Bauteil
40	Bus
41	Taktsignalleitung
42	Datensignalleitung
A10a, A10b	Anschluss zum Anlegen/ Ausgeben des Datensignals oder des Taktsignals
100, 200	Steuervorrichtung
300, 400, 500	Speichervorrichtung
110	Zustandserkennungseinrichtung
120	Steuereinrichtung
130	Zählereinrichtung
140	Speichereinrichtung
150	Adress-Auswahleinrichtung
160	Ausgabe-Auswahleinrichtung
170	Verstärker
111, 112	Startsequenz-Erkennungseinheit
113	Stoppsequenz-Erkennungseinheit

114	Auswerteeinheit
115	Speichereinheit
116, 117, 118	Schalteinheit
SCL	Taktsignal
SDA	Datensignal

Patentansprüche

1. Elektronisches Bauteil mit Zuweisung einer Adresse an das Bauteil, umfassend:

- einen ersten Anschluss (A10a) zum Anlegen eines ersten Signals (SCL) und eines von dem ersten Signal verschiedenen zweiten Signals (SDA),
- einen von dem ersten Anschluss verschiedenen zweiten Anschluss (A10b) zum Anlegen des ersten Signals (SCL) und des zweiten Signals (SDA),
- wobei das Bauteil (**10a, 10b**) in einem ersten Betriebszustand betreibbar ist, in dem an dem ersten Anschluss (A10a) das erste Signal (SCL) und an dem zweiten Anschluss (A10b) das zweite Signal (SDA) anliegt,
- wobei das Bauteil (**10a, 10b**) in einem zweiten Betriebszustand betreibbar ist, in dem an dem ersten Anschluss (A10a) das zweite Signal (SDA) und an dem zweiten Anschluss (A10b) das erste Signal (SCL) anliegt,
- eine Adress-Auswahleinrichtung (**150**) zur Zuweisung mindestens einer ersten oder zweiten Adresse (DEVADDR1, DEVADDR2) an das Bauteil (**10**),
- wobei die Adress-Auswahleinrichtung (**150**) derart ausgebildet ist, dass die Adress-Auswahleinrichtung in Abhängigkeit von dem Betriebszustand des Bauteils dem Bauteil die erste oder zweite Adresse zuweist.

2. Elektronisches Bauteil nach Anspruch 1, umfassend:

- eine Zustandserkennungseinrichtung (**110**) zum Feststellen des ersten oder zweiten Betriebszustands des Bauteils,
- wobei die Zustandserkennungseinrichtung (**110**) einen ersten Eingangsanschluss (E110a) zum Anlegen des ersten Signals (SCL) und des zweiten Signals (SDA) und einen von dem ersten Eingangsanschluss verschiedenen zweiten Eingangsanschluss (E110b) zum Anlegen des ersten Signals (SCL) und des zweiten Signals (SDA) aufweist,
- wobei der erste Eingangsanschluss (E110a) der Zustandserkennungseinrichtung mit dem ersten Anschluss (A10a) des Bauteils und der zweite Eingangsanschluss (E110b) der Zustandserkennungseinrichtung mit dem zweiten Anschluss (A10b) des Bauteils verbunden ist.

3. Elektronisches Bauteil nach Anspruch 2,

- wobei die Zustandserkennungseinrichtung (**110**) einen Ausgangsanschluss (A110a) zum Ausgeben des ersten Signals (SCL) aufweist,
- wobei die Zustandserkennungseinrichtung (**110**) das erste Signal (SCL) unabhängig davon, ob das

Bauteil in dem ersten oder zweiten Betriebszustand betrieben wird, an dem ersten Ausgangsanschluss (A110a) der Zustandserkennungseinrichtung ausgibt.

4. Elektronisches Bauteil nach einem der Ansprüche 2 oder 3,

- wobei die Zustandserkennungseinrichtung (**110**) einen zweiten Ausgangsanschluss (A110b) zum Ausgeben des zweiten Signals (SDA) aufweist,
- wobei die Zustandserkennungseinrichtung (**110**) das zweite Signal (SDA) unabhängig davon, ob das Bauteil in dem ersten oder zweiten Betriebszustand betrieben wird, an dem zweiten Ausgangsanschluss (A110b) der Zustandserkennungseinrichtung ausgibt.

5. Elektronisches Bauteil nach einem der Ansprüche 2 bis 4, wobei die Zustandserkennungseinrichtung (**110**) in Abhängigkeit von dem festgestellten ersten oder zweiten Betriebszustand ein Zustandssignal (XMODE) erzeugt.

6. Elektronisches Bauteil nach einem der Ansprüche 1 bis 5,

- wobei der erste und der zweite Anschluss (A10a, A10b) jeweils als ein Anschluss zum Anlegen eines Taktsignals (SCL) und zum Anlegen oder Ausgeben eines Datensignals (SDA) ausgebildet sind,
- wobei das Bauteil (**10a, 10b**) als ein Bauteil zur Durchführung eines Lese- und Schreibzugriffs ausgebildet ist,
- wobei das Bauteil (**10a, 10b**) derart ausgebildet ist, dass ein Lese- und Schreibzugriff auf das Bauteil zeitlich durch das Taktsignal (SCL) gesteuert wird und bei einem Schreibzugriff auf das Bauteil Daten in Abhängigkeit von dem Datensignal in das Bauteil eingeschrieben werden und bei einem Lesezugriff auf das Bauteil Daten aus dem Bauteil ausgelesen werden.

7. Elektronisches Bauteil nach Anspruch 6, umfassend:

- eine Speichereinrichtung (**140**) zur Zwischenspeicherung von Daten des Datensignals (SDA),
- wobei die Speichereinrichtung (**140**) eingangsseitig (E140) mit dem Datenausgangsanschluss (A110a) der Zustandserkennungseinrichtung (**110**) verbunden ist,
- wobei die Speichereinrichtung (**140**) derart ausgebildet ist, dass eine mit dem Datensignal (SDA) an das Bauteil übertragene Adresse (ADDR) in der Speichereinrichtung (**140**) speicherbar ist.

8. Elektronisches Bauteil nach Anspruch 7, umfassend:

- eine Steuereinrichtung (**120**) zum Erzeugen eines Lesekommandos (RD) oder eines Schreibkommandos (WR),
- wobei die Steuereinrichtung (**120**) derart ausgebildet ist, dass die Steuereinrichtung die von

der Adress-Auswahleinrichtung (**150**) ausgewählte Adresse (DEVADDR1, DEVADDR2) mit der in der Speichereinrichtung (**140**) gespeicherten Adresse (ADDR) vergleicht und das Lesekommando oder das Schreibkommando (RD, WR) erzeugt, wenn die Steuereinrichtung (**120**) feststellt, dass die gespeicherte Adresse (ADDR) mit der ausgewählten Adresse (DEVADDR1, DEVADDR2) übereinstimmt.

9. Elektronisches Bauteil nach Anspruch 8, umfassend:

- eine Speichervorrichtung (**300**) zur Speicherung von Daten,
- wobei die in der Speichereinrichtung (**140**) zwischengespeicherten Daten in der Speichervorrichtung (**300**) gespeichert werden, wenn die Steuereinrichtung (**120**) das Schreibkommando (WR) erzeugt,
- wobei die in der Speichervorrichtung (**300**) gespeicherten Daten in der Speichereinrichtung (**140**) zwischengespeichert werden, wenn die Steuereinrichtung (**120**) das Lesekommando (RD) erzeugt.

10. Elektronisches Bauteil nach Anspruch 9, umfassend:

- eine Ausgabe-Auswahleinrichtung (**160**) zur Auswahl des ersten Anschlusses (A10a) oder des zweiten Anschlusses (A10b) des Bauteils zur Ausgabe des Datensignals (SDA),
- wobei die Ausgabe-Auswahleinrichtung (**160**) eingangsseitig (E160) an eine Ausgangsseite (A140) der Speichereinrichtung (**140**) und ausgangsseitig (A160a, A160b) an den ersten Anschluss (A10a) und den zweiten Anschluss (A10b) des Bauteils angeschlossen ist,
- wobei die Ausgabe-Auswahleinrichtung (**160**) derart ausgebildet ist, dass die Ausgabe-Auswahleinrichtung (**160**) die Eingangsseite (E160) der Ausgabe-Auswahleinrichtung in Abhängigkeit von dem Zustand des Zustandssignals (XMODE) mit dem ersten Anschluss (A10a) oder dem zweiten Anschluss (A10b) des Bauteils verbindet.

11. Elektronisches Bauteil nach einem der Ansprüche 1 bis 10, wobei der erste Anschluss (A10a) und der zweite Anschluss (A10b) des Bauteils jeweils als ein Anschluss zum Anschließen des Bauteils an einen I2C-Bus ausgebildet sind.

12. Elektronisches Bauteil nach einem der Ansprüche 1 bis 11,

- wobei die Zustandserkennungseinrichtung (**110**) eine erste Erkennungseinheit (**111**) und eine zweite Erkennungseinheit (**112**) zum jeweiligen Feststellen des Eintreffens eines Anfangs eines Datenstroms an dem ersten Anschluss (A10a) oder an dem zweiten Anschluss (A10b) des Bauteils aufweist,
- wobei die erste Erkennungseinheit (**111**) derart ausgebildet ist, dass die erste Erkennungseinheit (**111**) einen Pegel eines ersten Ausgangssignals (AS1, AS1n) erzeugt, wenn das Bauteil in dem ersten Be-

triebszustand betrieben wird und die erste Erkennungseinheit das Eintreffen des Anfangs des Datenstroms an dem zweiten Anschluss (A10b) des Bauteils feststellt,

- wobei die zweite Erkennungseinheit (**112**) derart ausgebildet ist, dass die zweite Erkennungseinheit (**112**) einen Pegel eines zweiten Ausgangssignals (AS2, AS2n) erzeugt, wenn das Bauteil in dem zweiten Betriebszustand betrieben wird und die zweite Erkennungseinheit das Eintreffen des Anfangs des Datenstroms an dem ersten Anschluss (A10a) des Bauteils feststellt.

13. Elektronisches Bauteil nach einem der Ansprüche 5 bis 12,

- wobei die Zustandserkennungseinrichtung (**110**) eine Auswerteeinheit (**114**) zur Auswertung des Pegels des ersten Ausgangssignals (AS1, AS1n) und des Pegels des zweiten Ausgangssignals (AS2, AS2n) umfasst,
- wobei die Zustandserkennungseinrichtung (**110**) eine Speichereinheit (**115**) zur Speicherung eines Datums umfasst, wobei der Wert des Datums in Abhängigkeit von dem ausgewerteten jeweiligen Pegel des ersten und zweiten Ausgangssignals (AS1, AS1n, AS2, AS2n) gespeichert ist,
- wobei die Speichereinheit (**115**) ausgangsseitig das Zustandssignal (XMODE) in Abhängigkeit von dem Wert des in der Speichereinheit (**115**) gespeicherten Datums erzeugt.

14. Elektronisches Bauteil nach einem der Ansprüche 12 oder 13,

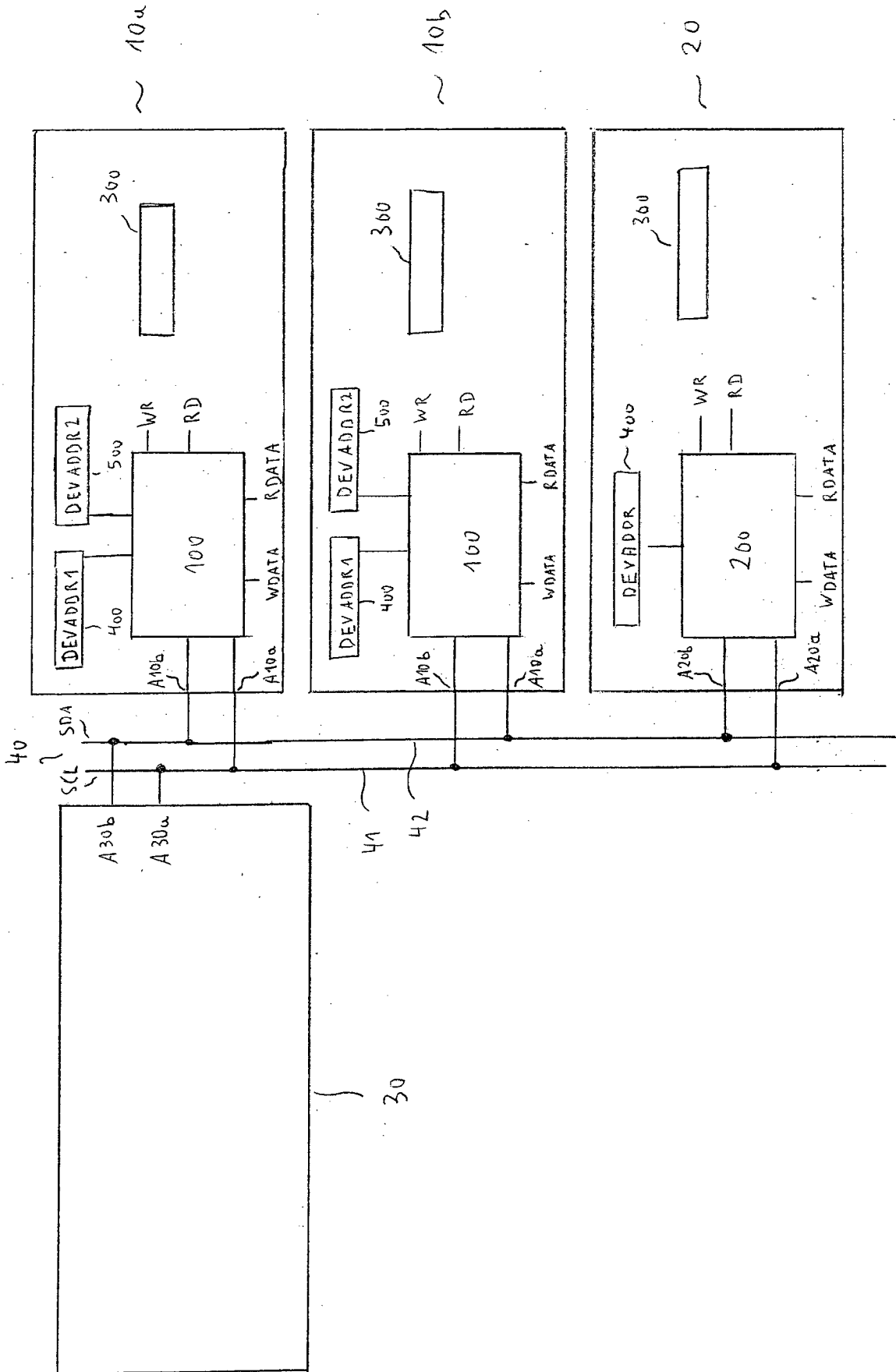
- wobei die Zustandserkennungseinrichtung (**110**) eine dritte Erkennungseinheit (**113**) zum Feststellen des Eintreffens eines Endes des Datenstroms an dem ersten Anschluss (A10a) oder an dem zweiten Anschluss (A10b) des Bauteils aufweist,
- wobei in der Speichereinheit (**115**) das Datum gespeichert wird, wenn die dritte Erkennungseinheit (**113**) das Eintreffen des Endes des Datenstroms festgestellt hat und die erste oder zweite Erkennungseinheit (**111**, **112**) das Eintreffen des Anfangs eines nachfolgenden Datenstroms feststellt.

15. Elektronisches Bauteil nach Anspruch 14,

- wobei mindestens eine die ersten, zweiten und dritten Erkennungseinheit (**111**, **112**) jeweils als ein flankengetriggertes Flip-Flop ausgebildet ist,
- wobei die Speichereinheit (**114**) als ein pegelgetriggertes Register ausgebildet ist.

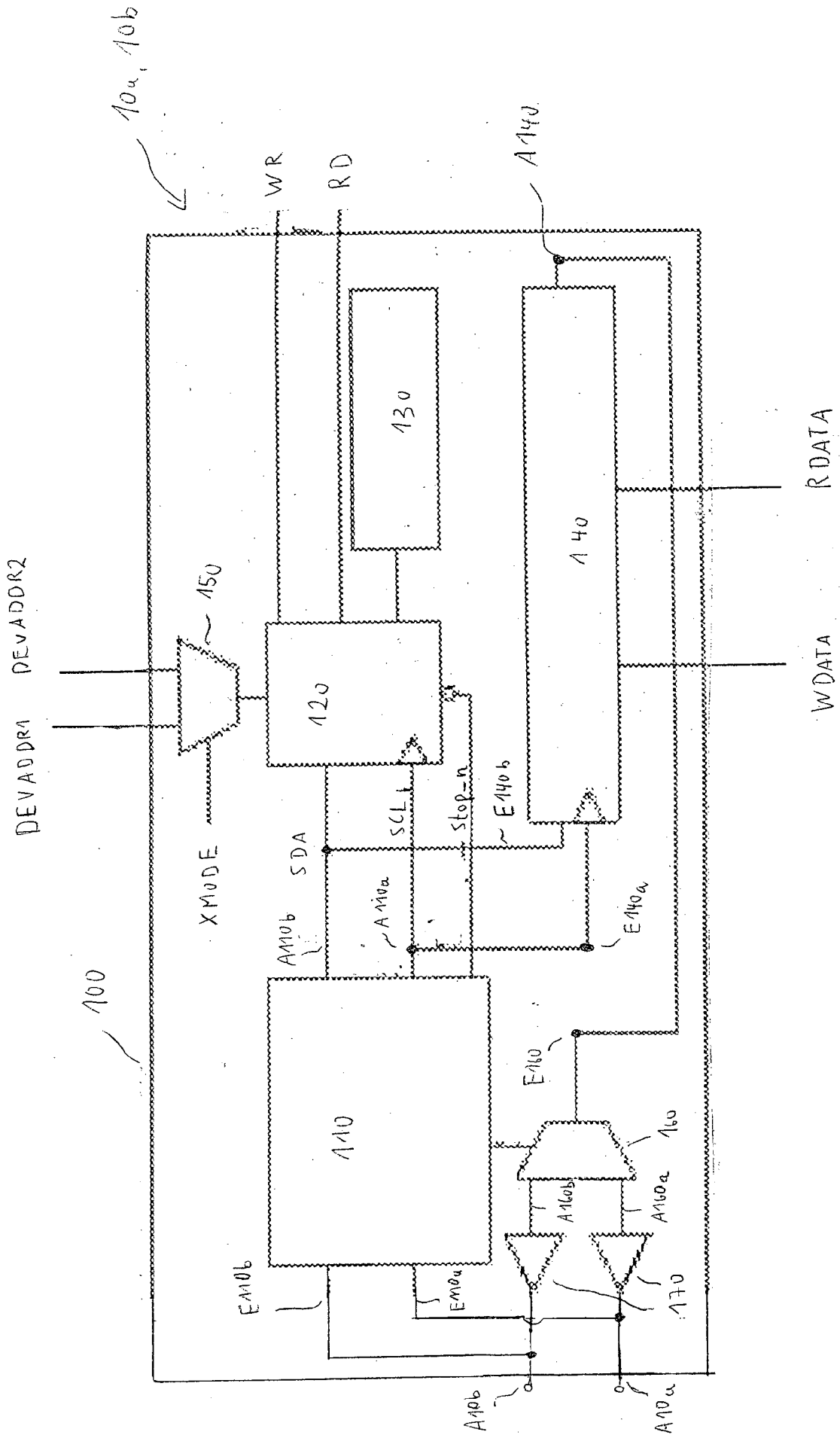
Es folgen 3 Blatt Zeichnungen

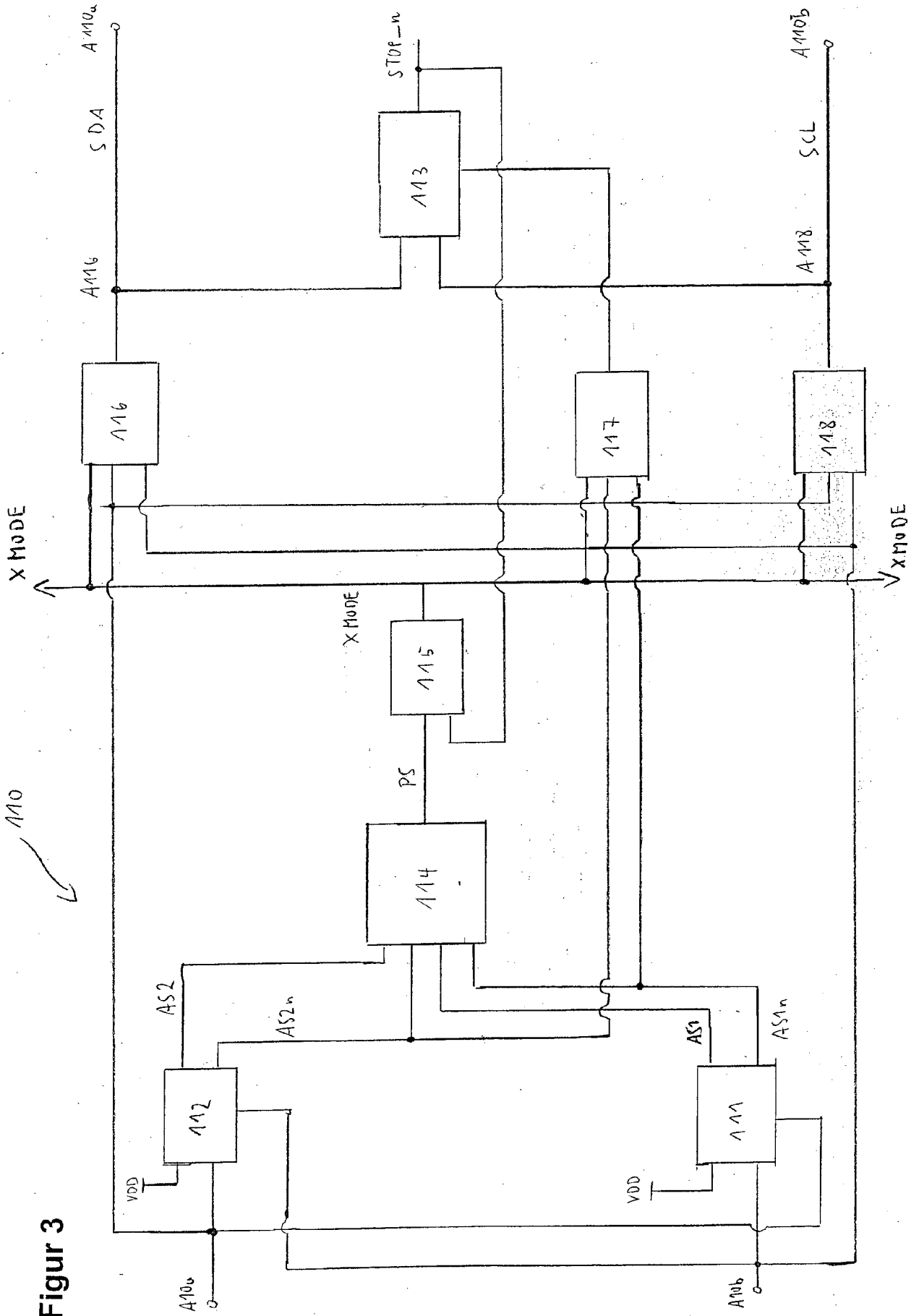
Anhängende Zeichnungen



Figur 1

Figur 2





Figur 3